

16 チャンネル・マルチセル・バッテリー・モニタ

特長

- ▶ 最大 16 個の直列バッテリー・セルを測定
- ▶ 製品寿命中の最大 TME (合計測定誤差) :
セルあたり 3.3V 時±1.8mV (ADES1830)、±5mV
(ADES1831) (-40°C~+105°C)
- ▶ セル電圧の同時かつ連続的な測定
- ▶ 設定可変のローパス・フィルタ処理機能を内蔵
- ▶ 高電圧バッテリー・バックに適したスタック可能アーキテクチャ
- ▶ 内蔵 isoSPI
 - ▶ 2Mbps の絶縁型シリアル通信
 - ▶ セグメントあたり 20m の 1 本のツイスト・ペアを使用
 - ▶ 低 EMI 感受性および低 EMI 放射
 - ▶ 断線保護を実現する双方向性
 - ▶ コンデンサ結合またはトランス結合
- ▶ 外部保護を用いないホット・プラグ耐性
- ▶ プログラマブル PWM を用いたチャンネルあたり最大 300mA のパッシブ・セル・バランスング
- ▶ 最大 9 個の汎用アナログ入力またはデジタル I/O
 - ▶ 温度などのセンサー入力
 - ▶ I²C または SPI コントローラとして設定可能
- ▶ 4μA のスリープ・モード電源電流
- ▶ バス・バーのための備え

アプリケーション

- ▶ 事業者から供給されるエネルギーの貯蔵
- ▶ 商用および工業用のエネルギー貯蔵
- ▶ 住居用エネルギー貯蔵
- ▶ バックアップ・バッテリー・システム

概要

ADES1830/ADES1831 は、最大 16 個の直列接続されたバッテリー・セルを、全温度範囲にわたり製品寿命通算で 2mV 未満 (ADES1830)、および 5mV 未満 (ADES1831) の合計測定誤差 (TME) で測定できるマルチセル・バッテリー・スタック・モニタです。測定入力範囲が -2V ~ +5.5V であるため、ADES1830/ADES1831 はほとんどのバッテリー化学組成に対応でき、また、バス・バー間の電圧を測定できます。特定の測定チャンネルを充てることなくバス・バーをバイパスする備えも行われています。

2 つの別々の A/D コンバータ (ADC) を用いて、すべてのセルを同時かつ冗長的に測定できます。4.096MHz の高サンプリング・レートで連続動作する ADC により、外部のアナログ・フィルタ処理を削減でき、また、エイリアシングのない測定結果を得ることができます。ノイズ除去比は、後段のプログラマブル無限インパルス応答 (IIR) フィルタにより向上できます。

複数の ADES1830/ADES1831 デバイスを連結できるため、長い高電圧バッテリー・ストリングの同時セル・モニタリングが可能です。各 ADES1830/ADES1831 には、高速で RF 耐性のある長距離通信を実現する絶縁型シリアル・ポート・インターフェース (isoSPI™) が備わっています。複数のデバイスが、1 つのホスト・プロセッサ接続によりデイジーチェーン接続されます。このデイジーチェーンは双方向で動作できるため、通信経路に障害が発生した場合でも通信の完全性を確保できます。

ADES1830/ADES1831 は、バッテリー・スタックまたは絶縁電源から給電できます。ADES1830/ADES1831 には、各セルに対し個別にパルス幅変調 (PWM) デューティ・サイクル制御を行い、最大 300mA の放電電流を実現する、パッシブ・バランスング機能が備わっています。その他の特長としては、オンボード 5V レギュレータ、最大 9 個の汎用入出力、消費電流を 4μA に低減するスリープ・モードなどがあります。

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

Rev. A

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	セル放電および放電用 PWM.....	28
アプリケーション.....	1	Sx ピンのミュート.....	28
概要.....	1	セル測定および診断を伴うセル放電.....	29
代表的なアプリケーション回路.....	4	ウォッチドッグおよび放電タイマー.....	30
機能ブロック図.....	5	放電タイマー・モニタ.....	30
仕様.....	6	低消費電力セル・モニタリング (LPCM).....	31
isoSPI パルスのタイミング仕様.....	9	LPCM の動作.....	31
SPI のタイミング要件.....	10	LPCM ブリッジレス・タイムアウト・モニタ.....	34
isoSPI のタイミング仕様.....	10	リバーシブル isoSPI を使用した LPCM.....	35
絶対最大定格.....	11	LPCM と放電タイマーの使用.....	36
熱抵抗.....	11	LPCM の拡大状態遷移図.....	36
静電放電 (ESD) 定格.....	11	LPCM の消費電力.....	37
ESD に関する注意.....	11	LPCM のシステム診断.....	37
ピン配置およびピン機能の説明.....	12	GPIO を使用する I ² C/SPI コントローラ.....	40
代表的な性能特性.....	13	COMM レジスタ.....	40
動作原理.....	15	COMM コマンド.....	41
コア状態の説明.....	15	I ² C コントローラおよび SPI コントローラのタイミング仕様.....	43
isoSPI 状態の説明.....	16	シリアル・インターフェースの概要.....	44
電源.....	17	4 線式 SPI の物理レイヤ.....	44
セル電圧測定.....	18	リバーシブル 2 線式 isoSPI の物理レイヤ.....	45
C-ADC および S-ADC の動作とコマンド.....	18	ネットワーク・レイヤ.....	51
連続測定またはシングル・ショット測定.....	19	コマンド PEC.....	51
冗長測定.....	19	データ PEC.....	51
測定中の放電.....	19	コマンド・カウンタ.....	51
断線スイッチ.....	20	ポーリング方法.....	52
内部デジタル・フィルタ処理.....	20	バス・プロトコル.....	54
GPIO およびデバイス・パラメータ測定.....	22	コマンド.....	55
AUX ADC の動作およびコマンド.....	22	全読出しコマンドおよびスナップショット・コマンド.....	58
システム診断.....	23	全読出しコマンド.....	58
セル測定の診断と報告.....	23	スナップショット・コマンド.....	58
セルの断線検出.....	23	保持レジスタのコマンド.....	58
診断機能を伴うセル測定のアルゴリズム.....	24	メモリ・マップ.....	59
GPIO 測定診断.....	25	アプリケーション情報.....	75
GPIO 断線検出.....	25	リニア・レギュレータによる電力供給.....	75
通信の診断と報告.....	25	入力フィルタ処理.....	75
サーマル・シャットダウン.....	25	セル・バランスング.....	76
テスト・モード検出.....	25	セルの除去.....	76
スリープ状態検出.....	25	バス・バーのモニタリングとバイパス.....	77
ソフト・リセット・コマンド.....	25	内部保護.....	78
リビジョン・コード.....	25	電流測定機能.....	78
シリアル ID.....	25	外形寸法.....	79
ADC メモリ・クリア・コマンド.....	26	オーダー・ガイド.....	79
フラグ・クリア・コマンド.....	26	評価用ボード.....	79
過電圧および低電圧クリア・コマンド.....	27		

改訂履歴**10/2024—Rev. 0 to Rev. A**

Changes to Figure 2	5
Change to Internal Digital Filtering Section	20
Change to Using the LPCM and Discharge Timer Section	36
Change to Figure 42	77

3/2024—Revision 0: Initial Version

代表的なアプリケーション回路

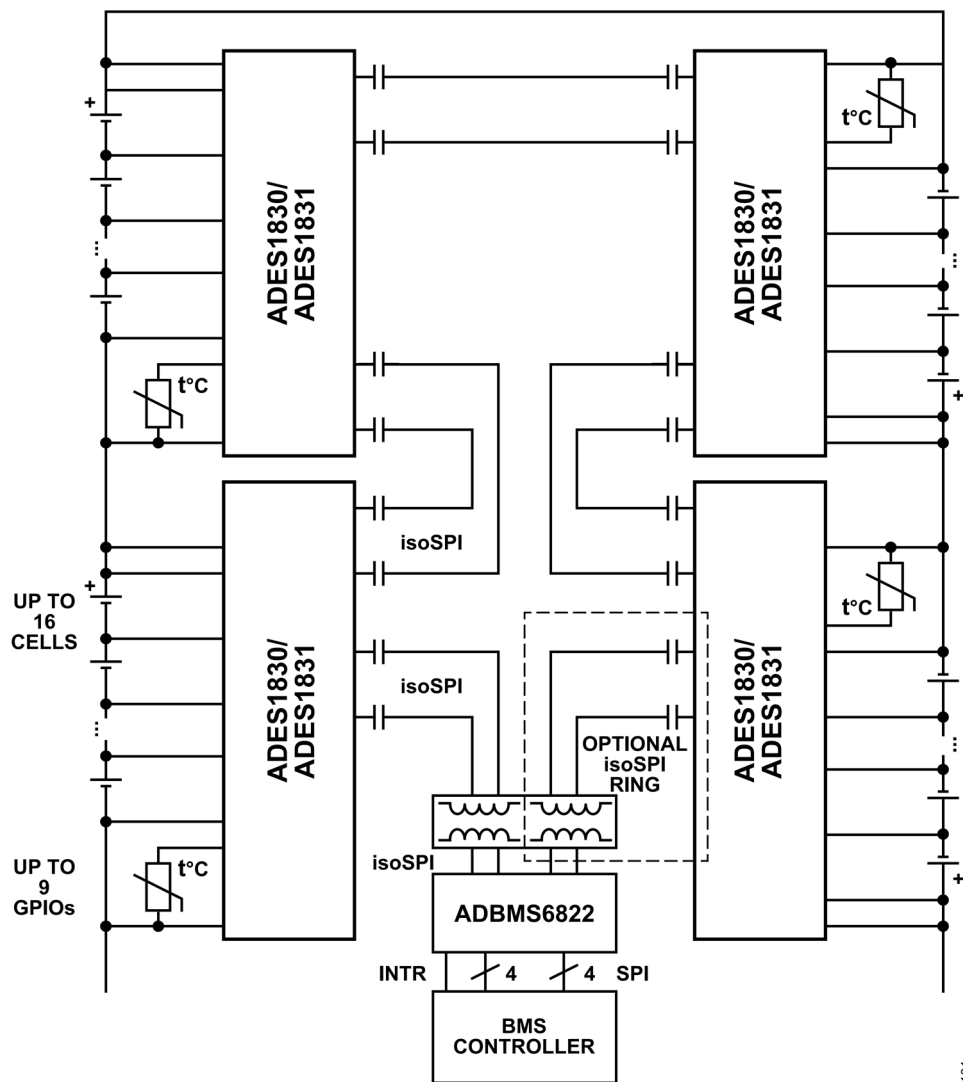


図 1. 代表的なアプリケーション回路

101

機能ブロック図

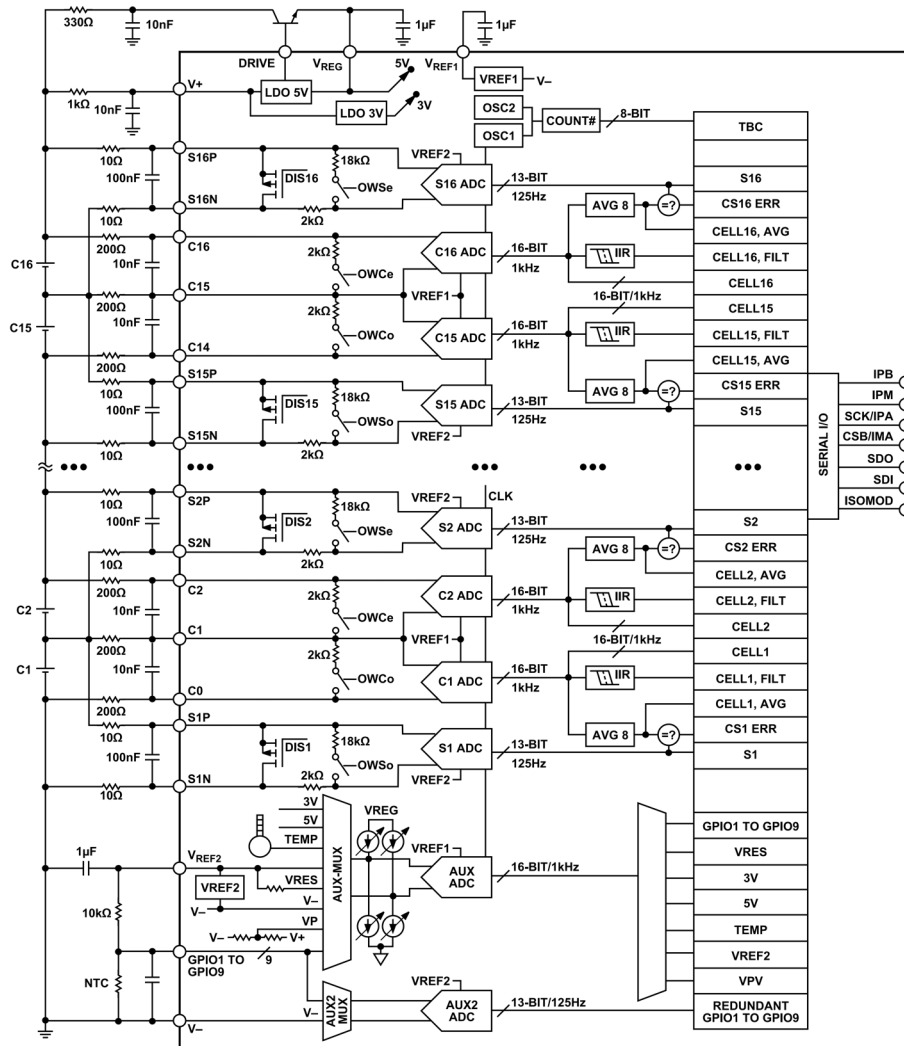


図 2. 機能ブロック図

仕様

特に指定のない限り、仕様は全 V+動作電圧範囲および全動作ジャンクション温度範囲 ($T_J = -40^{\circ}\text{C} \sim +105^{\circ}\text{C}$) に適用されます。

表 1. C-ADC の DC 仕様

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
MEASUREMENT RESOLUTION				0.15		mV/bit
DIFFERENTIAL INPUT RANGE	V_{DIF}	$-0.1\text{ V} < (C_x \text{ to } V^-) < 80\text{ V}$	-2		+5.5	V
ADC OFFSET VOLTAGE ¹				± 0.1		mV
ADC GAIN ERROR ¹				± 0.01		%
ADC UPDATE RATE			0.9	1	1.1	kHz
ADC TRANSITION NOISE				40		$\mu\text{V rms}$
LIFETIME CELL TOTAL MEASUREMENT ERROR	C-TME	$V_{\text{DIF}} \leq \pm 2.0\text{ V}$ $V_{\text{DIF}} \leq 3.3\text{ V}$ $V_{\text{DIF}} \leq 4.5\text{ V}$ (ADES1830) $V_{\text{DIF}} \leq 4.5\text{ V}$ (ADES1831) $V_{\text{DIF}} \leq 5.5\text{ V}$			± 1.5 ± 1.8 ± 2 ± 5 ± 3	mV mV mV mV mV
INPUT LEAKAGE CURRENT		ADC off		0	± 250	nA
DIFFERENTIAL INPUT RESISTANCE	$R_{\text{IN_ADC}}$	ADC on	1.6	2.2	3	M Ω
DIFFERENTIAL INPUT RESISTANCE DURING OPEN WIRE DETECTION				1.75		k Ω
ADC SAMPLING FREQUENCY	f_s		3.7	4.1	4.5	MHz

¹ ADC の仕様は、合計測定誤差仕様により裏付けられています。

表 2. S-ADC の DC 仕様

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
MEASUREMENT RESOLUTION				1.5 ¹		mV/bit
INPUT RANGE	$V_{\text{DIF_S}}$	$-0.1\text{ V} < (S_x \text{ to } V^-) < 80\text{ V}$	-0.3		+5.5	V
ADC OFFSET VOLTAGE ²				± 0.2		mV
ADC GAIN ERROR ²				± 0.03		%
ADC UPDATE RATE			110	125	140	Hz
ADC TRANSITION NOISE				20		$\mu\text{V rms}$
S-ADC TOTAL MEASUREMENT ERROR	S-TME	$0\text{ V} \leq V_{\text{DIF_S}} \leq 4.5\text{ V}$ $V_{\text{DIF_S}} \leq 5.5\text{ V}$			± 7 ± 8	mV mV
INPUT LEAKAGE CURRENT		ADC off, $V_{\text{DIF_S}} = 5.5\text{ V}$		10	± 300	nA
DIFFERENTIAL INPUT RESISTANCE		ADC on	1	1.8	2.6	M Ω
DIFFERENTIAL INPUT RESISTANCE DURING OPEN WIRE DETECTION				20		k Ω
GAIN DURING OPEN WIRE DETECTION		No open wire fault	85	90	95	%
ADC SAMPLING FREQUENCY	f_s		3.7	4.1	4.5	MHz

¹ S-ADC の結果レジスタは、C-ADC の結果の重み付けにより正規化されており、そのため、同じ電圧変換関数を適用できます。詳細についてはレジスタの説明を参照してください。

² ADC の仕様は、合計測定誤差仕様により裏付けられています。

仕様

表 3. 補助 (AUX) ADC の DC 仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
MEASUREMENT RESOLUTION			0.15		mV/bit
INPUT RANGE	GPIOx to V-	-0.3		V _{REG}	V
ADC OFFSET VOLTAGE ¹			-0.2		mV
ADC GAIN ERROR ¹			±0.01		%
ADC UPDATE RATE		0.9	1	1.1	kHz
ADC TRANSITION NOISE			50		µV rms
GPIOx TOTAL MEASUREMENT ERROR	0 V < GPIOx to V- ≤ 3.3 V			±2.8	mV
	3.3 V < GPIOx to V- ≤ 5 V			±4.2	mV
DIAGNOSTIC MEASUREMENTS	Internal temperature, T = maximum specified temperature		±5		°C
	V _{REG} pin		±0.1	±0.25	%
	V _{REF2} , VRES		±0.02	±0.2	%
	Digital supply voltage, V _{REGD}		±0.1	±1.6	%
	V+ to V-, V+ > 20 V	-1	±0.05	+0.5	%
	-0.1 V ≤ S1N to V- ≤ 0.1 V		±0.02	0.2	%
INPUT LEAKAGE CURRENT	AUX ADC off, GPIOx = 5 V		10	±250	nA
INPUT RESISTANCE	AUX ADC on	1.5	2.7	3.5	MΩ
INPUT CURRENT DURING OPEN WIRE DETECTION	Pull-down current: GPIOx > 1.5 V	-140	-200	-260	µA
	Pull-up current: GPIOx < V _{REG} - 1.5 V	140	200	260	µA
ADC SAMPLING FREQUENCY		3.7	4.1	4.5	MHz

¹ ADC の仕様は、合計測定誤差仕様により裏付けられています。

表 4. AUX2 ADC の DC 仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
MEASUREMENT RESOLUTION			1.5 ¹		mV/bit
INPUT RANGE	GPIOx to V-	-0.3		V _{REG}	V
ADC OFFSET VOLTAGE ²			±0.2		mV
ADC GAIN ERROR ²			±0.05		%
ADC UPDATE RATE		110	125	140	Hz
ADC TRANSITION NOISE			25		µV rms
GPIOx TOTAL MEASUREMENT ERROR	0 V ≤ GPIOx to V- ≤ 3.3 V			±6	mV
	3.3 V < GPIOx to V- ≤ 5 V			±8	mV
INPUT LEAKAGE CURRENT	AUX2 ADC off, GPIOx = 5 V		10	±250	nA
INPUT RESISTANCE	AUX2 ADC on	1.5	2.7	3.5	MΩ
ADC SAMPLING FREQUENCY		3.7	4.1	4.5	MHz

¹ AUX2 ADC の結果レジスタは、AUX ADC の結果の重み付けにより正規化されており、そのため、同じ電圧変換関数を適用できます。詳細についてはレジスタの説明を参照してください。

² ADC の仕様は、合計測定誤差仕様により裏付けられています。

仕様

表 5. 電圧リファレンスの仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
FIRST REFERENCE VOLTAGE	V _{REF1} pin, no load	3	3.2	3.3	V
FIRST REFERENCE VOLTAGE TEMPERATURE COEFFICIENT (TC)	V _{REF1} pin, no load		3		ppm/°C
FIRST REFERENCE VOLTAGE HYSTERESIS	V _{REF1} pin, no load		20		ppm
FIRST REFERENCE VOLTAGE LONG-TERM DRIFT	V _{REF1} pin, no load		20		ppm/kHr
SECOND REFERENCE VOLTAGE	V _{REF2} pin, no load	2.994	3	3.006	V
	V _{REF2} pin, 1 kΩ load to V-	2.994	3	3.006	V
OUTPUT CURRENT	ΔV _{REF2} < ± 2 mV	-0.2		+5	mA
SECOND REFERENCE VOLTAGE TC	V _{REF2} pin, no load		10		ppm/°C
SECOND REFERENCE VOLTAGE HYSTERESIS	V _{REF2} pin, no load		100		ppm
SECOND REFERENCE VOLTAGE LONG-TERM DRIFT	V _{REF2} pin, no load		60		ppm/kHr

表 6. 一般的な DC 仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
V+ SUPPLY CURRENT (See Figure 14)	Core in sleep, isoSPI in idle				
	Core in sleep, isoSPI in idle, V _{REG} = 0 V, V+ = 60 V		4	10	μA
	Core in sleep, isoSPI in idle, V _{REG} = 5 V, V+ = 60 V		2	5	μA
	Core in standby or extended balancing, V+ = 60 V	4	10	24	μA
	Core in REFUP or measure or discharge timer monitor (DTM) measure, V+ = 60 V	0.3	0.5	0.65	mA
V _{REG} SUPPLY CURRENT (See Figure 14)					
I _{REG} (CORE, MEASURE) = I _{REG} (CORE, REFUP) + I _{REG} (CORE, ADCs ON)	Core in sleep, isoSPI in idle, V _{REG} = 5 V		2.2	8	μA
	Core in standby	3	10	25	μA
	Core in REFUP	2	2.3	3	mA
	Core in measure or DTM, additional current C-ADCs on	4	4.5	5	mA
	Core in measure, additional current S-ADCs on	3	3.9	4.5	mA
	Core in measure, additional current AUX ADCs on	0.4	0.55	0.75	mA
ADDITIONAL V _{REG} SUPPLY CURRENT IF isoSPI IN READY OR ACTIVE STATE AND t _{CLK} = 0.5 μs ¹	isoSPI in idle state		0		mA
	ISOMD = 0, ready	2.6	3.2	3.9	mA
	ISOMD = 0, active	7	8.5	11.5	mA
	ISOMD = 1, ready	3.1	3.7	4.4	mA
	ISOMD = 1, active write	7.5	9	12	mA
	ISOMD = 1, active read	12.5	14	18	mA
ADDITIONAL V _{REG} SUPPLY CURRENT FROM DISCHARGING	DCT = 0 and no cell discharge enabled		0		μA
	DCT ≠ 0 and/or some cell discharges asserted	10	40	130	μA
V+ SUPPLY VOLTAGE	TME specifications met	11	40	80	V
V _{REG} SUPPLY VOLTAGE		4.5	5	5.5	V
THERMAL SHUTDOWN PROCEDURE			150		°C
DISCHARGE SWITCH ON RESISTANCE	SxN = 0 V (x = 1, 2, or 3), SxP = 6 V (x > 3)	0.5	1	4	Ω
DRIVE PIN OUTPUT					
Output Voltage (V _{DRIVE})	T _A = 25°C	5.6	5.7	5.8	V
Output Current	ΔV _{DRIVE} < ±100 mV	-0.2		+1	mA
TEMPERATURE COEFFICIENT			-1.6		mV/°C

¹ アクティブ状態の電流は DC 測定から計算されています。アクティブ状態の電流とは、isoSPI ポートで連続的な 2MHz の通信が行われている場合に、V_{REG} に追加で流れ込む平均電源電流です。クロック・レートを遅くすると電源電流は減少します。

仕様

表 7. 動作タイミング仕様

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
REGULATOR START-UP TIME	t_{WAKE}	V_{REG} generated from DRIVE pin		200	500	μs
WATCHDOG OR DISCHARGE TIMER	t_{SLEEP}	DCTO[3:0] = 0000	1.8	2	2.2	sec
REFERENCE WAKE-UP TIME	t_{REFUP}	Added to the conversion time when starting from the standby state. $t_{REFUP} = 0$ when starting from other states. t_{REFUP} is independent of the number of channels measured and the ADC mode.	2.7	3.5	4.4	ms
PWM DISCHARGE PERIOD				937		ms

表 8. デジタル・ピン DC 仕様

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
DIGITAL INPUT VOLTAGE HIGH	V_{IH}	CSB, SCK, SDI, ISOMD, GPIOx	2.3			V
DIGITAL INPUT VOLTAGE LOW	V_{IL}	CSB, SCK, SDI, ISOMD, GPIOx			0.8	V
DIGITAL INPUT LEAKAGE CURRENT	$I_{LEAK(DIG)}$	SDI, ISOMD, GPIOx, SDO at 5 V CSB, SCK at 5 V CSB, SCK at 3.5 V			± 1 10 1	μA μA μA
DIGITAL OUTPUT, LOW SDO, GPIOx	$V_{OL(SDO, GPIO)}$	Sinking 4 mA			0.3	V

表 9. isoSPI 仕様

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
TRANSMITTER PULSE AMPLITUDE	V_A	$V_A = V_{IP} - V_{IM} $, termination resistance = 50 Ω	1	1.25	1.6	V
RECEIVER THRESHOLD SETTING	V_{RX}		240	300	360	mV
LEAKAGE CURRENT ON IPx AND IMx PINS	$I_{LEAK(IP/IM)}$	Idle state, V_{IP} or V_{IM} , 0 V to V_{REG}			10	μA
TRANSMITTER DRIVE CURRENT		V_{CM} set by the driver		25		mA
COMMON-MODE VOLTAGE	V_{CM}	$T_A = 25^\circ C$, IPx and IMx pins not driving		3.2		V
RECEIVER INPUT RESISTANCE	R_{IN}	ISOMD = 1, ready state IPA, IMA ISOMD = 1, ready state IPB, IMB	35 100			k Ω k Ω
DIFFERENTIAL WAKE-UP VOLTAGE	V_{WAKE}	$t_{DWELL} \geq 240$ ns	400			mV
START-UP TIME AFTER WAKE DETECTION	t_{READY}				10	μs
IDLE TIMEOUT DURATION	t_{IDLE}		4.3	5.5	6.7	ms

isoSPI パルスのタイミング仕様

表 10. isoSPI パルスのタイミング仕様

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
CHIP SELECT						
Half Pulse Width	$t_{\frac{1}{2}PW(CS)}$	Transmitter	120	150	180	ns
Signal Filter	$t_{FILT(CS)}$	Receiver	70	90	110	ns
Pulse Inversion Delay	$t_{INV(CS)}$	Transmitter	120	155	190	ns
Valid Pulse Window	$t_{WNDW(CS)}$	Receiver	220	270	330	ns
DATA						
Half Pulse Width	$t_{\frac{1}{2}PW(D)}$	Transmitter	40	50	60	ns
Signal Filter	$t_{FILT(D)}$	Receiver	10	25	35	ns
Pulse Inversion Delay	$t_{INV(D)}$	Transmitter	40	55	65	ns
Valid Pulse Window	$t_{WNDW(D)}$	Receiver	70	90	110	ns

仕様

SPIのタイミング要件

表 11. SPIのタイミング要件

Symbol	Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
$t_{CLK}^{1,2}$	SCK period		0.5			μ s
t_1^2	SDI setup time before SCK rising edge		25			ns
t_2^2	SDI hold time after SCK rising edge		100			ns
t_3^2	SCK low	$t_{CLK} = t_3 + t_4 \geq 0.5 \mu$ s	100			ns
t_4^2	SCK high	$t_{CLK} = t_3 + t_4 \geq 0.5 \mu$ s	100			ns
t_5^2	CSB rising edge to CSB falling edge		2			μ s
$t_6^{1,2}$	SCK rising edge to CSB rising edge		0.5			μ s
$t_7^{1,2}$	CSB falling edge to SCK rising edge		0.5			μ s

¹ これらのタイミング仕様はケーブル中での遅延によって異なり、また各方向で 50ns の許容遅延が含まれています。この 50ns という時間は、10m の Cat-5 ケーブル（伝搬速度は光速の 66%）に対応したものです。より長いケーブルを用いる場合、これらの仕様には追加遅延分だけのディレーティングが必要になります。

² この仕様は、全動作温度範囲にわたり適用されます。

isoSPIのタイミング仕様

表 12. isoSPIのタイミング仕様

Symbol	Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
$t_8^{1,2}$	SCK falling edge to SDO valid				60	ns
t_9^2	SCK rising edge to short ± 1 transmit		230	265	300	ns
t_{10}^2	CSB transition to long ± 1 transmit				100	ns
$t_{11}^{1,2}$	CSB rising edge to SDO rising				200	ns
t_{RTN}^2	Data return delay		150	185	220	ns
$t_{DSY(CS)}^2$	Chip select daisy-chain delay		100	160	200	ns
$t_{DSY(D)}^2$	Data daisy-chain delay		280	330	380	ns
t_{LAG}^2	Data daisy-chain lag (vs. chip select)	$(t_{DSY(D)} + t_{\frac{1}{2}PW(D)}) - (t_{DSY(CS)} + t_{\frac{1}{2}PW(CS)})$	0	70	100	ns
$t_{5(GOV)}^2$	Chip select high to low pulse governor		0.54	0.67	0.85	μ s
$t_{6(GOV)}^2$	Data to chip select pulse governor		0.69	0.86	1.1	μ s
t_{BLOCK}^2	isoSPI port reversal blocking window		2		10	μ s

¹ これらの仕様には、SDO の立上がり時間または立下がり時間は含まれていません。立下がり時間（内部プルダウン・トランジスタのため代表値で 5ns）は問題となりませんが、立上がりエッジの遷移時間（ t_{RISE} ）は、SDO ピンのプルアップ抵抗と負荷容量によって異なります。時定数は、SDO が MCU のセットアップ・タイム要件を満たすように選択する必要があります。

² この仕様は、全動作温度範囲にわたり適用されます。

絶対最大定格

表 13. 絶対最大定格

Parameter	Rating
Total Supply Voltage, V+ to V-	-0.3 V to +85 V
Input Pins (Relative to V-)	
Cx (x ≤ 16)	-0.3 V to +85 V
C9N	-0.3 V to +85 V
S1N, S1P, S2N	-0.3 V to +12 V
S2P, S3N, S3P	-0.3 V to +22 V
Sx (4 ≤ x ≤ 16)	-0.3 V to +85 V
IPA ¹ , IMA ¹ , IPB, IMB	-15 V to +15 V
DRIVE	-0.3 V to +7 V
All Other Pins	-0.3 V to +6 V
Voltage Between Input Pins	
SxP to SxN	-0.3 V to +12 V
S2N to S1N	-0.3V to +12 V
Cx to Cx - 1 (x = 1...8, 10...16)	-6 V to +12 V
C9 to C9N	-6 V to +12 V
Current In and Out of Pins	
SxP to SxN (Discharge Switched Closed)	350 mA
SxN to SxP (Discharge Switch Open)	10 mA
Sx When Pulled Below V-	10 mA
IPA ¹ , IMA ¹ , IPB, IMB	40 mA
V _{REG}	30 mA
All Other Pins	10 mA
Temperature	
Operating Range	-40°C to +105°C
Junction	150°C
Storage Range	-65°C to +150°C
Lead (Soldering, 10 sec)	300°C

¹ IPA と SCK は同じピンです。IMA と CSB は同じピンです。これらのピンの絶対最大定格は、ポート A が SPI モード (CSB および SCK) に設定されているか isoSPI モード (IPA および IMA) に設定されているかによって異なります。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

表 14. 熱抵抗

Package Type ¹	θ_{JA} ^{2,3}	θ_{JCBOT} ⁴	θ_{JCTOP} ⁵	Unit
CS-72-3	18.2	1.02	9.7	°K/W

¹ 適切な熱管理を行うために、露出パッドは、V-プレーンに接続する必要があります。

² 基板レイアウトは θ_{JA} などの熱性能に影響を与えます。

³ θ_{JA} は、1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲温度の間の熱抵抗です。

⁴ θ_{JCBOT} は、ジャンクションとケース底面の間の熱抵抗です。

⁵ θ_{JCTOP} は、ジャンクションとケース上面の間の熱抵抗です。

静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 準拠の帯電デバイス・モデル (CDM)。

ADES1830/ADES1831 の ESD 定格

表 15. ADES1830/ADES1831 の ESD 定格

ESD Model	Withstand Threshold (V)	Class
HBM	±2000	2
CDM	±500 Corners pins: ±750	C2B

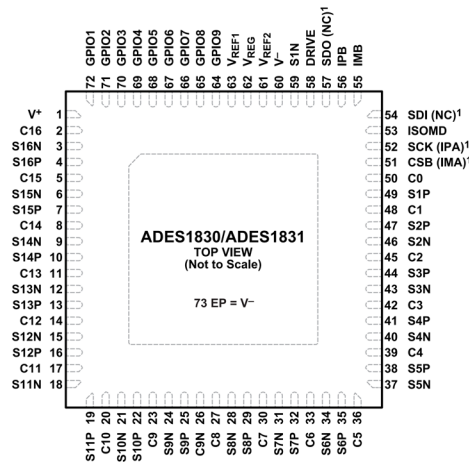
ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



¹THE FUNCTION OF THESE PINS DEPENDS ON THE CONNECTION OF ISOMD:
 ISOMD TIED TO V-: CSB, SCK, SDI, SDO
 ISOMD TIED TO V_{REG}: IPA, IMA, NC.

NOTE
 1. EXPOSED PAD. CONNECT THE EXPOSED PAD TO V-.

図 3. ピン配置、72 ピン

表 16. ピン機能の説明

ピン番号	記号	説明
1	V+	正電源ピン。
2, 5, 8, 11, 14, 17, 20, 23, 27, 30, 33, 36, 39, 42, 45, 48, 50	C16 to C1	セル測定 ADC 用の差動入力。
26	C9N	9 番目の C 測定チャンネル用負端子。使用法の詳細については、 バス・バーのモニタリングとバイパス のセクションを参照してください。
3, 4, 6, 7, 9, 10, 12, 13, 15, 16, 18, 19, 21, 22, 24, 25, 28, 29, 31, 32, 34, 35, 37, 38, 40, 41, 43, 44, 46, 47, 49, 59	S16P to S1P, S16N to S1N	バランス入力および出力。SxP と SxN の間には、16 個の P チャンネル金属酸化膜半導体電界効果トランジスタ (P-MOSFET) が接続されています。S-ADC への入力。
51, 52	IMA, IPA	絶縁型 2 線式シリアル・インターフェース・ポート A。IPA (プラス) および IMA (マイナス) は差動入出力ペアです。
51, 52, 54, 57	CSB, SCK, SDI, SDO	4 線式 SPI。アクティブ・ロー・チップ・セレクト (CSB)、シリアル・クロック (SCK)、シリアル・データ入力 (SDI) はデジタル入力です。シリアル・データ出力 (SDO) はオープン・ドレインの N チャンネル金属酸化膜半導体 (NMOS) 出力ピンです。SDO には 1kΩ のプルアップ抵抗が必要です。
53	ISOMD	シリアル・インターフェース・モード。ISOMD を V _{REG} に接続すると、ADES1830/ADES1831 は 2 線式絶縁型インターフェース (isoSPI) モードに設定されます。ISOMD を V- に接続すると、ADES1830/ADES1831 は 4 線式 SPI モードに設定されます。
55, 56	IMB, IPB	絶縁型 2 線式シリアル・インターフェース・ポート B。IPB (プラス) および IMB (マイナス) は差動入出力ペアです。
58	DRIVE	外部ネガティブ・ポジティブ・ネガティブ (NPN) トランジスタをこのピンに接続します。コレクタを V+ に、エミッタを V _{REG} に接続します。
60	V-	負電源ピン。V- ピンは、本 IC の外部で互いに短絡する必要があります。
61	V _{REF2}	複数の 10kΩ のサーミスタを駆動するための、バッファ処理された第二リファレンス電圧。1μF のコンデンサを外付けしてバイパスします。
62	V _{REG}	5V レギュレータ入力。1μF のコンデンサを外付けしてバイパスします。
63	V _{REF1}	ADC リファレンス電圧。1μF のコンデンサを外付けしてバイパスします。DC 負荷は接続しないでください。
64 to 72	GPIO9 to GPIO1	汎用入出力。デジタル入力またはデジタル出力として使用できます。あるいは、測定範囲が V-~5V の場合にアナログ入力として使用できます。GPIO3~GPIO5 は I ² C ポートまたは SPI ポートとして使用できます。
	Exposed Pad	露出パッド。露出パッドは V- に接続します。

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

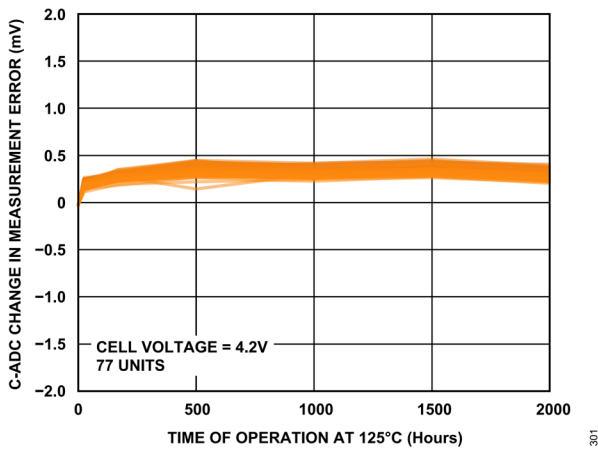


図 4. C-ADC の測定誤差の変化と 125°C での動作時間の関係

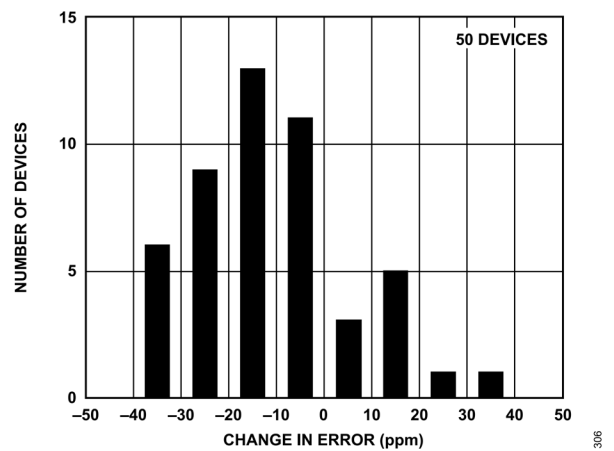


図 7. IR リフローによる C-ADC のゲイン誤差

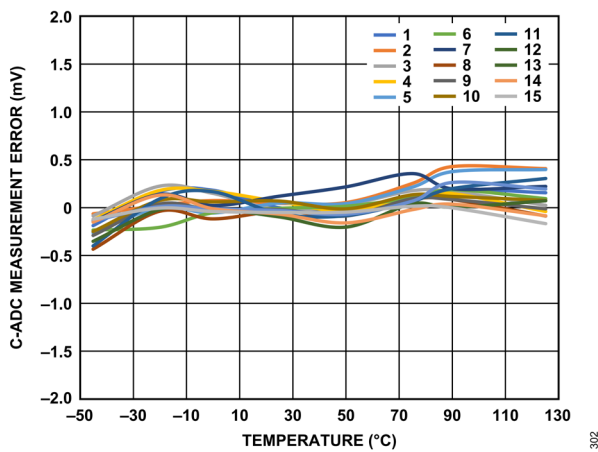


図 5. 4.2V での C-ADC の測定誤差と温度の関係 (15 デバイス)

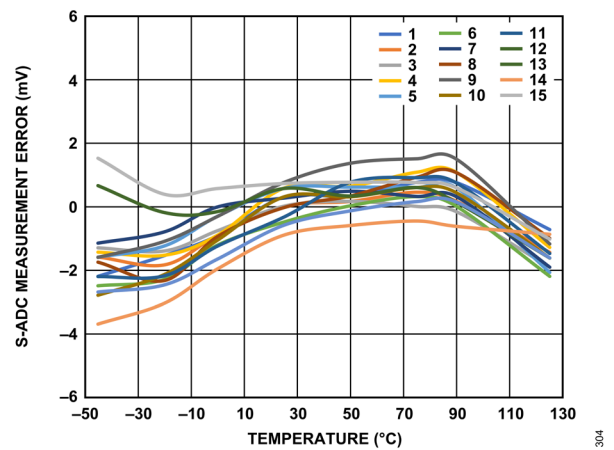


図 8. 4.2V での S-ADC の測定誤差と温度の関係 (15 デバイス)

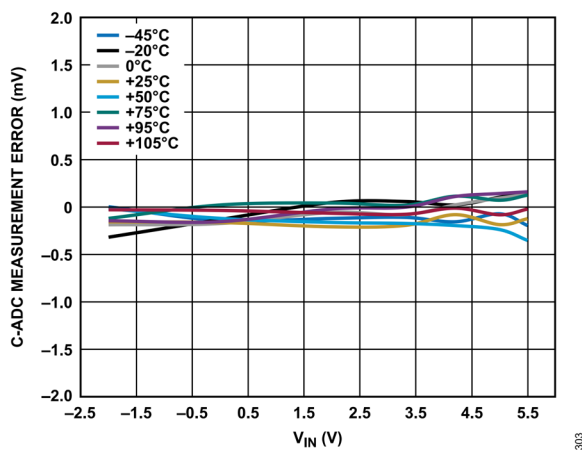


図 6. C-ADC の測定誤差と入力電圧 (V_{IN}) の関係

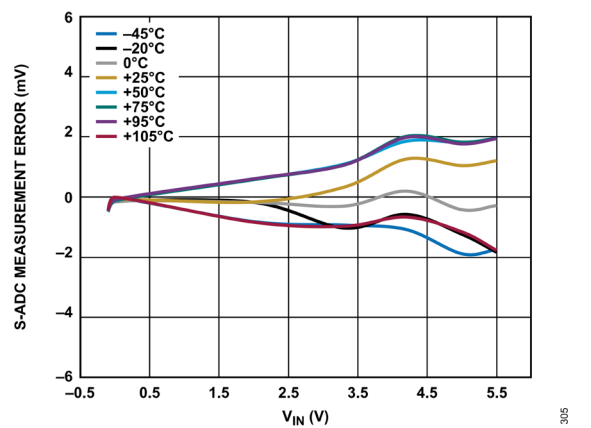


図 9. S-ADC の測定誤差と V_{IN} の関係

代表的な性能特性

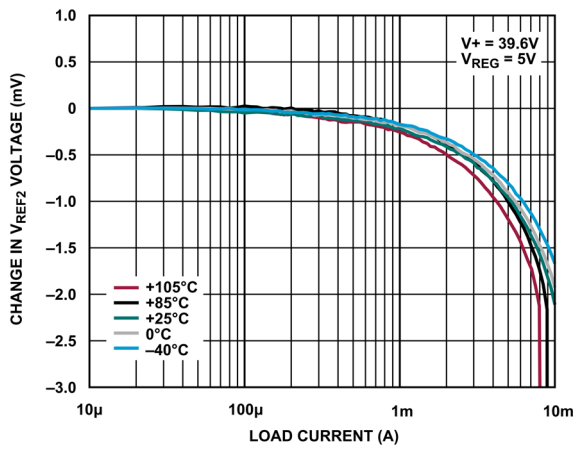


図 10. V_{REF2} 電圧の変化と負荷電流の関係

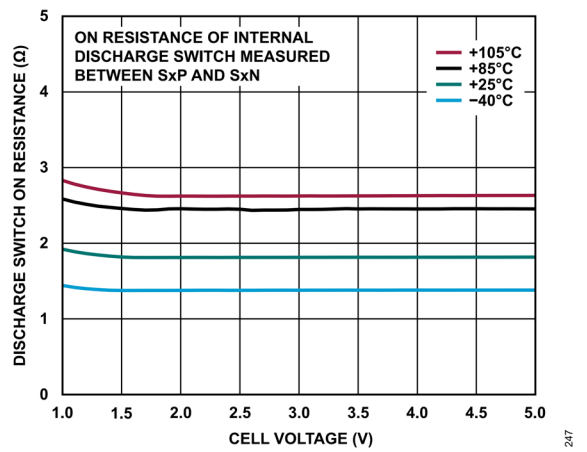


図 12. 放電スイッチのオン抵抗とセル電圧の関係

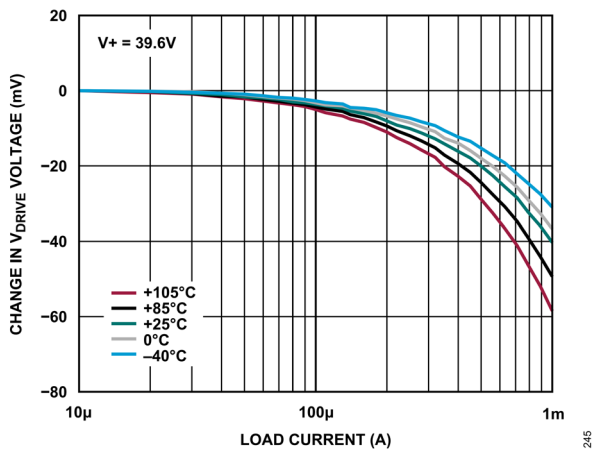


図 11. V_{DRIVE} 電圧の変化と負荷電流の関係

動作原理

コア状態の説明

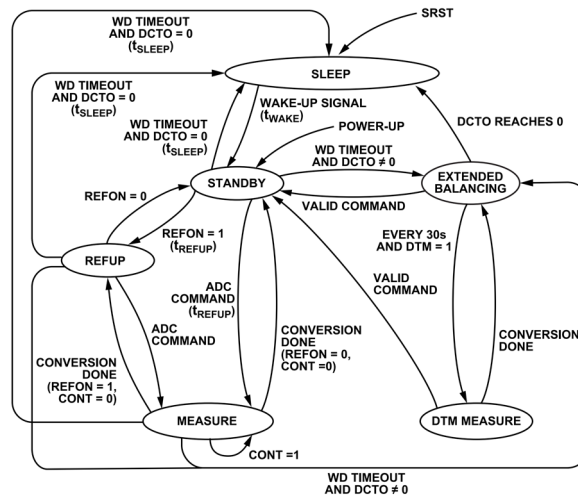


図 13. コア状態遷移図

スタンバイ状態

最初の電源投入時、またはパワーオン・リセット (POR) 後、デバイスはリセットし、スタンバイ状態に入ります。スタンバイ状態では ADES1830/ADES1831 との通信が可能で、PWM レジスタ・グループに書き込みを行うことでセル放電とバランスングの動作を有効化できます。リファレンスおよび ADC はオフになります。ウォッチドッグ・タイマーや放電タイマーは動作しています。DRIVE ピンは、DRIVE ピンで制御される外部トランジスタを通じて 5.2V を VREG ピンに給電します。VREG は外部ソースを通じて給電できます。この場合、DRIVE ピンをフロート状態にすることで、内部レギュレータを無効化して競合を回避する必要があります。本 IC はスタンバイ状態で PWM 放電を実行できます。

有効な ADC コマンドを受信した場合、または、設定レジスタ・グループ A の REFON ビットが 1 にセットされた場合、本 IC はリファレンスに電源投入できるよう、 t_{REFUP} の間停止します。その後、本 IC は REFUP または測定状態に入ります。それ以外の場合、 t_{SLEEP} の間有効なコマンドの受信がなければ、DCTO = 0 であれば本 IC はスリープ状態に戻り、DCTO \neq 0 であれば延長バランスング状態になります。

スリープ状態

ウォッチドッグ・タイマーがタイムアウトすると、ADES1830/ADES1831 はスリープ状態に入り消費電力は最小限になります。リファレンスおよび ADC はパワーダウンされます。isoSPI ポートはアイドル状態です。DRIVE ピンは 0V になります。内蔵 3V レギュレータは、ウェイクアップ信号を検出し、保持レジスタに 6 バイトのユーザ・プログラマブル・データを保持するための電力を供給します。その他のレジスタはすべてデフォルト値にリセットされます。ウェイクアップ信号を受信すると、ADES1830/ADES1831 はスタンバイ状態になります。

REFUP 状態

REFUP 状態にするには、WRCFGA コマンドを用いて設定レジスタ・グループ A の REFON ビットを 1 にセットする必要があります。REFUP 状態では ADC はオフになります。リファレンスは電源投入されているため、ADES1830/ADES1831 はスタンバイ状態より早く ADC 変換を開始できます。

有効な ADC コマンドを受信した場合、本 IC は測定状態に移行して変換を開始します。それ以外の場合、ADES1830/ADES1831 は、REFON ビットが 0 にセットされるとスタンバイ状態に戻ります。 t_{SLEEP} の間有効なコマンドの受信がなければ、DCTO = 0 であれば本 IC はスリープ状態に戻り、DCTO \neq 0 であれば延長バランスング状態になります。

測定状態

有効な ADC コマンド (ADCV、ADSV、ADAX、または ADAX2) を受信すると、ADES1830/ADES1831 は測定状態になり、ADC 変換を実行します。この状態に入ると、リファレンスと ADC に給電が行われます。

ADC コマンドの CONT ビットが 0 にセットされている場合、ADES1830/ADES1831 は ADC コマンドに従って単一変換サイクルを実行し、対応する結果レジスタを更新し、スタンバイ状態または REFUP 状態に戻ります。

ADC コマンドの CONT ビットが 1 にセットされている場合、ADES1830/ADES1831 は ADC コマンドに従って変換サイクルを連続的に実行し、対応する結果レジスタを 1kHz の更新レートで更新し、その ADC 結果を、フィルタ設定レジスタに従って事前設定された対応する IIR フィルタに供給します (詳細については、内部デジタル・フィルタ処理のセクションを参照)。変換中に新しい ADCV、ADSV、ADAX、または ADAX2 コマンドが受信された場合、該当する ADC で進行中の変換が停止して新たな測定が開始されるため、スタック内の複数の ADES1830/ADES1831 デバイスを再同期できます。

動作原理

延長バランシングおよび DTM 測定状態

DTM 測定状態では、ADES1830/ADES1831 はセル電圧を定期的にモニタし、その間、PWM バランシングおよび放電タイマーがホスト・コントローラと相互作用せずにアクティブになっています。ホストは、PWM バランシングを設定し、すべての DCC ビットをクリアし、DTMEN ビットを設定して DTM 機能が有効になるようにする必要があります。

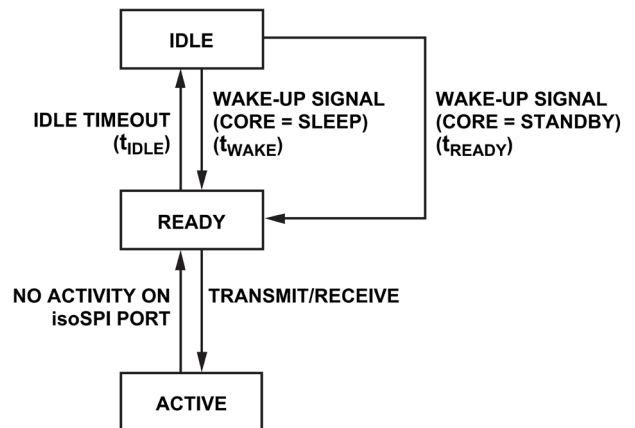
ウォッチドッグ・タイマーの設定時間が終了し、放電タイマー・モニタが有効化されタイムアウトしていない場合、ADES1830/ADES1831 は延長バランシング状態になり、設定された PWM 放電が継続されます。ADES1830/ADES1831 はこの状態から 30 秒ごとに DTM 測定状態に遷移し、セル電圧を測定してその結果を過電圧 (OV) スレッシュホールドおよび低電圧 (UV) スレッシュホールドと比較し、それに応じてステータス・レジスタの OV フラグと UV フラグを更新します。いずれかのセルが UV スレッシュホールドに達すると、ADES1830/ADES1831 は該当セルの放電を中断します。セル電圧が UV スレッシュホールド以上に回復すると、そのセルの放電は再開されます。

セル測定がロー・パワー・セル・モニタリング (LPCM) ハートビート・モードまたは DTM 測定状態で行われている場合、放電はミュートされません。その結果、測定は、セル・ケーブルの抵抗を流れる放電電流の電圧降下による影響を受けます。PWM 放電は ADC 測定とは非同期で生じます。そのため、測定が電圧降下によって変化するかどうかは予測できません。ケーブルの抵抗と放電電流によっては、意図した電圧スレッシュホールド (VOV、VUV、CMT_CUV、CMT_COV) を正確にチェックできないこともあります。

ADES1830/ADES1831 は、何らかの有効なコマンドを受信するとスタンバイ状態に、あるいは、放電タイムアウト (DCTO) 値が経過するとスリープ状態に遷移します。PWM バランシングは DCTO 値に達していなくても継続されます。

isoSPI 状態の説明

ADES1830/ADES1831 には、デジチェーン通信を行うためにポート A とポート B の 2 つの isoSPI ポートがあります。



NOTES

1. STATE TRANSITION DELAYS ARE DENOTED BY (t_x).

3

図 14. isoSPI の状態遷移図

アイドル状態

アイドル状態では、isoSPI ポートはパワーダウンされます。

isoSPI のポート A およびポート B がウェイクアップ信号を受信すると、isoSPI はレディ状態になります。コアがスタンバイ状態になっている場合、この遷移は短時間 (t_{READY} 以内) で生じます。コアがスリープ状態の場合は、isoSPI がウェイクアップ信号を受信すると本 IC は t_{WAKE} の時間以内にレディ状態に遷移します。

レディ状態

レディ状態の場合、isoSPI ポートは通信の準備ができています。この状態でのシリアル・インターフェース電流は、ISOMD ピンのステータスによって異なります。

t_{IDLE} より長い時間、ポート A またはポート B にアクティビティがない (つまりウェイクアップ信号がない) と、ADES1830/ADES1831 はアイドル状態に遷移します。シリアル・インターフェースがデータの送信または受信を行っている場合は、ADES1830/ADES1831 はアクティブ状態に遷移します。

アクティブ状態

アクティブ状態時の ADES1830/ADES1831 は、一方または両方の isoSPI ポートを用いてデータの送受信を行っています。この状態の場合、シリアル・インターフェースは最大電力を消費します。電源電流は、isoSPI のパルス密度が増加するため、クロック周波数に応じて増加します。

電源

ADES1830/ADES1831 は、V+および V_{REG} の 2 つのピンで給電されます。V+入力には、セル測定入力ピンの電圧とは無関係に、11V 以上の電圧が必要です。V+は主に、高精度のツェナー・リファレンス電圧に給電します。V_{REG} 入力は 5V を必要とし、残りのコア回路および isoSPI 回路に給電すると共に放電スイッチを駆動します。V_{REG} 入力は、安定化された DRIVE 出力ピンにより駆動される外部トランジスタを通じて給電できます。あるいは、外部電源を用いて V_{REG} に給電することもできます。

消費電力は、動作状態によって異なります。スリープ状態では、ADES1830/ADES1831 の消費電流は、全体を V+ピンで給電されている場合、あるいは一部を V_{REG} ピンによって給電されている場合（外部電源で給電されていれば）、4μA です。V+ピンの電流はコア状態にのみ依存するのに対し、V_{REG} ピンの電流は、コアの状態と isoSPI の状態の両方に依存し、次のように 2 つの要素に分割できます。

$$I_{REG} = I_{REG(Core)} + I_{REG(isoSPI)}$$

測定の際、引き出される電流は、測定用にオンになっている ADC の数によって異なります。

したがって、I_{REG(Core)}は、REFUP 状態で消費される電力と ADC が消費する追加電流の和になります。

$$I_{REG} (Core, Measure) = I_{REG} (Core, REFUP) + I_{REG} (Core, ADCs on)$$

仕様のセクションに、使用する ADC の数に応じた、測定状態での消費電力の概要を示しています。

代表的な例では、I_{REG(Core)}を以下のように概算できます。

$$I_{REG} (Core) = I_{regREFUP} + I_{regCADC} + n_{SADC} \times t_{SADC}/t_{FDTI} \times I_{regSADC} + (n_{AUX} \times t_{AUX} + n_{AUX2} \times t_{AUX2})/t_{FDTI} \times I_{regAUX} \approx 8mA \quad (1)$$

以下の仮定に基づきます。

- ▶ t_{AUX} = 1ms、AUX 変換時間
- ▶ n_{AUX} = 18、フォルト検出時間間隔 (FDTI) あたりの AUX 変換の数 (診断用の全チャンネルおよび全 GPIO (GPIO10 は GND に内部で接続されており、ユーザがアクセス可能な GPIO としては使用できません))。
- ▶ t_{AUX2} = 8ms、AUX2 変換時間
- ▶ n_{AUX2} = 10、FDTI あたりの AUX2 変換の数 (全 10GPIO)
- ▶ t_{FDTI} = 100ms、フォルト検出時間間隔
- ▶ t_{SADC} = 8ms、S-ADC 変換時間
- ▶ n_{SADC} = 3、FDTI あたりの S-ADC 変換の数
- ▶ I_{regAUX} = 0.55mA、AUX ADC の消費電流 (AUX ADC および AUX2 ADC がアクティブ)
- ▶ I_{regREFUP} = 2.3mA、REFUP 状態での消費電流で、基本的な消費電流でもあります
- ▶ I_{regCADC} = 4.5mA、C-ADC の消費電流 (全 16 個)
- ▶ I_{regSADC} = 3.9mA、S-ADC の消費電流 (全 16 個)

isoSPI は V_{REG} ピンからのみ電流を引き出します。表 17 に、isoSPI 状態の関数として isoSPI 電流を概算するための式を示します。

表 17. isoSPI 通信での消費電力

isoSPI State	ISOMD Logic	I _{REG(isoSPI)}
Idle	Not applicable	0 mA
Ready	1	3.7 mA
	0	3.2 mA
Active	1	Active write: I _{REG(isoSPI)} (ready state) + 2 × t _{1/2PW(D)} /t _{CLK} × I _{DRV} Active read: I _{REG(isoSPI)} (ready state) + 4 × t _{1/2PW(D)} /t _{CLK} × I _{DRV}
	0	Active write/read: I _{REG(isoSPI)} (ready state) + 2 × t _{1/2PW(D)} /t _{CLK} × I _{DRV}

一例として以下を仮定します。

- ▶ I_{regRd} = 14mA、アクティブ読出しの消費電流 (2Mbps、100% の SPI デューティ・サイクル)。
- ▶ I_{regWr} = 9 mA、アクティブ書込みの消費電流 (2Mbps、100% の SPI デューティ・サイクル)。
- ▶ I_{regRdy} = 3.7 mA、isoSPI レディ状態の消費電流 (通信が行われず t_{IDLE} の時間が経過していない場合)。
- ▶ デューティ = 0.8、SPI 通信のデューティ・サイクル、最も厳しい場合で 80% を仮定。
- ▶ wrRatio = 0.3、コマンドの 30% が書込みコマンドと仮定 (WRCFGA、WRCFGB、WRPWM など)。
- ▶ I_{REG(isoSPI)} は以下のように概算できます。

$$I_{REG(isoSPI)} = duty \times (wrRatio \times I_{regWr} + 1 - wrRatio \times I_{regRd} + 1 - duty \times I_{regRdy}) \approx 11mA \quad (2)$$

- ▶ 合計 I_{REG} 電流 : 8mA + 11mA = 19mA。
- ▶ 外部 NPN トランジスタを用いて V_{REG} を生成する代表的なアプリケーションでは、この電流は MODULE+ から供給され、これには V+ も接続されています。測定状態での V+ の消費電流の代表値は 0.5mA です。その結果、仮定した isoSPI 通信のデューティ・サイクルの場合、MODULE+ の消費電流の代表値は 20mA 未満になります。

セル電圧測定

C-ADC および S-ADC の動作とコマンド

16 個の ADC が 16 個の差動セル入力を同期して測定するための専用となっており、そのためにこれらの ADC は C-ADC と名付けられています。C-ADC は、 $-2V \sim +5.5V$ の入力範囲と約 4MHz のサンプリング周波数を特徴としており、LSB を $150\mu V$ とする 16 ビットの結果を 1ms ごとに出力します。更に、8ms ごとに ADC のそれまでの 8 個の変換による平均値を出力します。

16 個の付加的な ADC が、 $0V \sim 5.5V$ の入力範囲の 16 個の差動入力 (SxP および SxN) を同期して約 4MHz のサンプリング周波数で測定するための専用となっており、8ms ごとに結果を出力します。これらの S-ADC により、C-ADC とは独立した測定経路を用いてセル電圧の冗長な測定が可能となります。

各 16 ビット・レジスタの測定結果の表示に関するメモリ・マップの説明については、[メモリ・マップ](#)のセクションを参照してください。

2 つのコマンドで C-ADC および S-ADC をトリガできます。ADCV は、冗長性のあるセル電圧変換または冗長性のないセル電圧変換をトリガし、ADSV は S-ADC 変換をトリガします。

変換中に新しい ADCV または ADSV が受信された場合、該当する ADC で進行中の変換が停止して新たな測定が開始されるため、スタック内の複数の ADES1830/ADES1831 デバイスを再同期できます。対応する結果レジスタは、新しい ADCV または ADSV の受信時にリセットされます。

表 18. C-ADC と S-ADC のコマンド

Command Description	Name	INC ¹	CC[10:0] – Command Code										
			10	9	8	7	6	5	4	3	2	1	0
Start Cell Voltage ADC Conversion and Poll Status	ADCV	Yes	0	1	RD	CONT	1	1	DCP	0	RSTF	OW[1]	OW[0]
Start S-ADC Conversion and Poll Status	ADSV	Yes	0	0	1	CONT	1	1	DCP	1	0	OW[1]	OW[0]

¹ INC は、コマンド・カウンタがコマンドに対してインクリメントするかどうかを示します。

セル電圧測定

連続測定またはシングル・ショット測定

C-ADC および S-ADC はどちらも、単一測定 (CONT = 0) または連続測定 (CONT = 1) を実行するよう設定できます。連続モードでは、対応する ADC の結果レジスタが、1ms (C-ADC) および 8ms (S-ADC) の変換レートで更新されます。各 ADC の連続変換モードを終了するには、CONT = 0 の ADCV または ADSV を送信します。その後、アドレス指定された ADC は、最後のシングル・ショット測定を行った後、オフになります。

冗長測定

冗長な測定を確保するには、直接法と間接法の 2 つの方法があります。

直接法には、ADCV コマンドに冗長ビット (RD) が設定されず。この場合、C-ADC と S-ADC はどちらも冗長性を提供するようトリガされます。8ms 後、C-ADC の平均された結果が S-ADC の結果と比較されます。その結果が、設定レジスタ A の CTH[2:0] で設定されたスレッシュホールドの範囲内で一致しない場合、ステータス・レジスタ・グループ C で CSxFLT フラグがセットされます。RD = 1 および CONT = 0 でトリガされたシングル・ショット測定には 8ms を要します。ADSV が CONT = 0 で発行された場合、それ以上の比較は行われず、S-ADC はシングル・ショット変換を行って停止します。

なお、RD = 1 の ADCV が発行された場合は、断線スイッチがリセット (オープン) され、適切な比較が確保されます。診断機能を伴うセル測定のアルゴリズムのセクションでは、広い機能安全範囲を確保するために S-ADC による冗長測定および断線検出のシーケンスを説明しています。

間接法では、S-ADC を既に動作中の C-ADC と同期させることができます。

C-ADC が連続モードになっている間に CONT = 1 の ADSV が発行された場合、S-ADC は C-ADC が現在行っている 8 個の変換の平均処理が終了するのを待ち、CAVG8 に同期して変換を開始し、CAVG8 と S-ADC の結果を比較します。その後に結果比較を行う冗長測定が開始されるか進行中である場合、ステータス・レジスタ・グループの COMP ビットが 1 にセットされ潜在的なフォルトに対処します。

測定中の放電

ADES1830/ADES1831 は、測定中に PWM 放電を中断できるため、放電電流によるケーブル中の電圧降下を伴うことなく、セル電圧を取得できます。この動作は、表 19 に説明されているように、RD、DCP、CONT の各ビットを通じて制御できます。

表 19. ADC コマンド制御ビット

コマンド	入力			PWM 放電の状態 ^{1, 2}
	RD ³	DCP	CONT	
ADCV	0	0	1	進行中の C-ADC 変換を停止し、C-ADC の連続変換を再開。PWM 制御による放電は影響を受けません。
	1	0	1	PWM 制御による放電が中断。進行中の C-ADC 変換を停止し、C-ADC と S-ADC の連続変換を再開して冗長比較を実行。更なるコマンドが送信されない限り、PWM 放電はオフのままです。
	1	0	0	PWM 制御による放電が中断。進行中の C-ADC 変換を停止し、C-ADC と S-ADC のシングル・ショット変換を行って冗長比較を実行。C-ADC と S-ADC の冗長変換の間 (通常 8ms)、PWM 放電はオフのままです。
	0	0	0	C-ADC のシングル・ショット変換を直ちにトリガ。S-ADC の動作と PWM 制御放電は影響を受けません。
	X	1	0	進行中の C-ADC 変換を停止し、C-ADC (RD = 0 の場合) または C-ADC と S-ADC (RD = 1 の場合) のシングル・ショット変換を実行。PWM 制御放電には影響しません。
	X	1	1	無効なコマンドを無視。現在の動作は影響を受けず、CC はインクリメントされません。
	ADSV	X	0	1
X		0	0	S-ADC のシングル・ショット変換を行うために PWM 制御放電が中断。C-ADC の動作は影響を受けません。
X		1	0	測定中、PWM 制御放電が継続。S-ADC のシングル・ショット変換。C-ADC の動作は影響を受けません。
X		1	1	現在の動作は影響を受けず、CC はインクリメントされません。

¹ DCC ビットを通じて静的に有効化され、WRCFGA、WRCFGB、ミュート、サーマル・シャットダウンなどの高優先度イベントによって中断されない限り、放電は常に継続されます。

² どの ADCV でも、進行中の C-ADC 変換を中断し、C-ADC を再開します。そのため、耐フォルト時間間隔 (FTTI) ごとに ADSV コマンド (DCP = 0、CONT = 1 の ADSV) で冗長測定をトリガすることを推奨します。

³ X は 0 または 1 です。

セル電圧測定

断線スイッチ

ADES1830/ADES1831 は、図 2 に示すように、セル測定入力に電流制限されたスイッチを備えています。これらのスイッチをアクティブ化すると、セルとの接続が断線している場合にそれを検出できます。対応する測定経路の断線スイッチは、表 20 に示すように、断線ビット (OW[1:0]) で制御されます。

表 20. 断線スイッチ制御ビット

OW[1]	OW[0]	Open Wire Switches
0	0	All channels: off
0	1	Even channels on (S2 and C2, S4 and C4, ...) odd channels off (S1 and C1, S3 and C3, ...)
1	0	Even channels off (S2 and C2, S4 and C4, ...) odd channels on (S1 and C1, S3 and C3, ...)
1	1	All channels on

詳細については、セルの断線検出のセクションを参照してください。

内部デジタル・フィルタ処理

図 15 は、ADES1830/ADES1831 内の全体的な信号処理を描写したものです。入力電圧が、約 4.1MHz のサンプリング周波数で S-ADC および C-ADC によってサンプリングされます。S-ADC と C-ADC のどちらもオーバーサンプリング ADC です。C-ADC は 1ms ごとに新しい測定結果を出力するのに対し、S-ADC の結果は 8ms ごとに更新されます。その後 C-ADC の測定結果は、8ms にわたり平均化され、冗長性が必要であれば、S-ADC の同期結果と比較されます。

C-ADC の 16 ビットの結果は、設定可変 IIR フィルタにも供給され、更なるノイズ・フィルタ処理が行われます。

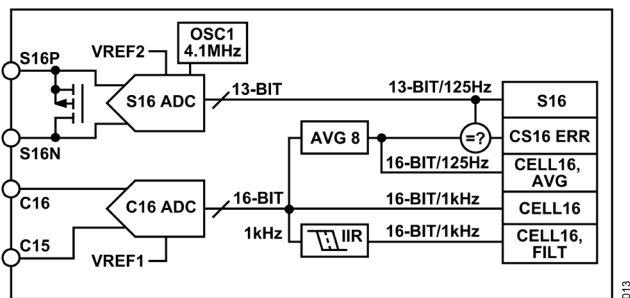


図 15. 内蔵デジタル・フィルタ

IIR フィルタの伝達関数は次式で表されます。

$$Y(n) = Y(n - 1) + (X(n) - Y(n - 1))/a \tag{3}$$

ここで、

X(n) は n 番目の入力、

Y(n) はフィルタの n 番目の出力、

a は表 21 に示すフィルタ・パラメータです。

-3dB のコーナー周波数は、設定レジスタ・グループ A の FC[2:0] ビットを設定することで、110Hz~0.625Hz の範囲で選択できます (表 21 参照)。

表 21. IIR の周波数設定

-3 dB Corner Frequency	FC[2]	FC[1]	FC[0]	Filter Parameter
Filter Disabled	0	0	0	N/A ¹
110	0	0	1	2
45	0	1	0	4
21	0	1	1	8
10	1	0	0	16
5	1	0	1	32
1.25	1	1	0	128
0.625	1	1	1	256

¹ N/A は該当なしを意味します。

3 つのビットすべてがゼロにセットされた場合は、どの IIR フィルタ処理も適用されません。

フィルタ処理された結果は、フィルタ処理セル電圧レジスタ・グループ A~E に格納されます。IIR フィルタのリセットは、フィルタ処理セル電圧レジスタ・クリア・グループ (CLRFC) コマンドを発行するか、ADCV コマンドのリセット・フィルタ (RSTF) ビットを設定することで行うことができます。更に、フィルタのコーナー周波数が変更された場合、フィルタはリセットされます。セトリング・タイムを短縮するために、フィルタは、リセット後に到達する最初のサンプルでプリロードされます。なお、C-ADC の結果は、連続モードで取得されたものでも、シングル・ショット・モードで取得されたものでも、IIR フィルタに加えられます。表 22 に、ADES1830/ADES1831 でのデジタル・フィルタ処理のオプションをまとめたものを示します。

図 16 には、更新レートが 1kHz での C-ADC の結果の伝達関数と、それらの 8ms にわたる平均の伝達関数を示します。この平均の伝達関数は、S-ADC の伝達関数および -3dB のコーナー周波数を 0.625kHz に設定した追加 IIR フィルタ後の伝達関数に等価なものです。

セル電圧測定

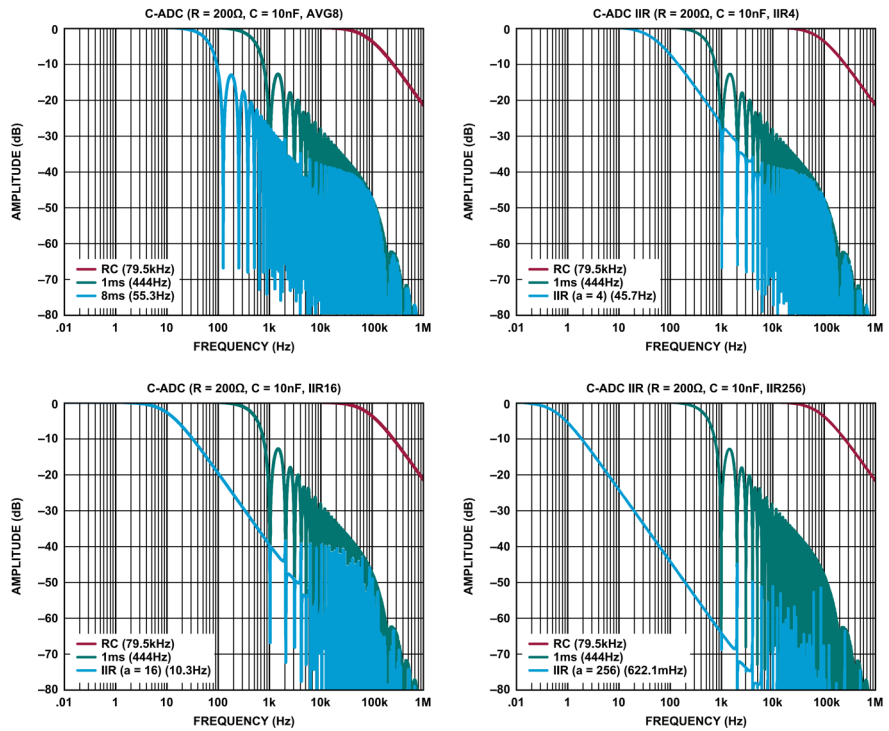


図 16. フィルタの伝達関数

表 22. デジタル・フィルタ処理のオプション

ADC	ADC Frequency (f _{ADC})	Filter Output Rate	Filter Type	Filter Function	-3 dB Corner Frequency (Hz)	Settle, Step to 0.1% of Final (sec)	Specialty
C-channel	4.1 MHz	1 kHz	IIR	1-pole low-pass filter (LPF)	110	0.010	Low frequency LPF
					45	0.025	Low frequency LPF
					21	0.052	Low frequency LPF
					10	0.108	Low frequency LPF
					5	0.218	Low frequency LPF
					1.25	0.881	Low frequency LPF
			0.625	1.765	Low frequency LPF		
125 Hz	Finite impulse response (FIR)	Average of 8 samples	56		Noise filter and 50 Hz/60 Hz		
1 kHz	Sinc (ADC)	First order sinc	443		Fast response with good high frequency filtering		
S-channel	4.1 MHz	125 Hz	Sinc (ADC)	First order sinc	56		Matches C-channel FIR

GPIO およびデバイス・パラメータ測定

AUX ADC の動作およびコマンド

ユーザが使用可能な9個のGPIO入力は、どちらも前段にマルチプレクサが配置され入力範囲が0V~5.5Vの、2つの独立したユニポーラADCで冗長的に測定できます。メインのAUX ADCは、GPIOチャンネルの他、内部電源電圧(VDおよびVA)、第二リファレンス(VREF2)、ダイ温度(ITEMP)を測定します。

ADAXコマンドはAUX ADCの測定をトリガし、ADAX2コマンドはAUX2の測定をトリガします。

ADAXコマンドまたはADAX2コマンドの場合、表24に従って、測定される補助入力をCHxビットで選択します。

すべてのAUX入力を測定する必要がある場合(CH[4:0]=00000)、AUX ADCは、すべての入力(合計18チャンネル)を順番に測定し、対応する補助レジスタが更新されます。AUX2ではGPIOのみを測定できる点に注意してください。そのため、ADAX2コマンドではCH[4]を使用できません。

OWビットがセットされている場合、対応する測定は断線検出と共に実行され、この検出は、AUX ADCの場合は電流源によっ

て行われます。プルアップ・ビットは、AUX変換の間にプルアップ電流源(PUP=1)とプルダウン電流源(PUP=0)のどちらを適用するかを決定します(詳細についてはGPIO断線検出のセクションを参照してください)。

セトリング誤差を防ぐため、マルチプレクサが設定された後の変換開始を遅延させるソーク時間を設定できます。ソーク時間は、設定レジスタ・グループAのSOAKONビットで有効化され、OWRNGおよびOWAで設定されます。OWビットを設定して断線検出が必要となった場合、電流源はマルチプレクサ設定を設定したときにオンに切り替わります。

なお、長いソーク時間でADAXコマンドまたはADAX2コマンドを実行すると、終了するまでにウォッチドッグ・タイマーより長い時間を要する場合があります。こうした場合、有効なコマンドを送信して、ADES1830/ADES1831が測定を中断しスリープ状態になることのないようにする必要があります。

ADES1830/ADES1831が変換中に新しいADAXコマンドまたはADAX2コマンドを受信すると、対応するADCは停止して再始動します。対応する結果レジスタは、新しいADAXコマンドまたはADAX2コマンドの受信時にはリセットされません。

表 23. AUX コマンド

Command Description	Name	INC ¹	CC[10:0] – Command Code										
			10	9	8	7	6	5	4	3	2	1	0
Start AUX ADC Conversions and Poll Status	ADAX	Yes	1	0	OW	PUP	CH[4]	0	1	CH[3]	CH[2]	CH[1]	CH[0]
Start AUX2 ADC Conversions and Poll Status	ADAX2	Yes	1	0	0	0	0	0	0	CH[3]	CH[2]	CH[1]	CH[0]

¹ INCは、コマンド・カウンタがコマンドに対してインクリメントするかどうかを示します。

表 24. チャンネル選択

Name	Function	Value	AUX Input				
CH[4:0]	Selection for AUX Inputs, ADAX: CH[4:0], ADAX2: CH[3:0]	CH[4]	CH[3]	CH[2]	CH[1]	CH[0]	
		0	0	0	0	0	All
		0	0	0	0	1	GPIO1
		0	0	0	1	0	GPIO2
		0	0
		0	1	0	0	1	GPIO9
		1	0	0	0	0	VREF2
		1	0	0	0	1	VD
		1	0	0	1	0	VA
		1	0	0	1	1	ITEMP
		1	0	1	0	0	VPV
		1	0	1	0	1	VMV
		1	0	1	1	0	VRES
		1	0	1	1	1	Reserved

システム診断

セル測定の診断と報告

RD = 1 の ADCV コマンドを送信することで冗長性のあるセル測定が要求された場合、S-ADC の結果と C-ADC の結果が比較されます。不一致が制御レジスタ・グループ C で設定されたスレッシュホールドより大きい場合は、ADES1830/ADES1831 は該当のフォルト・ビット (CSxFLT) を 1 にセットします。潜在的なフォルトを回避するため、コンパレータが冗長的に実装されており、コンパレータの 1 つが不一致のフラグを立てた場合、それは CSxFLT をセットすることで信号伝達されます。

C-ADC の後段の IIR フィルタでフォルト検出を確実にするため、IIR フィルタが冗長的に実装されており、それらの結果は2つ

の別個の SPI ターゲットによって読み出されてその出力が比較されます (通信の診断と報告のセクションを参照)。

セルの断線検出

ADES1830/ADES1831 は、冗長性のある 2 個のピン・ペアを個別に用いてセル電圧を測定するため、対応する S チャンネルおよび C チャンネルの測定値を比較することで、PCB の断線した入力接続を検出できます。ただし、図 17 に示すように、アプリケーションにおいては、PCB は多くの場合、バッテリーの極ごとに 1 本のケーブルでバッテリーに配線されます。

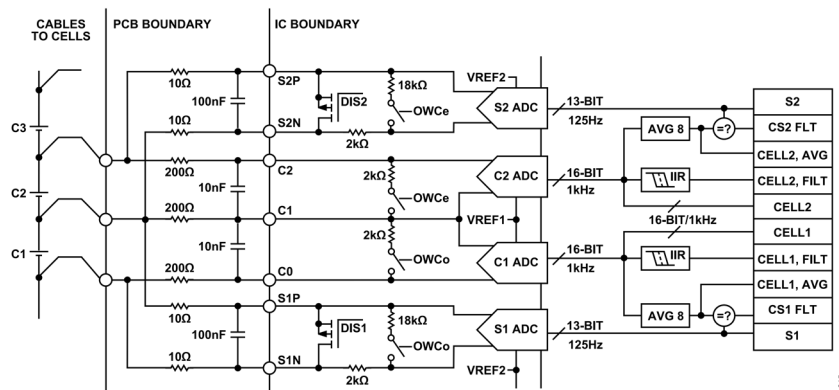


図 17. 断線検出

システム診断

この構成では、PCB からバッテリー・セルへのケーブルの断線は、C-ADC と S-ADC の結果を比較して検出することはできません。どちらの ADC の入力も PCB に接続されたままであるためです。そのため、ADES1830/ADES1831 は、図 17 に示すように、各 ADC の差動入力間に電流制限抵抗を配置した差動スイッチによって入力ワイヤの断線を検出できる、安全メカニズムを備えています。

隣接する 2 つのチャンネルの作動スイッチを同時にオンにしないよう注意する必要があります。同時にオンにした場合、2 つのセル間に分圧器が生じることになり、それによってこれら 2 つのセル間の共通ケーブルの断線がマスクされる可能性があります。そのため、ADES1830/ADES1831 は、奇数チャンネルと偶数チャンネルの断線スイッチを別個にオンにします。

C 測定経路の差動スイッチをオンにすると、損傷のない配線の入力電圧が低下する原因となります。これは、外部フィルタの抵抗と断線スイッチに直列配置された 1.75kΩ の内部抵抗による抵抗分圧器のためです（図 17 においてセル電圧の約 10/12 に低下）。この測定は、外部フィルタの抵抗値を大まかに診断します。更に、入力電圧が新しい値へセトリングすることにより、フィルタ・コンデンサの存在およびその大まかな値を検知できます。断線している場合、入力コンデンサは断線電流によりフル放電されます。

S 測定経路の差動スイッチをオンにすると、損傷のない配線の入力電圧が低下する原因となります。これは、1.75kΩ の内部抵抗と断線スイッチに直列配置された 18kΩ による抵抗分圧器のため、セル電圧の約 9/10 に低下します。断線している場合、入力コンデンサは断線電流により再度放電されます。

断線を検出するには、C チャンネルまたは S チャンネルのいずれかの入力の断線スイッチで十分です。この断線スイッチを S-ADC の入力に挿入すると、C-ADC によるセル電圧測定を中断せずに断線検出が行われるため、IIR フィルタの結果の完全性を確保できます。

診断機能を伴うセル測定のアルゴリズム

図 18 に、C-ADC による中断のない連続的な測定を実行し、S-ADC の冗長性と断線検出機能を切り替える、アルゴリズムのタイミングを示します。

C-ADC が連続的にセル電圧を測定する一方で、S-ADC を用いて冗長な測定結果の提供と奇数セルおよび偶数セルの断線検出が順番に行われています。

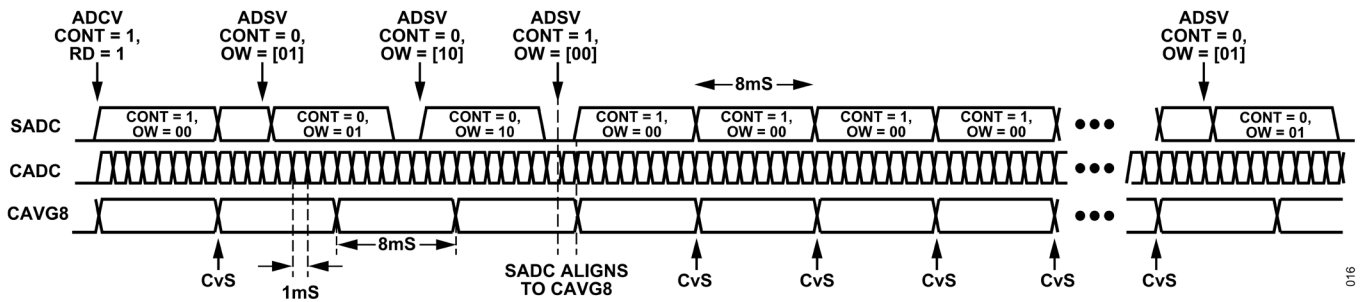


図 18. セル測定と診断のシーケンス

システム診断

GPIO 測定診断

負の温度係数 (NTC) を持つ 2 つのサーミスタを別々の 2 つの汎用入出力 (GPIO) に接続すると、ADES1830/ADES1831 は、温度測定について広い診断範囲を対象とすることができます。広い診断範囲を実現するために、AUX マルチプレクサと AUX ADC、および AUX2 マルチプレクサと AUX2 ADC によって形成される 2 つの冗長測定経路によって GPIO を測定できます。温度は緩やかに変化する量なので、両方の測定経路を同期させて開始するコマンドは不要ですが、各 ADC をそれぞれのコマンドによって別々に始動させる必要があります。変換の結果はホスト・コントローラ内で比較しなくてはなりません。

GPIO 断線検出

ADAX コマンドの OW ビットをセットすると、200 μ A (代表値) の電流源を測定チャンネルに接続して、断線を検出したり、接続された NTC の適切な抵抗値を診断したりできます。PUP ビットは、電流源がピンをプルアップするかプルダウンするかを制御します。結果は補助レジスタ・グループに格納されます。

電流源の正しい値は、2.5k Ω の抵抗での電圧降下を測定することで、潜在的なフォルトに対処できるよう更に検証できます。

全チャンネルをラウンドロビンで測定する場合 (CH[4:0] を 0 にセットすると全チャンネルが有効化)、アクティブ化された電流源 (OW を 1 にセット) は、I²C/SPI コントローラ通信に用いることができるもの (GPIO3~GPIO5) を含む GPIO にも適用され、それによって、シリアル通信が妨げられる可能性があります。

通信の診断と報告

ADES1830/ADES1831 へ送信される任意のコマンドまたはデータ、あるいは ADES1830/ADES1831 から読み出されるコマンドまたはデータは、巡回冗長検査 (CRC) によって保護されています。詳細については、[コマンド PEC](#) および [データ PEC](#) の各セクションを参照してください。更に、冗長測定を実行するため、またはその結果を読み出すために必要なレジスタ (C-ADC 結果レジスタや S-ADC 結果レジスタなど) は、単一障害点を回避するために ADES1830/ADES1831 内の冗長 SPI ターゲットによってアドレス指定され、その出力はビット単位で比較されます。不一致が生じた場合、ステータス・レジスタ・グループ C の SPIFLT ビットがセットされます。

ADES1830/ADES1831 は、ERR ビットを 1 にセットして RDSTATC コマンドを発行することで、SPIFLT 診断ビットがスタックしていないことを診断できます。

サーマル・シャットダウン

ADES1830/ADES1831 を過熱から防ぐため、本 IC 内にはサーマル・シャットダウン回路が内蔵されています。ダイ上で検知された温度が約 150°C を超えると、サーマル・シャットダウン回路が作動し、STCR1 レジスタの THSD ビットを 1 にセットして POR を引き起こします。それによりすべての放電スイッチがオフになります。THSD ビットは CLRFLAG コマンドが送られ、対応するビットが 1 にセットされるとクリアされます ([フラグ・クリア・コマンド](#)のセクションを参照)。

ADES1830/ADES1831 は、THSD 診断ビットがスタックしていないことを診断できます。FLAG_D[4] ビット (CFGRA1 レジスタのビット 4) をセットすることで THSD ビットを 1 にセットできます。FLAG_D[4] に書き込みが行われると、THSD ビットが 1 に切り替わり、CLRFLAG コマンドを用いてクリアする必要があります。

テスト・モード検出

診断機能を向上するために、ADES1830/ADES1831 の STRC1 レジスタに、デバイスが工場テスト・モードになったことを通知する TMODCHK フラグがあります。このビットがセットされた場合、デバイスの動作を信頼しないでください。TMODCHK ビットはクリアする必要があります、0 に復帰するとデバイスは回復し動作が再開されます。

ADES1830/ADES1831 は、TMODCHK 診断ビットがスタックしていないことを診断できます。FLAG_D[7] ビット (CFGRA1 レジスタのビット 7) をセットすることで TMODCHK ビットを 1 にセットできます。FLAG_D[7] に書き込みが行われると、TMODCHK ビットが 1 に切り替わり、CLRFLAG コマンドを用いてクリアする必要があります。

スリープ状態検出

ADES1830/ADES1831 には、デバイスがこれまでに電源再投入をされたりスリープ状態になったりしたことがあることを示し、また、レジスタがリセットしたことを示すフラグがあります。この SLEEP ビット (RDSTATC) は、デジタイゼーション内のすべての IC が低消費電力のスリープ状態に入っていることをシステムが確認するのに役に立ちます。このビットは、通常動作時に IC が誤ってスリープ状態になっていないことを確認するためにも使用できます。

ソフト・リセット・コマンド

ソフト・リセット・コマンド (SRST) は、デジタイゼーション内のすべてのデバイスを直ちにスリープ状態にします。ソフト・リセット・コマンドは、スタックを遡って次のデバイスまでコマンドを伝搬するのに十分な時間のみが必要で、その後デバイスはスリープになります。このコマンドは、2 つの機能を実現します。すなわち、低消費電力状態に短時間で遷移することと、切り替えられた電力のデジタル・ロジックのすべてをリセットする能力です。

リビジョン・コード

ADES1830/ADES1831 には、4 ビットのリビジョン・コードがあります。デバイス・リビジョンのソフトウェア検出が必要な場合、詳細についてアナログ・デバイセズにお問い合わせください。必要でなければコードは無視できます。ただし、すべての場合において、データ読み出し時のパケット・エラー・コード (PEC) を計算する際にすべてのビットの値を用いる必要があります。

シリアル ID

各 ADES1830/ADES1831 は、一意の 48 ビット・シリアル ID (SID) が工場にてプログラムされ SID レジスタに格納されています。ホストは、RDSID コマンドを用いて各デバイスに固有の SID コードを読み出すことができます。

システム診断

ADC メモリ・クリア・コマンド

ADES1830/ADES1831 には、CLRCELL、CLRFC、CLRAUX、CLRSPIN の 4 つの ADC クリア・コマンドがあります。これらのコマンドは、すべての ADC 変換結果を格納するレジスタをクリアします。

CLRCELL コマンドは、セル電圧レジスタ A～セル電圧レジスタ F、および平均化セル電圧レジスタをクリアします。CLRFC コマンドは、フィルタ処理セル電圧レジスタ A～フィルタ処理セル電圧レジスタ F をクリアします。CLRSPIN コマンドは、S 電圧レジスタ A～S 電圧レジスタ F をクリアします。これらのレジスタのすべてのバイトが、それぞれのクリア・コマンドによって 0x8000 にセットされます。

CLRAUX コマンドは、補助レジスタ・グループ A～補助レジスタ・グループ D、冗長補助レジスタ・グループ A～冗長補助レジスタ・グループ D、ステータス・レジスタ・グループ A、ステータス・レジスタ・グループ B をクリアします。これらのレ

ジスタのすべてのバイトが CLRAUX コマンドによって 0x8000 にセットされます。なお、CLRAUX コマンドによるこの 0x8000 というレジスタ値は、レジスタによってはパワーアップ後のデフォルト値と異なります。それらのデフォルト値についてはメモリ・マップのセクションのレジスタの説明を参照してください。クリア・コマンドは、REFUP 状態と測定状態で有効です。

フラグ・クリア・コマンド

CLRFLAG コマンドは、ステータス・レジスタ・グループ C の診断フラグをリセットします。CLRFLAG では、どのフォルト・フラグをリセットするかを指定する 6 個の追加バイトをシステムが送信する必要があります。表 25 に CLRFLAG のフォーマットを示します。定義されているビットは、ステータス・レジスタ・グループ C の同じビット位置に対応します。

ステータス・レジスタの診断フラグは、ユーザによってクリアされるまで、あるいは ADES1830/ADES1831 がスリープ状態になるまで、セットされたままです。

表 25. CLRFLAG のデータ・フォーマット

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFD0	WR	CL_CS8FLT	CL_CS7FLT	CL_CS6FLT	CL_CS5FLT	CL_CS4FLT	CL_CS3FLT	CL_CS2FLT	CL_CS1FLT
CFD1	WR	CL_CS16FLT	CL_CS15FLT	CL_CS14FLT	CL_CS13FLT	CL_CS12FLT	CL_CS11FLT	CL_CS10FLT	CL_CS9FLT
CFD2	WR								
CFD3	WR								
CFD4	WR	CL_VAOV	CL_VAUUV	CL_VDOV	CL_VDUUV	CL_CED	CL_CMED	CL_SED	CL_SMED
CFD5	WR	CL_VDEL	CL_VDE		CL_SPIFLT	CL_SLEEP	CL_THSD	CL_TMODE	CL_OSCCHK

システム診断

過電圧および低電圧クリア・コマンド

CLOVUV コマンドは、ステータス・レジスタ・グループ D (STATD レジスタ) の過電圧フラグおよび低電圧フラグをリセットします。CLOVUV コマンドでは、どのフォルト・フラグをリセットするかを指定する 6 個の追加バイトをシステムが送信する必要があります。表 26 に CLOVUV のフォーマットを示

します。定義されているビットは、ステータス・レジスタ・グループ D の同じビット位置に対応します。

ステータス・レジスタの過電圧フラグおよび低電圧フラグは、ユーザによってクリアされるまで、あるいは ADES1830/ADES1831 がスリープ状態になるまで、セットされたままです。

表 26. CLOVUV コマンドのフォーマット

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
STDR0	WR	CL_C40V	CL_C4UV	CL_C30V	CL_C3UV	CL_C20V	CL_C2UV	CL_C10V	CL_C1UV
STDR1	WR	CL_C80V	CL_C8UV	CL_C70V	CL_C7UV	CL_C60V	CL_C6UV	CL_C50V	CL_C5UV
STDR2	WR	CL_C120V	CL_C12UV	CL_C110V	CL_C11UV	CL_C100V	CL_C10UV	CL_C90V	CL_C9UV
STDR3	WR	CL_C160V	CL_C16UV	CL_C150V	CL_C15UV	CL_C140V	CL_C14UV	CL_C130V	CL_C13UV
STDR4	WR								
STDR5	WR								

セル放電および放電用 PWM

ADES1830/ADES1831 は、セル・モニタリング・チャンネルごとにバランシング・スイッチを内蔵しています。バランシング・スイッチは、300mA のピーク放電電流が可能な、低 RDS_{On} の FET です。放電動作を簡素化するために、すべての Sx ピンで、可変放電電流を可能にする PWM 機能を使用できます。PWM は 937ms の周期で動作し、PWM デューティ・サイクルは 4 つのビットで制御されます。チャンネルごとに備わっている 2 つの専用 SxN ピンおよび SxP ピンにより、ADES1830/ADES1831 は、隣接チャンネルのバランシングも行うことができ、そのためデューティ・サイクルは最大 100% が可能です。

PWM 放電機能が可能になるのは、スタンバイ、REFUP、延長バランシングの各状態にある場合、および放電タイムアウトに達していない (DCTO ≠ 0) 測定状態にある場合です。ADES1830/ADES1831 は、DCP = 0 と設定した ADCV コマンドまたは ADSV コマンドで S 測定が開始されると、PWM 放電を中断します。延長バランシング状態または低消費電力セル・モニタリング (LPCM) モードでセル測定が行われている場合は、セル放電はミュートされません。その結果、これらの場合では、セル・ケーブルの抵抗による放電電流の電圧降下によって測定結果に影響を受ける可能性があります。

表 27. 放電の優先度

優先度 (7 = 最高)	イベントまたは機能	動作
7	Thermal shutdown	放電制御の最終的な選択は、サーマル・シャットダウンが発生すると、ゲート・オフされます。また、PWM 制御ビットおよび DCC 制御ビットがリセットされます。
6	Mute	ミュート機能がミュート・コマンドによってアクティブ化されている間、すべての放電は無効化されます。なお、ミュートはウォッチドッグのタイムアウト時にクリアされます。
5	WRCFGB	DCC、PWM、ADC の各放電要求は、設定レジスタ・グループ B のレジスタへの書き込み中はミュートされます。
4	DCC bits	いずれかの DCC ビットがアサートされている場合、DCC 設定が ADC 放電または PWM 放電の制御に優先されます。DCC 放電要求は、より優先度の高い機能によって妨げられない限り、Sx ピンをアサートします。DCC 放電は、いずれかの ADC 変換コマンドの間に許可されます。DCC ビットはウォッチドッグ・タイムアウトによってクリアされます。同時に、DCTO が 0 でなく、かつ、0 になるだけの時間が経過していなければ、デバイスは PWM 放電に移行します。
3	ADC measurement command	Cx ピンまたは Sx ピンを測定する ADC 変換の測定時間中は、PWM 放電をミュートできます。一部の ADC コマンドでは、測定中に DCP ビットでセル放電を停止することができます (詳細については、 測定中の放電 のセクションを参照)。これが可能なのは、いずれかの高優先度機能 (上記) によって妨げられていない場合です。
2	WRPWM	PWM 放電要求は、PWM レジスタ・グループへの書き込みの間、ミュートされます。
1	PWM	PWM 放電は最低優先度です。いずれかの PWM レジスタ・ビットを 1 にセットして PWM が有効化されている場合、いずれかの高優先度機能 (上記) によって妨げられていない場合に限り、PWM がセル放電を制御します。

PWM 放電は ADC 測定とは非同期で生じます。そのため、測定が電圧降下によって変化するかどうかは予測できません。ケーブルの抵抗と放電電流によっては、意図した電圧スレッシュホールド (VOV、VUV、CMT_CUV、CMT_COV) を正確にチェックできないこともあります。

表 27 に放電の優先度の詳細を示します。

Sx ピンのミュート

すべての Sx ピンは、ミュート・コマンドを送信して同時に無効化でき、また、ミュート解除コマンドを送信して再有効化できます。ミュート・コマンドおよびミュート解除コマンドには後続データが不要であり、そのため、コマンドは ADES1830/ADES1831 デバイスのスタックを短時間で伝搬します。ミュート・コマンドが受信された後、内部放電スイッチが放電を停止するまでに最大 65µs が必要です。ミュート機能により、ホストは、設定レジスタ・グループ B の内容を損なうことなく、短時間で放電の無効化および再有効化ができます。ミュート・ステータスは、設定レジスタ・グループ A の読出し専用ミュート・ビットで報告されます。

セル放電および放電用 PWM

セル測定および診断を伴うセル放電

2つの Sx ピン間の内部バランシング・スイッチがオンの場合、S-ADC の結果は、C-ADC 測定の結果とは異なったものとなり、その結果を診断目的で比較することはできません。放電中に診断を行いながら連続測定を行うには、以下の手順を使用できます。

通常、初期化時に一度 C-ADC 変換が開始されます。

- ▶ RD = 0、DCP = 0、CONT = 1 の ADCV。
 - ▶ C-ADC が連続モードで動作し、測定結果を出力し、IIR フィルタに供給します。C-ADC と S-ADC との比較は行われません。PWM 放電は進行中で影響は受けません。

連続測定モードの間、以下のように、変換結果が読み出され、バランシングが制御されます。

- ▶ 必要な PWM 値を設定。
- ▶ 必要な CTHx スレッシュホールドを設定。
- ▶ FTTI ごとに、DCP = 0、CONT = 1 の ADSV。
 - ▶ S-ADC が新たにオンになり、放電が中断され、C-ADC と S-ADC の結果が比較されます。
 - ▶ C-ADC と S-ADC が同期した変換結果は、ADSV 後 8ms~16ms で利用できます。SADC が CADC に同期するには最大 8ms が必要で、更に、同期変換のために 8ms の固定時間が必要であるためです。
- ▶ 結果の取得後、DCP = 1、CONT = 0 の ADSV。

- ▶ 放電が直ちに再開され、S-ADC がもう一度変換を行った後、スリープ状態になります。C-ADC は常時、測定を続けます。
- ▶ 断線チェックは冗長測定の後、直ちに行うことができます。その場合、冗長測定と断線チェックを行うのに必要な ADSV は、以下の3つだけです。
 - ▶ DCP = 0、CONT = 1、OW = 0 の ADSV (冗長チェック)
 - ▶ DCP = 0、CONT = 0、OW = 1 の ADSV (偶数断線チェック)
 - ▶ DCP = 0、CONT = 0、OW = 2 の ADSV (奇数断線チェック)
 - ▶ 注：放電は、最後のシングル・ショット S-ADC 変換後に自動的に再度有効化されます。

冗長測定および断線測定のタイミングは以下のとおりです。

- ▶ S-ADC および C-ADC の冗長測定：8ms~16ms
- ▶ 奇数チャンネルの断線チェック：8ms
- ▶ 偶数チャンネルの断線チェック：8ms

したがって、冗長測定および断線診断全体で 24ms~32ms を要し、これにより最大放電デューティ・サイクルが制限されます。平均すると、放電は $0.5 \times (32\text{ms} + 24\text{ms}) = 28\text{ms}$ の間、禁じられません。FTTI が 100ms と仮定すると、ADES1830/ADES1831 の最大放電デューティ・サイクルは、72% に制限されます (PWM が 100% に設定されていても、診断測定によって 72% に制限されません)。

ウォッチドッグおよび放電タイマー

2 秒間以上有効なコマンドがない場合、ウォッチドッグ・タイマーは終了します。これが生じたときに DCTO が 0 であれば、ADES1830/ADES1831 はスリープ状態に移行し、すべてのレジスタ位置をデフォルト値にリセットします。これが生じたときに DCTO がゼロでない場合は、ADES1830/ADES1831 は延長バランシング状態に移行し、ミュート機能をリセットします。延長バランシング状態では PWM 放電のみを継続でき、この状態になる前に DCC ビットをホスト・コントローラによりクリアする必要があります。DCC ビットがクリアされない場合、静的な放電は延長バランシングの間無効化されますが、スタンバイ状態に復帰すると再度有効化されます。ウォッチドッグ・タイマーは常に有効化されており、コマンド PEC に一致するあらゆる有効なコマンドの後にリセットされます。

放電タイマーが有効化されている場合、PWM レジスタ・グループで有効化された放電制御は、DCTO ビットで設定された時間、動作し続けます。放電タイマーを有効化するには、設定レジスタ・グループ B の DCTO の値としてゼロ以外の値を書き込みます。放電タイマーは、0 分～63 分と 0 時間～16.8 時間の 2 つの時間範囲で動作できます。この範囲は、CFGBR3 レジスタの DTRNG ビットで制御できます。このビットは、DCTO 値が使用するビット重み付けがビットあたり 1 分かビット当たり 16 分かを制御します。

放電タイマーのステータスは、RDCFGB コマンドで設定レジスタ・グループ B を読み出すことで判別できます。DCTO 値は、放電タイマーが終了するまでに残された時間を示します。

ウォッチドッグ・タイマーとは異なり、放電タイマーは有効なコマンドがある場合リセットされません。放電タイマーがリセットされるのは、有効な WRCFGB コマンドを設定レジスタ・グループ B に書き込んだ後のみです。放電タイマーは一部のコマンドの途中で終了することがあります。

放電タイマーが WRCFGB コマンドの途中で終了した場合、設定レジスタ・グループ B の DCC ビットとミュート機能はリセットされます。ただし、有効な WRCFGB コマンドの最後で、新しいデータが設定レジスタにコピーされます。この新しいデータは、放電タイマーの始動時に失われることはありません。

放電タイマーが RDCFGB コマンドの途中で終了した場合、設定レジスタ・グループ B の DCC ビットとミュート機能はそれぞれのデフォルト値にリセットされます。その結果、CFGBR4 および CFGBR5 の各バイトからのリードバック・データが破損する可能性があります。

放電タイマー・モニタ

設定レジスタ・グループ B の放電タイマー・モニタ (DTMEN) ビットがセットされ、ADES1830/ADES1831 が延長バランシング状態になっている場合、ADES1830/ADES1831 は、単一の C-ADC 変換によって 30 秒ごとにセル電圧をモニタし続け、UV フラグ (CxUV) を更新します。ADES1830/ADES1831 は、セルの電圧が設定レジスタ・グループ B で設定された UV スレッショルド (VUV) 未満に低下した場合、セルの放電を停止します。その後の測定で入力電圧が回復し、UV スレッショルドを上回った場合は、該当のセルの放電を再開します。DCTO 時間が終了すると、ADES1830/ADES1831 は、すべての放電を停止します。

低消費電力セル・モニタリング (LPCM)

ADES1830/ADES1831 には、バッテリー管理システム (BMS) コントローラがスリープ状態または不活性状態の間にセル電圧およびセンサー (温度、圧力、ガスなど) のモニタリングを可能にする、モニタリング状態、コマンド、レジスタも付加されています。この LPCM モードでは、複数の ADES1830/ADES1831 デバイスからなるスタックを、定期的にパワーアップし、測定を実行して測定結果を設定されたスレッシュホールドと比較し、isoSPI パケットをチェーン内の次のデバイスに送信した後パワーダウンするよう、設定できます。チェーンの遠端のデバイスによってサンプリング周期が決まります。チェーン内のいずれかのデバイスがアラート条件を検出した場合、その情報は次のデバイスに伝達されます。

LPCM の動作

LPCM チェーンは、[図 19](#) に示すように、モニタ・マネージャ (MM)、少なくとも1つのモニタ、およびタイムアウト・モニタ (TM) で構成されています。多くのシステムにおいて、[ADBMS6821](#) (シングル) または [ADBMS6822](#) (デュアル) isoSPI トランシーバがタイムアウト・モニタに使用されますが、ADES1830/ADES1831 は、上記のいずれの機能も実行するよう設定できます。

基本的な動作ステップは次のとおりです。

1. いずれの変換も行われていないことを確認します。
2. BMS コントローラが、モニタの LPCM オプションを設定し、次いで、LPCM 動作を開始する CMEN コマンドを送信します。モニタが、ADC および書き込みコマンドの受け入れを停止し、LPCM 動作を開始します。
3. 設定されたハートビート測定間隔で、MM デバイスがウェイクアップします。
4. 1ms (代表値) 以内に C-ADC によってセル電圧が測定され、スレッシュホールドと比較されます。
5. 1ms の変換時間で AUX-ADC によって GPIO が測定され、スレッシュホールドと比較されます。

6. MM は、チェーン内の次のデバイスへのハートビート・メッセージを起こし、モニタリング・ステータスを示します ([LPCM ハートビート・メッセージ](#)のセクションを参照)。
7. セル・モニタがデジチェーンの上流からハートビート・メッセージを受信すると、以下が生じます。
 - ▶ セル電圧が測定され、スレッシュホールドと比較されます。
 - ▶ GPIO が測定され、スレッシュホールドと比較されます。
 - ▶ モニタは、チェーン内の次のデバイスへのハートビート・メッセージを送信し、モニタリング・ステータスを示します ([LPCM ハートビート・メッセージ](#)のセクションを参照)。
8. チェーンの最下段の TM がタイムアウト前に合格ハートビート・メッセージを受信すると、タイムアウト・カウンタがリセットされます。
9. TM が不合格ハートビート・メッセージを受信するかタイムアウトになると、TM は BMS コントローラにウェイクアップ信号を送信するか、レギュレータにパワーアップ信号を送信します。
10. BMS コントローラは、LPCM 動作を終了させる CMDIS コマンドを送信するシーケンスを使用し、モニタとの通信を再開できます。

なお、LPCM 機能が有効化されている場合、TM の割込みが初期条件としてアサートされます。LPCM 機能では、最初のハートビート・メッセージがデジチェーン内を完全に伝搬するまで、初期状態のシステムにはフォルトが存在する可能性があることが前提とされています。CMC_MPER 設定とは無関係に、MM として設定されたバッテリー・モニタは、LPCM が CMEN コマンドによって有効化された 31ms 後に最初のハートビート・シーケンスを開始します。この機能により、LPCM が有効化されていれば、デジチェーンを短時間で評価できます。ホスト・プロセッサはこの動作を観察し、それを用いてアイドル状態または低消費電力状態への遷移を検証することができます。MCU は、LPCM 割込みがこの機能を有効化した直後にアサートされ、最初のハートビート・シーケンスがすべてのバッテリー・モニタ・デバイスに対する合格条件を確認したらデアサートされるものと予測しています。

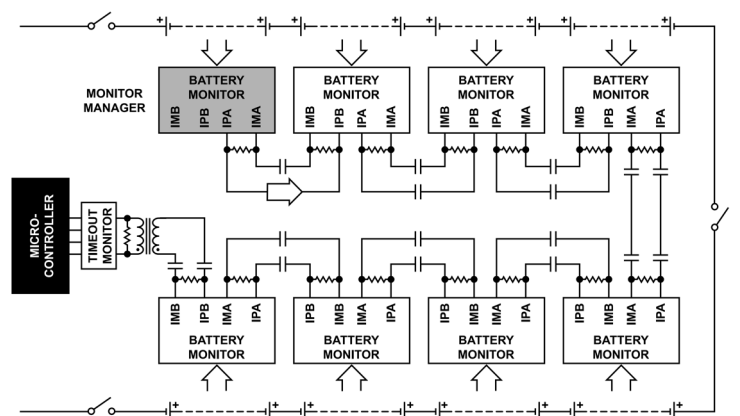


図 19. 基本的な LPCM システム構成

低消費電力セル・モニタリング (LPCM)

LPCM スレッシュホールド

セルと GPIO の電圧測定値を取得した後、ADES1830/ADES1831 は、その結果を設定済みのスレッシュホールドと比較し、フォルト状態が生じているかどうか判定します。スレッシュホールドは、以下で構成されます。

- ▶ セル低電圧 (CMT-CUV)
- ▶ セル過電圧 (CMT-COV)
- ▶ セル電圧変化量 (CMT-CDV)
- ▶ GPIO 低電圧 (CMT-GUV)
- ▶ GPIO 過電圧 (CMT-GOV)
- ▶ GPIO 電圧変化量 (CMT-GDV)

図 20 に UV、OV、DV の比較を示します。

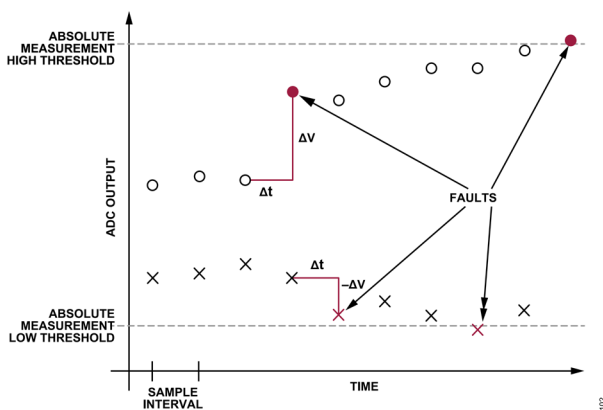


図 20. UV、OV、DV のスレッシュホールド比較

フォルトが検出されると、関連のフラグがセットされ、LPCM ハートビート・メッセージのセクションで説明するように、ADES1830/ADES1831 は、故障が生じていることを示すハートビート・メッセージを送信します。

DV スレッシュホールドの比較では、同じ入力に対する以前の測定値を用いて現在の測定値をチェックします。DV スレッシュホールドは、正または負の遷移のどちらに対しても機能するため、異なる出力極性を持つ様々なアナログおよびデジタル・センサーを使用できます。様々な種類のセンサーの組み合わせは、それらのスレッシュホールドが同等である場合に用いることができます。例えば、アナログ電圧スレッシュホールドを持つサーミスタを使用できますが、このスレッシュホールドは、ガス・センサーのデジタル出力の遷移によっても機能します。システムにおいて 1 つのスレッシュホールド・タイプが不要な場合、その値は機能しないように設定できます (例えば、 $UV = 0V$ 、 $OV = 6V$ 、または $DV = 6V$)。更に、セル入力と GPIO 入力は、必要な入力のみがスレッシュホールドに対してテストされるようマスクできます。

LPCM ハートビート・メッセージ

LPCM 機能は、モニタリング・ステータスを通信する、バッテリ・モニタ・デバイス間のスマートなメッセージ機能を使用します。ハートビート・メッセージには、合格状態であることを報告したデバイスの数に関するデバイス・カウント情報や、検出可能な故障状態の種類を示すフラグ・フィールドが含まれています。

ハートビート・メッセージは、PEC が付加されたコマンド、およびデータ PEC が付加されたデータとして送信されます。PEC 値を使用することで、通信をフォルトから保護します。ADES1830/ADES1831 がハートビート・メッセージを受信する際は、コマンド PEC とペイロード PEC が一致していません。そうでない場合、ADES1830/ADES1831 はコマンドを無視し、この通信フォルトがスタック末端のタイムアウト・モニタで検出できるようにします。表 28 に、ハートビート・メッセージを形成する CMHB のフォーマットを示します。表 29 および表 30 には、ハートビート・メッセージ・データの内容を示します。なお、CMHB コマンドはマイクロコントローラからではなく、ADES1830/ADES1831 デバイスから送信されます。

他の通信とは異なり、LPCM 動作時、CMHB コマンドを含むハートビート・メッセージは、ホスト・マイクロコントローラではなく、デジチェーン末端の ADES1830/ADES1831 (MM に設定) から起こされます。また、ハートビート・メッセージは、デジチェーンを通じて直ちに伝搬されるわけではない点でも特異です。CMHB コマンドを受信すると、チェーン内の各 ADES1830/ADES1831 は、セルと補助ピンの測定および比較を行ってから、チェーン内の次のデバイスへの CMHB コマンドを再生成します。ADES1830/ADES1831 のこれらの動作により、デジチェーン内の ADES1830/ADES1831 ごとのマスクされた GPIO チャンネル数に応じて、約 5ms~15ms の伝搬遅延が生じます。セルまたは補助ピンの測定値のいずれかがスレッシュホールドを超えた場合、CMF0 レジスタにスティッキー・フラグ・ビットがセットされます。

CMF0 は、対応する OV/UV/DC スレッシュホールドを超えることでセットされる他、セル変換または補助変換時に以下の内部診断 (ステータス・レジスタ・グループ C に反映) に不合格となった場合にも、0xFF にセットされます。それらは、VA_OV、VA_UV、VD_OV、VD_UV、VDE、VDEL、SPIFLT、TMODCHK、または OSCCHK です。

何らかのフォルトが生じている場合に CMF0 が 0xFF にセットされるのを回避するには、LPCM に入る前に、VA_OV、VA_UV、VD_OV、VD_UV、VDE、VDEL、SPIFLT、TMODCHK、OSCCHK の CLRFLAG を発行します。

構成の一部として、MM は、チェーン内のセル・モニタ数と同じ数で設定されます。セル・モニタの数は、ハートビート・メッセージ・カウント用に MM が用いる初期値です。MM にスレッシュホールド・フラグがアサートされていなければ、MM はセル・モニタの数から 1 を引いた数を送信します。スレッシュホールド・フラグがアサートされている場合は、セル・モニタ数に等しい数を送信し、ハートビート・メッセージのフラグ・フィールドにビットをアサートして、検出されているエラーの種類を示します。(モニタの数に用いられるコードは、合格カウントがすべて 0 で構成されるのを防ぐために 0x42 だけシフトされます。)

MM の後、各セル・モニタは、その前のデバイスからカウントとフラグ・フィールドを受け取ります。各モニタは、スレッシュホールドをチェックした後、スレッシュホールド違反がなければこの数をデクリメントし、スレッシュホールド違反があればこの数をそのままにして、次のデバイスにその数を送信します。直前のデバイスから受け取ったフォルト・フラグは、次のデバイスに向けて生成される新しいハートビート・メッセージにも含まれます。

低消費電力セル・モニタリング (LPCM)

表 28. CMHB コマンド

8	8	8	8	8	8	8	8
CMD0	CMD1	PEC0	PEC1	HBD0	HBD1	DPEC0	DPEC1

表 29. ハートビート・メッセージのデータ・フォーマット

Byte	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
HBD0	HB_DCNT[7]	HB_DCNT[6]	HB_DCNT[5]	HB_DCNT[4]	HB_DCNT[3]	HB_DCNT[2]	HB_DCNT[1]	HB_DCNT[0]
HBD1	HB_GDVP	HB_GDVN	HB_GOV	HB_GUV	HB_CDVP	HB_CDVN	HB_COV	HB_CUV

表 30. セル電圧レジスタ・グループ A のビットの説明

バイト	ビット	ビット名	説明
HBD0	[7:0]	HB_DCNT[7] to HB_DCNT[0]	ハートビート・メッセージのデバイス・カウント。MM は、設定された CMC_NDEV 値と MM デバイスのモニタリング・ステータスに基づいて、このカウントの初期値をセットします。チェーン内の各モニタ・デバイスは、すべてのモニタリングの比較が合格した場合にのみ、この値をデクリメントします。
HBD1	7	HB_GDVP	いずれかのデバイスで、GPIO 電圧変化比較結果が正方向に違反している（電圧が増加している）場合、このスティッキー・フラグ・ビットがアサートされます。CLRCMFLAG コマンドでクリアされます。
HBD1	6	HB_GDVN	いずれかのデバイスで、GPIO 電圧変化比較結果が負方向に違反している（電圧が減少している）場合、このスティッキー・フラグ・ビットがアサートされます。CLRCMFLAG コマンドでクリアされます。
HBD1	5	HB_GOV	いずれかのデバイスで、GPIO 過電圧比較結果が違反している場合、このスティッキー・フラグ・ビットがアサートされます。CLRCMFLAG コマンドでクリアされます。
HBD1	4	HB_GUV	いずれかのデバイスで、GPIO 低電圧比較結果が違反している場合、このスティッキー・フラグ・ビットがアサートされます。CLRCMFLAG コマンドでクリアされます。
HBD1	3	HB_CDVP	いずれかのデバイスで、セル電圧変化比較結果が正方向に違反している（電圧が増加している）場合、このスティッキー・フラグ・ビットがアサートされます。CLRCMFLAG コマンドでクリアされます。
HBD1	2	HB_CDVN	いずれかのデバイスで、セル電圧変化比較結果が負方向に違反している（電圧が減少している）場合、このスティッキー・フラグ・ビットがアサートされます。CLRCMFLAG コマンドでクリアされます。
HBD1	1	HB_COV	いずれかのデバイスで、セル過電圧比較結果が違反している場合、このスティッキー・フラグ・ビットがアサートされます。CLRCMFLAG コマンドでクリアされます。
HBD1	0	HB_CUV	いずれかのデバイスで、セル低電圧比較結果が違反している場合、このスティッキー・フラグ・ビットがアサートされます。CLRCMFLAG コマンドでクリアされます。

表 31. ハートビート・メッセージ・データの最終合格値

Byte	Pass Value
HBD0	0x42
HBD1	0x00

チェーンの最下段で、不合格のデバイスがなくフラグがアサートされていないことを示す、適切なハートビート・メッセージ・カウントを MM が受信する必要があります。ハートビート・メッセージ・データの最終合格値を表 31 に示します。これ以外の場合、フォルト出力がアサートされます。

以下の例を参照してください。

- ▶ チェーン内にモニタが 6 個ある場合、マイクロコントローラは、CMC_NDEV = 0x48（6 デバイスに加え 0x42 のオフセット）を書き込んだ後、スリープ状態になります。
- ▶ MM にスレッシュホールド違反がない場合、MM は次のデバイスに HB_DCNT = 0x47（CMC_NDEV - 1）を送信します。
- ▶ チェーンの次のデバイスがフォルト・チェックに合格した場合、このデバイスは次のデバイスに HB_DCNT = 0x46（1 だけデクリメント）を送信します。
- ▶ チェーン内の 3 番目のデバイスがフォルト・チェックに不合格であった場合、このデバイスは HB_DCNT = 0x46（デクリメントなし）を送信し、HBD1 の該当のフラグをアサートします。
- ▶ チェーンの 3 番目のデバイスが不合格になった唯一のモニタであれば、TM はセル・モニタ数として 1 を受信し、そのフォルト出力をアサートします。

LPCM 割込み表示

LPCM 機能は、次の 3 つの状態でご割込みを示します。

- ▶ LPCM 機能が有効になっている場合、割込みは初期状態としてアサートされます。LPCM 機能では、最初のハートビート・メッセージがデジタイズチェーン内を完全に伝搬するまで、初期状態のシステムにはフォルトが存在する可能性があることが前提とされています。CMC_MPER 設定とは無関係に、MM として設定されたバッテリー・モニタは、LPCM が CMEN コマンドによって有効化された 31ms 後に最初のハートビート・シーケンスを開始します。それにより、LPCM が有効化されていれば、デジタイズチェーンを短時間で評価できます。ホスト・プロセッサはこの動作を観察し、それを用いてアイドル状態または低消費電力状態への遷移を検証することができます。ホストは、LPCM 割込みがこの機能を有効化した直後にアサートされ、最初のハートビート・シーケンスがすべてのバッテリー・モニタ・デバイスに対する合格条件を確認したらデアサートされるものと予測しています。MM を含むデジタイズチェーン内の各 ADES1830/ADES1831 は、最初にセル測定と補助測定および比較を行ってから、チェーン内の次のデバイスへのハートビート・メッセージを生成します。伝搬遅延は、デジタイズチェーン内の ADES1830/ADES1831 ごとに約 6ms です。そのため、例えば、3 個の ADES1830/ADES1831 デバイスからなるデジタイズチェーンでは、CMEN 後ハートビート・シーケンスが始まるまで 31ms 間待機し、更に、3 個のデバイスを通してチェーンの最下段までハートビート・メッセージが伝搬するまでに 18ms を要します。3 個のデバイスからなるデジタイズチェーンの場合、スレッシュホールド違反がなければ

低消費電力セル・モニタリング (LPCM)

- ば、ホストは CMEN コマンド後最初の割込み状態が終了するまでの時間として、約 49ms を見込むことができます。
- ▶ 設定可変の期間、ハートビート・メッセージがない場合、割込みがアサートされます。この値は、ブリッジレス・タイムアウト・モニタ機能が実装されていれば、ADES1830/ADES1831 の CMC_TPER で設定できます。この機能が実装されていない場合は、LPCM ハートビート・メッセージ用のウォッチドッグとして機能する TM デバイスに設定されます。
 - ▶ ハートビート・メッセージに不適切なデータ・ペイロードが含まれている場合、割込みがアサートされます。この場合、設定されたタイムアウト期間を待機する必要はありません。ハートビート・メッセージのペイロードがデバイス数に誤りがあること、またはフォルト・フラグがあることを示している場合は、割込みが直ちにアサートされます。

CM フラグ・クリア・コマンド

CLRCMFLAG コマンドは、CMFx レジスタ・グループにある CMF0 レジスタのフラグをリセットします。CLRCMFLAG では、システムが 2 個の追加バイトを送信する必要があります。すべてのフラグをリセットするには、これら 2 バイトがどちらも 0xFF にセットされていなくてはなりません。

後続の内部診断 (ステータス・レジスタ・グループ C に反映) のいずれかがセル変換または補助変換の間に不合格になった場合 (VA_OV、VA_UV、VD_OV、VD_UV、VDE、VDEL、SPIFLT、TMODCHK、または OSCCHK) にも、CMF0 のビットが FF にセットされるため、CLRFLAG コマンドは LPCM に入る前に発行して、CMF0 をクリアしなくてはなりません。

LPCM ブリッジレス・タイムアウト・モニタ

isoSPI ブリッジ・トランシーバを使用しない場合、ADES1830/ADES1831 は LPCM TM としてセットアップできます。その設定では、システム・フォルトは、GPIO3 や GPIO4 で示されます。図 21 を参照してください。このブリッジレス・タイムアウト・モニタ設定には、スタックからの合格ハートビート・メッセージを受け取るためのタイムアウト時間が含まれます。この設定では、TM はセルおよび GPIO の入力をスレッシュホールドに対しチェックし、受信したハートビート・メッセージと共にその情報を使用してフォルト・ステータスを判別することも行います。

なお、GPIO3 と GPIO4 はプルダウン専用です。そのため、出力をモニタするには外部プルアップ抵抗が必要です。

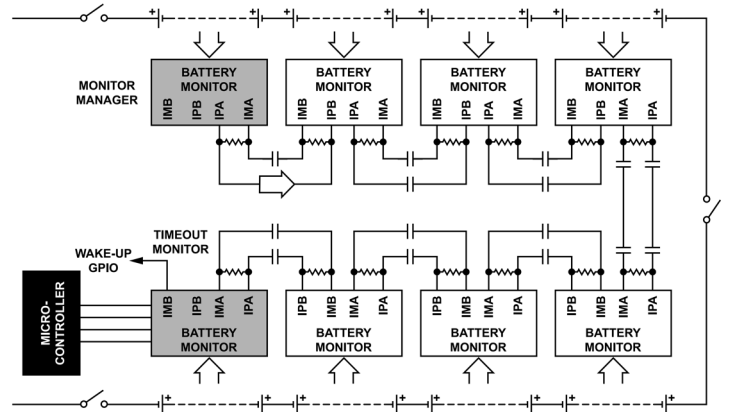


図 21. ブリッジレス・タイムアウト・モニタのシステム設定

低消費電力セル・モニタリング (LPCM)

リバーシブル isoSPI を使用した LPCM

リバーシブル isoSPI を備えたシステムでは、LPCM を順方向、逆方向、あるいは両方向同時に使用することができます。両方

向で動作させるには、隣接する 2 つの ADES1830/ADES1831 デバイスが MM として機能し、CMC_DIR 設定ビットを用いて適切なポートが指定される必要があります。2 つの TM は各エンドに 1 つずつ用いなくてはなりません。図 22 を参照してください。

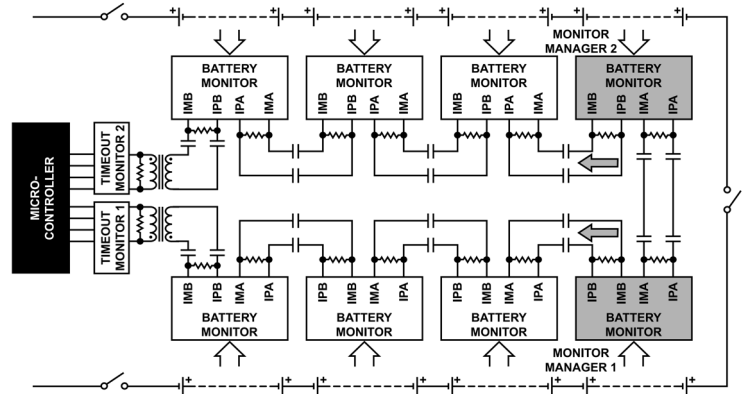


図 22. リバーシブル isoSPI を使用した LPCM

低消費電力セル・モニタリング (LPCM)

LPCM と放電タイマーの使用

BMS コントローラが CMEN コマンドを送信すると、モニタは、ADC コマンドや書き込みコマンドなどの一部のコマンドの受け入れを停止します。ただし、放電タイマー機能と LPCM 機能を同時に動作させることはできません。これを行うために、BMS コントローラは、CMEN コマンドを送信する前に、放電タイマー設定と LPCM 設定を行う必要があります。延長バランシングおよびDTM 測定状態のセクションとウォッチドッグおよび放電タイマーのセクションで説明したように、CMEN コマンドを送信する前に、DCC ビットがクリアされていなくてはなりません。CMEN コマンドの後、モニタは直ちに延長バランシング状態に移行し、放電と LPCM 動作を開始します。放電タイマー機能が有効化されている場合 (DTMEN = 1)、30 秒のモニタ時間を用いるのではなく、ハートビート変換を用いてセル電圧の放電がモニタされます。DTMEN = 1 の場合、放電を停止するために、設定レジスタに格納されている VUV 低電圧スレッシュホールドが使

用されます。LPCM 違反が発生しているかどうかは、CMT_CUV 低電圧スレッシュホールドを用いて判定されます。これら 2 つの低電圧スレッシュホールドは、異なる値に設定できるため、BMS コントローラを起動せずに放電を終了させることができます。セル測定が LPCM モードおよび延長バランシング・モードで行われている場合、セル放電はミュートされません。測定は、セル・ケーブル抵抗での放電電流による電圧降下の影響を受けます。PWM 放電は ADC 測定とは非同期で生じます。そのため、測定がケーブルでの電圧降下によって変化するかどうかは予測できません。ケーブルの抵抗と放電電流によっては、意図した電圧スレッシュホールドを正確にチェックできないこともあります。

LPCM の拡大状態遷移図

図 23 に、ADES1830/ADES1831 の標準の状態遷移図 (黒線) を左側に、追加された状態および経路 (赤線) を右側に示します。

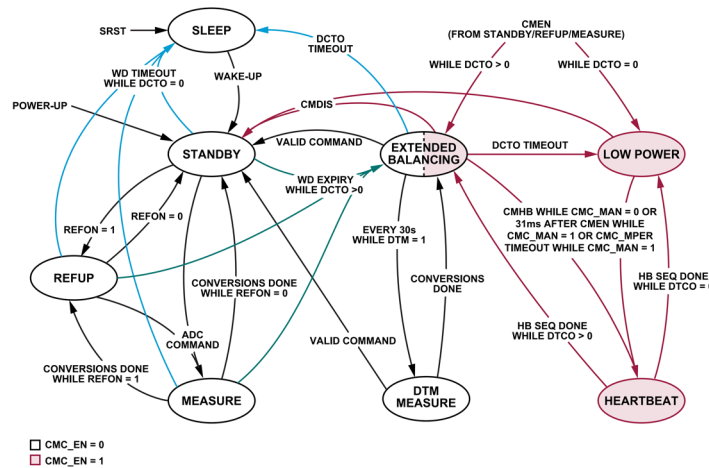


図 23. 低消費電力セル・モニタリングを行う場合の状態遷移図

低消費電力セル・モニタリング (LPCM)

LPCM の消費電力

LPCM 動作の間、ADES1830/ADES1831 は、測定時間の大部分において、約 10 μ A の静止電流を消費します。デバイスは、パワーアップ、測定値の取得、スレッシュホールドのチェック、isoSPI を介したハートビート・メッセージの送信、パワーダウンに約 6.7ms を要します。この集中的な動作中、ADES1830/ADES1831 は、約 70 μ C の電荷を追加使用します。測定時間 (MPER) は、1 秒、2 秒、4 秒、8 秒、12 秒、16 秒、32 秒に設定できます。そのため、平均の LPCM 電流は以下のとおりです。

$$I_{LPCM(AVG)} \approx 70 \mu\text{C}/\text{MPER} + 10 \mu\text{A}$$

利用可能な測定時間に対し、平均電流の概算値は次のとおりです。

LPCM の設定例

以下に示すのは、ADES1830/ADES1831 デバイスのスタックを低消費電力セル・モニタリング用に設定するための疑似コード例です。

```
//Wake up
repeat(NUMDEV) begin
  CSB low;
  CSB high;
  wait(500us); // 500us <= wait time < tIDLE
end

//Configure cell thresholds
CSB low;
WRCMCELLT;

//command plus command PEC
repeat(NUMDEV) begin
  write_byte (CM_CELLT_byte[0]);
  write_byte (CM_CELLT_byte[1]);
  write_byte (CM_CELLT_byte[2]);
  write_byte (CM_CELLT_byte[3]);
  write_byte (CM_CELLT_byte[4]);
  write_byte (CM_CELLT_byte[5]);
  write_byte (DPEC_byte[0]);
  write_byte (DPEC_byte[1]);
end
CSB high;
<Optional readback>

//Configure GPIO thresholds
CSB low;
WRCMGPIOT;

//command plus Command PEC
repeat(NUMDEV) begin
  write_byte (CM_GPIOT_byte[0]);
  write_byte (CM_GPIOT_byte[1]);
  write_byte (CM_GPIOT_byte[2]);
  write_byte (CM_GPIOT_byte[3]);
```

1 sec \approx 80 μ A 2 sec \approx 45 μ A 4 sec \approx 28 μ A 8 sec \approx 19 μ A 12 sec \approx 16 μ A 16 sec \approx 14 μ A 32 sec \approx 12 μ A

LPCM のシステム診断

ハートビート・メッセージによって、システム・マイクロコントローラは、コントローラがスリープ状態になる前に診断を実行できます。コントローラは、少なくとも 1 つのモニタがフォルト状態を検出することが期待できるような状態にモニタを設定できます。それにより、コントローラは、フォルト出力およびハートビート・メッセージをモニタし、予想されるフォルトが検出されることを確認できます。このようにして、システムは、適切な電圧フォルト検出、GPIO フォルト検出、モニタリング時間、タイムアウト検出、フォルト出力アサートが行われるのを確認できます。

低消費電力セル・モニタリング (LPCM)

```
write_byte (CM_GPIOT_byte[4]);
write_byte (CM_GPIOT_byte[5]);
write_byte (DPEC_byte[0]);
write_byte (DPEC_byte[1]);
end
CSB high;
<Optional readback>

//General LPCM Configurations
CSB low;
WRCMCFG;

//command plus command PEC
//TOP DEVICE IN GROUP MUST BE
//PROGRAMMED AS MANAGER
repeat(NUMDEV) begin
write_byte (CM_CFG_byte[0]);
write_byte (CM_CFG_byte[1]);
write_byte (CM_CFG_byte[2]);
write_byte (CM_CFG_byte[3]);
write_byte (CM_CFG_byte[4]);
write_byte (CM_CFG_byte[5]);
write_byte (DPEC_byte[0]);
write_byte (DPEC_byte[1]);
end
CSB high;
<Optional readback>

//Clear LPCM Flags
CSB low;
CLRCMFLAG;

//command plus command PEC
repeat(NUMDEV) begin
write_byte (8'hFF);
write_byte (8'hFF);
write_byte (DPEC_byte[0]);
write_byte (DPEC_byte[1]);
end
CSB high;
<Optional readback>

//Enable Cell Monitoring
CSB low;
CMEN;
//command plus command PEC
CSB high;

Below is pseudo-code for exiting LPCM mode for a stack of ADES1830/ADES1831 devices:
// Repeat the disable command
// until all devices have
// exited LPCM.
// The heartbeat sequence within
// one device can take ~6.6ms
// typical to execute.
// The disable command must be
```

低消費電力セル・モニタリング (LPCM)

```
// repeated for each device
// in the stack and additionally
// for long enough to last the
// duration of a heartbeat
// sequence in progress.
// 20 repetitions of 500us wait
// allows 8ms, providing for
// possible oscillator variation
// for devices in the stack.
repeat(NUMDEV + 20) begin

// Wake up pulse
CSB low;
CSB high;
wait(500us) // 500us <= wait time < tIDLE
// Send disable command
CSB low;
CMDIS;
//command plus command PEC
CSB high;
end

//Clear the command count
CSB low;
RSTCC;

//command plus command PEC
CSB high;
```

GPIO を使用する I²C/SPI コントローラ

ADES1830/ADES1831 の GPIO3、GPIO4、GPIO5 の各 I/O ポートを I²C または SPI のコントローラ・ポートとして使用して、I²C または SPI のターゲットと通信を行うことができます。I²C コントローラの場合、GPIO4 および GPIO5 は、それぞれ I²C インターフェースの SDA ポートおよび SCL ポートを形成します。SPI コントローラの場合、GPIO3、GPIO4、GPIO5 は、それぞれ SPI の CSBM ポート、SDIOM ポート、SCKM ポートになります。ADES1830/ADES1831 での SPI コントローラは、SPI モード 3 に対応します (CPHA = 1、CPOL = 1)。

GPIO はオープン・ドレイン出力です。そのため、I²C コントローラまたは SPI コントローラとして動作するには、これらのポートに外部プルアップ抵抗が必要です。また、これらのポートがデバイスによって内部でローにプルダウンされないように、設定レジスタ・グループ A の GPO ビットに 1 を書き込むことも重要です。

COMM レジスタ

表 32 に示すように、ADES1830/ADES1831 には 6 バイトの COMM レジスタがあります。このレジスタは、I²C または SPI でターゲットと通信を行うために必要なすべてのデータおよび制御ビットを格納します。COMM レジスタでは、ターゲット・デ

表 32. COMM レジスタのメモリ・マップ

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
COMM0	RD/WR	ICOM0[3]	ICOM0[2]	ICOM0[1]	ICOM0[0]	FCOM0[3]	FCOM0[2]	FCOM0[1]	FCOM0[0]
COMM1	RD/WR	D0[7]	D0[6]	D0[5]	D0[4]	D0[3]	D0[2]	D0[1]	D0[0]
COMM2	RD/WR	ICOM1[3]	ICOM1[2]	ICOM1[1]	ICOM1[0]	FCOM1[3]	FCOM1[2]	FCOM1[1]	FCOM1[0]
COMM3	RD/WR	D1[7]	D1[6]	D1[5]	D1[4]	D1[3]	D1[2]	D1[1]	D1[0]
COMM4	RD/WR	ICOM2[3]	ICOM2[2]	ICOM2[1]	ICOM2[0]	FCOM2[3]	FCOM2[2]	FCOM2[1]	FCOM2[0]
COMM5	RD/WR	D2[7]	D2[6]	D2[5]	D2[4]	D2[3]	D2[2]	D2[1]	D2[0]

表 33. I²C コントローラでの ICOMx[3:0] および FCOMx[3:0] への書込みコード

制御ビット	コード	動作	説明
ICOMx[3:0]	0110	Start	I ² C ポートに開始信号を生成し、その後にデータ伝送が行われます。
	0001	Stop	I ² C ポートに停止信号を生成します。
	0000	Blank	I ² C ポートでのデータ伝送に直接進みます。
	0111	No transmit	SDA および SCL をリリースし、その他のデータを無視します。
FCOMx[3:0]	0000	Controller acknowledge	9 番目のクロック・サイクルでコントローラがアクノリッジ信号を生成します。
	1000	Controller no acknowledge	9 番目のクロック・サイクルでコントローラがノー・アクノリッジ信号を生成します。
	1001	Controller no acknowledge and stop	コントローラがノー・アクノリッジ信号とそれに続く停止信号を生成します。

表 34. SPI コントローラでの ICOMx[3:0] および FCOMx[3:0] への書込みコード

制御ビット	コード	動作	説明
ICOMx[3:0]	1000	CSBM low	SPI ポート (GPIO3) に CSBM ロー信号を生成します。
	1010	CSBM falling edge	CSBM (GPIO3) をハイに駆動した後、ローにします。
	1001	CSBM high	SPI ポート (GPIO3) に CSBM ハイ信号を生成します。
	1111	No transmit	SPI ポートをリリースし、その他のデータを無視します。
FCOMx[3:0]	X000	CSBM low	バイト伝送の最後で CSBM をローに保持します。
	1001	CSBM high	バイト伝送の最後で CSBM をハイに遷移します。

バイスとの間で送受信する 3 バイトのデータが Dx[7:0] に格納されます。ICOMx[3:0] は、各データ・バイトの送受信の前に行われる制御動作を指定します。FCOMx[3:0] は、各データ・バイトの送受信の後に行われる制御動作を指定します。

COMM レジスタの ICOMx[3] ビットが 1 にセットされている場合、デバイスは SPI コントローラであり、このビットが 0 にセットされている場合は、デバイスは I²C コントローラです。

表 33 に、デバイスを I²C コントローラとして用いた場合の ICOMx[3:0] および FCOMx[3:0] への有効な書込みコードと、その動作の説明を示します。

表 34 には、デバイスを SPI コントローラとして用いた場合の ICOMx[3:0] および FCOMx[3:0] への有効な書込みコードと、その動作の説明を示します。

なお、ICOMx[3:0] および FCOMx[3:0] に対して有効なのは、表 33 と表 34 に記載されたコードのみです。表 33 および表 34 に記載されていないコードを ICOMx[3:0] および FCOMx[3:0] に書き込むと、I²C ポートまたは SPI ポートが予期せぬ動作を示すことになる可能性があります。

GPIO を使用する I²C/SPI コントローラ

COMM コマンド

ターゲット・デバイスとの間で I²C 通信または SPI 通信を行うには、WRCOMM、STCOMM、RDCOMM の 3 つのコマンドが有用です。

WRCOMM コマンドは、COMM レジスタにデータを書き込みます。このコマンドは、6 バイトのデータを COMM レジスタに書き込みます。データの末尾には PEC を書き込む必要があります。PEC が一致しない場合、CSB がハイになると、COMM レジスタのすべてのデータが 0 にクリアされます。書き込みコマンドのフォーマットの詳細については、[バス・プロトコル](#)のセクションを参照してください。

STCOMM コマンドは、GPIO ポートで I²C 通信および SPI 通信を開始します。COMM レジスタには、ターゲットに送信される 3 バイトのデータが格納されています。このコマンドの間、COMM レジスタに格納されているデータ・バイトは I²C デバイスまたは SPI デバイスに送信され、I²C デバイスまたは SPI デバイスから受信したデータは COMM レジスタに格納されます。このコマンドは、I²C 通信には GPIO4 (SDA) および GPIO5 (SCL)、SPI 通信には GPIO3 (CSBM)、GPIO4 (SDIOM)、GPIO5 (SCKM) を使用します。

STCOMM に続き、CSB をローに保持している間に、データ・バイトごとに 24 クロック・サイクルがターゲット・デバイスに送信されます。例えば、3 バイトのデータをターゲットに伝送するには、STCOMM コマンドとその PEC に続き 72 クロック・サイクルを送信します。STCOMM コマンドの 72 クロック・サイクルの最後で、CSB をハイにプルアップします。

I²C 通信または SPI 通信の間、ターゲット・デバイスからの受信データが COMM レジスタで更新されます。

ターゲット・デバイスからの受信データは、RDCOMM コマンドを用いて COMM レジスタからリードバックできます。このコマンドは、6 バイトのデータとそれに続く PEC をリードバックします。読出しコマンドのフォーマットの詳細については、[バス・プロトコル](#)のセクションを参照してください。

表 35 に、デバイスを I²C コントローラとして用いた場合に ICOMx[3:0] および FCOMx[3:0] に対して可能なリードバック・コードの説明を示します。Dx[7:0] には、I²C ターゲットによって送信されたデータ・バイトが格納されます。

表 35. I²C コントローラでの ICOMx[3:0] および FCOMx[3:0] への読出しコード

制御ビット	コード	説明
ICOMx[3:0]	0110	コントローラが開始信号を生成しました。
	0001	コントローラが停止信号を生成しました。
	0000	空白。SDA はバイト間ではローに保持されています。
FCOMx[3:0]	0111	空白。SDA はバイト間ではハイに保持されています。
	0000	コントローラがアクノリッジ信号を生成しました。
	0111	ターゲットがアクノリッジ信号を生成しました。
	1111	ターゲットがノー・アクノリッジ信号を生成しました。
	0001	ターゲットがノー・アクノリッジ信号を生成し、コントローラが停止信号を生成しました。
	1001	ターゲットがノー・アクノリッジ信号を生成し、コントローラが停止信号を生成しました。

SPI コントローラの場合、ICOMx[3:0] のリードバック・コードは常に 0111、FCOMx[3:0] のリードバック・コードは常に 1111 です。Dx[7:0] には、SPI ターゲットによって送信されたデータ・バイトが格納されます。

図 24 に、GPIO を用いた ADES1830/ADES1831 の I²C コントローラまたは SPI コントローラとしての動作を示します。

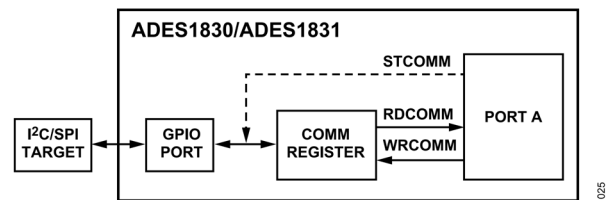


図 24. GPIO を使用する I²C/SPI コントローラ

これらのコマンドを用いて、任意の数のバイトを 3 バイトごとのグループにして、ターゲットに送信できます。異なる STCOMM コマンドの間で GPIO ポートがリセットされることはありません。ただし、コマンドとコマンドの間での待機時間が 2 秒を超える場合は、ウォッチドッグがタイムアウトし、ポートはそれぞれのデフォルト値にリセットされます。

I²C コントローラを用いて数バイトのデータを送信する場合、データ・ストリーム全体の先頭にのみ開始信号が必要です。停止信号は、データ・ストリームの最後にのみ必要です。すべての中間データ・グループは、データ・バイトの前に空白コードを用いることができます。また、データ・バイトの後に必要に応じてアクノリッジまたはノー・アクノリッジ信号を用いることができます。SDA および SCL は、異なる STCOMM コマンドの間でリセットされることはありません。

SPI コントローラを用いて数バイトのデータを送信する場合、最初のデータ・バイトの先頭で CSBM ロー信号が送信されます。CSBM は、FCOMx[3:0] の適切なコードを用いて、中間データ・グループに対しローを維持したりハイになったりできます。CSBM のハイ信号は、データの最後のバイトの末尾で送信されます。CSBM、SDIOM、SCKM は異なる STCOMM コマンドの間でリセットされることはありません。

図 25 に、様々な場合における I²C コントローラの STCOMM コマンドに続く 24 クロック・サイクルを示します。なお、停止信号が送信された後に ICOMx[3:0] が停止状態を指定した場合は、SDA ラインおよび SCL ラインがハイに保持され、残りのワードのデータはすべて無視されます。ICOMx[3:0] が送信なしの状態に設定されている場合は、SDA と SCL の両方のラインがリリースされ、ワード内の残りのデータは無視されます。これは、スタック内のデバイスがターゲットとの通信を行う必要がない場合に用いられます。

図 26 に、SPI コントローラの場合の STCOMM に続く 24 クロック・サイクルを示します。I²C コントローラと同様、ICOMx[3:0] が CSBM ハイまたは送信なしの状態に設定されている場合は、SPI コントローラの CSBM、SCKM、SDIOM の各ラインがリリースされ、ワード内の他のデータは無視されます。

GPIO を使用する I²C/SPI コントローラ

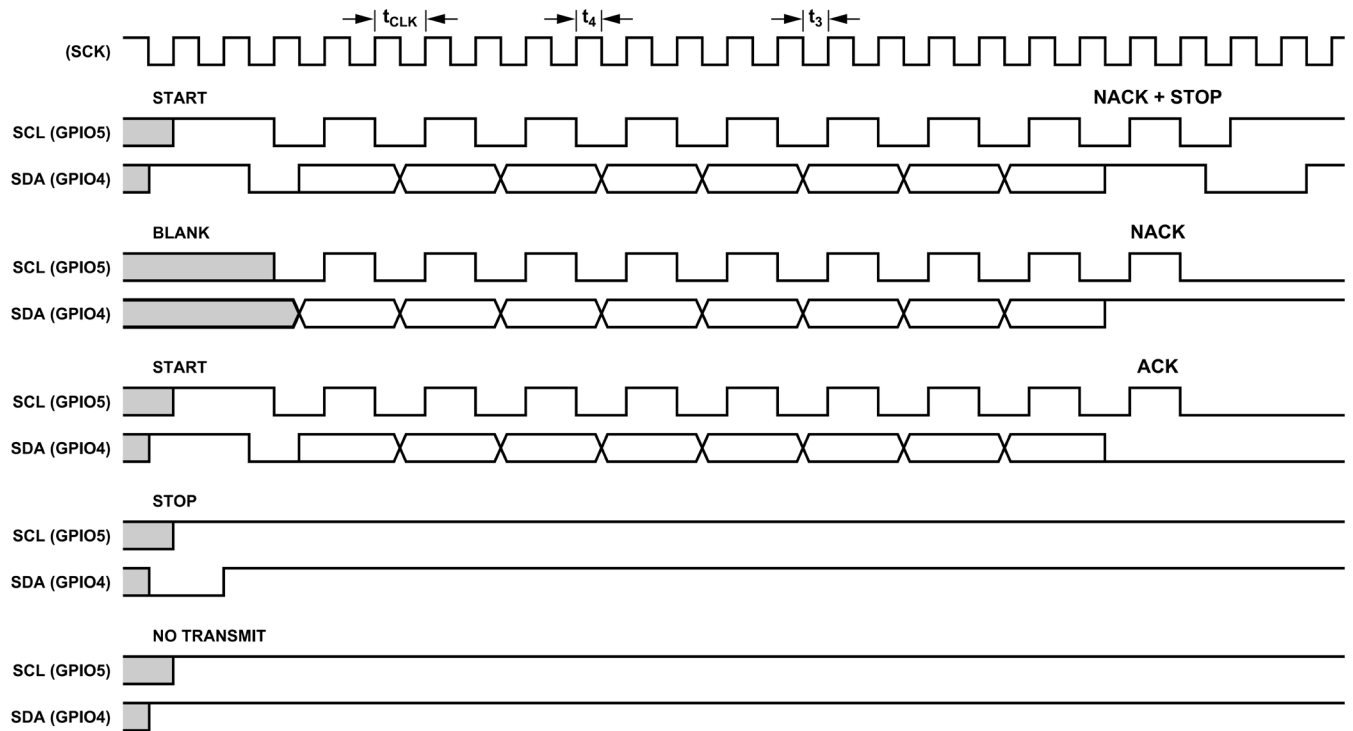


図 25. I²C コントローラの場合の STCOMM のタイミング図

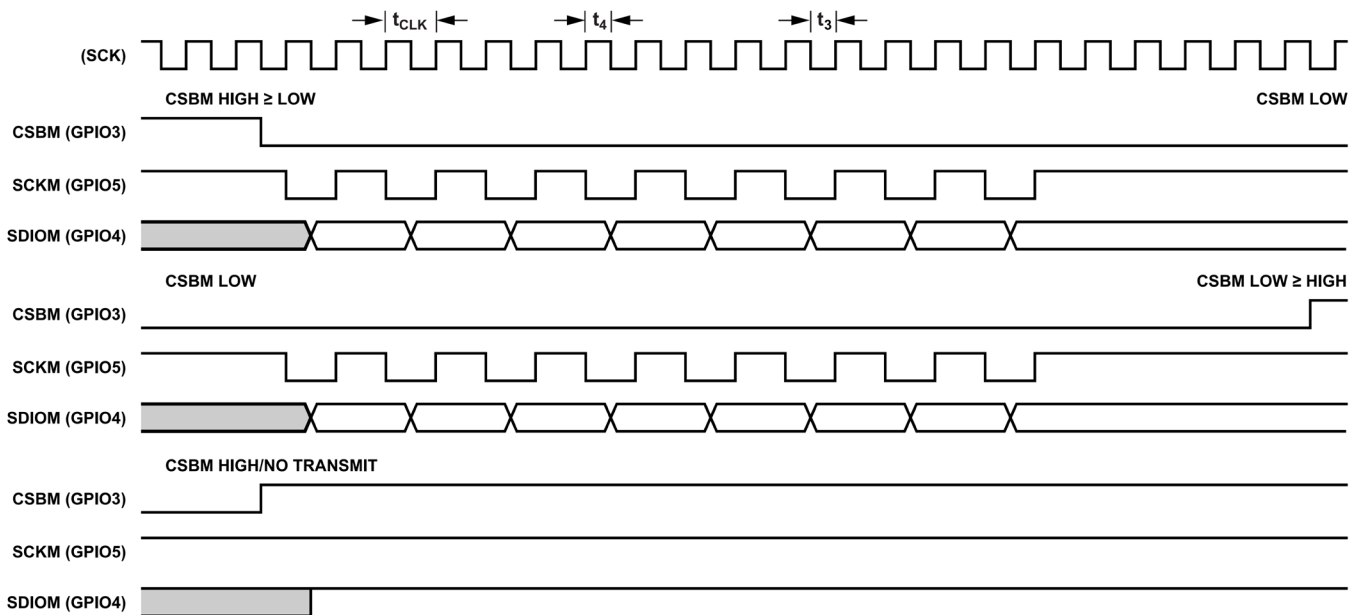


図 26. SPI コントローラの場合の STCOMM のタイミング図

GPIO を使用する I²C/SPI コントローラ

I²C コントローラおよび SPI コントローラのタイミング仕様

I²C コントローラまたは SPI コントローラのタイミングは、ADES1830/ADES1831 のプライマリ SPI での通信のタイミングで制御されます。

表 36 に、プライマリ SPI のクロックに対する I²C コントローラのタイミングの関係を示します。表 37 には、SPI コントローラのタイミング仕様を示します。

表 36. I²C コントローラのタイミング

I ² C Controller Parameter	Timing Relationship to Primary SPI	Timing Specifications at t _{CLK} = 0.5 ms
SCL Clock Frequency	1/(2 × t _{CLK})	Maximum 1 MHz
t _{HD;STA}	t ₃	Minimum 100 ns
t _{LOW}	t _{CLK}	Minimum 0.5 μs
t _{HIGH}	t _{CLK}	Minimum 0.5 μs
t _{SU;STA}	t _{CLK} + t ₄ ¹	Minimum 0.53 μs
t _{HD;DAT}	t ₄ ¹	Minimum 30 ns
t _{SU;DAT}	t ₃	Minimum 100 ns
t _{SU;STO}	t _{CLK} + t ₄ ¹	Minimum 0.53 μs
t _{BUF}	3 × t _{CLK}	Minimum 1.5 μs

¹ isoSPI の使用時、t₄ は内部で生成され、最小値は 30ns です。また、t₃ = t_{CLK} - t₄ です。SPI の使用時は、t₃ および t₄ は SCK 入力が高レベルになっている時間および低レベルになっている時間で、それぞれ仕様規定された最小値は 100ns です。

表 37. SPI コントローラのタイミング

SPI Controller Parameter	Timing Relationship to Primary SPI	Timing Specifications at t _{CLK} = 0.5 ms
SDIOM Valid to SCKM Rising Setup	t ₃	Minimum 100 ns
SDIO Valid from SCKM Rising Hold	t _{CLK} + t ₄ ¹	Minimum 0.53 μs
SCKM Low	t _{CLK}	Minimum 0.5 μs
SCKM High	t _{CLK}	Minimum 0.5 μs
SCKM Period (SCKM Low + SCKM High)	2 × t _{CLK}	Minimum 1 μs
CSBM Pulse Width	3 × t _{CLK}	Minimum 1.5 μs
SCKM Rising to CSBM Rising	5 × t _{CLK} + t ₄ ¹	Minimum 2.53 μs
CSBM Falling to SCKM Falling	t ₃	Minimum 100 ns
CSBM Falling to SCKM Rising	t _{CLK} + t ₃	Minimum 0.6 μs
SCKM Falling to SDIOM Valid		Controller requires < t _{CLK}

¹ isoSPI の使用時、t₄ は内部で生成され、最小値は 30ns です。また、t₃ = t_{CLK} - t₄ です。SPI の使用時は、t₃ および t₄ は SCK 入力が高レベルになっている時間および低レベルになっている時間で、それぞれ仕様規定された最小値は 100ns です。

シリアル・インターフェースの概要

ADES1830/ADES1831 には、CSB、SCK、SDI、SDO を用いる標準的な 4 線式 SPI と、IMA および IPA を用いる 2 線式 isoSPI の 2 種類のシリアル・ポートがあります。ISOMD ピンの状態によって、デュアル・ファンクション・ピンが 2 線式シリアル・ポートとして機能するか 4 線式シリアル・ポートとして機能するかが決まります。2 線式および 4 線式のどちらのシリアル・ポートも 2Mbps で通信が可能です。

ADES1830/ADES1831 は、デジチェーン構成において、IMA および IPA を用いる isoSPI モードまたは、CSB、SCK、SDI、SDO を用いる SPI モードのいずれかで用いることができます。デジチェーン構成では、2 番目の isoSPI ポートが IMB および IPB を使用します。

4 線式 SPI の物理レイヤ

ISOMD を V- に接続すると 4 線式 SPI のシリアル・ポート A が構成されます。SDO ピンは、オープン・ドレイン出力であり、プルアップ抵抗を適切な電源電圧に接続する必要があります。

この 4 線式シリアル・ポートは、CPHA = 0 および CPOL = 0 を用いる SPI システム、または、CPHA = 1 および CPOL = 1 を用いる SPI システムで動作するよう設定されます。したがって、SDI のデータは、SCK の立上がりエッジ時に安定していません。図 27 に、タイミングを示します。最大データ・レートは 2Mbps です。ただし、デバイスの製造時にはこれより高いデータ・レートでテストされており、仕様規定された最大データ・レートでの動作が確保されています。

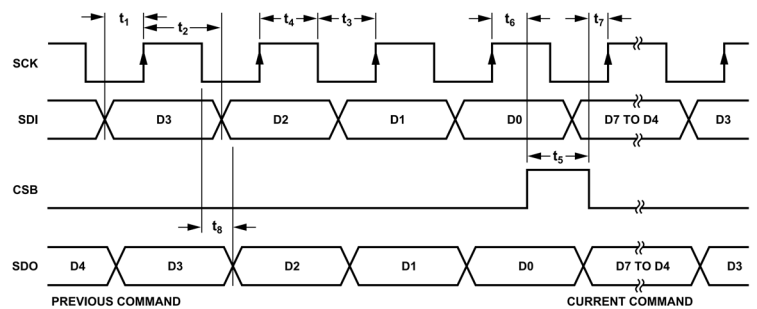


図 27. 4 線式 SPI のタイミング図

シリアル・インターフェースの概要

リバーシブル 2 線式 isoSPI の物理レイヤ

2 線式インターフェースは、単純なツイスト・ペア・ケーブルを用いて ADES1830/ADES1831 デバイスを相互接続する手段を提供します。インターフェースは、ケーブル配線が強い RF フィールドの影響を受けやすい場合でも低バケット・エラー・レートとなるよう設計されています。絶縁は、外部トランスまたは外部コンデンサを通じて実現されます。

標準的な SPI 信号は様々なパルスに符号化されます。伝送パルスの強度は 20mA に設定されており、レシーバのスレッショルド・レベルは 300mV です。

外部接続

ADES1830/ADES1831 には、ポート A とポート B の 2 つのシリアル・ポートがあります。ポート B は、常に 2 線式インターフェースとして設定されます。ポート A は、ISOMD ピンの接続に応じて、2 線式または 4 線式のいずれかのインターフェースになります。

ポート A が 4 線式インターフェースとして設定されている場合、ポート A は常にターゲット・ポートとなり、ポート B がコントローラ・ポートになります。通信は、常に、デジチェーン構成の最初のデバイスのポート A で開始されます。デジチェーンの最後のデバイスは、ポート B を使用せず、終端される必要があります。あるいは、最後のデバイスのポート B を MCU コントローラ側の 2 番目の isoSPI ポートに接続し戻して、通信リング構造を構築することもできます。こうすることで、4 線式インターフェースに設定された最初のデバイスに加えて、デジチェーン内のすべてのデバイスへの冗長通信経路が可能になります。

図 28 に、ADES1830/ADES1831 デバイス間で信号を結合するためにコンデンサを用いる場合に可能な、最も単純なポート接続を示します。

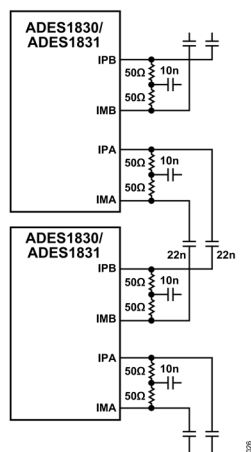


図 28. コンデンサにより絶縁された isoSPI

ポート A が 2 線式インターフェースとして設定されている場合、通信はポート A またはポート B で開始できます。通信をポート A で開始する場合、ADES1830/ADES1831 は、ポート A をターゲット、ポート B をコントローラとして設定します。同様に、通信をポート B で開始する場合は、ADES1830/ADES1831 はポート B をターゲット、ポート A をコントローラとして設定します。リバーシブル isoSPI の詳細な説明については、[リバーシブル isoSPI](#) のセクションを参照してください。

図 27 は、それぞれに 1 つの ADES1830/ADES1831 を含む、複数の同一の PCB の堅牢な相互接続の一例です。マイクロコントローラは別の PCB 上にあります。マイクロプロセッサの PCB と最初の ADES1830/ADES1831 の PCB の間で 2 線式の絶縁を実現するには、サポート IC として ADBMS6821 または ADBMS6822 を使用します。

リバーシブル isoSPI

図 29 に、リバーシブル isoSPI を用いた ADES1830/ADES1831 のデジチェーン構成を示します。2 つの ADBMS6821、または 1 つの ADBMS6822 がデジチェーンのいずれかの側に接続されています。どちらの ADBMS6821 もコントローラとして設定され、同じ SPI を共有してマイクロプロセッサ・ユニット (MPU) に接続されます。MPU は、2 種類の CS 信号を用いて 2 つの ADBMS6821 のうちの 1 つと通信を行います。

例えば、図 29 において、最下段の ADBMS6821 がアドレス指定されている場合は、ADES1830/ADES1831 のデバイス A がスタック内の最初のデバイスとなり、デバイス B およびデバイス C がそれに続きます。各 ADES1830/ADES1831 のポート A がターゲットとして設定され、ポート B がコントローラとして設定されます。最上段の ADBMS6821 がアドレス指定されている場合は、ADES1830/ADES1831 のデバイス C がスタック内の最初のデバイスになり、デバイス B およびデバイス A がそれに続きます。各 ADES1830/ADES1831 のポート B がターゲットとして設定され、ポート A がコントローラとして設定されます。

リバーシブル isoSPI は、2 線式インターフェースで単一障害点が生じた場合に、冗長な通信経路を提供します。

シリアル・インターフェースの概要

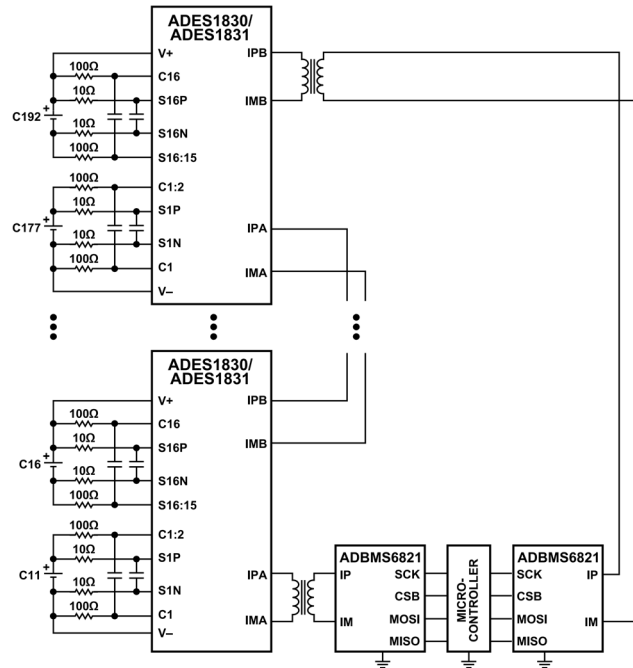


図 29. リバーシブル isoSPI の複数デバイス

設定可変の isoSPI 中断

デジチェーン内の各 ADES1830/ADES1831 デバイスは、そのコントローラ isoSPI ポートでのデータ伝送を休止するよう設定できます。この動作を実行するには、設定レジスタ・グループ A の COMM_BK ビットに 1 を書き込みます。COMM_BK ビットをアサートしても、ADES1830/ADES1831 が SPI/isoSPI のポート A または isoSPI のポート B のいずれかからのコマンドを受信し、それに応答することを妨げることはありません。そのため、このセットアップは、リバーシブル isoSPI デジチェーンにおいて、チェーンを半分に分割して実効的な通信帯域幅を拡大するのに有用です。ホストは、デジチェーン内の中心にある 2 つの ADES1830/ADES1831 デバイスで COMM_BK ビットをアサートできます。したがって、ホストは、それぞれが合計チェーン長の半分の長さを持つ 2 つの別個のデジチェーンと通信を行っているかのように、デジチェーンの両エンドにコマンドを同時に発行できます。

一部の ADES1830/ADES1831 デバイスが通信中断を行うように設定されている間に通信フォルトが生じた場合、ホストは、チェーン内の順方向と逆方向の両方の全デバイスに、連続的に COMM_BK = 0 を書き込もうとします。この書き込みによって、ホストは、可能な限りすべてのデバイスにアクセスでき、通信の中断の場所を特定できます。

ウォッチドッグ・リセット時には、COMM_BK ビットは 0 にリセットされます。

isoSPI パルスの詳細

2 つの ADES1830/ADES1831 デバイスは、絶縁バリアを通じて差動パルスを送受信することによって通信ができます。トランスミッタは、+VA、0V、-VA の 3 通りの電圧レベルを出力できます。正の出力は、負荷抵抗を流れる IP ソース電流と IM シンク電流から生じます。負電圧は、IP シンクと IM ソースから生じます。両方の出力がオフの場合、負荷抵抗が差動出力を 0V にします。

DC 信号成分を除去して信頼性を向上するために、isoSPI パルスは対称パルス・ペアとして定義されています。A +1 パルスは、負パルスを伴う正パルスとして伝送されます。A -1 パルスは、正パルスを伴う負パルスとして伝送されます。各パルスの時間は、それぞれが必要な対称ペアの半分であるため、 $t_{1/2PW}$ と定義されます（合計の isoSPI パルス時間は $2 \times t_{1/2PW}$ です）。

表 38. isoSPI パルスの種類

Pulse Type	First Level ($t_{1/2PW}$)	Second Level ($t_{1/2PW}$)	Ending Level
Long +1	+VA (150 ns)	-VA (150 ns)	0V
Long -1	-VA (150 ns)	+VA (150 ns)	0V
Short +1	+VA (50 ns)	-VA (50 ns)	0V
Short -1	-VA (50 ns)	+VA (50 ns)	0V

ホスト・マイクロプロセッサは、この 2 線式インターフェースを使用するために isoSPI パルスを生成する必要はありません。システムの最初の ADES1830/ADES1831 は、そのポート A で 4 線式 SPI を用いてマイクロコントローラと通信を行い、その後ポート B で 2 線式 isoSPI を用いて他の ADES1830/ADES1831 にデジチェーン接続することができます。あるいは、ADBMS6821 または ADBMS6822 を用いて SPI 信号を isoSPI パルスに変換できます。

ADES1830/ADES1831 が、ポート A を用いて SPI として動作している場合 (ISOMD = V-)、SPI は 4 つの通信イベントである、CSB 立下がり、CSB 立上がり、SDI = 0 での SCK 立上がり、SDI = 1 での SCK 立上がりのいずれか 1 つを検出します。各イベントは、4 つのパルス・タイプの 1 つに変換されて、デジチェーン接続された別の ADES1830/ADES1831 に伝送されます。表 39 に示すように、CSB の変化を伝送するにはロング・パルスが用いられ、データを伝送するにはショート・パルスが用いられます。

シリアル・インターフェースの概要

表 39. ポート B (コントローラ) isoSPI のポート機能

Communication Event (Port A SPI)	Transmitted Pulse (Port B isoSPI)
CS Rising	Long +1
CS Falling	Long -1
SCK Rising Edge, SDI = 1	Short +1
SCK Rising Edge, SDI = 0	Short -1

絶縁バリアの反対側 (ケーブルの他端) にある、2 番目の ADES1830/ADES1831 の ISOMD は V_{REG} です。

表 40. ポート A (ターゲット) isoSPI のポート機能

Received Pulse (Target isoSPI Port)	Internal SPI Port Action	Return Pulse
Long +1	Drive CSB high	None
Long -1	Drive CSB low	None
Short +1	Set SDI = 1	Short -1 pulse if reading 0 bits
	Pulse SCK	Short +1 pulse if reading 1 bit (no return pulse if not in read mode)
Short -1	Set SDI = 0	Short -1 pulse if reading 0 bits
	Pulse SCK	Short +1 pulse if reading a 1 bit (no return pulse if not in read mode)

そのポート A はターゲット isoSPI として動作します。これは、表 40 に示すように、伝送された各パルスを受け取り、SPI 信号を内部で再構築します。更に、読出しコマンドの間、このポートはリターン・データ・パルスを送信できます。

ターゲット isoSPI ポート (ターゲット) がロング (CSB) パルスを送信することはありません。ターゲット isoSPI ポートは、データ・ビットのリードバック時には、ショート -1 パルスとショート +1 パルスを送信します。コントローラ・ポートがショート +1 パルスまたはショート -1 パルスではなく、ヌルの応答を受信した場合は、このヌル応答をロジック 1 のビットとして認識します。

シリアル・インターフェースの概要

タイミング図

図 31 に、デイジーチェーン接続された ADES1830/ADES1831 デバイスに対する読出しコマンドのための isoSPI のタイミング図を示します。ISOMD ピンは最下段のデバイスの V- に接続され、対応するポート A は SPI ポート (CSB、SCK、SDI、SDO) として設定されます。スタックされた 3 個のデバイスの isoSPI は、ポート (ポート A またはポート B) とデバイス番号でラベル付けして示されています。なお、ISO B1 と ISO A2 は同じ信号ですが、デバイス 1 とデバイス 2 を接続する伝送ケーブルのそれぞれのエンドで示されています。同様に、ISO B2 と ISO A3 は同じ信号ですが、デバイス 2 とデバイス 3 の間のケーブルによる遅延が示されています。

ビット WN~ビット W0 は読出しコマンドの 16 ビットのコマンド・コードと 16 ビットの PEC を表しています。ビット W0 の最後で、3 個のデバイスが読出しコマンドをデコードし、クロック SCK の次の立上がりエッジで有効なデータのシフト・アウトを開始します。ビット XN~ビット X0 はデバイス 1 によってシフト・アウトされるデータを表します。ビット YN~ビット Y0 はデバイス 2 によってシフト・アウトされるデータを表し、ビット ZN~ビット Z0 はデバイス 3 によってシフト・アウトされるデータを表します。すべてのデータは、デイジーチェーン形式でデバイス 1 の SDO ポートからリードバックされます。

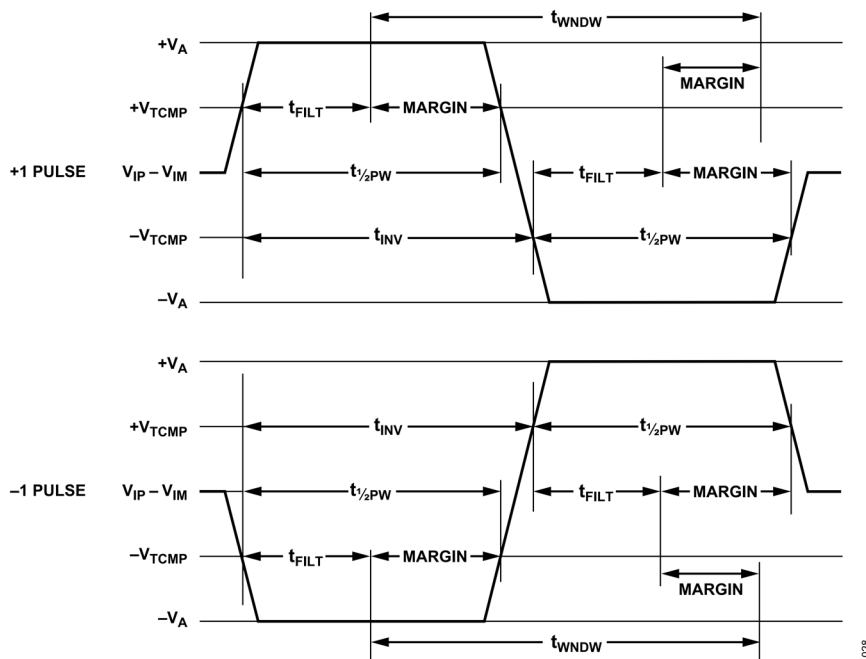


図 30. isoSPI のパルスの詳細

シリアル・インターフェースの概要

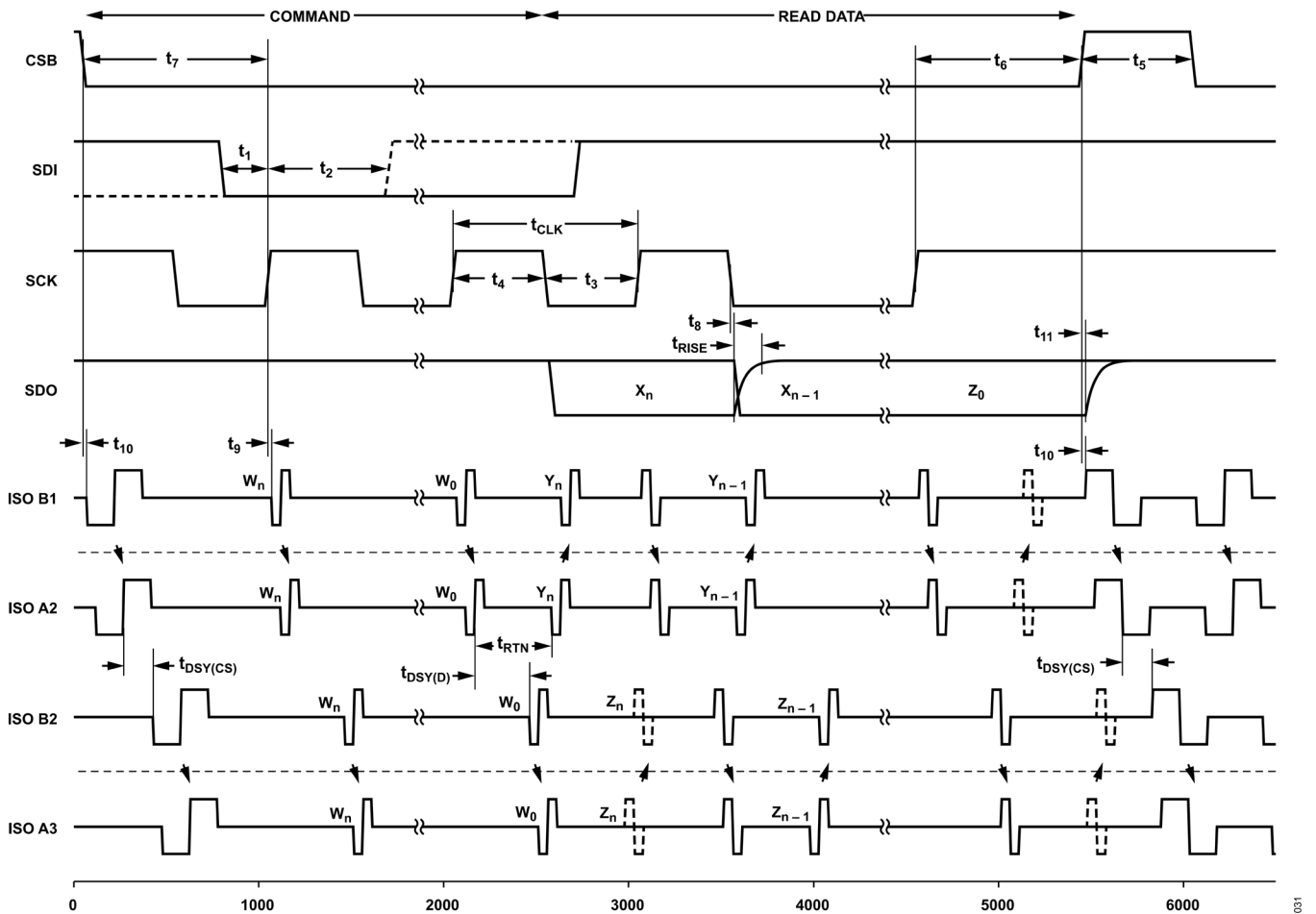


図 31. デバイスをデジチェーン接続した場合の isoSPI 読出しコマンドのタイミング

シリアル・インターフェースのウェイクアップ

シリアル・ポート (SPI または isoSPI) は、 t_{IDLE} の時間、ポート A またはポート B に何の動作もない場合、低消費電力のアイドル状態になります。ウェイクアップ回路は、ADES1830/ADES1831 の CSB (IMA) と SCK (IPA) での動作、および IMB と IPB での動作をモニタします。

ISOMD が V- の場合、ポート A は SPI モードです。CSB ピンまたは SCK ピンに動作が生じると SPI がウェイクアップします。ISOMD が VREG の場合、ポート A は isoSPI モードです。IPA と IMB での差動動作により isoSPI がウェイクアップします。isoSPI 状態が t_{WAKE} または t_{READY} (コアの状態に依存) の時間内にレディに変化すると、ADES1830/ADES1831 は通信できるようになります (詳細については図 14 および状態の説明を参照)。

図 32 に、タイミングおよび機能等価回路を示します。ウェイクアップ回路は SCK (IPA) と CS (IMA) の差に応答します。コモン・モード信号では、シリアル・インターフェースはウェイクアップしません。インターフェースは、大信号シングルエンド・パルスまたは低振幅対称パルスを受信した後にウェイク

アップするよう設計されています。差動信号 [SCK(IPA) - CS(IMA)] は、シリアル・インターフェースをパワーアップするウェイクアップ信号として適合するには、少なくとも $t_{DWELL} = 240ns$ の時間、 $V_{WAKE} = 400mV$ 以上でなくてはなりません。

堅牢なウェイクアップ方法では、デジチェーン全体をウェイクアップするのに十分な時間、isoSPI トラフィックを手動で送信します。最低でも、 t_{READY} (コアの状態がスタンバイの場合) または t_{WAKE} (コアの状態がスリープの場合) より長く、 t_{IDLE} より短い時間で分離された、2 つのロング isoSPI パルス (-1 および +1) がデバイスごとに必要です。この方法により、各デバイスがウェイクアップし、後続のデバイスに次のパルスを伝搬できるようになります。この方法は、チェーン内の一部のデバイスがアイドル状態にない場合でも機能します。実際にこの方法を行うには、(ADBMS6821 または ADBMS6822、あるいは ISOMD = 0 とした最下段 ADES1830/ADES1831 の) CSB ピンをトグルしてロング isoSPI パルスを発生する必要があります。あるいは、ダミー・コマンド (RDCFG など) を実行させてロング isoSPI パルスを発生することもできます。

シリアル・インターフェースの概要

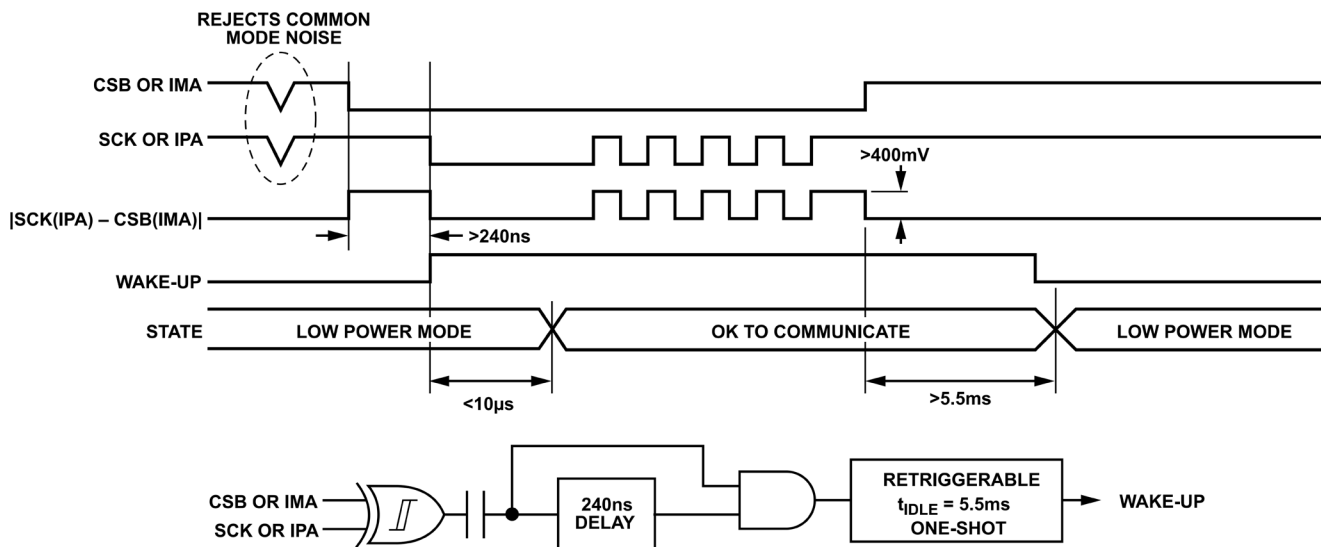


図 32. ウェイクアップ検出とアイドル・タイマー

032

ネットワーク・レイヤ

コマンド PEC

コマンド PEC は、00000000010000 の初期 PEC 値と特性多項式 $x^{15} + x^{14} + x^{10} + x^8 + x^7 + x^4 + x^3 + 1$ を用いて、コマンドの全 16 ビットについて計算した 15 ビットの巡回冗長検査 (CRC) 値です。

ADES1830/ADES1831 は、受け取った任意のコマンドについてコマンド PEC を計算し、それをコマンドに伴う PEC と比較します。コマンドは PEC が一致する場合にのみ、有効とみなされます。表 41 にコマンド PEC のフォーマットを示します。

表 41. コマンド PEC のフォーマット

Name	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PEC0	RD/WR	PEC[14]	PEC[13]	PEC[12]	PEC[11]	PEC[10]	PEC[9]	PEC[8]	PEC[7]
PEC1	RD/WR	PEC[6]	PEC[5]	PEC[4]	PEC[3]	PEC[2]	PEC[1]	PEC[0]	0

データ PEC

データ PEC は、レジスタから読み出されるすべてのビットとコマンド・カウンタ・ビットに対し計算された 10 ビット CRC 値です。初期 PEC 値は 0000010000 で、特性多項式は $x^{10} + x^7 + x^3 + x^2 + x + 1$ です。データは、データ PEC が一致する場合にのみ有効とみなされます。

書込みコマンドおよび CLRFLAG コマンドの場合、データはデータ PEC を伴って ADES1830/ADES1831 に送信されます。例えば、設定レジスタ・グループ A に書き込む場合、データは、CFGAR0、…、CFGAR5、PEC0、PEC1 の順に送信されます。

表 42 に、データを書き込む場合のデータ PEC のフォーマットを示します。

表 42. データ書込みの PEC フォーマット

Name	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PEC0	RD/WR	0	0	0	0	0	0	PEC[9]	PEC[8]
PEC1	RD/WR	PEC[7]	PEC[6]	PEC[5]	PEC[4]	PEC[3]	PEC[2]	PEC[1]	PEC[0]

コマンド・カウンタ

コマンド・カウンタは、システム・レベルのソフトウェア診断機能と通信の完全性を強化します。コマンド・カウンタは、電源再投入時、スリープへの遷移時、あるいは、RSTCC コマンドまたは SRST コマンドの受信によって、0 に初期化されます。コマンド・カウンタがインクリメントするのは、表 50 の INC の欄で示されたコマンドを ADES1830/ADES1831 が受信した場合です。コマンド・カウンタが最大値 63 を超えてインクリメントすると、0 ではなく 1 にロール・オーバーします。0 の値は、前述した特定のリセットの場合のために予約されています。すべての読出しコマンドは、レジスタ・データに続きコマンド・カウンタおよびデータ PEC を返します。

表 43 に、データ読出し時のコマンド・カウンタおよびデータ PEC のフォーマットを示します。ホストは、ADES1830/ADES1831 のコマンド・カウンタを初期化し、その後、コマンド・シーケンスの送信後に予測される値に対する ADES1830/ADES1831 からのコマンド・カウンタ値を検証できます。

表 43. データ読出しの PEC フォーマット

Name	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PEC0	RD/WR	CCNT[5]	CCNT[4]	CCNT[3]	CCNT[2]	CCNT[1]	CCNT[0]	PEC[9]	PEC[8]
PEC1	RD/WR	PEC[7]	PEC[6]	PEC[5]	PEC[4]	PEC[3]	PEC[2]	PEC[1]	PEC[0]

ネットワーク・レイヤ

ポーリング方法

ADC の終了を判定するための最も単純な方法は、コントローラが ADC 変換を開始し、特定の変換時間が経過するまで待機してから結果を読み出すことです。ADES1830/ADES1831 も、ポーリングを使用して ADC の終了を判定することができます。

SPI モードで通信を行う設定 (ISOMD ピンをローに接続) では、2 通りのポーリング方法があります。最初の方法は、ADC 変換コマンドが送信された後に CSB をローに保持することです。変換コマンドに入った後の SDO ラインは、デバイスが変換を実行してビジー状態になるとローに駆動されます。デバイスが変換を完了すると、SDO はハイにプルアップされます。ただし、デバイスが変換を完了していない場合でも、CSB がハイになると SDO もハイに戻ります (図 33 参照)。この方法の問題は、ADC 変換が終了するのを待つ間、コントローラが自由に他のシリアル通信を行えないことです。

2 つ目の方法は、この制限を克服したものです。コントローラは、ADC 開始コマンドを送信し、他のタスクを実行し、その後、コマンドをポーリングして ADC 変換のステータスを判定できます。ADES1830/ADES1831 は、4 種類のコマンドによって ADC の種類ごとに個別に変換の終了をポーリングできます。つまり、PLCADC、PLSADC、PLAUX、PLAUX2 がそれぞれ、C-ADC、S-ADC、AUX ADC、AUX2 ADC のステータスをポーリングします。PLADC は、すべての ADC のステータスをまとめてポーリングします。これは、シングル・ショット測定のみがトリガされている場合のみ意味を持ちます。連続モードの ADC があると、他の ADC の変換の終了を正しくポーリングできないためです。ポーリング・コマンドに入った後の SDO は、デバイスが関連動作を実行してビジーになるとローになります。動作が終了すると SDO はハイにプルアップされます。ただし、デバイスが動作を完了していない場合でも、CSBI がハイになると SDO もハイになります。

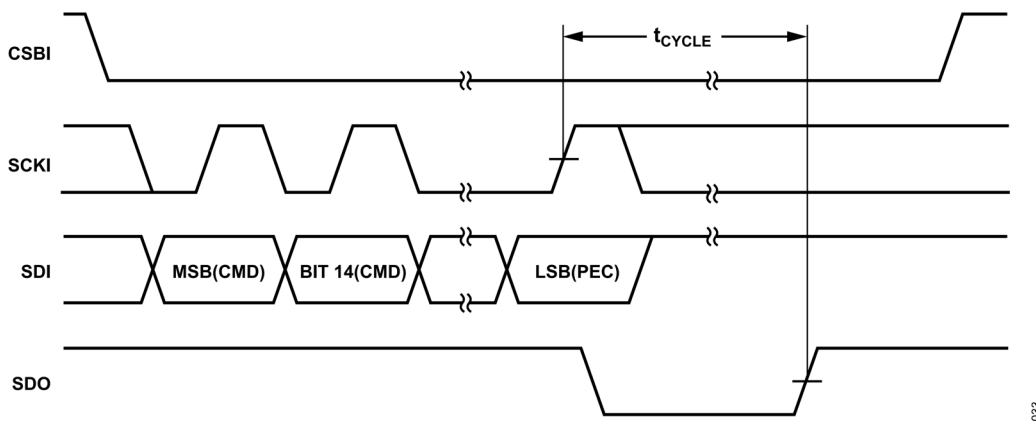


図 33. ADC 変換コマンド後の SDO のポーリング

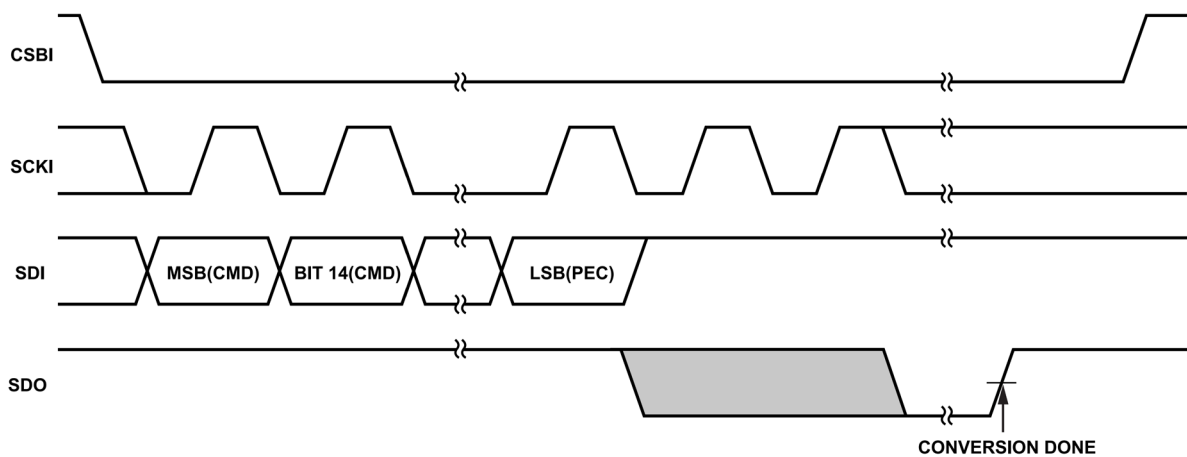


図 34. PLADC コマンドを使用した SDO のポーリング

ネットワーク・レイヤ

x 個のデバイスがスタックされたデジチェーン構成では、同じ 2 つのポーリング方法を用いることができます。最下段のデバイスが SPI モードで通信を行う場合、最下段デバイスの SDO がスタック全体の動作ステータスを示します。つまり、スタック内の全デバイスが動作を完了するまで、SDO はローを維持します。最初のポーリング方法では、ADC 変換コマンドが送信された後、CSB をローにしたままクロック・パルスが SCK で送信されます。SDO ステータスは、SCK での $2 \times N$ 個のクロック・パルスの最後でのみ有効となり、その後のすべてのクロック・パルスに対して更新されます (図 35 参照)。

2 番目の方法では、PLADC コマンドが送信され、その後に CSB をローにしたまま SCK のクロック・パルスが続きます。最初の方法と同様、SDO ステータスは、SCKI での $2 \times N$ 個のクロック・サイクル後にのみ有効となり、その後のすべてのクロック・サイクルに対して更新されます (図 35 参照)。

最下段のデバイスが isoSPI モードで通信を行う場合、isoSPI のデータ・パルスがデバイスに送信されて動作ステータスが更新されます。ADBMS6821 または ADBMS6822 を用いると、デバイスの SCK ピンをクロック動作させることでこのアクションを実行できます。動作ステータスは、最下段の ADES1830/ADES1831 デバイスが $2 \times N$ 個の isoSPI データ・パルスを受信した後にのみ有効になり、そのステータスは、その後のすべての isoSPI データ・パルスに対して更新されます。スタック内のいずれかのデバイスが動作を実行してビジー状態である場合は、デバイスはロー・データ・パルスに戻り、すべてのデバイスが解放されるとハイ・データ・パルスに戻ります。

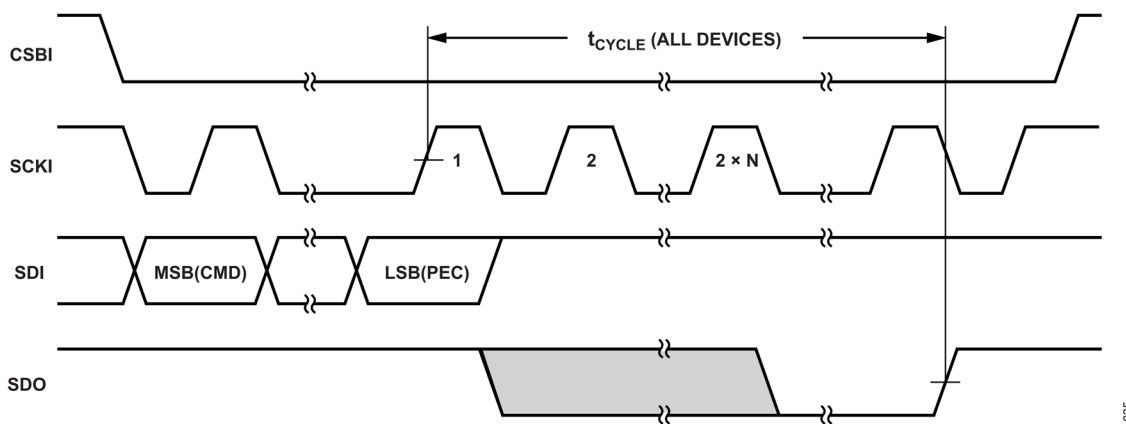


図 35. ADC 変換コマンド後の SDO のポーリング (デジチェーン構成)

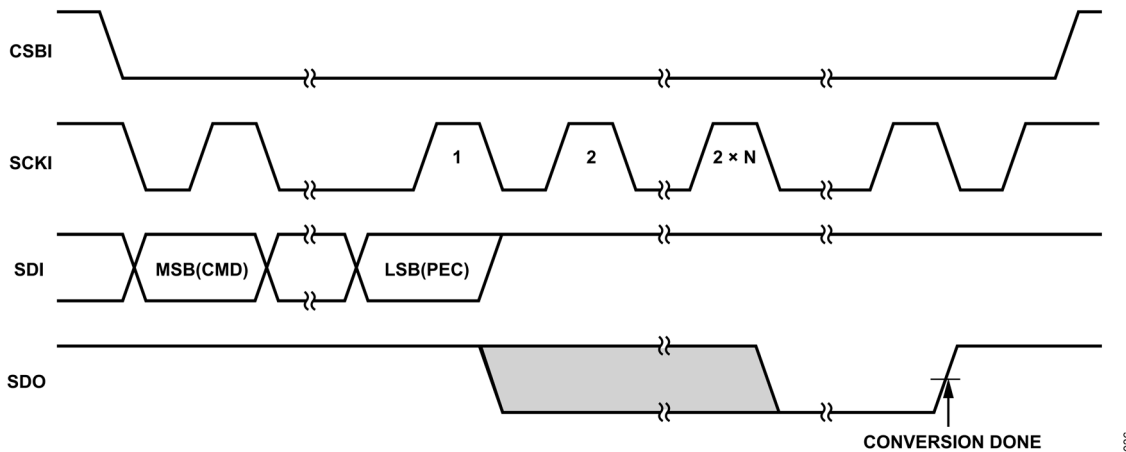


図 36. PLADC コマンドを使用する SDO のポーリング (デジチェーン構成)

ネットワーク・レイヤ

バス・プロトコル

表 45～表 47 に、コマンドのプロトコル・フォーマットを示します。表 44 は、プロトコル図を読み取るための鍵となるものです。

表 46 は、最初にホストから最も遠いデバイス N にデータを送信し、最後にホストに最も近いデバイス 1 にデータを送信する書込みコマンドを示したものです。

表 47 は、最初にホストに最も近いデバイス 1 からデータを受け取り、最後にホストから最も遠いデバイス N からデータを受け取る読出しコマンドを示したものです。

表 44. プロトコルの鍵

バイト	説明
CMD0	コマンド・バイト 0 (表 48 参照)
CMD1	コマンド・バイト 1 (表 48 参照)
PEC0	コマンド・パケット・エラー・コード・バイト 0 (表 41 参照)
PEC1	コマンド・パケット・エラー・コード・バイト 1 (表 41 参照)
DPEC0	データ・パケット・エラー・コード・バイト 0
DPEC1	データ・パケット・エラー・コード・バイト 1
...	プロトコルの継続

表 45. ポーリング・コマンド

8	8	8	8	
CMD0	CMD1	PEC0	PEC1	Poll data

表 46. 書込みコマンド

Data to Device N								Data to Device 1						
8	8	8	8	8	8	8	8	8	8	8	8	8	8	8
CMD0	CMD1	PEC0	PEC1	Data byte low	...	Data byte high	DPEC0	DPEC1	...	Data byte low	...	Data byte high	DPEC0	DPEC1

表 47. 読出しコマンド

Data from Device 1								Data from Device N						
8	8	8	8	8	8	8	8	8	8	8	8	8	8	8
CMD0	CMD1	PEC0	PEC1	Data byte low	...	Data byte high	DPEC0	DPEC1	...	Data byte low	...	Data byte high	DPEC0	DPEC1

表 48. コマンドのフォーマット

Name	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMD0	WR	0	0	0	0	0	CC[10]	CC[9]	CC[8]
CMD1	WR	CC[7]	CC[6]	CC[5]	CC[4]	CC[3]	CC[2]	CC[1]	CC[0]

コマンドのフォーマット

表 49 に、コマンドのフォーマットを示します。表 50 に、全コマンド・コードのリストを示します。コマンドに対する PEC は 16 ビットのコマンド (CMD0 および CMD1) 全体について計算する必要があります。

表 49. コマンドのフォーマット

Name	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMD0	WR	0	0	0	0	0	CC[10]	CC[9]	CC[8]
CMD1	WR	CC[7]	CC[6]	CC[5]	CC[4]	CC[3]	CC[2]	CC[1]	CC[0]

コマンド

表 50 に、すべてのコマンドとそのオプションを示します。INC は、コマンド・カウンタがコマンドに対してインクリメントするかどうかを示します。

表 50. コマンド・コード

Command Description	Name	INC	CC[10:0] – Command Code											
			10	9	8	7	6	5	4	3	2	1	0	
Write Configuration Register Group A	WRCFGA	Yes ¹	0	0	0	0	0	0	0	0	0	0	0	1
Write Configuration Register Group B	WRCFGB	Yes ¹	0	0	0	0	0	0	1	0	0	1	0	0
Read Configuration Register Group A	RDCFGA		0	0	0	0	0	0	0	0	0	0	1	0
Read Configuration Register Group B	RDCFGB		0	0	0	0	0	0	1	0	0	1	1	0
Read Cell Voltage Register Group A	RDCVA		0	0	0	0	0	0	0	0	0	1	0	0
Read Cell Voltage Register Group B	RDCVB		0	0	0	0	0	0	0	0	0	1	1	0
Read Cell Voltage Register Group C	RDCVC		0	0	0	0	0	0	0	0	1	0	0	0
Read Cell Voltage Register Group D	RDCVD		0	0	0	0	0	0	0	0	1	0	1	0
Read Cell Voltage Register Group E	RDCVE		0	0	0	0	0	0	0	0	1	0	0	1
Read Cell Voltage Register Group F	RDCVF		0	0	0	0	0	0	0	0	1	0	1	1
Read All Cell Results	RDCVALL		0	0	0	0	0	0	0	0	1	1	0	0
Read Averaged Cell Voltage Register Group A	RDACA		0	0	0	0	0	1	0	0	0	0	1	0
Read Averaged Cell Voltage Register Group B	RDACB		0	0	0	0	0	1	0	0	0	0	1	0
Read Averaged Cell Voltage Register Group C	RDACC		0	0	0	0	0	1	0	0	1	0	0	0
Read Averaged Cell Voltage Register Group D	RDACD		0	0	0	0	0	1	0	0	1	0	1	0
Read Averaged Cell Voltage Register Group E	RDACE		0	0	0	0	0	1	0	0	1	0	0	1
Read Averaged Cell Voltage Register Group F	RDACF		0	0	0	0	0	1	0	0	1	0	1	1
Read All Avg Cell Results	RDACALL		0	0	0	0	0	1	0	0	1	1	0	0
Read S Voltage Register Group A	RDSVA		0	0	0	0	0	0	0	0	0	0	1	1
Read S Voltage Register Group B	RDSVB		0	0	0	0	0	0	0	0	0	1	0	1
Read S Voltage Register Group C	RDSVC		0	0	0	0	0	0	0	0	0	1	1	1
Read S Voltage Register Group D	RDSVD		0	0	0	0	0	0	0	0	1	1	0	1
Read S Voltage Register Group E	RDSVE		0	0	0	0	0	0	0	0	1	1	1	0
Read S Voltage Register Group F	RDSVF		0	0	0	0	0	0	0	0	1	1	1	1
Read All S Results	RDSALL		0	0	0	0	0	0	0	1	0	0	0	0
Read all C and S Results	RDCSALL		0	0	0	0	0	0	0	1	0	0	0	1
Read all Average C and S Results	RDACSALL		0	0	0	0	0	1	0	1	0	0	0	1
Read Filter Cell Voltage Register Group A	RDFCA		0	0	0	0	0	0	0	1	0	0	1	0
Read Filter Cell Voltage Register Group B	RDFCB		0	0	0	0	0	0	0	1	0	0	1	1
Read Filter Cell Voltage Register Group C	RDFCC		0	0	0	0	0	0	0	1	0	1	0	0
Read Filter Cell Voltage Register Group D	RDFCD		0	0	0	0	0	0	0	1	0	1	0	1
Read Filter Cell Voltage Register Group E	RDFCE		0	0	0	0	0	0	0	1	0	1	1	0
Read Filter Cell Voltage Register Group F	RDFCF		0	0	0	0	0	0	0	1	0	1	1	1
Read All Filter Cell Results	RDFCALL		0	0	0	0	0	0	0	1	1	0	0	0
Read Auxiliary Register Group A	RDAUXA		0	0	0	0	0	0	0	1	1	0	0	1
Read Auxiliary Register Group B	RDAUXB		0	0	0	0	0	0	0	1	1	0	1	0
Read Auxiliary Register Group C	RDAUXC		0	0	0	0	0	0	0	1	1	0	1	1
Read Auxiliary Register Group D	RDAUXD		0	0	0	0	0	0	0	1	1	1	1	1
Read Redundant Auxiliary Register Group A	RDRAXA		0	0	0	0	0	0	0	1	1	1	0	0
Read Redundant Auxiliary Register Group B	RDRAXB		0	0	0	0	0	0	0	1	1	1	0	1
Read Auxiliary Redundant Register Group C	RDRAXC		0	0	0	0	0	0	0	1	1	1	1	0
Read Auxiliary Redundant Register Group D	RDRAXD		0	0	0	0	0	0	1	0	0	1	0	1
Read Status Register Group A	RDSTATA		0	0	0	0	0	0	1	1	0	0	0	0
Read Status Register Group B	RDSTATB		0	0	0	0	0	0	1	1	0	0	0	1
Read Status Register Group C	RDSTATC		0	0	0	0	0	ERR	1	1	0	0	1	0
Read Status Register Group D	RDSTATD		0	0	0	0	0	0	1	1	0	0	1	1

コマンド

表 50. コマンド・コード (続き)

Command Description	Name	INC	CC[10:0] – Command Code										
			10	9	8	7	6	5	4	3	2	1	0
Read Status Register Group E	RDSTATE		0	0	0	0	0	1	1	0	1	0	0
Read all AUX/Status Registers	RDASALL		0	0	0	0	0	1	1	0	1	0	1
Write PWM Register Group A	WRPWMA	Yes ¹	0	0	0	0	0	1	0	0	0	0	0
Read PWM Register Group A	RDPWMA		0	0	0	0	0	1	0	0	0	1	0
Write PWM Register Group B	WRPWMB	Yes ¹	0	0	0	0	0	1	0	0	0	0	1
Read PWM Register Group B	RDPWMB		0	0	0	0	0	1	0	0	0	1	1
LPCM Disable	CMDIS	Yes	0	0	0	0	1	0	0	0	0	0	0
LPCM Enable	CMEN	Yes	0	0	0	0	1	0	0	0	0	0	1
LPCM Heartbeat	CMHB ²		0	0	0	0	1	0	0	0	0	1	1
Write LPCM Configuration Register	WRMCFG	Yes ¹	0	0	0	0	1	0	1	1	0	0	0
Read LPCM Configuration Register	RDCMCFG		0	0	0	0	1	0	1	1	0	0	1
Write LPCM Cell Threshold	WRMCELLT	Yes ¹	0	0	0	0	1	0	1	1	0	1	0
Read LPCM Cell Threshold	RDCMCELLT		0	0	0	0	1	0	1	1	0	1	1
Write LPCM GPIO Threshold	WRMGPIOT	Yes ¹	0	0	0	0	1	0	1	1	1	0	0
Read LPCM GPIO Threshold	RDCMGPIOT		0	0	0	0	1	0	1	1	1	0	1
Clear LPCM Flags	CLRCMFLAG	Yes ¹	0	0	0	0	1	0	1	1	1	1	0
Read LPCM Flags	RDCMFLAG		0	0	0	0	1	0	1	1	1	1	1
Start Cell Voltage ADC Conversion and Poll Status	ADCV	Yes	0	1	RD	CONT	1	1	DCP	0	RSTF	OW[1]	OW[0]
Start S-ADC Conversion and Poll Status	ADSV	Yes	0	0	1	CONT	1	1	DCP	1	0	OW[1]	OW[0]
Start AUX ADC Conversions and Poll Status	ADAX	Yes	1	0	OW	PUP	CH[4]	0	1	CH[3]	CH[2]	CH[1]	CH[0]
Start AUX2 ADC Conversions and Poll Status	ADAX2	Yes	1	0	0	0	0	0	0	CH[3]	CH[2]	CH[1]	CH[0]
Clear Cell Voltage Register Groups	CLRCELL	Yes	1	1	1	0	0	0	1	0	0	0	1
Clear Filtered Cell Voltage Register Groups	CLRFC	Yes	1	1	1	0	0	0	1	0	1	0	0
Clear Auxiliary Register Groups	CLRAUX	Yes	1	1	1	0	0	0	1	0	0	1	0
Clear S-Voltage Register Groups	CLRSPIN	Yes	1	1	1	0	0	0	1	0	1	1	0
Clear Flags	CLRFLAG	Yes ¹	1	1	1	0	0	0	1	0	1	1	1
Clear OVUV	CLOVUV	Yes ¹	1	1	1	0	0	0	1	0	1	0	1
Poll Any ADC Status	PLADC	Yes	1	1	1	0	0	0	1	1	0	0	0
Poll C-ADC	PLCADC	Yes	1	1	1	0	0	0	1	1	1	0	0
Poll S-ADC	PLSADC	Yes	1	1	1	0	0	0	1	1	1	0	1
Poll AUX ADC	PLAUX	Yes	1	1	1	0	0	0	1	1	1	1	0
Poll AUX2 ADC	PLAUX2	Yes	1	1	1	0	0	0	1	1	1	1	1
Write COMM Register Group	WRCOMM	Yes ¹	1	1	1	0	0	1	0	0	0	0	1
Read COMM Register Group	RDCOMM		1	1	1	0	0	1	0	0	0	1	0
Start I2C/SPI Communication	STCOMM	Yes	1	1	1	0	0	1	0	0	0	1	1
Mute Discharge	MUTE	Yes	0	0	0	0	0	1	0	1	0	0	0
Unmute Discharge	UNMUTE	Yes	0	0	0	0	0	1	0	1	0	0	1
Read Serial ID Register Group	RDSID		0	0	0	0	0	1	0	1	1	0	0
Reset Command Counter	RSTCC		0	0	0	0	0	1	0	1	1	1	0
Snapshot	SNAP	Yes	0	0	0	0	0	1	0	1	1	0	1
Release Snapshot	UNSNAP	Yes	0	0	0	0	0	1	0	1	1	1	1
Soft Reset	SRST		0	0	0	0	0	1	0	0	1	1	1
Unlock Retention Register	ULRR	Yes	0	0	0	0	0	1	1	1	0	0	0
Write Retention Registers	WRRR	Yes ¹	0	0	0	0	0	1	1	1	0	0	1
Read Retention Registers	RDRR		0	0	0	0	0	1	1	1	0	1	0

¹ 有効なデータ PEC を含む有効なデータ・パケットは、コマンド・カウンタがインクリメントするよう、CSB の立上がりエッジで受信する必要があります。

² 通常、CMHB は LPCM MM デバイスで開始されます。マイクロプロセッサは、診断、または一部の限定されたアプリケーション構成のために CMHB を開始できますが、コマンドが処理されるには、LPCM モードをアクティブにする必要があります。

コマンド

表 51. コマンドのビットの説明

Name	Function	Value					AUX Input
CH[4:0]	Selection for AUX Inputs ADAX: CH[4:0]. ADAX2: CH[3:0]	CH[4]	CH[3]	CH[2]	CH[1]	CH[0]	
		0	0	0	0	0	ALL
		0	0	0	0	1	GPIO1
		0	0	0	1	0	GPIO2
		0	0
		0	1	0	0	1	GPIO9
		1	0	0	0	0	VREF2
		1	0	0	0	1	VD
		1	0	0	1	0	VA
		1	0	0	1	1	ITEMP
		1	0	1	0	0	VPV
		1	0	1	0	1	VMV
		1	0	1	1	0	RES
		1	0	1	1	1	Reserved

表 52. コマンドのビットの説明 (続き)

名前	機能	値	説明
CONT	Continuous	0	1回の測定後スタンバイ
		1	連続測定
OW[1:0]	Open wire on C-ADCS and S-ADCS	00	全チャンネルで断線検出オフ
		01	偶数チャンネルで断線検出オン、奇数チャンネルでオフ
		10	奇数チャンネルで断線検出オン、偶数チャンネルでオフ
		11	全チャンネルで断線検出オン
OW	Open wire on AUX ADCs	0	オフ
		1	オン
PUP	Pull-up and pull-down current for open wire conversions	0	AUX 変換時にプルダウン電流 (OW = 1 の場合)
		1	AUX 変換時にプルアップ電流 (OW = 1 の場合)
DCP	Discharge permitted	0	S-ADC 測定中に放電を許可しない (詳細については測定中の放電のセクションを参照)
		1	S-ADC 測定中に放電を許可する (詳細については測定中の放電のセクションを参照)
RSTF	RSTF	0	IIR フィルタをリセットしない
		1	IIR フィルタをリセット
ERR	Inject error in SPI read- out	0	ステータス・レジスタ C の読み出し時にエラー注入あり
		1	ステータス・レジスタ C の読み出し時に潜在的なフォルト検出のためのエラー注入あり (SPIFLT ビットがセットされる必要あり)

コマンド

全読出しコマンドおよびスナップショット・コマンド

ADES1830/ADES1831 のほとんどの読出しコマンドでは、デバイスは 6 バイトで構成された 1 つのレジスタ・グループと、それに続く PEC を読み出すことができます。そのため、2 つのレジスタ・グループを続けて読出した場合、コヒーレントなデータが提供されない可能性があります。コヒーレントなデータ読出しは、**全読出しコマンド**のセクションで説明するように、全読出しコマンド（単一 IC アプリケーションのみ）を用いるか、スナップ（およびアンスナップ）コマンド（全アプリケーションでサポート）を用いるか、いずれかの方法で可能になります。

全読出しコマンド

ADES1830/ADES1831 は、単一 IC アプリケーションの測定レジスタのグループ全体を読み出す機能をサポートしています。なお、レジスタ・グループ内の使用されていないバイトは伝送されません。

RDCVALL コマンドを用いると、コントローラは、1 つのコマンドを発行することで、セル電圧レジスタ・グループ A～セル電圧レジスタ・グループ F（ADES1830/ADES1831 の場合 32 個のデータ・バイト）と、それに続く全リードバック・パケットに対する 2 バイトからなる単一の PEC を読み出すことができます。

RDACALL コマンドを用いると、コントローラは、1 つのコマンドを発行することで、平均化セル電圧レジスタ・グループ A～平均化セル電圧レジスタ・グループ F（ADES1830/ADES1831 の場合 32 個のデータ・バイト）と、それに続く全リードバック・パケットに対する 2 バイトからなる単一の PEC を読み出すことができます。

RDFCALL コマンドを用いると、コントローラは、1 つのコマンドを発行することで、フィルタ処理セル電圧レジスタ・グループ A～フィルタ処理セル電圧レジスタ・グループ F（ADES1830/ADES1831 の場合 32 個のデータ・バイト）と、それに続く全リードバック・パケットに対する 2 バイトからなる単一の PEC を読み出すことができます。

RDSALL コマンドを用いると、コントローラは、1 つのコマンドを発行することで、S 電圧レジスタ・グループ A～S 電圧レジスタ・グループ F（ADES1830/ADES1831 の場合 32 個のデータ・バイト）と、それに続く全リードバック・パケットに対する 2 バイトからなる単一の PEC を読み出すことができます。

RDCSALL コマンドを用いると、コントローラは、1 つのコマンドを発行することで、セル電圧レジスタ・グループ A～セル電圧レジスタ・グループ F と、それに続き S 電圧レジスタ・グループ A～S 電圧レジスタ・グループ F（ADES1830/ADES1831 の場合 64 個のデータ・バイト）を読み出すことができ、更にそれに続いて全リードバック・パケットに対する 2 バイトからなる単一の PEC を読み出すことができます。

RDACSALL コマンドを用いると、コントローラは、1 つのコマンドを発行することで、平均化セル電圧レジスタ・グループ A～平均化セル電圧レジスタ・グループ F と、それに続き S 電圧レジスタ・グループ A～S 電圧レジスタ・グループ F（ADES1830/ADES1831 の場合 64 個のデータ・バイト）を読み出すことができ、更にそれに続いて全リードバック・パケットに対する 2 バイトからなる単一の PEC を読み出すことができます。

RDASALL コマンドを用いると、1 つのコマンドを発行することで、ADES1830/ADES1831 の補助レジスタ・グループ A～補助レジスタ・グループ D、更に、冗長補助レジスタ・グループ A～冗長補助レジスタ・グループ D、ステータス・レジスタ・グループ A～ステータス・レジスタ・グループ E を読み出すことができ、更にそれに続いて全リードバック・パケットに対する 2 バイトからなる単一の PEC を読み出すことができます。RDASALL コマンドは、ステータス・レジスタ C の STCR2 および STCR3 が含まれないため、68 バイトのデータを返します。

スナップショット・コマンド

デジチェーン動作でのコヒーレントなデータの読出しを可能にするために、デバイスは、スナップ・コマンドで、所定の時間すべての結果とステータス・レジスタをフリーズし、それらを任意のタイミングで読み出した後、アンスナップ・コマンドでフリーズを解除することができます。結果レジスタのフリーズの間、ADC の結果が連続モードで IIR フィルタに追加されます。冗長性が有効化されていれば、S-ADC と C-ADC の測定比較は変わらずに実行されます。更に、ADES1830/ADES1831 は、フリーズの間の任意の（アラート）フラグを追跡し、アンスナップ・コマンド後にそれに応じてステータス・レジスタを更新します。なお、結果レジスタが既にフリーズしているときに追加のスナップ・コマンドを送信しても無効です。スナップ・コマンドまたはアンスナップ・コマンドを受信すると、コマンド・カウンタがインクリメントします。以下のレジスタがスナップ・プロトコルの影響を受けます。

- ▶ セル電圧レジスタ・グループ A～セル電圧レジスタ・グループ F
- ▶ S 電圧レジスタ・グループ A～S 電圧レジスタ・グループ F
- ▶ 平均化セル電圧レジスタ・グループ A～平均化セル電圧レジスタ・グループ F
- ▶ フィルタ処理セル電圧レジスタ・グループ A～フィルタ処理セル電圧レジスタ・グループ F
- ▶ ステータス・レジスタ・グループ C の STCR0～STCR3、およびステータス・レジスタ・グループ D の STDR0～STDR4

ADC 変換のポーリングの最後は、フリーズ状態にある間はサポートされません。

保持レジスタのコマンド

ADES1830/ADES1831 は、スリープ・モードの場合においても、保持レジスタに 6 バイトのデータを保持します。保持レジスタ・グループに書き込みを行うには、保持レジスタ・アンロック（ULRR）コマンドの後、保持レジスタ書き込み（WRRR）コマンドと 6 バイトの RR データおよびデータ PEC バイトを続けて送信します。データ PEC の 2 つのバイトが 6 バイトのデータ・ペイロードと一致しない場合でも、WRRR コマンドは実行されます。ULRR コマンド後に送信されるその他のコマンドは、保持レジスタ・グループへの書き込みをロックします。保持レジスタのデータは、保持レジスタ読出し（RDRR）コマンドで読み出せます。

メモリ・マップ

注：予約済みビットは0または1であり、PEC計算の一部です。

表 53. シリアル ID レジスタ・グループ (RDSID)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Default
SIDR0	Read	SID[7]	SID[6]	SID[5]	SID[4]	SID[3]	SID[2]	SID[1]	SID[0]	0xXX
SIDR1	Read	SID[15]	SID[14]	SID[13]	SID[12]	SID[11]	SID[10]	SID[9]	SID[8]	0xXX
SIDR2	Read	SID[23]	SID[22]	SID[21]	SID[20]	SID[19]	SID[18]	SID[17]	SID[16]	0xXX
SIDR3	Read	SID[31]	SID[30]	SID[29]	SID[28]	SID[27]	SID[26]	SID[25]	SID[24]	0xXX
SIDR4	Read	SID[39]	SID[38]	SID[37]	SID[36]	SID[35]	SID[34]	SID[33]	SID[32]	0xXX
SIDR5	Read	SID[47]	SID[46]	SID[45]	SID[44]	SID[43]	SID[42]	SID[41]	SID[40]	0xXX

表 54. シリアル ID レジスタ・グループのビットの説明

レジスタ	ビット	ビット名	説明
SIDR0 to SIDR5	[7:0]	SID[x]	シリアル ID ビット。一意の ID への読み出し専用アクセスが可能です。 ADES1830/ADES1831 のデバイス ID = 00 0011
SIDR1	[6:1]	SID[x]	

表 55. 設定レジスタ・グループ A (RDCFGA、WRCFGA)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGAR0	RD/WR	REFON	0	0	0	0	CTH[2]	CTH[1]	CTH[0]
CFGAR1	RD/WR	FLAG_D[7]	FLAG_D[6]	FLAG_D[5]	FLAG_D[4]	FLAG_D[3]	FLAG_D[2]	FLAG_D[1]	FLAG_D[0]
CFGAR2	RD/WR	SOAKON	OWRNG	OWA[2]	OWA[1]	OWA[0]	0	0	0
CFGAR3	RD/WR	GPO[8]	GPO[7]	GPO[6]	GPO[5]	GPO[4]	GPO[3]	GPO[2]	GPO[1]
CFGAR4	RD/WR	0	0	0	0	0	0	GPO[10]	GPO[9]
CFGAR5	RD/WR	0	0	SNAP_ST	MUTE_ST	COMM_BK	FC[2]	FC[1]	FC[0]

表 56. 設定レジスタ・グループ B (RDCFGB、WRCFGB)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGBR0	RD/WR	VUV[7]	VUV[6]	VUV[5]	VUV[4]	VUV[3]	VUV[2]	VUV[1]	VUV[0]
CFGBR1	RD/WR	VOV[3]	VOV[2]	VOV[1]	VOV[0]	VUV[11]	VUV[10]	VUV[9]	VUV[8]
CFGBR2	RD/WR	VOV[11]	VOV[10]	VOV[9]	VOV[8]	VOV[7]	VOV[6]	VOV[5]	VOV[4]
CFGBR3	RD/WR	DTMEN	DTRNG	DCTO[5]	DCTO[4]	DCTO[3]	DCTO[2]	DCTO[1]	DCTO[0]
CFGBR4	RD/WR	DCC[8]	DCC[7]	DCC[6]	DCC[5]	DCC[4]	DCC[3]	DCC[2]	DCC[1]
CFGBR5	RD/WR	DCC[16]	DCC[15]	DCC[14]	DCC[13]	DCC[12]	DCC[11]	DCC[10]	DCC[9]

表 57. セル電圧レジスタ・グループ A (RDCVA)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CVAR0	RD	C1V[7]	C1V[6]	C1V[5]	C1V[4]	C1V[3]	C1V[2]	C1V[1]	C1V[0]
CVAR1	RD	C1V[15]	C1V[14]	C1V[13]	C1V[12]	C1V[11]	C1V[10]	C1V[9]	C1V[8]
CVAR2	RD	C2V[7]	C2V[6]	C2V[5]	C2V[4]	C2V[3]	C2V[2]	C2V[1]	C2V[0]
CVAR3	RD	C2V[15]	C2V[14]	C2V[13]	C2V[12]	C2V[11]	C2V[10]	C2V[9]	C2V[8]
CVAR4	RD	C3V[7]	C3V[6]	C3V[5]	C3V[4]	C3V[3]	C3V[2]	C3V[1]	C3V[0]
CVAR5	RD	C3V[15]	C3V[14]	C3V[13]	C3V[12]	C3V[11]	C3V[10]	C3V[9]	C3V[8]

表 58. セル電圧レジスタ・グループ B (RDCVB)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CVBR0	RD	C4V[7]	C4V[6]	C4V[5]	C4V[4]	C4V[3]	C4V[2]	C4V[1]	C4V[0]
CVBR1	RD	C4V[15]	C4V[14]	C4V[13]	C4V[12]	C4V[11]	C4V[10]	C4V[9]	C4V[8]
CVBR2	RD	C5V[7]	C5V[6]	C5V[5]	C5V[4]	C5V[3]	C5V[2]	C5V[1]	C5V[0]
CVBR3	RD	C5V[15]	C5V[14]	C5V[13]	C5V[12]	C5V[11]	C5V[10]	C5V[9]	C5V[8]
CVBR4	RD	C6V[7]	C6V[6]	C6V[5]	C6V[4]	C6V[3]	C6V[2]	C6V[1]	C6V[0]

メモリ・マップ

表 58. セル電圧レジスタ・グループ B (RDCVB) (続き)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CVBR5	RD	C6V[15]	C6V[14]	C6V[13]	C6V[12]	C6V[11]	C6V[10]	C6V[9]	C6V[8]

表 59. セル電圧レジスタ・グループ C (RDCVC)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CVCR0	RD	C7V[7]	C7V[6]	C7V[5]	C7V[4]	C7V[3]	C7V[2]	C7V[1]	C7V[0]
CVCR1	RD	C7V[15]	C7V[14]	C7V[13]	C7V[12]	C7V[11]	C7V[10]	C7V[9]	C7V[8]
CVCR2	RD	C8V[7]	C8V[6]	C8V[5]	C8V[4]	C8V[3]	C8V[2]	C8V[1]	C8V[0]
CVCR3	RD	C8V[15]	C8V[14]	C8V[13]	C8V[12]	C8V[11]	C8V[10]	C8V[9]	C8V[8]
CVCR4	RD	C9V[7]	C9V[6]	C9V[5]	C9V[4]	C9V[3]	C9V[2]	C9V[1]	C9V[0]
CVCR5	RD	C9V[15]	C9V[14]	C9V[13]	C9V[12]	C9V[11]	C9V[10]	C9V[9]	C9V[8]

表 60. セル電圧レジスタ・グループ D (RDCVD)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CVDR0	RD	C10V[7]	C10V[6]	C10V[5]	C10V[4]	C10V[3]	C10V[2]	C10V[1]	C10V[0]
CVDR1	RD	C10V[15]	C10V[14]	C10V[13]	C10V[12]	C10V[11]	C10V[10]	C10V[9]	C10V[8]
CVDR2	RD	C11V[7]	C11V[6]	C11V[5]	C11V[4]	C11V[3]	C11V[2]	C11V[1]	C11V[0]
CVDR3	RD	C11V[15]	C11V[14]	C11V[13]	C11V[12]	C11V[11]	C11V[10]	C11V[9]	C11V[8]
CVDR4	RD	C12V[7]	C12V[6]	C12V[5]	C12V[4]	C12V[3]	C12V[2]	C12V[1]	C12V[0]
CVDR5	RD	C12V[15]	C12V[14]	C12V[13]	C12V[12]	C12V[11]	C12V[10]	C12V[9]	C12V[8]

表 61. セル電圧レジスタ・グループ E (RDCVE)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CVER0	RD	C13V[7]	C13V[6]	C13V[5]	C13V[4]	C13V[3]	C13V[2]	C13V[1]	C13V[0]
CVER1	RD	C13V[15]	C13V[14]	C13V[13]	C13V[12]	C13V[11]	C13V[10]	C13V[9]	C13V[8]
CVER2	RD	C14V[7]	C14V[6]	C14V[5]	C14V[4]	C14V[3]	C14V[2]	C14V[1]	C14V[0]
CVER3	RD	C14V[15]	C14V[14]	C14V[13]	C14V[12]	C14V[11]	C14V[10]	C14V[9]	C14V[8]
CVER4	RD	C15V[7]	C15V[6]	C15V[5]	C15V[4]	C15V[3]	C15V[2]	C15V[1]	C15V[0]
CVER5	RD	C15V[15]	C15V[14]	C15V[13]	C15V[12]	C15V[11]	C15V[10]	C15V[9]	C15V[8]

表 62. セル電圧レジスタ・グループ F (RDCVF)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CVFR0	RD	C16V[7]	C16V[6]	C16V[5]	C16V[4]	C16V[3]	C16V[2]	C16V[1]	C16V[0]
CVFR1	RD	C16V[15]	C16V[14]	C16V[13]	C16V[12]	C16V[11]	C16V[10]	C16V[9]	C16V[8]
CVFR2	RD	1	1	1	1	1	1	1	1
CVFR3	RD	1	1	1	1	1	1	1	1
CVFR4	RD	1	1	1	1	1	1	1	1
CVFR5	RD	1	1	1	1	1	1	1	1

表 63. 平均化セル電圧レジスタ・グループ A (RDACA)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ACVAR0	RD	AC1V[7]	AC1V[6]	AC1V[5]	AC1V[4]	AC1V[3]	AC1V[2]	AC1V[1]	AC1V[0]
ACVAR1	RD	AC1V[15]	AC1V[14]	AC1V[13]	AC1V[12]	AC1V[11]	AC1V[10]	AC1V[9]	AC1V[8]
ACVAR2	RD	AC2V[7]	AC2V[6]	AC2V[5]	AC2V[4]	AC2V[3]	AC2V[2]	AC2V[1]	AC2V[0]
ACVAR3	RD	AC2V[15]	AC2V[14]	AC2V[13]	AC2V[12]	AC2V[11]	AC2V[10]	AC2V[9]	AC2V[8]
ACVAR4	RD	AC3V[7]	AC3V[6]	AC3V[5]	AC3V[4]	AC3V[3]	AC3V[2]	AC3V[1]	AC3V[0]
ACVAR5	RD	AC3V[15]	AC3V[14]	AC3V[13]	AC3V[12]	AC3V[11]	AC3V[10]	AC3V[9]	AC3V[8]

メモリ・マップ

表 64. 平均化セル電圧レジスタ・グループ B (RDACB)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ACVBR0	RD	AC4V[7]	AC4V[6]	AC4V[5]	AC4V[4]	AC4V[3]	AC4V[2]	AC4V[1]	AC4V[0]
ACVBR1	RD	AC4V[15]	AC4V[14]	AC4V[13]	AC4V[12]	AC4V[11]	AC4V[10]	AC4V[9]	AC4V[8]
ACVBR2	RD	AC5V[7]	AC5V[6]	AC5V[5]	AC5V[4]	AC5V[3]	AC5V[2]	AC5V[1]	AC5V[0]
ACVBR3	RD	AC5V[15]	AC5V[14]	AC5V[13]	AC5V[12]	AC5V[11]	AC5V[10]	AC5V[9]	AC5V[8]
ACVBR4	RD	AC6V[7]	AC6V[6]	AC6V[5]	AC6V[4]	AC6V[3]	AC6V[2]	AC6V[1]	AC6V[0]
ACVBR5	RD	AC6V[15]	AC6V[14]	AC6V[13]	AC6V[12]	AC6V[11]	AC6V[10]	AC6V[9]	AC6V[8]

表 65. 平均化セル電圧レジスタ・グループ C (RDACC)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ACVACR0	RD	AC7V[7]	AC7V[6]	AC7V[5]	AC7V[4]	AC7V[3]	AC7V[2]	AC7V[1]	AC7V[0]
ACVACR1	RD	AC7V[15]	AC7V[14]	AC7V[13]	AC7V[12]	AC7V[11]	AC7V[10]	AC7V[9]	AC7V[8]
ACVACR2	RD	AC8V[7]	AC8V[6]	AC8V[5]	AC8V[4]	AC8V[3]	AC8V[2]	AC8V[1]	AC8V[0]
ACVACR3	RD	AC8V[15]	AC8V[14]	AC8V[13]	AC8V[12]	AC8V[11]	AC8V[10]	AC8V[9]	AC8V[8]
ACVACR4	RD	AC9V[7]	AC9V[6]	AC9V[5]	AC9V[4]	AC9V[3]	AC9V[2]	AC9V[1]	AC9V[0]
ACVACR5	RD	AC9V[15]	AC9V[14]	AC9V[13]	AC9V[12]	AC9V[11]	AC9V[10]	AC9V[9]	AC9V[8]

表 66. 平均化セル電圧レジスタ・グループ D (RDACD)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ACVDR0	RD	AC10V[7]	AC10V[6]	AC10V[5]	AC10V[4]	AC10V[3]	AC10V[2]	AC10V[1]	AC10V[0]
ACVDR1	RD	AC10V[15]	AC10V[14]	AC10V[13]	AC10V[12]	AC10V[11]	AC10V[10]	AC10V[9]	AC10V[8]
ACVDR2	RD	AC11V[7]	AC11V[6]	AC11V[5]	AC11V[4]	AC11V[3]	AC11V[2]	AC11V[1]	AC11V[0]
ACVDR3	RD	AC11V[15]	AC11V[14]	AC11V[13]	AC11V[12]	AC11V[11]	AC11V[10]	AC11V[9]	AC11V[8]
ACVDR4	RD	AC12V[7]	AC12V[6]	AC12V[5]	AC12V[4]	AC12V[3]	AC12V[2]	AC12V[1]	AC12V[0]
ACVDR5	RD	AC12V[15]	AC12V[14]	AC12V[13]	AC12V[12]	AC12V[11]	AC12V[10]	AC12V[9]	AC12V[8]

表 67. 平均化セル電圧レジスタ・グループ E (RDACE)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ACVER0	RD	AC13V[7]	AC13V[6]	AC13V[5]	AC13V[4]	AC13V[3]	AC13V[2]	AC13V[1]	AC13V[0]
ACVER1	RD	AC13V[15]	AC13V[14]	AC13V[13]	AC13V[12]	AC13V[11]	AC13V[10]	AC13V[9]	AC13V[8]
ACVER2	RD	AC14V[7]	AC14V[6]	AC14V[5]	AC14V[4]	AC14V[3]	AC14V[2]	AC14V[1]	AC14V[0]
ACVER3	RD	AC14V[15]	AC14V[14]	AC14V[13]	AC14V[12]	AC14V[11]	AC14V[10]	AC14V[9]	AC14V[8]
ACVER4	RD	AC15V[7]	AC15V[6]	AC15V[5]	AC15V[4]	AC15V[3]	AC15V[2]	AC15V[1]	AC15V[0]
ACVER5	RD	AC15V[15]	AC15V[14]	AC15V[13]	AC15V[12]	AC15V[11]	AC15V[10]	AC15V[9]	AC15V[8]

表 68. 平均化セル電圧レジスタ・グループ F (RDACF)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ACVFR0	RD	AC16V[7]	AC16V[6]	AC16V[5]	AC16V[4]	AC16V[3]	AC16V[2]	AC16V[1]	AC16V[0]
ACVFR1	RD	AC16V[15]	AC16V[14]	AC16V[13]	AC16V[12]	AC16V[11]	AC16V[10]	AC16V[9]	AC16V[8]
ACVFR2	RD	1	1	1	1	1	1	1	1
ACVFR3	RD	1	1	1	1	1	1	1	1
ACVFR4	RD	1	1	1	1	1	1	1	1
ACVFR5	RD	1	1	1	1	1	1	1	1

表 69. フィルタ処理セル電圧レジスタ・グループ A (RDFCA)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FCVAR0	RD	FC1V[7]	FC1V[6]	FC1V[5]	FC1V[4]	FC1V[3]	FC1V[2]	FC1V[1]	FC1V[0]
FCVAR1	RD	FC1V[15]	FC1V[14]	FC1V[13]	FC1V[12]	FC1V[11]	FC1V[10]	FC1V[9]	FC1V[8]

メモリ・マップ

表 69. フィルタ処理セル電圧レジスタ・グループ A (RDFCA) (続き)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FCVAR2	RD	FC2V[7]	FC2V[6]	FC2V[5]	FC2V[4]	FC2V[3]	FC2V[2]	FC2V[1]	FC2V[0]
FCVAR3	RD	FC2V[15]	FC2V[14]	FC2V[13]	FC2V[12]	FC2V[11]	FC2V[10]	FC2V[9]	FC2V[8]
FCVAR4	RD	FC3V[7]	FC3V[6]	FC3V[5]	FC3V[4]	FC3V[3]	FC3V[2]	FC3V[1]	FC3V[0]
FCVAR5	RD	FC3V[15]	FC3V[14]	FC3V[13]	FC3V[12]	FC3V[11]	FC3V[10]	FC3V[9]	FC3V[8]

表 70. フィルタ処理セル電圧レジスタ・グループ B (RDFCB)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FCVBR0	RD	FC4V[7]	FC4V[6]	FC4V[5]	FC4V[4]	FC4V[3]	FC4V[2]	FC4V[1]	FC4V[0]
FCVBR1	RD	FC4V[15]	FC4V[14]	FC4V[13]	FC4V[12]	FC4V[11]	FC4V[10]	FC4V[9]	FC4V[8]
FCVBR2	RD	FC5V[7]	FC5V[6]	FC5V[5]	FC5V[4]	FC5V[3]	FC5V[2]	FC5V[1]	FC5V[0]
FCVBR3	RD	FC5V[15]	FC5V[14]	FC5V[13]	FC5V[12]	FC5V[11]	FC5V[10]	FC5V[9]	FC5V[8]
FCVBR4	RD	FC6V[7]	FC6V[6]	FC6V[5]	FC6V[4]	FC6V[3]	FC6V[2]	FC6V[1]	FC6V[0]
FCVBR5	RD	FC6V[15]	FC6V[14]	FC6V[13]	FC6V[12]	FC6V[11]	FC6V[10]	FC6V[9]	FC6V[8]

表 71. フィルタ処理セル電圧レジスタ・グループ C (RDFCC)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FCVFCR0	RD	FC7V[7]	FC7V[6]	FC7V[5]	FC7V[4]	FC7V[3]	FC7V[2]	FC7V[1]	FC7V[0]
FCVFCR1	RD	FC7V[15]	FC7V[14]	FC7V[13]	FC7V[12]	FC7V[11]	FC7V[10]	FC7V[9]	FC7V[8]
FCVFCR2	RD	FC8V[7]	FC8V[6]	FC8V[5]	FC8V[4]	FC8V[3]	FC8V[2]	FC8V[1]	FC8V[0]
FCVFCR3	RD	FC8V[15]	FC8V[14]	FC8V[13]	FC8V[12]	FC8V[11]	FC8V[10]	FC8V[9]	FC8V[8]
FCVFCR4	RD	FC9V[7]	FC9V[6]	FC9V[5]	FC9V[4]	FC9V[3]	FC9V[2]	FC9V[1]	FC9V[0]
FCVFCR5	RD	FC9V[15]	FC9V[14]	FC9V[13]	FC9V[12]	FC9V[11]	FC9V[10]	FC9V[9]	FC9V[8]

表 72. フィルタ処理セル電圧レジスタ・グループ D (RDFCD)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FCVDR0	RD	FC10V[7]	FC10V[6]	FC10V[5]	FC10V[4]	FC10V[3]	FC10V[2]	FC10V[1]	FC10V[0]
FCVDR1	RD	FC10V[15]	FC10V[14]	FC10V[13]	FC10V[12]	FC10V[11]	FC10V[10]	FC10V[9]	FC10V[8]
FCVDR2	RD	FC11V[7]	FC11V[6]	FC11V[5]	FC11V[4]	FC11V[3]	FC11V[2]	FC11V[1]	FC11V[0]
FCVDR3	RD	FC11V[15]	FC11V[14]	FC11V[13]	FC11V[12]	FC11V[11]	FC11V[10]	FC11V[9]	FC11V[8]
FCVDR4	RD	FC12V[7]	FC12V[6]	FC12V[5]	FC12V[4]	FC12V[3]	FC12V[2]	FC12V[1]	FC12V[0]
FCVDR5	RD	FC12V[15]	FC12V[14]	FC12V[13]	FC12V[12]	FC12V[11]	FC12V[10]	FC12V[9]	FC12V[8]

表 73. フィルタ処理セル電圧レジスタ・グループ E (RDFCE)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FCVER0	RD	FC13V[7]	FC13V[6]	FC13V[5]	FC13V[4]	FC13V[3]	FC13V[2]	FC13V[1]	FC13V[0]
FCVER1	RD	FC13V[15]	FC13V[14]	FC13V[13]	FC13V[12]	FC13V[11]	FC13V[10]	FC13V[9]	FC13V[8]
FCVER2	RD	FC14V[7]	FC14V[6]	FC14V[5]	FC14V[4]	FC14V[3]	FC14V[2]	FC14V[1]	FC14V[0]
FCVER3	RD	FC14V[15]	FC14V[14]	FC14V[13]	FC14V[12]	FC14V[11]	FC14V[10]	FC14V[9]	FC14V[8]
FCVER4	RD	FC15V[7]	FC15V[6]	FC15V[5]	FC15V[4]	FC15V[3]	FC15V[2]	FC15V[1]	FC15V[0]
FCVER5	RD	FC15V[15]	FC15V[14]	FC15V[13]	FC15V[12]	FC15V[11]	FC15V[10]	FC15V[9]	FC15V[8]

表 74. フィルタ処理セル電圧レジスタ・グループ F (RDFCF)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FCVFR0	RD	FC16V[7]	FC16V[6]	FC16V[5]	FC16V[4]	FC16V[3]	FC16V[2]	FC16V[1]	FC16V[0]
FCVFR1	RD	FC16V[15]	FC16V[14]	FC16V[13]	FC16V[12]	FC16V[11]	FC16V[10]	FC16V[9]	FC16V[8]
FCVFR2	RD	1	1	1	1	1	1	1	1
FCVFR3	RD	1	1	1	1	1	1	1	1
FCVFR4	RD	1	1	1	1	1	1	1	1

メモリ・マップ

表 74. フィルタ処理セル電圧レジスタ・グループ F (RDFCF) (続き)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FCVFR5	RD	1	1	1	1	1	1	1	1

表 75. S 電圧レジスタ・グループ A (RDSVA)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SVAR0	RD	S1V[7]	S1V[6]	S1V[5]	S1V[4]	S1V[3]	S1V[2]	S1V[1]	S1V[0]
SVAR1	RD	S1V[15]	S1V[14]	S1V[13]	S1V[12]	S1V[11]	S1V[10]	S1V[9]	S1V[8]
SVAR2	RD	S2V[7]	S2V[6]	S2V[5]	S2V[4]	S2V[3]	S2V[2]	S2V[1]	S2V[0]
SVAR3	RD	S2V[15]	S2V[14]	S2V[13]	S2V[12]	S2V[11]	S2V[10]	S2V[9]	S2V[8]
SVAR4	RD	S3V[7]	S3V[6]	S3V[5]	S3V[4]	S3V[3]	S3V[2]	S3V[1]	S3V[0]
SVAR5	RD	S3V[15]	S3V[14]	S3V[13]	S3V[12]	S3V[11]	S3V[10]	S3V[9]	S3V[8]

表 76. S 電圧レジスタ・グループ B (RDSVB)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SVBR0	RD	S4V[7]	S4V[6]	S4V[5]	S4V[4]	S4V[3]	S4V[2]	S4V[1]	S4V[0]
SVBR1	RD	S4V[15]	S4V[14]	S4V[13]	S4V[12]	S4V[11]	S4V[10]	S4V[9]	S4V[8]
SVBR2	RD	S5V[7]	S5V[6]	S5V[5]	S5V[4]	S5V[3]	S5V[2]	S5V[1]	S5V[0]
SVBR3	RD	S5V[15]	S5V[14]	S5V[13]	S5V[12]	S5V[11]	S5V[10]	S5V[9]	S5V[8]
SVBR4	RD	S6V[7]	S6V[6]	S6V[5]	S6V[4]	S6V[3]	S6V[2]	S6V[1]	S6V[0]
SVBR5	RD	S6V[15]	S6V[14]	S6V[13]	S6V[12]	S6V[11]	S6V[10]	S6V[9]	S6V[8]

表 77. S 電圧レジスタ・グループ C (RDSVC)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SVCR0	RD	S7V[7]	S7V[6]	S7V[5]	S7V[4]	S7V[3]	S7V[2]	S7V[1]	S7V[0]
SVCR1	RD	S7V[15]	S7V[14]	S7V[13]	S7V[12]	S7V[11]	S7V[10]	S7V[9]	S7V[8]
SVCR2	RD	S8V[7]	S8V[6]	S8V[5]	S8V[4]	S8V[3]	S8V[2]	S8V[1]	S8V[0]
SVCR3	RD	S8V[15]	S8V[14]	S8V[13]	S8V[12]	S8V[11]	S8V[10]	S8V[9]	S8V[8]
SVCR4	RD	S9V[7]	S9V[6]	S9V[5]	S9V[4]	S9V[3]	S9V[2]	S9V[1]	S9V[0]
SVCR5	RD	S9V[15]	S9V[14]	S9V[13]	S9V[12]	S9V[11]	S9V[10]	S9V[9]	S9V[8]

表 78. S 電圧レジスタ・グループ D (RDSVD)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SVDR0	RD	S10V[7]	S10V[6]	S10V[5]	S10V[4]	S10V[3]	S10V[2]	S10V[1]	S10V[0]
SVDR1	RD	S10V[15]	S10V[14]	S10V[13]	S10V[12]	S10V[11]	S10V[10]	S10V[9]	S10V[8]
SVDR2	RD	S11V[7]	S11V[6]	S11V[5]	S11V[4]	S11V[3]	S11V[2]	S11V[1]	S11V[0]
SVDR3	RD	S11V[15]	S11V[14]	S11V[13]	S11V[12]	S11V[11]	S11V[10]	S11V[9]	S11V[8]
SVDR4	RD	S12V[7]	S12V[6]	S12V[5]	S12V[4]	S12V[3]	S12V[2]	S12V[1]	S12V[0]
SVDR5	RD	S12V[15]	S12V[14]	S12V[13]	S12V[12]	S12V[11]	S12V[10]	S12V[9]	S12V[8]

表 79. S 電圧レジスタ・グループ E (RDSVE)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SVER0	RD	S13V[7]	S13V[6]	S13V[5]	S13V[4]	S13V[3]	S13V[2]	S13V[1]	S13V[0]
SVER1	RD	S13V[15]	S13V[14]	S13V[13]	S13V[12]	S13V[11]	S13V[10]	S13V[9]	S13V[8]
SVER2	RD	S14V[7]	S14V[6]	S14V[5]	S14V[4]	S14V[3]	S14V[2]	S14V[1]	S14V[0]
SVER3	RD	S14V[15]	S14V[14]	S14V[13]	S14V[12]	S14V[11]	S14V[10]	S14V[9]	S14V[8]
SVER4	RD	S15V[7]	S15V[6]	S15V[5]	S15V[4]	S15V[3]	S15V[2]	S15V[1]	S15V[0]
SVER5	RD	S15V[15]	S15V[14]	S15V[13]	S15V[12]	S15V[11]	S15V[10]	S15V[9]	S15V[8]

メモリ・マップ

表 80. S 電圧レジスタ・グループ F (RDSVF)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SVFR0	RD	S16V[7]	S16V[6]	S16V[5]	S16V[4]	S16V[3]	S16V[2]	S16V[1]	S16V[0]
SVFR1	RD	S16V[15]	S16V[14]	S16V[13]	S16V[12]	S16V[11]	S16V[10]	S16V[9]	S16V[8]
SVFR2	RD	1	1	1	1	1	1	1	1
SVFR3	RD	1	1	1	1	1	1	1	1
SVFR4	RD	1	1	1	1	1	1	1	1
SVFR5	RD	1	1	1	1	1	1	1	1

表 81. 補助レジスタ・グループ A (RDAUXA)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
GPARG0	RD	G1V[7]	G1V[6]	G1V[5]	G1V[4]	G1V[3]	G1V[2]	G1V[1]	G1V[0]
GPARG1	RD	G1V[15]	G1V[14]	G1V[13]	G1V[12]	G1V[11]	G1V[10]	G1V[9]	G1V[8]
GPARG2	RD	G2V[7]	G2V[6]	G2V[5]	G2V[4]	G2V[3]	G2V[2]	G2V[1]	G2V[0]
GPARG3	RD	G2V[15]	G2V[14]	G2V[13]	G2V[12]	G2V[11]	G2V[10]	G2V[9]	G2V[8]
GPARG4	RD	G3V[7]	G3V[6]	G3V[5]	G3V[4]	G3V[3]	G3V[2]	G3V[1]	G3V[0]
GPARG5	RD	G3V[15]	G3V[14]	G3V[13]	G3V[12]	G3V[11]	G3V[10]	G3V[9]	G3V[8]

表 82. 補助レジスタ・グループ B (RDAUXB)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
GPBR0	RD	G4V[7]	G4V[6]	G4V[5]	G4V[4]	G4V[3]	G4V[2]	G4V[1]	G4V[0]
GPBR1	RD	G4V[15]	G4V[14]	G4V[13]	G4V[12]	G4V[11]	G4V[10]	G4V[9]	G4V[8]
GPBR2	RD	G5V[7]	G5V[6]	G5V[5]	G5V[4]	G5V[3]	G5V[2]	G5V[1]	G5V[0]
GPBR3	RD	G5V[15]	G5V[14]	G5V[13]	G5V[12]	G5V[11]	G5V[10]	G5V[9]	G5V[8]
GPBR4	RD	G6V[7]	G6V[6]	G6V[5]	G6V[4]	G6V[3]	G6V[2]	G6V[1]	G6V[0]
GPBR5	RD	G6V[15]	G6V[14]	G6V[13]	G6V[12]	G6V[11]	G6V[10]	G6V[9]	G6V[8]

表 83. 補助レジスタ・グループ C (RDAUXC)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
GPCR0	RD	G7V[7]	G7V[6]	G7V[5]	G7V[4]	G7V[3]	G7V[2]	G7V[1]	G7V[0]
GPCR2	RD	G7V[15]	G7V[14]	G7V[13]	G7V[12]	G7V[11]	G7V[10]	G7V[9]	G7V[8]
GPCR3	RD	G8V[7]	G8V[6]	G8V[5]	G8V[4]	G8V[3]	G8V[2]	G8V[1]	G8V[0]
GPCR4	RD	G8V[15]	G8V[14]	G8V[13]	G8V[12]	G8V[11]	G8V[10]	G8V[9]	G8V[8]
GPCR5	RD	G9V[7]	G9V[6]	G9V[5]	G9V[4]	G9V[3]	G9V[2]	G9V[1]	G9V[0]
GPCR6	RD	G9V[15]	G9V[14]	G9V[13]	G9V[12]	G9V[11]	G9V[10]	G9V[9]	G9V[8]

表 84. 補助レジスタ・グループ D (RDAUXD)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
GPDR0	RD	G10V[7]	G10V[6]	G10V[5]	G10V[4]	G10V[3]	G10V[2]	G10V[1]	G10V[0]
GPDR1	RD	G10V[15]	G10V[14]	G10V[13]	G10V[12]	G10V[11]	G10V[10]	G10V[9]	G10V[8]
GPDR2	RD	VMV[7]	VMV[6]	VMV[5]	VMV[4]	VMV[3]	VMV[2]	VMV[1]	VMV[0]
GPDR3	RD	VMV[15]	VMV[14]	VMV[13]	VMV[12]	VMV[11]	VMV[10]	VMV[9]	VMV[8]
GPDR4	RD	VPV[7]	VPV[6]	VPV[5]	VPV[4]	VPV[3]	VPV[2]	VPV[1]	VPV[0]
GPDR5	RD	VPV[15]	VPV[14]	VPV[13]	VPV[12]	VPV[11]	VPV[10]	VPV[9]	VPV[8]

表 85. 冗長補助レジスタ・グループ A (RDRAXA)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RGPAR0	RD	R_G1V[7]	R_G1V[6]	R_G1V[5]	R_G1V[4]	R_G1V[3]	R_G1V[2]	R_G1V[1]	R_G1V[0]
RGPAR1	RD	R_G1V[15]	R_G1V[14]	R_G1V[13]	R_G1V[12]	R_G1V[11]	R_G1V[10]	R_G1V[9]	R_G1V[8]

メモリ・マップ

表 85. 冗長補助レジスタ・グループ A (RDRAXA) (続き)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RGPARG2	RD	R_G2V[7]	R_G2V[6]	R_G2V[5]	R_G2V[4]	R_G2V[3]	R_G2V[2]	R_G2V[1]	R_G2V[0]
RGPARG3	RD	R_G2V[15]	R_G2V[14]	R_G2V[13]	R_G2V[12]	R_G2V[11]	R_G2V[10]	R_G2V[9]	R_G2V[8]
RGPARG4	RD	R_G3V[7]	R_G3V[6]	R_G3V[5]	R_G3V[4]	R_G3V[3]	R_G3V[2]	R_G3V[1]	R_G3V[0]
RGPARG5	RD	R_G3V[15]	R_G3V[14]	R_G3V[13]	R_G3V[12]	R_G3V[11]	R_G3V[10]	R_G3V[9]	R_G3V[8]

表 86. 冗長補助レジスタ・グループ B (RDRAXB)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RGPBR0	RD	R_G4V[7]	R_G4V[6]	R_G4V[5]	R_G4V[4]	R_G4V[3]	R_G4V[2]	R_G4V[1]	R_G4V[0]
RGPBR1	RD	R_G4V[15]	R_G4V[14]	R_G4V[13]	R_G4V[12]	R_G4V[11]	R_G4V[10]	R_G4V[9]	R_G4V[8]
RGPBR2	RD	R_G5V[7]	R_G5V[6]	R_G5V[5]	R_G5V[4]	R_G5V[3]	R_G5V[2]	R_G5V[1]	R_G5V[0]
RGPBR3	RD	R_G5V[15]	R_G5V[14]	R_G5V[13]	R_G5V[12]	R_G5V[11]	R_G5V[10]	R_G5V[9]	R_G5V[8]
RGPBR4	RD	R_G6V[7]	R_G6V[6]	R_G6V[5]	R_G6V[4]	R_G6V[3]	R_G6V[2]	R_G6V[1]	R_G6V[0]
RGPBR5	RD	R_G6V[15]	R_G6V[14]	R_G6V[13]	R_G6V[12]	R_G6V[11]	R_G6V[10]	R_G6V[9]	R_G6V[8]

表 87. 冗長補助レジスタ・グループ C (RDRAXC)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RGPGR0	RD	R_G7V[7]	R_G7V[6]	R_G7V[5]	R_G7V[4]	R_G7V[3]	R_G7V[2]	R_G7V[1]	R_G7V[0]
RGPGR1	RD	R_G7V[15]	R_G7V[14]	R_G7V[13]	R_G7V[12]	R_G7V[11]	R_G7V[10]	R_G7V[9]	R_G7V[8]
RGPGR2	RD	R_G8V[7]	R_G8V[6]	R_G8V[5]	R_G8V[4]	R_G8V[3]	R_G8V[2]	R_G8V[1]	R_G8V[0]
RGPGR3	RD	R_G8V[15]	R_G8V[14]	R_G8V[13]	R_G8V[12]	R_G8V[11]	R_G8V[10]	R_G8V[9]	R_G8V[8]
RGPGR4	RD	R_G9V[7]	R_G9V[6]	R_G9V[5]	R_G9V[4]	R_G9V[3]	R_G9V[2]	R_G9V[1]	R_G9V[0]
RGPGR5	RD	R_G9V[15]	R_G9V[14]	R_G9V[13]	R_G9V[12]	R_G9V[11]	R_G9V[10]	R_G9V[9]	R_G9V[8]

表 88. 冗長補助レジスタ・グループ D (RDRAXD)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RGPDR0	RD	R_G10V[7]	R_G10V[6]	R_G10V[5]	R_G10V[4]	R_G10V[3]	R_G10V[2]	R_G10V[1]	R_G10V[0]
RGPDR1	RD	R_G10V[15]	R_G10V[14]	R_G10V[13]	R_G10V[12]	R_G10V[11]	R_G10V[10]	R_G10V[9]	R_G10V[8]
RGPDR2	RD	1	1	1	1	1	1	1	1
RGPDR3	RD	1	1	1	1	1	1	1	1
RGPDR4	RD	1	1	1	1	1	1	1	1
RGPDR5	RD	1	1	1	1	1	1	1	1

表 89. ステータス・レジスタ・グループ A (RDSTATA)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
STAR0	RD	VREF2[7]	VREF2[6]	VREF2[5]	VREF2[4]	VREF2[3]	VREF2[2]	VREF2[1]	VREF2[0]
STAR1	RD	VREF2[15]	VREF2[14]	VREF2[13]	VREF2[12]	VREF2[11]	VREF2[10]	VREF2[9]	VREF2[8]
STAR2	RD	ITMP[7]	ITMP[6]	ITMP[5]	ITMP[4]	ITMP[3]	ITMP[2]	ITMP[1]	ITMP[0]
STAR3	RD	ITMP[15]	ITMP[14]	ITMP[13]	ITMP[12]	ITMP[11]	ITMP[10]	ITMP[9]	ITMP[8]
STAR4	RD	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
STAR5	RD	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved

表 90. ステータス・レジスタ・グループ B (RDSTATB)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
STBR0	RD	VD[7]	VD[6]	VD[5]	VD[4]	VD[3]	VD[2]	VD[1]	VD[0]
STBR1	RD	VD[15]	VD[14]	VD[13]	VD[12]	VD[11]	VD[10]	VD[9]	VD[8]
STBR2	RD	VA[7]	VA[6]	VA[5]	VA[4]	VA[3]	VA[2]	VA[1]	VA[0]
STBR3	RD	VA[15]	VA[14]	VA[13]	VA[12]	VA[11]	VA[10]	VA[9]	VA[8]
STBR4	RD	VRES[7]	VRES[6]	VRES[5]	VRES[4]	VRES[3]	VRES[2]	VRES[1]	VRES[0]

メモリ・マップ

表 90. ステータス・レジスタ・グループ B (RDSTATB) (続き)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
STBR5	RD	VRES[15]	VRES[14]	VRES[13]	VRES[12]	VRES[11]	VRES[10]	VRES[9]	VRES[8]

表 91. ステータス・レジスタ・グループ C (RDSTATC)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
STCR0	RD	CS8FLT	CS7FLT	CS6FLT	CS5FLT	CS4FLT	CS3FLT	CS2FLT	CS1FLT
STCR1	RD	CS16FLT	CS15FLT	CS14FLT	CS13FLT	CS12FLT	CS11FLT	CS10FLT	CS9FLT
STCR2	RD	0	0	0	CT[10]	CT[9]	CT[8]	CT[7]	CT[6]
STCR3	RD	CT[5]	CT[4]	CT[3]	CT[2]	CT[1]	CT[0]	CTS[1]	CTS[0]
STCR4	RD	VA_OV	VA_UV	VD_OV	VD_UV	CED	CMED	SED	SMED
STCR5	RD	VDEL	VDE	COMP	SPIFLT	SLEEP	THSD	TMODCHK	OSCCHK

表 92. ステータス・レジスタ・グループ D (RDSTATD) z

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
STDR0	RD	C4OV	C4UV	C3OV	C3UV	C2OV	C2UV	C1OV	C1UV
STDR1	RD	C8OV	C8UV	C7OV	C7UV	C6OV	C6UV	C5OV	C5UV
STDR2	RD	C12OV	C12UV	C11OV	C11UV	C10OV	C10UV	C9OV	C9UV
STDR3	RD	C16OV	C16UV	C15OV	C15UV	C14OV	C14UV	C13OV	C13UV
STDR4	RD	1	1	1	1	1	1	1	1
STDR5	RD	OC_CNTR[7]	OC_CNTR[6]	OC_CNTR[5]	OC_CNTR[4]	OC_CNTR[3]	OC_CNTR[2]	OC_CNTR[1]	OC_CNTR[0]

表 93. ステータス・レジスタ・グループ E (RDSTATE)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
STER0	RD	1	1	1	1	1	1	1	1
STER1	RD	1	1	1	1	1	1	1	1
STER2	RD	1	1	1	1	1	1	1	1
STER3	RD	1	1	1	1	1	1	1	01
STER4	RD	GPI[8]	GPI[7]	GPI[6]	GPI[5]	GPI[4]	GPI[3]	GPI[2]	GPI[1]
STER5	RD	REV[3]	REV[2]	REV[1]	REV[0]	0	0	GPI[10]	GPI[9]

表 94. COMM レジスタ・グループ (WRCOMM、RDCOMM)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
COMM0	RD/WR	ICOM0[3]	ICOM0[2]	ICOM0[1]	ICOM0[0]	FCOM0[3]	FCOM0[2]	FCOM0[1]	FCOM0[0]
COMM1	RD/WR	D0[7]	D0[6]	D0[5]	D0[4]	D0[3]	D0[2]	D0[1]	D0[0]
COMM2	RD/WR	ICOM1[3]	ICOM1[2]	ICOM1[1]	ICOM1[0]	FCOM1[3]	FCOM1[2]	FCOM1[1]	FCOM1[0]
COMM3	RD/WR	D1[7]	D1[6]	D1[5]	D1[4]	D1[3]	D1[2]	D1[1]	D1[0]
COMM4	RD/WR	ICOM2[3]	ICOM2[2]	ICOM2[1]	ICOM2[0]	FCOM2[3]	FCOM2[2]	FCOM2[1]	FCOM2[0]
COMM5	RD/WR	D2[7]	D2[6]	D2[5]	D2[4]	D2[3]	D2[2]	D2[1]	D2[0]

表 95. PWM レジスタ・グループ A (WRPWMA、RDPWMA)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMR0	RD/WR	PWM2[3]	PWM2[2]	PWM2[1]	PWM2[0]	PWM1[3]	PWM1[2]	PWM1[1]	PWM1[0]
PWMR1	RD/WR	PWM4[3]	PWM4[2]	PWM4[1]	PWM4[0]	PWM3[3]	PWM3[2]	PWM3[1]	PWM3[0]
PWMR2	RD/WR	PWM6[3]	PWM6[2]	PWM6[1]	PWM6[0]	PWM5[3]	PWM5[2]	PWM5[1]	PWM5[0]
PWMR3	RD/WR	PWM8[3]	PWM8[2]	PWM8[1]	PWM8[0]	PWM7[3]	PWM7[2]	PWM7[1]	PWM7[0]
PWMR4	RD/WR	PWM10[3]	PWM10[2]	PWM10[1]	PWM10[0]	PWM9[3]	PWM9[2]	PWM9[1]	PWM9[0]
PWMR5	RD/WR	PWM12[3]	PWM12[2]	PWM12[1]	PWM12[0]	PWM11[3]	PWM11[2]	PWM11[1]	PWM11[0]

メモリ・マップ

表 96. PWM レジスタ・グループ B (WRPWMB、RDPWMB)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PSR0	RD/WR	PWM14[3]	PWM14[2]	PWM14[1]	PWM14[0]	PWM13[3]	PWM13[2]	PWM13[1]	PWM13[0]
PSR1	RD/WR	PWM16[3]	PWM16[2]	PWM16[1]	PWM16[0]	PWM15[3]	PWM15[2]	PWM15[1]	PWM15[0]
PSR2	RD/WR	1	1	1	1	1	1	1	1
PSR3	RD/WR	1	1	1	1	1	1	1	1
PSR4	RD/WR	1	1	1	1	1	1	1	1
PSR5	RD/WR	1	1	1	1	1	1	1	1

表 97. LPCM 設定レジスタ・グループ (WRCMCFG、RDCMCFG)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMCF0	RD/WR	CMC_MAN	CMC_MPER[2]	CMC_MPER[1]	CMC_MPER[0]	CMC_BTM	CMC_TPER[2]	CMC_TPER[1]	CMC_TPER[0]
CMCF1	RD/WR	CMC_NDEV[7]	CMC_NDEV[6]	CMC_NDEV[5]	CMC_NDEV[4]	CMC_NDEV[3]	CMC_NDEV[2]	CMC_NDEV[1]	CMC_NDEV[0]
CMCF2	RD/WR	CMM_C[8]	CMM_C[7]	CMM_C[6]	CMM_C[5]	CMM_C[4]	CMM_C[3]	CMM_C[2]	CMM_C[1]
CMCF3	RD/WR	CMM_C[16]	CMM_C[15]	CMM_C[14]	CMM_C[13]	CMM_C[12]	CMM_C[11]	CMM_C[10]	CMM_C[9]
CMCF4	RD/WR	CMM_G[2]	CMM_G[1]	CMC_DIR	CMC_GOE[2]	CMC_GOE[1]	CMC_GOE[0]	CMM_C[18]	CMM_C[17]
CMCF5	RD/WR	CMM_G[10]	CMM_G[9]	CMM_G[8]	CMM_G[7]	CMM_G[6]	CMM_G[5]	CMM_G[4]	CMM_G[3]

表 98. LPCM セル・スレッショルド・レジスタ・グループ (WRCMCELLT、RDCMCELLT)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMTC0	RD/WR	CMT_CUV[7]	CMT_CUV[6]	CMT_CUV[5]	CMT_CUV[4]	CMT_CUV[3]	CMT_CUV[2]	CMT_CUV[1]	CMT_CUV[0]
CMTC1	RD/WR	CMT_COV[3]	CMT_COV[2]	CMT_COV[1]	CMT_COV[0]	CMT_CUV[11]	CMT_CUV[10]	CMT_CUV[9]	CMT_CUV[8]
CMTC2	RD/WR	CMT_COV[11]	CMT_COV[10]	CMT_COV[9]	CMT_COV[8]	CMT_COV[7]	CMT_COV[6]	CMT_COV[5]	CMT_COV[4]
CMTC3	RD/WR	CMT_CDV[7]	CMT_CDV[6]	CMT_CDV[5]	CMT_CDV[4]	CMT_CDV[3]	CMT_CDV[2]	CMT_CDV[1]	CMT_CDV[0]
CMTC4	RD/WR	0	0	0	0	CMT_CDV[11]	CMT_CDV[10]	CMT_CDV[9]	CMT_CDV[8]
CMTC5	RD/WR	0	0	0	0	0	0	0	0

表 99. LPCM GPIO スレッショルド・レジスタ・グループ (WRCMGPIOT、RDCMGPIOT)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMTG0	RD/WR	CMT_GUV[7]	CMT_GUV[6]	CMT_GUV[5]	CMT_GUV[4]	CMT_GUV[3]	CMT_GUV[2]	CMT_GUV[1]	CMT_GUV[0]
CMTG1	RD/WR	CMT_GOV[3]	CMT_GOV[2]	CMT_GOV[1]	CMT_GOV[0]	CMT_GUV[11]	CMT_GUV[10]	CMT_GUV[9]	CMT_GUV[8]
CMTG2	RD/WR	CMT_GOV[11]	CMT_GOV[10]	CMT_GOV[9]	CMT_GOV[8]	CMT_GOV[7]	CMT_GOV[6]	CMT_GOV[5]	CMT_GOV[4]
CMTG3	RD/WR	CMT_GDV[7]	CMT_GDV[6]	CMT_GDV[5]	CMT_GDV[4]	CMT_GDV[3]	CMT_GDV[2]	CMT_GDV[1]	CMT_GDV[0]
CMTG4	RD/WR	0	0	0	0	CMT_GDV[11]	CMT_GDV[10]	CMT_GDV[9]	CMT_GDV[8]
CMTG5	RD/WR	0	0	0	0	0	0		

表 100. LPCM フラグ・レジスタ・グループ (RDCMFLAG)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMF0	RD/WR	CMF_GDVP	CMF_GDVN	CMF_GOV	CMF_GUV	CMF_CDVP	CMF_CDVN	CMF_COV	CMF_CUV
CMF1	RD/WR	CMC_EN	0	0	0	0	0	CMF_BTMWD	CMF_BTMCMP
CMF2	RD/WR	0	0	0	0	0	0	0	0
CMF3	RD/WR	0	0	0	0	0	0	0	0
CMF4	RD/WR	0	0	0	0	0	0	0	0
CMF5	RD/WR	0	0	0	0	0	0	0	0

表 101. 保持レジスタ・グループ (ULRR、WRRR、RDRR)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RRR0	RD/WR	RR[47]	RR[46]	RR[45]	RR[44]	RR[43]	RR[42]	RR[41]	RR[40]
RRR1	RD/WR	RR[39]	RR[38]	RR[37]	RR[36]	RR[35]	RR[34]	RR[33]	RR[32]

メモリ・マップ

表 101. 保持レジスタ・グループ (ULRR、WRRR、RDRR) (続き)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RRR2	RD/WR	RR[31]	RR[30]	RR[29]	RR[28]	RR[27]	RR[26]	RR[25]	RR[24]
RRR3	RD/WR	RR[23]	RR[22]	RR[21]	RR[20]	RR[19]	RR[18]	RR[17]	RR[16]
RRR4	RD/WR	RR[15]	RR[14]	RR[13]	RR[12]	RR[11]	RR[10]	RR[9]	RR[8]
RRR5	RD/WR	RR[7]	RR[6]	RR[5]	RR[4]	RR[3]	RR[2]	RR[1]	RR[0]

表 102. 設定レジスタ A のビットの説明

名前	説明	値	デフォルト
REFON	リファレンス・パワーアップ。	1 = ウォッチドッグ・タイムアウトまでリファレンスはパワーアップされたまま。 0 = 変換後リファレンスはシャット・ダウン (デフォルト)。	0
CTH[2:0]	C-ADC と S-ADC の比較電圧スレッシュホールド。	000 : 5.1mV 001 : 8.1mV (デフォルト) 010 : 9mV 011 : 10.05mV 100 : 15mV 101 : 19.95mV 110 : 25.05mV 111 : 40.05mV	001
FLAG_Dx	潜在的なフォルト検出のために、ステータス・レジスタ C で様々なフラグをアサートします。	潜在的なフォルト診断のためにステータス・レジスタにフラグをアサートしても、実際の診断メカニズムによってフラグがセットされたかのように ADES1830/ADES1831 が動作することにはなりません。例えば、FLAG_D[4] を通じて THSD (サーマル・シャットダウン) をセットしても、パワーオン・リセットは生じません。 FLAG_D[0] : 1 = 発振器のカウンタを強制的に高速にします。 FLAG_D[1] : 1 = 発振器のカウンタを強制的に低速にします。 FLAG_D[2] : 1 = 強制的に電源エラー検出 (ED) を行います。 FLAG_D[3] : 1 = 電源の OV および変化検出を選択します。0 = UV を選択します。 FLAG_D[4] : 1 = THSD をセットします。 FLAG_D[5] : 1 = 強制的に不揮発メモリ (NVM) エラー検出 (ED) を行います。CED および SED をセットします。 FLAG_D[6] : 1 = 強制的に NVM 複数エラー検出 (MED) を行います。CMED および SMED をセットします。 FLAG_D[7] : 1 = 強制的に TMODCHK にします。	0
SOAKON	AUX ADC のソークを有効化します。	1 = 全コマンドでソーク時間を有効化します。 0 = ソーク時間を無効化します。	0
OWRNG	ソーク時間範囲。	1 = 長いソーク時間範囲。 0 = 短いソーク時間範囲。	0
OWA	断線ソーク時間。	AUX コマンドに対応。 OWRNG = 0 の場合、ソーク時間 = $2^{(6 + OWA[2:0])}$ クロック (32us ~ 4.1ms)。 OWRNG = 1 の場合、ソーク時間 = $2^{(13 + OWA[2:0])}$ クロック (4.1ms ~ 524ms)。	0
GPOx	GPIOx のピン制御。	0 = GPIOx ピンのプルダウンをオン。 1 = GPIOx ピンのプルダウンをオフ (デフォルト)。	1
FC[2:0]	IIR フィルタのパラメータ。	表 21 を参照してください。	000
COMM_BK	通信中断。	1 = デバイスがデジチェーンを通じてそれ以上通信を伝搬しないように、通信中断機能をアサートします。	0
MUTE_ST	ミュートのステータス。	1 = ミュートはアクティブで、放電が無効化されています。 0 = ミュートは非アクティブです。	0
SNAP_ST	スナップショットのステータス。	1 = スナップショットはアクティブで、結果レジスタはフリーズしています。 0 = スナップショットは非アクティブです。	0

メモリ・マップ

表 103. 設定レジスタ B のビットの説明

名前	説明	値	デフォルト
VUV	UV 比較電圧。	セル低電圧スレッシュホールド = $VUV \times 16 \times 150\mu V + 1.5V$ 。	0x800
VOV	OV 比較電圧。	セル過電圧スレッシュホールド = $VOV \times 16 \times 150\mu V + 1.5V$ 。	0x7FF
DTMEN	放電タイマー・モニタの有効化。	1 = デバイスが延長バランシング状態に遷移する場合に、放電タイマー・モニタ機能を有効化します。 0 = 放電タイマー・モニタ機能を無効化します。	0
DTRNG	放電タイマー・レンジの設定。	1 = 0 時間～16.8 時間で 16 分ごとにインクリメント。 0 = 0 分～63 分で 1 分ごとにインクリメント。	0
DCTO	放電タイムアウト値。	書込み = 新しい値を設定、DTRNG の読出し値に応じて 16 分または 1 分ごとのインクリメント。 読出し = 残存値、DTRNG の読出し値に応じて 16 分または 1 分ごとのインクリメント。 1 = 1 以下のインクリメントが残存。 0 = タイムアウトが発生、または DCTO が未設定。	0
DCCx	放電セル x。	1 = セル x の短絡スイッチを連続的にオン。 0 = セル x の短絡スイッチを連続的にオフ (デフォルト)。	0

表 104. 結果レジスタのビットの説明

名前	説明	値	デフォルト
CxV	セル x の電圧。	$x = 1 \sim 16$: セル x の 16 ビットの ADC 測定値。セル x のセル電圧 = $CxV \times 150\mu V + 1.5V$ 。 CxV はパワーアップ時とクリア・コマンド (CLRCELL) 後、0x8000 にリセットされます。	0x8000
ACxV	セル x の平均電圧。	$x = 1 \sim 16$: セル x の 8 個の変換結果に対する 16 ビットの平均値。セル x の平均セル電圧 = $CxV \times 150\mu V + 1.5V$ 。ACxV はパワーアップ時とクリア・コマンド (CLRCELL) 後、0x8000 にリセットされます。	0x8000
FCxV	セル x のフィルタ処理後の電圧。	$x = 1 \sim 16$: セル x の 16 ビットの IIR フィルタ処理測定値。セル x のフィルタ処理後のセル電圧 = $CxV \times 150\mu V + 1.5V$ 。FCxV はパワーアップ時とクリア・コマンド (CLRFC) 後、0x8000 にリセットされます。	0x8000
SxV	Sx ピン x 電圧。	ADSV コマンドまたは ADCV コマンドによる Sx ピンの 16 ビット ADC 測定値。チャンネル x の S ピンの電圧 = $SxV \times 150\mu V + 1.5V$ 。SxV はパワーアップ時とクリア・コマンド (CLRSPIN) 後、0x8000 にリセットされます。	0x8000
GxV, R_GxV	冗長 GPIOx 電圧。	$x = 1 \sim 9$: GPIOx = $GxV \times 150\mu V + 1.5V$ の場合の (冗長) GPIOx 電圧の 16 ビット ADC 測定値。	0x8000
VPV	V+ と V- の間の電圧測定値。	V+ と V- の間の 16 ビット ADC 測定値 = $25 \times (VPV \times 150\mu V + 1.5V)$ 。パワーアップ、スリープ、またはクリア・コマンド (CLRAUX) 後は 0x8000 にリセットされます。	0x8000
VMV	S1N と V- の間の測定値。	S1N と V- の間の 16 ビット ADC 測定値 = $VMV \times 150\mu V + 1.5V$ 。パワーアップ、スリープ、またはクリア・コマンド (CLRAUX) 後は 0x8000 にリセットされます。	0x8000

表 105. ステータス・レジスタ A のビットの説明

名前	説明	値	デフォルト
VREF2	第二リファレンス電圧。	第二リファレンス = $V_{REF2} \times 150\mu V + 1.5V$ の場合の第二リファレンス電圧の 16 ビット ADC 測定値。データシートの制限値、サーマル・ヒステリシス、長期ドリフトを考慮すると通常の範囲は 2.988V～3.012V です。パワーアップ、スリープ、またはクリア・コマンド (CLRAUX) 後は 0x8000 にリセットされます。	0x8000
ITMP	内部ダイ温度。	内部ダイ温度の 16 ビットの ADC 測定値。温度測定電圧 = $(ITMP \times 150\mu V + 1.5V) / 7.5mV/^\circ C - 273^\circ C$ 。パワーアップおよびスリープ後は 0x7FFF にリセットされ、クリア・コマンド (CLRAUX) 後は 0x8000 にリセットされます。	0x7FFF

表 106. ステータス・レジスタ B のビットの説明

名前	説明	値	デフォルト
VD	デジタル電源電圧。スリープ時、VD はオフになります。	デジタル電源電圧の 16 ビット ADC 測定値。デジタル電源電圧 = $VD \times 150\mu V + 1.5V$ 。通常範囲は 2.7V～3.6V です。パワーアップおよびスリープ後は 0x7FFF にリセットされ、クリア・コマンド (CLRAUX) 後は 0x8000 にリセットされます。	0x7FFF
VA	アナログ電源電圧 = V_{REG} ピンでの電圧。スリープ時、VD はオフになります。	アナログ電源電圧の 16 ビット ADC 測定値。アナログ電源電圧 = $VA \times 150\mu V + 1.5V$ 。VA の値は外部部品によって設定され、通常動作では 4.5V～5.5V の範囲であることが必要です。パワーアップおよびスリープ後は 0x7FFF にリセットされ、クリア・コマンド (CLRAUX) 後は 0x8000 にリセットされます。	0x7FFF
VRES	抵抗両端の VREF2。	断線チェック用の直列抵抗を備えた VREF2 の 16 ビット ADC 値。電圧 = $VRES \times 150\mu V + 1.5V$ 。パワーアップおよびスリープ後は 0x7FFF にリセットされ、クリア・コマンド (CLRAUX) 後は 0x8000 にリセットされます。	0x7FFF

メモリ・マップ

表 107. レジスタ・フォーマットの概要

Register Names	Width	LSB	Offset	Unit	Min	Zero	Max
CxV, SxV, ACxV, FCxV, GxV, R_GxV, VREF2, VD, VA, VRES, VMV	16	0.00015	1.5	V	Analog: -3.4152 Hex: 0x8000	Analog: 1.5 Hex: 0x0000	Analog: 6.41505 Hex: 0x7FFF
VUV, VOV, CMT_CUV, CMT_COV, CMT_GUV, CMT_GOV	12	0.0024	1.5	V	Analog: -3.4152 Hex: 0x0800	Analog: 1.5 Hex: 0x0000	Analog: 6.4128 Hex: 0x07FF
CMT_CDV, CMT_GDV	12	0.0012	0	V	Analog: 0 Hex: 0x000	Analog: 0 Hex: 0x000	Analog: 4.914 Hex: 0xFFF
VPV	16	0.00375	37.5	V	Analog: -85.38 Hex: 0x8000	Analog: 37.5 Hex: 0x0000	Analog: 160.37625 Hex: 0x7FFF
ITMP	16	0.02	-73.0	°C	Analog: -728.36 Hex: 0x8000	Analog: -73.0 Hex: 0x0000	Analog: 582.34 Hex: 0x7FFF

表 108. ステータス・レジスタ C のビットの説明

名前	説明	値	デフォルト
CSxFLT	チャンネル X の C-ADC と S-ADC の比較フォルト。	読出し : 1 = チャンネル X での C-ADC と S-ADC の測定値に不一致が発生しています。 読出し : 0 = チャンネル X での C-ADC と S-ADC の測定値に不一致は発生していません。	0xFFFF
VA_OV	5V アナログ・レール OV。	このビットは、CL_VAOV = 1 の CLRFLAG コマンドを用いて 0 にクリアできます。 読出し : 1 = ADC 動作の間にメインの 5V アナログ電源レールで過電圧イベントが検出されました。 読出し : 0 = アナログ電源レールに過電圧イベントは検出されていません。	1
VA_UV	5V アナログ・レール UV。	このビットは、CL_VAUV = 1 の CLRFLAG コマンドを用いて 0 にクリアできます。VA は V _{REG} から引き出されるため、VA_UV はスリープからスタンバイになるときに設定されます。 読出し : 1 = ADC 動作の間にメインの 5V アナログ電源レールで低電圧イベントが検出されました。 読出し : 0 = アナログ電源レールに低電圧イベントは検出されていません。	1
VD_OV	3V デジタル・レール OV。	このビットは、CL_VDOV = 1 の CLRFLAG コマンドを用いて 0 にクリアできます。 読出し : 1 = ADC 動作の間にデジタル電源レールで過電圧イベントが検出されました。 読出し : 0 = デジタル電源レールに過電圧イベントは検出されていません。	1
VD_UV	3V デジタル・レール UV。	このビットは、CL_VDUV = 1 の CLRFLAG コマンドを用いて 0 にクリアできます。VD は V _{REG} から引き出されるため、VD_UV はスリープからスタンバイになるときに設定されます。 読出し : 1 = ADC 動作の間にデジタル電源レールで低電圧イベントが検出されました。 読出し : 0 = デジタル電源レールに低電圧イベントは検出されていません。	1
CED	C トリム・エラー検出。	ADES1830/ADES1831 はシングル・トリム・エラーを補正できます。 読出し : 1 = C-NVM でトリム・エラーが検出されました。 読出し : 0 = C-NVM にトリム・エラーは検出されていません。	1
CMED	C トリム複数エラー検出。	複数のトリム・エラーは、パラメータが仕様範囲外になる原因となる可能性があります。 読出し : 1 = C-NVM で複数のトリム・エラーが検出されました。 読出し : 0 = C-NVM に複数のトリム・エラーは検出されていません。	1
SED	S トリム・エラー検出。	ADES1830/ADES1831 はシングル・トリム・エラーを補正できます。 読出し : 1 = S-NVM でトリム・エラーが検出されました。 読出し : 0 = S-NVM にトリム・エラーは検出されていません。	1
SMED	S トリム複数エラー検出。	複数のトリム・エラーは、パラメータが仕様範囲外になる原因となる可能性があります。 読出し : 1 = S-NVM で複数のトリム・エラーが検出されました。 読出し : 0 = S-NVM に複数のトリム・エラーは検出されていません。	1
VDE	電源レールの偏差。	このビットは、CL_VDE = 1 の CLRFLAG コマンドを用いて 0 にクリアできます。 読出し : 1 = いずれかの 5V 電源の V _{REG} との差が 0.5V を超えています。 読出し : 0 = 5V 電源の偏差は検出されていません。	1

メモリ・マップ

表 108. ステータス・レジスタ C のビットの説明 (続き)

名前	説明	値	デフォルト
VDEL	電源レール偏差の潜在。	このビットは、CL_VDEL = 1 の CLRFLAG コマンドを用いて 0 にクリアできます。VDEL に より、電源レール・モニタに潜在的なフォルトがないかチェックできます。 読出し：1 = すべての 5V 電源と V _{REG} の差が 0.5V を超えました。 読出し：0 = すべての 5V 電源と V _{REG} の差が 0.5V を超えたわけではありません。	1
COMP	比較。	C-ADC と S-ADC の結果の比較がアクティブであることを示します。 1 = C-ADC と S-ADC の比較がアクティブ。 0 = C-ADC と S-ADC の比較はオフ。	0
SPIFLT	SPI フォルト。	読出し：1 = 冗長な SPI ターゲット出力間で不一致が生じました。 読出し：0 = 冗長な SPI ターゲット出力間で不一致は生じていません。	1
SLEEP	スリープ・モード検出。	このビットは、CL_SLEEP = 1 の CLRFLAG コマンドを用いて 0 にクリアできます。 読出し：1 = デバイスは以前に電源再投入されたかスリープ・モードになったことがあります。 読出し：0 = デバイスは、電源再投入されたこともスリープ・モードになったこともありません。	1
THSD	サーマル・シャットダウン・ステータス。	THSD ビットは、CL_THSD = 1 の CLRFLAG コマンドを用いて 0 にクリアできます。 読出し：0 = サーマル・シャットダウンは生じませんでした。 読出し：1 = サーマル・シャットダウンが生じました。	0
TMODCHK	テスト・モード検出。	このビットは、CL_TMODE = 1 の CLRFLAG コマンドを用いて 0 にクリアできます。 読出し：1 = デバイスはこれまでにテスト・モードをアクティブ化したことがあります。 読出し：0 = デバイスはテスト・モードをアクティブ化したことはありません。	1
OSCCHK	発振器チェック。	このビットは、CL_OSCCHK = 1 の CLRFLAG コマンドを用いて 0 にクリアできます。 1 = ADC の動作中に範囲外の発振器カウントが検出されています。 0 = 範囲外の発振器カウントは検出されていません。	1
CT[10:0]	変換カウンタ。	フリー・ランニング C-ADC 変換カウンタ。ADCV コマンドごとにリセットされます。最大 値の後、ロール・オーバーします。	0
CTS[1:0]	変換サブカウンタ。	フリー・ランニング C-ADC サブサンプリング変換カウンタ。サンプルごとに 4 だけインク リメントします。ADCV コマンドごとにリセットされます。最大値の後、ロール・オーバ ーします。CT[10:0]および CTS[1:0]は、サンプルごとに 4 回インクリメントする 13 ビットの カウンタ CCTS[12:0]として処理できます。SNAP コマンドを用いて新しいサンプルまたは 古いサンプルを特定することで、CADC の結果に対しコヒーレントに読み出せます。SADC の結果に対するコヒーレンスは、CCTS が 31、32、63、64、…でない場合にのみ確保され ます。	0

表 109. ステータス・レジスタ D のビットの説明

名前	説明	値	デフォルト
CxOV	セル x OV フラグ。	x = 1~16 : C-ADC の 1ms のセル電圧測定結果が VOV 比較電圧と比較されます。0 = セル x は過電圧状態の場合にフラグ通知されません。1 = セル x のフラグ通知が行われます。	1
CxUV	セル x UV フラグ。	x = 1~16 : C-ADC の 1ms のセル電圧測定結果が VUV 比較電圧と比較されます。0 = セル x は低電圧状態の場合にフラグ通知されません。1 = セル x のフラグ通知が行われます。	1
OC_CNTR[7:0]	発振器チェック・カウン タ。	発振器カウンタ・チェックの結果が格納されます。OSCCHK に不具合が発生していなけれ ば、このカウンタは、直前に取得した発振器カウントを格納します。OSCCHK に不具合が 発生した場合、このカウンタは最初に不具合のあったときのカウンタ値を格納します。合格 範囲は 52~71 です。	0

表 110. 周波数範囲：2GHz~6GHz

名前	説明	値	デフォルト
GP[x]	GPIOx ピンの状態。	(読出し専用) 0 = GPIOx ピンはロジック 0。 1 = GPIOx ピンはロジック 1。	0
REV	リビジョン・コード。	デバイスのリビジョン・コード。	
RSVD	予約済みビット。	読出し：リードバック値は 1 または 0 です。	
RSVD0	予約済みビット。	読出し：リードバック値は常に 0 です。	0
RSVD1	予約済みビット。	読出し：リードバック値は常に 1 です。	1

メモリ・マップ

表 111. PWM レジスタのビットの説明

名前	説明	値	デフォルト
PWMCx	PWM 設定。	4'b1111 = 100%のデューティ・サイクル 4'b0001 = 6.6%のデューティ・サイクル 4'b0000 = 無効化 (デフォルト)	4'b000

表 112. LPCM 設定レジスタのビットの説明

名前	説明	値	デフォルト
CMC_NDEV	デバイス数。	デバイス数 + 0x42 に設定します。	8'h00
CMC_MAN	フォルト・モニタリング・マネージャ。	1 = このデバイスに対するマネージャ機能を有効化します。 0 = このデバイスに対するマネージャ機能を無効化します。	0
CMC_MPER	フォルト・モニタリング測定 (ハートビート) 時間。	000 = 1 秒 001 = 2 秒 010 = 4 秒 011 = 8 秒 100 = 12 秒 101 = 16 秒 110 = 32 秒 111 = 1 秒	000
CMC_BTM	フォルト・モニタリング・ブリッジレス LPCM タイムアウト・モニタ。	1 = このデバイスに対するブリッジレス LPCM タイムアウト・モニタを有効化します。 0 = このデバイスに対するブリッジレス LPCM タイムアウト・モニタを無効化します。	0
CMC_TPER	フォルト・モニタリング・ブリッジレス・タイムアウト時間。	000 = 1.5 秒 001 = 3 秒 010 = 6 秒 011 = 12 秒 100 = 18 秒 101 = 24 秒 110 = 48 秒 111 = 1.5 秒	000
CMC_DIR	マネージャの送信方向。	マネージャ・デバイスがポート A からデータを送信するか、ポート B からデータを送信するかを決定します。その他のデバイスには関係しません。 1 = マネージャはポート A で CMHB を送出します。 0 = マネージャはポート B で CMHB を送出します。	0
CMC_GOE	GPIO に対する LPCM 割込み。	GPIO を割込み出力として設定できるようにします。ブリッジレス LPCM が有効化されている場合、割込みはタイマーまたは不良ハートビート最終カウントに基づいてアサートされます。有効化されていない場合、ブリッジレス LPCM はデバイスのステータスに基づきます。割込みとして用いられる場合、ホストはそれに応じて CMM_G[4:3]を設定し、選択した GPIO がアナログ入力として用いられないようマスクする必要があります。GPIO はオープン・ドレインであり、外部にプルアップ抵抗を必要とします。 000 = いずれの GPIO 出力も有効化しない。 001 = GPIO3 アクティブ・ロー (割込みによりローにアサート)。 010 = GPIO3 アクティブ・ハイ (割込みによりハイにアサート)。 011 = GPIO4 アクティブ・ロー。 100 = GPIO4 アクティブ・ハイ。 101 = GPIO4 アクティブ・ロー、GPIO3 アクティブ・ロー。 110 = GPIO4 アクティブ・ロー、GPIO3 アクティブ・ハイ。 111 = GPIO4 アクティブ・ハイ、GPIO3 アクティブ・ロー。	000
CMM_C	セル・マスク。	割込みを設定するために個々のセル結果をマスク/無視します。	18'h0_0000
CMM_G	GPIO マスク。	割込みを設定するために個々の GPIO 結果をマスク/無視します。 注: マスクされた GPIO チャンネルは、変換シーケンス中はスキップされます。	10'h000

メモリ・マップ

表 113. LPCM セル・スレッシュヨルド・レジスタのビットの説明

名前	説明	値	デフォルト
CMT_CUV	セル UV スレッシュヨルド。	12 ビット、符号付き、LSB = 2.4mV、オフセット = 1.5V。 例えば、スレッシュヨルド = 2.5V → $CMT_CUV = (2.5V - 1.5V)/2.4mV = 0x1A1$ 。	12'h000
CMT_COV	セル OV スレッシュヨルド。	12 ビット、符号付き、LSB = 2.4mV、オフセット = 1.5V。	12'h000
CMT_CDV	セル DV スレッシュヨルド。	12 ビット、符号なし、LSB = 1.2mV、オフセット = 0V。 例えば、スレッシュヨルド = 0.2V → $CMT_CDV = 0.2V/1.2mV = 0x0A7$ 。	12'h000

表 114. LPCM GPIO スレッシュヨルド・レジスタのビットの説明

名前	説明	値	デフォルト
CMT_GUV	GPIO UV スレッシュヨルド。	12 ビット、符号付き、LSB = 2.4mV、オフセット = 1.5V。	12'h000
CMT_GOV	GPIO OV スレッシュヨルド。	12 ビット、符号付き、LSB = 2.4mV、オフセット = 1.5V。	12'h000
CMT_GDV	GPIO DV スレッシュヨルド。	12 ビット、符号なし、LSB = 1.2mV、オフセット = 0V。	12'h000

表 115. LPCM フラグ・レジスタのビットの説明

名前	説明 ¹	値	デフォルト
CMC_EN	LPCM の有効化状態。	LPCM のステータスを反映します。CMEN コマンドで設定され、CMDIS コマンドまたは POR でクリアされます。 0 = LPCM インアクティブ。 1 = LPCM アクティブ。	0
CMF_BT MW D	ブリッジレス・ウォッチドッグ・フラグ。	ウォッチドッグ・タイムアウトによるブリッジレス LPCM タイムアウト・モニタ割込み。	1
CMF_BTMCMP	ブリッジレス・メッセージ・フラグ。	ハートビート・メッセージまたはローカル比較によって示されたスレッシュヨルド比較の失敗による、ブリッジレス LPCM タイムアウト・モニタ割込み。	1
CMF_CUV	LPCM セル UV フラグ。	任意のマスクされていない $Cellx < CMT_CUV$ 。	0
CMF_COV	LPCM セル OV フラグ。	任意のマスクされていない $Cellx > CMT_COV$ 。	0
CMF_CDVP	LPCM セル DVP フラグ。	任意のマスクされていない $Cellx(n) \sim Cellx(n-1) > CMT_CDV$ 。	0
CMF_CDVN	LPCM セル DVN フラグ。	任意のマスクされていない $Cellx(n-1) \sim Cellx(n) > CMT_CDV$ 。	0
CMF_GUV	LPCM GPIO UV フラグ。	任意のマスクされていない $GPIOx < CMT_GUV$ 。	0
CMF_GOV	LPCM GPIO OV フラグ。	任意のマスクされていない $GPIOx > CMT_GOV$ 。	0
CMF_GDVP	LPCM GPIO DVP フラグ。	任意のマスクされていない $GPIOx(n) \sim GPIOx(n-1) > CMT_GDV$ 。	0
CMF_GDVN	LPCM GPIO DVN フラグ。	任意のマスクされていない $GPIOx(n-1) \sim GPIOx(n) > CMT_GDV$ 。	0

¹ LPCM 動作の範囲外で生成された LPCM フラグは考慮対象にはなりません。

表 116. 通信レジスタのビットの説明

名前	説明	値
ICOMx	初期通信制御ビット。	I ² C 通信の書込み： 0110 = 開始。 0001 = 停止。 0000 = ブランク。 0111 = 送信なし。 SPI 通信の読出し： 1000 = CSB ロー。 1010 = CSB 立下がりエッジ。 1001 = CSB ハイ。 1111 = 送信なし。

メモリ・マップ

表 116. 通信レジスタのビットの説明（続き）

名前	説明	値
Dx	I ² C/SPI 通信のデータ・バイト。I ² C/SPI ターゲット・デバイスとの間で送受信されたデータの読出し。	I ² C 通信の読出し： 0110 = コントローラから開始。 0001 = コントローラから停止。 0000 = バイトとバイトの間で SDA ロー。 0111 = バイトとバイトの間で SDA ハイ。 SPI 通信の読出し： 0111 = すべての場合。
FCOMx	最終通信制御ビット。	I ² C 通信の書込み： 0000 = コントローラ ACK。 1000 = コントローラ NACK。 1001 = コントローラ NACK + 停止。 SPI 通信の読出し： x000 = CSB ロー。 1001 = CSB ハイ。 I ² C 通信の読出し： 0000 = コントローラから ACK。 0111 = ターゲットから ACK。 1111 = ターゲットから NACK。 0001 = ターゲットから ACK + コントローラから停止。 1001 = ターゲットから NACK + コントローラから停止。

アプリケーション情報

リニア・レギュレータによる電力供給

ADES1830/ADES1831 の主電源ピンは、 $5V \pm 0.5V$ の V_{REG} 入力ピンです。図 37 に示すように、DRIVE ピンを用いると、いくつかの部品を外付けしてディスクリート・レギュレータを形成できます。DRIVE ピンは、 $5.7V$ を出力し、 $1mA$ を供給できます。この構成は、NPN トランジスタでバッファされた場合、温度範囲全域にわたり安定な $5V$ を供給します。必要な電源電流を供給できるように、温度範囲全域で十分な大きさのベータ値 (>40) を持つ NPN トランジスタを選択してください。ADES1830/ADES1831 のピーク V_{REG} 電流要件は、isoSPI を介して同時に通信を行っている場合や、ADC 変換を行っている場合、 $30mA$ に達します。 V_{REG} ピンが追加の負荷に対応する必要がある場合は、ベータがより大きいトランジスタが必要になる可能性があります。

NPN トランジスタのコレクタは、モニタされていないセルや非安定化電源を含め、 V -より $6V$ 以上高い任意の電圧源で給電できます。NPN とトランジエントから保護するために、コレクタの電源接続には、 330Ω 、 $10nF$ のデカップリング・ネットワークを推奨します。DRIVE ピンは、NPN のベースに 10Ω 、 $10nF$ の RC を追加してフィルタ処理してください。エミッタには、 V_{REG} ピンをバイパスするのに必要な $1\mu F$ のリザーバ・コンデンサに直列にフェライト・ビーズを取り付ける必要があります。ADES1830/ADES1831 のウェイクアップ時間が長くなるため、これより大きな容量は使用しないでください。適切な放熱性を持つトランジスタを選択してください。ほとんどのシステムでは、コレクタ電圧が高い場合に消費電力が著しくなる可能性があるため、 $1W$ より大きなデバイスを選択することを推奨します。

力電流は、2 つのチャンネル間でフィルタ抵抗を共用する場合、打ち消されます (図 38)。隣接チャンネルとフィルタ抵抗を共用しないようなチャンネルでは、フィルタ抵抗に生じる電圧降下が C-ADC 測定のゲイン誤差の原因になります。このゲイン誤差は、合計 200Ω のフィルタ抵抗に対する最終テスト時に補正されます。したがって、図 38 に示すように、チャンネル間で共用されないセル入力では、 200Ω の抵抗を配置する必要があります。 $10nF$ の差動容量を用いると、カットオフ周波数は約 $80kHz$ となり、 $f_s \sim 4MHz$ において、 $30dB$ を超えるダンピングが得られません。

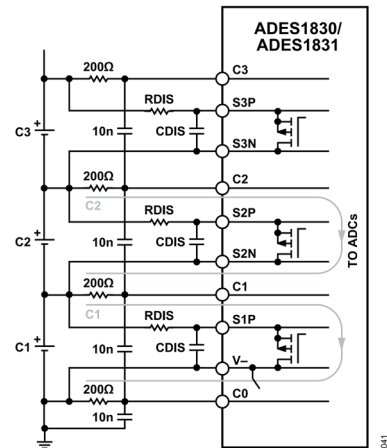


図 38. 入力のフィルタリングおよびバランシング・ネットワーク

2 つの隣接チャンネル間で共用されないフィルタ抵抗 (R_{FILT}) に 200Ω 以外の値を用いると、公称入力抵抗と ADC のサンプリング・オフセット電流により生じるこのチャンネルの測定誤差は、次式で計算できます。

$$V_{ERROR} = -V_{CELL} \times \frac{R_{FILT} - 200 \Omega}{2.2 M\Omega} - (R_{FILT} - 200 \Omega) \times 300 nA \quad (4)$$

例えば、 470Ω のフィルタ抵抗を用いた場合、およそ $V_{ERROR} = -0.5mV$ の測定誤差が生じます。

フィルタ抵抗を 200Ω 以外にしたことによる誤差は、次式を適用することで補償できます。

$$V_{CELL_CORR} = V_{CELL} + V_{CELL} \times \frac{R_{FILT} - 200 \Omega}{2.2 M\Omega} + (R_{FILT} - 200 \Omega) \times 300 nA \quad (5)$$

ここで、

V_{CELL} は対応するセル電圧に対する ADC の読出し値、 R_{FILT} は使用したフィルタ抵抗です。

入力抵抗およびサンプリング・オフセット電流は、C-ADC の仕様 (表 1 参照) に従う代表的な値とは異なる可能性があります。補正後に誤差が残ることがあります。図 39 に、 $R_{FILT} = 470\Omega$ と $R_{FILT} = 1k\Omega$ のフィルタ抵抗に対する補償後の最大および最小残留誤差を、セル電圧の関数として示します。

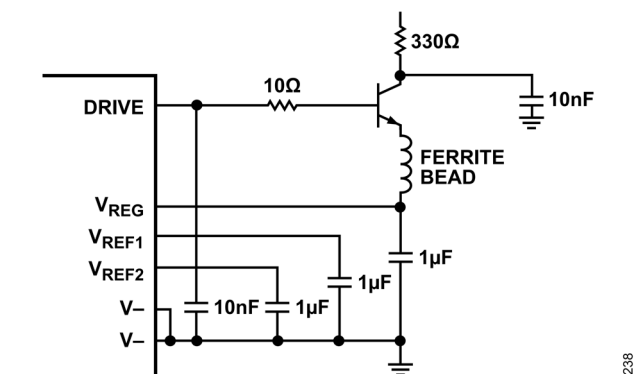


図 37. NPN パス・トランジスタを用いた V_{REG} 電源

入力フィルタ処理

ADES1830/ADES1831 は、マルチプレクサでセル電圧を測定するのではなく、セルごとに専用の ADC を使用します。オーバーサンプリングにより、 $\Delta-\Sigma$ ADC は入力フィルタリング要件を緩和します。各 ADC とデカップリングする RC ロー・パスを追加することで、約 $4MHz$ のサンプリング周波数付近およびこれより高い周波数での高速トランジエント・ノイズのみが、フィルタにより除去できます。

セル電圧を変換する場合、ADES1830/ADES1831 の C-ADC は、 $2.2M\Omega$ の差動入力インピーダンスを示し、差動入力電流はセル電圧が約 $4V$ の場合、約 $1.6\mu A$ になります。隣接チャンネルの入

アプリケーション情報

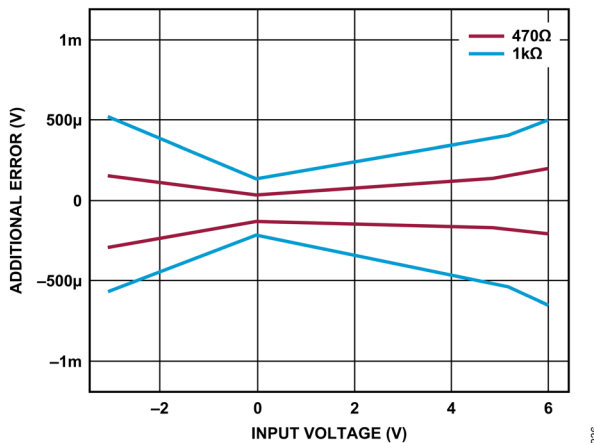


図 39. 補償後のセル電圧残留誤差

2つのセル測定チャンネル間で共用されず、かつ 200Ω とは異なる値の抵抗のみが、補償対象の誤差の原因となります（スタック内で使用される最高測定チャンネルと最低測定チャンネルのみが関係）。

セル・バランスング

ADES1830/ADES1831 には、セルを内部放電または外部放電とバランスさせるために用いることのできる信号 (Sx ピン) があります。セルは、Sx ピンの内蔵 MOSFET を用いて放電できます。あるいは、Sx ピンは、外部トランジスタを駆動するデジタル出力として作用できます。

内蔵 MOSFET を用いたセル・バランスング

パッシブ・バランスングでは、一連のスタック内の 1 つのセルが過充電になった場合、Sx 出力がこのセルを抵抗に接続して緩やかに放電させることができます。各 Sx 出力は、最大オン抵抗が 4Ω の内蔵 MOSFET に接続されています。図 38 に示すように、これらの MOSFET と直列に外部抵抗を接続すると、放電電流を制限し、熱の大半を ADES1830/ADES1831 パッケージの外部に放散させることができます。

内部放電スイッチを用いると、300mA 以下のバランスング電流でパッシブにセル・バランスができます。300mA より大きなバランスング電流は、内部スイッチ用には推奨されません。内部放電スイッチを用いてセルを放電する場合は、ダイ温度をモニタしてください。

C-ADC と S-ADC の結果の比較が確実に有効となるように、Sx ピンのフィルタ・ネットワーク (RDIS および CDIS) の時定数には、Cx ピンのフィルタ・ネットワーク (200Ω および 10nF) の時定数に近い値を選択する必要があります。

外部トランジスタを用いたセル・バランスング

300mA を超えるバランスング電流が必要なアプリケーションでは、Sx 出力を用いて外部トランジスタを制御できます。Sx ピンは、外部 MOSFET のゲートを駆動するのに適したデジタル出力として機能できます。図 40 を参照してください。

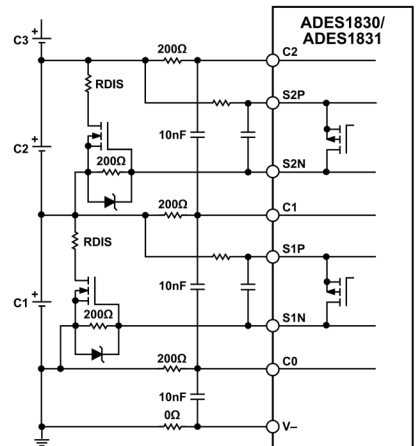


図 40. 外部トランジスタを用いたセル・バランスング

セルの除去

ADES1830/ADES1831 は、モニタするセルが最大の 16 より少ないアプリケーションで使用できます。モニタできるセルの最小値は、V+の最低電源電圧である 11V で与えられます。

ADES1830/ADES1831 でのセルの除去

ADES1830/ADES1831 は、チャージ・ポンプを用いて、チャンネル S1、S2、S3 の PMOS バランスング FET のゲートを駆動し、これらのチャンネルの入力電圧が低い場合でも十分なゲート駆動を確保しています。そのため、次に高いチャンネルでのセル・バランスングが必要な場合に、S1、S2、S3 を取り除いてはなりません。そのため、図 41 に示すように最上部から除去を開始することを推奨します。

最初に使用されるチャンネルは、フィルタ抵抗での入力電流による電圧降下の影響を受け、これは、次に高いセルからのリターン電流では補償されません。この誤差は、次式で補償できます。

$$V_{CELL_CORR} = V_{CELL} + V_{CELL} \times \frac{R_{FILT}}{2.2 \text{ M}\Omega}$$

例えば、未保障の誤差は、通常、以下の程度です。

$$V_{ERROR_UNCOMP} = -V_{CELL} \times \frac{R_{FILT}}{2.2 \text{ M}\Omega} = -4 \text{ V} \times \frac{200 \text{ }\Omega}{2.2 \text{ M}\Omega} = -320 \text{ }\mu\text{V}$$

アプリケーション情報

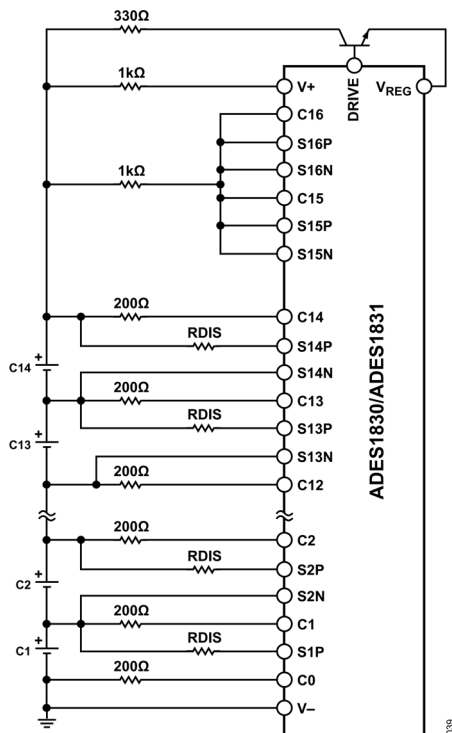


図 41. セルの除去

バス・バーのモニタリングとバイパス

ADES1830/ADES1831 のすべてのセル測定チャンネルは、-2V までの負電圧を測定でき、更に、バス・バーの電圧降下を測定するためにも用いることができます。PMOS のボディ・ダイオー

ドを電流が流れないようにするために、Sx ピンは、バス・バーのいずれかの側から切り離すか、いずれかの側に短絡する必要があります。

バス・バーの電圧を測定する必要がない場合は、ADES1830/ADES1831 のチャンネル 8 とチャンネル 9 の間でバス・バーをバイパスできます。

バス・バーを測定するためにチャンネルを使用する場合、バス・バー電圧は通常セル電圧より大幅に低いため、隣接チャンネルで共用されるフィルタ抵抗の電流は、打ち消されません。

そのため、バス・バー・チャンネルがフィルタ抵抗を共用している隣接チャンネルの測定値に誤差が生じます。それによって生じる誤差は、通常、以下の程度です。

$$V_{ERROR_UNCOMP} = -V_{CELL} \times \frac{R_{FILT}}{2.2 \text{ M}\Omega} = -4 \text{ V} \times \frac{200 \text{ }\Omega}{2.2 \text{ M}\Omega} = -320 \text{ }\mu\text{V}$$

そして、対象チャンネルのセル電圧読み出し値に次の補正を加えることで補償できます。

$$V_{CELL_CORR} = V_{CELL} + V_{CELL} \times \frac{R_{FILT}}{2.2 \text{ M}\Omega}$$

バス・バーを測定チャンネルに接続する場合は、負電圧時に PMOS のボディ・ダイオードに電流が流れないように、Sx ピンを入力と切り離す必要があります。短絡した Sx ピンをバス・バー・コネクタの一方の側に接続することもできます。短絡した Sx ピンを Cx ピンのいずれかに直接接続しないでください。Cx ピンの測定経路にリークが追加され測定誤差の原因となる可能性があるためです。

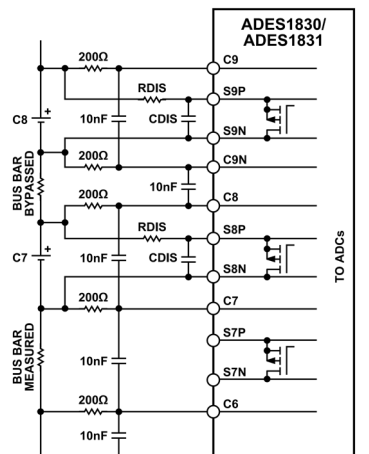


図 42. バス・バーの測定またはバイパス

アプリケーション情報

内部保護

ADES1830/ADES1831 は、堅牢な性能を確保するために、様々な ESD 保護手段を備えています。図 43 に、具体的な保護構造を備えた等価回路を示します。公称クランプ電圧を持つ、ツェナーと同様の動作をするサブレッサが示されています。

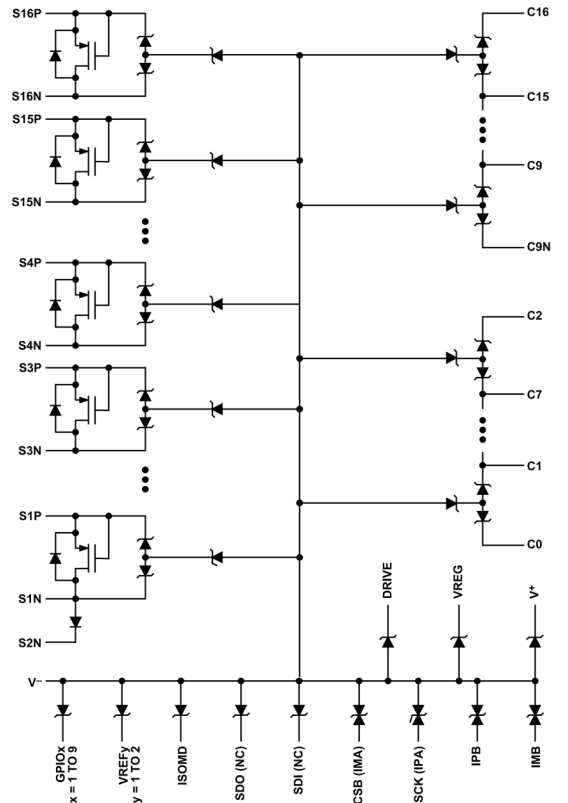


図 43. ADES1830/ADES1831 の内部 ESD 保護構造

電流測定機能

ADES1830/ADES1831 の補助入力の 1 つは、シャント測定 ADC を組み込んで±0.2%の高精度を実現する、電流測定チャンネルとして用いることができます。推奨するアナログ・デバイセズの ADC は ADA4051-1 です。これは、レール to レールの入出力振幅と最大 15μV の極めて低いオフセット電圧を特徴とするゼロドリフト・オペアンプであり、1.8V~5.5V の電源で動作し、電源電流値はアンプ 1 つにつき 13μA (代表値) です。

図 44 に、低センス・シャント測定機能を利用すると同時に 50V/V のゲインを実現する、高精度電流測定システムのアナログ・デバイセズによる回路例を示します。

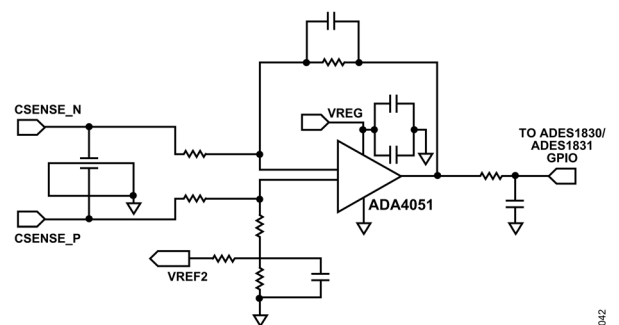


図 44. 電流測定機能の代表的なアプリケーション

外形寸法

Package Drawing (Option)	Package Type	Package Description
CS-72-3	LFCSP_SS	72-Lead 10 mm × 10 mm Body, with Side Solderable Leads

最新のパッケージ外形情報およびランド・パターン（フットプリント）については、[パッケージ一覧](#)を参照してください。

更新：2024年3月8日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADES1830CCSZ	-40°C to +105°C	72-lead LFCSP-CS (10 mm x 10 mm x 0,75 mm)		CS-72-3
ADES1830CCSZ-RL	-40°C to +105°C	72-lead LFCSP-CS (10 mm x 10 mm x 0,75 mm)	Reel, 2000	CS-72-3
ADES1831CCSZ	-40°C to +105°C	72-lead LFCSP-CS (10 mm x 10 mm x 0,75 mm)		CS-72-3
ADES1831CCSZ-RL	-40°C to +105°C	72-lead LFCSP-CS (10 mm x 10 mm x 0,75 mm)	Reel, 2000	CS-72-3

¹ Z = RoHS 準拠製品。

評価用ボード

Model ¹	Package Description
EV-ADES1830CCSZ	Evaluation Board for ADES1830

¹ Z = RoHS 準拠製品。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024年12月19日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2024年12月19日

製品名：ADES1830, ADES1831

対象となるデータシートのリビジョン(Rev)：Rev.A

訂正箇所：45頁、右の段、上から9行目、第2段落の最初の文

【誤】

「**図 27** は、それぞれに 1 つの ADES1830/ADES1831 を含む、複数の同一の PCB の堅牢な相互接続の一例です。」

【正】

「**図 29** は、それぞれに 1 つの ADES1830/ADES1831 を含む、複数の同一の PCB の堅牢な相互接続の一例です。」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024年12月19日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2024年12月19日

製品名：ADES1830, ADES1831

対象となるデータシートのリビジョン(Rev)：Rev.A

訂正箇所：53頁、左の段、「ネットワーク・レイヤ」の項、一番下から右の段の最上段にかけての文

【誤】

「最初の方法と同様、SDO ステータスは、SCKI での $2 \times N$ 個のクロック・サイクル後にのみ有効となり、その後のすべてのクロック・サイクルに対して更新されます (図 35 参照)。」

【正】

「最初の方法と同様、SDO ステータスは、SCKI での $2 \times N$ 個のクロック・サイクル後にのみ有効となり、その後のすべてのクロック・サイクルに対して更新されます (図 36 参照)。」