

16 チャンネル・マルチセル・バッテリー・モニタ

特長

- ▶ 最大 16 個の直列バッテリー・セルを測定
- ▶ 寿命期間における最大合計測定誤差 (TME) :
3.3V/セルで±1.8mV (-40°C~+125°C)
- ▶ セル電圧を同時かつ連続で測定
- ▶ 設定可能な内蔵ローパス・フィルタ処理
- ▶ 高電圧バッテリー・パックに適したスタック可能アーキテクチャ
- ▶ isoSPI インターフェースを内蔵
 - ▶ 2Mbps の絶縁型シリアル通信
 - ▶ 単一のツイスト・ペアを使用、セグメントあたり最大 20m
 - ▶ 低 EMI 感度および低 EMI 放射
 - ▶ 双方向による断線保護
 - ▶ コンデンサまたはトランス結合
- ▶ ホット・プラグ耐性があるため外部の保護が不要
- ▶ プログラマブル PWM 制御を備えたチャンネルあたり最大 300mA のパッシブ・セル・バランスング
- ▶ 最大 10 個の汎用アナログ入力またはデジタル I/O
 - ▶ 温度やその他のセンサー入力
 - ▶ I²C または SPI マスタとして設定可能
- ▶ LPCM によるキーオフ状態でのセルおよび温度モニタリング
- ▶ 4μA のスリープ・モード電源電流
- ▶ 母線に対応

アプリケーション

- ▶ バックアップ・バッテリー・システム
- ▶ グリッド蓄電システム
- ▶ バッテリー・セルおよびバッテリー・パック・マネージメント

標準的なアプリケーション回路

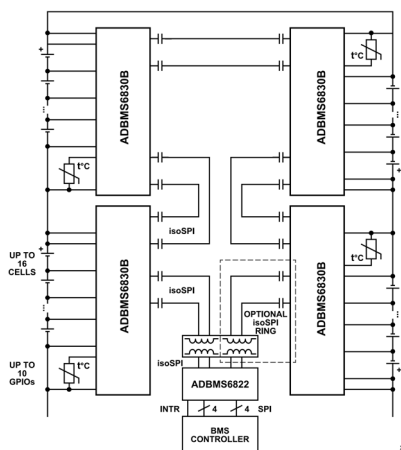


図 1. 標準的なアプリケーション回路

概要

ADBMS6830B は、マルチセル・バッテリー・スタック・モニタで、最大 16 個の直列バッテリー・セルを測定します。寿命期間を通じた合計測定誤差 (TME) は、全温度範囲にわたり 2mV 未満です。ADBMS6830B の測定入力範囲は-2V~+5.5V で、ほとんどのバッテリーの化学組成に適しています。また、母線の電圧も測定できます。測定チャンネルを占有することなく、母線をバイパスすることができます。

2 個の A/D コンバータ (ADC) を個別に使用することで、すべてのセルを同時に重複して測定できます。ADC は 4.096MHz の高いサンプリング・レートで連続動作するため、外付けのアナログ・フィルタ処理を削減でき、エイリアス・フリーの測定結果が得られます。後段のプログラマブル無限インパルス応答 (IIR) フィルタにより、ノイズを大きく減少させることができます。

複数の ADBMS6830B を直列接続できるため、長い高電圧バッテリー・ストリングの同時セル・モニタリングが可能です。各 ADBMS6830B は絶縁型シリアル・ポート・インターフェース (isoSPI™) を備えており、高速で RF 耐性のある長距離通信が可能です。複数のデバイスをデジチェーン接続することで、1 つのホスト・プロセッサに接続できます。このデジチェーンは双方向に動作することができ、通信バスで故障が発生した場合でも通信の完全性を確保できます。

ADBMS6830B は、バッテリー・スタックから給電するか、別個の電源から給電することが可能です。ADBMS6830B はパッシブ・バランスングを備えており、各セルに対して個々にパルス幅変調 (PWM) デューティサイクル制御を行い、最大 300mA の電流を放電できます。その他、内蔵 5V レギュレータ、最大 10 個の GPIO、消費電流を 4μA まで低減するスリープ・モードなどの機能を搭載しています。

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

Rev. 0

アナログ・デバイゼスは、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイゼス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	クリア過電圧/低電圧フラグ・コマンド.....	28
アプリケーション.....	1	セル放電と放電用 PWM.....	29
標準的なアプリケーション回路.....	1	Sx ピンのミュート.....	29
概要.....	1	セル測定および診断時のセル放電.....	30
機能ブロック図.....	4	ウォッチドッグ・タイマおよび放電タイマー.....	31
仕様.....	5	放電タイマー・モニタ.....	31
isoSPI パルスのタイミング仕様.....	8	低消費電力セル・モニタリング.....	32
SPI タイミング条件.....	9	LPCM 動作.....	32
isoSPI のタイミング仕様.....	9	LPCM のブリッジレス・タイムアウト・モニタ.....	36
絶対最大定格.....	10	リバーシブル isoSPI を使用した LPCM.....	38
熱抵抗.....	10	LPCM と放電タイマーの同時使用.....	39
静電放電 (ESD) 定格.....	10	LPCM 拡張状態の遷移図.....	39
ESD に関する注意.....	10	LPCM の消費電力.....	40
ピン配置およびピン機能の説明.....	11	LPCM のシステム診断.....	40
代表的な性能特性.....	13	GPIO を使用した I ² C/SPI マスタ.....	42
動作原理.....	15	COMM レジスタ.....	42
コア回路の状態の説明.....	15	COMM コマンド.....	43
isoSPI 状態の説明.....	17	I ² C および SPI マスタのタイミング仕様.....	45
電源.....	18	シリアル・インターフェースの概要.....	46
セル電圧の測定.....	19	4 線式 SPI の物理層.....	46
C-ADC および S-ADC の動作とコマンド.....	19	2 線式リバーシブル isoSPI の物理層.....	47
連続測定またはシングルショット測定.....	20	ネットワーク層.....	53
冗長測定.....	20	コマンド PEC.....	53
測定中の放電.....	20	データ PEC.....	53
断線スイッチ.....	21	コマンド・カウンタ.....	53
内部デジタル・フィルタ処理.....	21	ポーリングの方法.....	54
GPIO とデバイス・パラメータの測定.....	23	バス・プロトコル.....	56
AUX ADC の動作とコマンド.....	23	コマンド.....	57
システム診断.....	24	全読出しコマンドとスナップショット・コマンド.....	60
セル測定の診断と通知.....	24	全読出しコマンド.....	60
セルの断線検出.....	24	スナップショット・コマンド.....	60
診断付きセル測定のアルゴリズム.....	25	データ保持レジスタ・コマンド.....	60
GPIO 測定の診断.....	26	メモリ・マップ.....	61
GPIO の断線検出.....	26	アプリケーション情報.....	77
通信の診断と通知.....	26	リニア・レギュレータによる電源供給.....	77
サーマル・シャットダウン.....	26	入力フィルタリング.....	77
テスト・モードの検出.....	26	セルのバランスング.....	78
スリープ状態の検出.....	26	セルの削減.....	78
ソフト・リセット・コマンド.....	26	母線のモニタリングおよびバイパス.....	80
リビジョン・コード.....	26	内部保護.....	81
シリアル ID.....	26	外形寸法.....	82
クリア ADC メモリ・コマンド.....	26	オーダー・ガイド.....	83
クリア・フラグ・コマンド.....	27	評価用ボード.....	83

改訂履歴

1/2024—Revision 0: Initial Version

機能ブロック図

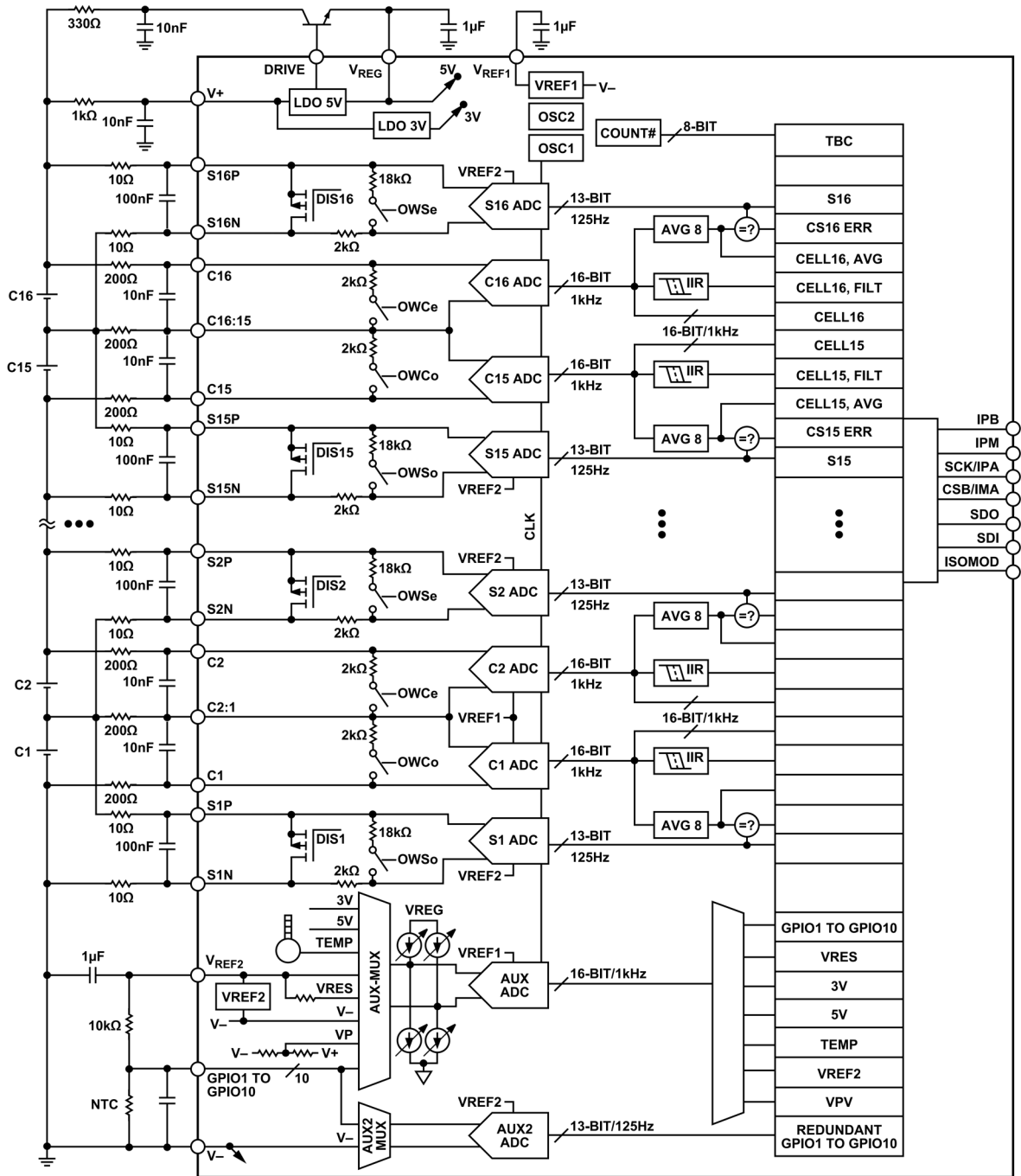


図 2. ADBMS6830B、80 ピン LQFP_EP パッケージ

仕様

特に指定のない限り、仕様は V+ の全動作電圧範囲と全動作ジャンクション温度範囲 ($T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$) に適用されます。

表 1. C-ADC の DC 仕様

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
MEASUREMENT RESOLUTION				0.15		mV/bit
DIFFERENTIAL INPUT RANGE	V_{DIF}	$-0.1\text{ V} < (C_x \text{ to } V^-) < 80\text{ V}$	-2		+5.5	V
ADC OFFSET VOLTAGE ¹				± 0.1		mV
ADC GAIN ERROR ¹				± 0.01		%
ADC UPDATE RATE			0.9	1	1.1	kHz
ADC TRANSITION NOISE				40		$\mu\text{V rms}$
LIFETIME CELL TOTAL MEASUREMENT ERROR	C-TME	$V_{\text{DIF}} \leq \pm 2.0\text{ V}$ $V_{\text{DIF}} \leq 3.3\text{ V}$ $V_{\text{DIF}} \leq 4.5\text{ V}$ $V_{\text{DIF}} \leq 5.5\text{ V}$			± 1.5 ± 1.8 ± 2 ± 3	mV mV mV mV
INPUT LEAKAGE CURRENT		ADC off		0	± 250	nA
DIFFERENTIAL INPUT RESISTANCE	$R_{\text{IN_ADC}}$	ADC on	1.6	2.2	3	M Ω
DIFFERENTIAL INPUT RESISTANCE DURING OPEN WIRE DETECTION				1.75		k Ω
ADC SAMPLING FREQUENCY	f_s		3.7	4.1	4.5	MHz

¹ ADC の仕様は、合計測定誤差の仕様により確保されています。

表 2. S-ADC の DC 仕様

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
MEASUREMENT RESOLUTION				1.5 ¹		mV/bit
INPUT RANGE	$V_{\text{DIF_S}}$	$-0.1\text{ V} < (S_x \text{ to } V^-) < 80\text{ V}$	-0.3		+5.5	V
ADC OFFSET VOLTAGE ²				± 0.2		mV
ADC GAIN ERROR ²				± 0.03		%
ADC UPDATE RATE			110	125	140	Hz
ADC TRANSITION NOISE				20		$\mu\text{V rms}$
S-ADC TOTAL MEASUREMENT ERROR	S-TME	$0\text{ V} \leq V_{\text{DIF_S}} \leq 4.5\text{ V}$ $V_{\text{DIF_S}} \leq 5.5\text{ V}$			± 7 ± 8	mV mV
INPUT LEAKAGE CURRENT		ADC off, $V_{\text{DIF_S}} = 5.5\text{ V}$		10	± 300	nA
DIFFERENTIAL INPUT RESISTANCE		ADC on	1	1.8	2.6	M Ω
DIFFERENTIAL INPUT RESISTANCE DURING OPEN WIRE DETECTION				20		k Ω
GAIN DURING OPEN WIRE DETECTION		No open wire fault	85	90	95	%
ADC SAMPLING FREQUENCY	f_s		3.7	4.1	4.5	MHz

¹ S-ADC 結果レジスタは、C-ADC の結果に重み付けされて正規化されます。これにより、同じ電圧変換関数を適用できます。詳細については、レジスタの説明を参照してください。

² ADC の仕様は、合計測定誤差の仕様により確保されています。

仕様

表 3. 補助 (AUX) ADC の DC 仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
MEASUREMENT RESOLUTION			0.15		mV/bit
INPUT RANGE	GPIOx to V-	-0.3		V _{REG}	V
ADC OFFSET VOLTAGE ¹			-0.2		mV
ADC GAIN ERROR ¹			±0.01		%
ADC UPDATE RATE		0.9	1	1.1	kHz
ADC TRANSITION NOISE			50		μV rms
GPIOx TOTAL MEASUREMENT ERROR	0 V < GPIOx to V- ≤ 3.3 V			±2.8	mV
	3.3 V < GPIOx to V- ≤ 5 V			±4.2	mV
DIAGNOSTIC MEASUREMENTS	Internal temperature, T = maximum specified temperature		±5		°C
	V _{REG} pin		±0.1	±0.25	%
	V _{REF2} , V _{RES}		±0.02	±0.2	%
	Digital supply voltage, V _{REGD}		±0.1	±1.6	%
	V+ to V-, V+ > 20 V	-1	±0.05	+0.5	%
	-0.1 V ≤ S1N to V- ≤ 0.1 V		±0.02	0.2	%
INPUT LEAKAGE CURRENT	AUX ADC off, GPIOx = 5 V		10	±250	nA
INPUT RESISTANCE	AUX ADC on	1.5	2.7	3.5	MΩ
INPUT CURRENT DURING OPEN WIRE DETECTION	Pull-down current: GPIOx > 1.5 V	-140	-200	-260	μA
	Pull-up current: GPIOx < V _{REG} - 1.5 V	140	200	260	μA
ADC SAMPLING FREQUENCY		3.7	4.1	4.5	MHz

¹ ADC の仕様は、合計測定誤差の仕様により確保されています。

表 4. AUX2 ADC の DC 仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
MEASUREMENT RESOLUTION			1.5 ¹		mV/bit
INPUT RANGE	GPIOx to V-	-0.3		V _{REG}	V
ADC OFFSET VOLTAGE ²			±0.2		mV
ADC GAIN ERROR ²			±0.05		%
ADC UPDATE RATE		110	125	140	Hz
ADC TRANSITION NOISE			25		μV rms
GPIOx TOTAL MEASUREMENT ERROR	0 V ≤ GPIOx to V- ≤ 3.3 V			±6	mV
	3.3 V < GPIOx to V- ≤ 5 V			±8	mV
INPUT LEAKAGE CURRENT	AUX2 ADC off, GPIOx = 5 V		10	±250	nA
INPUT RESISTANCE	AUX2 ADC on	1.5	2.7	3.5	MΩ
ADC SAMPLING FREQUENCY		3.7	4.1	4.5	MHz

¹ AUX2 ADC 結果レジスタは、AUX ADC の結果に重み付けされて正規化されます。これにより、同じ電圧変換関数を適用できます。詳細については、レジスタの説明を参照してください。

² ADC の仕様は、合計測定誤差の仕様により確保されています。

仕様

表 5. 電圧リファレンスの仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
FIRST REFERENCE VOLTAGE	V _{REF1} pin, no load	3	3.2	3.3	V
FIRST REFERENCE VOLTAGE TEMPERATURE COEFFICIENT (TC)	V _{REF1} pin, no load		3		ppm/°C
FIRST REFERENCE VOLTAGE HYSTERESIS	V _{REF1} pin, no load		20		ppm
FIRST REFERENCE VOLTAGE LONG-TERM DRIFT	V _{REF1} pin, no load		20		ppm/√kHr
SECOND REFERENCE VOLTAGE	V _{REF2} pin, no load	2.994	3	3.006	V
	V _{REF2} pin, 1 kΩ load to V-	2.994	3	3.006	V
OUTPUT CURRENT	ΔV _{REF2} < ± 2 mV	-0.2		+5	mA
SECOND REFERENCE VOLTAGE TC	V _{REF2} pin, no load		10		ppm/°C
SECOND REFERENCE VOLTAGE HYSTERESIS	V _{REF2} pin, no load		100		ppm
SECOND REFERENCE VOLTAGE LONG-TERM DRIFT	V _{REF2} pin, no load		60		ppm/√kHr

表 6. 全般的な DC 仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
V+ SUPPLY CURRENT (See Figure 14)	Core in sleep, isoSPI in idle				
	Core in sleep, isoSPI in idle, V _{REG} = 0 V, V+ = 60 V		4	10	μA
	Core in sleep, isoSPI in idle, V _{REG} = 5 V, V+ = 60 V		2	5	μA
	Core in standby or extended balancing, V+ = 60 V	4	10	24	μA
	Core in REFUP or measure or discharge timer monitor (DTM) measure, V+ = 60 V	0.3	0.5	0.65	mA
V _{REG} SUPPLY CURRENT (See Figure 14)					
I _{REG} (CORE, MEASURE) = I _{REG} (CORE, REFUP) + I _{REG} (CORE, ADCs ON)	Core in sleep, isoSPI in idle, V _{REG} = 5 V		2.2	8	μA
	Core in standby	3	10	25	μA
	Core in REFUP	2	2.3	3	mA
	Core in measure or DTM, additional current C-ADCs on	4	4.5	5	mA
	Core in measure, additional current S-ADCs on	3	3.9	4.5	mA
	Core in measure, additional current AUX ADCs on	0.4	0.55	0.75	mA
ADDITIONAL V _{REG} SUPPLY CURRENT IF isoSPI IN READY OR ACTIVE STATE AND t _{CLK} = 0.5 μs ¹	isoSPI in idle state		0		mA
	ISOMD = 0, ready	2.6	3.2	3.9	mA
	ISOMD = 0, active	7	8.5	11.5	mA
	ISOMD = 1, ready	3.1	3.7	4.4	mA
	ISOMD = 1, active write	7.5	9	12	mA
	ISOMD = 1, active read	12.5	14	18	mA
ADDITIONAL V _{REG} SUPPLY CURRENT FROM DISCHARGING	DCT = 0 and no cell discharge enabled		0		μA
	DCT ≠ 0 and/or some cell discharges asserted	10	40	130	μA
V+ SUPPLY VOLTAGE	TME specifications met	11	40	80	V
V _{REG} SUPPLY VOLTAGE		4.5	5	5.5	V
THERMAL SHUTDOWN PROCEDURE			150		°C
DISCHARGE SWITCH ON RESISTANCE	SxN = 0 V (x = 1, 2, or 3), SxP = 6 V (x > 3)	0.5	1	4	Ω
DRIVE PIN OUTPUT					
Output Voltage (V _{DRIVE})	T _A = 25°C	5.6	5.7	5.8	V
Output Current	ΔV _{DRIVE} < ±100 mV	-0.2		+1	mA
Temperature Coefficient			-1.6		mV/°C

¹ アクティブ状態の電流値は DC 測定値から計算されています。isoSPI ポートで 2MHz の通信が続けられている間、アクティブ状態の電流値は V_{REG} に追加で供給される平均電源電流値になります。クロック・レートが遅くなると電源電流は減少します。

仕様

表 7. 動作タイミング仕様

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
REGULATOR START-UP TIME	t_{WAKE}	V_{REG} generated from DRIVE pin		200	500	μs
WATCHDOG OR DISCHARGE TIMER	t_{SLEEP}	DCTO[3:0] = 0000	1.8	2	2.2	sec
REFERENCE WAKE-UP TIME	t_{REFUP}	Added to the conversion time when starting from the standby state. $t_{REFUP} = 0$ when starting from other states. t_{REFUP} is independent of the number of channels measured and the ADC mode.	2.7	3.5	4.4	ms
PWM DISCHARGE PERIOD				937		ms

表 8. デジタル・ピンの DC 仕様

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
DIGITAL INPUT VOLTAGE HIGH	V_{IH}	CSB, SCK, SDI, ISOMD, GPIOx	2.3			V
DIGITAL INPUT VOLTAGE LOW	V_{IL}	CSB, SCK, SDI, ISOMD, GPIOx			0.8	V
DIGITAL INPUT LEAKAGE CURRENT	$I_{LEAK(DIG)}$	SDI, ISOMD, GPIOx, SDO at 5 V CSB, SCK at 5 V CSB, SCK at 3.5 V			± 1 10 1	μA μA μA
DIGITAL OUTPUT, LOW SDO, GPIOx	$V_{OL(SDO, GPIO)}$	Sinking 4 mA			0.3	V

表 9. isoSPI の仕様

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
TRANSMITTER PULSE AMPLITUDE	V_A	$V_A = V_{IP} - V_{IM} $, termination resistance = 50 Ω	1	1.25	1.6	V
RECEIVER THRESHOLD SETTING	V_{RX}		240	300	360	mV
LEAKAGE CURRENT ON IPx AND IMx PINS	$I_{LEAK(IP/IM)}$	Idle state, V_{IP} or V_{IM} , 0 V to V_{REG}			10	μA
TRANSMITTER DRIVE CURRENT		V_{CM} set by the driver		25		mA
COMMON-MODE VOLTAGE	V_{CM}	$T_A = 25^\circ C$, IPx and IMx pins not driving		3.2		V
RECEIVER INPUT RESISTANCE	R_{IN}	ISOMD = 1, ready state IPA, IMA ISOMD = 1, ready state IPB, IMB	35 100			k Ω k Ω
DIFFERENTIAL WAKE-UP VOLTAGE	V_{WAKE}	$t_{DWELL} \geq 240$ ns	400			mV
START-UP TIME AFTER WAKE DETECTION	t_{READY}				10	μs
IDLE TIMEOUT DURATION	t_{IDLE}		4.3	5.5	6.7	ms

isoSPI パルスのタイミング仕様

表 10. isoSPI パルスのタイミング仕様

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
CHIP SELECT						
Half Pulse Width	$t_{\frac{1}{2}PW(CS)}$	Transmitter	120	150	180	ns
Signal Filter	$t_{FILT(CS)}$	Receiver	70	90	110	ns
Pulse Inversion Delay	$t_{INV(CS)}$	Transmitter	120	155	190	ns
Valid Pulse Window	$t_{WNDW(CS)}$	Receiver	220	270	330	ns
DATA						
Half Pulse Width	$t_{\frac{1}{2}PW(D)}$	Transmitter	40	50	60	ns
Signal Filter	$t_{FILT(D)}$	Receiver	10	25	35	ns
Pulse Inversion Delay	$t_{INV(D)}$	Transmitter	40	55	65	ns
Valid Pulse Window	$t_{WNDW(D)}$	Receiver	70	90	110	ns

絶対最大定格

SPI タイミング条件

表 11. SPI タイミング条件

Symbol	Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
$t_{CLK}^{1,2}$	SCK period		0.5			μ s
t_1^2	SDI setup time before SCK rising edge		25			ns
t_2^2	SDI hold time after SCK rising edge		100			ns
t_3^2	SCK low	$t_{CLK} = t_3 + t_4 \geq 0.5 \mu$ s	100			ns
t_4^2	SCK high	$t_{CLK} = t_3 + t_4 \geq 0.5 \mu$ s	100			ns
t_5^2	CSB rising edge to CSB falling edge		2			μ s
$t_6^{1,2}$	SCK rising edge to CSB rising edge		0.5			μ s
$t_7^{1,2}$	CSB falling edge to SCK rising edge		0.5			μ s

¹ これらのタイミング仕様は、ケーブルによる遅延に依存し、それぞれの方向に 50ns の遅延を許容値として含みます。50ns は、10m の Cat-5 ケーブル（伝搬速度は光速の 66%）に相当します。長いケーブルを使用する場合は、遅延の増加分を考慮した仕様のデイレティンクが必要となります。

² この仕様は全動作温度範囲に適用されます。

isoSPI のタイミング仕様

表 12. isoSPI のタイミング仕様

Symbol	Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
$t_8^{1,2}$	SCK falling edge to SDO valid				60	ns
t_9^2	SCK rising edge to short ± 1 transmit		230	265	300	ns
t_{10}^2	CSB transition to long ± 1 transmit				100	ns
$t_{11}^{1,2}$	CSB rising edge to SDO rising				200	ns
t_{RTN}^2	Data return delay		150	185	220	ns
$t_{DSY(CS)}^2$	Chip select daisy-chain delay		100	160	200	ns
$t_{DSY(D)}^2$	Data daisy-chain delay		280	330	380	ns
t_{LAG}^2	Data daisy-chain lag (vs. chip select)	$(t_{DSY(D)} + t_{1/2PW(D)}) - (t_{DSY(CS)} + t_{1/2PW(CS)})$	0	70	100	ns
$t_{5(GOV)}^2$	Chip select high to low pulse governor		0.54	0.67	0.85	μ s
$t_{6(GOV)}^2$	Data to chip select pulse governor		0.69	0.86	1.1	μ s
t_{BLOCK}^2	isoSPI port reversal blocking window		2		10	μ s

¹ これらの仕様には、SDO の立上がり時間および立下がり時間は含まれていません。立下がり時間（内部プルダウン・トランジスタによる 5ns（代表値））は問題となりませんが、立上がりエッジの遷移時間（ t_{RISE} ）は、SDO ピンのプルアップ抵抗と負荷容量によって異なります。時定数は、SDO が MCU のセットアップ・タイムの要件を満たすように選ぶ必要があります。

² この仕様は全動作温度範囲に適用されます。

絶対最大定格

表 13. 絶対最大定格

Parameter	Rating
Total Supply Voltage, V+ to V-	-0.3 V to +85 V
Input Pins (Relative to V-)	
Cx (x ≤ 16)	-0.3 V to +85 V
S1N, S1P, S2N	-0.3 V to +12 V
S2P, S3N, S3P	-0.3 V to +22 V
Sx (4 ≤ x ≤ 16)	-0.3 V to +85 V
IPA ¹ , IMA ¹ , IPB, IMB	-15 V to +15 V
DRIVE	-0.3 V to +7 V
All Other Pins	-0.3 V to +6 V
Voltage Between Input Pins	
SxP to SxN	-0.3 V to +12 V
S2N to S1N	-0.3 V to +12 V
C16 to C16:15	-6 V to +12 V
C16:15 to C15	-6 V to +12 V
...	
C2:1 to C1 (ADBMS6830B in LQFP_EP)	-6 V to +12 V
Current In and Out of Pins	
SxP to SxN (Discharge Switched Closed)	350 mA
SxN to SxP (Discharge Switch Open)	10 mA
Sx When Pulled Below V-	10 mA
IPA ¹ , IMA ¹ , IPB, IMB	40 mA
V _{REG}	30 mA
All Other Pins	10 mA
Temperature	
Operating Range	-40°C to +125°C
Junction	150°C
Storage Range	-65°C to +150°C
Lead (Soldering, 10 sec)	300°C

¹ IPA と SCK は同じピンです。IMA と CSB は同じピンです。これらのピンの絶対最大定格は、ポート A が SPI モード (CSB および SCK) に設定されているか、isoSPI モード (IPA および IMA) に設定されているかによって異なります。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

表 14. 熱抵抗

Package Type ¹	θ _{JA} ²	θ _{JCBOT}	θ _{JCTOP}	Unit
05-08-1783	18.5	1.4	19.2	°K/W

¹ 適切な温度管理を行うため、露出パッドは V-プレーンに接続する必要があります。

² 基板レイアウトは θ_{JA} などの熱特性に影響を与えます。

θ_{JA} は、1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲環境の間の熱抵抗です。

θ_{JCBOT} は、底部のジャンクション-ケース間の熱抵抗です。

θ_{JCTOP} は、上部のジャンクション-ケース間の熱抵抗です。

静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 準拠の帯電デバイス・モデル (CDM)。

ADBMS6830B の ESD 定格

表 15. ADBMS6830B、80 ピン LQFP_EP

ESD Model	Withstand Threshold (V)	Class
HBM	±3500	2
CDM	±500	C2B
	Corners pins: ±750	

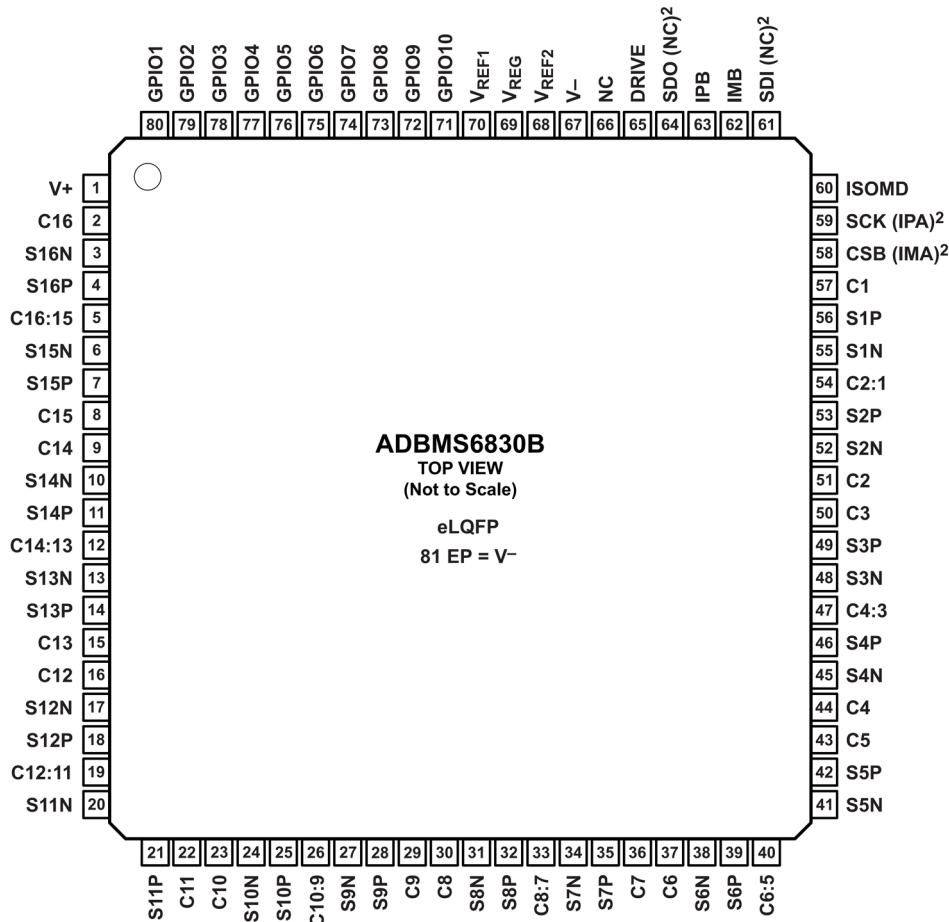
ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



1 THIS PIN MUST BE CONNECTED TO V-.
 2 THE FUNCTION OF THESE PINS DEPENDS ON THE CONNECTION OF ISOMD:
 ISOMD TIED TO V-: CSB, SCK, SDI, SDO
 ISOMD TIED TO VREG: IPA, IMA, NC.
 NOTE
 1. EXPOSED PAD. CONNECT THE EXPOSED PAD TO V-.

002

図 3.80 ピン LQFP_EP のピン配置

表 16. ピン機能の説明

ピン番号 (LQFP_EP)	記号	説明
1	V+	正側電源ピン。
2, 5, 8, 9, 12, 15, 16, 19, 22, 23, 26, 29, 30, 33, 36, 37, 40, 43, 44, 47, 50, 51, 54, 57	C16 to C1	セル測定 ADC の差動入力。
	C9N	9 番目の C 測定チャンネルの負端子。使用法の詳細については、 母線のモニタリングおよびバイパスのセクション を参照してください。
3, 4, 6, 7, 10, 11, 13, 14, 17, 18, 20, 21, 24, 25, 27, 28, 31, 32, 34, 35, 38, 39, 41, 42, 45, 46, 48, 49, 52, 53, 55, 56	S16P to S1P, S16N to S1N	バランス入出力。16 個の P チャンネル金属酸化膜半導体電界効果トランジスタ (PMOSFET) が SxP と SxN の間に接続されています。S-ADC の入力です。
58, 59	IMA, IPA	絶縁型の 2 線式シリアル・インターフェース・ポート A。IPA (プラス) と IMA (マイナス) は差動入出力ペアです。
58, 59, 61, 64	CSB, SCK, SDI, SDO	4 線式 SPI。アクティブ・ロー・チップ・セレクト (CSB)、シリアル・クロック (SCK)、シリアル・データ入力 (SDI) はデジタル入力です。シリアル・データ出力 (SDO) は、オープン・ドレインの N チャンネル金属酸化膜半導体 (NMOS) 出力ピンです。SDO には、1kΩ のプルアップ抵抗が必要です。

ピン配置およびピン機能の説明

表 16. ピン機能の説明

ピン番号	記号	説明
60	ISOMD	シリアル・インターフェース・モード。ISOMD を V_{REG} に接続すると、ADBMS6830B は 2 線式絶縁型インターフェース (isoSPI) モードになります。ISOMD を $V-$ に接続すると、ADBMS6830B は 4 線式 SPI モードになります。
62, 63	IMB, IPB	絶縁型の 2 線式シリアル・インターフェース・ポート B。IPB (プラス) と IMB (マイナス) は差動入出力ペアです。
65	DRIVE	外付けの negative positive negative (NPN) トランジスタのベースをこのピンに接続してください。コレクタは $V+$ 、エミッタは V_{REG} に接続してください。
66	NC	未接続のまま (推奨) にするか、 $V-$ に接続してください。
67	$V-$	負電源ピン。 $V-$ ピンは互いに短絡し、IC の外部に接続してください。
68	V_{REF2}	複数の 10k Ω サーマスタを駆動するバッファ用の第 2 リファレンス電圧。1 μ F の外付けコンデンサでバイパスしてください。
69	V_{REG}	5V レギュレータ入力。1 μ F の外付けコンデンサでバイパスしてください。
70	V_{REF1}	ADC のリファレンス電圧。1 μ F の外付けコンデンサでバイパスしてください。DC 負荷を加えてはなりません。
71 to 80	GPIO10 to GPIO1	汎用入出力。デジタル入力、デジタル出力、または $V-$ ~5V の測定範囲を持つアナログ入力として使用できます。GPIO3~GPIO5 は、I ² C または SPI ポートとして使用できます。
	Exposed Pad	露出パッド。露出パッドは $V-$ に接続してください。

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

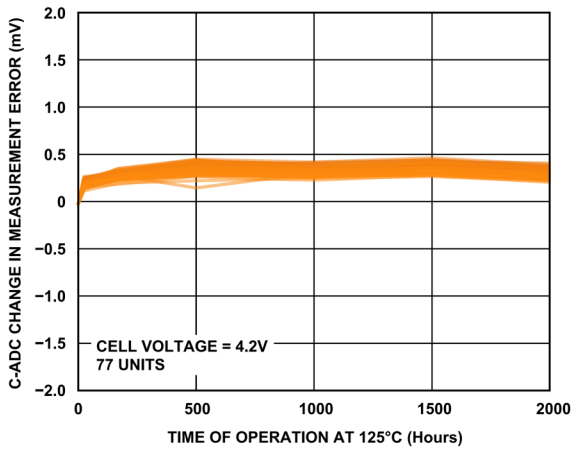


図 4. 125°C での C-ADC 測定誤差の変化と動作時間の関係

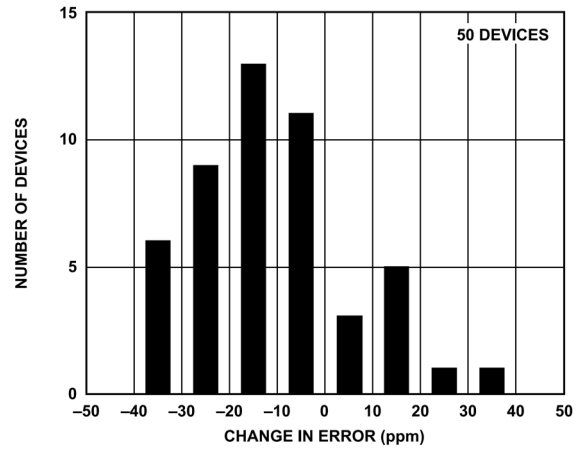


図 7. IR リフローによる C-ADC ゲイン誤差

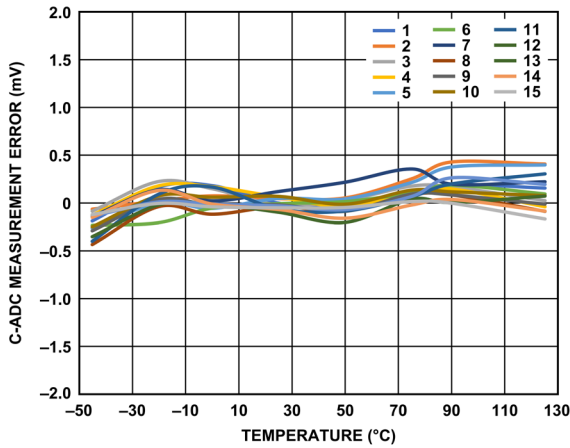


図 5. 15 個のデバイスについての 4.2V の C-ADC 測定誤差と温度の関係

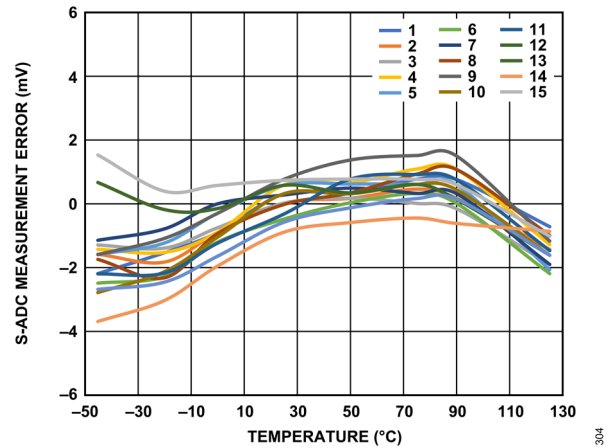


図 8. 15 個のデバイスについての 4.2V の S-ADC 測定誤差と温度の関係

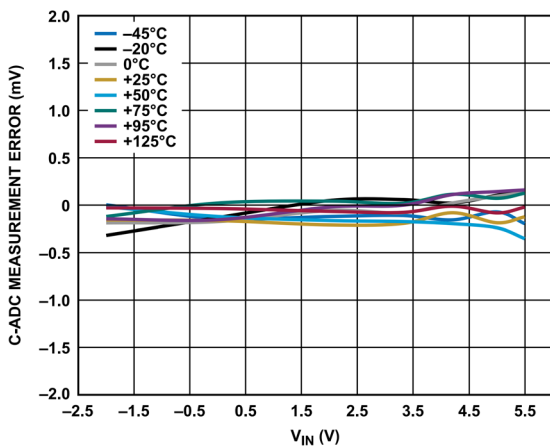


図 6. C-ADC 測定誤差と入力電圧 (V_{IN}) の関係

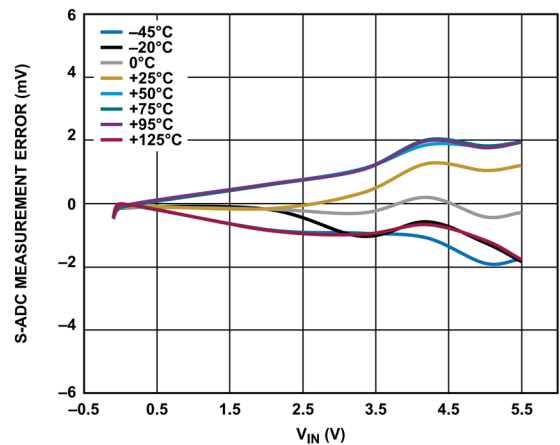


図 9. S-ADC 測定誤差と V_{IN} の関係

代表的な性能特性

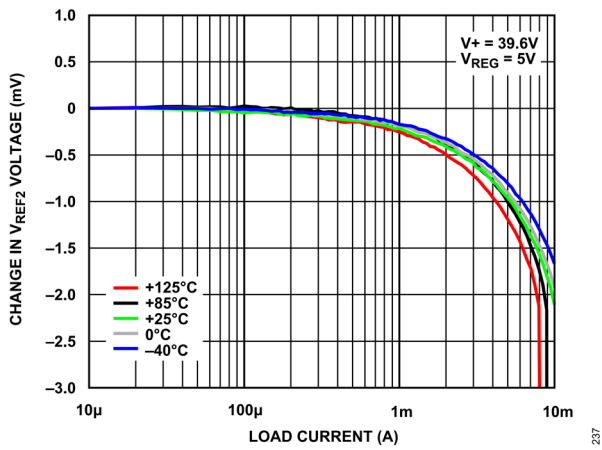


図 10. V_{REF2} 電圧の変化と負荷電流の関係

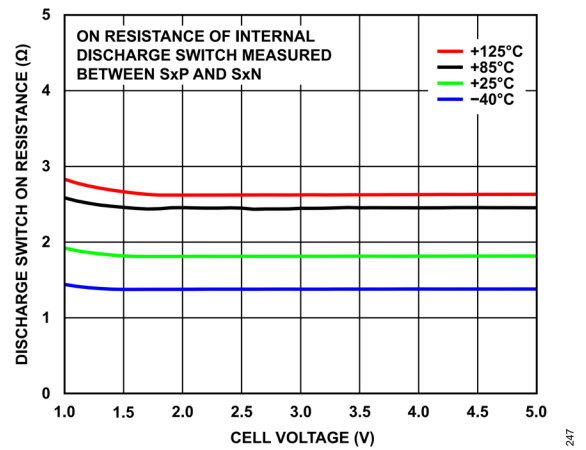


図 12. 放電スイッチのオン抵抗とセル電圧の関係

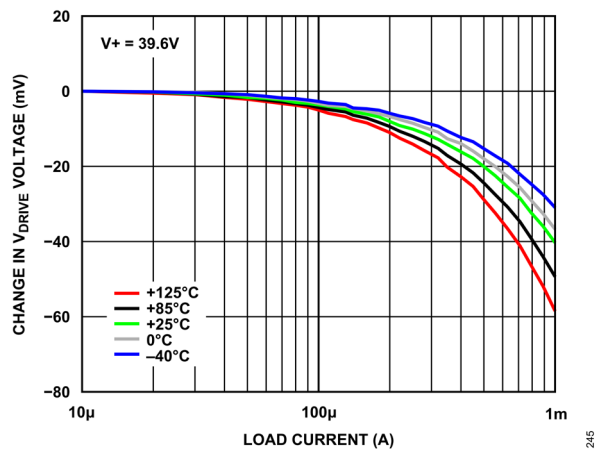
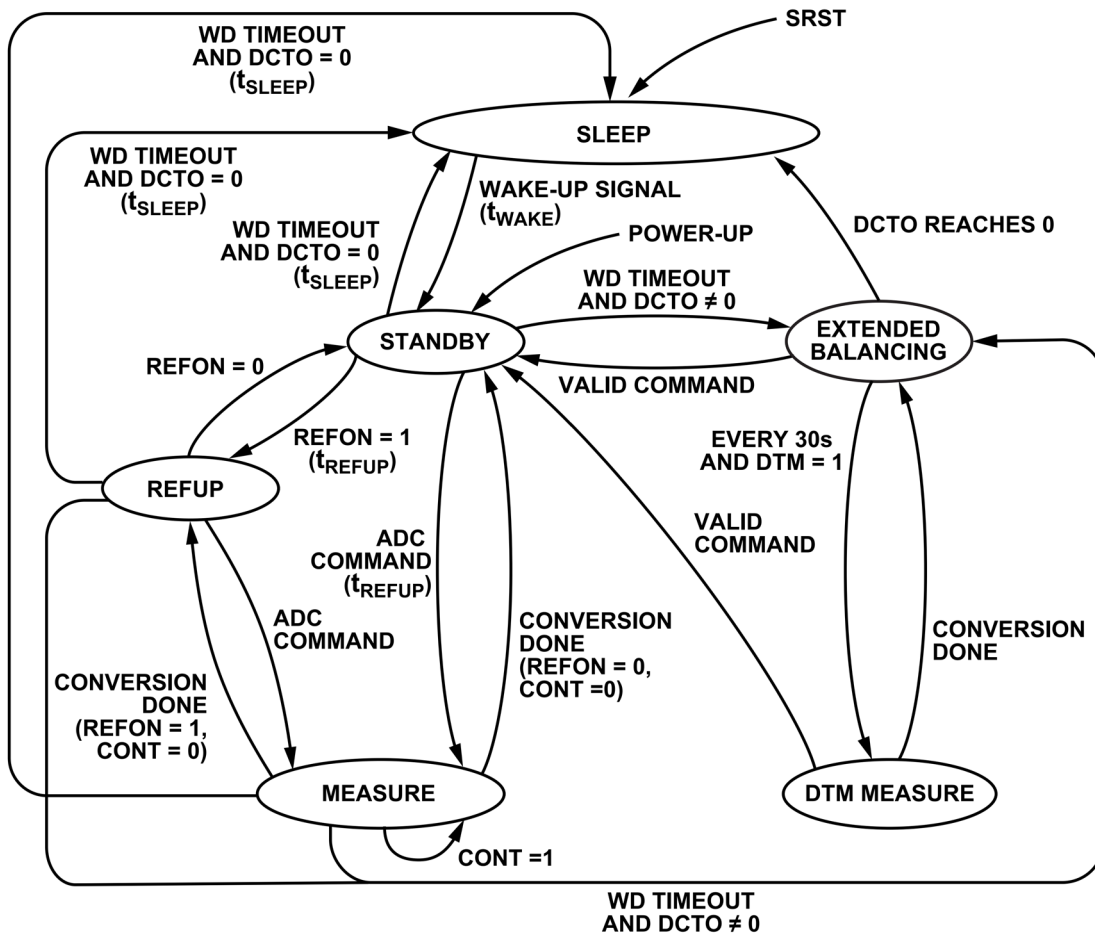


図 11. V_{DRIVE} 電圧の変化と負荷電流の関係

動作原理

コア回路の状態の説明



004

図 13. コア回路の状態遷移図

動作原理

スタンバイ状態

最初のパワーアップ時またはパワーオン・リセット (POR) 後、本デバイスはリセットされスタンバイ状態に入ります。スタンバイ状態では、ADBMS6830B との通信が可能で、PWM レジスタ・グループに書き込むことによりセルの放電とバランスングをイネーブルできます。リファレンスと ADC はオフになります。ウォッチドッグ・タイマと放電タイマーは動作しています。DRIVE ピンによって制御される外部トランジスタを通じて、DRIVE ピンは V_{REG} ピンに 5.2V の電力を供給します。 V_{REG} は、外部ソースから給電することも可能です。この場合、DRIVE ピンをフロート状態にすることで競合が生じないように、内部レギュレータをディスエーブルする必要があります。スタンバイ状態では、IC は PWM 放電を処理することができます。

有効な ADC コマンドを受信するか、設定レジスタ・グループ A の REFON ビットが 1 にセットされた場合、IC は t_{REFUP} の間一時停止してリファレンスをパワーアップさせます。その後、IC は REFUP 状態または測定状態に入ります。その他、 t_{SLEEP} の間、有効なコマンドを受信しなかった場合、 $DCTO = 0$ のとき IC はスリープ状態に戻り、 $DCTO \neq 0$ のとき拡張バランスング状態に入ります。

スリープ状態

ウォッチドッグ・タイマがタイムアウトになると、ADBMS6830B はスリープ状態に入り消費電力を最小限に抑えます。リファレンスと ADC はパワーダウンします。isoSPI ポートはアイドル状態になります。DRIVE ピンは 0V になります。内部 3V レギュレータが電力を供給することにより、ウェイクアップ信号の検出と、データ保持レジスタ内にある 6 バイトのユーザ・プログラマブル・データの保持を行います。その他のレジスタはすべてデフォルト値にリセットされます。ウェイクアップ信号を受信すると、ADBMS6830B はスタンバイ状態に入ります。

REFUP 状態

REFUP 状態に入るには、WRCFGA コマンドを使用して、設定レジスタ・グループ A の REFON ビットを 1 にセットする必要があります。REFUP 状態では、ADC はオフになります。リファレンスをパワーアップすることにより、ADBMS6830B はスタンバイ状態から開始するよりも早く ADC 変換を開始できます。

有効な ADC コマンドを受信すると、IC は測定状態に入り変換を開始します。それ以外の場合、REFON ビットが 0 にセットされると ADBMS6830B はスタンバイ状態に戻ります。 t_{SLEEP} の間、有効なコマンドを受信しなかった場合、IC は $DCTO = 0$ でスリープ状態に戻り、 $DCTO \neq 0$ で拡張バランスング状態に入ります。

測定状態

有効な ADC コマンド (ADCV、ADSV、ADAX、ADAX2) を受信すると、ADBMS6830B は測定状態に入り ADC 変換を実行します。この状態に入ると、リファレンスと ADC はパワーアップします。

ADC コマンドの CONT ビットが 0 にセットされている場合、ADBMS6830B は ADC コマンドに従ってシングル変換サイクルを実行し、対応する結果レジスタを更新してからスタンバイ状態または REFUP 状態に戻ります。

ADC コマンドの CONT ビットが 1 にセットされている場合、ADBMS6830B は ADC コマンドに従って変換サイクルを連続して実行し、対応する結果レジスタを 1kHz の更新レートで更新します。そして、ADC の結果を対応する IIR フィルタに送ります。IIR フィルタは、フィルタ設定レジスタによって予め設定されています (詳細については、[内部デジタル・フィルタ処理](#)のセクションを参照)。変換中に新しい ADCV、ADSV、ADAX、または ADAX2 コマンドを受信した場合、対象の ADC で実行中の変換は停止され、新しい測定が開始されます。これにより、スタックにおける複数の ADBMS6830B の再同期が可能です。

拡張バランスング状態と DTM 測定状態

DTM 測定状態では、ADBMS6830B はホスト・コントローラと通信することなく PWM バランスングと放電タイマーをアクティブにしなが、セル電圧を一定の間隔でモニタします。この機能を有効にするには、ホストで PWM バランスングの設定、すべての DCC ビットのクリア、および DTMEN ビットの設定を行う必要があります。

ウォッチドッグ・タイマが切れ、放電タイマー・モニタがイネーブルでタイムアウトになっていない場合、ADBMS6830B は拡張バランスング状態に入り、設定された PWM 放電を続けます。この状態に入ると、ADBMS6830B は 30 秒ごとに DTM 測定状態に遷移し、セル電圧を測定します。そして測定結果を過電圧 (OV) 閾値および低電圧 (UV) 閾値と比較し、それに応じてステータス・レジスタの OV フラグと UV フラグを更新します。いずれかのセルが UV 閾値に達した場合、ADBMS6830B はそのセルの放電を停止します。セル電圧が UV 閾値を超える値に復帰すると、そのセルの放電を再開します。

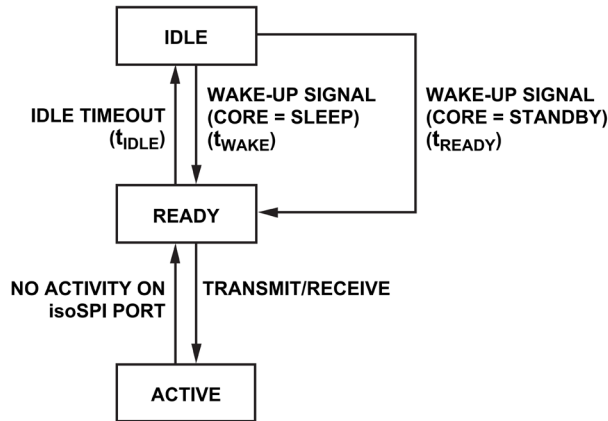
低消費電力セル・モニタリング (LPCM) ハートビート・モードまたは DTM 測定状態でセル測定が実行されている場合、放電はミュートされません。その結果、セルの配線抵抗を流れる放電電流で電圧が降下することにより、測定に影響を及ぼします。PWM 放電は ADC 測定とは非同期で発生します。そのため、電圧降下によって測定値が変わるかどうかを予測できません。配線抵抗と放電電流によっては、意図した電圧閾値 (VOV、VUV、CMT_CUV、CMT_COV) で正確にチェックできない場合があります。

ADBMS6830B は、有効なコマンドを受信するとスタンバイ状態に遷移します。また、放電タイムアウト (DCTO) 値が切れるとスリープ状態に遷移します。DCTO 値が切れなくても PWM バランスングは継続します。

動作原理

isoSPI 状態の説明

ADBMS6830B は、デジチェーン接続での通信用にポート A とポート B の 2 つの isoSPI ポートを備えています。



NOTES

1. STATE TRANSITION DELAYS ARE DENOTED BY (t_x).

図 14. isoSPI の状態遷移図

アイドル状態

アイドル状態では、isoSPI ポートはパワーダウンします。

isoSPI ポート A またはポート B がウェイクアップ信号を受信すると、isoSPI はレディ状態に入ります。コアがスタンバイ状態に入っている場合、この遷移は迅速に起こります (t_{READY} 以内)。isoSPI がウェイクアップ信号を受信したときにコアがスリープ状態に入っている場合、IC は t_{WAKE} 以内にレディ状態に移移します。

レディ状態

レディ状態では、isoSPI ポートは通信可能な状態になっています。この状態でのシリアル・インターフェースの電流は、ISOMD ピンの状態に応じて変化します。

t_{IDLE} 以上の時間、ポート A またはポート B に何の動作も生じない（すなわち、ウェイクアップ信号を受信しない）場合、ADBMS6830B はアイドル状態に移行します。シリアル・インターフェースがデータの送受信を行うと、ADBMS6830B はアクティブ状態に移行します。

アクティブ状態

アクティブ状態では、ADBMS6830B は一方、または両方の isoSPI ポートを使用してデータの送受信を行います。シリアル・インターフェースは、この状態で最大の電力を消費します。供給電流は、クロック周波数と共に増加します。それは、isoSPI パルスの密度が増加するためです。

電源

ADBMS6830B は 2 つのピン、V+および V_{REG} から電力が供給されます。セル測定入力ピンの電圧にかかわらず、V+入力には 11V 以上の電圧が必要です。V+は、主に高精度のツェナー・リファレンス電圧に電力を供給します。V_{REG} 入力、5V の電圧を必要とし、残りのコア回路と isoSPI 回路に電力を供給します。また、放電スイッチの駆動にも使用されます。V_{REG} 入力、レギュレーションされた DRIVE 出力ピンで外付けトランジスタを駆動し、これを通じて電力を供給することが可能です。あるいは、外部電源によって V_{REG} に電力を供給することもできます。

消費電力は動作状態に応じて変化します。スリープ状態では、ADBMS6830B は 4μA を消費しますが、この電流はすべてを V+ピンから、または、V_{REG} ピンに外部電源から供給されている場合には一部を V_{REG} ピンから供給されます。V+ピン電流はコアの状態のみに依存しますが、V_{REG} ピン電流はコアの状態と isoSPI の状態の両方に依存します。また、V_{REG} ピン電流は 2 つの成分に分けることができます。

$$I_{REG} = I_{REG(Core)} + I_{REG(isoSPI)}$$

測定中の電流は、測定用にオンになっている ADC の数に依存します。

したがって、I_{REG(Core)}は、REFUP 状態で消費される電力と ADC によって消費される電流の和になります。

$$I_{REG(Core, Measure)} = I_{REG(Core, REFUP)} + I_{REG(Core, ADCs on)}$$

仕様のセクションで、使用する ADC の数に応じた測定状態時の消費電力の概略を説明しています。

代表的な例として、I_{REG(Core)}は以下のように見積もることができます。

$$I_{REG(Core)} = I_{regREFUP} + I_{regCADC} + n_{SADC} \times t_{SADC} / t_{FDTI} \times I_{regSADC} + (n_{AUX} \times t_{AUX} + n_{AUX2} \times t_{AUX2}) / t_{FDTI} \times I_{regAUX} \approx 8mA$$

以下の仮定に基づいています。

- ▶ t_{AUX} = 1ms、AUX の変換時間
- ▶ n_{AUX} = 18、フォルト検出タイム・インターバル (FDTI) あたりの AUX 変換の数 (すべての診断用チャンネルとすべての GPIO)
- ▶ t_{AUX2} = 8ms、AUX2 の変換時間
- ▶ n_{AUX2} = 10、FDTI あたりの AUX2 変換の数 (10 個の GPIO すべて)
- ▶ t_{FDTI} = 100ms、フォルト検出タイム・インターバル
- ▶ t_{SADC} = 8ms、S-ADC の変換時間
- ▶ n_{SADC} = 3、FDTI あたりの S-ADC 変換の数
- ▶ I_{regAUX} = 0.55mA、AUX ADC の消費電流 (AUX ADC および AUX2 ADC がアクティブ)
- ▶ I_{regREFUP} = 2.3mA、REFUP 状態での消費電流、これはベースとなる消費電流でもあります。
- ▶ I_{regCADC} = 4.5mA、C-ADC の消費電流 (16 個すべて)
- ▶ I_{regSADC} = 3.9mA、S-ADC の消費電流 (16 個すべて)

isoSPI への電流は、V_{REG} ピンからのみ供給されます。表 17 に、isoSPI の状態に応じて isoSPI 電流を概算する式を示します。

表 17. isoSPI 通信の消費電力

isoSPI State	ISOMD Logic	I _{REG(isoSPI)}
Idle	Not applicable	0 mA
Ready	1	3.7 mA
	0	3.2 mA
Active	1	Active write: I _{REG(isoSPI)} (ready state) + 2 × t _{½PW(D)} / t _{CLK} × I _{DRV} Active read: I _{REG(isoSPI)} (ready state) + 4 × t _{½PW(D)} / t _{CLK} × I _{DRV}
	0	Active write/read: I _{REG(isoSPI)} (ready state) + 2 × t _{½PW(D)} / t _{CLK} × I _{DRV}

以下の仮定を用いて、例を示します。

- ▶ I_{regRd} = 14mA、読み出しがアクティブ時の消費電流 (2Mbps、SPI は 100%デューティサイクル)。
- ▶ I_{regWr} = 9mA、書き込みがアクティブ時の消費電流 (2Mbps、SPI は 100%デューティサイクル)。
- ▶ I_{regRdy} = 3.7mA、isoSPI がレディ状態時の消費電流 (通信が行われておらず、t_{IDLE} も経過していない)。
- ▶ duty = 0.8、SPI 通信のデューティサイクル、最も厳しい条件を想定して 80%。
- ▶ wrRatio = 0.3、コマンドの 30%が書き込みコマンドと仮定 (例えば、WRCFGA、WRCFGB、WRPWM…)
- ▶ I_{REG(isoSPI)}は、以下のように見積もることができます。

$$I_{REG(isoSPI)} = duty \times (wrRatio \times I_{regWr} + (1 - wrRatio) \times I_{regRd}) + (1 - duty) \times I_{regRdy} \approx 11mA$$

- ▶ 合計 I_{REG} 電流 : 8mA + 11mA = 19mA。
- ▶ 外付けの NPN トランジスタを使用して V_{REG} を生成する標準的なアプリケーションの場合、この電流は MODULE+から供給されます。そして MODULE+には V+も接続されます。測定状態での標準的な V+の消費電流は 0.5mA です。結果として、想定したデューティサイクルで isoSPI 通信を行う場合、標準的な MODULE+の消費電流は 20mA 未満です。

セル電圧の測定

C-ADC および S-ADC の動作とコマンド

16 個のセルの差動入力を同期して測定する 16 個の ADC を C-ADC と呼びます。C-ADC は、-2V~+5.5V の入力範囲と約 4MHz のサンプリング周波数を備えており、150µV の LSB で 1ms ごとに 16 ビットの測定結果を出力します。また、ADC が変換した最新の 8 つの結果の平均値を 8ms ごとに出力します。

その他に 16 個の ADC が追加されており、16 個の差動入力 (SxP および SxN) を同期して測定します。これらの ADC は、0V~5.5V の入力範囲と約 4MHz のサンプリング周波数を備え、8ms ごとに結果を出力します。この S-ADC は、C-ADC とは別個の測定バスを使用することでセル電圧の冗長測定を可能にします。

測定結果がそれぞれの 16 ビット・レジスタにどのように記述されるかについては、メモリ・マップの説明を参照してください (メモリ・マップのセクションを参照)。

2 つのコマンドで C-ADC と S-ADC の測定をトリガできます。ADCV は、冗長測定の有無にかかわらずセル電圧の変換をトリガします。ADSV は S-ADC の変換をトリガします。

変換中に新しい ADCV または ADSV を受信した場合、対象の ADC で実行中の変換は停止され、新しい測定が開始されます。これにより、スタックにおける複数の ADBMS6830B の再同期が可能で、新しい ADCV または ADSV を受信すると、対応する結果レジスタはリセットされます。

表 18. C-ADC および S-ADC のコマンド

Command Description	Name	INC ¹	CC[10:0] – Command Code										
			10	9	8	7	6	5	4	3	2	1	0
Start Cell Voltage ADC Conversion and Poll Status	ADCV	Yes	0	1	RD	CONT	1	1	DCP	0	RSTF	OW[1]	OW[0]
Start S-ADC Conversion and Poll Status	ADSV	Yes	0	0	1	CONT	1	1	DCP	1	0	OW[1]	OW[0]

¹INC は、コマンド・カウンタがそのコマンドによってインクリメントされるかどうかを表しています。

セル電圧の測定

連続測定またはシングルショット測定

C-ADC と S-ADC はどちらも、シングル測定 (CONT = 0) または連続測定 (CONT = 1) の動作を実行するように設定できます。連続モードでは、ADC の結果レジスタはそれぞれの変換レート (C-ADC が 1ms、S-ADC が 8ms) で更新されます。各 ADC の連続測定モードを終了させるには、ADCV または ADSV で CONT = 0 を送信します。CONT = 0 を受信した ADC は、受信後シングルショット測定を 1 回実行してオフになります。

冗長測定

冗長測定には、直接的手法と間接的手法の 2 つの手法があります。

直接的手法を行うには、ADCV コマンドの冗長ビット (RD) をセットする必要があります。この場合、C-ADC と S-ADC の両方がトリガされ、冗長測定を実施します。8ms 後、C-ADC の結果の平均値と S-ADC の結果が比較されます。比較結果が、設定レジスタ A の CTH[2:0] に設定された閾値以内で一致しない場合、ステータス・レジスタ・グループ C の CSxFLT フラグがセットされます。RD = 1 と CONT = 0 によってトリガされたシングルショット測定には 8ms かかります。CONT = 0 の ADSV が発行されると、これ以上の比較は実行されず、S-ADC はシングルショット変換を実行して停止します。

RD = 1 の ADCV が発行された場合、適正に比較できるよう断線スイッチはリセット (オープン) されます。[診断付きセル測定のアルゴリズム](#)のセクションで、高い機能安全性を確保するための、S-ADC を使用した冗長測定と断線検出測定のシーケンスについて説明します。

間接的手法では、既に動作している C-ADC に S-ADC を同期させます。

C-ADC が連続モードで動作中に CONT = 1 の ADSV が発行されると、S-ADC は、C-ADC が実行している変換の 8 個の平均値が出るまで待ってから、CAVG8 と同期して変換を開始し、CAVG8 と S-ADC の結果を比較します。冗長測定においてその次の結果比較が開始された、または実行中の場合には、レイテンシ故障に対応するため、ステータス・レジスタ・グループの COMP ビットに 1 がセットされます。

測定中の放電

ADBMS6830B は、測定中に PWM 放電を中断させることができます。これにより、ケーブルでの放電電流による電圧降下を生じさせることなくセル電圧を取得できます。この動作は、[表 19](#) に示すように、RD ビット、DCP ビット、および CONT ビットを使用して制御します。

表 19. ADC コマンドの制御ビット

コマンド	入力			PWM 放電の状態 ^{1, 2}
	RD ³	DCP	CONT	
ADCV	0	0	1	実行中の C-ADC 変換を停止し、C-ADC の連続変換を再起動します。PWM 制御による放電は影響を受けません。
	1	0	1	PWM 制御による放電は中断されます。実行中の C-ADC 変換を停止し、C-ADC と S-ADC の連続変換を再起動して冗長測定の比較を実行します。PWM 放電は、他にコマンドが送信されない場合、オフを継続します。
	1	0	0	PWM 制御による放電は中断されます。実行中の C-ADC 変換を停止し、C-ADC と S-ADC のシングルショット変換を実行して冗長測定の比較を実行します。PWM 放電は、冗長測定のため C-ADC と S-ADC が変換を実行する間 (通常 8ms) オフを維持します。
	0	0	0	すぐに C-ADC のシングルショット変換をトリガします。S-ADC の動作と PWM 制御による放電は影響を受けません。
	X	1	0	実行中の C-ADC 変換を停止し、C-ADC のシングルショット変換 (RD = 0 の場合)、または C-ADC と S-ADC のシングルショット変換 (RD = 1 の場合) を実行します。PWM 制御による放電は影響を受けません。
	X	1	1	無効なコマンドは無視されます。実行中の動作は影響を受けず、CC はインクリメントされません。
ADSV	X	0	1	C-ADC が連続変換を実行している場合、S-ADC を C-ADC と同期させて C-ADC と S-ADC の連続変換を行い、冗長測定の比較を実行します。C-ADC が変換を行っていない場合は S-ADC のみが連続変換を行います。PWM 制御による放電は停止します。
	X	0	0	PWM 制御による放電を中断し、S-ADC のシングルショット変換を行います。C-ADC の動作は影響を受けません。
	X	1	0	PWM 制御による放電は、測定の間も続けられます。S-ADC のシングルショット変換が実行されず、C-ADC の動作は影響を受けません。
	X	1	1	実行中の動作は影響を受けず、CC はインクリメントされません。

¹ DCC ビットを介して静的にイネーブルされた場合、WRCFGA、WRCFGB、ミュート、サーマル・シャットダウンなど優先度の高いその他のイベントによって中断されなければ、放電は常に続けられます。

² いずれの ADCV も、実行中の C-ADC 変換を中断し、C-ADC を再起動します。このため、ADSV コマンドを使用してフォルト・トレラント・タイム・インターバル (FTTI) ごとに冗長測定をトリガすることを推奨します (ADSV を DCP = 0、CONT = 1 にセット)。

³ X は 0 または 1 を表します。

セル電圧の測定

断線スイッチ

図 2 に示すように、ADBMS6830B はセル測定入力に電流制限スイッチを備えています。これらのスイッチをアクティブにすると、セルとの接続が切断されたかどうかを検出します。表 20 に示すように、断線ビット (OW[1:0]) によって、それに対応する測定パスの断線スイッチが制御されます。

表 20. 断線スイッチの制御ビット

OW[1]	OW[0]	Open Wire Switches
0	0	All channels: off
0	1	Even channels on (S2 and C2, S4 and C4, ...) odd channels off (S1 and C1, S3 and C3, ...)
1	0	Even channels off (S2 and C2, S4 and C4, ...) odd channels on (S1 and C1, S3 and C3, ...)
1	1	All channels on

詳細については、セルの断線検出のセクションを参照してください。

内部デジタル・フィルタ処理

下の図は、ADBMS6830B 内部の信号処理の全体を示しています。入力電圧は、約4.1MHzのサンプリング周波数でS-ADCとC-ADCでサンプリングされます。S-ADCとC-ADCはどちらもオーバーサンプリングADCです。C-ADCが1msごとに新しい測定結果を出力するのに対して、S-ADCの結果は8msごとに更新されます。C-ADCの測定結果は8msごとに平均化され、冗長性が必要とされる場合には、同期されたS-ADCの結果と比較されます。

また、C-ADCの16ビットの結果は、設定可能なIIRフィルタに送られ、ノイズのフィルタ処理が行われます。

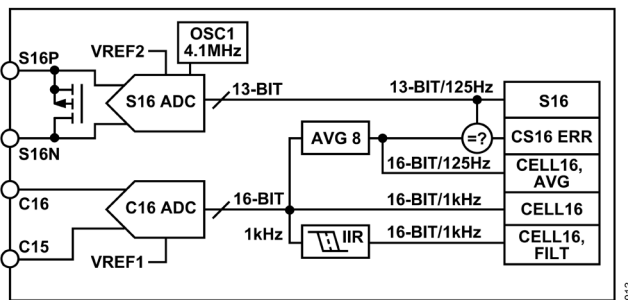


図 15. 内蔵デジタル・フィルタ

IIRフィルタの伝達関数は、次のように表されます。

$$Y[n] = Y[n - 1] + (X[n] - Y[n - 1])/a$$

ここで、

$X[n]$ は n 番目の入力を表します。

$Y[n]$ は n 番目のフィルタの出力を表します。

a は表 21 で与えられるフィルタ・パラメータです。

設定レジスタ・グループ A の FC[2:0]ビットを設定することで、110Hz~0.625Hzの間で-3dBのコーナー周波数を選択することができます (表 21 を参照)。

表 21. IIR 周波数の設定

-3 dB Corner Frequency	FC[2]	FC[1]	FC[0]	Filter Parameter
Filter Disabled	0	0	0	N/A ¹
110	0	0	1	2
45	0	1	0	4
21	0	1	1	8
10	1	0	0	16
5	1	0	1	32
1.25	1	1	0	128
0.625	1	1	1	256

¹ N/A は該当なしを意味します。

3つのビットすべてが0にセットされた場合、IIRフィルタは適用されません。

フィルタリングされた結果は、フィルタリング・セル電圧レジスタ・グループ A~E に格納されます。IIRフィルタは、フィルタリング・セル電圧レジスタ・グループのクリア (CLRFC) コマンドを発行するか、ADCV コマンドのリセット・フィルタ (RSTF) ビットをセットすることによってリセットできます。また、フィルタのコーナー周波数が変わった場合にもリセットされます。リセット後に最初に送られたサンプルをフィルタに予めロードすることでセットリング・タイムを早くできます。C-ADCの結果は、連続モードで取得したものでもシングルショット・モードで取得したものでもIIRフィルタに加えることができます。表 22 に、ADBMS6830B のデジタル・フィルタ処理のオプションを示します。

図 16 に、1kHzの更新レートによるC-ADC結果の伝達関数、8msの平均値の伝達関数 (S-ADCの伝達関数と等価)、および-3dBコーナー周波数を0.625Hzに設定してIIRフィルタを追加した後の伝達関数を示します。

セル電圧の測定

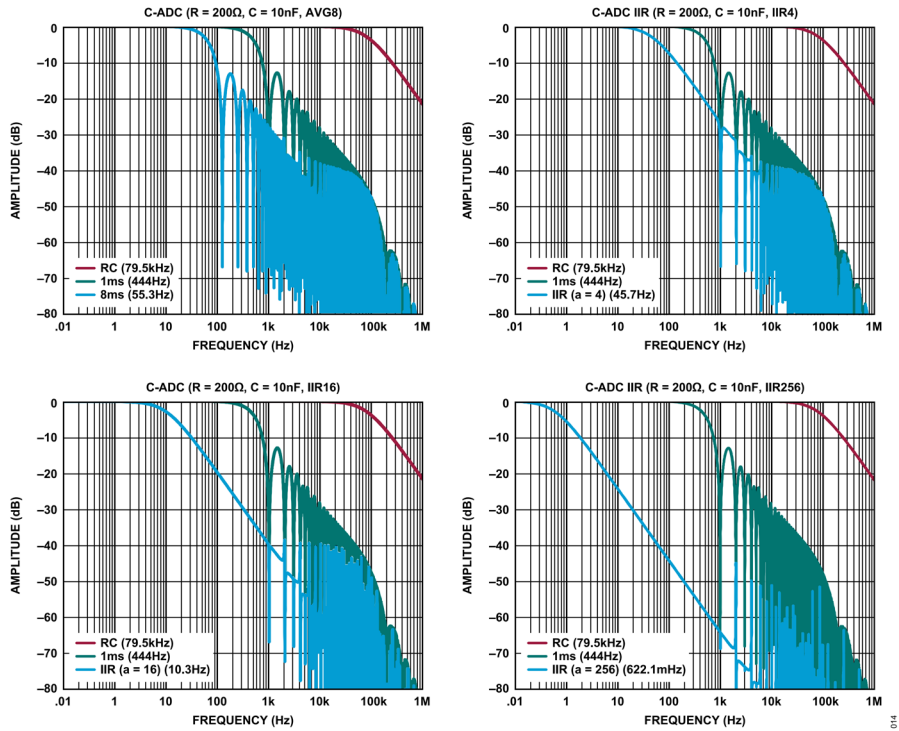


図 16. フィルタの伝達関数

表 22. デジタル・フィルタ処理のオプション

ADC	ADC Frequency (f_{ADC})	Filter Output Rate	Filter Type	Filter Function	-3 dB Corner Frequency (Hz)	Settle, Step to 0.1% of Final (sec)	Specialty
C-channel	4.1 MHz	1 kHz	IIR	1-pole low-pass filter (LPF)	110	0.010	Low frequency LPF
					45	0.025	Low frequency LPF
					21	0.052	Low frequency LPF
					10	0.108	Low frequency LPF
					5	0.218	Low frequency LPF
					1.25	0.881	Low frequency LPF
0.625	1.765	Low frequency LPF					
C-channel	4.1 MHz	125 Hz	Finite impulse response (FIR)	Average of 8 samples	56		Noise filter and 50 Hz/60 Hz
		1 kHz	Sinc (ADC)	First order sinc	443		Fast response with good high frequency filtering
		125 Hz	Sinc (ADC)	First order sinc	56		Matches C-channel FIR

GPIO とデバイス・パラメータの測定
AUX ADC の動作とコマンド

10 個の GPIO 入力、2 個の独立したユニポーラ ADC によって冗長性の測定が可能です。この 2 個の ADC の前段には、入力範囲が 0V~5.5V のマルチプレクサが接続されています。メインの AUX ADC は内部電源電圧 (VD および VA)、第 2 リファレンス (VREF2)、GPIO チャンネル近くのダイ温度 (ITEMP) を測定します。

ADAX コマンドで AUX ADC の測定を、ADAX2 コマンドで AUX2 の測定をトリガします。

ADAX コマンドと ADAX2 コマンドでは、表 24 に従って、どの補助入力を測定するかを CHx ビットで選択します。

すべての AUX 入力を測定する (CH[4:0] = 0000) 必要がある場合、2 個の AUX ADC はすべての入力 (合計 18 チャンネル) の測定を繰り返し、対応する補助レジスタを更新します。GPIO だけは AUX2 によって測定します。そのため、ADAX2 コマンドで CH[4]は利用できません。

OW ビットがセットされている場合、対応する測定では断線検出が一緒に実行されます。この断線検出は、AUX ADC の場合、

電流源によって処理されます。AUX 変換においてプルアップ電流源 (PUP=1) を印加するか、プルダウン電流源 (PUP=0) を印加するかは、プルアップ・ビットで決定します (詳細については、GPIO の断線検出のセクションを参照)。

セトリング・エラーが生じないように、マルチプレクサが設定されるまで変換開始を遅らせるように、ソーク時間を設定できます。ソーク時間は、設定レジスタ・グループ A の SOAKON ビットでイネーブルでき、OWRNG と OWA で設定します。OW ビットの設定により断線検出が必要な場合は、マルチプレクサの設定をセットするときに電流源がオンになります。

長いソーク時間で ADAX または ADAX2 コマンドを実行すると、ウォッチドッグ・タイマが切れるより長い時間がかかることに注意してください。その場合は、有効なコマンドを送信し、ADBMS6830B が測定を中断してスリープに入ってしまうようにする必要があります。

変換中に ADBMS6830B が新しい ADAX または ADAX2 コマンドを受信した場合、対応する ADC は停止し、再起動します。新しい ADAX または ADAX2 コマンドを受信しても、対応する結果レジスタはリセットされません。

表 23. AUX コマンド

Command Description	Name	INC ¹	CC[10:0] – COMMAND CODE										
			10	9	8	7	6	5	4	3	2	1	0
Start AUX ADC Conversions and Poll Status	ADAX	Yes	1	0	OW	PUP	CH[4]	0	1	CH[3]	CH[2]	CH[1]	CH[0]
Start AUX2 ADC Conversions and Poll Status	ADAX2	Yes	1	0	0	0	0	0	0	CH[3]	CH[2]	CH[1]	CH[0]

¹INC は、コマンド・カウンタがそのコマンドによってインクリメントされるかどうかを表しています。

表 24. チャンネル選択

Name	Function	Value	AUX Input				
CH[4:0]	Selection for AUX Inputs, ADAX: CH[4:0], ADAX2: CH[3:0]	CH[4]	CH[3]	CH[2]	CH[1]	CH[0]	
		0	0	0	0	0	All
		0	0	0	0	1	GPIO1
		0	0	0	1	0	GPIO2
		0	0
		0	1	0	1	0	GPIO10
		1	0	0	0	0	VREF2
		1	0	0	0	1	VD
		1	0	0	1	0	VA
		1	0	0	1	1	ITEMP
		1	0	1	0	0	VPV
		1	0	1	0	1	VMV
		1	0	1	1	0	VRES
		1	0	1	1	1	Reserved

システム診断

セル測定の診断と通知

RD = 1 の ADCV コマンドが送信されセル測定の冗長性が要求されると、S-ADC の結果と C-ADC の結果が比較されます。制御レジスタ・グループ C で設定された閾値よりミスマッチが大きい場合、ADBMS6830B は対応するフォルト・ビット (CSxFLT) を 1 にセットします。レイテント故障を防止するため、コンパレータは二重に実装されており、コンパレータの 1 つがミスマッチのフラグを立てる場合、CSxFLT をセットすることによって通知します。

C-ADC 後段の IIR フィルタの故障を検出するため、IIR フィルタは二重に実装されており、それらの結果は個別の 2 個の SPI ス

レーブによって読み出され、出力が比較されます (通信の診断と通知のセクションを参照)。

セルの断線検出

ADBMS6830B は独立した 2 つの冗長ピンのペアを通じてセル電圧を測定するため、PCB の入力断線は対応する S チャンネルと C チャンネルの測定結果を比較することによって検出できます。ただし、図 17 に示すように、アプリケーションにおいては PCB からバッテリーへの配線を電極あたり 1 本のケーブルで接続する場合があります。

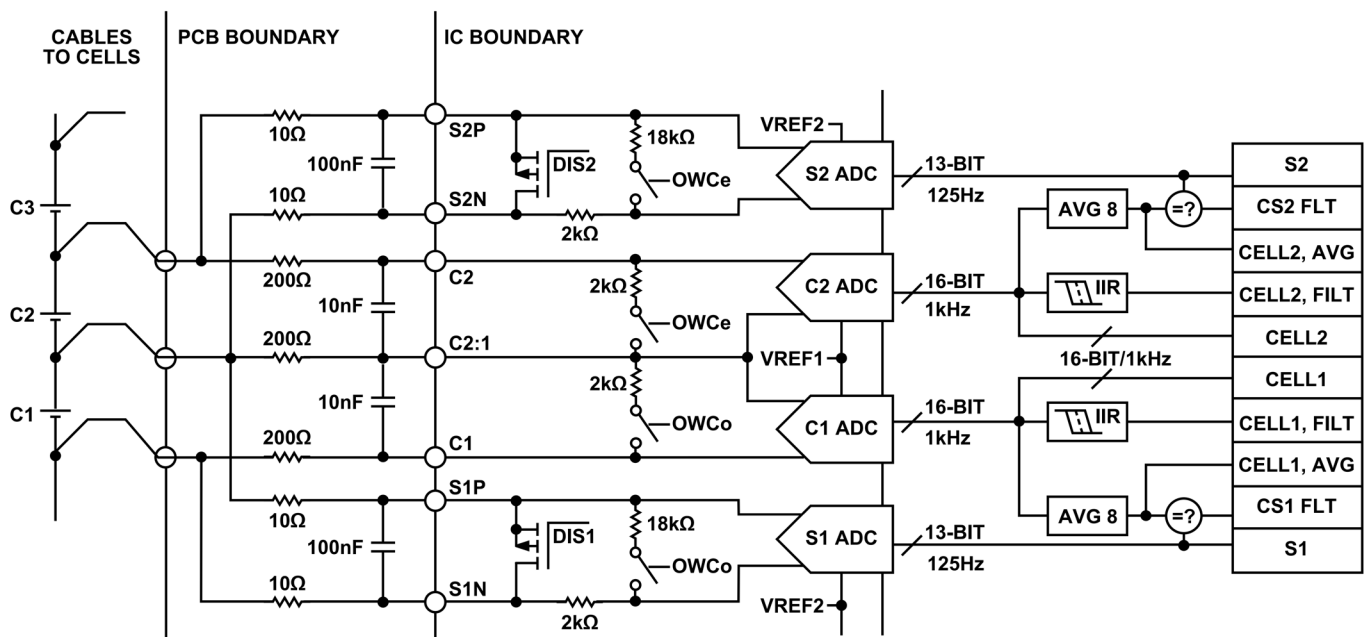


図 17. 断線検出機能

015

システム診断

このような構成では、C-ADC と S-ADC の入力どちらも PCB に接続されているため、両方の ADC の結果を比較することによって PCB とバッテリー・セルの間の断線を検出することはできません。そのため、図 17 に示すように、ADBMS6830B は各 ADC の差動入力間に電流制限抵抗を備えた差動スイッチを使用して入力の断線を検出する安全機構を備えています。

隣接した 2 つのチャンネルの差動スイッチを同時にアクティブにしないよう注意してください。そうでないと、2 つのセル間に電圧分圧が生じてしまい、これらのセル間の共通ケーブルの断線が隠されてしまう可能性があります。そのため、ADBMS6830B は奇数のチャンネルと偶数のチャンネルで別々に断線スイッチをアクティブにします。

C 測定パスの差動スイッチをアクティブにすると、配線が正常な場合、入力電圧は低下します。これは、断線スイッチと直列に接続された内部 1.75kΩ 抵抗と外部フィルタ抵抗による抵抗分圧回路ができるためです（図 17 ではセル電圧の約 10/12）。この測定により、外部フィルタ抵抗の抵抗値のラフな診断が可能です。更に、入力電圧が新しい値になるまでのセトリングによってフィルタ・コンデンサの存在と概算値を検出できます。断線している場合、入力コンデンサは断線電流によって完全に放電されます。

S 測定パスの差動スイッチをアクティブにすると、正常な配線の入力電圧は低下します。これは、断線スイッチと直列に接続された 18kΩ 抵抗と内部 1.75kΩ 抵抗によって抵抗分圧回路が内部にできるためで、セル電圧の約 9/10 です。断線している場合はやはり、入力コンデンサは断線電流によって放電されます。

断線を検出するには、C チャンネル入力と S チャンネル入力のどちらかの断線スイッチで十分です。S-ADC 入力に断線スイッチを挿入すると、C-ADC によるセル電圧測定を中断させることなく断線検出を実行できます。そのため、IIR フィルタの結果の完全性を保つことができます。

診断付きセル測定の実アルゴリズム

図 18 は、C-ADC を使用して中断なくセルの連続測定を実行しながら、S-ADC を使用して冗長測定と断線検出を交互に行うアルゴリズムのタイミング図です。

C-ADC がセル電圧を連続測定する一方、S-ADC は冗長測定の結果出力と、奇数セルと偶数セルの断線検出の処理を順次行います。

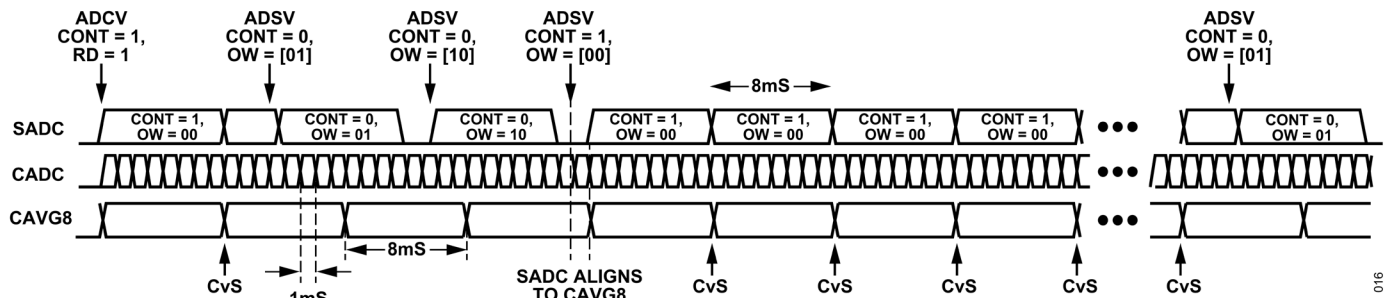


図 18. セル測定と診断のシーケンス

システム診断

GPIO 測定の診断

2 個の負温度係数 (NTC) サーミスタが 2 個の汎用入出力 (GPIO) のそれぞれに接続されている場合、ADBMS6830B は温度測定において高い診断範囲を実現できます。高い診断範囲を実現するには、AUX マルチプレクサと AUX ADC、および AUX2 マルチプレクサと AUX2 ADC によって形成される 2 つの冗長測定バスを使用して GPIO を測定します。温度は数値の変化が遅いため、両方の測定バスを同時に開始するコマンドは用意されておらず、各 ADC をそれぞれのコマンドで個別に開始する必要があります。変換結果は、ホスト・コントローラで比較する必要があります。

GPIO の断線検出

ADAX コマンドの OW ビットを設定することにより、200 μ A (代表値) の電流源を測定チャンネルに接続して断線の検出、または接続された NTC が適切な抵抗値になっているかどうかの診断ができます。PUP ビットによって電流源がピンをプルアップするかプルダウンするかを制御します。結果は補助レジスタ・グループに保存されます。

更に、レイテント故障に対応するため、2.5k Ω 抵抗の電圧降下を測定することで、電流源の値が正しいかどうかを検証できます。

すべてのチャンネルをラウンドロビンで測定する場合 (CH[4:0] を 0 にセットしてすべてのチャンネルをイネーブル)、アクティブになった電流源 (OW を 1 にセット) は GPIO にも印加されます。I²C/SPI コントローラとの通信に使用する GPIO (GPIO3~GPIO5) も含まれている場合があります、その場合シリアル通信に影響が及ぶ可能性があります。

通信の診断と通知

ADBMS6830B との間で送受信されるコマンドやデータはすべて巡回冗長検査 (CRC) によって保護されています。詳細については、[コマンド PEC](#) および [データ PEC](#) のセクションを参照してください。更に、冗長測定の実行が必要なレジスタ、または結果を読み出す必要があるレジスタ (例えば、C-ADC および S-ADC 結果レジスタ) は、ADBMS6830B 内部に冗長に備えられた SPI スレーブによってアドレス指定されます。これにより、単一障害点を防ぎます。また、それらの出力はビットごとに比較されます。ミスマッチが生じた場合、ステータス・レジスタ・グループ C の SPIFLT ビットがセットされます。

RDSTATC コマンドの ERR ビットを 1 にセットして発行することにより、ADBMS6830B は、SPIFLT 診断ビットがスタックしていないかどうかを診断できます。

サーマル・シャットダウン

ADBMS6830B の過熱を防止するため、サーマル・シャットダウン回路が IC に内蔵されています。ダイの検出温度が約 150°C を超えると、サーマル・シャットダウン回路が作動し、STCR1 レジスタの THSD ビットを 1 にセットして POR を行います。これにより、すべての放電スイッチがオフになります。CLRFLAG コマンドが送信され、サーマル・シャットダウンに対応するビットが 1 にセットされていると、THSD ビットはクリアされず (クリア・フラグ・コマンドのセクションを参照)。

ADBMS6830B は、THSD 診断ビットがスタックしていないかどうかを診断できます。FLAG_D[4] ビット (CFGRA1 レジスタのビット 4) をセットすることで、THSD ビットを強制的に 1 にセットできます。FLAG_D[4] が書き込まれると、THSD ビットは 1 に反転されるので、CLRFLAG コマンドを使用してクリアする必要があります。

テスト・モードの検出

診断機能を改善する目的で、ADBMS6830B は、デバイスが工場テスト・モードに入っていることを示す TMODCHK フラグを STCR1 レジスタに備えています。このビットがセットされている場合、デバイスの動作を信頼してはなりません。TMODCHK ビットはクリアされている必要があります、このビットが 0 に戻るとデバイスは復帰し、動作を再開できます。

ADBMS6830B は、TMODCHK 診断ビットがスタックしていないかどうかを診断できます。FLAG_D[7] ビット (CFGRA1 レジスタのビット 7) をセットすることで、TMODCHK ビットを強制的に 1 にセットできます。FLAG_D[7] が書き込まれると、TMODCHK ビットは 1 に反転されるので、CLRFLAG コマンドを使用してクリアする必要があります。

スリープ状態の検出

ADBMS6830B は、デバイスがそれまで電源サイクルを実行していたか、スリープ状態に入っていたか、およびレジスタがリセットされたかどうかを示すフラグを備えています。SLEEP ビット (RDSTATC) を使用して、デジタイゼーション内のすべての IC が低消費電力スリープ状態に入っているかどうかをチェックできます。また、このビットを使用して、IC が通常動作の間に誤ってスリープ状態に入っていないかどうかを検証できます。

ソフト・リセット・コマンド

ソフト・リセット・コマンド (SRST) は、デジタイゼーション内のすべてのデバイスを迅速にスリープ状態に遷移させます。ソフト・リセット・コマンドに必要なのは、スタックの次のデバイスにコマンドを伝搬するための十分な時間のみで、伝搬後デバイスはスリープに入ります。このコマンドは、低消費電力状態に迅速に遷移する機能と、スイッチング電源のデジタル・ロジックのすべてをリセットできる機能の 2 つの機能を実現します。

リビジョン・コード

ADBMS6830B には 4 ビットのリビジョン・コードがあります。デバイスのリビジョンをソフトウェアで検出する必要がある場合は、アナログ・デバイセズへお問い合わせください。それ以外の場合、このコードは無視できます。ただし、どのような場合でも、データ読出し時にパケット・エラー・コード (PEC) を計算するときにはすべてのビット値が使用されます。

シリアル ID

ADBMS6830B はそれぞれ、48 ビットの固有のシリアル ID (SID) コードが工場で設定され、SID レジスタに格納されています。ホストは、RDSID コマンドを使用して個々のデバイスの固有 SID コードを読み出すことができます。

クリア ADC メモリ・コマンド

ADBMS6830B には、CLRCELL、CLRFC、CLRAUX、CLRSPIN の 4 つのクリア ADC コマンドがあります。これらのコマンドは、ADC すべての変換結果を格納するレジスタをクリアします。

システム診断

CLRCELL コマンドは、セル電圧レジスタ A からセル電圧レジスタ F、および平均セル電圧レジスタをクリアします。CLRFC コマンドはフィルタリング・セル電圧レジスタ A からフィルタリング・セル電圧レジスタ F をクリアします。CLRSPIN コマンドは、S 電圧レジスタ A から S 電圧レジスタ F をクリアします。これらのレジスタのすべてのバイトは、各クリア・コマンドによって 0x8000 にセットされます。

CLRAUX コマンドは、補助レジスタ・グループ A から補助レジスタ・グループ D、冗長測定補助レジスタ・グループ A から冗長測定補助レジスタ・グループ D、ステータス・レジスタ・グループ A、およびステータス・レジスタ・グループ B をクリアします。これらのレジスタのすべてのバイトは、CLRAUX コマンドによって 0x8000 にセットされます。いくつかのレジスタでは、CLRAUX コマンドによってセットされるこのレジスタ値 0x8000 は、パワーアップ後のデフォルト値と異なることに注意してください。

これらのデフォルト値については、[メモリ・マップ](#)のセクションに記載されたレジスタの説明を参照してください。クリア・コマンドは、REFUP 状態と測定状態で有効です。

クリア・フラグ・コマンド

CLRFLAG コマンドは、ステータス・レジスタ・グループ C の診断フラグをリセットします。CLRFLAG コマンドでは、システムからどのフォルト・フラグをリセットするかを指定する 6 バイトを追加して送信する必要があります。表 25 に CLRFLAG のフォーマットを示します。ここで定義するビットは、ステータス・レジスタ・グループ C の同じ位置にあるビットと対応しています。

ステータス・レジスタの診断フラグは、ユーザによってクリアされるか ADBMS6830B がスリープ状態に入るまでセットされたままです。

表 25. CLRFLAG のデータ・フォーマット

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFD0	WR	CL_CS8FLT	CL_CS7FLT	CL_CS6FLT	CL_CS5FLT	CL_CS4FLT	CL_CS3FLT	CL_CS2FLT	CL_CS1FLT
CFD1	WR	CL_CS16FLT	CL_CS15FLT	CL_CS14FLT	CL_CS13FLT	CL_CS12FLT	CL_CS11FLT	CL_CS10FLT	CL_CS9FLT
CFD2	WR								
CFD3	WR								
CFD4	WR	CL_VAOV	CL_VAUV	CL_VDOV	CL_VDUV	CL_CED	CL_CMED	CL_SED	CL_SMED
CFD5	WR	CL_VDEL	CL_VDE		CL_SPIFLT	CL_SLEEP	CL_THSD	CL_TMODE	CL_OSCCHK

システム診断

クリア過電圧／低電圧フラグ・コマンド

CLOVUV コマンドは、ステータス・レジスタ・グループ D (STATD レジスタ) の過電圧フラグと低電圧フラグをリセットします。CLOVUV コマンドでは、システムからどのフォルト・フラグをリセットするかを指定する 6 バイトを追加して送信する必要があります。表 26 に CLOVUV のフォーマットを示します。

ここで定義するビットは、ステータス・レジスタ・グループ D の同じ位置にあるビットと対応しています。

ステータス・レジスタの過電圧フラグおよび低電圧フラグは、ユーザによってクリアされるか ADBMS6830B がスリープ状態に入るまでセットされたままです。

表 26. CLOVUV コマンドのフォーマット

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
STDR0	WR	CL_C40V	CL_C4UV	CL_C30V	CL_C3UV	CL_C20V	CL_C2UV	CL_C10V	CL_C1UV
STDR1	WR	CL_C80V	CL_C8UV	CL_C70V	CL_C7UV	CL_C60V	CL_C6UV	CL_C50V	CL_C5UV
STDR2	WR	CL_C120V	CL_C12UV	CL_C110V	CL_C11UV	CL_C100V	CL_C10UV	CL_C90V	CL_C9UV
STDR3	WR	CL_C160V	CL_C16UV	CL_C150V	CL_C15UV	CL_C140V	CL_C14UV	CL_C130V	CL_C13UV
STDR4	WR								
STDR5	WR								

セル放電と放電用 PWM

ADBMS6830B は、セル・モニタリング・チャンネルのそれぞれにバランシング・スイッチを内蔵しています。バランシング・スイッチは低 RDS_{on} の FET で、300mA のピーク電流を放電できます。放電動作を簡潔にするため、PWM 機能を使用してすべての Sx ピンで放電電流を可変にできます。PWM は 937ms の周期で動作し、PWM のデューティサイクルは 4 ビットを使用して制御できます。各チャンネルに 2 つの専用ピン、SxN と SxP があるため、ADBMS6830B は隣接するチャンネルのバランシングも可能で、これによりデューティサイクルは最大 100% が得られます。

PWM 放電機能は、スタンバイ状態、REFUP 状態、拡張バランシング状態、および測定状態において、放電タイムアウト時間が切れていない (DCTO ≠ 0) 間、実行できます。ADBMS6830B は、ADCV コマンドで S 測定が開始されるか、ADSV コマンドで DCP=0 が送信されると PWM 放電を中断します。拡張バランシング状態または低消費電力セル・モニタリング (LPCM) モードでセル測定が実行されている場合、セル放電はミュートされません。その結果これらのケースでは、セルの配線抵抗を流れる放電電流で電圧が降下することにより、測定に影響を及ぼす可能性があります。

PWM 放電は ADC 測定とは非同期で発生します。そのため、電圧降下によって測定値が変わるかどうかを予測できません。配線抵抗と放電電流によっては、意図した電圧閾値 (VOV、VUV、CMT_CUV、CMT_COV) で正確にチェックできない場合があります。

表 27 に放電周期の詳細を示します。

Sx ピンのミュート

すべての Sx ピンは、ミュート・コマンドを送信することで同時にディスエーブルすることができ、ミュート解除コマンドを送信することで再びイネーブルすることができます。ミュート・コマンドとミュート解除コマンドに後続のデータは必要ありません。そのため、これらのコマンドは ADBMS6830B デバイスのスタックを迅速に伝搬します。ミュート・コマンドを受信してから内部放電スイッチが放電を停止するまでにかかる時間は最大 65μs です。ミュート機能により、ホストは設定レジスタ・グループ B の内容に影響を与えずに、放電のディスエーブルと再イネーブルを迅速に行うことができます。ミュートのステータスは、設定レジスタ・グループ A の読出し専用ミュート・ビットに通知されます。

表 27. 放電の優先度

優先度 (7 = 最高)	イベントまたは機能	動作
7	Thermal shutdown	サーマル・シャットダウンが発生すると、放電制御の選択は完全にゲート・オフされます。また、PWM 制御ビットと DCC 制御ビットはリセットされます。
6	Mute	ミュート・コマンドによってミュート機能が有効になっている間、すべての放電はディスエーブルされます。ミュートは、ウォッチドッグ・タイムアウトによってクリアされます。
5	WRCFGB	設定レジスタ・グループ B のこのレジスタに書き込まれた間、DCC、PWM、および ADC 放電のリクエストはミュートされます。
4	DCC bits	DCC ビットのいずれかがアサートされると、DCC 設定が ADC および PWM 放電制御より優先されます。これより高い優先度の機能によって妨げられなければ、DCC 放電リクエストは Sx ピンをアサートします。DCC 放電は、どの ADC 変換コマンドが実行されている間でも可能です。DCC ビットはウォッチドッグ・タイムアウトによってクリアされます。その際、DCTO が 0 にセットされておらず、また期限が切れて 0 になっていない場合は、デバイスは PWM 放電に遷移します。
3	ADC measurement command	ADC 変換が Cx ピンまたは Sx ピンを測定している間、PWM 放電をミュートにすることができます。 DCP ビットによって測定中のセル放電を停止する ADC コマンドがいくつかあります (詳細については、 測定中の放電 のセクションを参照)。これより優先度の高い (上記の) 機能のいずれかによって妨げられなければ、このコマンドを実行できます。
2	WRPWM	PWM 放電リクエストは、PWM レジスタ・グループに書き込みが行われている間ミュートされます。
1	PWM	PWM 放電の最も低い優先度です。PWM レジスタ・ビットのいずれかが 1 にセットされ、PWM がイネーブルされた場合、これより優先度の高い (上記の) 機能のいずれかによって妨げられない場合のみ、PWM によってセル放電が制御されます。

セル放電と放電用 PWM

セル測定および診断時のセル放電

2つの Sx ピンの間に接続された内部バランシング・スイッチがオンになっている場合、S-ADCの結果はC-ADCの測定結果と異なるため、2つの結果を診断のために比較することはできません。放電しながら、診断範囲に対応した連続測定を行うには、以下の手順を使用します。

C-ADC 変換は、通常、初期化中に 1 回開始されます。

- ▶ RD=0、DCP=0、CONT=1 の ADCV を送信します。
 - ▶ C-ADC は連続モードで動作し、測定結果を出力して IIR フィルタに送ります。C-ADC と S-ADC の結果の比較は行われません。PWM 放電は継続され、影響を受けません。

連続測定モードの間、以下のように、変換結果を読み出しバランシングを制御します。

- ▶ 所望の PWM 値を設定します。
- ▶ 所望の CTHx 閾値を設定します。
- ▶ FTTI ごとに DCP=0、CONT=1 の ADSV を送信します。
 - ▶ 更に、S-ADC がオンになり、放電が中断されます。そして、C-ADC と S-ADC の結果が比較されます。
 - ▶ ADSV を送信してから 8ms~16ms 後に、同期された C-ADC と S-ADC の変換結果が得られます。これは、SADC が CADC と同期するまでに最大 8ms かかり、同期変換に固定の 8ms が加わるためです。
- ▶ 結果が得られたのち、DCP=1、CONT=0 の ADSV を送信します。

- ▶ 放電がすぐに再開され、S-ADC は追加で 1 回変換を行った後スリープに入ります。C-ADC はその間ずっと測定を続けます。
- ▶ 冗長測定の後、すぐに断線チェックを行うことができます。この場合、以下のように、3 つの ADSV だけで冗長測定と断線チェックを実行できます。
 - ▶ DCP=0、CONT=1、OW=0 の ADSV を送信します (冗長性チェック)
 - ▶ DCP=0、CONT=0、OW=1 の ADSV を送信します (偶数の断線チェック)
 - ▶ DCP=0、CONT=0、OW=2 の ADSV を送信します (奇数の断線チェック)
 - ▶ 注：最後のシングルショット S-ADC 変換の後、放電は自動で再イネーブルされます。

冗長測定と断線測定のタイミングは下記のとおりです。

- ▶ S-ADC と C-ADC の冗長測定：8ms~16ms
- ▶ 奇数チャンネルの断線チェック：8ms
- ▶ 偶数チャンネルの断線チェック：8ms

したがって、冗長診断と断線診断の全体で 24ms~32ms かかり、これが放電の最大デューティサイクルを制限します。平均すると、放電は $0.5 \times (32\text{ms} + 24\text{ms}) = 28\text{ms}$ の間、停止します。FTTI を 100ms と仮定すると、ADBMS6830B の最大放電デューティサイクルは 72% に制限されます (PWM を 100% に設定したとしても診断測定によって 72% に抑制されます)。

ウォッチドッグ・タイマおよび放電タイマー

2 秒以上有効なコマンドを受信しないと、ウォッチドッグ・タイマが切れます。このときに DCTO がゼロだった場合、ADBMS6830B はスリープ状態に遷移し、すべてのレジスタ位置をデフォルト値にリセットします。このときに DCTO がゼロでない場合、ADBMS6830B は拡張バランシング状態に遷移し、ミュート機能をリセットします。拡張バランシング状態では PWM 放電のみ継続できます。また、この状態に入る前にホスト・コントローラによって DCC ビットをクリアする必要があります。DCC ビットがクリアされない場合、拡張バランシング状態の間、静的な放電はディスエーブルされますが、スタンバイ状態に戻ると再びイネーブルされます。ウォッチドッグ・タイマは常にイネーブルされており、コマンド PEC が一致した有効なコマンドを受信するたびにリセットされます。

PWM レジスタ・グループでイネーブルされた放電制御は、放電タイマーがイネーブルされると、DCTO ビットで設定された時間だけ制御を続けます。放電タイマーをイネーブルするには、設定レジスタ・グループ B の DCTO 値にゼロ以外の値を書き込みます。放電タイマーは、0 分～63 分と 0 時間～16.8 時間の 2 つの時間範囲で動作可能です。この時間範囲は、CFGBR3 レジスタの DTRNG ビットで制御します。このビットで、ビットあたり 1 分とビットあたり 16 分のどちらを DCTO 値のビットの重みとして使用するかを制御します。

放電タイマーのステータスは、RDCFGB コマンドを使用して設定レジスタ・グループ B を読み出すことで判定できます。DCTO 値は、放電タイマーが切れるまでの時間を示しています。

ウォッチドッグ・タイマと異なり、放電タイマーは有効なコマンドを受信してもリセットされません。放電タイマーは、有効な WRFCFGB コマンドが設定レジスタ・グループ B に書き込まれた後のみ、リセットされます。放電タイマーは、コマンドを受信中に切れる可能性があります。

WRFCFGB コマンドを受信中に放電タイマーが切れた場合、設定レジスタ・グループ B の DCC ビットとミュート機能がリセットされます。ただし、有効な WRFCFGB コマンドが終了すると、新しいデータが設定レジスタにコピーされます。新しいデータは、放電タイマーが始動しても失われません。

RDCFGB コマンドを受信中に放電タイマーが切れた場合、設定レジスタ・グループ B の DCC ビットとミュート機能はデフォルト値にリセットされます。その結果、CFGBR4 と CFGBR5 のバイトからリードバックされたデータが破損する可能性があります。

放電タイマー・モニタ

設定レジスタ・グループ B の放電タイマー・モニタ (DTMEN) ビットがセットされ、ADBMS6830B が拡張バランシング状態に入ると、ADBMS6830B は 30 秒ごとに単一の C-ADC 変換でセル電圧をモニタし続け、UV フラグ (CxUV) を更新します。セル電圧が設定レジスタ・グループ B で設定した UV 閾値 (VUV) を下回ると、ADBMS6830B はセルの放電をディスエーブルします。入力電圧が復帰し、その後の測定で UV 閾値を超えると、そのセルの放電は再開されます。DCTO 時間が終了すると、ADBMS6830B はすべての放電をディスエーブルします。

低消費電力セル・モニタリング

ADBMS6830B は、バッテリー・マネージメント・システム (BMS) コントローラがスリープまたは非アクティブな状態でもセル電圧とセンサー (温度、圧力、ガスなど) の監視が可能なモニタリング状態、コマンド、レジスタを別に備えています。この LPCM モードでは、定期的にパワーアップして、測定、閾値の設定値と測定結果の比較、チェーンの次のデバイスへの isoSPI パケットの送信、そしてパワーダウンを実行できるように ADBMS6830B デバイス・スタックを設定できます。チェーンの末端にあるデバイスがサンプリング周期を制御します。チェーン内のいずれかのデバイスがアラート条件を検出すると、その情報は次のデバイスに送られます。

LPCM 動作

図 19 に示すように、LPCM チェーンはモニタ・マネージャ (MM)、1 個以上のモニタ、タイムアウト・モニタ (TM) で構成されます。ADBMS6830B はこれらの機能のどれにでも設定できますが、多くのシステムでは、ADBMS6821 (シングル) または ADBMS6822 (デュアル) isoSPI トランシーバーがタイムアウト・モニタとして使用されています。

基本的な動作ステップは次のとおりです。

1. 変換が実行されていないことを確認します。
2. BMS コントローラでモニタの LPCM オプションを設定してから CMEN コマンドを送信し、LPCM 動作を始動させます。モニタは、ADC コマンドと書込みコマンドの受信を停止し、LPCM 動作を始めます。
3. 設定されたハートビート測定間隔で MM デバイスはウェイクアップします。
4. C-ADC によって 1ms (代表値) 以内にセル電圧を測定し、閾値と比較します。
5. AUX-ADC によって 1ms の変換時間で GPIO を測定し、閾値と比較します。
6. MM は、チェーンの次のデバイスに、モニタリング・ステータスを示すハートビート・メッセージを発信します (LPCM のハートビート・メッセージのセクションを参照)。

7. セル・モニタがデ이지チェーンの上流からハートビート・メッセージを受信すると、以下を実行します。
 - ▶ セル電圧を測定し、閾値と比較します。
 - ▶ GPIO を測定し、閾値と比較します。
 - ▶ モニタは、チェーンの次のデバイスに、モニタリング・ステータスを示すハートビート・メッセージを発信します (LPCM のハートビート・メッセージのセクションを参照)。
8. チェーンの最後にある TM が、タイムアウト前に合格のハートビート・メッセージを受信すると、タイムアウト・カウンタはリセットされます。
9. TM が不合格のハートビート・メッセージを受信するかタイムアウトになると、BMS コントローラにウェイクアップ信号を発信するか、レギュレータにパワーアップ信号を発信します。
10. BMS コントローラは、CMDIS コマンドを送信して LPCM 動作を終了させるシーケンスを行ってから、モニタとの通信を再開できます。

LPCM 機能がイネーブルされると、TM の割込みは初期条件としてアサートされることに注意してください。LPCM 機能では、最初のハートビート・メッセージがデ이지チェーンの全体に伝搬されるまで、初期状態のシステムには故障の可能性があると仮定しています。CMC_MPER の設定にかかわらず、MM として設定されたバッテリー・モニタは、CMEN コマンドで LPCM がイネーブルされてから 31ms 後に最初のハートビート・シーケンスを開始します。この機能により、LPCM はイネーブルされると迅速にデ이지チェーンを評価することができます。ホスト・プロセッサは、この動作を観察して、アイドル状態に遷移するか低消費電力状態に遷移するかを決めます。MCU では、LPCM 機能がイネーブルされるとすぐに LPCM 割込みがアサートされ、最初のハートビート・シーケンスですべてのバッテリー・モニタ・デバイスが合格条件を送信したことを確認するとアサート解除されることを前提としています。

低消費電力セル・モニタリング

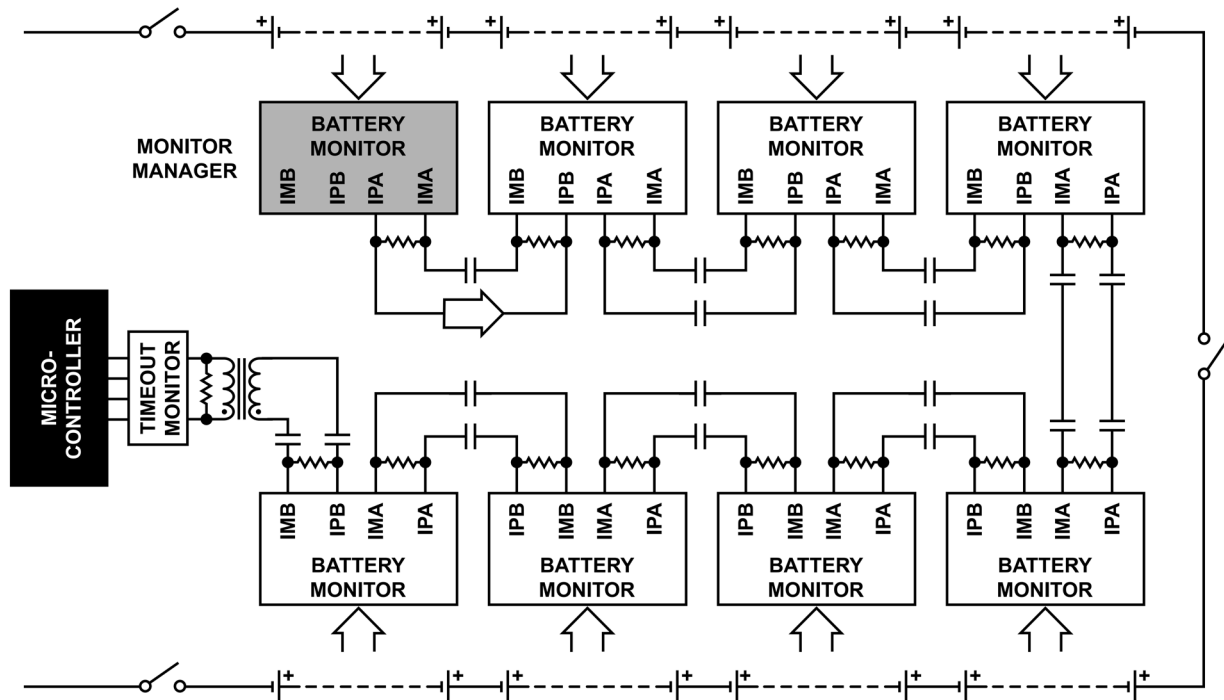


図 19. 基本的な LPCM システムの構成

100

低消費電力セル・モニタリング

LPCM の閾値

ADBMS6830B は、セルおよび GPIO の電圧測定を行った後、設定された閾値とそれら結果を比較し、フォルト条件が発生したかどうかを判断します。閾値は、以下で構成されます。

- ▶ セルの低電圧 (CMT-CUV)
- ▶ セルの過電圧 (CMT-COV)
- ▶ セルのデルタ電圧 (CMT-CDV)
- ▶ GPIO の低電圧 (CMT-GUV)
- ▶ GPIO の過電圧 (CMT-GOV)
- ▶ GPIO のデルタ電圧 (CMT-GDV)

図 20 に UV、OV、および DV の比較について示します。

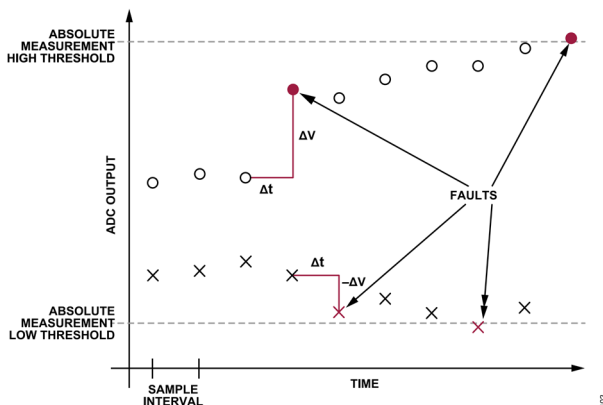


図 20. UV、OV、DV の閾値比較

フォルトが検出されると該当するフラグがセットされ、ADBMS6830B は、LPCM のハートビート・メッセージのセクションに記載されているとおりに、不合格であることを示すハートビート・メッセージを送信します。

DV 閾値の比較では、同じ入力での測定の現在値とその前の値をチェックします。DV 閾値は正の遷移でも負の遷移でも作動します。それにより、様々な出力極性を持つアナログ・センサーやデジタル・センサーを幅広く使用することができます。異なるタイプのセンサーを組み合わせることも、閾値に互換性があれば可能です。例えば、サーミスタでアナログ電圧の閾値を使用しながら、ガス・センサーのデジタル出力の遷移によってこの閾値を作動させることが可能です。システムで必要としない閾値のタイプがある場合は、閾値を作動させない値にセットすることも可能です (例えば、UV=0V、OV=6V、DV=6V)。また、セル入力と GPIO 入力をマスクすることで、所望の入力のみを閾値と比較することもできます。

LPCM のハートビート・メッセージ

LPCM 機能では、バッテリー・モニタ・デバイス間で高度なメッセージを使用してモニタリング・ステータスの通信を行います。ハートビート・メッセージには、合格条件を通知しているデバイスの数を表すデバイス数情報と、検出した不合格条件のタイプを表すフラグ・フィールドが含まれています。

ハートビート・メッセージは PEC 付きコマンドおよびデータ PEC 付きデータとして送信されます。PEC 値を使用することで、故障から通信を保護します。ADBMS6830B がハートビート・メッセージを受信したときに、コマンド PEC とペイロード PEC は一致しなければなりません。そうでなければ、ADBMS6830B はコマンドを無視します。これにより、この通信フォルトをスタック最後のタイムアウト・モニタで検出することができます。表 28 に、ハートビート・メッセージを形成する CMHB のフォーマットを示します。表 29 と表 30 に、ハートビート・メッセージ・データの内容を示します。CMHB コマンドは、ADBMS6830B デバイスから送信されるのであって、マイクロコントローラから送信されるのではないことに注意してください。

他の通信と異なり、LPCM 動作中のこのハートビート・メッセージは、CMHB コマンドで構成され、ホスト・マイクロプロセッサから発信されるのではなくデジチェーンの最後の (MM として設定された) ADBMS6830B によって発信されます。また、ハートビート・メッセージは、デジチェーンをすぐには伝搬しないという点で独特です。CMHB コマンドを受信すると、チェーン内の各 ADBMS6830B はセルおよび補助ピンの測定と比較を実行し、その後 CMHB コマンドを再生成してチェーンの次のデバイスに送ります。ADBMS6830B のこの動作によって約 5ms~15ms の伝搬遅延が発生します。この遅延は、デジチェーン内におけるマスクされた GPIO チャンネルの ADBMS6830B あたりの数に依存します。セル測定または補助ピン測定のいずれかで閾値を超えた場合、CMF0 レジスタ内にスティッキー・フラグ・ビットがセットされます。

CMF0 は、対応する OV/UV/DC 閾値を超えることによってセットされる他に、セル変換または補助変換の間に以下の内部診断 (ステータス・レジスタ・グループ C に反映) による不合格イベント、VA_OV、VA_UV、VD_OV、VD_UV、VDE、VDEL、SPIFLT、TMODCHK、および OSCCHK、が発生すると 0xFF にセットされます。

フォルトが保留状態のときに CMF0 が 0xFF にセットされないよう、LPCM に入る前に VA_OV、VA_UV、VD_OV、VD_UV、VDE、VDEL、SPIFLT、TMODCHK、OSCCHK の CLRFLAG を発行します。

設定の一環として、チェーン内のセル・モニタ数と等しい数を MM に設定します。セル・モニタの数は、MM がハートビート・メッセージのカウントとして使用する初期値です。MM で閾値フラグがアサートされない場合、MM はセル・モニタ数から 1 を引いた数を送信します。閾値フラグがアサートされた場合は、セル・モニタ数に等しい数を送信します。そして、ハートビート・メッセージのフラグ・フィールドで、検出したエラー・タイプを示すビットをアサートします。(モニタ数に使用するコードは、合格数が全ビット 0 で構成されないことがないよう、0x42 だけオフセットされています。)

MM の後の各セル・モニタは、その直前のデバイスからカウントとフラグ・フィールドを受信します。各モニタは、閾値のチェックを行った後、閾値を超えたものがなければこの数デクリメントし、閾値を超えるものがあつた場合はこの数を変更せずに次のデバイスへ送信します。直前のデバイスから受信したフォルト・フラグも新しいハートビート・メッセージに含めて生成し、次のデバイスに送ります。

低消費電力セル・モニタリング

表 28. CMHB コマンド

8	8	8	8	8	8	8	8
CMD0	CMD1	PEC0	PEC1	HBD0	HBD1	DPEC0	DPEC1

表 29. ハートビート・メッセージのデータ・フォーマット

Byte	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
HBD0	HB_DCNT[7]	HB_DCNT[6]	HB_DCNT[5]	HB_DCNT[4]	HB_DCNT[3]	HB_DCNT[2]	HB_DCNT[1]	HB_DCNT[0]
HBD1	HB_GDVP	HB_GDVN	HB_GOV	HB_GUV	HB_CDVP	HB_CDVN	HB_COV	HB_CUV

表 30. セル電圧レジスタ・グループ A のビット説明

バイト	ビット	ビット名	説明
HBD0	[7:0]	HB_DCNT[7] to HB_DCNT[0]	ハートビート・メッセージのデバイス数。MM は、CMC_NDEV の設定値と MM デバイスのモニタリング・ステータスに基づいてこの数の初期値を設定します。チェーン内の各モニタ・デバイスは、すべてのモニタリング比較が合格した場合にのみ、この値をデクリメントします。
HBD1	7	HB_GDVP	いずれかのデバイスにおいて、GPIO のデルタ電圧比較で正の方向（電圧増加）の閾値超えを検出した場合、このスティッキー・フラグ・ビットがアサートされます。このビットは、CLRCMFLAG コマンドでクリアできます。
HBD1	6	HB_GDVN	いずれかのデバイスにおいて、GPIO のデルタ電圧比較で負の方向（電圧減少）の閾値超えを検出した場合、このスティッキー・フラグ・ビットがアサートされます。このビットは、CLRCMFLAG コマンドでクリアできます。
HBD1	5	HB_GOV	いずれかのデバイスにおいて、GPIO の過電圧比較で閾値超えを検出した場合、このスティッキー・フラグ・ビットがアサートされます。このビットは、CLRCMFLAG コマンドでクリアできます。
HBD1	4	HB_GUV	いずれかのデバイスにおいて、GPIO の低電圧比較で閾値超えを検出した場合、このスティッキー・フラグ・ビットがアサートされます。このビットは、CLRCMFLAG コマンドでクリアできます。
HBD1	3	HB_CDVP	いずれかのデバイスにおいて、セルのデルタ電圧比較で正の方向（電圧増加）の閾値超えを検出した場合、このスティッキー・フラグ・ビットがアサートされます。このビットは、CLRCMFLAG コマンドでクリアできます。
HBD1	2	HB_CDVN	いずれかのデバイスにおいて、セルのデルタ電圧比較で負の方向（電圧減少）の閾値超えを検出した場合、このスティッキー・フラグ・ビットがアサートされます。このビットは、CLRCMFLAG コマンドでクリアできます。
HBD1	1	HB_COV	いずれかのデバイスにおいて、セルの過電圧比較で閾値超えを検出した場合、このスティッキー・フラグ・ビットがアサートされます。このビットは、CLRCMFLAG コマンドでクリアできます。
HBD1	0	HB_CUV	いずれかのデバイスにおいて、セルの低電圧比較で閾値超えを検出した場合、このスティッキー・フラグ・ビットがアサートされます。このビットは、CLRCMFLAG コマンドでクリアできます。

表 31. ハートビート・メッセージ・データの最終的な合格値

Byte	Pass Value
HBD0	0x42
HBD1	0x00

低消費電力セル・モニタリング

チェーン最後の TM は、不合格のデバイスやフラグのアサートがないことを示す適切なハートビート・メッセージ・カウントを受信する必要があります。ハートビート・メッセージ・データの最終的な合格値を表 31 に示します。これ以外の場合、フォルト出力がアサートされます。

以下の例を参照してください。

- ▶ チェーンに 6 個のモニタがある場合、マイクロコントローラは、スリープに入る前に CMC_NDEV = 0x48 (デバイス数 6 に 0x42 のオフセットを加算) を書き込みます。
- ▶ MM において閾値を超えるものがなければ、MM は次のデバイスに HB_DCNT = 0x47 (CMC_NDEV - 1) を送ります。
- ▶ チェーンの 2 番目のデバイスがフォルト・チェックに合格すると、その次のデバイスに HB_DCNT = 0x46 (1 をデクリメント) を送ります。
- ▶ チェーンの 3 番目のデバイスがフォルト・チェックで不合格だった場合、そのデバイスは HB_DCNT = 0x46 (デクリメントなし) を送り、該当するフラグを HBD1 にアサートします。
- ▶ チェーン内で 3 番目のデバイスのみが不合格のモニタだった場合、TM はセル・モニタ数として 1 を受信し、フォルト出力をアサートします。

LPCM の割込み指示

LPCM 機能では、以下の 3 つの条件で割込みを示します。

- ▶ LPCM 機能がイネーブルされると、初期条件として割込みがアサートされます。LPCM 機能では、最初のハートビート・メッセージがデイジーチェーンの全体に伝搬されるまで、初期状態のシステムには故障の可能性があると仮定しています。CMC_MPER の設定にかかわらず、MM として設定されたバッテリー・モニタは、CMEN コマンドで LPCM がイネーブルされてから 31ms 後に最初のハートビート・シーケンスを開始します。これにより、LPCM はイネーブルされると迅速にデイジーチェーンを評価することができます。ホスト・プロセッサは、この動作を観察して、アイドル状態に遷移するか低消費電力状態に遷移するかを決めます。ホストでは、LPCM 機能がイネーブルされるとすぐに LPCM 割込みがアサートされ、最初のハートビート・シーケンスですべてのバッテリー・モニタ・デバイスが合格条件を送信したことを確認するとアサート解除されることを前提としています。MM を含むデイジーチェーン内の各 ADBMS6830B は、まずセル測定と補助測定、および比較を実行し、その後ハートビート・メッセージを生成してデイジーチェーンの次のデバイスに送ります。デイジーチェーンの各 ADBMS6830B の伝搬遅延は約 6ms です。よって、例えば、3 個の ADBMS6830B デバイスがデイジーチェーン接続されている場合、CMEN 後 31ms 経ってからハートビート・シーケンスが開始され、3 個

のデバイスを介してチェーン最後の TM までハートビート・メッセージが伝搬するのに更に 18ms かかります。3 個のデバイスで構成されるデイジーチェーンでは、閾値超えがなかった場合、CMEN コマンド送信後約 49ms で初期条件の割込みが終了するとホストは予測できます。

- ▶ 設定された時間内にハートビート・メッセージを受信しなかった場合、割込みがアサートされます。この時間は、ブリッジレス・タイムアウト・モニタ機能を実行している場合には ADBMS6830B の CMC_TPER によって設定できます。そうでない場合は、TM デバイスを、LPCM ハートビート・メッセージのウォッチドッグとして動作するように設定します。
- ▶ ハートビート・メッセージに不正なデータ・ペイロードが含まれている場合、割込みがアサートされます。この場合は、タイムアウトの設定時間を待つ必要はありません。ハートビート・メッセージのペイロードが不正なデバイス数やフォルト・フラグを示している場合、直ちに割込みがアサートされます。

クリア CM フラグ・コマンド

CLRCMFLAG コマンドは、CMFx レジスタ・グループの CMF0 レジスタにフラグをリセットします。CLRCMFLAG コマンドでは、システムから 2 バイトを追加して送信する必要があります。すべてのフラグをリセットするには、この 2 バイトの両方を 0xFF にセットする必要があります。

セル変換または補助変換の間に、(ステータス・レジスタ・グループ C に反映された) 以下のいずれかの内部診断 (VA_OV、VA_UV、VD_OV、VD_UV、VDE、VDEL、SPIFLT、TMODCHK、OSCCHK) が不合格になった場合 CMF0 のビットも FF にセットされるため、LPCM に入る前に CLRFLAG コマンドを発行して CMF0 をクリアする必要があります。

LPCM のブリッジレス・タイムアウト・モニタ

isoSPI のブリッジ・トランシーバーを使用しない場合、ADBMS6830B を LPCM TM として設定できます。この設定では、システム・フォルトは GPIO3 および GPIO4 に出力されます。図 21 を参照してください。ブリッジレス・タイムアウト・モニタの設定には、スタックから合格のハートビート・メッセージを受信するためのタイムアウト時間が含まれます。この設定では、TM もセルと GPIO 入力を閾値と比較し、受信したハートビート・メッセージと一緒にその情報も使用してフォルト・ステータスを決定します。

GPIO3 と GPIO4 はプルダウンのみとなるため、モニタ出力には外付けのプルアップ抵抗が必要となることに注意してください。

低消費電力セル・モニタリング

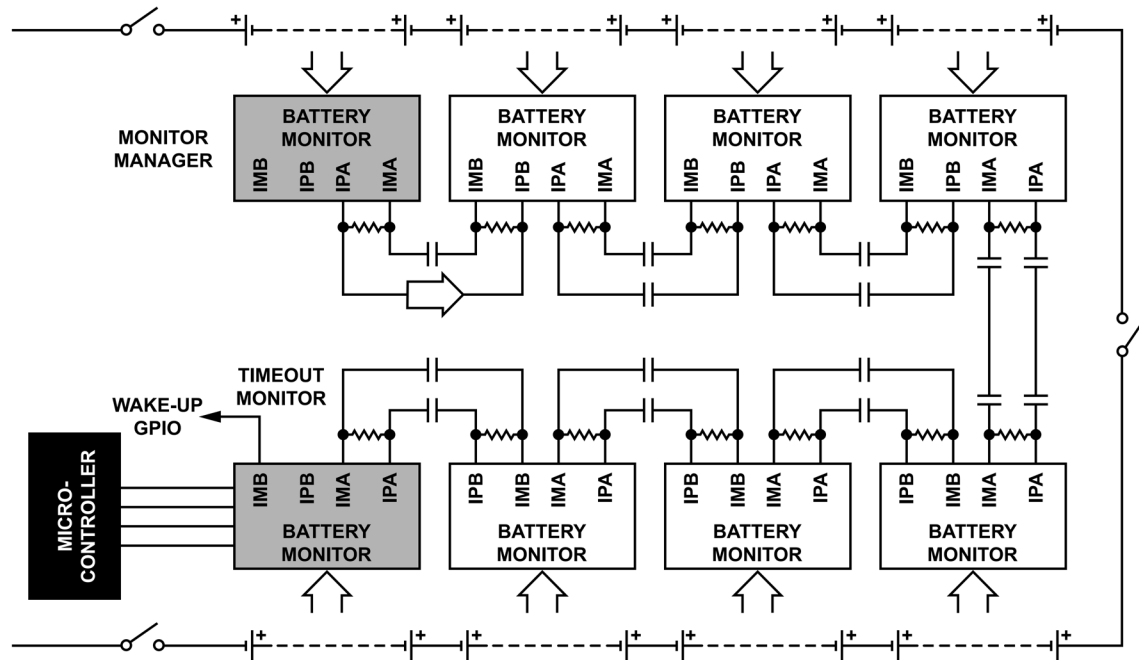


図 21.ブリッジレス・タイムアウト・モニタ・システムの構成

103

低消費電力セル・モニタリング

リバーシブル isoSPI を使用した LPCM

リバーシブル isoSPI を実装したシステムでは、LPCM を順方向、逆方向、または同時に両方の方向で使用できます。両方の方向で動作させるには、隣接した 2 個の ADBMS6830B デバイスを

MM として機能するように設定し、CMC_DIR 設定ビットを使用して適切にポートを指定する必要があります。2 個の TM を使用し、それぞれの最後に 1 個ずつ配置します。図 22 を参照してください。

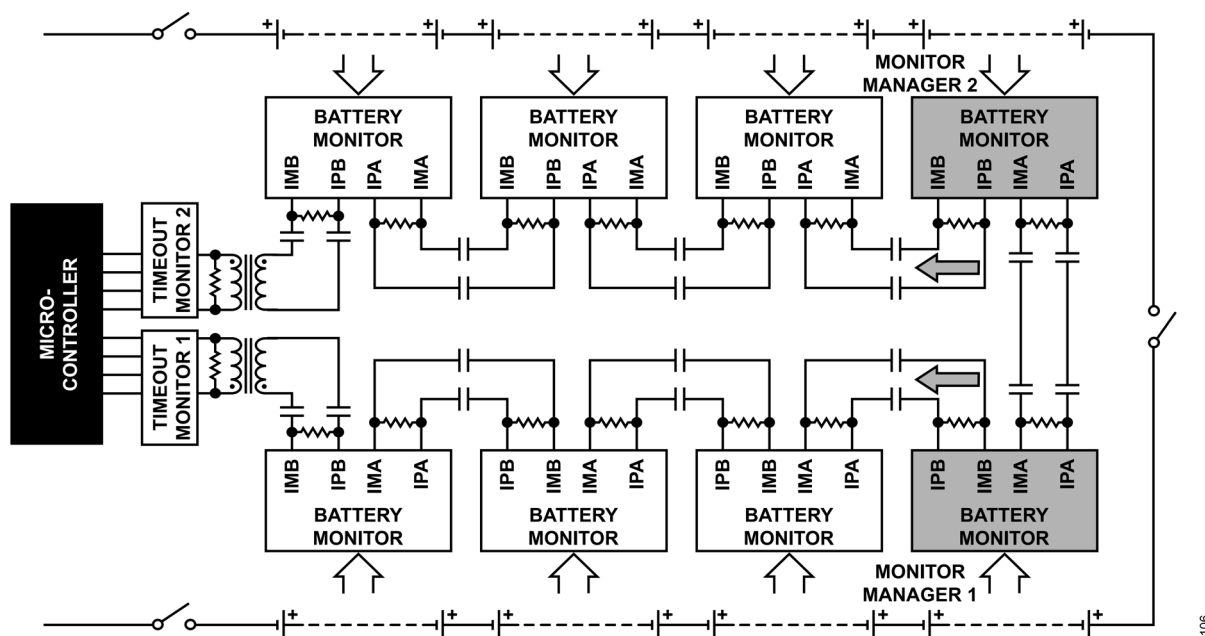


図 22. リバーシブル isoSPI を使用した LPCM

低消費電力セル・モニタリング

LPCM と放電タイマーの同時使用

BMS コントローラが CMEN コマンドを送信すると、モニタは ADC コマンドや書込みコマンドなどの一部のコマンドの受信を停止します。ただし、放電タイマー機能と LPCM 機能を同時にイネーブルして動作させることは可能です。そのためには、CMEN コマンドを送信する前に、BMS コントローラで放電タイマーの設定と LPCM の設定を行う必要があります。拡張バランシング状態と DTM 測定状態のセクション、およびウォッチドッグ・タイマおよび放電タイマーのセクションで説明したように、CMEN コマンドを送信する前に DCC ビットをクリアする必要があります。CMEN コマンドを受信すると、モニタは迅速に拡張バランシング状態に遷移し、放電動作と LPCM 動作を開始します。放電タイマー・モニタ機能がイネーブルされていると (DTMON = 1)、30 秒のモニタ周期を使用するのではなく、ハートビート変換を使用してセル電圧をモニタし、放電します。DTMON=1 の場合、設定レジスタに格納された低電圧閾値 VUV

を使用して放電を停止します。低電圧閾値 CMT_CUV を使用して、LPCM の閾値超えが発生したかどうかを判断します。この2つの低電圧閾値を異なる値に設定することで、BMS コントローラをウェイクアップせずに放電を終わらせることができます。LPCM モードと拡張バランシング・モードでは、セル測定が行われているときにセル放電はミュートされません。放電電流が流れるため、測定値はセルの配線抵抗による電圧降下の影響を受けます。PWM 放電は ADC 測定とは非同期で発生します。そのため、配線の電圧降下によって測定値が変わるかどうかを予測できません。配線抵抗と放電電流によっては、意図した電圧閾値で正確にチェックできない場合があります。

LPCM 拡張状態の遷移図

図 23 に、ADBMS6830B の標準的な状態遷移図を左 (黒色) に、それ以外の状態とパスを右 (赤色) に示します。

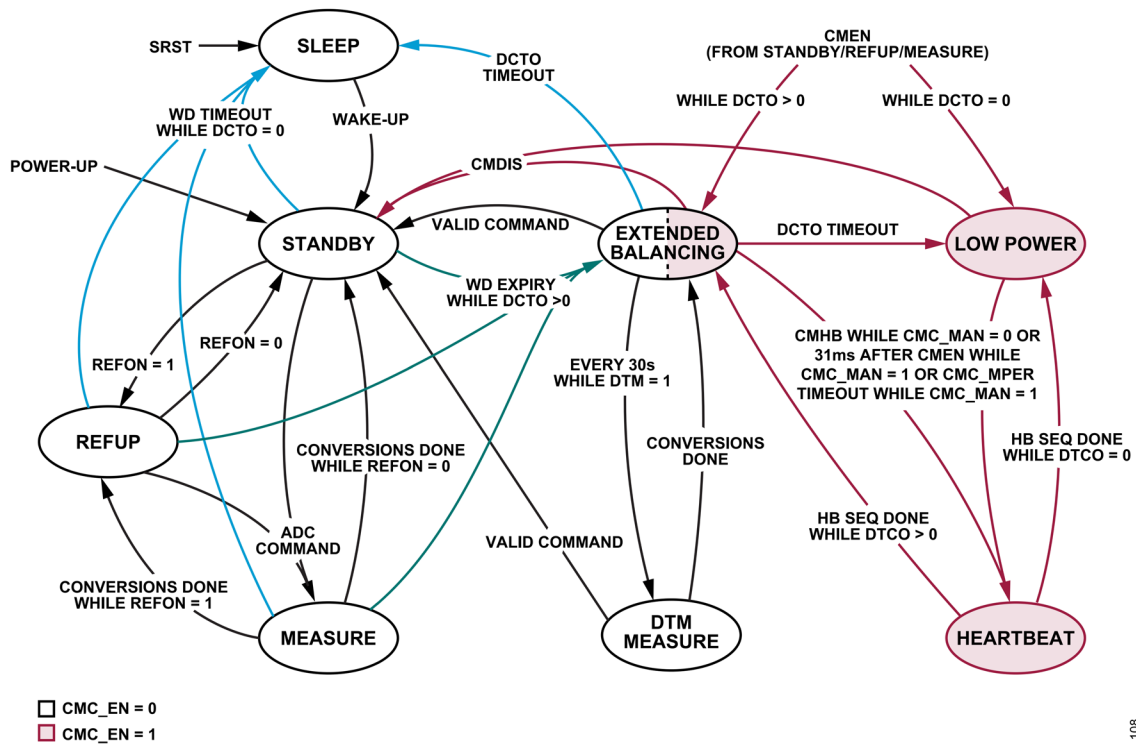


図 23. 低消費電力セル・モニタリングを追加した状態遷移図

低消費電力セル・モニタリング

LPCM の消費電力

LPCM 動作において、ADBMS6830B は、測定時間のほとんどにおいて約 10 μ A の静止電流を消費します。デバイスは、パワーアップ、測定、閾値のチェック、isoSPI を介したハートビート・メッセージの送信、およびパワーダウンに約 6.7ms かかります。ADBMS6830B は、この一連の動作に更に約 70 μ C の電荷を使用します。測定周期 (MPER) は 1 秒、2 秒、4 秒、8 秒、12 秒、16 秒、または 32 秒に設定できます。その結果、LPCM の平均電流は以下のようになります。

$$I_{LPCM(AVG)} \approx 70 \mu\text{C}/\text{MPER} + 10 \mu\text{A}$$

平均電流の概算値は、利用可能な測定周期に対して以下のようになります。

$$1 \text{ sec} \approx 80 \mu\text{A} \quad 2 \text{ sec} \approx 45 \mu\text{A} \quad 4 \text{ sec} \approx 28 \mu\text{A} \quad 8 \text{ sec} \approx 19 \mu\text{A} \quad 12 \text{ sec} \approx 16 \mu\text{A} \quad 16 \text{ sec} \approx 14 \mu\text{A} \quad 32 \text{ sec} \approx 12 \mu\text{A}$$

LPCM のシステム診断

システム・コントローラは、ハートビート・メッセージによってスリープに入る前に診断を行うことができます。コントローラから、1 個または複数のモニタがフォルト条件を検出すると見込んでモニタを設定します。そして、コントローラはフォルト出力とハートビート・メッセージをモニタし、予測したフォルトが検出されたかどうかを確認します。この方法により、適切なセル電圧のフォルト検出、GPIO のフォルト検出、モニタリング時間、タイムアウト検出、およびフォルト出力のアサートを確認します。

LPCM の設定例

以下は、ADBMS6830B デバイス・スタックを低消費電力セル・モニタリングに設定するための擬似コードの例です。

```
//Wake up
repeat(NUMDEV) begin
CSB low;
CSB high;
wait(500us); // 500us <= wait time < tIDLE
end

//Configure cell thresholds
CSB low;
WRCMCELLT;

//command plus command PEC
repeat(NUMDEV) begin
write_byte (CM_CELLT_byte[0]);
write_byte (CM_CELLT_byte[1]);
write_byte (CM_CELLT_byte[2]);
write_byte (CM_CELLT_byte[3]);
write_byte (CM_CELLT_byte[4]);
write_byte (CM_CELLT_byte[5]);
write_byte (DPEC_byte[0]);
write_byte (DPEC_byte[1]);
end
CSB high;
```

```
<Optional readback>

//Configure GPIO thresholds
CSB low;
WRCMGPIOT;

//command plus Command PEC
repeat(NUMDEV) begin
write_byte (CM_GPIOT_byte[0]);
write_byte (CM_GPIOT_byte[1]);
write_byte (CM_GPIOT_byte[2]);
write_byte (CM_GPIOT_byte[3]);
write_byte (CM_GPIOT_byte[4]);
write_byte (CM_GPIOT_byte[5]);
write_byte (DPEC_byte[0]);
write_byte (DPEC_byte[1]);
end
CSB high;
<Optional readback>

//General LPCM Configurations
CSB low;
WRCMCFG;

//command plus command PEC
//TOP DEVICE IN GROUP MUST BE
//PROGRAMMED AS MANAGER
repeat(NUMDEV) begin
write_byte (CM_CFG_byte[0]);
write_byte (CM_CFG_byte[1]);
write_byte (CM_CFG_byte[2]);
write_byte (CM_CFG_byte[3]);
write_byte (CM_CFG_byte[4]);
write_byte (CM_CFG_byte[5]);
write_byte (DPEC_byte[0]);
write_byte (DPEC_byte[1]);
end
CSB high;
<Optional readback>

//Clear LPCM Flags
CSB low;
CLRCLMFLAG;

//command plus command PEC
repeat(NUMDEV) begin
write_byte (8'hFF);
write_byte (8'hFF);
write_byte (DPEC_byte[0]);
write_byte (DPEC_byte[1]);
end
CSB high;
<Optional readback>

//Enable Cell Monitoring
CSB low;
```


低消費電力セル・モニタリング

```
CMEN;
//command plus command PEC
CSB high;

Below is pseudo-code for exiting LPCM mode for
a stack of ADBMS6830M devices:
// Repeat the disable command
// until all devices have
// exited LPCM.
// The heartbeat sequence within
// one device can take ~6.6ms
// typical to execute.
// The disable command must be
// repeated for each device
// in the stack and additionally
// for long enough to last the
// duration of a heartbeat
// sequence in progress.
// 20 repetitions of 500us wait
// allows 8ms, providing for
// possible oscillator variation
// for devices in the stack.
repeat(NUMDEV + 20) begin

// Wake up pulse
CSB low;
CSB high;
wait(500us) // 500us <= wait time < tIDLE
// Send disable command
CSB low;
CMDIS;
//command plus command PEC
CSB high;
end

//Clear the command count
CSB low;
RSTCC;

//command plus command PEC
CSB high;
```

GPIO を使用した I²C/SPI マスタ

ADBMS6830B の I/O ポート GPIO3、GPIO4、GPIO5 は、I²C または SPI マスタ・ポートとして I²C または SPI スレーブとの通信に使用できます。I²C マスタとして使用する場合、GPIO4 は I²C インターフェースの SDA ポート、GPIO5 は SCL ポートを形成します。SPI マスタとして使用する場合、GPIO3 は SPI の CSBM ポート、GPIO4 は SDIOM ポート、GPIO5 は SCKM ポートとなります。ADBMS6830B の SPI マスタは SPI モード 3 (CPHA = 1、CPOL = 1) をサポートしています。

GPIO はオープン・ドレイン出力です。そのため、これらのポートを I²C または SPI マスタとして動作させるには、外付けのプルアップ抵抗が必要です。また、設定レジスタ・グループ A の GPO ビットに 1 を書き込み、これらのポートがデバイスによって内部でローにプルダウンされないように設定することが重要です。

COMM レジスタ

表 32 に示すように、ADBMS6830B は 6 バイトの COMM レジスタを備えています。このレジスタには、スレーブとの I²C/SPI 通

信に必要なすべてのデータおよび制御ビットが格納されます。COMM レジスタは、スレーブ・デバイスとの送受信を行うための 3 バイトのデータ Dx[7:0]を備えています。ICOMx[3:0]は、各データ・バイトの送受信前の制御動作を指定します。FCOMx[3:0]は、各データ・バイトの送受信後の制御動作を指定します。

COMM レジスタの ICOMx[3]ビットを 1 にセットするとデバイスは SPI マスタに、0 にセットすると I²C マスタになります。

表 33 に、I²C マスタとしてデバイスを使用する場合に ICOMx[3:0]と FCOMx[3:0]に書き込める有効なコード、および動作を示します。

表 34 に、SPI マスタとしてデバイスを使用する場合に ICOMx[3:0]と FCOMx[3:0]に書き込める有効なコード、および動作を示します。

ICOMx[3:0]と FCOMx[3:0]では、表 33 と表 34 に記載されたコードのみが有効であることに注意してください。表 33 と表 34 に記載されていないコードを ICOMx[3:0]と FCOMx[3:0]に書き込んだ場合、I²C/SPI ポートで予期せぬ動作を起こす可能性があります。

表 32. COMM レジスタのメモリ・マップ

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
COMM0	RD/WR	ICOM0[3]	ICOM0[2]	ICOM0[1]	ICOM0[0]	FCOM0[3]	FCOM0[2]	FCOM0[1]	FCOM0[0]
COMM1	RD/WR	D0[7]	D0[6]	D0[5]	D0[4]	D0[3]	D0[2]	D0[1]	D0[0]
COMM2	RD/WR	ICOM1[3]	ICOM1[2]	ICOM1[1]	ICOM1[0]	FCOM1[3]	FCOM1[2]	FCOM1[1]	FCOM1[0]
COMM3	RD/WR	D1[7]	D1[6]	D1[5]	D1[4]	D1[3]	D1[2]	D1[1]	D1[0]
COMM4	RD/WR	ICOM2[3]	ICOM2[2]	ICOM2[1]	ICOM2[0]	FCOM2[3]	FCOM2[2]	FCOM2[1]	FCOM2[0]
COMM5	RD/WR	D2[7]	D2[6]	D2[5]	D2[4]	D2[3]	D2[2]	D2[1]	D2[0]

表 33. I²C マスタで ICOMx[3:0]と FCOMx[3:0]に書き込み可能なコード

制御ビット	コード	動作	説明
ICOMx[3:0]	0110	Start	I ² C ポートでスタート信号を生成した後、データ送信を行います
	0111	Stop	I ² C ポートでストップ信号を生成します
	0000	Blank	I ² C ポートで直接データ送信を行います
	0111	No transmit	SDA および SCL を解放し、残りのデータを無視します
FCOMx[3:0]	0000	Master acknowledge	マスタは 9 番目のクロック・サイクルでアクノレッジ信号を生成します
	1000	Master no acknowledge	マスタは 9 番目のクロック・サイクルでノー・アクノレッジ信号を生成します
	1001	Master no acknowledge and stop	マスタはノー・アクノレッジ信号を生成した後、ストップ信号を生成します

表 34. SPI マスタで ICOMx[3:0]と FCOMx[3:0]に書き込み可能なコード

制御ビット	コード	動作	説明
ICOMx[3:0]	1000	CSBM low	SPI ポート (GPIO3) で CSBM ロー信号を生成します
	1010	CSBM falling edge	CSBM (GPIO3) をハイに駆動した後、ローに駆動します
	1001	CSBM high	SPI ポート (GPIO3) で CSBM ハイ信号を生成します
	1111	No transmit	SPI ポートを解放し、残りのデータを無視します
FCOMx[3:0]	X000	CSBM low	バイト送信後、CSBM をローにホールドします
	1001	CSBM high	バイト送信後、CSBM をハイに遷移します

GPIO を使用した I²C/SPI マスタ

COMM コマンド

スレーブ・デバイスと I²C/SPI 通信を行うには、WRCOMM、STCOMM、RDCOMM の 3 つのコマンドが役立ちます。

WRCOMM コマンドは、COMM レジスタにデータを書き込みます。このコマンドは、COMM レジスタに 6 バイトのデータを書き込みます。データの最後には、PEC を書き込む必要があります。PEC が一致しない場合、CSB がハイになると COMM レジスタのすべてのデータは 0 にクリアされます。書き込みコマンド・フォーマットの詳細については、[バス・プロトコル](#)のセクションを参照してください。

STCOMM コマンドは、GPIO ポートの I²C/SPI 通信を開始します。COMM レジスタには、スレーブへ送信する 3 バイトのデータが格納されています。このコマンドが実行されている間、COMM レジスタに格納されたデータ・バイトは I²C/SPI スレーブ・デバイスに送信され、I²C/SPI デバイスから受信したデータは COMM レジスタに格納されます。このコマンドは、I²C 通信では GPIO4 (SDA) と GPIO5 (SCL) を使用し、SPI 通信では GPIO3 (CSBM)、GPIO4 (SDIOM)、GPIO5 (SCKM) を使用します。

CSB がローにホールドされている間に、スレーブ・デバイスに送信する各データ・バイトあたり 24 クロック・サイクルを STCOMM の後に送信してください。例えば、スレーブに 3 バイト・データを送信する場合、STCOMM コマンドとその PEC を送信後、72 クロック・サイクルを送信します。STCOMM コマンドの 72 クロック・サイクルが終わると、CSB はハイになります。

I²C または SPI で通信中、スレーブ・デバイスから受信したデータは COMM レジスタに更新されます。

RDCOMM コマンドを使用して、スレーブ・デバイスから受信したデータを COMM レジスタから読み出すことができます。このコマンドは、6 バイト・データを読み出した後、PEC を読み出します。読出しコマンド・フォーマットの詳細については、[バス・プロトコル](#)のセクションを参照してください。

表 35 に、デバイスを I²C マスタとして使用する場合に使用可能な ICOMx[3:0] および FCOMx[3:0] の読出しコードを示します。Dx[7:0] には I²C スレーブから送信されるデータ・バイトが格納されます。

表 35. ピン機能の説明 I²C マスタの ICOMx[3:0] および FCOMx[3:0] 用読出しコード

制御ビット	コード	説明
ICOMx[3:0]	0110	マスタはスタート信号を生成します
	0001	マスタはストップ信号を生成します
	0000	ブランク、SDA はバイト読出しの間ローに保持されます
	0111	ブランク、SDA はバイト読出しの間ハイに保持されます
FCOMx[3:0]	0000	マスタはアクノレッジ信号を生成します
	0111	スレーブはアクノレッジ信号を生成します
	1111	スレーブはノー・アクノレッジ信号を生成します
	0001	スレーブはアクノレッジ信号を生成し、マスタはストップ信号を生成します
	1001	スレーブはノー・アクノレッジ信号を生成し、マスタはストップ信号を生成します

SPI マスタとして使用する場合、常に ICOMx[3:0] の読出しコードは 0111、FCOMx[3:0] の読出しコードは 1111 です。Dx[7:0] には SPI スレーブから送信されるデータ・バイトが格納されます。

図 24 に、GPIO を使用して I²C/SPI マスタとして設定したときの ADBMS6830B の動作を示します。

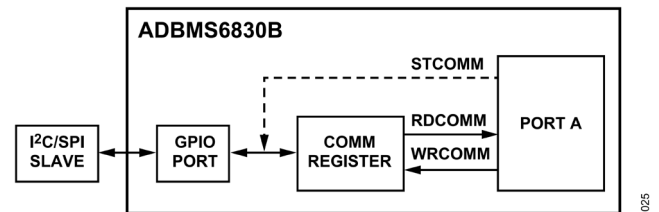


図 24. GPIO を使用した I²C/SPI マスタ

これらのコマンドを使用して 3 バイトのグループを複数送信することで、任意のバイト数をスレーブに送信することができます。GPIO ポートは、異なる複数の STCOMM コマンド間でリセットされることはありません。ただし、コマンド間の待ち時間が 2 秒を超えると、ウォッチドッグ・タイマが切れ、ポートはデフォルト値にリセットされます。

I²C マスタを使用して複数のデータ・バイトを送信するために必要なのは、データ・ストリーム全体の最初に生成するスタート信号のみです。ストップ信号はデータ・ストリームの最後のみ必要となります。すべての中間データ・グループは、データ・バイトの前にブランク・コードを使用し、必要に応じてデータ・バイトの後にアクノレッジ信号またはノー・アクノレッジ信号を使用します。SDA と SCL は、異なる複数の STCOMM コマンド間でリセットされることはありません。

SPI マスタを使用して複数のデータ・バイトを送信するには、最初のデータ・バイトの前に CSBM ロー信号を送信します。対応するコードを FCOMx[3:0] で使用することにより、中間データ・グループの間に CSBM をローまたはハイにできます。CSBM ハイ信号は最後のデータ・バイトの後に送信します。CSBM、SDIOM、SCKM は、異なる複数の STCOMM コマンド間でリセットされることはありません。

図 25 に、I²C マスタでの STCOMM コマンド後の 24 クロック・サイクルを、様々な場合について示します。ストップ信号が送信された後に ICOMx[3:0] がストップ条件を指定した場合、SDA ラインと SCL ラインはハイに保持され残りのワードのデータはすべて無視されます。ICOMx[3:0] が送信なしの条件にセットされると、SDA ラインと SCL ラインは解放され残りのワードのデータはすべて無視されます。この条件は、スタック内にスレーブと通信する必要がないデバイスがある場合に使用します。

図 26 に、SPI マスタでの STCOMM コマンド後の 24 クロック・サイクルを示します。I²C マスタの場合と同様、ICOMx[3:0] が CSBM ハイ、または送信なしの条件にセットされると、SPI マスタの CSBM、SCKM、および SDIOM ラインは解放され残りのワードのデータはすべて無視されます。

GPIO を使用した I²C/SPI マスタ

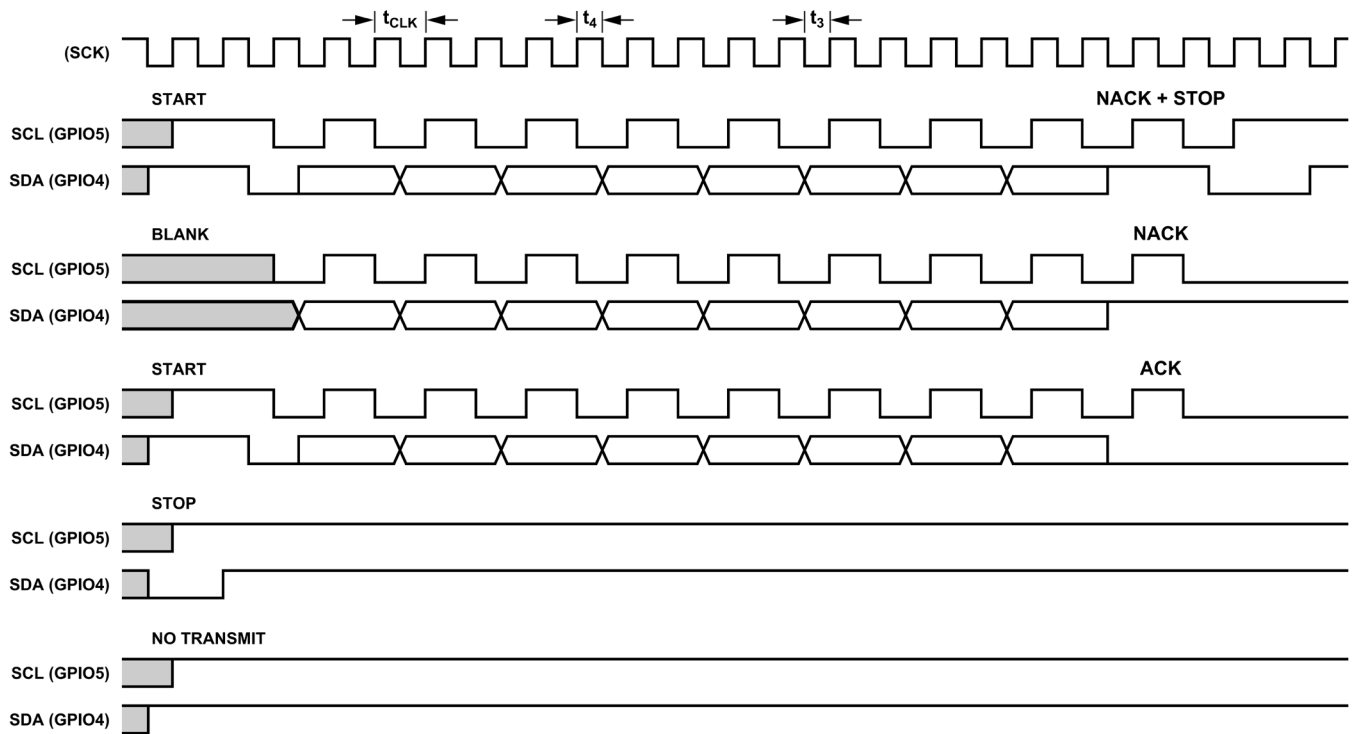


図 25. I²C マスタでの STCOMM のタイミング図

023

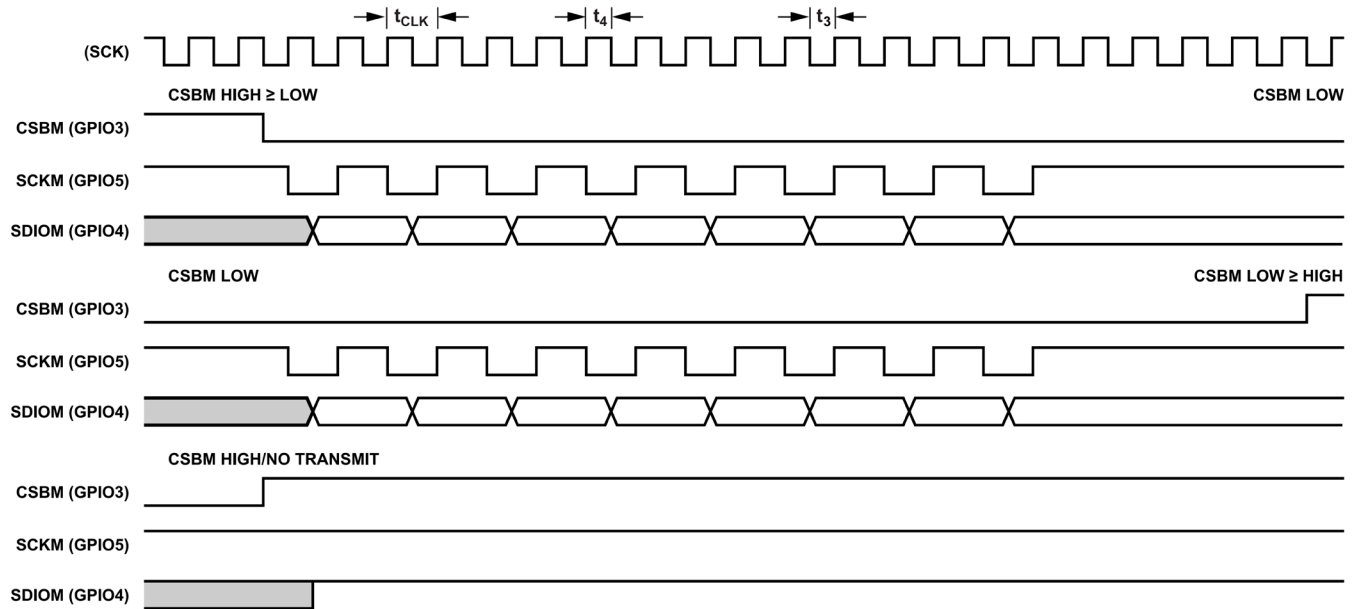


図 26. SPI マスタでの STCOMM のタイミング図

024

GPIO を使用した I²C/SPI マスタI²C および SPI マスタのタイミング仕様

I²C/SPI マスタのタイミングは、ADBMS6830B のプライマリ SPI の通信タイミングによって制御されます。

表 36 に、I²C マスタのタイミングとプライマリ SPI クロックの関係を示します。表 37 に、SPI マスタのタイミング仕様を示します。

表 36. I²C マスタのタイミング

I ² C Master Parameter	Timing Relationship to Primary SPI	Timing Specifications at t _{CLK} = 0.5 ms
SCL Clock Frequency	$1/(2 \times t_{CLK})$	Maximum 1 MHz
t _{HD,STA}	t ₃	Minimum 100 ns
t _{LOW}	t _{CLK}	Minimum 0.5 μs
t _{HIGH}	t _{CLK}	Minimum 0.5 μs
t _{SU,STA}	t _{CLK} + t ₄ ¹	Minimum 0.53 μs
t _{HD,DAT}	t ₄ ¹	Minimum 30 ns
t _{SU,DAT}	t ₃	Minimum 100 ns
t _{SU,STO}	t _{CLK} + t ₄ ¹	Minimum 0.53 μs
t _{BUF}	3 × t _{CLK}	Minimum 1.5 μs

¹ isoSPI を使用する場合、内部で t₄ が生成され、最小値は 30ns です。また、t₃ = t_{CLK} - t₄ です。SPI を使用する場合、t₃ が SCK 入力のロー時間、t₄ がハイ時間となり、仕様規定されている最小値はそれぞれ 100ns です。

表 37. SPI マスタのタイミング

SPI Master Parameter	Timing Relationship to Primary SPI	Timing Specifications at t _{CLK} = 0.5 ms
SDIOM Valid to SCKM Rising Setup	t ₃	Minimum 100 ns
SDIO Valid from SCKM Rising Hold	t _{CLK} + t ₄ ¹	Minimum 0.53 μs
SCKM Low	t _{CLK}	Minimum 0.5 μs
SCKM High	t _{CLK}	Minimum 0.5 μs
SCKM Period (SCKM Low + SCKM High)	2 × t _{CLK}	Minimum 1 μs
CSBM Pulse Width	3 × t _{CLK}	Minimum 1.5 μs
SCKM Rising to CSBM Rising	5 × t _{CLK} + t ₄ ¹	Minimum 2.53 μs
CSBM Falling to SCKM Falling	t ₃	Minimum 100 ns
CSBM Falling to SCKM Rising	t _{CLK} + t ₃	Minimum 0.6 μs
SCKM Falling to SDIOM Valid		Master requires < t _{CLK}

¹ isoSPI を使用する場合、内部で t₄ が生成され、最小値は 30ns です。また、t₃ = t_{CLK} - t₄ です。SPI を使用する場合、t₃ が SCK 入力のロー時間、t₄ がハイ時間となり、仕様規定されている最小値はそれぞれ 100ns です。

シリアル・インターフェースの概要

ADBMS6830B のシリアル・ポートには、CSB、SCK、SDI、SDO を使用する標準的な 4 線式 SPI と、IMA、IPA を使用する 2 線式 isoSPI の 2 種類があります。デュアル・ファンクション・ピンが 2 線式シリアル・ポートとして動作するか 4 線式シリアル・ポートとして動作するかは、ISOMD ピンの状態によって決まります。2 線式と 4 線式のどちらのシリアル・ポートも 2Mbps で通信できます。

ADBMS6830B は、IMA と IPA を使用する isoSPI モード、または CSB、SCK、SDI、SDO を使用する SPI モードでデジチェーン接続して使用できます。デジチェーン構成では、isoSPI の第 2 ポートが IMB と IPB を使用します。

4 線式 SPI の物理層

ISOMD を V- に接続すると、シリアル・ポート A は 4 線式 SPI に設定されます。SDO ピンはオープン・ドレイン出力で、プルアップ抵抗を適切な電源電圧に接続する必要があります。

4 線式シリアル・ポートは、CPHA = 0 および CPOL = 0 を使用する SPI システム、または CPHA = 1 および CPOL = 1 を使用する SPI システムで動作するように設定できます。したがって、SCK の立上がりエッジの間、SDI のデータは安定している必要があります。図 27 に タイミングを示します。最大データレートは 2Mbps です。ただし、仕様規定された最大データレートでの動作を確保するため、製造時にはデバイスはもっと高いデータレートでテストされています。

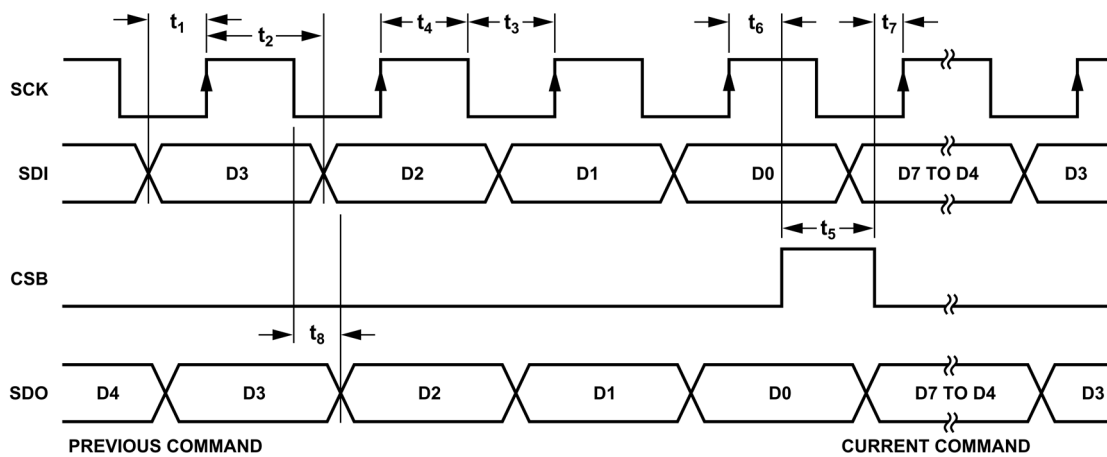


図 27.4 線式 SPI のタイミング図

シリアル・インターフェースの概要

2 線式リバーシブル isoSPI の物理層

2 線式インターフェースは、シンプルなツイスト・ペア・ケーブルを使用して ADBMS6830B デバイス間を接続する手段を提供します。このインターフェースは、ケーブル配線が強い RF 放射磁場にさらされる場合にパケット・エラー・レートを低減できるように設計されています。外付けのトランスまたは外付けのコンデンサによって絶縁が得られます。

標準の SPI 信号は、差動パルスにエンコードされます。伝送パルス強度は 20mA に、レシーバの閾値レベルは 300mV にセットされます。

外部接続

ADBMS6830B は、ポート A とポート B の 2 つのシリアル・ポートを備えています。ポート B は常に 2 線式インターフェースとして設定されています。ポート A は、ISOMD ピンの接続状態に応じて 2 線式または 4 線式インターフェースになります。

ポート A が 4 線式インターフェースとして設定されている場合、常にポート A がスレーブ・ポート、ポート B がマスタ・ポートです。通信は、デジチェーン構成の 1 番目のデバイスのポート A から常に開始されます。デジチェーンの最後のデバイスはポート B を使用しないので、終端する必要があります。あるいは、最後のデバイスのポート B を MCU のマスタ側の第 2 isoSPI ポートに接続してリング型の通信アーキテクチャを形成することもできます。これにより、4 線式インターフェースに設定された最初のデバイス以外、デジチェーンのすべてのデバイスに冗長な通信パスが提供されます。

図 28 に、ADBMS6830B 間の信号をコンデンサでカップリングした最もシンプルなポート接続を示します。

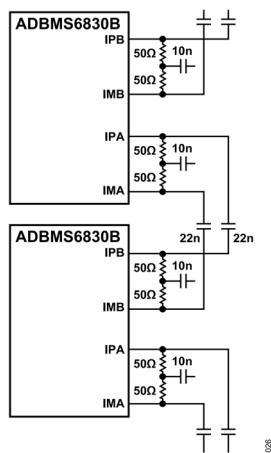


図 28. コンデンサで絶縁した isoSPI

ポート A を 2 線式インターフェースとして設定した場合、通信はポート A とポート B のどちらでも開始できます。ポート A で通信が開始された場合、ADBMS6830B はポート A をスレーブ、ポート B をマスタとして設定します。同様に、ポート B で通信が開始された場合、ADBMS6830B はポート B をスレーブ、ポート A をマスタとして設定します。リバーシブル isoSPI の詳細については、リバーシブル isoSPI のセクションを参照してください。

図 27 に、それぞれに 1 個の ADBMS6830B を搭載した複数の同一 PCB を、堅牢に接続した例を示します。マイクロプロセッサは個別の PCB に配置されています。マイクロプロセッサの PCB と 1 番目の ADBMS6830B の PCB の間を 2 線式の絶縁インターフェースで接続するため、ADBMS6821 または ADBMS6822 をサポート IC として使用します。

リバーシブル isoSPI

図 29 に、リバーシブル isoSPI を使用した ADBMS6830B のデジチェーン構成を示します。2 個の ADBMS6821 または 1 個の ADBMS6822 をデジチェーンのそれぞれの側に接続します。2 個の ADBMS6821 はどちらもマスタとして設定し、マイクロプロセッサ・ユニット (MPU) との接続に同じ SPI を共有します。MPU は 2 個の差動 CS 信号を使用して、2 個の ADBMS6821 のうちの 1 個と通信します。

例えば、図 29 において、後段に接続した ADBMS6821 をアドレス指定した場合、ADBMS6830B のデバイス A がスタックの 1 番目のデバイスとなり、デバイス B、C と続きます。各 ADBMS6830B のポート A がスレーブとして、ポート B がマスタとして設定されます。前段に接続した ADBMS6821 をアドレス指定した場合、ADBMS6830B のデバイス C がスタックの 1 番目のデバイスとなり、デバイス B、A と続きます。各 ADBMS6830B のポート B がスレーブとして、ポート A がマスタとして設定されます。

2 線式インターフェースの単一点障害イベントに対して、リバーシブル isoSPI は冗長な通信パスを提供します。

シリアル・インターフェースの概要

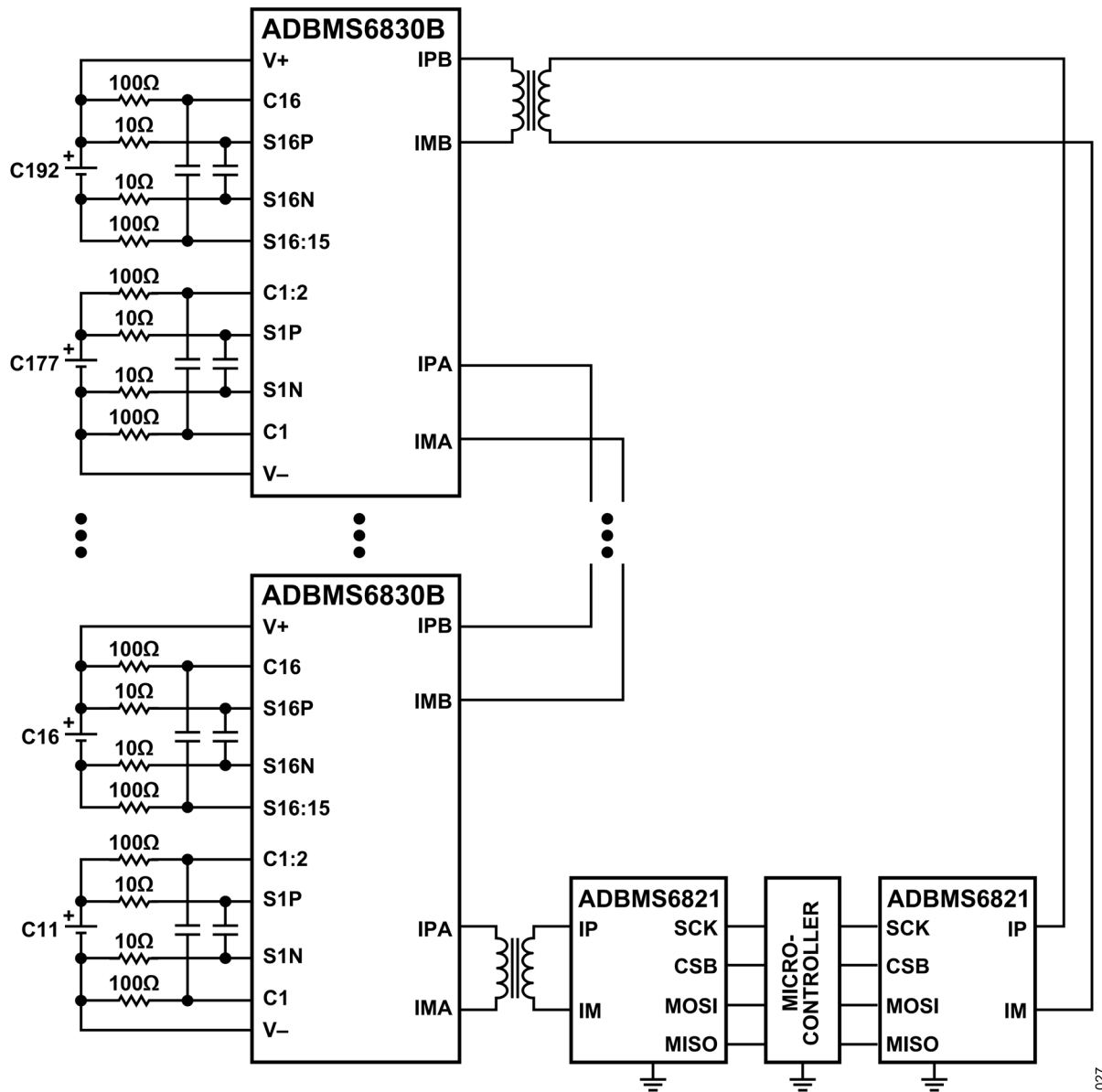


図 29. リバーシブル isoSPI による複数のデバイス構成

027

シリアル・インターフェースの概要

設定可能な isoSPI ブレーク

デジタイゼーションの個々の ADBMS6830B デバイスで、isoSPI マスタ・ポートのデータ送信を停止する設定ができます。この動作を行うには、設定レジスタ・グループ A の COMM_BK ビットに 1 を書き込みます。COMM_BK ビットをアサートしても、ADBMS6830B は SPI/isoSPI ポート A または isoSPI ポート B からのコマンドの受信および応答を妨げられません。そのため、このセットアップは、リバーシブル isoSPI のデジタイゼーションを半分に分割し、有効な通信帯域幅を増やすために使用します。ホストは、デジタイゼーションの中央にある 2 個の ADBMS6830B デバイスの COMM_BK ビットをアサートできます。そして、ホストからデジタイゼーションの両端に同時にコマンドを送信します。これはあたかも、チェーン全体の半分の長さを持つ 2 個の別々のデジタイゼーションと通信しているように見えます。

通信停止の設定が行われた ADBMS6830B デバイスがあるときに通信障害が発生すると、ホストは続けて順方向、逆方向の両方から、チェーンのすべてのデバイスに COMM_BK = 0 の書き込みを試行します。この書き込みによってホストは可能性があるすべてのデバイスにアクセスし、通信を停止したデバイスの位置を特定することができます。

COMM_BK ビットはウォッチドッグ・リセットによって 0 にリセットされます。

isoSPI パルスの詳細

2 個の ADBMS6830B デバイスは、絶縁バリアの前後で差動パルスを送受信することにより通信できます。トランスミッタは、+VA、0V、-VA の 3 つの電圧レベルを出力します。正の出力は、負荷抵抗の IP ソース電流と IM シンク電流によって生成されます。負の電圧は、IP シンク電流と IM ソース電流によって生成されます。両方の出力がオフになると、負荷抵抗によって差動出力は 0V になります。

信号の DC 成分を除去して信頼性を向上させるため、isoSPI パルスは対称なパルス・ペアとして定義されます。1 個の +1 パルスは、正のパルス、その次に負のパルスの順に送信されます。1 個の -1 パルスは、負のパルス、その次に正のパルスの順に送信されます。各パルス幅は、必要な対称ペアの半分となるため、 $t_{1/2PW}$ と定義されます (isoSPI パルス幅全体は $2 \times t_{1/2PW}$)。

表 38. isoSPI パルスの種類

Pulse Type	First Level ($t_{1/2PW}$)	Second Level ($t_{1/2PW}$)	Ending Level
Long +1	+VA (150 ns)	-VA (150 ns)	0V
Long -1	-VA (150 ns)	+VA (150 ns)	0V
Short +1	+VA (50 ns)	-VA (50 ns)	0V
Short -1	-VA (50 ns)	+VA (50 ns)	0V

ホスト・マイクロコントローラは、2 線式のインターフェースを使用するために isoSPI パルスを生成する必要はありません。システムの 1 番目の ADBMS6830B は、ポート A の 4 線式 SPI を使用してマイクロコントローラと通信し、デジタイゼーションの他の ADBMS6830B とポート B の 2 線式 isoSPI を使用して通信します。また、SPI 信号を isoSPI パルスに変換するために ADBMS6821 または ADBMS6822 を使用することもできます。

ADBMS6830B がポート A を SPI として使用している場合 (ISOMD = V-)、SPI は、CSB の立下がり、CSB の立上がり、SDI = 0 かつ SCK の立上がり、SDI = 1 かつ SCK の立上がり、の 4 つの通信イベントのうちの 1 つを検出します。それぞれのイベントは 4 種類のパルスの 1 つに変換され、デジタイゼーションの他の ADBMS6830B に送信されます。表 39 に示すように、CSB の変化を伝送するにはロング・パルスが使用され、データを伝送するにはショート・パルスが使用されます。

表 39. ポート B (マスタ) isoSPI ポートの機能

Communication Event (Port A SPI)	Transmitted Pulse (Port B isoSPI)
CS Rising	Long +1
CS Falling	Long -1
SCK Rising Edge, SDI = 1	Short +1
SCK Rising Edge, SDI = 0	Short -1

絶縁バリアの反対側 (つまり、ケーブルのもう一端) では、2 番目の ADBMS6830B は ISOMD = V_{REG} となります。このポート A はスレーブ isoSPI として動作します。このデバイスは、伝送された各パルスを受信すると、表 40 に示すように内部で SPI 信号を再構成します。また、このポートは、読出しコマンド実行中にリターン・データ・パルスを送信できます。

スレーブ isoSPI ポート (スレーブ) は、ロング (CSB) パルスを送信しません。スレーブ isoSPI ポートは -1 のショート・パルスの送信を繰り返し、データ・ビットを読み出すと +1 のショート・パルスを送信します。マスタ・ポートが +1 または -1 のショート・パルスではなくヌルの応答を受信した場合、マスタ・ポートはヌルの応答をロジック 1 ビットとして認識します。

表 40. ポート A (スレーブ) isoSPI ポートの機能

Received Pulse (Slave isoSPI Port)	Internal SPI Port Action	Return Pulse
Long +1	Drive CSB high	None
Long -1	Drive CSB low	None
Short +1	Set SDI = 1 Pulse SCK	Short -1 pulse if reading 0 bits Short +1 pulse if reading 1 bit (no return pulse if not in read mode)
Short -1	Set SDI = 0 Pulse SCK	Short -1 pulse if reading 0 bits Short +1 pulse if reading a 1 bit (no return pulse if not in read mode)

シリアル・インターフェースの概要

タイミング図

図 31 に、デジチェーン接続された ADBMS6830B デバイスに読み出しコマンドを送信するときの isoSPI のタイミング図を示します。ISOMD ピンは後段のデバイスの V- に接続され、このポート A は SPI ポート (CSB、SCK、SDI、SDO) として設定されます。スタックされた 3 個のデバイスの isoSPI 信号には、ポート (ポート A またはポート B) とデバイス番号が示されています。ISO B1 と ISO A2 は同じ信号ですが、デバイス 1 とデバイス 2 を接続する伝送ケーブルの両端を示しています。同様に、ISO B2 と ISO A3 は同じ信号ですが、デバイス 2 とデバイス 3 の間で発生するケーブル遅延が含まれています。

ビット WN~ビット W0 は、読み出しコマンドの 16 ビット・コマンド・コードおよび 16 ビット PEC を表しています。ビット W0 が終わると、3 個のデバイスは読み出しコマンドをデコードし、SCK クロックの次の立上がりエッジで有効なデータのシフト・アウトを開始します。ビット XN~ビット X0 は、デバイス 1 によってシフト・アウトされたデータを表します。ビット YN~ビット Y0 はデバイス 2 によってシフト・アウトされたデータを、ビット ZN~ビット Z0 はデバイス 3 によってシフト・アウトされたデータを表します。すべてのデータは、デジチェーン接続されたデバイス 1 の SDO ポートから読み出されます。

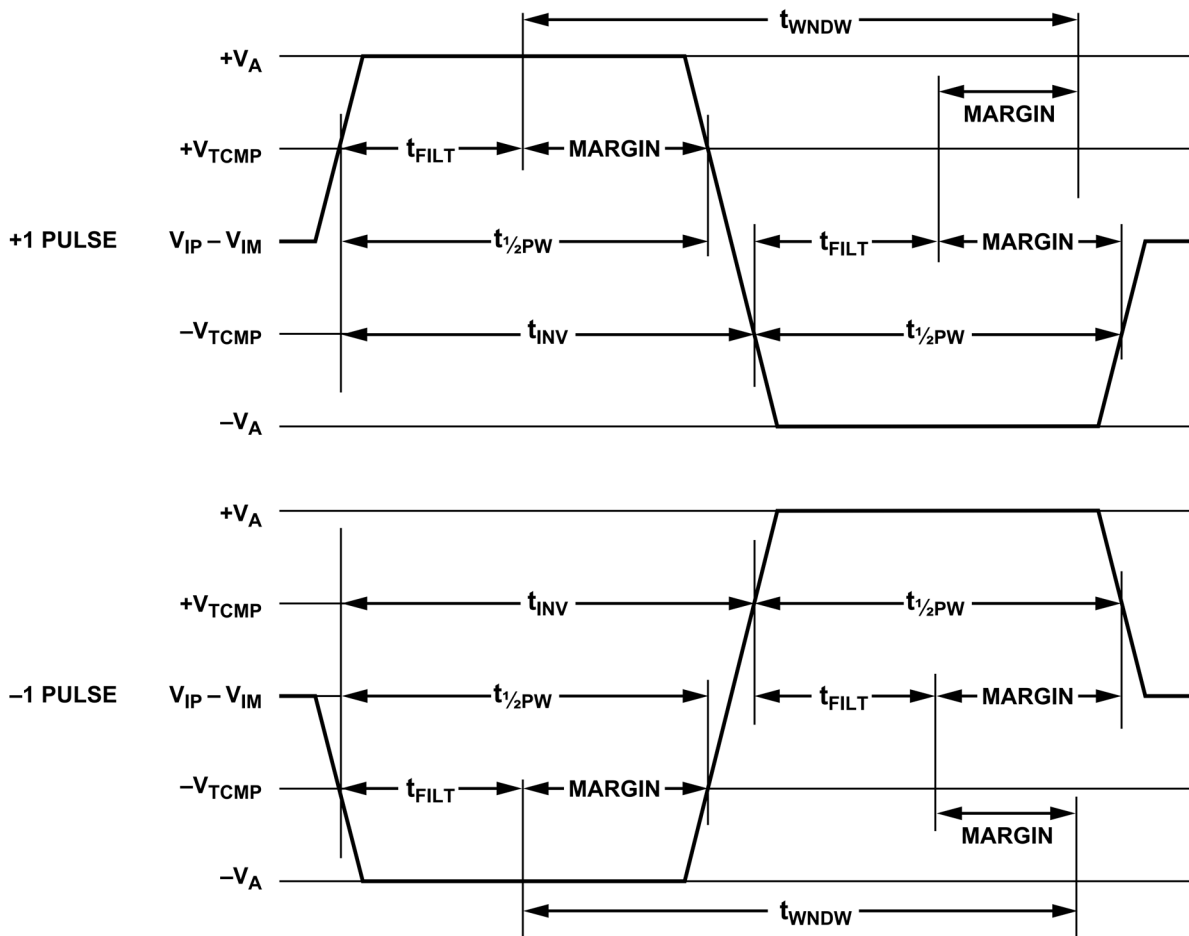


図 30. isoSPI パルスの詳細

028

シリアル・インターフェースの概要

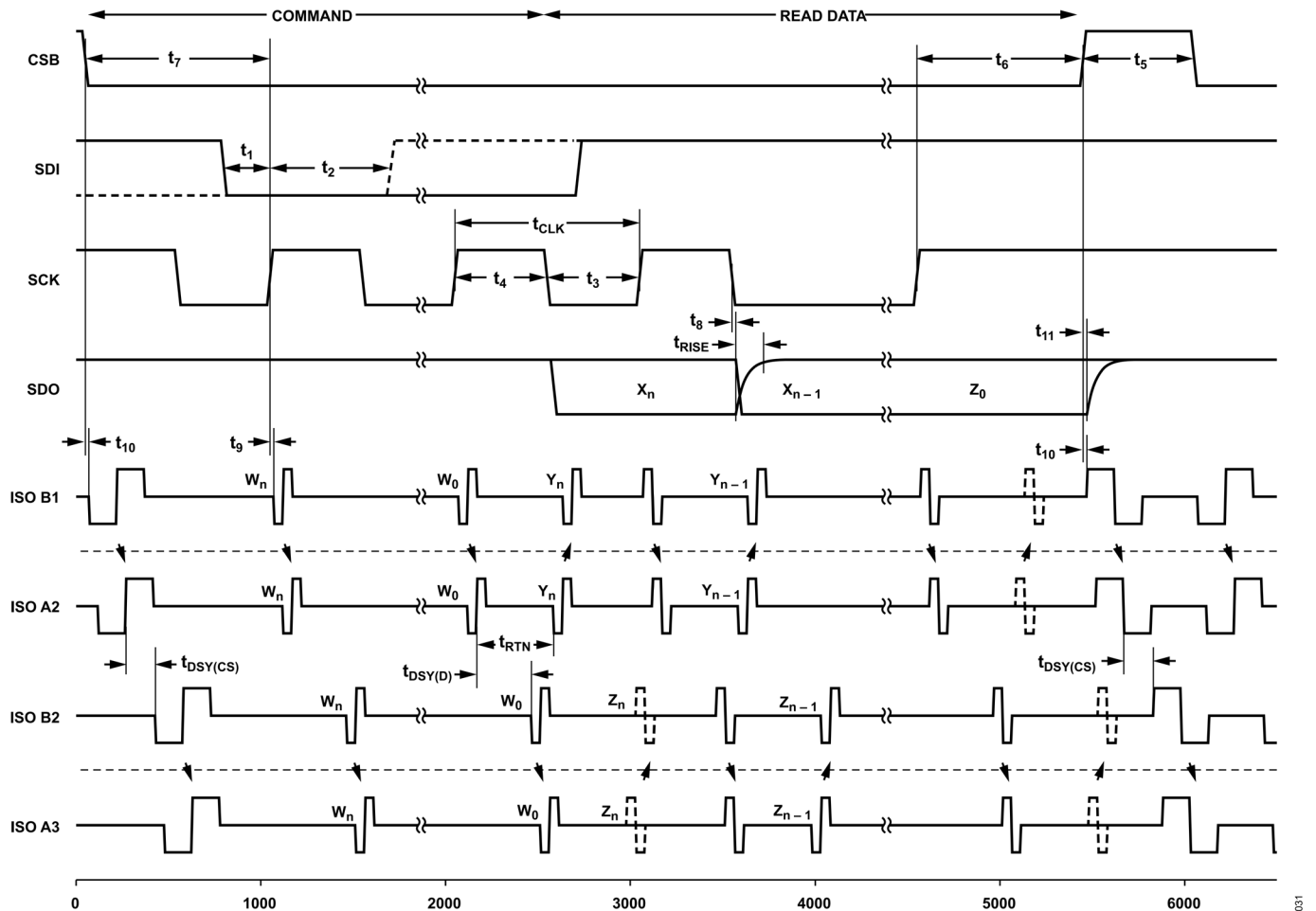


図 31. デイジーチェーン接続されたデバイスでの isoSPI 読出しコマンドのタイミング

シリアル・インターフェースのウェイクアップ

t_{IDLE} の時間、ポート A とポート B で何も動作が無かった場合、シリアル・ポート (SPI または isoSPI) は低消費電力のアイドル状態に入ります。ウェイクアップ回路は、ADBMS6830B の CSB (IMA) と SCK (IPA) の動作、および IMB と IPB の動作をモニタします。

$ISOMD = V-$ のとき、ポート A は SPI モードになっており、CSB ピンまたは SCK ピンの動作によって SPI がウェイクアップされます。 $ISOMD = V_{REG}$ のとき、ポート A は isoSPI モードになっており、IPA と IMB の差動動作によって isoSPI がウェイクアップされます。ADBMS6830B は、コアの状態に応じて (詳細については、図 14 および状態の説明を参照)、isoSPI の状態が t_{WAKE} または t_{READY} 以内にレディになると、通信可能な状態になります。

図 32 に、タイミングと機能等価回路図を示します。ウェイクアップ回路は、SCK (IPA) と CS (IMA) の差に応答します。コモン・モード信号はシリアル・インターフェースをウェイクアップしません。このインターフェースは、シングルエンドの

大信号パルスか低振幅の対称パルスを受信するとウェイクアップするように設計されています。差動信号 |SCK (IPA) - CS (IMA)| がシリアル・インターフェースをパワーアップするウェイクアップ信号として見なされるには、 $t_{DWELL} = 240ns$ 以上の時間 $V_{WAKE} = 400mV$ 以上を保持する必要があります。

安定してウェイクアップする方法は、デイジーチェーン全体をウェイクアップさせるのに十分な時間 isoSPI トラフィックを手動で送信することです。最低でも、 t_{READY} (コアがスタンバイ状態の場合) または t_{WAKE} (コアがスリープ状態の場合) 以上、 t_{IDLE} 未満の間隔で、ロング isoSPI パルス (-1 および +1) のペアを各デバイスに送信する必要があります。これにより、各デバイスをウェイクアップさせ、次のパルスを後続のデバイスに伝搬させることができます。この方法は、アイドル状態に入っていないデバイスがチェーン内にあっても機能します。実際には、この方法を実施するには、CSB ピン (ADBMS6821 または ADBMS6822、または $ISOMD = 0$ に設定された後段の ADBMS6830B) をトグルし、ロング isoSPI パルスを生成する必要があります。または、ダミー・コマンド (RDCFG など) を実行してロング isoSPI パルスを生成することもできます。

シリアル・インターフェースの概要

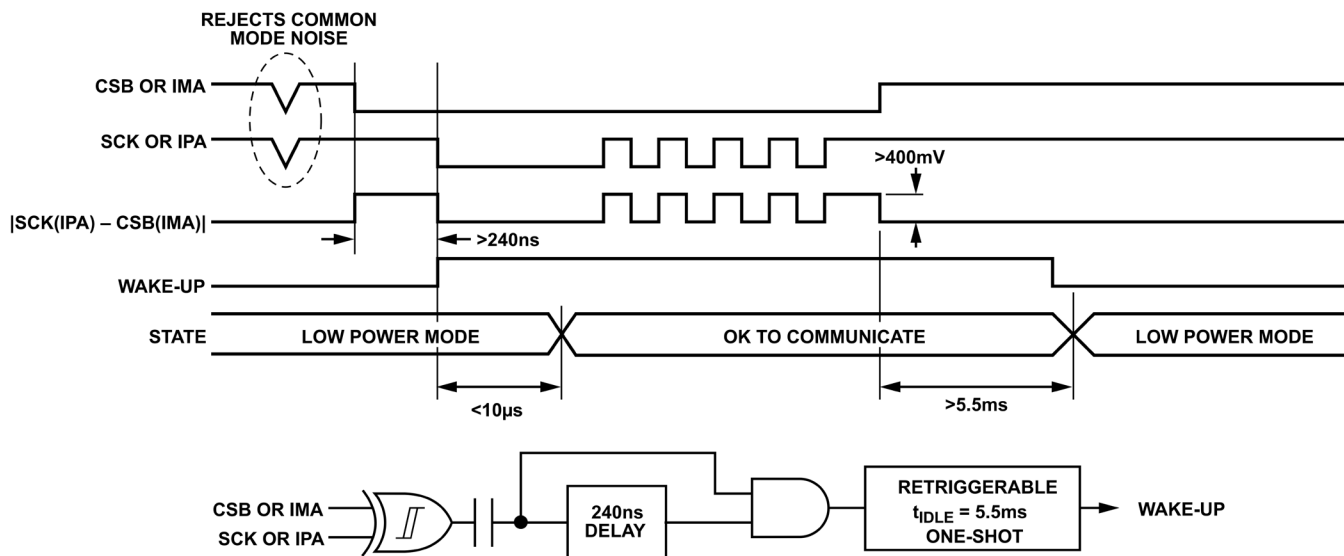


図 32. ウェイクアップ検出およびアイドル・タイマー

032

ネットワーク層

コマンド PEC

コマンド PEC は、15 ビットの巡回冗長検査 (CRC) 値で、16 ビット・コマンドのすべてのビットに対して計算されます。この計算には、PEC の初期値を 000000000010000 として、 $x^{15} + x^{14} + x^{10} + x^8 + x^7 + x^4 + x^3 + 1$ という特性多項式を使用します。

ADBMS6830B は、受け取ったすべてのコマンドのコマンド PEC を計算し、この値とコマンド後に送信される PEC とを比較します。PEC が一致する場合にのみ、そのコマンドは有効と見なされます。コマンド PEC のフォーマットを表 41 に示します。

表 41. コマンド PEC のフォーマット

Name	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PEC0	RD/WR	PEC[14]	PEC[13]	PEC[12]	PEC[11]	PEC[10]	PEC[9]	PEC[8]	PEC[7]
PEC1	RD/WR	PEC[6]	PEC[5]	PEC[4]	PEC[3]	PEC[2]	PEC[1]	PEC[0]	0

データ PEC

データ PEC は 10 ビットの CRC 値で、レジスタとコマンド・カウンタ・ビットから読み出したすべてのビットに対して計算されます。PEC の初期値は 0000010000 で、特性多項式は $x^{10} + x^7 + x^3 + x^2 + x + 1$ です。データ PEC が一致する場合にのみ、そのデータは有効と見なされます。

書き込みコマンドと CLRFLAG コマンドにおいて、データは、それに続くデータ PEC と共に ADBMS6830B に送信されます。例えば、設定レジスタ・グループ A に書き込む場合、データは CFGAR0、…、CFGAR5、PEC0、PEC1 の順番で送信されます。

表 42 に、データ書き込み時のデータ PEC フォーマットを示します。

表 42. データ書き込みの PEC フォーマット

Name	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PEC0	RD/WR	0	0	0	0	0	0	PEC[9]	PEC[8]
PEC1	RD/WR	PEC[7]	PEC[6]	PEC[5]	PEC[4]	PEC[3]	PEC[2]	PEC[1]	PEC[0]

コマンド・カウンタ

コマンド・カウンタは、システム・レベルのソフトウェア診断機能と通信の完全性を向上させます。コマンド・カウンタは、電源サイクル時、スリープへの遷移時、および RSTCC または SRST コマンドを受信したときに 0 に初期化されます。ADBMS6830B が表 50 の INC 欄に表示のあるコマンドを受信すると、コマンド・カウンタは、インクリメントされます。コマンド・カウンタが最大値 63 を超えてインクリメントされると、0 ではなく、1 にロールオーバーされます。0 は、前述したように、特定の場合理せ用の予約済みです。読出しコマンドはすべて、レジスタ・データ、コマンド・カウンタ、データ PEC の順に戻ります。

表 43 に、データ読出し時のコマンド・カウンタとデータ PEC のフォーマットを示します。ホストは一連のコマンドを送信した後、ADBMS6830B のコマンド・カウンタを初期化して、ADBMS6830B のコマンド・カウンタの値が期待した値になっていたかを検証できます。

表 43. データ読出しの PEC フォーマット

Name	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PEC0	RD/WR	CCNT[5]	CCNT[4]	CCNT[3]	CCNT[2]	CCNT[1]	CCNT[0]	PEC[9]	PEC[8]
PEC1	RD/WR	PEC[7]	PEC[6]	PEC[5]	PEC[4]	PEC[3]	PEC[2]	PEC[1]	PEC[0]

ネットワーク層

ポーリングの方法

ADC が完了したかどうか判断する最も簡単な方法は、コントローラが ADC 変換を開始してから、結果を読み出す前に決められた変換時間が経つのを待つことです。また、ADBMS6830B では、ADC が完了したかどうか判断するためにポーリングを使用することもできます。

通信が SPI モードに設定されている場合 (ISOMD ピンがロー)、ポーリングには 2 つの方法があります。1 つ目の方法は、ADC 変換コマンドを送信した後、CSB をローに保持することです。変換コマンドに入った後、デバイスが変換を実行することでビジーになると、SDO ラインがローになります。デバイスが変換を完了すると、SDO はハイになります。ただし、デバイスが変換を完了していなくても、CSB がハイになると SDO はハイに戻ります (図 33 を参照)。この方法の問題は、ADC 変換が完了するまで待つ間、コントローラが他のシリアル通信を自由にできないことです。

次の方法によって、この制約を克服できます。コントローラから ADC スタート・コマンドを送信し、他のタスクを実行した後にポーリング・コマンドを送信して ADC 変換のステータスを判定します。ADBMS6830B は、ADC の種類ごとに 4 つのコマンドを使用してそれぞれの変換が完了したかどうかポーリングを行うことができます。ここで、PLCADC が C-ADC、PLSADC が S-ADC、PLAUX が AUX ADC、PLAUX2 が AUX2 ADC のステータスをポーリングするコマンドです。PLADC は、すべての ADC のステータスを同時にポーリングしますが、これは、シングルショット測定がトリガされている場合にのみ意味を持ちます。連続モードで動作する ADC があると他の ADC の変換終了をポーリングしてもうまくいかないためです。ポーリング・コマンドに入った後、デバイスがその動作によってビジーになると、SDO がローになります。動作が終了すると SDO はハイになります。ただし、デバイスが動作を完了していなくても、CSBI がハイになると SDO もハイになります。

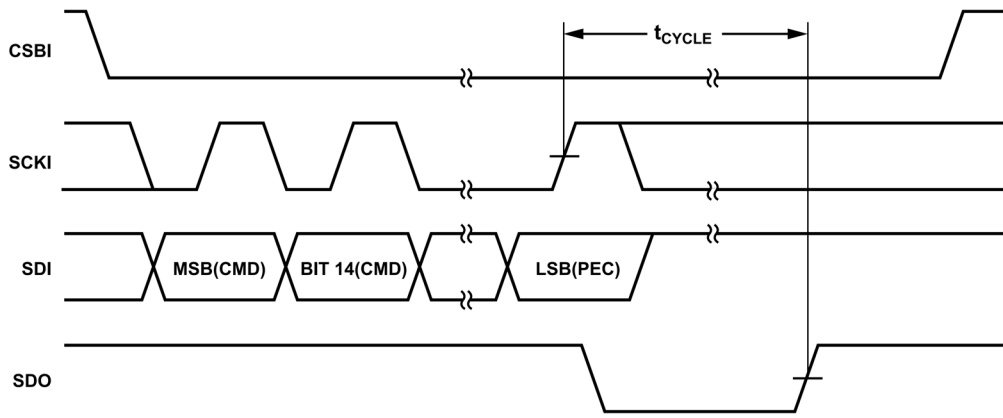


図 33. ADC 変換コマンド後の SDO ポーリング

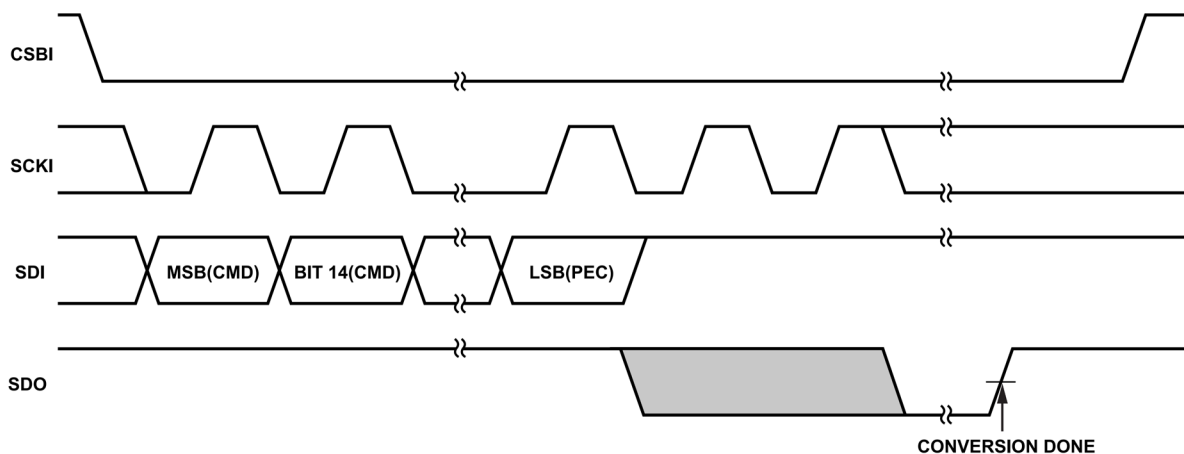


図 34. PLADC コマンドを使用した SDO ポーリング

ネットワーク層

x 個のデバイスをスタックしたデジチェーン構成でも、同じ 2 つのポーリング手法が使用できます。チェーン最後のデバイスが SPI モードで通信している場合、このデバイスの SDO はスタック全体の動作状態を表します。つまり、スタックのすべてのデバイスが動作を完了するまで SDO はローを保持します。ポーリングの 1 つ目の方法では、ADC 変換コマンドが送信された後、CSB をローに保持したまま SCK にクロック・パルスを送信します。SDO のステータスは、SCK の $2 \times N$ クロック・パルスの終了時にのみ有効となり、その後の各クロック・パルスで更新されます (図 35 を参照)。

2 つ目の方法では、CSB をローに保持したまま、PLADC コマンドを送信し、その後にクロック・パルスを SCK に送信します。1 つ目の方法と同様、SDO のステータスは、SCKI の $2 \times N$ クロ

ック・サイクルの終了時にのみ有効となり、その後の各クロック・サイクルで更新されます (図 35 を参照)。

チェーン最後のデバイスが isoSPI モードで通信している場合、isoSPI のデータ・パルスがデバイスに送信され、動作状態を更新します。ADBMS6821 または ADBMS6822 を使用した場合、デバイスの SCK ピンにクロックを送ることでこの動作を実行できます。動作状態はチェーン最後の ADBMS6830B デバイスが $2 \times N$ 個の isoSPI データ・パルスを受信した後でのみ有効となり、その後の各 isoSPI データ・パルスで更新されます。スタック内のデバイスのいずれかが動作中のためビジーだった場合、チェーン最後のデバイスはローのデータ・パルスを返し、すべてのデバイスがフリーの場合、ハイのデータ・パルスを返します。

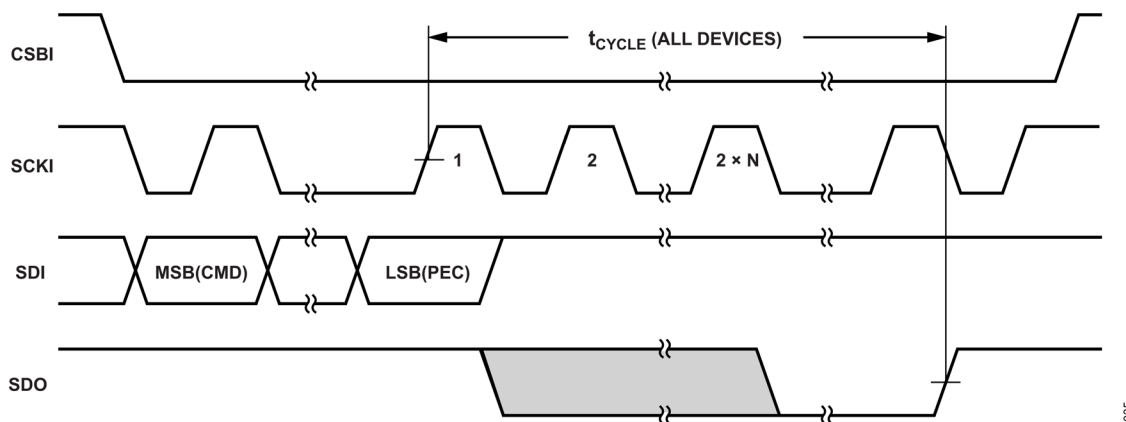


図 35. ADC 変換コマンド後の SDO ポーリング (デジチェーン構成)

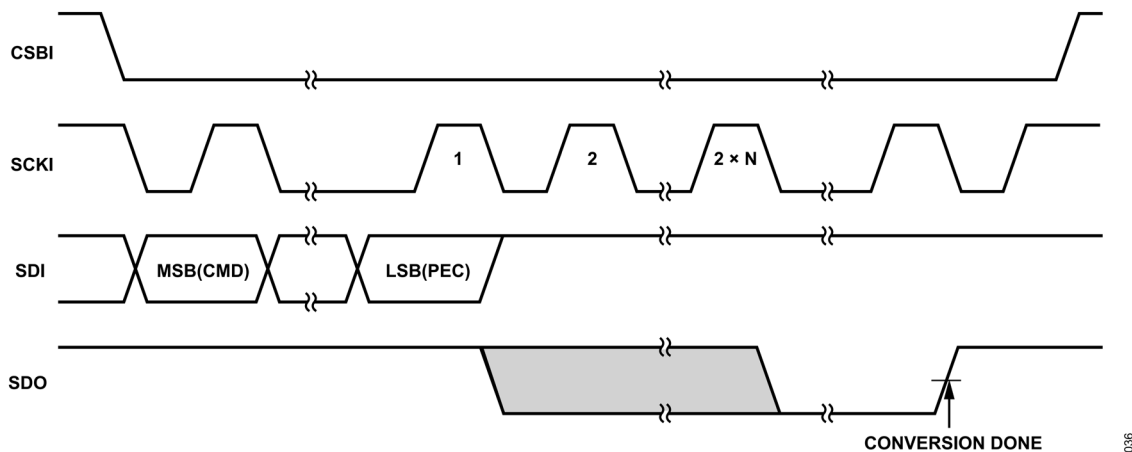


図 36. PLADC コマンドを使用した SDO ポーリング (デジチェーン構成)

ネットワーク層

バス・プロトコル

表 45～表 47 に、コマンド・プロトコルのフォーマットを示します。表 44 はプロトコル図を読むための略語表です。

表 46 に書き込みコマンドを示します。データは、ホストから最も遠いデバイス N に最初に送信され、ホストに最も近いデバイス 1 が最後に送信されます。

表 47 に読出しコマンドを示します。ホストに最も近いデバイス 1 からのデータが最初に受信され、ホストから最も遠いデバイス N からのデータが最後に受信されます。

表 44. プロトコルの略語表

バイト	説明
CMD0	コマンド・バイト 0 (表 48 を参照)
CMD1	コマンド・バイト 1 (表 48 を参照)
PEC0	コマンド・パケット・エラー・コード・バイト 0 (表 41 を参照)
PEC1	コマンド・パケット・エラー・コード・バイト 1 (表 41 を参照)
DPEC0	データ・パケット・エラー・コード・バイト 0
DPEC1	データ・パケット・エラー・コード・バイト 1
...	プロトコルの連続

表 45. ポーリング・コマンド

8	8	8	8
CMD0	CMD1	PEC0	PEC1
			Poll data

表 46. 書き込みコマンド

Data to Device N								Data to Device 1							
8	8	8	8	8	8	8	8	8	8	8	8	8	8	8	8
CMD0	CMD1	PEC0	PEC1	Data byte low	...	Data byte high	DPEC0	DPEC1	...	Data byte low	...	Data byte high	DPEC0	DPEC1	

表 47. 読出しコマンド

Data from Device 1								Data from Device N							
8	8	8	8	8	8	8	8	8	8	8	8	8	8	8	
CMD0	CMD1	PEC0	PEC1	Data byte low	...	Data byte high	DPEC0	DPEC1	...	Data byte low	...	Data byte high	DPEC0	DPEC1	

表 48. コマンド・フォーマット

Name	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMD0	WR	0	0	0	0	0	CC[10]	CC[9]	CC[8]
CMD1	WR	CC[7]	CC[6]	CC[5]	CC[4]	CC[3]	CC[2]	CC[1]	CC[0]

コマンド・フォーマット

表 49 に、コマンド・フォーマットを示します。表 50 に全コマンド・コードの一覧を示します。コマンドの PEC は、16 ビット・コマンド全体 (CMD0 および CMD1) で計算する必要があります。

表 49. コマンド・フォーマット

Name	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMD0	WR	0	0	0	0	0	CC[10]	CC[9]	CC[8]
CMD1	WR	CC[7]	CC[6]	CC[5]	CC[4]	CC[3]	CC[2]	CC[1]	CC[0]

コマンド

表 50 に、すべてのコマンドとそのオプションを示します。INC は、コマンド・カウンタがそのコマンドによってインクリメントするかしないかを表しています。

表 50. コマンド・コード

Command Description	Name	INC	CC[10:0] – Command Code											
			10	9	8	7	6	5	4	3	2	1	0	
Write Configuration Register Group A	WRCFGGA	Yes ¹	0	0	0	0	0	0	0	0	0	0	0	1
Write Configuration Register Group B	WRCFGGB	Yes ¹	0	0	0	0	0	0	1	0	0	1	0	0
Read Configuration Register Group A	RDCFGA		0	0	0	0	0	0	0	0	0	0	1	0
Read Configuration Register Group B	RDCFGB		0	0	0	0	0	0	1	0	0	1	1	0
Read Cell Voltage Register Group A	RDCVA		0	0	0	0	0	0	0	0	0	1	0	0
Read Cell Voltage Register Group B	RDCVB		0	0	0	0	0	0	0	0	0	1	1	0
Read Cell Voltage Register Group C	RDCVC		0	0	0	0	0	0	0	0	1	0	0	0
Read Cell Voltage Register Group D	RDCVD		0	0	0	0	0	0	0	0	1	0	1	0
Read Cell Voltage Register Group E	RDCVE		0	0	0	0	0	0	0	0	1	0	0	1
Read Cell Voltage Register Group F	RDCVF		0	0	0	0	0	0	0	0	1	0	1	1
Read All Cell Results	RDCVALL		0	0	0	0	0	0	0	0	1	1	0	0
Read Averaged Cell Voltage Register Group A	RDACA		0	0	0	0	0	1	0	0	0	1	0	0
Read Averaged Cell Voltage Register Group B	RDACB		0	0	0	0	0	1	0	0	0	1	1	0
Read Averaged Cell Voltage Register Group C	RDACC		0	0	0	0	0	1	0	0	1	0	0	0
Read Averaged Cell Voltage Register Group D	RDACD		0	0	0	0	0	1	0	0	1	0	1	0
Read Averaged Cell Voltage Register Group E	RDACE		0	0	0	0	0	1	0	0	1	0	0	1
Read Averaged Cell Voltage Register Group F	RDACF		0	0	0	0	0	1	0	0	1	0	1	1
Read All Avg Cell Results	RDACALL		0	0	0	0	0	1	0	0	1	1	0	0
Read S Voltage Register Group A	RDSVA		0	0	0	0	0	0	0	0	0	0	1	1
Read S Voltage Register Group B	RDSVB		0	0	0	0	0	0	0	0	0	1	0	1
Read S Voltage Register Group C	RDSVC		0	0	0	0	0	0	0	0	0	1	1	1
Read S Voltage Register Group D	RDSVD		0	0	0	0	0	0	0	0	1	1	0	1
Read S Voltage Register Group E	RDSVE		0	0	0	0	0	0	0	0	1	1	1	0
Read S Voltage Register Group F	RDSVF		0	0	0	0	0	0	0	0	1	1	1	1
Read All S Results	RDSALL		0	0	0	0	0	0	0	1	0	0	0	0
Read all C and S Results	RDCSALL		0	0	0	0	0	0	0	1	0	0	0	1
Read all Average C and S Results	RDACSALL		0	0	0	0	0	1	0	1	0	0	0	1
Read Filter Cell Voltage Register Group A	RDFCA		0	0	0	0	0	0	0	1	0	0	1	0
Read Filter Cell Voltage Register Group B	RDFCB		0	0	0	0	0	0	0	1	0	0	1	1
Read Filter Cell Voltage Register Group C	RDFCC		0	0	0	0	0	0	0	1	0	1	0	0
Read Filter Cell Voltage Register Group D	RDFCD		0	0	0	0	0	0	0	1	0	1	0	1
Read Filter Cell Voltage Register Group E	RDFCE		0	0	0	0	0	0	0	1	0	1	1	0
Read Filter Cell Voltage Register Group F	RDFCF		0	0	0	0	0	0	0	1	0	1	1	1
Read All Filter Cell Results	RDFCALL		0	0	0	0	0	0	0	1	1	0	0	0
Read Auxiliary Register Group A	RDAUXA		0	0	0	0	0	0	0	1	1	0	0	1
Read Auxiliary Register Group B	RDAUXB		0	0	0	0	0	0	0	1	1	0	1	0
Read Auxiliary Register Group C	RDAUXC		0	0	0	0	0	0	0	1	1	0	1	1
Read Auxiliary Register Group D	RDAUXD		0	0	0	0	0	0	0	1	1	1	1	1
Read Redundant Auxiliary Register Group A	RDRAXA		0	0	0	0	0	0	0	1	1	1	0	0
Read Redundant Auxiliary Register Group B	RDRAXB		0	0	0	0	0	0	0	1	1	1	0	1
Read Auxiliary Redundant Register Group C	RDRAXC		0	0	0	0	0	0	0	1	1	1	1	0
Read Auxiliary Redundant Register Group D	RDRAXD		0	0	0	0	0	0	1	0	0	1	0	1
Read Status Register Group A	RDSTATA		0	0	0	0	0	0	1	1	0	0	0	0
Read Status Register Group B	RDSTATB		0	0	0	0	0	0	1	1	0	0	0	1
Read Status Register Group C	RDSTATC		0	0	0	0	0	ERR	1	1	0	0	1	0

コマンド

表 50. コマンド・コード (続き)

Command Description	Name	INC	CC[10:0] – Command Code										
			10	9	8	7	6	5	4	3	2	1	0
Read Status Register Group D	RDSTATD		0	0	0	0	0	1	1	0	0	1	1
Read Status Register Group E	RDSTATE		0	0	0	0	0	1	1	0	1	0	0
Read all AUX/Status Registers	RDASALL		0	0	0	0	0	1	1	0	1	0	1
Write PWM Register Group A	WRPWMA	Yes ¹	0	0	0	0	0	1	0	0	0	0	0
Read PWM Register Group A	RDPWMA		0	0	0	0	0	1	0	0	0	1	0
Write PWM Register Group B	WRPWMB	Yes ¹	0	0	0	0	0	1	0	0	0	0	1
Read PWM Register Group B	RDPWMB		0	0	0	0	0	1	0	0	0	1	1
LPCM Disable	CMDIS	Yes	0	0	0	0	1	0	0	0	0	0	0
LPCM Enable	CMEN	Yes	0	0	0	0	1	0	0	0	0	0	1
LPCM Heartbeat	CMHB ²		0	0	0	0	1	0	0	0	0	1	1
Write LPCM Configuration Register	WRCMCFG	Yes ¹	0	0	0	0	1	0	1	1	0	0	0
Read LPCM Configuration Register	RDCMCFG		0	0	0	0	1	0	1	1	0	0	1
Write LPCM Cell Threshold	WRCMCELLT	Yes ¹	0	0	0	0	1	0	1	1	0	1	0
Read LPCM Cell Threshold	RDCMCELLT		0	0	0	0	1	0	1	1	0	1	1
Write LPCM GPIO Threshold	WRCMGPIOT	Yes ¹	0	0	0	0	1	0	1	1	1	0	0
Read LPCM GPIO Threshold	RDCMGPIOT		0	0	0	0	1	0	1	1	1	0	1
Clear LPCM Flags	CLRCMFLAG	Yes ¹	0	0	0	0	1	0	1	1	1	1	0
Read LPCM Flags	RDCMFLAG		0	0	0	0	1	0	1	1	1	1	1
Start Cell Voltage ADC Conversion and Poll Status	ADCV	Yes	0	1	RD	CONT	1	1	DCP	0	RSTF	OW[1]	OW[0]
Start S-ADC Conversion and Poll Status	ADSV	Yes	0	0	1	CONT	1	1	DCP	1	0	OW[1]	OW[0]
Start AUX ADC Conversions and Poll Status	ADAX	Yes	1	0	OW	PUP	CH[4]	0	1	CH[3]	CH[2]	CH[1]	CH[0]
Start AUX2 ADC Conversions and Poll Status	ADAX2	Yes	1	0	0	0	0	0	0	CH[3]	CH[2]	CH[1]	CH[0]
Clear Cell Voltage Register Groups	CLRCELL	Yes	1	1	1	0	0	0	1	0	0	0	1
Clear Filtered Cell Voltage Register Groups	CLRFC	Yes	1	1	1	0	0	0	1	0	1	0	0
Clear Auxiliary Register Groups	CLRAUX	Yes	1	1	1	0	0	0	1	0	0	1	0
Clear S-Voltage Register Groups	CLRSPIN	Yes	1	1	1	0	0	0	1	0	1	1	0
Clear Flags	CLRFLAG	Yes ¹	1	1	1	0	0	0	1	0	1	1	1
Clear OVUV	CLOVUV	Yes ¹	1	1	1	0	0	0	1	0	1	0	1
Poll Any ADC Status	PLADC	Yes	1	1	1	0	0	0	1	1	0	0	0
Poll C-ADC	PLCADC	Yes	1	1	1	0	0	0	1	1	1	0	0
Poll S-ADC	PLSADC	Yes	1	1	1	0	0	0	1	1	1	0	1
Poll AUX ADC	PLAUX	Yes	1	1	1	0	0	0	1	1	1	1	0
Poll AUX2 ADC	PLAUX2	Yes	1	1	1	0	0	0	1	1	1	1	1
Write COMM Register Group	WRCOMM	Yes ¹	1	1	1	0	0	1	0	0	0	0	1
Read COMM Register Group	RDCOMM		1	1	1	0	0	1	0	0	0	1	0
Start I2C/SPI Communication	STCOMM	Yes	1	1	1	0	0	1	0	0	0	1	1
Mute Discharge	MUTE	Yes	0	0	0	0	0	1	0	1	0	0	0
Unmute Discharge	UNMUTE	Yes	0	0	0	0	0	1	0	1	0	0	1
Read Serial ID Register Group	RDSID		0	0	0	0	0	1	0	1	1	0	0
Reset Command Counter	RSTCC		0	0	0	0	0	1	0	1	1	1	0
Snapshot	SNAP	Yes	0	0	0	0	0	1	0	1	1	0	1
Release Snapshot	UNSNAP	Yes	0	0	0	0	0	1	0	1	1	1	1
Soft Reset	SRST		0	0	0	0	0	1	0	0	1	1	1
Unlock Retention Register	ULRR	Yes	0	0	0	0	0	1	1	1	0	0	0
Write Retention Registers	WRRR	Yes ¹	0	0	0	0	0	1	1	1	0	0	1
Read Retention Registers	RDRR		0	0	0	0	0	1	1	1	0	1	0

コマンド

¹ コマンド・カウンタをインクリメントするため、有効なデータ PEC を含む有効なデータ・パケットは、CSB の立上がりエッジで受信する必要があります。

² CMHB は、通常 LPCM の MM デバイスによって発信されます。CMHB は、診断、または特定のアプリケーション設定においてマイクロプロセッサから発信することもできますが、コマンドを処理するには LPCM モードを有効にする必要があります。

表 51. コマンド・ビットの説明

Name	Function	Value					AUX Input
CH[4:0]	Selection for AUX Inputs ADAX: CH[4:0]. ADAX2: CH[3:0]	CH[4]	CH[3]	CH[2]	CH[1]	CH[0]	
		0	0	0	0	0	ALL
		0	0	0	0	1	GPIO1
		0	0	0	1	0	GPIO2
		0	0
		0	1	0	1	0	GPIO10
		1	0	0	0	0	VREF2
		1	0	0	0	1	VD
		1	0	0	1	0	VA
		1	0	0	1	1	ITEMP
		1	0	1	0	0	VPV
		1	0	1	0	1	VMV
		1	0	1	1	0	RES
		1	0	1	1	1	Reserved

表 52. コマンド・ビットの説明（続き）

名前	機能	値	説明
CONT	Continuous	0	単一の測定を行った後、スタンバイ
		1	連続測定
OW[1:0]	Open wire on C-ADCS and S-ADCS	00	すべてのチャンネルの断線検出をオフ
		01	偶数チャンネルの断線検出をオン、奇数チャンネルの断線検出をオフ
		10	奇数チャンネルの断線検出をオン、偶数チャンネルの断線検出をオフ
		11	すべてのチャンネルの断線検出をオン
OW	Open wire on AUX ADCs	0	オフ
		1	オン
PUP	Pull-up and pull-down current for open wire conversions	0	AUX 変換の間、プルダウン電流を印加（OW = 1 の場合）
		1	AUX 変換の間、プルアップ電流を印加（OW = 1 の場合）
DCP	Discharge permitted	0	S-ADC 測定中の放電は不可（詳細については、 測定中の放電 のセクションを参照）。
		1	S-ADC 測定中に放電可能（詳細については、 測定中の放電 のセクションを参照）。
RSTF	Reset filter	0	IIR フィルタをリセットしない
		1	IIR フィルタをリセット
ERR	Inject error in SPI readout	0	エラーを挿入せずにステータス・レジスタ C を読み出し
		1	レイテント故障を検出するため、エラーを挿入してステータス・レジスタ C を読み出し（SPIFLT ビットをセットする必要があります）

コマンド

全読出しコマンドとスナップショット・コマンド

ADBMS6830B の読出しコマンドのほとんどは、6 バイトとそれに続く PEC で構成された 1 つのレジスタ・グループを読み出します。そのため、2 つのレジスタ・グループを連続して読み出す場合には、コヒーレントなデータが得られない可能性があります。コヒーレントなデータ読出しは、**全読出しコマンド**のセクションで説明するように、全読出しコマンド（単一 IC のアプリケーションでのみ可能）を使用するか、スナップ（スナップ解除）コマンド（すべてのアプリケーションで可能）を使用することで可能になります。

全読出しコマンド

ADBMS6830B は、単一 IC のアプリケーションにおいてすべての測定レジスタ・グループの読出しが可能です。レジスタ・グループで未使用のバイトは伝送されません。

RDCVALL コマンドは、マスタから 1 つのコマンドを発行するだけで、セル電圧レジスタ・グループ A～セル電圧レジスタ・グループ F（ADBMS6830B では 32 データ・バイト）を読み出すことができ、その後に全リードバック・パケットに対する 1 つの 2 バイト PEC を返します。

RDACALL コマンドは、マスタから 1 つのコマンドを発行するだけで、平均セル電圧レジスタ・グループ A～平均セル電圧レジスタ・グループ F（ADBMS6830B では 32 データ・バイト）を読み出すことができ、その後に全リードバック・パケットに対する 1 つの 2 バイト PEC を返します。

RDFCALL コマンドは、マスタから 1 つのコマンドを発行するだけで、フィルタ処理セル電圧レジスタ・グループ A～フィルタ処理セル電圧レジスタ・グループ F（ADBMS6830B では 32 データ・バイト）を読み出すことができ、その後に全リードバック・パケットに対する 1 つの 2 バイト PEC を返します。

RDSALL コマンドは、マスタから 1 つのコマンドを発行するだけで、S 電圧レジスタ・グループ A～S 電圧レジスタ・グループ F（ADBMS6830B では 32 データ・バイト）を読み出すことができ、その後に全リードバック・パケットに対する 1 つの 2 バイト PEC を返します。

RDCSALL コマンドは、マスタから 1 つのコマンドを発行するだけで、セル電圧レジスタ・グループ A～セル電圧レジスタ・グループ F の読出しと、S 電圧レジスタ・グループ A～S 電圧レジスタ・グループ F の読出し（ADBMS6830B では 64 データ・バイト）を順に行い、その後に全リードバック・パケットに対する 1 つの 2 バイト PEC を返します。

RDACSALL コマンドは、マスタから 1 つのコマンドを発行するだけで、平均セル電圧レジスタ・グループ A～平均セル電圧レジスタ・グループ F の読出しと、S 電圧レジスタ・グループ A～S 電圧レジスタ・グループ F の読出し（ADBMS6830B では 64 データ・バイト）を順に行い、その後に全リードバック・パケットに対する 1 つの 2 バイト PEC を返します。

RDASALL コマンドは、1 つのコマンドを発行するだけで、ADBMS6830B の補助レジスタ・グループ A～補助レジスタ・グ

ループ D の読出し、冗長測定補助レジスタ・グループ A～冗長測定補助レジスタ・グループ D の読出し、およびステータス・レジスタ・グループ A～ステータス・レジスタ・グループ E の読出しを順に行い、その後に全リードバック・パケットに対する 1 つの 2 バイト PEC を返します。RDASALL コマンドでは、ステータス・レジスタ C の STCR2 と STCR3 が含まれないため、68 データ・バイトを返します。

スナップショット・コマンド

デジタイゼーション動作においてコヒーレントなデータを読み出すには、スナップ・コマンドを使用して一定時間デバイスのすべての結果レジスタとステータス・レジスタをフリーズさせ、スナップ解除コマンドによってフリーズを解放する前に都合の良いタイミングで読み出します。結果レジスタをフリーズしている間、連続モードでは ADC の結果は IIR フィルタに加算されます。冗長測定がイネーブルされている場合、S-ADC および C-ADC 測定の比較は継続して実行されます。また、ADBMS6830B はフリーズ中も（アラート）フラグのトラッキングを続け、スナップ解除コマンド後、それに従いステータス・レジスタを更新します。結果レジスタが既にフリーズしているときに追加でスナップ・コマンドを送信しても、何も影響を与えません。スナップ・コマンドまたはスナップ解除コマンドを受信すると、コマンド・カウンタはインクリメントされます。以下のレジスタがスナップ・プロトコルの対象になります。

- ▶ セル電圧レジスタ・グループ A～セル電圧レジスタ・グループ F
- ▶ S 電圧レジスタ・グループ A～S 電圧レジスタ・グループ F
- ▶ 平均セル電圧レジスタ・グループ A～平均セル電圧レジスタ・グループ F
- ▶ フィルタ処理セル電圧レジスタ・グループ A～フィルタ処理セル電圧レジスタ・グループ F
- ▶ ステータス・レジスタ・グループ C の STCR0～STCR3、およびステータス・レジスタ・グループ D の STDR0～STDR4

フリーズ状態の間、ADC 変換後のポーリングは使用できません。

データ保持レジスタ・コマンド

ADBMS6830B は、データ保持レジスタに 6 バイトのデータを保持します。このデータはスリープ・モードの間も保持されます。データ保持レジスタ・グループに書き込むには、データ保持レジスタのロック解除（ULRR）コマンド、データ保持レジスタへの書き込み（WRRR）コマンド、6 バイトの RR データ、データ PEC バイト、の順に送信します。データ PEC の 2 バイトが 6 バイトのデータ・ペイロードと一致しなくても WRRR コマンドは実行されます。ULRR コマンドの後に何か他のコマンドが送信されると、データ保持レジスタ・グループへの書き込みはロックされます。データ保持レジスタ内のデータは、データ保持レジスタの読出し（RDRR）コマンドによって読み出すことができます。

メモリ・マップ

注：予約済みビットは0か1で、PEC計算の一部として使用されます。

表 53. ピシリアル ID レジスタ・グループ (RDSID)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Default
SIDR0	Read	SID[7]	SID[6]	SID[5]	SID[4]	SID[3]	SID[2]	SID[1]	SID[0]	0xXX
SIDR1	Read	SID[15]	SID[14]	SID[13]	SID[12]	SID[11]	SID[10]	SID[9]	SID[8]	0xXX
SIDR2	Read	SID[23]	SID[22]	SID[21]	SID[20]	SID[19]	SID[18]	SID[17]	SID[16]	0xXX
SIDR3	Read	SID[31]	SID[30]	SID[29]	SID[28]	SID[27]	SID[26]	SID[25]	SID[24]	0xXX
SIDR4	Read	SID[39]	SID[38]	SID[37]	SID[36]	SID[35]	SID[34]	SID[33]	SID[32]	0xXX
SIDR5	Read	SID[47]	SID[46]	SID[45]	SID[44]	SID[43]	SID[42]	SID[41]	SID[40]	0xXX

表 54. シリアル ID レジスタ・グループのビット説明

レジスタ	ビット	ビット名	説明
SIDR0 to SIDR5	[7:0]	SID[x]	シリアル ID ビット。固有 ID を提供する読み出し専用アクセス。
SIDR1	[6:1]	SID[x]	ADBMS6830B のデバイス ID = 00 0011。

表 55. 設定レジスタ・グループ A (RDCFGA、WRCFGA)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGAR0	RD/WR	REFON	0	0	0	0	CTH[2]	CTH[1]	CTH[0]
CFGAR1	RD/WR	FLAG_D[7]	FLAG_D[6]	FLAG_D[5]	FLAG_D[4]	FLAG_D[3]	FLAG_D[2]	FLAG_D[1]	FLAG_D[0]
CFGAR2	RD/WR	SOAKON	OWRNG	OWA[2]	OWA[1]	OWA[0]	0	0	0
CFGAR3	RD/WR	GPO[8]	GPO[7]	GPO[6]	GPO[5]	GPO[4]	GPO[3]	GPO[2]	GPO[1]
CFGAR4	RD/WR	0	0	0	0	0	0	GPO[10]	GPO[9]
CFGAR5	RD/WR	0	0	SNAP_ST	MUTE_ST	COMM_BK	FC[2]	FC[1]	FC[0]

表 56. 設定レジスタ・グループ B (RDCFGB、WRCFGB)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGBR0	RD/WR	VUV[7]	VUV[6]	VUV[5]	VUV[4]	VUV[3]	VUV[2]	VUV[1]	VUV[0]
CFGBR1	RD/WR	VOV[3]	VOV[2]	VOV[1]	VOV[0]	VUV[11]	VUV[10]	VUV[9]	VUV[8]
CFGBR2	RD/WR	VOV[11]	VOV[10]	VOV[9]	VOV[8]	VOV[7]	VOV[6]	VOV[5]	VOV[4]
CFGBR3	RD/WR	DTMEN	DTRNG	DCTO[5]	DCTO[4]	DCTO[3]	DCTO[2]	DCTO[1]	DCTO[0]
CFGBR4	RD/WR	DCC[8]	DCC[7]	DCC[6]	DCC[5]	DCC[4]	DCC[3]	DCC[2]	DCC[1]
CFGBR5	RD/WR	DCC[16]	DCC[15]	DCC[14]	DCC[13]	DCC[12]	DCC[11]	DCC[10]	DCC[9]

表 57. セル電圧レジスタ・グループ A (RDCVA)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CVAR0	RD	C1V[7]	C1V[6]	C1V[5]	C1V[4]	C1V[3]	C1V[2]	C1V[1]	C1V[0]
CVAR1	RD	C1V[15]	C1V[14]	C1V[13]	C1V[12]	C1V[11]	C1V[10]	C1V[9]	C1V[8]
CVAR2	RD	C2V[7]	C2V[6]	C2V[5]	C2V[4]	C2V[3]	C2V[2]	C2V[1]	C2V[0]
CVAR3	RD	C2V[15]	C2V[14]	C2V[13]	C2V[12]	C2V[11]	C2V[10]	C2V[9]	C2V[8]
CVAR4	RD	C3V[7]	C3V[6]	C3V[5]	C3V[4]	C3V[3]	C3V[2]	C3V[1]	C3V[0]
CVAR5	RD	C3V[15]	C3V[14]	C3V[13]	C3V[12]	C3V[11]	C3V[10]	C3V[9]	C3V[8]

表 58. セル電圧レジスタ・グループ B (RDCVB)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CVBR0	RD	C4V[7]	C4V[6]	C4V[5]	C4V[4]	C4V[3]	C4V[2]	C4V[1]	C4V[0]
CVBR1	RD	C4V[15]	C4V[14]	C4V[13]	C4V[12]	C4V[11]	C4V[10]	C4V[9]	C4V[8]
CVBR2	RD	C5V[7]	C5V[6]	C5V[5]	C5V[4]	C5V[3]	C5V[2]	C5V[1]	C5V[0]
CVBR3	RD	C5V[15]	C5V[14]	C5V[13]	C5V[12]	C5V[11]	C5V[10]	C5V[9]	C5V[8]
CVBR4	RD	C6V[7]	C6V[6]	C6V[5]	C6V[4]	C6V[3]	C6V[2]	C6V[1]	C6V[0]

メモリ・マップ

表 58. セル電圧レジスタ・グループ B (RDCVB) (続き)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CVBR5	RD	C6V[15]	C6V[14]	C6V[13]	C6V[12]	C6V[11]	C6V[10]	C6V[9]	C6V[8]

表 59. セル電圧レジスタ・グループ C (RDCVC)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CVCR0	RD	C7V[7]	C7V[6]	C7V[5]	C7V[4]	C7V[3]	C7V[2]	C7V[1]	C7V[0]
CVCR1	RD	C7V[15]	C7V[14]	C7V[13]	C7V[12]	C7V[11]	C7V[10]	C7V[9]	C7V[8]
CVCR2	RD	C8V[7]	C8V[6]	C8V[5]	C8V[4]	C8V[3]	C8V[2]	C8V[1]	C8V[0]
CVCR3	RD	C8V[15]	C8V[14]	C8V[13]	C8V[12]	C8V[11]	C8V[10]	C8V[9]	C8V[8]
CVCR4	RD	C9V[7]	C9V[6]	C9V[5]	C9V[4]	C9V[3]	C9V[2]	C9V[1]	C9V[0]
CVCR5	RD	C9V[15]	C9V[14]	C9V[13]	C9V[12]	C9V[11]	C9V[10]	C9V[9]	C9V[8]

表 60. セル電圧レジスタ・グループ D (RDCVD)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CVDR0	RD	C10V[7]	C10V[6]	C10V[5]	C10V[4]	C10V[3]	C10V[2]	C10V[1]	C10V[0]
CVDR1	RD	C10V[15]	C10V[14]	C10V[13]	C10V[12]	C10V[11]	C10V[10]	C10V[9]	C10V[8]
CVDR2	RD	C11V[7]	C11V[6]	C11V[5]	C11V[4]	C11V[3]	C11V[2]	C11V[1]	C11V[0]
CVDR3	RD	C11V[15]	C11V[14]	C11V[13]	C11V[12]	C11V[11]	C11V[10]	C11V[9]	C11V[8]
CVDR4	RD	C12V[7]	C12V[6]	C12V[5]	C12V[4]	C12V[3]	C12V[2]	C12V[1]	C12V[0]
CVDR5	RD	C12V[15]	C12V[14]	C12V[13]	C12V[12]	C12V[11]	C12V[10]	C12V[9]	C12V[8]

表 61. セル電圧レジスタ・グループ E (RDCVE)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CVER0	RD	C13V[7]	C13V[6]	C13V[5]	C13V[4]	C13V[3]	C13V[2]	C13V[1]	C13V[0]
CVER1	RD	C13V[15]	C13V[14]	C13V[13]	C13V[12]	C13V[11]	C13V[10]	C13V[9]	C13V[8]
CVER2	RD	C14V[7]	C14V[6]	C14V[5]	C14V[4]	C14V[3]	C14V[2]	C14V[1]	C14V[0]
CVER3	RD	C14V[15]	C14V[14]	C14V[13]	C14V[12]	C14V[11]	C14V[10]	C14V[9]	C14V[8]
CVER4	RD	C15V[7]	C15V[6]	C15V[5]	C15V[4]	C15V[3]	C15V[2]	C15V[1]	C15V[0]
CVER5	RD	C15V[15]	C15V[14]	C15V[13]	C15V[12]	C15V[11]	C15V[10]	C15V[9]	C15V[8]

表 62. セル電圧レジスタ・グループ F (RDCVF)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CVFR0	RD	C16V[7]	C16V[6]	C16V[5]	C16V[4]	C16V[3]	C16V[2]	C16V[1]	C16V[0]
CVFR1	RD	C16V[15]	C16V[14]	C16V[13]	C16V[12]	C16V[11]	C16V[10]	C16V[9]	C16V[8]
CVFR2	RD	1	1	1	1	1	1	1	1
CVFR3	RD	1	1	1	1	1	1	1	1
CVFR4	RD	1	1	1	1	1	1	1	1
CVFR5	RD	1	1	1	1	1	1	1	1

表 63. 平均セル電圧レジスタ・グループ A (RDACA)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ACVAR0	RD	AC1V[7]	AC1V[6]	AC1V[5]	AC1V[4]	AC1V[3]	AC1V[2]	AC1V[1]	AC1V[0]
ACVAR1	RD	AC1V[15]	AC1V[14]	AC1V[13]	AC1V[12]	AC1V[11]	AC1V[10]	AC1V[9]	AC1V[8]
ACVAR2	RD	AC2V[7]	AC2V[6]	AC2V[5]	AC2V[4]	AC2V[3]	AC2V[2]	AC2V[1]	AC2V[0]
ACVAR3	RD	AC2V[15]	AC2V[14]	AC2V[13]	AC2V[12]	AC2V[11]	AC2V[10]	AC2V[9]	AC2V[8]
ACVAR4	RD	AC3V[7]	AC3V[6]	AC3V[5]	AC3V[4]	AC3V[3]	AC3V[2]	AC3V[1]	AC3V[0]
ACVAR5	RD	AC3V[15]	AC3V[14]	AC3V[13]	AC3V[12]	AC3V[11]	AC3V[10]	AC3V[9]	AC3V[8]

メモリ・マップ

表 64. 平均セル電圧レジスタ・グループ B (RDACB)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ACVBR0	RD	AC4V[7]	AC4V[6]	AC4V[5]	AC4V[4]	AC4V[3]	AC4V[2]	AC4V[1]	AC4V[0]
ACVBR1	RD	AC4V[15]	AC4V[14]	AC4V[13]	AC4V[12]	AC4V[11]	AC4V[10]	AC4V[9]	AC4V[8]
ACVBR2	RD	AC5V[7]	AC5V[6]	AC5V[5]	AC5V[4]	AC5V[3]	AC5V[2]	AC5V[1]	AC5V[0]
ACVBR3	RD	AC5V[15]	AC5V[14]	AC5V[13]	AC5V[12]	AC5V[11]	AC5V[10]	AC5V[9]	AC5V[8]
ACVBR4	RD	AC6V[7]	AC6V[6]	AC6V[5]	AC6V[4]	AC6V[3]	AC6V[2]	AC6V[1]	AC6V[0]
ACVBR5	RD	AC6V[15]	AC6V[14]	AC6V[13]	AC6V[12]	AC6V[11]	AC6V[10]	AC6V[9]	AC6V[8]

表 65. 平均セル電圧レジスタ・グループ C (RDACC)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ACVACR0	RD	AC7V[7]	AC7V[6]	AC7V[5]	AC7V[4]	AC7V[3]	AC7V[2]	AC7V[1]	AC7V[0]
ACVACR1	RD	AC7V[15]	AC7V[14]	AC7V[13]	AC7V[12]	AC7V[11]	AC7V[10]	AC7V[9]	AC7V[8]
ACVACR2	RD	AC8V[7]	AC8V[6]	AC8V[5]	AC8V[4]	AC8V[3]	AC8V[2]	AC8V[1]	AC8V[0]
ACVACR3	RD	AC8V[15]	AC8V[14]	AC8V[13]	AC8V[12]	AC8V[11]	AC8V[10]	AC8V[9]	AC8V[8]
ACVACR4	RD	AC9V[7]	AC9V[6]	AC9V[5]	AC9V[4]	AC9V[3]	AC9V[2]	AC9V[1]	AC9V[0]
ACVACR5	RD	AC9V[15]	AC9V[14]	AC9V[13]	AC9V[12]	AC9V[11]	AC9V[10]	AC9V[9]	AC9V[8]

表 66. 平均セル電圧レジスタ・グループ D (RDACD)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ACVDR0	RD	AC10V[7]	AC10V[6]	AC10V[5]	AC10V[4]	AC10V[3]	AC10V[2]	AC10V[1]	AC10V[0]
ACVDR1	RD	AC10V[15]	AC10V[14]	AC10V[13]	AC10V[12]	AC10V[11]	AC10V[10]	AC10V[9]	AC10V[8]
ACVDR2	RD	AC11V[7]	AC11V[6]	AC11V[5]	AC11V[4]	AC11V[3]	AC11V[2]	AC11V[1]	AC11V[0]
ACVDR3	RD	AC11V[15]	AC11V[14]	AC11V[13]	AC11V[12]	AC11V[11]	AC11V[10]	AC11V[9]	AC11V[8]
ACVDR4	RD	AC12V[7]	AC12V[6]	AC12V[5]	AC12V[4]	AC12V[3]	AC12V[2]	AC12V[1]	AC12V[0]
ACVDR5	RD	AC12V[15]	AC12V[14]	AC12V[13]	AC12V[12]	AC12V[11]	AC12V[10]	AC12V[9]	AC12V[8]

表 67. 平均セル電圧レジスタ・グループ E (RDACE)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ACVER0	RD	AC13V[7]	AC13V[6]	AC13V[5]	AC13V[4]	AC13V[3]	AC13V[2]	AC13V[1]	AC13V[0]
ACVER1	RD	AC13V[15]	AC13V[14]	AC13V[13]	AC13V[12]	AC13V[11]	AC13V[10]	AC13V[9]	AC13V[8]
ACVER2	RD	AC14V[7]	AC14V[6]	AC14V[5]	AC14V[4]	AC14V[3]	AC14V[2]	AC14V[1]	AC14V[0]
ACVER3	RD	AC14V[15]	AC14V[14]	AC14V[13]	AC14V[12]	AC14V[11]	AC14V[10]	AC14V[9]	AC14V[8]
ACVER4	RD	AC15V[7]	AC15V[6]	AC15V[5]	AC15V[4]	AC15V[3]	AC15V[2]	AC15V[1]	AC15V[0]
ACVER5	RD	AC15V[15]	AC15V[14]	AC15V[13]	AC15V[12]	AC15V[11]	AC15V[10]	AC15V[9]	AC15V[8]

表 68. 平均セル電圧レジスタ・グループ F (RDACF)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ACVFR0	RD	AC16V[7]	AC16V[6]	AC16V[5]	AC16V[4]	AC16V[3]	AC16V[2]	AC16V[1]	AC16V[0]
ACVFR1	RD	AC16V[15]	AC16V[14]	AC16V[13]	AC16V[12]	AC16V[11]	AC16V[10]	AC16V[9]	AC16V[8]
ACVFR2	RD	1	1	1	1	1	1	1	1
ACVFR3	RD	1	1	1	1	1	1	1	1
ACVFR4	RD	1	1	1	1	1	1	1	1
ACVFR5	RD	1	1	1	1	1	1	1	1

表 69. フィルタ処理セル電圧レジスタ・グループ A (RDFCA)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FCVAR0	RD	FC1V[7]	FC1V[6]	FC1V[5]	FC1V[4]	FC1V[3]	FC1V[2]	FC1V[1]	FC1V[0]
FCVAR1	RD	FC1V[15]	FC1V[14]	FC1V[13]	FC1V[12]	FC1V[11]	FC1V[10]	FC1V[9]	FC1V[8]

メモリ・マップ

表 69. フィルタ処理セル電圧レジスタ・グループ A (RDFCA) (続き)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FCVAR2	RD	FC2V[7]	FC2V[6]	FC2V[5]	FC2V[4]	FC2V[3]	FC2V[2]	FC2V[1]	FC2V[0]
FCVAR3	RD	FC2V[15]	FC2V[14]	FC2V[13]	FC2V[12]	FC2V[11]	FC2V[10]	FC2V[9]	FC2V[8]
FCVAR4	RD	FC3V[7]	FC3V[6]	FC3V[5]	FC3V[4]	FC3V[3]	FC3V[2]	FC3V[1]	FC3V[0]
FCVAR5	RD	FC3V[15]	FC3V[14]	FC3V[13]	FC3V[12]	FC3V[11]	FC3V[10]	FC3V[9]	FC3V[8]

表 70. フィルタ処理セル電圧レジスタ・グループ B (RDFCB)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FCVBR0	RD	FC4V[7]	FC4V[6]	FC4V[5]	FC4V[4]	FC4V[3]	FC4V[2]	FC4V[1]	FC4V[0]
FCVBR1	RD	FC4V[15]	FC4V[14]	FC4V[13]	FC4V[12]	FC4V[11]	FC4V[10]	FC4V[9]	FC4V[8]
FCVBR2	RD	FC5V[7]	FC5V[6]	FC5V[5]	FC5V[4]	FC5V[3]	FC5V[2]	FC5V[1]	FC5V[0]
FCVBR3	RD	FC5V[15]	FC5V[14]	FC5V[13]	FC5V[12]	FC5V[11]	FC5V[10]	FC5V[9]	FC5V[8]
FCVBR4	RD	FC6V[7]	FC6V[6]	FC6V[5]	FC6V[4]	FC6V[3]	FC6V[2]	FC6V[1]	FC6V[0]
FCVBR5	RD	FC6V[15]	FC6V[14]	FC6V[13]	FC6V[12]	FC6V[11]	FC6V[10]	FC6V[9]	FC6V[8]

表 71. フィルタ処理セル電圧レジスタ・グループ C (RDFCC)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FCVCR0	RD	FC7V[7]	FC7V[6]	FC7V[5]	FC7V[4]	FC7V[3]	FC7V[2]	FC7V[1]	FC7V[0]
FCVCR1	RD	FC7V[15]	FC7V[14]	FC7V[13]	FC7V[12]	FC7V[11]	FC7V[10]	FC7V[9]	FC7V[8]
FCVCR2	RD	FC8V[7]	FC8V[6]	FC8V[5]	FC8V[4]	FC8V[3]	FC8V[2]	FC8V[1]	FC8V[0]
FCVCR3	RD	FC8V[15]	FC8V[14]	FC8V[13]	FC8V[12]	FC8V[11]	FC8V[10]	FC8V[9]	FC8V[8]
FCVCR4	RD	FC9V[7]	FC9V[6]	FC9V[5]	FC9V[4]	FC9V[3]	FC9V[2]	FC9V[1]	FC9V[0]
FCVCR5	RD	FC9V[15]	FC9V[14]	FC9V[13]	FC9V[12]	FC9V[11]	FC9V[10]	FC9V[9]	FC9V[8]

表 72. フィルタ処理セル電圧レジスタ・グループ D (RDFCD)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FCVDR0	RD	FC10V[7]	FC10V[6]	FC10V[5]	FC10V[4]	FC10V[3]	FC10V[2]	FC10V[1]	FC10V[0]
FCVDR1	RD	FC10V[15]	FC10V[14]	FC10V[13]	FC10V[12]	FC10V[11]	FC10V[10]	FC10V[9]	FC10V[8]
FCVDR2	RD	FC11V[7]	FC11V[6]	FC11V[5]	FC11V[4]	FC11V[3]	FC11V[2]	FC11V[1]	FC11V[0]
FCVDR3	RD	FC11V[15]	FC11V[14]	FC11V[13]	FC11V[12]	FC11V[11]	FC11V[10]	FC11V[9]	FC11V[8]
FCVDR4	RD	FC12V[7]	FC12V[6]	FC12V[5]	FC12V[4]	FC12V[3]	FC12V[2]	FC12V[1]	FC12V[0]
FCVDR5	RD	FC12V[15]	FC12V[14]	FC12V[13]	FC12V[12]	FC12V[11]	FC12V[10]	FC12V[9]	FC12V[8]

表 73. フィルタ処理セル電圧レジスタ・グループ E (RDFCE)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FCVER0	RD	FC13V[7]	FC13V[6]	FC13V[5]	FC13V[4]	FC13V[3]	FC13V[2]	FC13V[1]	FC13V[0]
FCVER1	RD	FC13V[15]	FC13V[14]	FC13V[13]	FC13V[12]	FC13V[11]	FC13V[10]	FC13V[9]	FC13V[8]
FCVER2	RD	FC14V[7]	FC14V[6]	FC14V[5]	FC14V[4]	FC14V[3]	FC14V[2]	FC14V[1]	FC14V[0]
FCVER3	RD	FC14V[15]	FC14V[14]	FC14V[13]	FC14V[12]	FC14V[11]	FC14V[10]	FC14V[9]	FC14V[8]
FCVER4	RD	FC15V[7]	FC15V[6]	FC15V[5]	FC15V[4]	FC15V[3]	FC15V[2]	FC15V[1]	FC15V[0]
FCVER5	RD	FC15V[15]	FC15V[14]	FC15V[13]	FC15V[12]	FC15V[11]	FC15V[10]	FC15V[9]	FC15V[8]

表 74. フィルタ処理セル電圧レジスタ・グループ F (RDFCF)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FCVFR0	RD	FC16V[7]	FC16V[6]	FC16V[5]	FC16V[4]	FC16V[3]	FC16V[2]	FC16V[1]	FC16V[0]
FCVFR1	RD	FC16V[15]	FC16V[14]	FC16V[13]	FC16V[12]	FC16V[11]	FC16V[10]	FC16V[9]	FC16V[8]
FCVFR2	RD	1	1	1	1	1	1	1	1
FCVFR3	RD	1	1	1	1	1	1	1	1
FCVFR4	RD	1	1	1	1	1	1	1	1

メモリ・マップ

表 74. フィルタ処理セル電圧レジスタ・グループ F (RDFCF) (続き)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FCVFR5	RD	1	1	1	1	1	1	1	1

表 75. S 電圧レジスタ・グループ A (RDSVA)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SVAR0	RD	S1V[7]	S1V[6]	S1V[5]	S1V[4]	S1V[3]	S1V[2]	S1V[1]	S1V[0]
SVAR1	RD	S1V[15]	S1V[14]	S1V[13]	S1V[12]	S1V[11]	S1V[10]	S1V[9]	S1V[8]
SVAR2	RD	S2V[7]	S2V[6]	S2V[5]	S2V[4]	S2V[3]	S2V[2]	S2V[1]	S2V[0]
SVAR3	RD	S2V[15]	S2V[14]	S2V[13]	S2V[12]	S2V[11]	S2V[10]	S2V[9]	S2V[8]
SVAR4	RD	S3V[7]	S3V[6]	S3V[5]	S3V[4]	S3V[3]	S3V[2]	S3V[1]	S3V[0]
SVAR5	RD	S3V[15]	S3V[14]	S3V[13]	S3V[12]	S3V[11]	S3V[10]	S3V[9]	S3V[8]

表 76. S 電圧レジスタ・グループ B (RDSVB)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SVBR0	RD	S4V[7]	S4V[6]	S4V[5]	S4V[4]	S4V[3]	S4V[2]	S4V[1]	S4V[0]
SVBR1	RD	S4V[15]	S4V[14]	S4V[13]	S4V[12]	S4V[11]	S4V[10]	S4V[9]	S4V[8]
SVBR2	RD	S5V[7]	S5V[6]	S5V[5]	S5V[4]	S5V[3]	S5V[2]	S5V[1]	S5V[0]
SVBR3	RD	S5V[15]	S5V[14]	S5V[13]	S5V[12]	S5V[11]	S5V[10]	S5V[9]	S5V[8]
SVBR4	RD	S6V[7]	S6V[6]	S6V[5]	S6V[4]	S6V[3]	S6V[2]	S6V[1]	S6V[0]
SVBR5	RD	S6V[15]	S6V[14]	S6V[13]	S6V[12]	S6V[11]	S6V[10]	S6V[9]	S6V[8]

表 77. S 電圧レジスタ・グループ C (RDSVC)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SVCR0	RD	S7V[7]	S7V[6]	S7V[5]	S7V[4]	S7V[3]	S7V[2]	S7V[1]	S7V[0]
SVCR1	RD	S7V[15]	S7V[14]	S7V[13]	S7V[12]	S7V[11]	S7V[10]	S7V[9]	S7V[8]
SVCR2	RD	S8V[7]	S8V[6]	S8V[5]	S8V[4]	S8V[3]	S8V[2]	S8V[1]	S8V[0]
SVCR3	RD	S8V[15]	S8V[14]	S8V[13]	S8V[12]	S8V[11]	S8V[10]	S8V[9]	S8V[8]
SVCR4	RD	S9V[7]	S9V[6]	S9V[5]	S9V[4]	S9V[3]	S9V[2]	S9V[1]	S9V[0]
SVCR5	RD	S9V[15]	S9V[14]	S9V[13]	S9V[12]	S9V[11]	S9V[10]	S9V[9]	S9V[8]

表 78. S 電圧レジスタ・グループ D (RDSVD)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SVDR0	RD	S10V[7]	S10V[6]	S10V[5]	S10V[4]	S10V[3]	S10V[2]	S10V[1]	S10V[0]
SVDR1	RD	S10V[15]	S10V[14]	S10V[13]	S10V[12]	S10V[11]	S10V[10]	S10V[9]	S10V[8]
SVDR2	RD	S11V[7]	S11V[6]	S11V[5]	S11V[4]	S11V[3]	S11V[2]	S11V[1]	S11V[0]
SVDR3	RD	S11V[15]	S11V[14]	S11V[13]	S11V[12]	S11V[11]	S11V[10]	S11V[9]	S11V[8]
SVDR4	RD	S12V[7]	S12V[6]	S12V[5]	S12V[4]	S12V[3]	S12V[2]	S12V[1]	S12V[0]
SVDR5	RD	S12V[15]	S12V[14]	S12V[13]	S12V[12]	S12V[11]	S12V[10]	S12V[9]	S12V[8]

表 79. S 電圧レジスタ・グループ E (RDSVE)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SVER0	RD	S13V[7]	S13V[6]	S13V[5]	S13V[4]	S13V[3]	S13V[2]	S13V[1]	S13V[0]
SVER1	RD	S13V[15]	S13V[14]	S13V[13]	S13V[12]	S13V[11]	S13V[10]	S13V[9]	S13V[8]
SVER2	RD	S14V[7]	S14V[6]	S14V[5]	S14V[4]	S14V[3]	S14V[2]	S14V[1]	S14V[0]
SVER3	RD	S14V[15]	S14V[14]	S14V[13]	S14V[12]	S14V[11]	S14V[10]	S14V[9]	S14V[8]
SVER4	RD	S15V[7]	S15V[6]	S15V[5]	S15V[4]	S15V[3]	S15V[2]	S15V[1]	S15V[0]
SVER5	RD	S15V[15]	S15V[14]	S15V[13]	S15V[12]	S15V[11]	S15V[10]	S15V[9]	S15V[8]

メモリ・マップ

表 80. S 電圧レジスタ・グループ F (RDSVF)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SVFR0	RD	S16V[7]	S16V[6]	S16V[5]	S16V[4]	S16V[3]	S16V[2]	S16V[1]	S16V[0]
SVFR1	RD	S16V[15]	S16V[14]	S16V[13]	S16V[12]	S16V[11]	S16V[10]	S16V[9]	S16V[8]
SVFR2	RD	1	1	1	1	1	1	1	1
SVFR3	RD	1	1	1	1	1	1	1	1
SVFR4	RD	1	1	1	1	1	1	1	1
SVFR5	RD	1	1	1	1	1	1	1	1

表 81. 補助レジスタ・グループ A (RDAUXA)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
GPAR0	RD	G1V[7]	G1V[6]	G1V[5]	G1V[4]	G1V[3]	G1V[2]	G1V[1]	G1V[0]
GPAR1	RD	G1V[15]	G1V[14]	G1V[13]	G1V[12]	G1V[11]	G1V[10]	G1V[9]	G1V[8]
GPAR2	RD	G2V[7]	G2V[6]	G2V[5]	G2V[4]	G2V[3]	G2V[2]	G2V[1]	G2V[0]
GPAR3	RD	G2V[15]	G2V[14]	G2V[13]	G2V[12]	G2V[11]	G2V[10]	G2V[9]	G2V[8]
GPAR4	RD	G3V[7]	G3V[6]	G3V[5]	G3V[4]	G3V[3]	G3V[2]	G3V[1]	G3V[0]
GPAR5	RD	G3V[15]	G3V[14]	G3V[13]	G3V[12]	G3V[11]	G3V[10]	G3V[9]	G3V[8]

表 82. 補助レジスタ・グループ B (RDAUXB)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
GPBR0	RD	G4V[7]	G4V[6]	G4V[5]	G4V[4]	G4V[3]	G4V[2]	G4V[1]	G4V[0]
GPBR1	RD	G4V[15]	G4V[14]	G4V[13]	G4V[12]	G4V[11]	G4V[10]	G4V[9]	G4V[8]
GPBR2	RD	G5V[7]	G5V[6]	G5V[5]	G5V[4]	G5V[3]	G5V[2]	G5V[1]	G5V[0]
GPBR3	RD	G5V[15]	G5V[14]	G5V[13]	G5V[12]	G5V[11]	G5V[10]	G5V[9]	G5V[8]
GPBR4	RD	G6V[7]	G6V[6]	G6V[5]	G6V[4]	G6V[3]	G6V[2]	G6V[1]	G6V[0]
GPBR5	RD	G6V[15]	G6V[14]	G6V[13]	G6V[12]	G6V[11]	G6V[10]	G6V[9]	G6V[8]

表 83. 補助レジスタ・グループ C (RDAUXC)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
GPCR0	RD	G7V[7]	G7V[6]	G7V[5]	G7V[4]	G7V[3]	G7V[2]	G7V[1]	G7V[0]
GPCR2	RD	G7V[15]	G7V[14]	G7V[13]	G7V[12]	G7V[11]	G7V[10]	G7V[9]	G7V[8]
GPCR3	RD	G8V[7]	G8V[6]	G8V[5]	G8V[4]	G8V[3]	G8V[2]	G8V[1]	G8V[0]
GPCR4	RD	G8V[15]	G8V[14]	G8V[13]	G8V[12]	G8V[11]	G8V[10]	G8V[9]	G8V[8]
GPCR5	RD	G9V[7]	G9V[6]	G9V[5]	G9V[4]	G9V[3]	G9V[2]	G9V[1]	G9V[0]
GPCR6	RD	G9V[15]	G9V[14]	G9V[13]	G9V[12]	G9V[11]	G9V[10]	G9V[9]	G9V[8]

表 84. 補助レジスタ・グループ D (RDAUXD)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
GPDR0	RD	G10V[7]	G10V[6]	G10V[5]	G10V[4]	G10V[3]	G10V[2]	G10V[1]	G10V[0]
GPDR1	RD	G10V[15]	G10V[14]	G10V[13]	G10V[12]	G10V[11]	G10V[10]	G10V[9]	G10V[8]
GPDR2	RD	VMV[7]	VMV[6]	VMV[5]	VMV[4]	VMV[3]	VMV[2]	VMV[1]	VMV[0]
GPDR3	RD	VMV[15]	VMV[14]	VMV[13]	VMV[12]	VMV[11]	VMV[10]	VMV[9]	VMV[8]
GPDR4	RD	VPV[7]	VPV[6]	VPV[5]	VPV[4]	VPV[3]	VPV[2]	VPV[1]	VPV[0]
GPDR5	RD	VPV[15]	VPV[14]	VPV[13]	VPV[12]	VPV[11]	VPV[10]	VPV[9]	VPV[8]

表 85. 冗長測定補助レジスタ・グループ A (RDRAXA)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RGPARG0	RD	R_G1V[7]	R_G1V[6]	R_G1V[5]	R_G1V[4]	R_G1V[3]	R_G1V[2]	R_G1V[1]	R_G1V[0]
RGPARG1	RD	R_G1V[15]	R_G1V[14]	R_G1V[13]	R_G1V[12]	R_G1V[11]	R_G1V[10]	R_G1V[9]	R_G1V[8]

メモリ・マップ

表 85. 冗長測定補助レジスタ・グループ A (RDRAXA) (続き)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RGPARG2	RD	R_G2V[7]	R_G2V[6]	R_G2V[5]	R_G2V[4]	R_G2V[3]	R_G2V[2]	R_G2V[1]	R_G2V[0]
RGPARG3	RD	R_G2V[15]	R_G2V[14]	R_G2V[13]	R_G2V[12]	R_G2V[11]	R_G2V[10]	R_G2V[9]	R_G2V[8]
RGPARG4	RD	R_G3V[7]	R_G3V[6]	R_G3V[5]	R_G3V[4]	R_G3V[3]	R_G3V[2]	R_G3V[1]	R_G3V[0]
RGPARG5	RD	R_G3V[15]	R_G3V[14]	R_G3V[13]	R_G3V[12]	R_G3V[11]	R_G3V[10]	R_G3V[9]	R_G3V[8]

表 86. 冗長測定補助レジスタ・グループ B (RDRAXB)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RGPBR0	RD	R_G4V[7]	R_G4V[6]	R_G4V[5]	R_G4V[4]	R_G4V[3]	R_G4V[2]	R_G4V[1]	R_G4V[0]
RGPBR1	RD	R_G4V[15]	R_G4V[14]	R_G4V[13]	R_G4V[12]	R_G4V[11]	R_G4V[10]	R_G4V[9]	R_G4V[8]
RGPBR2	RD	R_G5V[7]	R_G5V[6]	R_G5V[5]	R_G5V[4]	R_G5V[3]	R_G5V[2]	R_G5V[1]	R_G5V[0]
RGPBR3	RD	R_G5V[15]	R_G5V[14]	R_G5V[13]	R_G5V[12]	R_G5V[11]	R_G5V[10]	R_G5V[9]	R_G5V[8]
RGPBR4	RD	R_G6V[7]	R_G6V[6]	R_G6V[5]	R_G6V[4]	R_G6V[3]	R_G6V[2]	R_G6V[1]	R_G6V[0]
RGPBR5	RD	R_G6V[15]	R_G6V[14]	R_G6V[13]	R_G6V[12]	R_G6V[11]	R_G6V[10]	R_G6V[9]	R_G6V[8]

表 87. 冗長測定補助レジスタ・グループ C (RDRAXC)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RGPCR0	RD	R_G7V[7]	R_G7V[6]	R_G7V[5]	R_G7V[4]	R_G7V[3]	R_G7V[2]	R_G7V[1]	R_G7V[0]
RGPCR1	RD	R_G7V[15]	R_G7V[14]	R_G7V[13]	R_G7V[12]	R_G7V[11]	R_G7V[10]	R_G7V[9]	R_G7V[8]
RGPCR2	RD	R_G8V[7]	R_G8V[6]	R_G8V[5]	R_G8V[4]	R_G8V[3]	R_G8V[2]	R_G8V[1]	R_G8V[0]
RGPCR3	RD	R_G8V[15]	R_G8V[14]	R_G8V[13]	R_G8V[12]	R_G8V[11]	R_G8V[10]	R_G8V[9]	R_G8V[8]
RGPCR4	RD	R_G9V[7]	R_G9V[6]	R_G9V[5]	R_G9V[4]	R_G9V[3]	R_G9V[2]	R_G9V[1]	R_G9V[0]
RGPCR5	RD	R_G9V[15]	R_G9V[14]	R_G9V[13]	R_G9V[12]	R_G9V[11]	R_G9V[10]	R_G9V[9]	R_G9V[8]

表 88. 冗長測定補助レジスタ・グループ D (RDRAXD)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RGPDR0	RD	R_G10V[7]	R_G10V[6]	R_G10V[5]	R_G10V[4]	R_G10V[3]	R_G10V[2]	R_G10V[1]	R_G10V[0]
RGPDR1	RD	R_G10V[15]	R_G10V[14]	R_G10V[13]	R_G10V[12]	R_G10V[11]	R_G10V[10]	R_G10V[9]	R_G10V[8]
RGPDR2	RD	1	1	1	1	1	1	1	1
RGPDR3	RD	1	1	1	1	1	1	1	1
RGPDR4	RD	1	1	1	1	1	1	1	1
RGPDR5	RD	1	1	1	1	1	1	1	1

表 89. ステータス・レジスタ・グループ A (RDSTATA)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
STAR0	RD	VREF2[7]	VREF2[6]	VREF2[5]	VREF2[4]	VREF2[3]	VREF2[2]	VREF2[1]	VREF2[0]
STAR1	RD	VREF2[15]	VREF2[14]	VREF2[13]	VREF2[12]	VREF2[11]	VREF2[10]	VREF2[9]	VREF2[8]
STAR2	RD	ITMP[7]	ITMP[6]	ITMP[5]	ITMP[4]	ITMP[3]	ITMP[2]	ITMP[1]	ITMP[0]
STAR3	RD	ITMP[15]	ITMP[14]	ITMP[13]	ITMP[12]	ITMP[11]	ITMP[10]	ITMP[9]	ITMP[8]
STAR4	RD	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
STAR5	RD	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved

表 90. ステータス・レジスタ・グループ B (RDSTATB)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
STBR0	RD	VD[7]	VD[6]	VD[5]	VD[4]	VD[3]	VD[2]	VD[1]	VD[0]
STBR1	RD	VD[15]	VD[14]	VD[13]	VD[12]	VD[11]	VD[10]	VD[9]	VD[8]
STBR2	RD	VA[7]	VA[6]	VA[5]	VA[4]	VA[3]	VA[2]	VA[1]	VA[0]
STBR3	RD	VA[15]	VA[14]	VA[13]	VA[12]	VA[11]	VA[10]	VA[9]	VA[8]
STBR4	RD	VRES[7]	VRES[6]	VRES[5]	VRES[4]	VRES[3]	VRES[2]	VRES[1]	VRES[0]

メモリ・マップ

表 90. ステータス・レジスタ・グループ B (RDSTATB) (続き)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
STBR5	RD	VRES[15]	VRES[14]	VRES[13]	VRES[12]	VRES[11]	VRES[10]	VRES[9]	VRES[8]

表 91. ステータス・レジスタ・グループ C (RDSTATC)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
STCR0	RD	CS8FLT	CS7FLT	CS6FLT	CS5FLT	CS4FLT	CS3FLT	CS2FLT	CS1FLT
STCR1	RD	CS16FLT	CS15FLT	CS14FLT	CS13FLT	CS12FLT	CS11FLT	CS10FLT	CS9FLT
STCR2	RD	0	0	0	CT[10]	CT[9]	CT[8]	CT[7]	CT[6]
STCR3	RD	CT[5]	CT[4]	CT[3]	CT[2]	CT[1]	CT[0]	CTS[1]	CTS[0]
STCR4	RD	VA_OV	VA_UV	VD_OV	VD_UV	CED	CMED	SED	SMED
STCR5	RD	VDEL	VDE	COMP	SPIFLT	SLEEP	THSD	TMODCHK	OSCHK

表 92. ステータス・レジスタ・グループ D (RDSTATD)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
STDR0	RD	C4OV	C4UV	C3OV	C3UV	C2OV	C2UV	C1OV	C1UV
STDR1	RD	C8OV	C8UV	C7OV	C7UV	C6OV	C6UV	C5OV	C5UV
STDR2	RD	C12OV	C12UV	C11OV	C11UV	C10OV	C10UV	C9OV	C9UV
STDR3	RD	C16OV	C16UV	C15OV	C15UV	C14OV	C14UV	C13OV	C13UV
STDR4	RD	1	1	1	1	1	1	1	1
STDR5	RD	OC_CNTR[7]	OC_CNTR[6]	OC_CNTR[5]	OC_CNTR[4]	OC_CNTR[3]	OC_CNTR[2]	OC_CNTR[1]	OC_CNTR[0]

表 93. ステータス・レジスタ・グループ E (RDSTATE)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
STER0	RD	1	1	1	1	1	1	1	1
STER1	RD	1	1	1	1	1	1	1	1
STER2	RD	1	1	1	1	1	1	1	1
STER3	RD	1	1	1	1	1	1	1	01
STER4	RD	GPI[8]	GPI[7]	GPI[6]	GPI[5]	GPI[4]	GPI[3]	GPI[2]	GPI[1]
STER5	RD	REV[3]	REV[2]	REV[1]	REV[0]	0	0	GPI[10]	GPI[9]

表 94. COMM レジスタ・グループ (WRCOMM、RDCOMM)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
COMM0	RD/WR	ICOM0[3]	ICOM0[2]	ICOM0[1]	ICOM0[0]	FCOM0[3]	FCOM0[2]	FCOM0[1]	FCOM0[0]
COMM1	RD/WR	D0[7]	D0[6]	D0[5]	D0[4]	D0[3]	D0[2]	D0[1]	D0[0]
COMM2	RD/WR	ICOM1[3]	ICOM1[2]	ICOM1[1]	ICOM1[0]	FCOM1[3]	FCOM1[2]	FCOM1[1]	FCOM1[0]
COMM3	RD/WR	D1[7]	D1[6]	D1[5]	D1[4]	D1[3]	D1[2]	D1[1]	D1[0]
COMM4	RD/WR	ICOM2[3]	ICOM2[2]	ICOM2[1]	ICOM2[0]	FCOM2[3]	FCOM2[2]	FCOM2[1]	FCOM2[0]
COMM5	RD/WR	D2[7]	D2[6]	D2[5]	D2[4]	D2[3]	D2[2]	D2[1]	D2[0]

表 95. PWM レジスタ・グループ A (WRPWMA、RDPWMA)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMR0	RD/WR	PWM2[3]	PWM2[2]	PWM2 [1]	PWM2[0]	PWM1[3]	PWM1[2]	PWM1[1]	PWM1[0]
PWMR1	RD/WR	PWM4[3]	PWM4[2]	PWM4[1]	PWM4[0]	PWM3[3]	PWM3[2]	PWM3[1]	PWM3[0]
PWMR2	RD/WR	PWM6[3]	PWM6[2]	PWM6[1]	PWM6[0]	PWM5[3]	PWM5[2]	PWM5[1]	PWM5[0]
PWMR3	RD/WR	PWM8[3]	PWM8[2]	PWM8[1]	PWM8[0]	PWM7[3]	PWM7[2]	PWM7[1]	PWM7[0]
PWMR4	RD/WR	PWM10[3]	PWM10[2]	PWM10[1]	PWM10[0]	PWM9[3]	PWM9[2]	PWM9[1]	PWM9[0]
PWMR5	RD/WR	PWM12[3]	PWM12[2]	PWM12[1]	PWM12[0]	PWM11[3]	PWM11[2]	PWM11[1]	PWM11[0]

メモリ・マップ

表 96. PWM レジスタ・グループ B (WRPWMB、RDPWMB)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PSR0	RD/WR	PWM14[3]	PWM14[2]	PWM14[1]	PWM14[0]	PWM13[3]	PWM13[2]	PWM13[1]	PWM13[0]
PSR1	RD/WR	PWM16[3]	PWM16[2]	PWM16[1]	PWM16[0]	PWM15[3]	PWM15[2]	PWM15[1]	PWM15[0]
PSR2	RD/WR	1	1	1	1	1	1	1	1
PSR3	RD/WR	1	1	1	1	1	1	1	1
PSR4	RD/WR	1	1	1	1	1	1	1	1
PSR5	RD/WR	1	1	1	1	1	1	1	1

表 97. LPCM 設定レジスタ・グループ (WRCMCFG、RDCMCFG)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMCF0	RD/WR	CMC_MAN	CMC_MPER[2]	CMC_MPER[1]	CMC_MPER[0]	CMC_BTM	CMC_TPER[2]	CMC_TPER[1]	CMC_TPER[0]
CMCF1	RD/WR	CMC_NDEV[7]	CMC_NDEV[6]	CMC_NDEV[5]	CMC_NDEV[4]	CMC_NDEV[3]	CMC_NDEV[2]	CMC_NDEV[1]	CMC_NDEV[0]
CMCF2	RD/WR	CMM_C[8]	CMM_C[7]	CMM_C[6]	CMM_C[5]	CMM_C[4]	CMM_C[3]	CMM_C[2]	CMM_C[1]
CMCF3	RD/WR	CMM_C[16]	CMM_C[15]	CMM_C[14]	CMM_C[13]	CMM_C[12]	CMM_C[11]	CMM_C[10]	CMM_C[9]
CMCF4	RD/WR	CMM_G[2]	CMM_G[1]	CMC_DIR	CMC_GOE[2]	CMC_GOE[1]	CMC_GOE[0]	CMM_C[18]	CMM_C[17]
CMCF5	RD/WR	CMM_G[10]	CMM_G[9]	CMM_G[8]	CMM_G[7]	CMM_G[6]	CMM_G[5]	CMM_G[4]	CMM_G[3]

表 98. LPCM セル閾値レジスタ・グループ (WRCMCELLT、RDCMCELLT)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMT0	RD/WR	CMT_CUV[7]	CMT_CUV[6]	CMT_CUV[5]	CMT_CUV[4]	CMT_CUV[3]	CMT_CUV[2]	CMT_CUV[1]	CMT_CUV[0]
CMT1	RD/WR	CMT_COV[3]	CMT_COV[2]	CMT_COV[1]	CMT_COV[0]	CMT_CUV[11]	CMT_CUV[10]	CMT_CUV[9]	CMT_CUV[8]
CMT2	RD/WR	CMT_COV[11]	CMT_COV[10]	CMT_COV[9]	CMT_COV[8]	CMT_COV[7]	CMT_COV[6]	CMT_COV[5]	CMT_COV[4]
CMT3	RD/WR	CMT_CDV[7]	CMT_CDV[6]	CMT_CDV[5]	CMT_CDV[4]	CMT_CDV[3]	CMT_CDV[2]	CMT_CDV[1]	CMT_CDV[0]
CMT4	RD/WR	0	0	0	0	CMT_CDV[11]	CMT_CDV[10]	CMT_CDV[9]	CMT_CDV[8]
CMT5	RD/WR	0	0	0	0	0	0	0	0

表 99. LPCM GPIO 閾値レジスタ・グループ (WRCMGPIOT、RDCMGPIOT)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMTG0	RD/WR	CMT_GUV[7]	CMT_GUV[6]	CMT_GUV[5]	CMT_GUV[4]	CMT_GUV[3]	CMT_GUV[2]	CMT_GUV[1]	CMT_GUV[0]
CMTG1	RD/WR	CMT_GOV[3]	CMT_GOV[2]	CMT_GOV[1]	CMT_GOV[0]	CMT_GUV[11]	CMT_GUV[10]	CMT_GUV[9]	CMT_GUV[8]
CMTG2	RD/WR	CMT_GOV[11]	CMT_GOV[10]	CMT_GOV[9]	CMT_GOV[8]	CMT_GOV[7]	CMT_GOV[6]	CMT_GOV[5]	CMT_GOV[4]
CMTG3	RD/WR	CMT_GDV[7]	CMT_GDV[6]	CMT_GDV[5]	CMT_GDV[4]	CMT_GDV[3]	CMT_GDV[2]	CMT_GDV[1]	CMT_GDV[0]
CMTG4	RD/WR	0	0	0	0	CMT_GDV[11]	CMT_GDV[10]	CMT_GDV[9]	CMT_GDV[8]
CMTG5	RD/WR	0	0	0	0	0	0		

表 100. LPCM フラグ・レジスタ・グループ (RDCMFLAG)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMF0	RD/WR	CMF_GDVP	CMF_GDVN	CMF_GOV	CMF_GUV	CMF_CDVP	CMF_CDVN	CMF_COV	CMF_CUV
CMF1	RD/WR	CMC_EN	0	0	0	0	0	CMF_BTMWD	CMF_BTMCMP
CMF2	RD/WR	0	0	0	0	0	0	0	0
CMF3	RD/WR	0	0	0	0	0	0	0	0
CMF4	RD/WR	0	0	0	0	0	0	0	0
CMF5	RD/WR	0	0	0	0	0	0	0	0

表 101. データ保持レジスタ・グループ (ULRR、WRRR、RDRR)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RRR0	RD/WR	RR[47]	RR[46]	RR[45]	RR[44]	RR[43]	RR[42]	RR[41]	RR[40]
RRR1	RD/WR	RR[39]	RR[38]	RR[37]	RR[36]	RR[35]	RR[34]	RR[33]	RR[32]

メモリ・マップ

表 101. データ保持レジスタ・グループ (ULRR、WRRR、RDRR) (続き)

Register	RD/WR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RRR2	RD/WR	RR[31]	RR[30]	RR[29]	RR[28]	RR[27]	RR[26]	RR[25]	RR[24]
RRR3	RD/WR	RR[23]	RR[22]	RR[21]	RR[20]	RR[19]	RR[18]	RR[17]	RR[16]
RRR4	RD/WR	RR[15]	RR[14]	RR[13]	RR[12]	RR[11]	RR[10]	RR[9]	RR[8]
RRR5	RD/WR	RR[7]	RR[6]	RR[5]	RR[4]	RR[3]	RR[2]	RR[1]	RR[0]

表 102. 設定レジスタ A のビット説明

名前	説明	値	デフォルト
REFON	リファレンスのパワーアップ	1 = リファレンスをウォッチドッグ・タイムアウトまでの間パワーアップ。 0 = 変換後にリファレンスをシャットダウン (デフォルト)。	0
CTH[2:0]	C-ADC と S-ADC を閾値電圧と比較	000 : 5.1mV。 001 : 8.1mV (デフォルト)。 010 : 9mV。 011 : 10.05mV。 100 : 15mV。 101 : 19.95mV。 110 : 25.05mV。 111 : 40.05mV。	001
FLAG_Dx	ステータス・レジスタ C にレイテント故障検出用の様々なフラグをアサート	レイテント故障診断のためにステータス・レジスタのフラグをアサートしても、ADBMS6830B は実際の診断機能によってフラグがセットされたようには動作しません。例えば、FLAG_D[4]で THSD (サーマル・シャットダウン) をセットしてもパワーオン・リセットは発生しません。 FLAG_D[0] : 1 = 発振器カウンタを高速にセット。 FLAG_D[1] : 1 = 発振器カウンタを低速にセット。 FLAG_D[2] : 1 = 電源エラー検出 (ED) をセット。 FLAG_D[3] : 1 = 電源 OV およびデルタ検出を選択。0 = UV を選択。 FLAG_D[4] : 1 = THSD をセット。 FLAG_D[5] : 1 = 不揮発性メモリ (NVM) エラー検出 (ED) をセット。CED および SED をセット。 FLAG_D[6] : 1 = NVM マルチ・エラー検出 (MED) をセット。CMED および SMED をセット。 FLAG_D[7] : 1 = TMODCHK をセット。	0
SOAKON	AUX ADC のソークをイネーブル	1 = 全コマンドに対してソーク時間をイネーブル。 0 = ソーク時間をディスエーブル。	0
OWRNG	ソーク時間範囲	1 = 長いソーク時間範囲。 0 = 短いソーク時間範囲。	0
OWA	断線のソーク時間	AUX コマンド用。 OWRNG = 0 の場合、ソーク時間 = $2^{(6 + OWA[2:0])}$ クロック (32us~4.1ms)。 OWRNG = 1 の場合、ソーク時間 = $2^{(13 + OWA[2:0])}$ クロック (4.1ms~524ms)。	0
GPOx	GPIOx ピン制御	0 = GPIOx ピンのプルダウンをオン。 1 = GPIOx ピンのプルダウンをオフ (デフォルト)。	1
FC[2:0]	IIR フィルタのパラメータ	表 21 を参照してください。	000
COMM_BK	通信の停止	1 = 通信停止機能をアサートし、そのデバイスからデジチェーンを介したこれ以上の通信を停止。	0

メモリ・マップ

表 102. 設定レジスタ A のビット説明 (続き)

名前	説明	値	デフォルト
MUTE_ST	ミュートのステータス	1 = ミュートが有効となり、放電がディスエーブル。 0 = ミュートが無効。	0
SNAP_ST	スナップショットのステータス	1 = スナップショットが有効となり、結果レジスタをフリーズ。 0 = スナップショットが無効。	0

表 103. 設定レジスタ B のビット説明

名前	説明	値	デフォルト
VUV	UV 比較電圧	セルの低電圧閾値 = $VUV \times 16 \times 150\mu V + 1.5V$ 。	0x800
VOV	OV 比較電圧	セルの過電圧閾値 = $VOV \times 16 \times 150\mu V + 1.5V$ 。	0x7FF
DTMEN	放電タイマー・モニタをイネーブル	1 = デバイスが拡張バランスング状態に遷移している場合、放電タイマー・モニタ機能をイネーブル。 0 = 放電タイマー・モニタ機能をディスエーブル。	0
DTRNG	放電タイマーの範囲の設定	1 = 0~16.8 時間、16 分刻み。 0 = 0~63 分、1 分刻み。	0
DCTO	放電タイムアウト値	書込み = 新しい値を、DTRNG の読出し値に応じて 16 分刻みまたは 1 分刻みで設定。 読出し = 残りの値を、DTRNG に応じて 16 分刻みまたは 1 分刻みで設定。 1 = 残りのインクリメントが 1 以下。 0 = タイムアウト発生、または DCTO が未設定。	0
DCCx	セル x の放電	1 = セル x の短絡スイッチを常にオン。 0 = セル x の短絡スイッチを常にオフ (デフォルト)。	0

表 104. 結果レジスタのビット説明

名前	説明	値	デフォルト
CxV	セル x の電圧	x = 1~16 : セル x の 16 ビット ADC 測定値。セル x のセル電圧 = $CxV \times 150\mu V + 1.5V$ 。CxV は、パワーアップ時およびクリア・コマンド (CLRCELL) 後に 0x8000 にリセットされます。	0x8000
ACxV	セル x の平均電圧	x = 1~16 : セル x の 8 個の変換結果を平均した 16 ビット値。セル x の平均セル電圧 = $CxV \times 150\mu V + 1.5V$ 。ACxV は、パワーアップ時およびクリア・コマンド (CLRCELL) 後に 0x8000 にリセットされます。	0x8000
FCxV	フィルタ処理されたセル x の電圧	x = 1~16 : IIR フィルタでセル処理されたセル x の 16 ビット測定値。セル x のフィルタ処理セル電圧 = $CxV \times 150\mu V + 1.5V$ 。FCxV は、パワーアップ時およびクリア・コマンド (CLRFC) 後に 0x8000 にリセットされます。	0x8000
SxV	Sx ピンの電圧	ADSV または ADCV コマンドによる Sx ピンの 16 ビット ADC 測定値。チャンネル x の S ピン電圧 = $SxV \times 150\mu V + 1.5V$ 。SxV は、パワーアップ時およびクリア・コマンド (CLRSPIN) 後に 0x8000 にリセットされます。	0x8000
GxV, R_GxV	冗長測定用 GPIOx 電圧	x = 1~10 : GPIOx の (冗長測定用) GPIOx 電圧の 16 ビット ADC 測定値 = $GxV \times 150\mu V + 1.5V$ 。	0x8000
VPV	V+~V-間の測定	V+~V-間の 16 ビット ADC 測定値 = $25 \times (VPV \times 150\mu V + 1.5V)$ 。パワーアップ、スリープ、およびクリア・コマンド (CLRAUX) 後に 0x8000 にリセットされます。	0x8000
VMV	S1N~V-間の測定	S1N~V-間の 16 ビット ADC 測定値 = $VMV \times 150\mu V + 1.5V$ 。パワーアップ、スリープ、およびクリア・コマンド (CLRAUX) 後に 0x8000 にリセットされます。	0x8000

表 105. ステータス・レジスタ A のビット説明

名前	説明	値	デフォルト
VREF2	第 2 リファレンス電圧	第 2 リファレンスの第 2 リファレンス電圧の 16 ビット ADC 測定値 = $V_{REF2} \times 150\mu V + 1.5V$ 。データシートの限界値、熱ヒステリシス、長期ドリフトを考慮し、通常範囲は 2.988V~3.012V 以内です。パワーアップ、スリープ、およびクリア・コマンド (CLRAUX) 後に 0x8000 にリセットされます。	0x8000

メモリ・マップ

表 105. ステータス・レジスタ A のビット説明 (続き)

名前	説明	値	デフォルト
ITMP	内部ダイ温度	内部ダイ温度の 16 ビット ADC 測定値。 温度測定電圧 = (ITMP × 150μV + 1.5V)/7.5mV/°C - 273°C。パワーアップおよびスリープ後に 0x7FFF に、クリア・コマンド (CLRAUX) 後に 0x8000 にリセットされます。	0x7FFF

表 106. ステータス・レジスタ B のビット説明

名前	説明	値	デフォルト
VD	デジタル電源電圧。スリープ時に VD はオフ	デジタル電源電圧の 16 ビット ADC 測定値。デジタル電源電圧 = VD × 150μV + 1.5V。通常範囲は 2.7V~3.6V。パワーアップおよびスリープ後に 0x7FFF に、クリア・コマンド (CLRAUX) 後に 0x8000 にリセットされます。	0x7FFF
VA	アナログ電源電圧 = V _{REG} ピンの電圧。スリープ時に VD はオフ	アナログ電源電圧の 16 ビット ADC 測定値。アナログ電源電圧 = VA × 150μV + 1.5V。VA の値は外付け部品によって設定します。通常動作では、4.5V~5.5V の範囲に設定してください。パワーアップおよびスリープ後に 0x7FFF に、クリア・コマンド (CLRAUX) 後に 0x8000 にリセットされます。	0x7FFF
VRES	抵抗を介した VREF2 値	断線チェック用の直列抵抗が接続された VREF2 の 16 ビット ADC 値。 電圧 = VRES × 150μV + 1.5V。パワーアップおよびスリープ後に 0x7FFF に、クリア・コマンド (CLRAUX) 後に 0x8000 にリセットされます。	0x7FFF

表 107. レジスタ・フォーマットの概要

Register Names	Width	LSB	Offset	Unit	Min	Zero	Max
CxV, SxV, ACxV, FCxV, GxV, R_GxV, VREF2, VD, VA, VRES, VMV	16	0.00015	1.5	V	Analog: -3.4152 Hex: 0x8000	Analog: 1.5 Hex: 0x0000	Analog: 6.41505 Hex: 0x7FFF
VUV, VOV, CMT_CUV, CMT_COV, CMT_GUV, CMT_GOV	12	0.0024	1.5	V	Analog: -3.4152 Hex: 0x0800	Analog: 1.5 Hex: 0x0000	Analog: 6.4128 Hex: 0x07FF
CMT_CDV, CMT_GDV	12	0.0012	0	V	Analog: 0 Hex: 0x000	Analog: 0 Hex: 0x000	Analog: 4.914 Hex: 0xFFF
VPV	16	0.00375	37.5	V	Analog: -85.38 Hex: 0x8000	Analog: 37.5 Hex: 0x0000	Analog: 160.37625 Hex: 0x7FFF
ITMP	16	0.02	-73.0	°C	Analog: -728.36 Hex: 0x8000	Analog: -73.0 Hex: 0x0000	Analog: 582.34 Hex: 0x7FFF

表 108. ステータス・レジスタ C のビット説明

名前	説明	値	デフォルト
CSxFLT	チャンネル X での C-ADC 対 S-ADC 比較のフォルト	読出し: 1 = チャンネル X で C-ADC 測定値と S-ADC 測定値のミスマッチが発生。 読出し: 0 = チャンネル X での C-ADC 測定値と S-ADC 測定値のミスマッチなし。	0xFFFF
VA_OV	5V アナログ・レールの OV	このビットは、CLRFLAG コマンドの CL_VAOV = 1 を使用することで 0 にクリアされます。 読出し: 1 = ADC 動作中に 5V のメイン・アナログ電源レールで過電圧イベントを検出。 読出し: 0 = アナログ電源レールで過電圧イベントの検出なし。	1
VA_UV	5V アナログ・レールの UV	このビットは、CLRFLAG コマンドの CL_VAUV = 1 を使用することで 0 にクリアされます。VA は V _{REG} から得られるため、スリープからスタンバイに遷移すると VA_UV はリセットされます。 読出し: 1 = ADC 動作中に 5V のメイン・アナログ電源レールで低電圧イベントを検出。 読出し: 0 = アナログ電源レールで低電圧イベントの検出なし。	1
VD_OV	3V デジタル・レールの OV	このビットは、CLRFLAG コマンドの CL_VDOV = 1 を使用することで 0 にクリアされます。 読出し: 1 = ADC 動作中にデジタル電源レールで過電圧イベントを検出。 読出し: 0 = デジタル電源レールで過電圧イベントの検出なし。	1
VD_UV	3V デジタル・レールの UV	このビットは、CLRFLAG コマンドの CL_VDUV = 1 を使用することで 0 にクリアされます。VD は V _{REG} から得られるため、スリープからスタンバイに遷移すると VD_UV はリセットされます。 読出し: 1 = ADC 動作中にデジタル電源レールで低電圧イベントを検出。 読出し: 0 = デジタル電源レールで低電圧イベントの検出なし。	1

メモリ・マップ

表 108. ステータス・レジスタ C のビット説明 (続き)

名前	説明	値	デフォルト
CED	C トリム・エラー検出	ADBMS6830B は、シングル・トリム・エラーを補正できます。 読出し：1 = C-NVM でトリム・エラーを検出。 読出し：0 = C-NVM でトリム・エラーの検出なし。	1
CMED	複数の C トリム・エラー検出	複数のトリム・エラーにより、パラメータは仕様範囲外になる可能性があります。 読出し：1 = C-NVM で複数のトリム・エラーを検出。 読出し：0 = C-NVM で複数のトリム・エラー検出なし。	1
SED	S トリム・エラー検出	ADBMS6830B は、シングル・トリム・エラーを補正できます。 読出し：1 = S-NVM でトリム・エラーを検出。 読出し：0 = S-NVM でトリム・エラーの検出なし。	1
SMED	複数の S トリム・エラー検出	複数のトリム・エラーにより、パラメータは仕様範囲外になる可能性があります。 読出し：1 = S-NVM で複数のトリム・エラーを検出。 読出し：0 = S-NVM で複数のトリム・エラー検出なし。	1
VDE	電源レールの変化	このビットは、CLRFLAG コマンドの CL_VDE = 1 を使用することで 0 にクリアされます。 読出し：1 = 5V 電源のいずれかが V_{REG} から 0.5V 以上異なる電圧に変化。 読出し：0 = 5V 電源に変化なし。	1
VDEL	レイテント故障用の電源レール変化	このビットは、CLRFLAG コマンドの CL_VDEL = 1 を使用することで 0 にクリアされます。VDEL を使用することで、電源レール・モニタのレイテント故障をチェックできます。 読出し：1 = 5V 電源のすべてが V_{REG} から 0.5V 以上異なる電圧に変化。 読出し：0 = 5V 電源のすべてが V_{REG} から 0.5V 以上異なる電圧に変化なし。	1
COMP	比較	C-ADC 結果と S-ADC 結果の比較がアクティブかどうかを示します。 1 = C-ADC と S-ADC の比較がアクティブ。 0 = C-ADC と S-ADC の比較がオフ。	0
SPIFLT	SPI フォルト	読出し：1 = SPI スレーブの冗長出力間でミスマッチが発生。 読出し：0 = SPI スレーブの冗長出力間でのミスマッチなし。	1
SLEEP	スリープ・モードの検出	このビットは、CLRFLAG コマンドの CL_SLEEP = 1 を使用することで 0 にクリアされます。 読出し：1 = デバイスは電源サイクルを行っているかスリープ・モードに入っている。 読出し：0 = デバイスは電源サイクルを行っていない、またはスリープ・モードに入っていない。	1
THSD	サーマル・シャットダウンのステータス	THSD ビットは、CLRFLAG コマンドの CL_THSD = 1 を使用することで 0 にクリアされます。 読出し：0 = サーマル・シャットダウンは発生していない。 読出し：1 = サーマル・シャットダウンが発生。	0
TMODCHK	テスト・モードの検出	このビットは、CLRFLAG コマンドの CL_TMODE = 1 を使用することで 0 にクリアされます。 読出し：1 = デバイスはテスト・モードを有効化している。 読出し：0 = デバイスはテスト・モードを有効化していない。	1
OSCCHK	発振器のチェック	このビットは、CLRFLAG コマンドの CL_OSCCHK = 1 を使用することで 0 にクリアされます。 1 = ADC 動作中に範囲外の発振器カウントを検出。 0 = 範囲外の発振器カウントの検出なし。	1
CT[10:0]	変換カウンタ	自走 C-ADC 変換カウンタ。ADCV コマンドごとにリセットされます。最大値に達した後、ロールオーバーされます。	0
CTS[1:0]	変換サブカウンタ	自走 C-ADC サブサンプリングの変換カウンタ。サンプリングごとに 4 回インクリメントされます。ADCV コマンドごとにリセットされます。最大値に達した後、ロールオーバーされます。CT[10:0] と CTS[1:0] は、サンプリングごとに 4 倍の増分を持つ 13 ビットのカウンタ CCTS[12:0] として扱うこともできます。CADC の結果に対して SNAP コマンドを使用してコヒーレントな読出しを行うことで新しいサンプルか古いサンプルか確認することができます。SADC の結果に対するコヒーレンスは、CCTS は 31、32、63、64、…以外の場合にのみ確保できます。	0

表 109. ステータス・レジスタ D のビット説明

名前	説明	値	デフォルト
CxOV	セル x の OV フラグ	x = 1~16 : 1ms ごとに測定した C-ADC のセル電圧測定結果を VOV 比較電圧と比較します。0 = セル x の過電圧条件にフラグを立てない。 1 = セル x にフラグを立てる。	1

メモリ・マップ

表 109. ステータス・レジスタ D のビット説明 (続き)

名前	説明	値	デフォルト
CxUV	セル x の UV フラグ	x = 1~16 : 1ms ごとに測定した C-ADC のセル電圧測定結果を VUV 比較電圧と比較します。0 = セル x の低電圧条件にフラグを立てない。1 = セル x にフラグを立てる。	1
OC_CNTR [7:0]	発振器チェック・カウンタ	発振器カウンタのチェック結果を格納。OSCCHK エラーが発生していない場合、発振器カウンタの最新の値が格納されます。OSCCHK エラーが発生した場合、最初のエラー・カウンタ値が格納されます。合格範囲は 52~71 です。	0

表 110. ステータス・レジスタ E のビット説明

名前	説明	値	デフォルト
GPiX	GPIOx ピンの状態	(読出し専用) 0 = GPIOx ピンはロジック 0。1 = GPIOx ピンはロジック 1。	0
REV	リビジョン・コード	デバイスのリビジョン・コード。	
RSVD	予約済みビット	読出し : リードバック値は 1 か 0 です。	
RSVD0	予約済みビット	読出し : リードバック値は常に 0 です。	0
RSVD1	予約済みビット	読出し : リードバック値は常に 1 です。	1

表 111. PWM レジスタのビット説明

名前	説明	値	デフォルト
PWMCx	PWM 設定	4'b1111 = 100% デューティサイクル。 4'b0001 = 6.6% デューティサイクル。 4'b0000 = 無効 (デフォルト)。	4'b000

表 112. LPCM 設定レジスタのビット説明

名前	説明	値	デフォルト
CMC_NDEV	デバイス数	デバイス数 + 0x42 にセット。	8'h00
CMC_MAN	フォルト・モニタリング・マネージャ	1 = このデバイスのマネージャ機能をイネーブル。 0 = このデバイスのマネージャ機能をディスエーブル。	0
CMC_MPER	フォルト・モニタリング測定 (ハートビート) 時間	000 = 1 秒。 001 = 2 秒。 010 = 4 秒。 011 = 8 秒。 100 = 12 秒。 101 = 16 秒。 110 = 32 秒。 111 = 1 秒。	000
CMC_BTM	ブリッジレス LPCM タイムアウト・モニタのフォルト・モニタリング	1 = このデバイスのブリッジレス LPCM タイムアウト・モニタをイネーブル。 0 = このデバイスのブリッジレス LPCM タイムアウト・モニタをディスエーブル。	0
CMC_TPER	フォルト・モニタリングでのブリッジレス・タイムアウト時間	000 = 1.5 秒。 001 = 3 秒。 010 = 6 秒。 011 = 12 秒。 100 = 18 秒。 101 = 24 秒。 110 = 48 秒。 111 = 1.5 秒。	000

メモリ・マップ

表 112. LPCM 設定レジスタのビット説明 (続き)

名前	説明	値	デフォルト
CMC_DIR	マネージャの Tx 方向	マネージャ・デバイスがデータをポート A とポート B のどちらから送信するかを決めます。他のデバイスに対してはドント・ケアです。 1 = マネージャはポート A から CMHB を送信。 0 = マネージャはポート B から CMHB を送信。	0
CMC_GOE	GPIO への LPCM 割込み	GPIO を割込み出力として設定できます。ブリッジレス LPCM がイネーブルされている場合、タイマーに基づき、またはハートビートの最終カウント数が悪い値の場合に割込みをアサートします。イネーブルされていない場合、LPCM はこのデバイスの状態に基づきます。割込みとして使用する場合、選択した GPIO をマスクしてアナログ入力として使用しないように CMM_G[4:3] を設定する必要があります。GPIO はオープン・ドレインで、外付けプルアップ抵抗が必要です。 000 = いずれの GPIO 出力もイネーブルしない。 001 = GPIO3 をアクティブ・ロー (割込みはローをアサート)。 010 = GPIO3 をアクティブ・ハイ (割込みはハイをアサート)。 011 = GPIO4 をアクティブ・ロー。 100 = GPIO4 をアクティブ・ハイ。 101 = GPIO4 をアクティブ・ロー、GPIO3 をアクティブ・ロー。 110 = GPIO4 をアクティブ・ロー、GPIO3 をアクティブ・ハイ。 111 = GPIO4 をアクティブ・ハイ、GPIO3 をアクティブ・ロー。	000
CMM_C	セルをマスク	割込み設定のため、個々のセルの結果をマスク/無視します。	18'h0_0000
CMM_G	GPIO マスク	割込み設定のため、個々の GPIO の結果をマスク/無視します。マスクされた GPIO チャンネルは変換シーケンスの間スキップされます。	10'h000

表 113. LPCM セル閾値レジスタのビット説明

名前	説明	値	デフォルト
CMT_CUV	セルの UV 閾値	12 ビット、符号付き、LSB = 2.4mV、オフセット = 1.5V。 例えば、閾値 = 2.5V → $CMT_CUV = (2.5V - 1.5V)/2.4mV = 0x1A1$ 。	12'h000
CMT_COV	セルの OV 閾値	12 ビット、符号付き、LSB = 2.4mV、オフセット = 1.5V。	12'h000
CMT_CDV	セルの DV 閾値	12 ビット、符号なし、LSB = 1.2mV、オフセット = 0V。 例えば、閾値 = 0.2V → $CMT_CDV = 0.2V/1.2mV = 0x0A7$ 。	12'h000

表 114. LPCM GPIO 閾値レジスタのビット説明

名前	説明	値	デフォルト
CMT_GUV	GPIO の UV 閾値	12 ビット、符号付き、LSB = 2.4mV、オフセット = 1.5V。	12'h000
CMT_GOV	GPIO の OV 閾値	12 ビット、符号付き、LSB = 2.4mV、オフセット = 1.5V。	12'h000
CMT_GDV	GPIO の DV 閾値	12 ビット、符号なし、LSB = 1.2mV、オフセット = 0V。	12'h000

表 115. LPCM フラグ・レジスタのビット説明

名前	説明 ¹	値	デフォルト
CMC_EN	LPCM イネーブル・ステータス	LPCM の状態を表します。CMEN コマンドで設定し、CMDIS コマンドまたは POR でクリアします。 0 = LPCM は無効。 1 = LPCM は有効。	0
CMF_BTMWD	ブリッジレス・ウォッチドッグ・フラグ	ウォッチドッグ・タイムアウトによるブリッジレス LPCM タイムアウト・モニタ割込み。	1
CMF_BTMCMP	ブリッジレス・メッセージ・フラグ	閾値比較の失敗によるブリッジレス LPCM タイムアウト・モニタ割込み。ハートビート・メッセージまたはローカルでの比較によって示されます。	1
CMF_CUV	LPCM でのセルの UV フラグ	マスクされていないセル x のいずれかが CMT_CUV を下回る。	0
CMF_COV	LPCM でのセルの OV フラグ	マスクされていないセル x のいずれかが CMT_COV を上回る。	0
CMF_CDVP	LPCM でのセルの DVP フラグ	マスクされていないセル x のいずれかがセル x[n] ~ セル x[n-1] > CMT_CDV。	0
CMF_CDVN	LPCM でのセルの DVN フラグ	マスクされていないセル x のいずれかがセル x[n-1] ~ セル x[n] > CMT_CDV。	0
CMF_GUV	LPCM での GPIO の UV フラグ	マスクされていない GPIOx のいずれかが CMT_GUV を下回る。	0
CMF_GOV	LPCM での GPIO の OV フラグ	マスクされていない GPIOx のいずれかが CMT_GOV を上回る。	0

メモリ・マップ

表 115. LPCM フラグ・レジスタのビット説明（続き）

名前	説明 ¹	値	デフォルト
CMF_GDVP	LPCM での GPIO の DVP フラグ	マスクされていない GPIOx のいずれかが、GPIOx[n]~GPIOx[n-1] > CMT_GDV。	0
CMF_GDVN	LPCM での GPIO の DVN フラグ	マスクされていない GPIOx のいずれかが、GPIOx[n-1] ~GPIOx[n] > CMT_GDV。	0

¹ LPCM 動作中以外で生成された LPCM フラグは、考慮する必要はありません。

表 116. 通信レジスタのビット説明

名前	説明	値
ICOMx	初期通信の制御ビット	I ² C 通信の書込み： 0110 = 開始。 0001 = 停止。 0000 = ブランク。 0111 = 送信なし。 SPI 通信の読出し： 1000 = CSB ロー。 1010 = CSB の立下がりエッジ。 1001 = CSB ハイ。 1111 = 送信なし。
Dx	I ² C/SPI 通信のデータ・バイト。I ² C/SPI スレーブ・デバイスとの間で送受信されたデータを読出し。	I ² C 通信の読出し： 0110 = マスタからの開始。 0001 = マスタからの停止。 0000 = バイト間で SDA ロー。 0111 = バイト間で SDA ハイ。 SPI 通信の読出し： 0111 = 全ての場合。
FCOMx	最後の通信の制御ビット	I ² C 通信の書込み： 0000 = マスタに ACK。 1000 = マスタに NACK。 1001 = マスタに NACK、および停止。 SPI 通信の読出し： x000 = CSB ロー。 1001 = CSB ハイ。 I ² C 通信の読出し： 0000 = マスタから ACK。 0111 = スレーブから ACK。 1111 = スレーブから NACK。 0001 = スレーブから ACK、およびマスタから停止。 1001 = スレーブから NACK、およびマスタから停止。

アプリケーション情報

リニア・レギュレータによる電源供給

ADBMS6830Bの1次電源ピンは $5V \pm 0.5V$ の V_{REG} 入力ピンです。図 37 に示すように、いくつかの外付け部品を追加することでDRIVEピンを使用して別個にレギュレータを形成することができます。DRIVEピンは5.7Vを出力し、1mAを供給できます。NPNトランジスタでバッファする場合、この構成により5Vを温度範囲にわたり安定に出力できます。温度範囲において十分なベータ値(>40)を持つNPNトランジスタを選定することで、必要な電源電流を供給できます。isoSPIによる通信とADC変換を同時に実行する場合、ADBMS6830Bに必要なピーク V_{REG} 電流は30mAに達します。負荷が増えたときに V_{REG} ピンで対応する必要がある場合は、より高いベータ値を持つトランジスタが必要になる可能性があります。

NPNのコレクタには、モニタしているセルを含む、 V_{-} より最低6V高い電圧源、またはレギュレーションされていない電源から電源を供給できます。NPNをトランジエントから保護するには、コレクタの電源接続に 330Ω 、 $10nF$ のRCデカップリング回路を使用することを推奨します。NPNのベースとの接続に 10Ω 、 $10nF$ のRCを追加してDRIVEピンをフィルタリングしてください。エミッタは、フェライト・ビーズと $1\mu F$ のリザーバ・コンデンサを直列に接続し、 V_{REG} ピンをバイパスする必要があります。容量が大きくなると、ADBMS6830Bのウェイクアップ時間が長くなるので避けてください。適切な熱損失を持つトランジスタを選定してください。コレクタ電圧が高いと消費電力が大幅に増加する可能性があるため、ほとんどのシステムでは、1Wを超えるデバイスを選定することを推奨します。

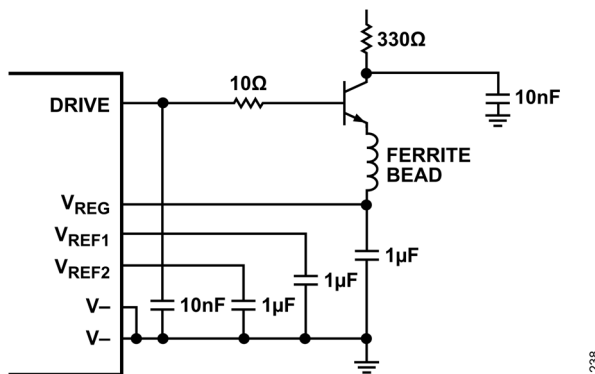


図 37. NPN パス・トランジスタを使用した V_{REG} 電源

入力フィルタリング

ADBMS6830Bは、マルチプレクサを使用せず、セルごとに専用のADCを使用してセル電圧を測定します。 Δ - Σ ADCは、オーバーサンプリングによって入力フィルタリングの条件を緩和しています。約4MHzのサンプリング周波数以上の高速トランジエント・ノイズのみ、各ADCにRCローパス・デカップリングを追加して除去する必要があります。

セル電圧を変換する際、ADBMS6830BのC-ADCの差動入力インピーダンスは $2.2M\Omega$ のため、約4Vのセル電圧では約 $1.6\mu A$ の差動入力電流が生じます。図 38 に示すように、フィルタ抵抗

が隣接する2つのチャンネルで共有されている場合、隣接するチャンネルの入力電流によって相殺されます。隣接するチャンネルでフィルタ抵抗が共有されていないチャンネルでは、フィルタ抵抗によって生じる電圧降下がC-ADC測定にゲイン誤差を発生させます。このゲイン誤差は、最終テストにおいて 200Ω のフィルタ抵抗の合計に対して補正されます。そのため、図 38 に示すように、チャンネル間で共有されていないセル入力に 200Ω の抵抗を配置する必要があります。 $10nF$ の差動コンデンサを使用することで、 $f_s \sim 4MHz$ で約80kHzのカットオフ周波数と30dBを超える減衰を実現できます。

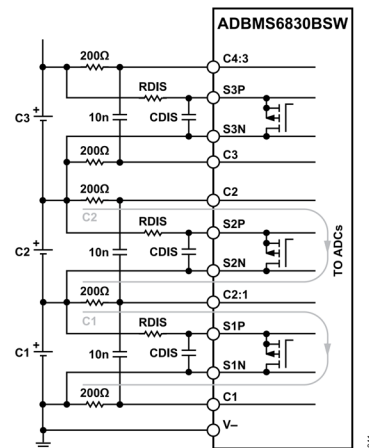


図 38. 入力フィルタリングおよびバランシング回路

2つの隣接するチャンネルで共有されていないフィルタ抵抗(R_{FILT})に 200Ω 以外の値を使用する場合、このチャンネルにはADCの公称入力抵抗とサンプリング・オフセット電流によって測定誤差が発生し、以下のように計算されます。

$$V_{ERROR} = -V_{CELL} \times \frac{R_{FILT} - 200\Omega}{2.2M\Omega} - (R_{FILT} - 200\Omega) \times 300nA$$

例えば、 470Ω のフィルタ抵抗を使用すると V_{ERROR} = 約 $-0.5mV$ の測定誤差が発生します。

200Ω 以外のフィルタ抵抗による誤差は、次式によって補償できます。

$$V_{CELL_CORR} = V_{CELL} + V_{CELL} \times \frac{R_{FILT} - 200\Omega}{2.2M\Omega} + (R_{FILT} - 200\Omega) \times 300nA$$

ここで、

V_{CELL} は対象となるセル電圧のADC測定値です。

R_{FILT} は使用するフィルタ抵抗です。

入力抵抗とサンプリング・オフセット電流はC-ADCの仕様(表1)による代表値から外れる場合があるため、補償後に残留誤差が発生する可能性があります。

図 39 に、 $R_{FILT} = 470\Omega$ および $R_{FILT} = 1k\Omega$ のフィルタ抵抗によって補償した後の残留誤差の最大値と最小値を、セル電圧の関数として示します。

アプリケーション情報

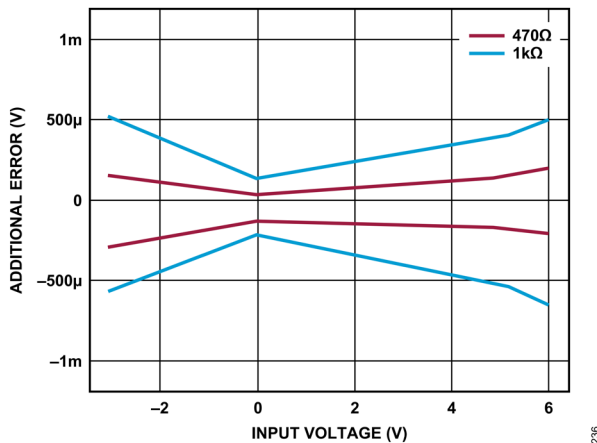


図 39. 補償後のセル電圧の残留誤差

2 つのセル測定チャンネルで共有されず、200Ω 以外の抵抗にのみ、補償の必要な誤差が発生します。

セルのバランスング

ADBMS6830B は、内部放電または外部放電によってセルのバランスをとるために使用する信号 (Sx ピン) を備えています。Sx ピンの内部 MOSFET を使用してセルを放電するか、Sx ピンをデジタル出力として動作させて外部トランジスタを駆動することが可能です。

内部 MOSFET を使用したセルのバランスング

パッシブ・バランスング機能を使用することで、直列スタック内の 1 つのセルが過充電になった場合、このセルに抵抗を接続することによって Sx 出力からゆっくり放電することができます。各 Sx 出力には、最大 4Ω のオン抵抗を持つ内部 MOSFET が接続されています。これらの MOSFET と直列に外付け抵抗を接続することで、放電電流を制限し、熱のほとんどを ADBMS6830B パッケージの外で放出することができます (図 38 を参照)。

内部の放電スイッチを使用することで、300mA 以下のバランスング電流によるパッシブなセルのバランスングが可能です。内部スイッチでの 300mA を超えるバランスング電流は推奨しません。内部の放電スイッチによってセルを放電する場合、ダイ温度をモニタしてください。

C-ADC および S-ADC の結果の比較が有効に実行されるよう、Sx ピンのフィルタ・ネットワーク (RDIS と CDIS) の時定数は、Cx ピンのフィルタ・ネットワーク (200Ω と 10nF) の時定数に近い値を選定する必要があります。

外部トランジスタを使用したセルのバランスング

300mA を超えるバランスング電流が必要となるアプリケーションの場合、Sx 出力を使用して LQFP パッケージの外付けトランジスタを制御します。Sx ピンは、外付け MOSFET のゲート駆動に最適化されたデジタル出力として動作させることができます。図 40 を参照してください。

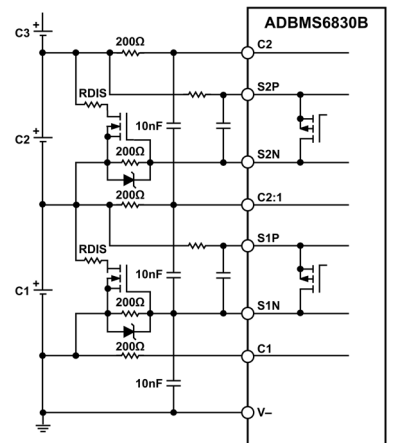


図 40. 外部トランジスタを使用したセルのバランスング

セルの削減

ADBMS6830B は、モニタ可能なセル数の最大値 16 より少ないアプリケーションでも使用できます。モニタできるセルの最小値は、V+での最小電源電圧値 11V で与えられます。

LQFP_EP パッケージの ADBMS6830B を使用した場合のセルの削減

ADBMS6830B はチャージ・ポンプを使用してチャンネル S1、S2、S3 の PMOS バランスング FET のゲートを駆動することで、これらのチャンネルの入力電圧が低い場合でも確実にゲート駆動できるようにします。そのため、次の隣接チャンネルのセル・バランスングが必要な場合は S1、S2、S3 を減らしてはなりません。偶数のセル数をモニタする場合、図 41 に示す 12 セル・スタックの場合のように、対象となるピン・ペアを減らし、これらの入力ピンを最後のセルの正のコネクタ・ピンに接続します。

奇数のセル数をモニタする場合、図 41 に示す 13 セル・スタックの場合のように、特定の 1 つのチャンネルのピン・ペアのみを使用します。この場合、共有ピン C14:13 を通る入力電力は相殺されません (入力フィルタリングのセクションを参照)。それにより、使用したチャンネル前段のフィルタ抵抗の値を 100Ω に減少させることでセル電圧の測定精度を維持できます。奇数のセル数を減らす場合、未使用ピンのコンデンサを V- に接続しないでください。接続すると、Cx と Cx:x - 1 間の差動入力電圧の絶対最大定格を超える可能性があります。その代わりに、未使用ピンと最後の Cx:x - 1 ピンの間に差動コンデンサ (10nF) を接続し、そのような過負荷が発生しないよう保護します。

セルの削減を表す図で、最小限の外付け部品を使用して特定のセル数をモニタするために推奨される電子回路設計を示します。回路にすべて実装されている場合、未使用のセルはセルのコネクタに短絡させることができます。ADBMS6830B では、未使用のセルは最上部の入力から短絡させていきます。

アプリケーション情報

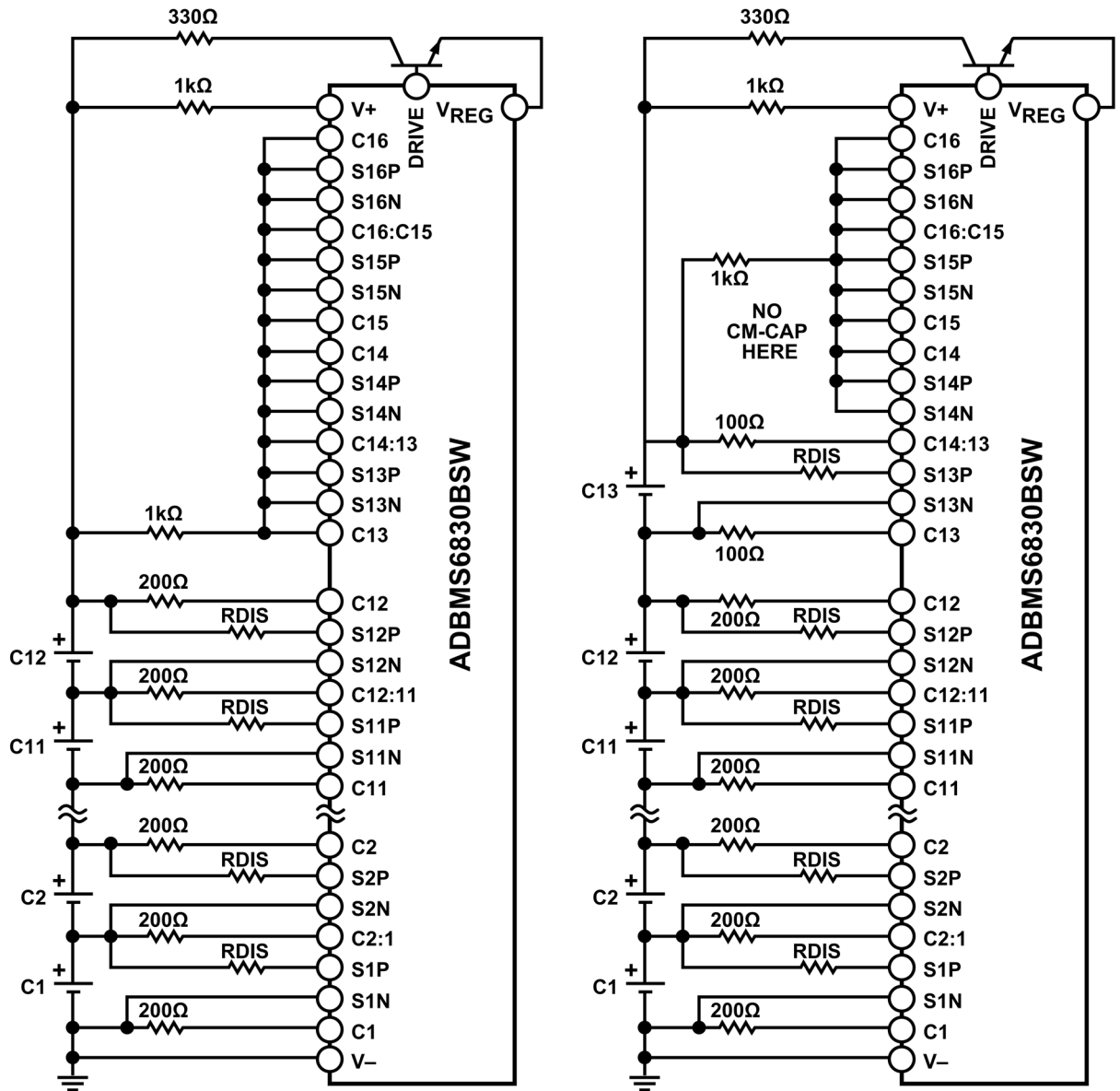


図 41. LQFP_EP パッケージの ADBMS6830B を使用したセルの削減

038

アプリケーション情報

母線のモニタリングおよびバイパス

ADBMS6830B のすべてのセル測定チャンネルは、-2V までの負電圧の測定が可能のため、母線の電圧降下の測定に使用できます。Sx ピンは切り離すか母線の片側に短絡させて、PMOS のボディ・ダイオードに電流が流れないようにします。

母線の電圧を測定する必要がない場合は、図 42 に示すように、LQFP_EP パッケージの ADBMS6830B のピン・ペアの間に母線を接続できます。

母線の電圧は通常、セル電圧よりはるかに低いため、母線を測定するチャンネルでは、隣接するチャンネルと共有するフィルタ抵抗を流れる電流は相殺されません。

これにより、母線を測定するチャンネルとフィルタ抵抗を共有する隣接したチャンネルでは、測定誤差が発生します。通常、次式の範囲の誤差が発生します。

$$V_{ERROR_UNCOMP} = -V_{CELL} \times \frac{R_{FILT}}{2.2 \text{ M}\Omega} = -4 \text{ V} \times \frac{200 \text{ }\Omega}{2.2 \text{ M}\Omega} = -320 \text{ }\mu\text{V}$$

また、対象チャンネルのセル電圧測定値に以下の補正を行うことで補償できます。

$$V_{CELL_CORR} = V_{CELL} + V_{CELL} \times \frac{R_{FILT}}{2.2 \text{ M}\Omega}$$

LQFP_EP パッケージの ADBMS6830B の場合、図 42 に示すように、ペアとなるチャンネルのフィルタ抵抗を 200Ω の代わりに 100Ω にすることで測定誤差を無くすこともできます。

母線と測定チャンネルを接続する際、負電圧によって PMOS のボディ・ダイオードに電流が流れないように、Sx ピンは入力から切り離す必要があります。短絡させた Sx ピンを母線のコネクタの片側に接続することも可能です。短絡させた Sx ピンを Cx ピンの 1 つに直接接続してはなりません。接続すると、Cx ピンの測定パスにリーク電流が流れることで測定誤差が発生する可能性があります。

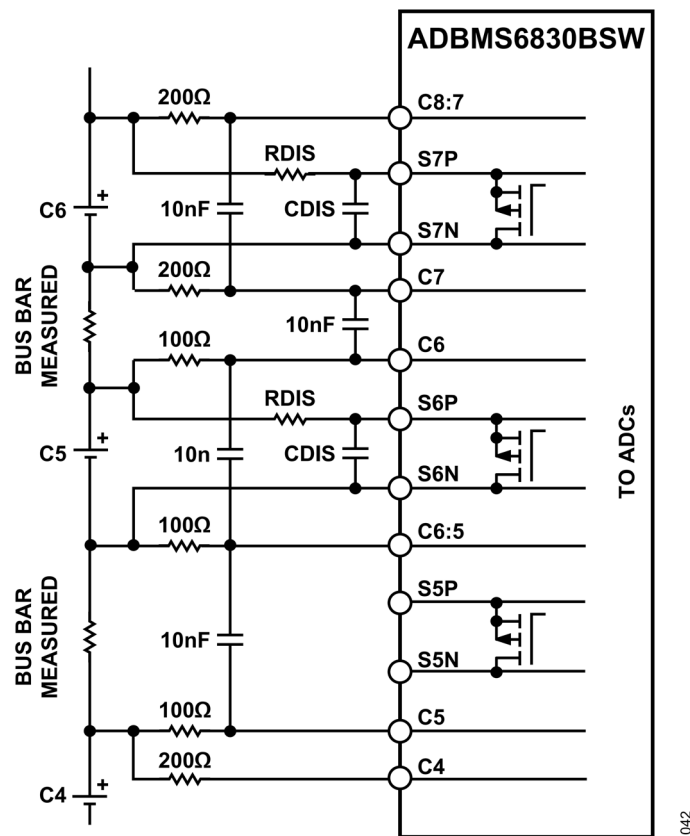


図 42. 母線の測定およびバイパス

アプリケーション情報

内部保護

堅牢な性能を確保するため、ADBMS6830Bは様々なESD保護機能を備えています。特定の保護構造の等価回路を図43に示しま

す。ツェナー・ダイオードによってサブレッサを表記し、公称のクランプ電圧を使用します。

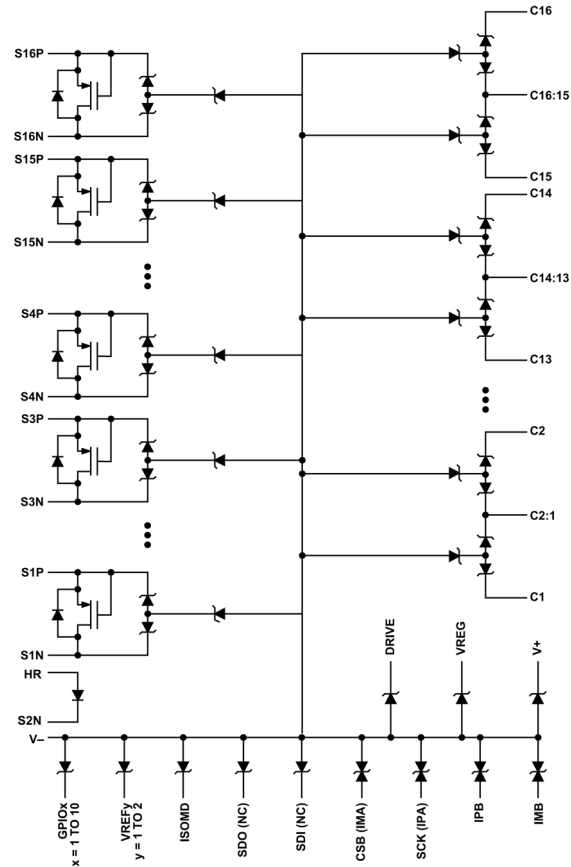
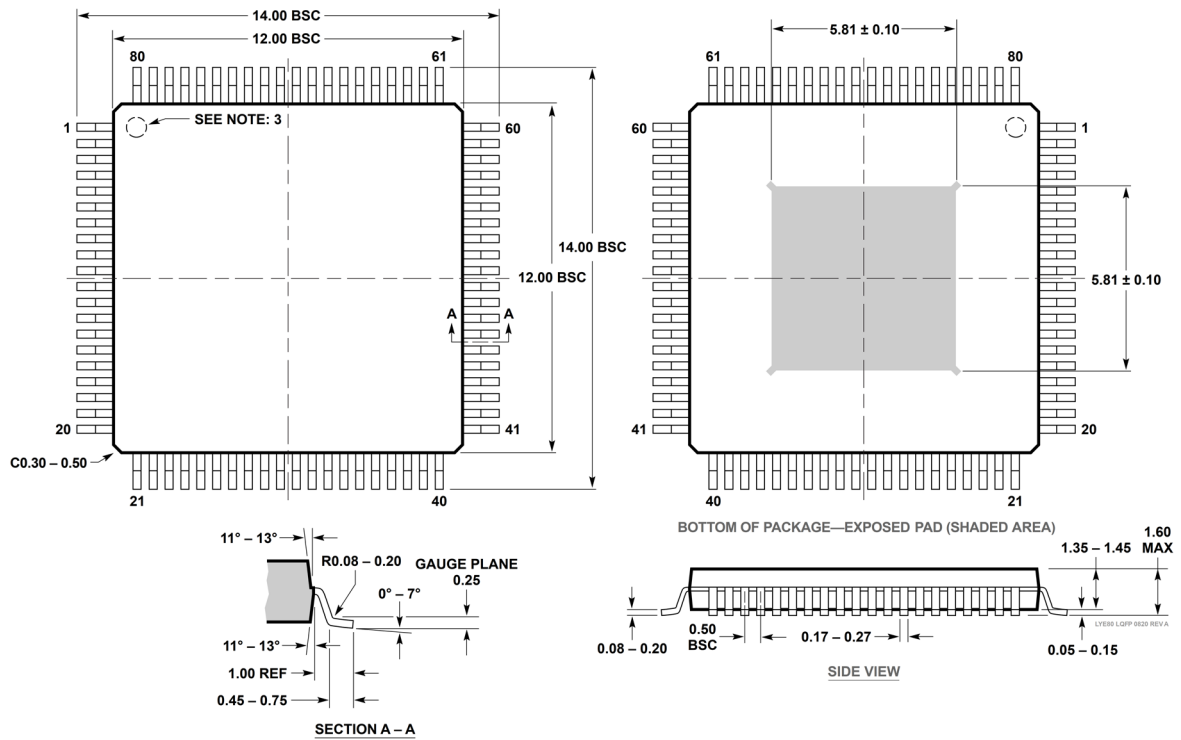


図 43. LQFP_EP パッケージの ADBMS6830B の内部 ESD 保護構造 (V-と各ピン間のPNダイオードは示されていません)

外形寸法



NOTE:
 1. DIMENSIONS ARE IN MILLIMETERS
 2. DIMENSIONS OF PACKAGE DO NOT INCLUDE MOLD FLASH. MOLD FLASH SHALL NOT EXCEED 0.25mm (10 MILS) BETWEEN THE LEADS AND ON ANY SIDE OF EXPOSED PAD, MAX 0.50mm (20 MILS) AT CORNER OF EXPOSED PAD, IF PRESENT

3. PIN-1 IDENTIFIER IS A MOLDED INDENTATION
 4. DRAWING IS NOT TO SCALE

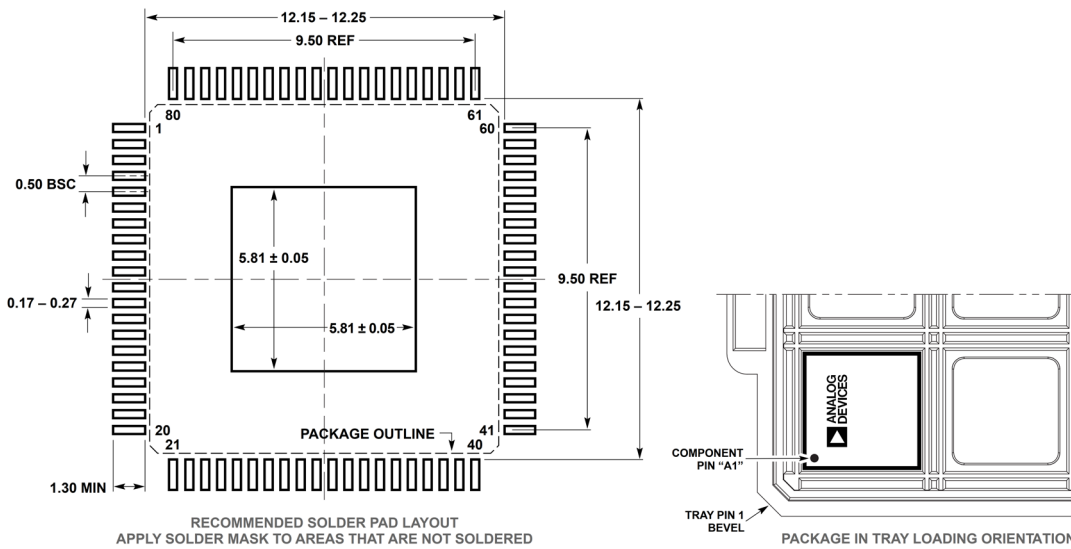


図 44. 80 ピン低プロファイル・クワッド・フラット・パッケージ、露出パッド[LQFP_EP]
 (05-08-1783)
 単位：mm

外形寸法

オーダー・ガイド

Model ^{1, 2, 3}	Temperature Range	Package Description	Package Quantity	Package Option
ADBMS6830BCSWZ	-40°C to +125°C	80-Lead Low Profile Quad Flat Package, Exposed Pad [LQFP_EP]		05-08-1783
ADBMS6830BCSWZ-RL	-40°C to +125°C	80-Lead Low Profile Quad Flat Package, Exposed Pad [LQFP_EP]	Reel, 1000	05-08-1783

¹ C = 温度範囲。

² SW = 80 ピン・パッケージ。

³ Z = RoHS 準拠製品。

評価用ボード

Model	Description
EVAL-ADBMS6830BMSW	Evaluation Board

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024年9月30日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2024年9月30日

製品名：ADBMS6830B

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：47頁、右の段、2番目の段落、最初の文

【誤】

「**図 27** に、それぞれに 1 個の ADBMS6830B を搭載した複数の同一 PCB を、堅牢に接続した例を示します。」

【正】

「**図 29** に、それぞれに 1 個の ADBMS6830B を搭載した複数の同一 PCB を、堅牢に接続した例を示します。」