

レール to レール出力が可能な 36V、高精度、低ノイズ、16.5MHz の
JFET オペアンプ

特長

- ▶ 低オフセット電圧：±30μV（代表値）
- ▶ 低オフセット電圧ドリフト：±0.32μV/°C（代表値）
- ▶ 低入力バイアス電流：±0.8pA（代表値）、±5pA（最大値）
- ▶ 低 1/f ノイズ：0.1Hz～10Hz で 225nV p-p（代表値）
- ▶ 電圧ノイズ密度：5.1nV/√Hz（1kHz 時の代表値）
- ▶ ゲイン帯域幅積：16.5MHz（代表値）
- ▶ 高スルー・レート：32V/μs（代表値）
- ▶ 低 THD：-148dB（1kHz 時の代表値）
- ▶ 低電源電流：1.3mA/アンプ（代表値）
- ▶ 広い電源電圧範囲：
 - ▶ 単電源：4.5V～36V
 - ▶ 両電源：±2.25V～±18V
- ▶ 位相反転なし
- ▶ ユニティ・ゲインで安定動作
- ▶ 広い高入力同相電圧範囲：
 - ▶ $(V+) - 4.4V < V_{CM} \leq (V+)$
- ▶ 複数のチャンネル・オプション：
 - ▶ ADA4620-1：シングル・チャンネル
 - ▶ ADA4620-2：デュアル・チャンネル

アプリケーション

- ▶ トランスインピーダンス・アンプ
- ▶ 電子テストおよび計測
- ▶ 科学計測器およびフィールド計測器
- ▶ 半導体テスト
- ▶ データ・アキュイジション・システム
- ▶ 高インピーダンス・センサー概要

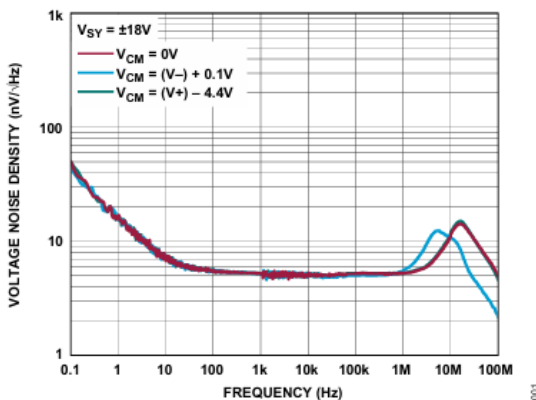


図 1. 入力電圧ノイズと周波数の関係

代表的なアプリケーション回路

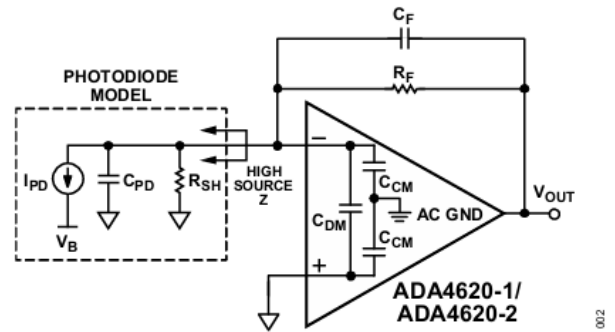


図 2. フォト・ダイオード・アプリケーションと主要部品

概要

ADA4620-1 および ADA4620-2 は、36V、高精度、低ノイズ、低オフセット・ドリフトの JFET オペアンプです。これらのデバイスは、高速動作時および広い動作範囲や温度範囲において、最高精度のパラメータの組み合わせが可能です。ADA4620 は、高い DC 精度や AC 性能の実現に最適なデバイスです。ADA4620 の各仕様値は、データ・アキュイジション (DAQ) システムでのフロント・エンド・アンプや、高入力インピーダンスの TIA 回路に最適なものとなっています。

ADA4620 はアンプあたりわずか 1.3mA の電源電流で、16.5MHz のゲイン帯域幅積、32V/μs のスルー・レート、5.1nV/√Hz の広帯域ノイズ、225nV p-p のノイズ (0.1Hz～10Hz) を実現します。入力電圧範囲には負電源が含まれ、出力振幅はレール to レールです。

ADA4620 は、-40°C～+125°C の温度範囲と ±2.25V～±18V の両電源範囲または +4.5V～+36V の単電源範囲で動作するよう仕様規定されています。ADA4620-1 および ADA4620-2 は、8 ピン SOIC_N パッケージで提供されます。

目次

特長.....	1
アプリケーション.....	1
代表的なアプリケーション回路.....	1
概要.....	1
改訂履歴.....	3
仕様.....	4
電気的特性.....	4
高コモンモード電圧動作 ($(V+) - 4.4V < V_{CM} \leq (V+)$).....	8
絶対最大定格.....	10
熱特性.....	10
最大消費電力.....	10
静電放電 (ESD) 定格.....	12
AD4620-1 の ESD 定格.....	12
AD4620-2 の ESD 定格.....	12
ピン配置およびピン機能の説明.....	13
代表的な性能特性.....	14
動作原理.....	32
入力段およびゲイン段.....	32
出力段.....	32
補償.....	33
位相反転なし.....	33
電氣的オーバーストレス保護.....	33
アプリケーション情報.....	35
フォト・ダイオード・プリアンプ/トランスインピーダンス・アンプ.....	35
ADC 駆動.....	39
マルチプレクサへの適合性.....	41
3次ローパス・サレンキー・フィルタ.....	43
大信号動作.....	44
推奨される電源ソリューション.....	46
レイアウトのガイドライン.....	46
外形寸法.....	48
オーダー・ガイド.....	48

改訂履歴

変更内容	ページ番号
10/2024 - Rev 0 初版発行	-

仕様

電気的特性

表 1. 電気的特性

(特に指定のない限り、電源電圧 $V_{SY} = \pm 2.25V \sim \pm 18V$ (両電源) または $4.5V \sim 36V$ (単電源) ; コモンモード電圧 $V_{CM} = 0V$ (両電源) または $(V+)/2V$ (単電源) ; $T_A = 25^\circ C$ 。)

パラメータ	記号	条件/コメント	最小値	代表値	最大値	単位
INPUT CHARACTERISTICS						
Offset Voltage	V_{OS}	$V_{CM} = (V-) - 0.1V \sim (V+) - 4.4V$		± 30	± 120	μV
			$0^\circ C < T_A < +85^\circ C$		± 135	
			$-40^\circ C < T_A < +125^\circ C$		± 250	
Offset Voltage Drift ¹	$\Delta V_{OS}/\Delta T$	$V_{CM} = (V-) - 0.1V \sim (V+) - 4.4V$	$-40^\circ C < T_A < +125^\circ C$	± 0.32	± 1	$\mu V/^\circ C$
			$0^\circ C < T_A < +85^\circ C$, ADA4620-1	± 0.13	± 0.63	
			$0^\circ C < T_A < +85^\circ C$, ADA4620-2	± 0.4	± 1.1	
Input Bias Current	I_B	$V_{CM} = 0V$		± 0.8	± 5	pA
			$-40^\circ C < T_A < +125^\circ C$		± 1.5	nA
Input Offset Current	I_{OS}	$V_{CM} = 0V$		± 0.1	± 2.5	pA
			$-40^\circ C < T_A < +125^\circ C$		± 100	
Precision Input Voltage Range	IVR	CMRR によって確保	$(V-) - 0.1$		$(V+) - 4.4$	V
Common-Mode Rejection Ratio	CMRR	$(V-) - 0.1V < V_{CM} < (V+) - 4.4V$, $V_{SY} = \pm 18V$	ADA4620-1	117	131	dB
			ADA4620-2	120	143	
			$-40^\circ C < T_A < +125^\circ C$	116	120	
Open-Loop Voltage Gain	A_{VOL}	$R_L = 10k\Omega$, $V_{OUT} = \pm 17.8V$, $V_{SY} = \pm 18V$		128	140	dB
			$-40^\circ C < T_A < +125^\circ C$	124		
				106	112	
			$-40^\circ C < T_A < +125^\circ C$	97		
Input Capacitance	C_{INDM}	差動モード、 $V_{SY} = 18V$, $V_{CM} = 0V$		4.8		pF
	C_{INCM}	コモンモード、 $V_{SY} = 18V$, $V_{CM} = 0V$		7.1		
Input Resistance	R_{INDM}	差動モード		200		G Ω
	R_{INCM}	コモンモード		10		T Ω

仕様

(特に指定のない限り、電源電圧 $V_{SY} = \pm 2.25V \sim \pm 18V$ (両電源) または $4.5V \sim 36V$ (単電源) ; コモンモード電圧 $V_{CM} = 0V$ (両電源) または $(V+)/2V$ (単電源) ; $T_A = 25^\circ C$ 。)

パラメータ	記号	条件/コメント	最小値	代表値	最大値	単位
OUTPUT CHARACTERISTICS						
Output Swing High [(V+) - V _{OUT}]	V _{OH}	RL = 10kΩ, V _{SY} = ±18V, G = 50, V _{IN} = 0.37V	-40°C < T _A < +125°C	42	60	mV
					65	
		RL = 2kΩ, V _{SY} = ±18V, G = 50, V _{IN} = 0.37V	-40°C < T _A < +125°C	150	175	
					215	
		RL = 10kΩ, V _{SY} = ±2.25V, G = 50, V _{IN} = 0.37V			30	
		RL = 2kΩ, V _{SY} = ±2.25V, G = 50, V _{IN} = 0.37V			60	
Output Swing Low [V _{OUT} - (V-)]	V _{OL}	RL = 10kΩ, V _{SY} = ±18V, G = 50, V _{IN} = 0.37V	-40°C < T _A < +125°C	37	50	mV
					55	
		RL = 2kΩ, V _{SY} = ±18V, G = 50, V _{IN} = 0.37V	-40°C < T _A < +125°C	137	160	
					190	
		RL = 10kΩ, V _{SY} = ±2.25V, G = 50, V _{IN} = 0.37V			20	
		RL = 2kΩ, V _{SY} = ±2.25V, G = 50, V _{IN} = 0.37V			40	
Short-Circuit Current	I _{SC}	V _{SY} = ±5V, ソース/シンク		55/47		mA
		V _{SY} = ±15V, ソース/シンク		86/58		
		V _{SY} = ±18V, ソース/シンク		94/60		
Closed-Loop Output Impedance	Z _{OUT}	f = 1kHz, A _V = +1, V _{SY} = ±18V		0.65		mΩ
		f = 1kHz, A _V = +10, V _{SY} = ±18V		4		
		f = 1kHz, A _V = +100, V _{SY} = ±18V		40		
Open-Loop Output Impedance	Z _O	f = 1MHz, V _{SY} = ±18V		3.3		Ω
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR+	V ₋ = -0.1V, V _{CM} = 0V, V ₊ = 4.4V から 35.9V までステップ状に増加	-40°C < T _A < +125°C	114	131	dB
				114		
	PSRR-	V ₊ = 4.4V, V _{CM} = 0V, V ₋ = -31.6V から -0.1V までステップ状に増加	-40°C < T _A < +125°C	114	132	
				114		
Supply Current per Amplifier	I _{SY}	I _{OUT} = 0mA, V _{SY} = ±18V		1.3	1.4	mA
			-40°C < T _A < +125°C		1.9	
Operating Range	V _{SY}	PSRR によって確保		4.5	36	V

仕様

(特に指定のない限り、電源電圧 $V_{SY} = \pm 2.25V \sim \pm 18V$ (両電源) または $4.5V \sim 36V$ (単電源) ; コモンモード電圧 $V_{CM} = 0V$ (両電源) または $(V+)/2V$ (単電源) ; $T_A = 25^\circ C$ 。)

パラメータ	記号	条件/コメント	最小値	代表値	最大値	単位
DYNAMIC PERFORMANCE						
Slew Rate	SR	$R_L = 2k\Omega, V_{OUT} = \pm 5V, A_V = +1, V_{SY} = \pm 18V$	10% - 90%	30		V/ μs
			90% - 10%	34		
		$R_L = 2k\Omega, V_{OUT} = \pm 5V, A_V = -1, V_{SY} = \pm 18V$	10% - 90%	32		
			90% - 10%	32		
Gain Bandwidth Product	GBP	$R_L = 2k\Omega, C_L = 50pF, V_{SY} = \pm 18V$, 100kHz で測定		16.5		MHz
Unity-Gain Crossover	UGC	$R_L = 2k\Omega, C_L = 50pF, V_{SY} = \pm 18V$		18		MHz
-3 dB Bandwidth	-3 dB	$R_L = 2k\Omega, C_L = 50pF, A_V = +1, V_{SY} = \pm 18V$		51		MHz
Phase Margin	PM	$R_L = 2k\Omega, C_L = 50pF, V_{SY} = \pm 18V$		57		Degrees
Settling Time	t_s	$V_{OUT} = \pm 5V, A_V = -1, V_{SY} = \pm 18V, R_F = R_G = 1k\Omega, R_L = 10k\Omega, C_L = 50pF$	$\pm 0.01\%$ の範囲まで	500		ns
			$\pm 0.0122\%$ (12 ビット)の範囲まで	485		
			$\pm 0.00075\%$ (16 ビット)の範囲まで	3.3		μs
Overload Recovery Time	OLR+	$R_L = 2k\Omega, C_L = 50pF, A_V = -10, V_{SY} = \pm 18V$, ステップ = 2.2V		123		ns
	OLR-	$R_L = 2k\Omega, C_L = 50pF, A_V = -10, V_{SY} = \pm 18V$, ステップ = 2.2V		103		
Total Harmonic Distortion	THD	$R_L = 2k\Omega, V_{OUT} = 10V$ p-p, $A_V = +1, f = 1kHz, V_{SY} = \pm 18V$		-148		dB
		$R_L = 2k\Omega, V_{OUT} = 10V$ p-p, $A_V = -1, f = 1kHz, V_{SY} = \pm 18V$		-147		
		$R_L = 2k\Omega, V_{OUT} = 10V$ p-p, $A_V = +1, f = 100kHz, V_{SY} = \pm 18V$		-85		
		$R_L = 2k\Omega, V_{OUT} = 10V$ p-p, $A_V = -1, f = 100kHz, V_{SY} = \pm 18V$		-106		
EMI REJECTION RATIO						
Frequency = 1000 MHz	EMIRR	$V_{IN} = 200mV$ p-p		64		dB
Frequency = 2400 MHz	EMIRR	$V_{IN} = 200mV$ p-p		80		dB
NOISE PERFORMANCE						
Voltage Noise	e_{n-p-p}	0.1Hz~10Hz, $V_{CM} = 0V, V_{SY} = \pm 18V$		225		nV p-p
Voltage Noise Density	e_n	$f = 1Hz, V_{CM} = 0V, V_{SY} = \pm 18V$		16.9		nV/ \sqrt{Hz}
		$f = 10Hz, V_{CM} = 0V, V_{SY} = \pm 18V$		7.4		
		$f = 100Hz, V_{CM} = 0V, V_{SY} = \pm 18V$		5.5		
		$f = 1kHz, V_{CM} = 0V, V_{SY} = \pm 18V$		5.1		
		$f = 10kHz, V_{CM} = 0V, V_{SY} = \pm 18V$		5		

仕様

(特に指定のない限り、電源電圧 $V_{SY} = \pm 2.25V \sim \pm 18V$ (両電源) または $4.5V \sim 36V$ (単電源) ; コモンモード電圧 $V_{CM} = 0V$ (両電源) または $(V+)/2V$ (単電源) ; $T_A = 25^\circ C$ 。)

パラメータ	記号	条件/コメント	最小値	代表値	最大値	単位
Current Noise Density	I_n	$f = 10Hz, V_{CM} = 0V, V_{SY} = \pm 18V$		0.6		fA/\sqrt{Hz}

MATCHING ADA4620-2 - (Ch A - Ch B)

Offset Voltage Matching	V_{OS}	$V_{SY} = \pm 18V$		± 12	μV
			$-40^\circ C < T_A < +125^\circ C$	± 12	
Offset Voltage Drift1	$\Delta V_{OS}/\Delta T$	$V_{SY} = \pm 18V$	$-40^\circ C < T_A < +125^\circ C$	± 0.02	$\mu V/^\circ C$
Input Bias Current Matching	I_B	$V_{SY} = \pm 18V$		± 0.06	pA
			$-40^\circ C < T_A < +125^\circ C$	± 7	

CROSSTALK ADA4620-2 - (Ch A - Ch B)

Crosstalk	XTLK	周波数 = 1kHz ; $R_L = 2k\Omega, V_{OUT} = 4V$ p-p、 $V_{SY} = \pm 18V$		-152	dB
		周波数 = 10kHz ; $R_L = 2k\Omega, V_{OUT} = 4V$ p-p、 $V_{SY} = \pm 18V$		-133	
		周波数 = 100kHz ; $R_L = 2k\Omega, V_{OUT} = 4V$ p-p、 $V_{SY} = \pm 18V$		-113	

I ボックス法を用いて計算。ボックス法は、 $(V_{OS,MAX} - V_{OS,MIN})/(T_{MAX} - T_{MIN})$ という式を用います。ここで、 $V_{OS,MAX}$ および $V_{OS,MIN}$ は、全温度範囲で評価した最大および最小オフセット誤差です。

仕様

高コモンモード電圧動作 ($(V+) - 4.4V < V_{CM} \leq (V+)$)

表 2. 高コモンモード電圧動作

(特に指定のない限り、電源電圧 $V_{SY} = \pm 18V$ (両電源) または $36V$ (単電源) ; コモンモード電圧 $V_{CM} = (V+) - 2V$; $T_A = 25^\circ C$ 。)

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
INPUT CHARACTERISTICS						
Offset Voltage	V_{OS}		± 2	± 15		mV
		$-40^\circ C < T_A < +125^\circ C$			± 15	
		$V_{CM} = V+$		± 22	± 120	
		$-40^\circ C < T_A < +125^\circ C$			± 120	
Input Bias Current	I_B		± 0.12	± 10		pA
		$-40^\circ C < T_A < +125^\circ C$			± 1.5	nA
Input Offset Current	I_{OS}		± 0.1	± 6		pA
		$-40^\circ C < T_A < +125^\circ C$			± 125	
Common-Mode Rejection Ratio	CMRR	$(V-) - 0.1V < V_{CM} < V+$	49	66		dB
		$-40^\circ C < T_A < +125^\circ C$	50			
Open-Loop Voltage Gain	A_{VOL}	$R_L = 10k\Omega, V_{OUT} = \pm 17.8V$		100		dB
		$R_L = 2k\Omega, V_{OUT} = \pm 17.8V$		67		
Input Capacitance	C_{INDM}	差動モード		5		pF
	C_{INCM}	コモンモード		18.2		
Input Resistance	R_{INDM}	差動モード		29		G Ω
	R_{INCM}	コモンモード		10		T Ω
OUTPUT CHARACTERISTICS						
Closed-Loop Output Impedance	Z_{OUT}	$f = 1kHz, A_V = +1$		45		m Ω
		$f = 1kHz, A_V = +10$		0.5		Ω
		$f = 1kHz, A_V = +100$		5.5		
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR-	$V+ = 4.5V, V_{CM} = (V+) - 2V, V- = -31.5V$ から $0V$ までステップ状に増加		86	89	dB
		$-40^\circ C < T_A < +125^\circ C$	78			
Supply Current per Amplifier	I_{SY}	$I_{OUT} = 0mA, V_{SY} = \pm 2.25V, V_{CM} = 0V$		1.1	1.2	mA
		$-40^\circ C < T_A < +125^\circ C$			1.6	
		$I_{OUT} = 0mA, V_{SY} = \pm 18V$		1.2	1.3	
		$-40^\circ C < T_A < +125^\circ C$			1.7	
Operating Range	V_{SY}	PSRR によって確保	4.5		36	V
DYNAMIC PERFORMANCE						
Slew Rate	SR	$R_L = 2k\Omega, V_{OUT} = \pm 5V, A_V = -10, V_{IN+} = 16V$	10% - 90%	5.2		V/ μs
			90% - 10%	4.6		

仕様

(特に指定のない限り、電源電圧 $V_{SY} = \pm 18V$ (両電源) または $36V$ (単電源) ; コモンモード電圧 $V_{CM} = (V+) - 2V$; $T_A = 25^\circ C$ 。)

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
Gain Bandwidth Product	GBP	$R_L =$ オープン、 $C_L = 50pF$ 、 $100kHz$ で測定		13		MHz
Unity-Gain Crossover	UGC	$R_L =$ オープン、 $C_L = 50pF$		11		MHz
Phase Margin	PM	$R_L =$ オープン、 $C_L = 50pF$		51		Degrees
Overload Recovery Time	OLR+	$R_L = 2k\Omega$ 、 $C_L = 50pF$ 、 $AV = -10$ 、ステップ = $+6V \sim +16V$ 、 $V_{CM} = +16V$		1.1		μs
	OLR-	$R_L = 2k\Omega$ 、 $C_L = 50pF$ 、 $AV = -10$ 、ステップ = $+26V \sim +16V$ 、 $V_{CM} = +16V$		0.17		

NOISE PERFORMANCE

Voltage Noise	$e_{n\ p-p}$	$0.1Hz \sim 10Hz$ 、 $V_{CM} = 0V$		1.8		$\mu V\ p-p$
Voltage Noise Density	e_n	$f = 1Hz$		139		nV/\sqrt{Hz}
		$f = 10Hz$		50		
		$f = 100Hz$		26		
		$f = 1kHz$		21		
		$f = 10kHz$		20		
Current Noise Density	i_n	$f = 10Hz$		1.2		fA/\sqrt{Hz}

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3. 絶対最大定格

PARAMETER	RATING
Supply Voltage ((V+) - (V-))	40 V
Input Voltage Single-Ended	(V-) - 0.3 V to (V+) + 0.3 V
Input Voltage Differential	((V+) - (V-)) + 0.6 V
Output Voltage (V _{OUT})	(V-) - 0.3 V to (V+) + 0.3 V
Input Current (I _{+IN} , I _{-IN})	20 mA
Output Short-Circuit Duration ¹	Continuous
Storage Temperature	-65 °C to +150 °C
Operating Temperature	-40 °C to +125 °C
Junction Temperature	-65 °C to +150 °C
Lead Temperature Soldering, 10 s	300°C

¹ 出力が短絡したままになる場合には、 T_j を絶対最大定格未満に保つためにヒート・シンクが必要になる可能性があります。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらはストレス定格のみを定めたものであり、この仕様の動作のセクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱特性

熱性能は、PCB の設計と動作環境に直接関連します。PCB の熱設計には細心の注意が必要です。

Θ_{JA} は、ジャンクションと周囲間の熱抵抗です。

Θ_{JC} は、ジャンクションとケース間の熱抵抗です。

表 4. 熱抵抗

Package Type	Θ_{JA}	Θ_{JC}	Unit
ADA4620-1			
SOIC_N (R-8)	115.5	46.3	°C/W
ADA4620-2			
SOIC_N (R-8)	110.1	47.5	°C/W

最大消費電力

ADA4620 の SOIC-8 パッケージでの最大安全消費電力は、ダイのジャンクション温度 (T_j) が消費電力に伴って上昇することにより制限されます。ダイを封入しているプラスチックは、局所的にジャンクション温度に到達します。ガラス転移温度である約 150°C において、プラスチックの性質は変化します。この温度制限値を一時的に超えるだけでも、パッケージからダイに加えられる応力が変化して、ADA4620 のパラメータ性能が永久的にシフトしてしまうことがあります。175°C のジャンクション温度を長時間超えると、シリコン・デバイス内に変化が発生して、故障の原因になることがあります。

絶対最大定格

パッケージおよび PCB の静止状態の空気での熱特性 (θ_{JA})、周囲温度 (T_A)、パッケージ内で消費される総電力 (P_D) によって、ダイのジャンクション温度が決まります。ジャンクション温度は次式で計算できます。

$$T_J = T_A + (P_D \times \theta_{JA})$$

パッケージ内の消費電力 (P_D) は、自己消費電力と、すべての出力での負荷駆動によりパッケージ内で消費される電力との和になります。ほとんどの状況では、パッケージの温度上昇は、平均消費電力で決まります。平均消費電力は、自己消費電力と出力段電力の 2 つの部分で構成されます。自己消費電力は、電源ピン間の電圧 (V_{SY}) に静止電流 (I_{SY}) を乗算して計算されます。出力段の消費電力の計算は、出力波形と負荷に依存します。また、この計算は、電流出力時の消費電力と電流流入時の消費電力の 2 つの要素に分割する必要があります。通常、電流出力時には、正側レール V_+ から負荷へと電流が流れます。出力段での電圧降下は、 $(V_+ - V_{OUT})$ であり、消費電力は、 $(V_+ - V_{OUT}) \times |I_{LOAD}|$ です。同様に電流流入時には、出力段の電圧降下は $(V_{OUT} - V_-)$ となり、消費電力は $(V_{OUT} - V_-) \times |I_{LOAD}|$ となります。

正弦波駆動の抵抗性負荷 R_L を用い、中間電源を基準とし、電圧振幅で駆動する場合、自己消費電力は $V_{SY} \times I_{SY}$ となります。電流出力時のサイクルごとの平均出力消費電力は、次式で表せます。

$$P_{source} = \frac{1}{T} \int_0^{T/2} \left(\frac{V_{SY}}{2} - A \sin\left(\frac{2\pi t}{T}\right) \right) \left(\frac{A}{R_L} \sin\left(\frac{2\pi t}{T}\right) \right) dt = \frac{A \times V_{SY}}{2\pi R_L} - \frac{A^2}{4R_L}$$

電流流入時のサイクルごとの平均出力消費電力は、次式で表せます。

$$P_{sink} = \frac{1}{T} \int_{T/2}^T \left(A \sin\left(\frac{2\pi t}{T}\right) + \frac{V_{SY}}{2} \right) \left(-\frac{A}{R_L} \sin\left(\frac{2\pi t}{T}\right) \right) dt = \frac{A \times V_{SY}}{2\pi R_L} - \frac{A^2}{4R_L}$$

総消費電力は自己消費電力と電流流入時の消費電力の和に等しく、次式で表せます。

$$P_{total} = P_{quiescent} + P_{source} + P_{sink}$$

$$P_{total} = V_{SY} \times I_{SY} + \frac{A \times V_{SY}}{\pi R_L} - \frac{A^2}{2R_L}$$

消費電力が最大になるのは $A = V_{SY}/\pi$ の場合で、次式のようになります。

$$P_{total} = V_{SY} \times I_{SY} + \frac{V_{SY}^2}{2\pi^2 R_L}$$

絶対最大定格

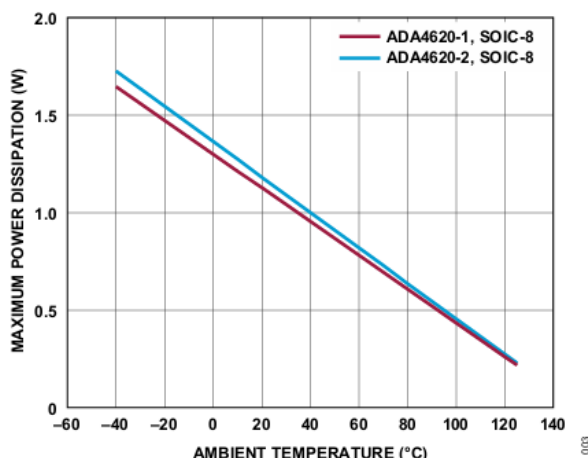


図 3. 最大消費電力と温度の関係

空気流があると放熱が増加し、 θ_{JA} は実質的に小さくなります。また、金属パターン、スルー・ホール、グランド・プレーン、電源プレーンとパッケージ・ピンとの間で直接接触する金属量が増えると、 θ_{JA} が小さくなります。

JEDEC 規格の 4 層基板上の SOIC-8 (125°C/W) パッケージにおける、パッケージの最大安全消費電力と周囲温度の関係を図 3 に示します。 θ_{JA} の値は近似値です。

静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したのですが、対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘起チャージ・デバイス・モデル (FICDM) とチャージ・デバイス・モデル (CDM)。

AD4620-1 の ESD 定格

表 5. ADA4620-1、8 ピン SOIC_N (R-8)

ESD Model	Withstand Threshold (V)	Class
HBM	±1750	1C
FICDM	±1000	C3

AD4620-2 の ESD 定格

表 6. ADA4620-2、8 ピン SOIC_N (R-8)

ESD Model	Withstand Threshold (V)	Class
HBM	±1500	1C
FICDM	±1000	C3

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

帯電したデバイスや回路基板は、検出されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
1. NIC = NOT INTERNALLY CONNECTED. 004

図 4. ADA4620-1、8 ピン SOIC_N (R-8) のピン配置

表 7. ADA4620-1 のピンの説明、8 ピン SOIC (R-8)

ピン	名称	説明
1, 5, 8	NIC	内部接続なし
2	-IN	反転入力
3	+IN	非反転入力
4	V-	負電源電圧
6	OUT	出力
7	V+	正電源電圧

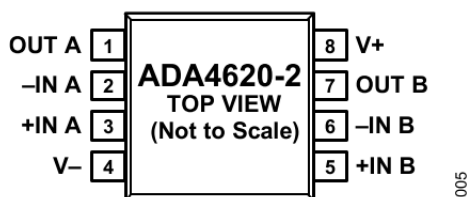


図 5. ADA4620-2、8 ピン SOIC_N (R-8) のピン配置

表 8. ADA4620-2 のピンの説明、8 ピン SOIC (R-8)

ピン	名称	説明
1	OUT A	出力、チャンネル A
2	-IN A	反転入力、チャンネル A
3	+IN A	非反転入力、チャンネル A
4	V-	負電源電圧
5	+IN B	非反転入力、チャンネル B
6	-IN B	反転入力、チャンネル B
7	OUT B	出力、チャンネル B
8	V+	正電源電圧

代表的な性能特性

$V_{SY} = \pm 18V$, $R_L = 2k\Omega$, $C_L = 50pF$; コモンモード電圧 $V_{CM} = 0V$ (両電源) または $(V+)/2V$ (単電源); $T_A = 25^\circ C$ 。特に指定のない限り、各図は ADA4620-1 と ADA4620-2 の両方についてのものです。

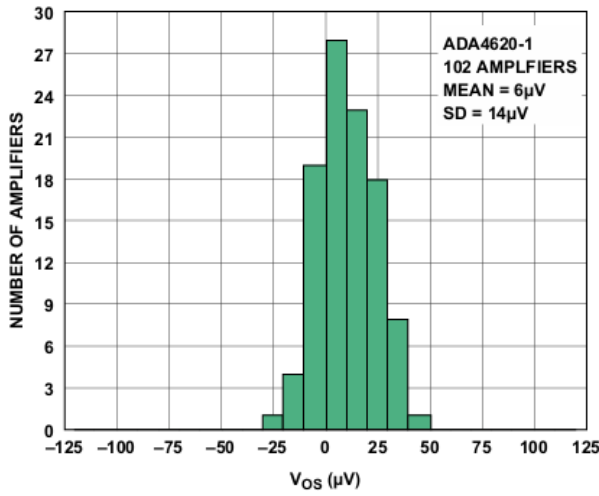


図 6. ADA4620-1 の V_{OS} の分布

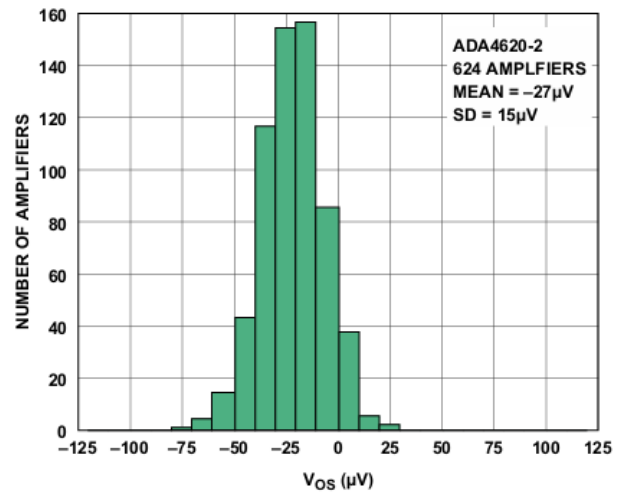


図 7. ADA4620-2 の V_{OS} の分布

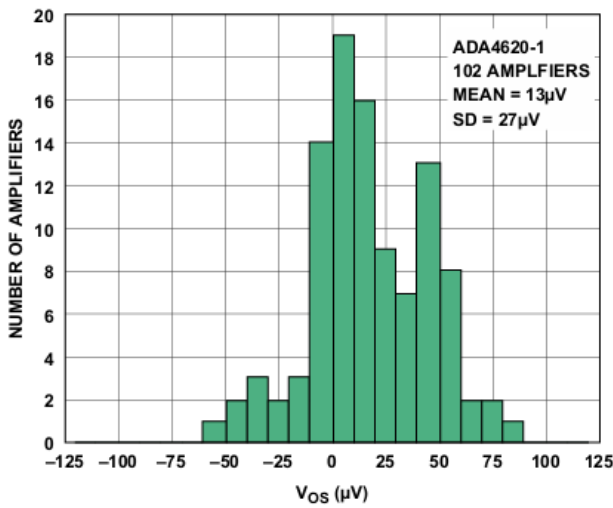


図 8. ADA4620-1 の V_{OS} の分布 ($-40^\circ C$)

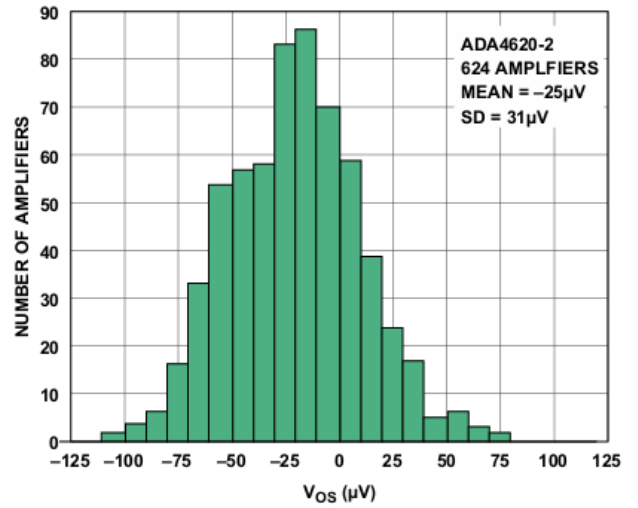


図 9. ADA4620-2 の V_{OS} の分布 ($-40^\circ C$)

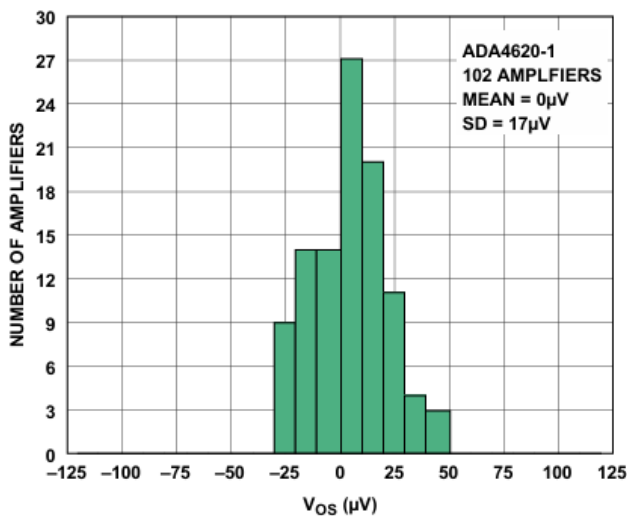


図 10. ADA4620-1 の V_{OS} の分布 ($+85^\circ C$)

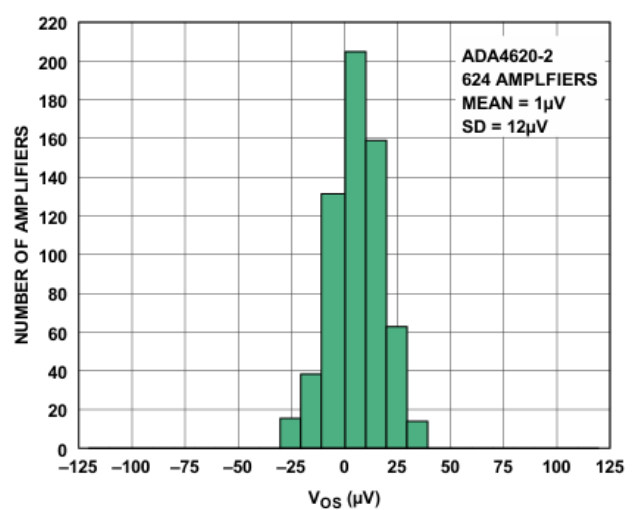


図 11. ADA4620-2 の V_{OS} の分布 ($+85^\circ C$)

代表的な性能特性

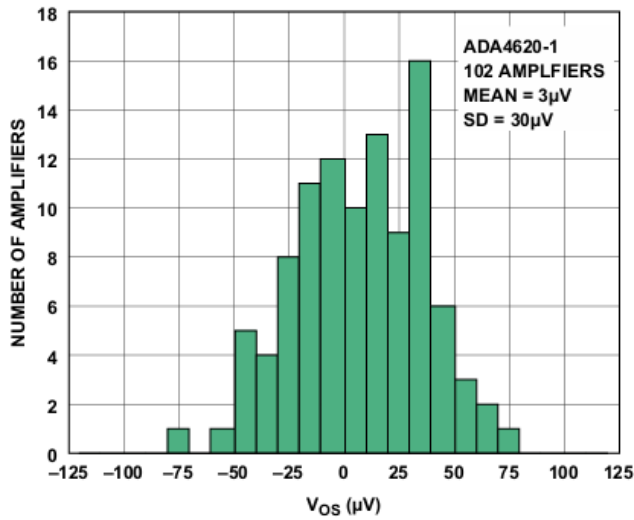


図 12. ADA4620-1 の Vos の分布 (+125°C)

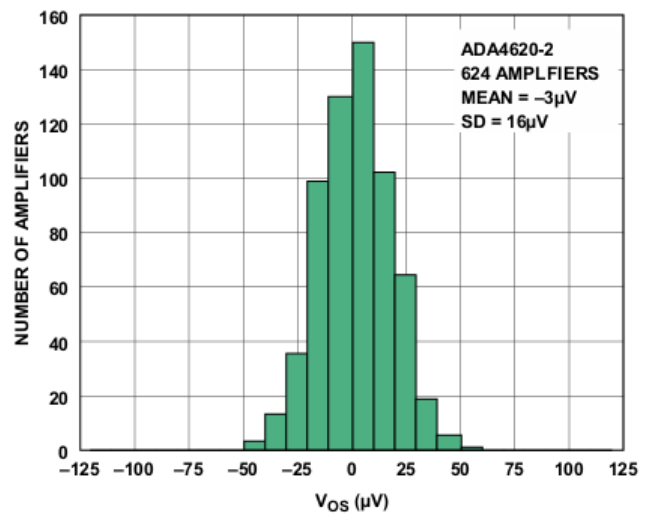


図 13. ADA4620-2 の Vos の分布 (+125°C)

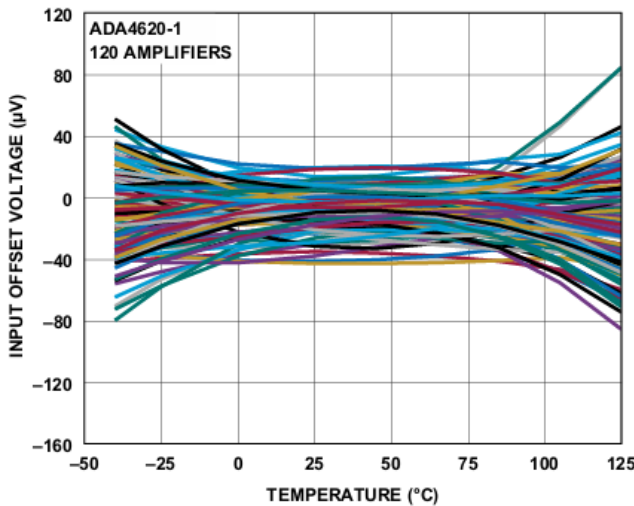


図 14. ADA4620-1 の Vos と温度の関係

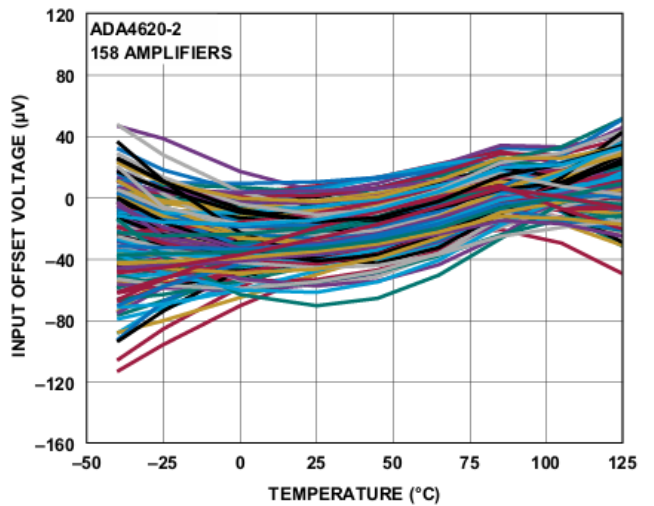


図 15. ADA4620-2 の Vos と温度の関係

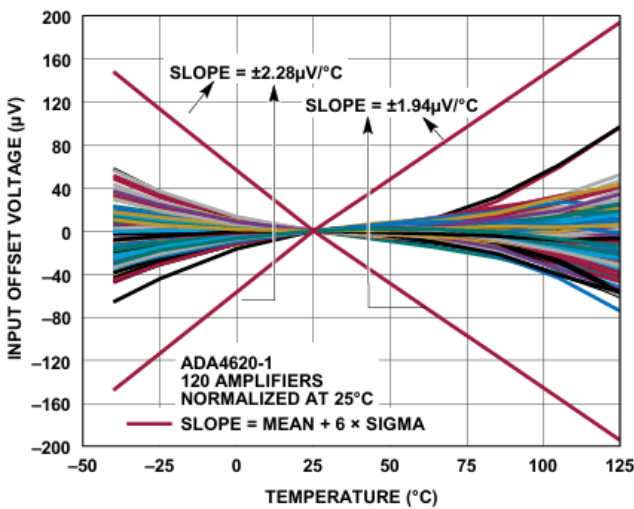


図 16. ADA4620-1 の Vos と温度の関係 (ボウタイ法)

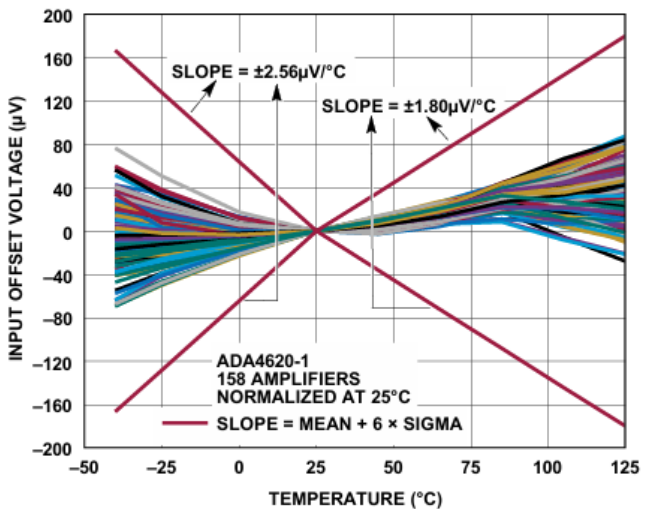


図 17. ADA4620-2 の Vos と温度の関係 (ボウタイ法)

代表的な性能特性

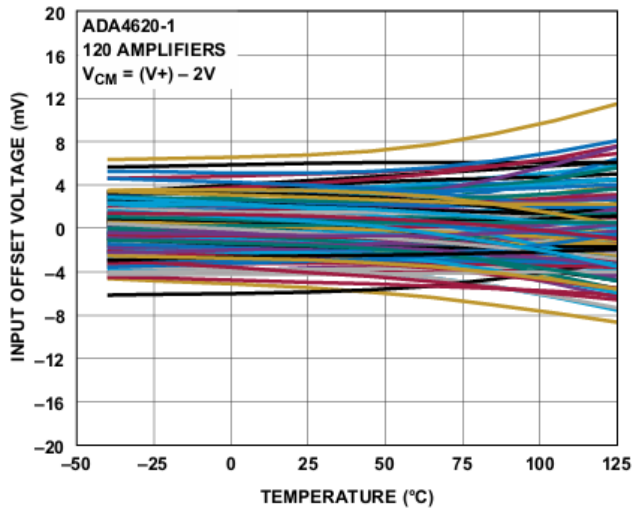


図 18. ADA4620-1 の V_{OS} と温度の関係 (高 V_{CM} 動作)

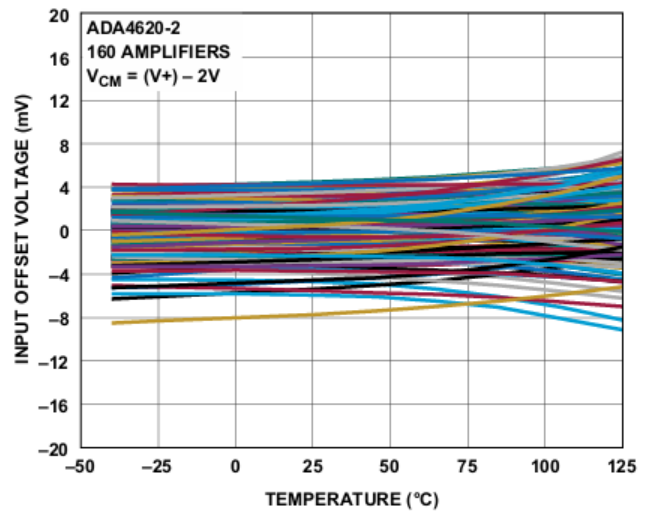


図 19. ADA4620-2 の V_{OS} と温度の関係 (高 V_{CM} 動作)

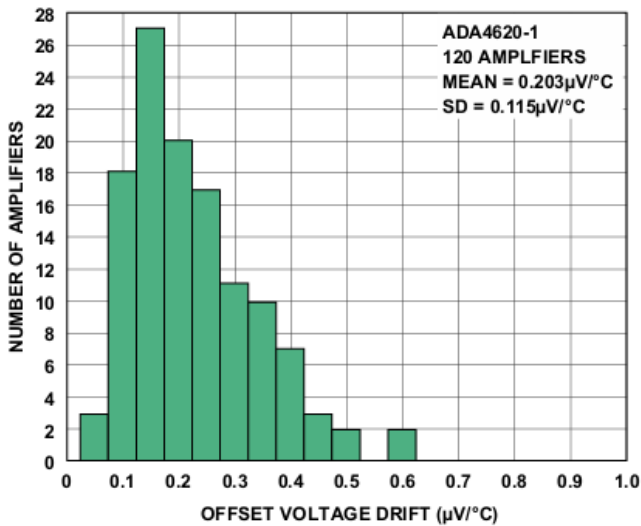


図 20. ADA4620-1 の TCV_{OS} の分布 (+25°C ~ +125°C)

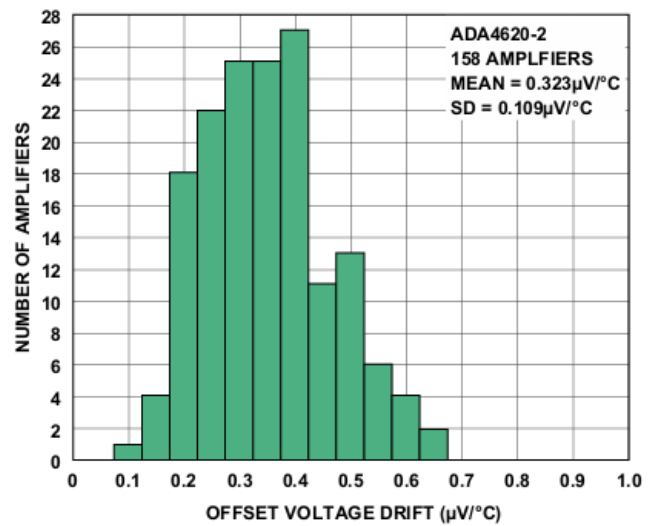


図 21. ADA4620-2 の TCV_{OS} の分布 (+25°C ~ +125°C)

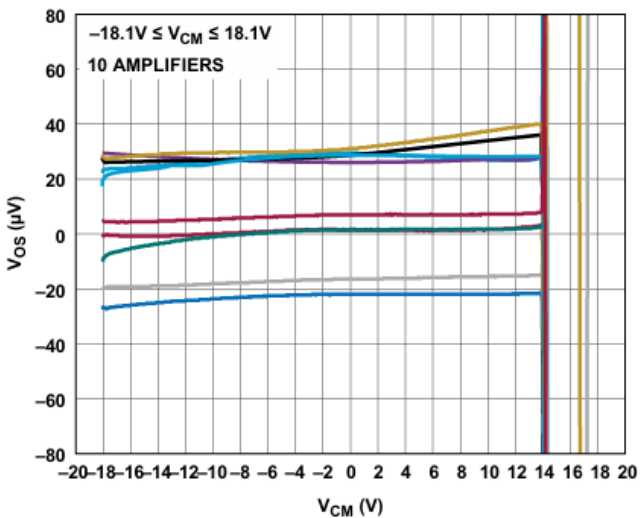


図 22. V_{OS} と V_{CM} の関係

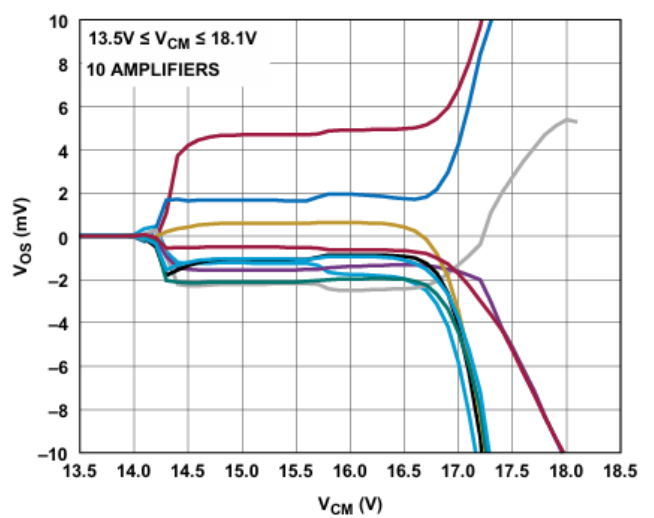


図 23. V_{OS} と V_{CM} の関係 (高 V_{CM} 動作)

代表的な性能特性

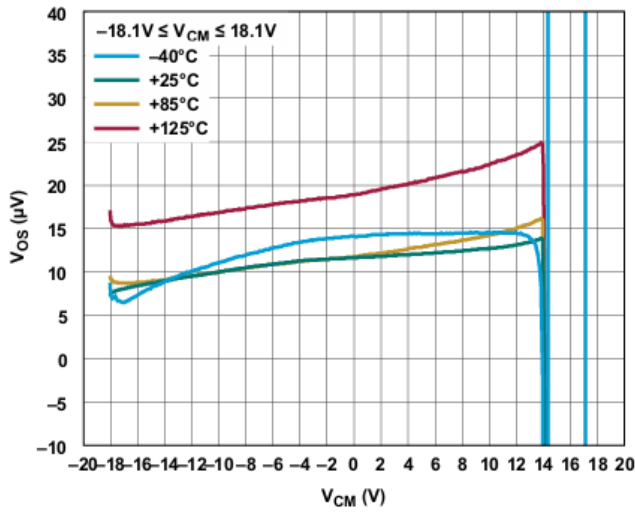


図 24. 4 通りの温度における V_{OS} と V_{CM} の関係

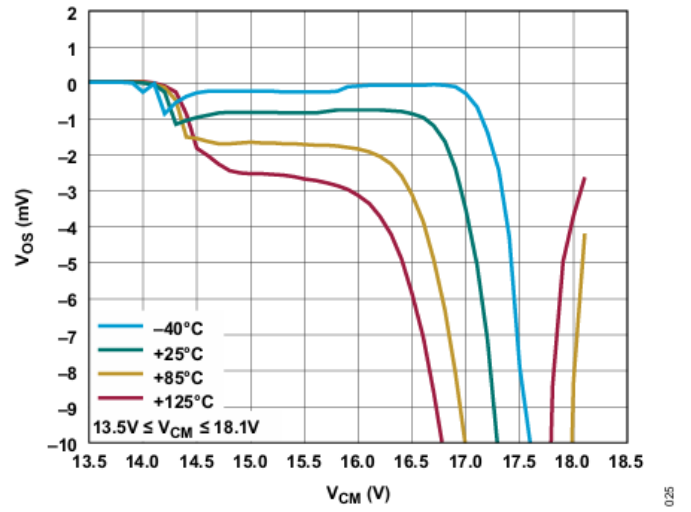


図 25. 4 通りの温度における V_{OS} と V_{CM} の関係 (高 V_{CM} 動作)

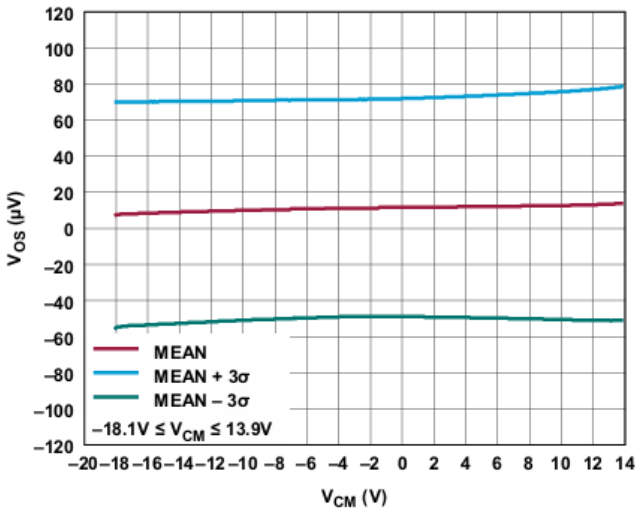


図 26. V_{OS} と V_{CM} の関係 (平均値および $\pm 3\sigma$)

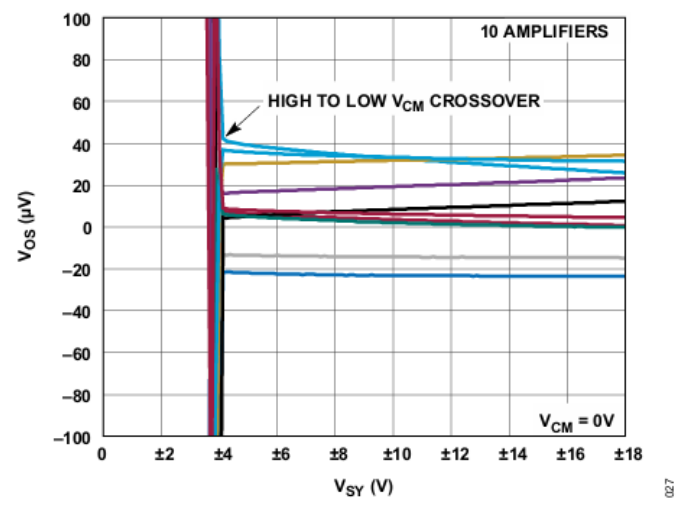


図 27. V_{OS} と V_{SY} の関係 (両電源)

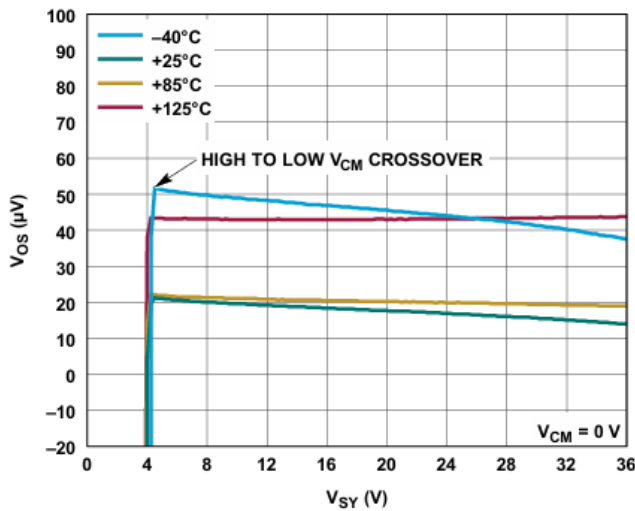


図 28. 4 通りの温度における V_{OS} と V_{SY} の関係 (単電源)

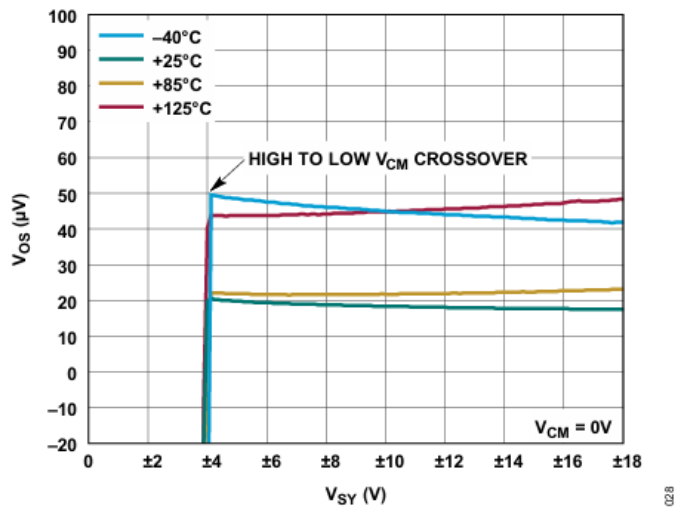


図 29. 4 通りの温度における V_{OS} と V_{SY} の関係 (両電源)

代表的な性能特性

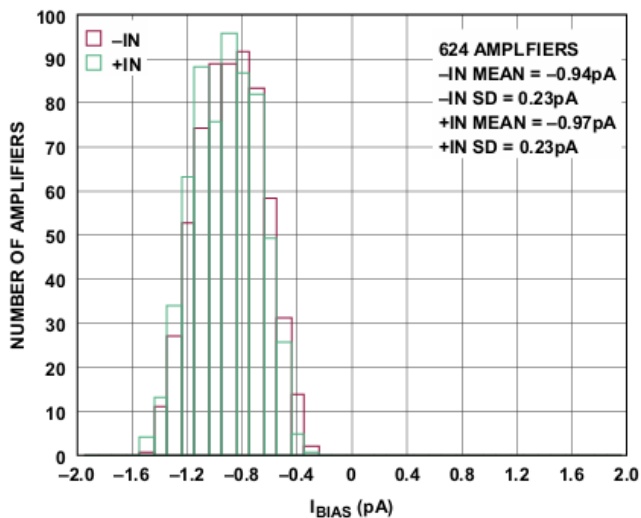


図 30. I_{BIAS} の分布

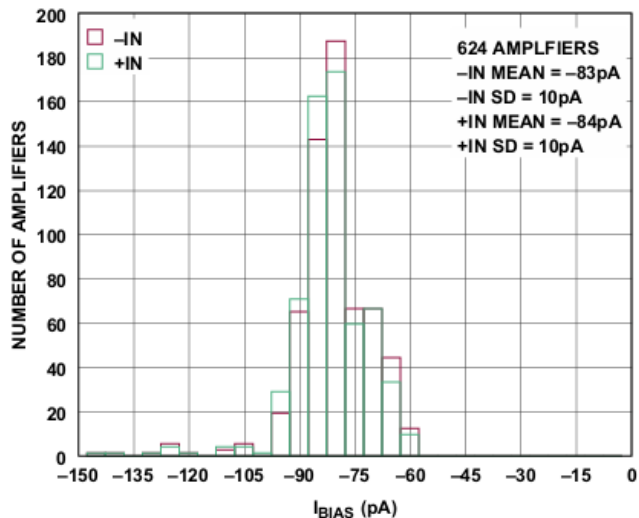


図 31. I_{BIAS} の分布 (+85°C)

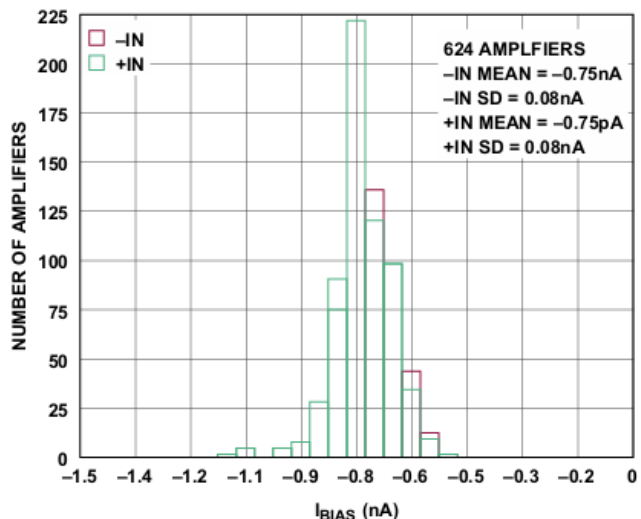


図 32. I_{BIAS} の分布 (+125°C)

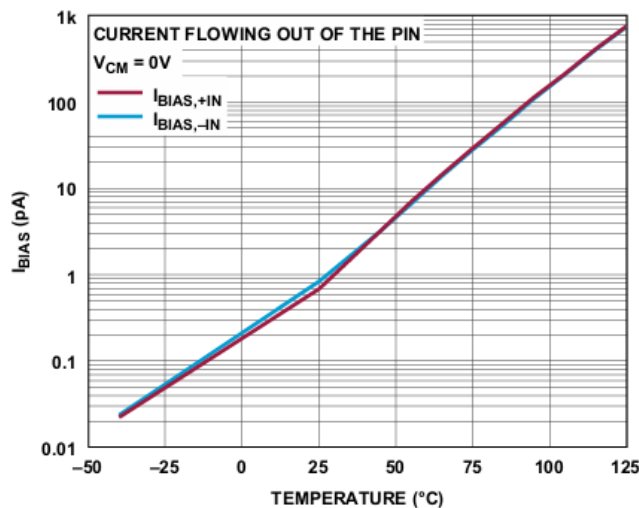


図 33. I_{BIAS} と温度の関係

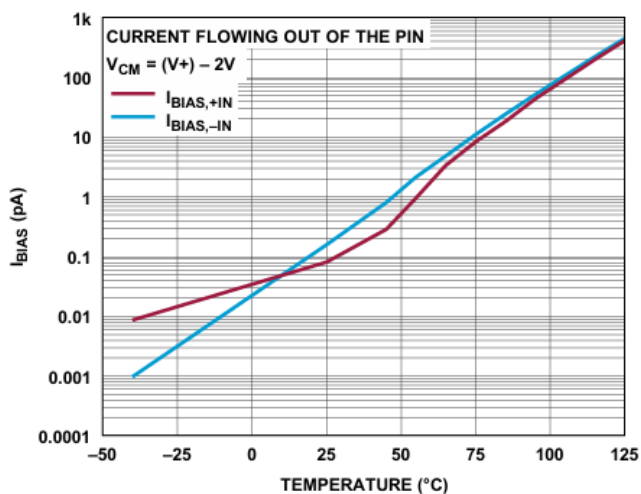


図 34. I_{BIAS} と V_{CM} の関係 (高 V_{CM} 動作)

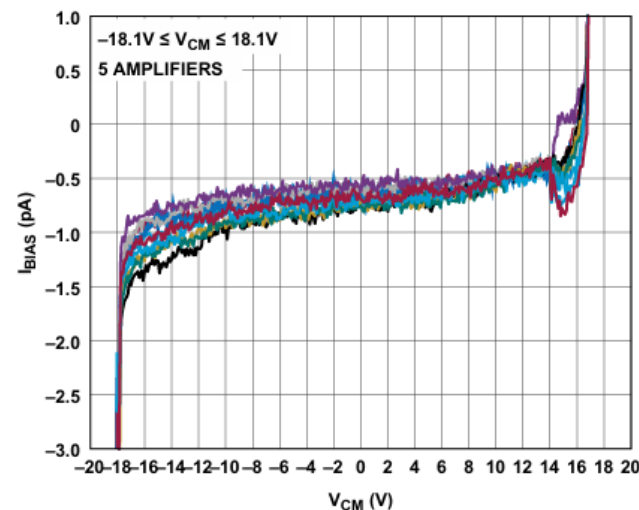


図 35. I_{BIAS} と V_{CM} の関係 (I_{BIAS+} および I_{BIAS-})

代表的な性能特性

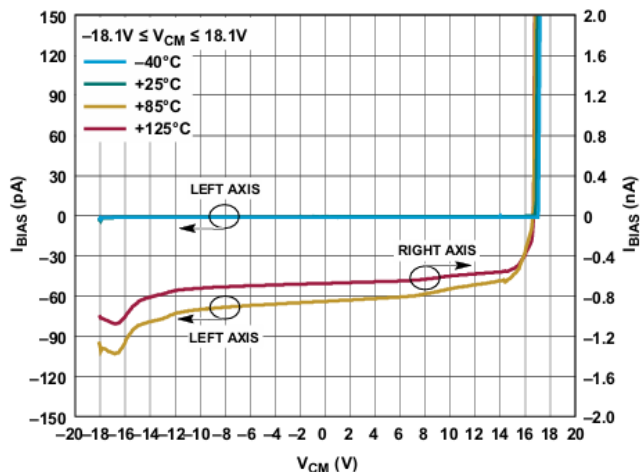


図 36. 4 通りの温度における I_{BIAS} と V_{CM} の関係

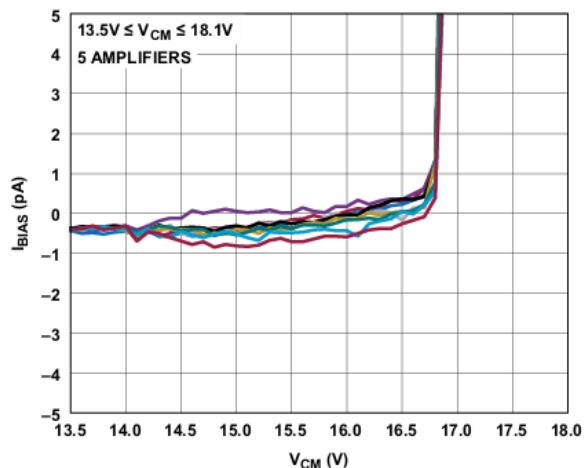


図 37. I_{BIAS} と V_{CM} の関係、高 V_{CM} 動作

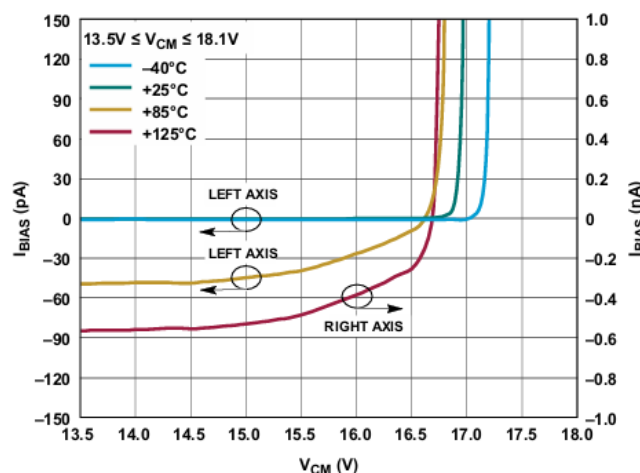


図 38. 4 通りの温度における I_{BIAS} と V_{CM} の関係 (高 V_{CM} 動作)

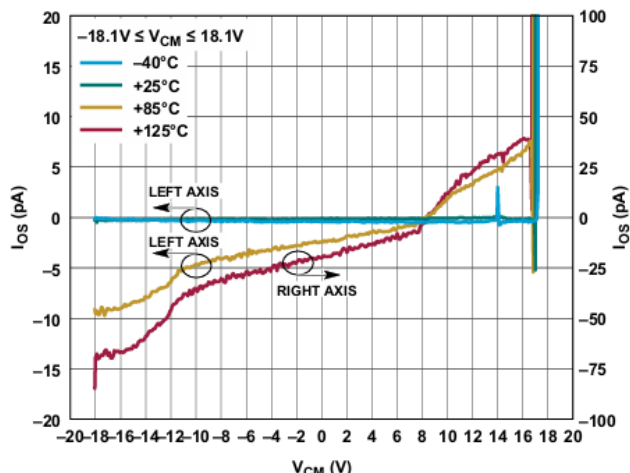


図 39. 4 通りの温度における I_{OS} と V_{CM} の関係

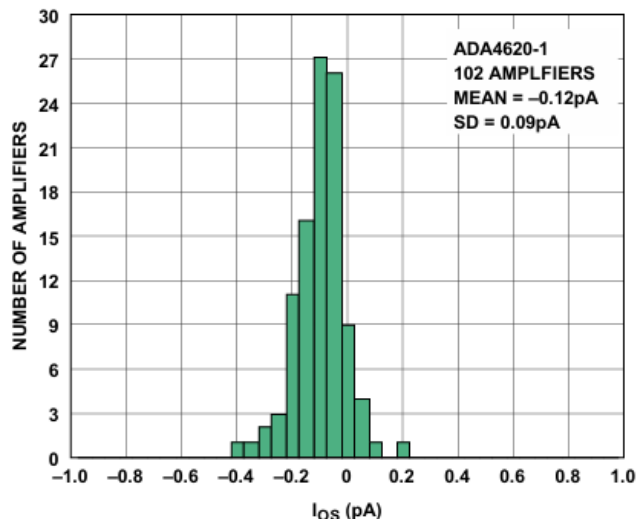


図 40. ADA4620-1 の I_{OS} の分布

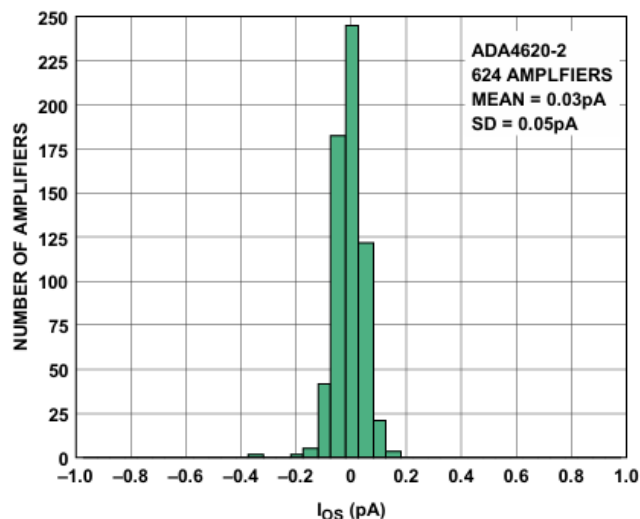


図 41. ADA4620-2 の I_{OS} の分布

代表的な性能特性

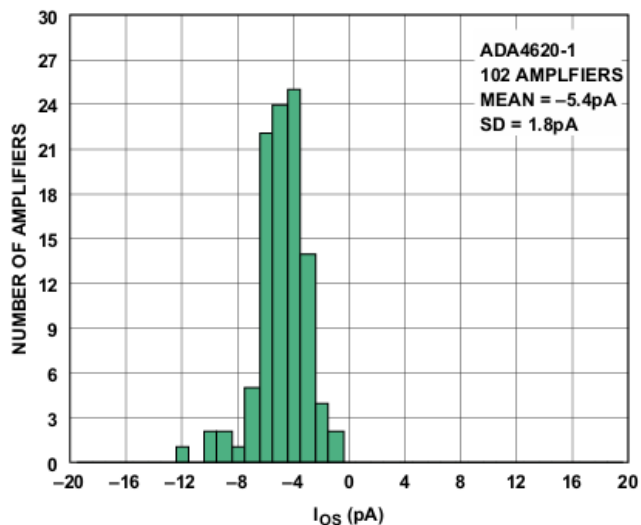


図 42. ADA4620-1 の I_{OS} の分布 (+85°C)

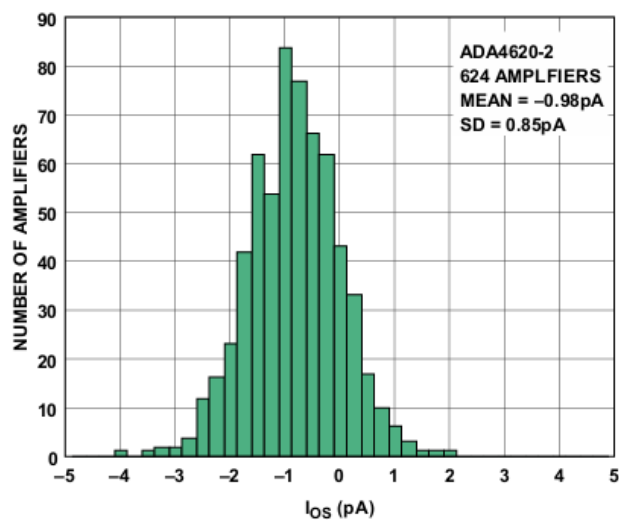


図 43. ADA4620-2 の I_{OS} の分布 (+85°C)

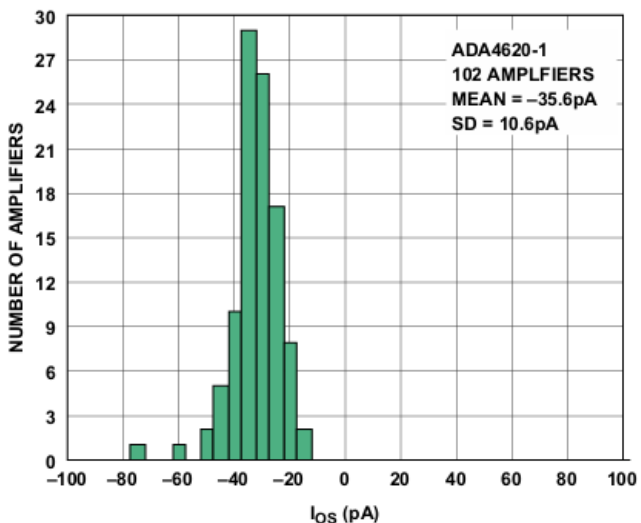


図 44. ADA4620-1 の I_{OS} の分布 (+125°C)

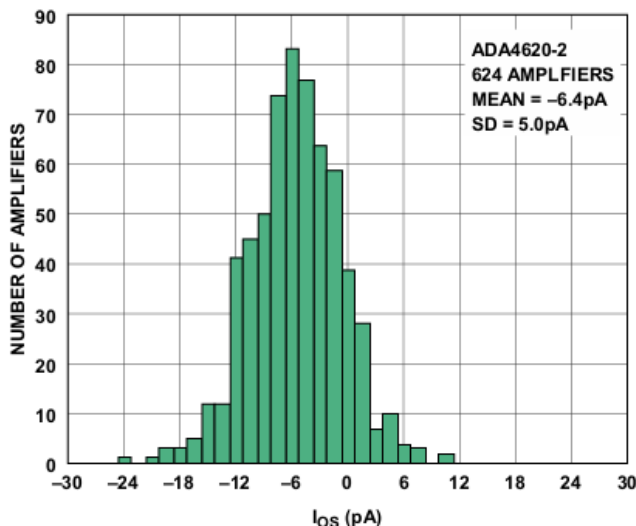


図 45. ADA4620-2 の I_{OS} の分布 (+125°C)

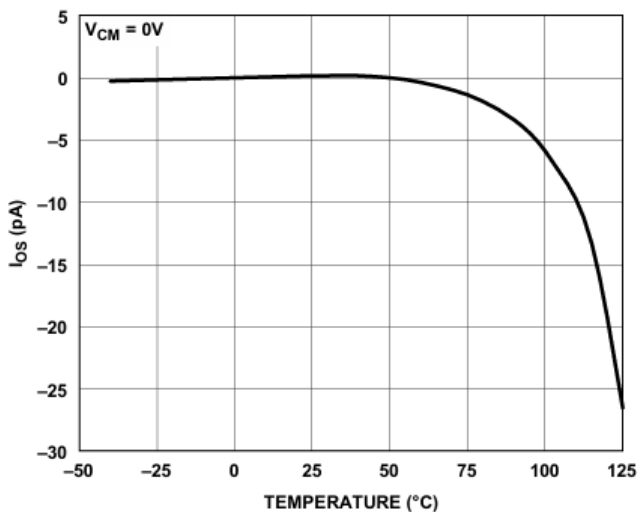


図 46. I_{OS} と温度の関係

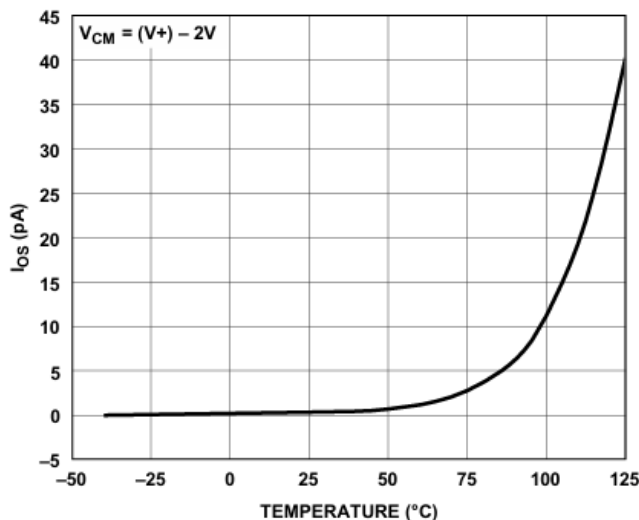


図 47. I_{OS} と温度の関係 (高 V_{CM} 動作)

代表的な性能特性

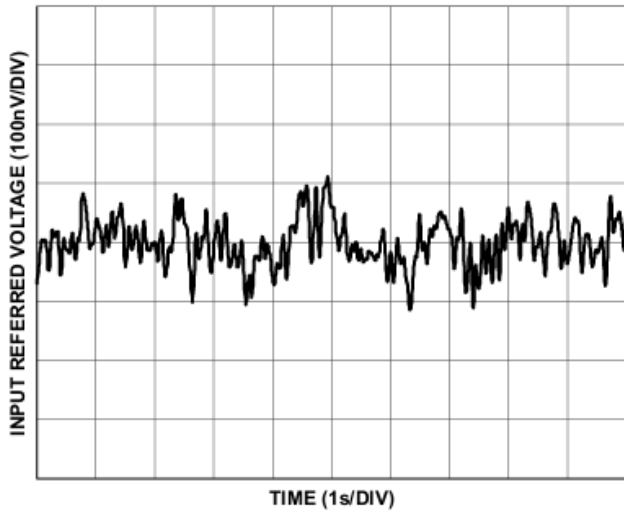


図 48. 0.1Hz~10Hz の電圧ノイズ

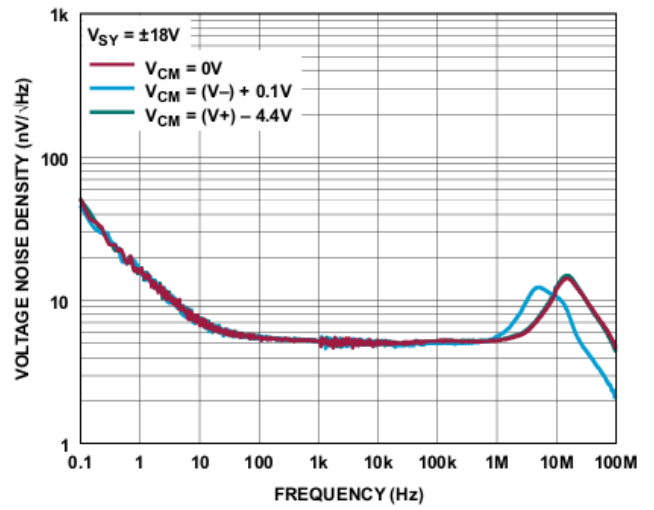


図 49. 電圧ノイズと周波数の関係

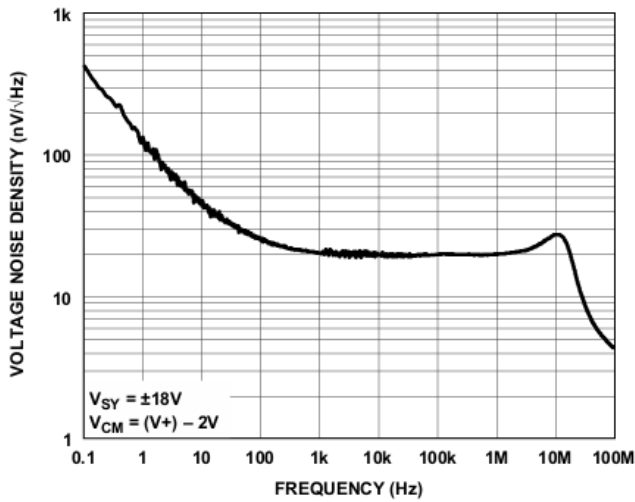


図 50. 電圧ノイズと周波数の関係 (高 V_{CM} 動作)

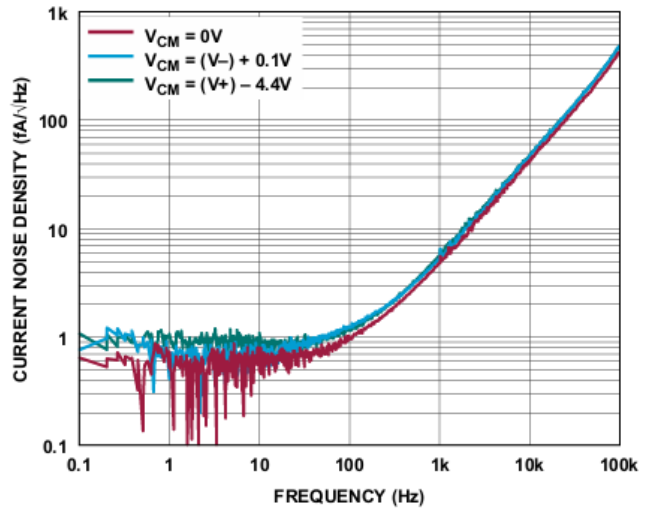


図 51. 電流ノイズと周波数の関係

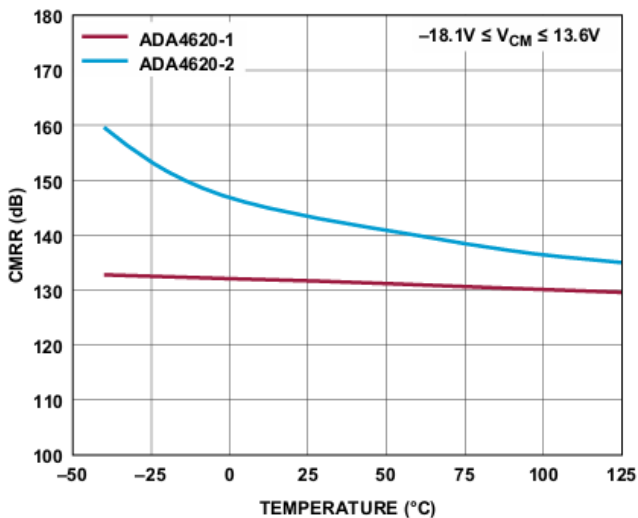


図 52. CMRR と温度の関係

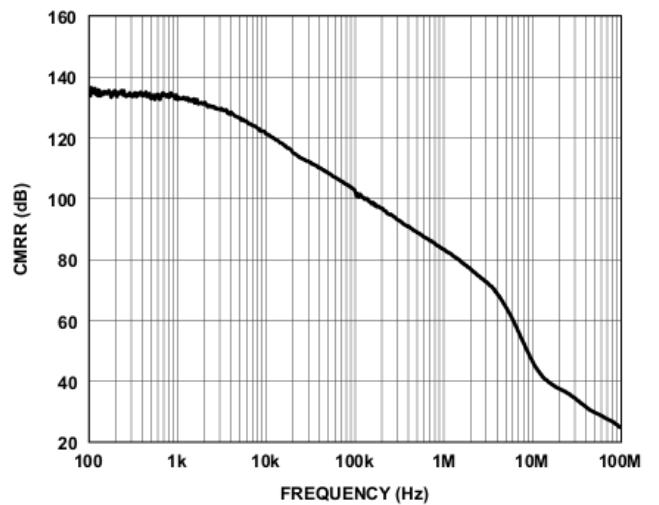


図 53. CMRR と周波数の関係

代表的な性能特性

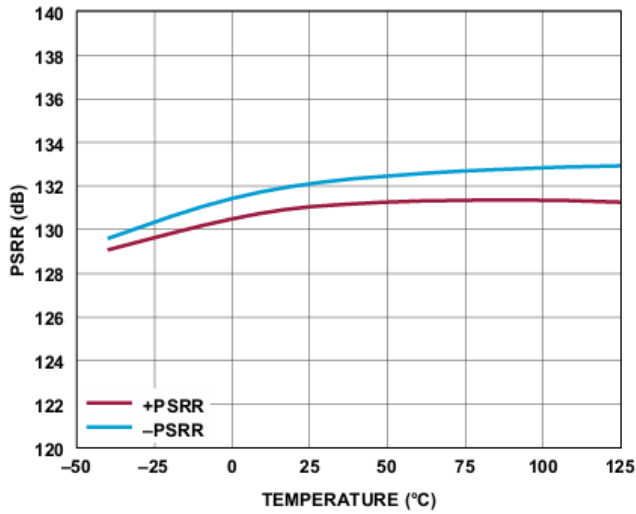


図 54. PSRR と温度の関係

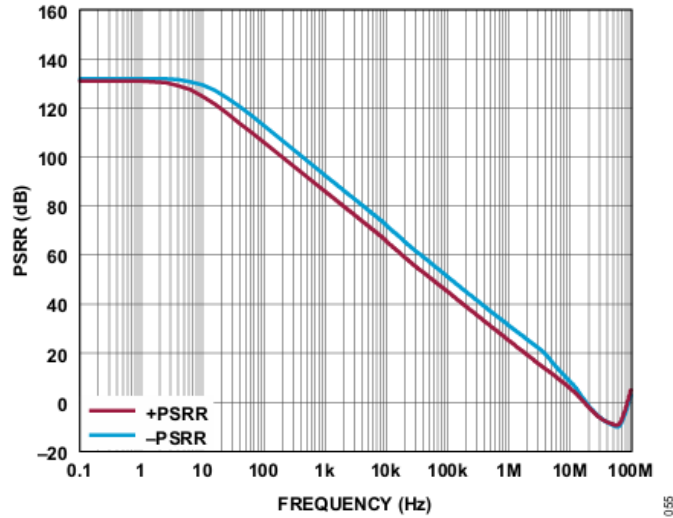


図 55. PSRR と周波数の関係

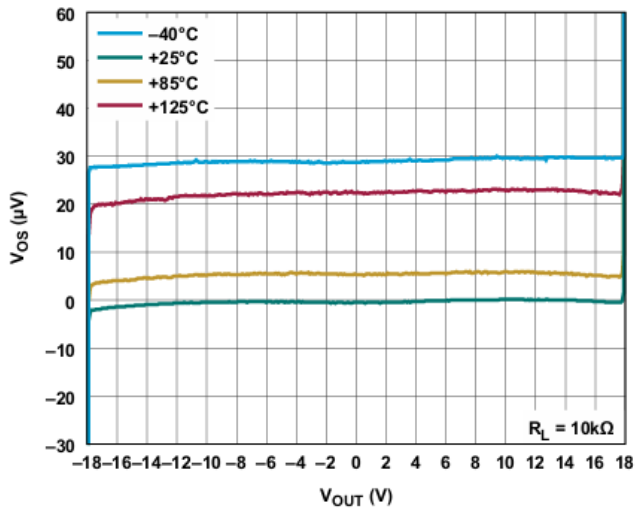


図 56. 4 通りの温度における Vos と VOUT の関係 (RL = 10kΩ)

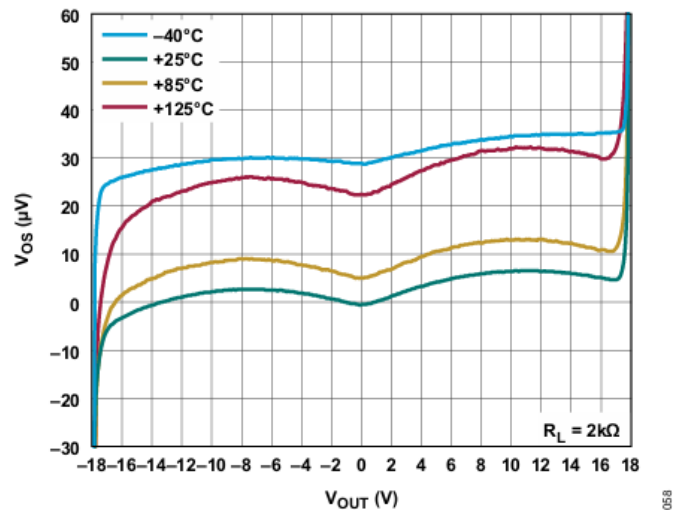


図 57. 4 通りの温度における Vos と VOUT の関係 (RL = 2kΩ)

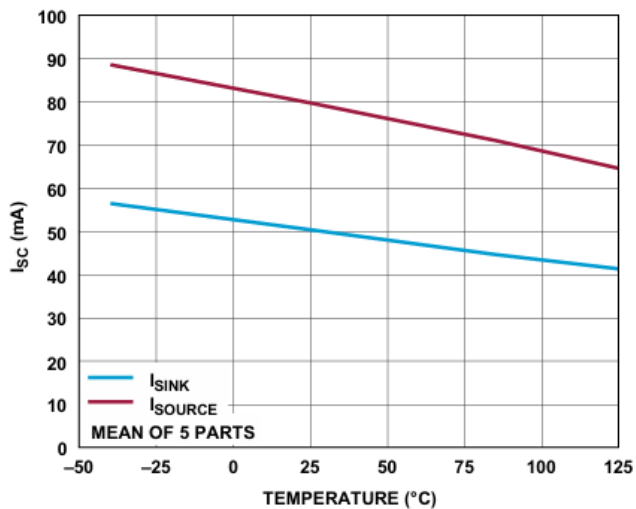


図 58. Isc と温度の関係

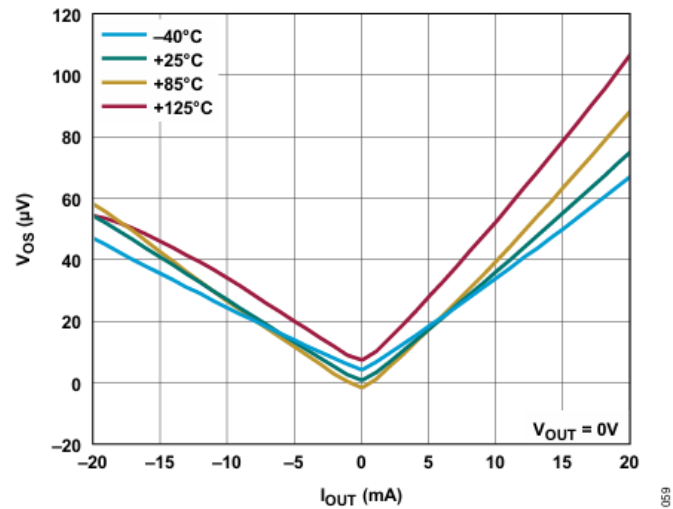


図 59. 4 通りの温度における Vos と IOUT の関係

代表的な性能特性

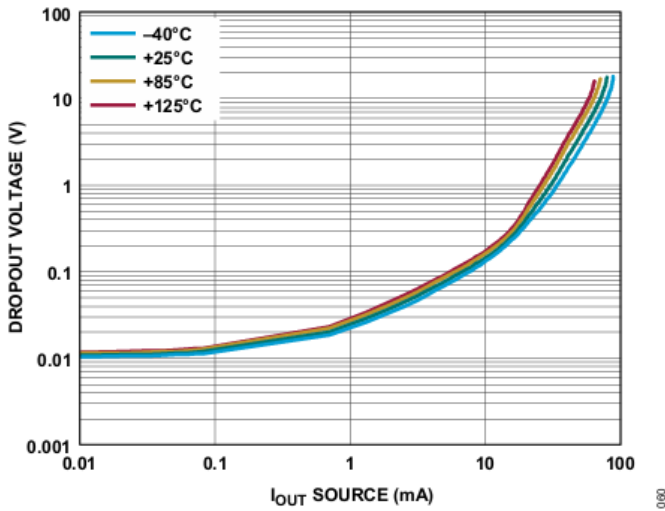


図 60. ドロップアウト電圧 ((V+) - V_{OUT}) と I_{OUT} ソースの関係

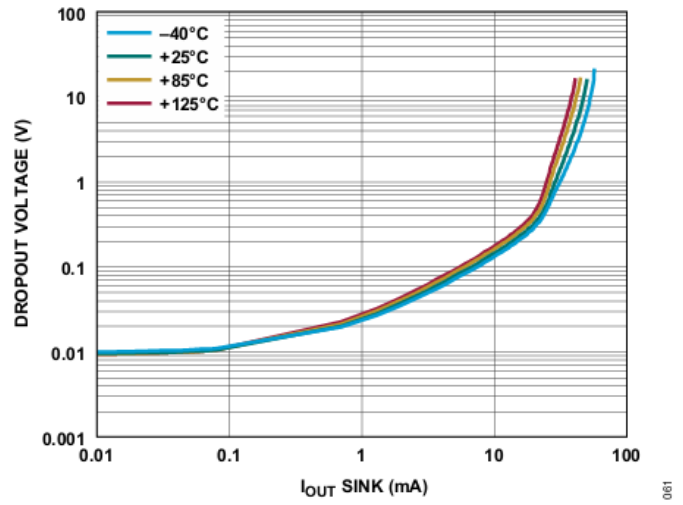


図 61. ドロップアウト電圧 (V_{OUT} - (V-)) と I_{OUT} シンクの関係

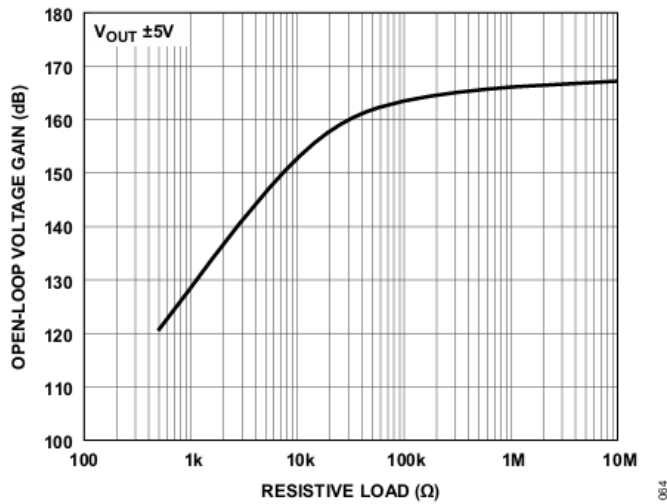


図 62. DC オープンループ・ゲインと R_L の関係

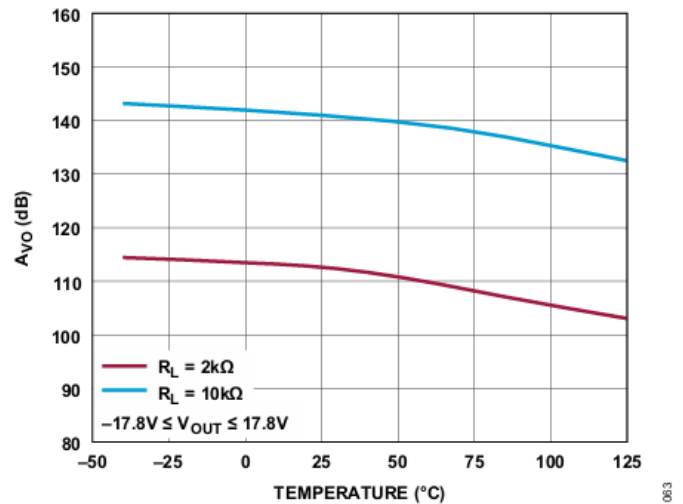


図 63. DC オープンループ・ゲインと温度の関係

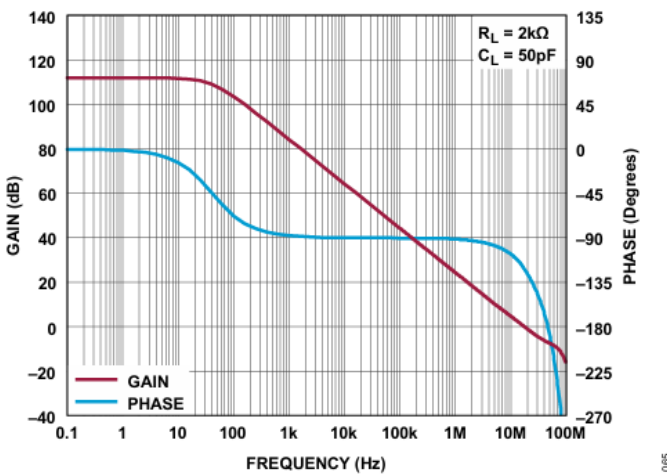


図 64. オープンループ・ゲインおよび位相と周波数の関係 (+25°C)

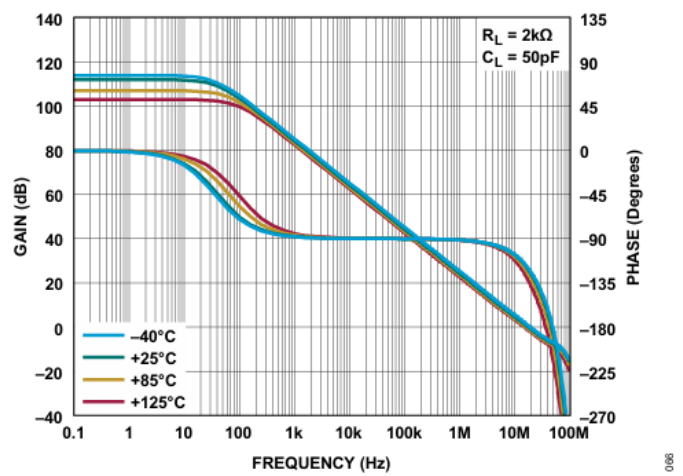


図 65. 4 通りの温度におけるオープンループ・ゲインおよび位相と周波数の関係

代表的な性能特性

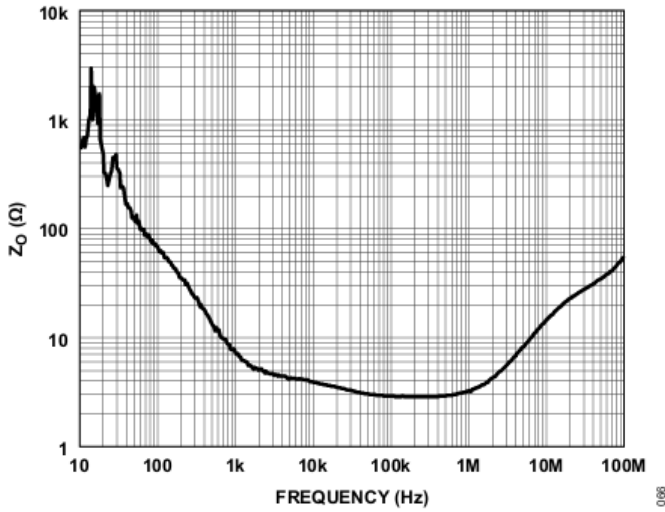


図 66. オープンループ出力インピーダンス (Z_o) と周波数の関係

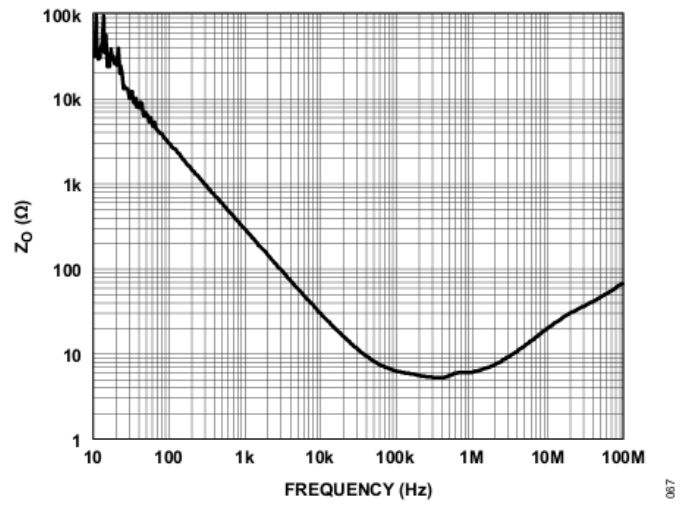


図 67. オープンループ出力インピーダンス (Z_o) と周波数の関係 (高 V_{CM} 動作)

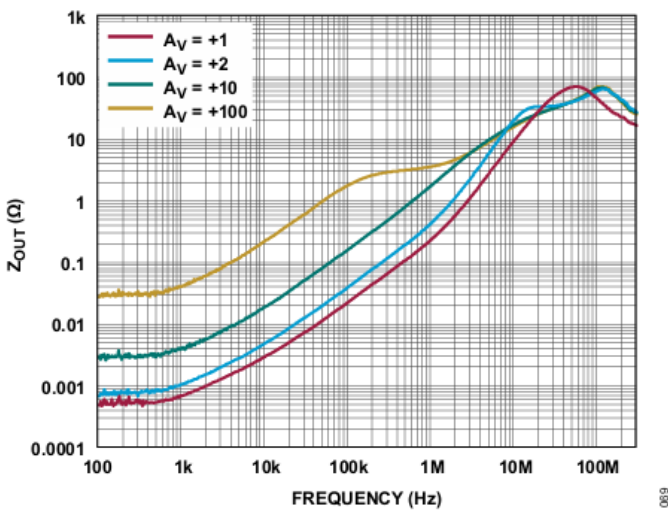


図 68. クローズドループ出力インピーダンス (Z_{OUT}) と周波数の関係

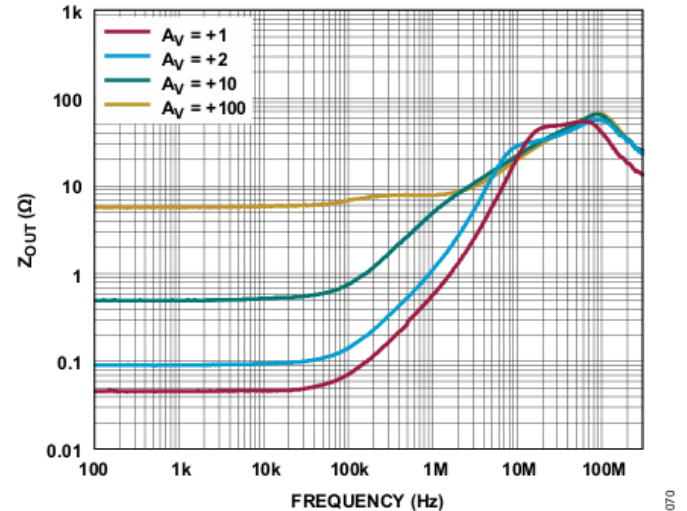


図 69. クローズドループ出力インピーダンス (Z_{OUT}) と周波数の関係 (高 V_{CM} 動作)

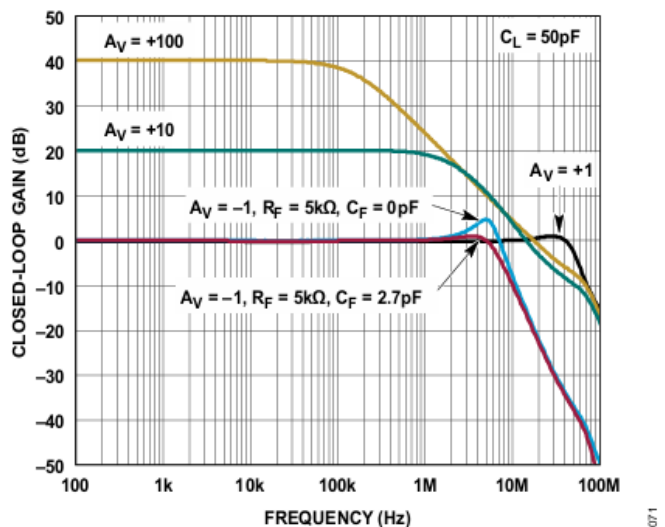


図 70. クローズドループ・ゲインと周波数の関係

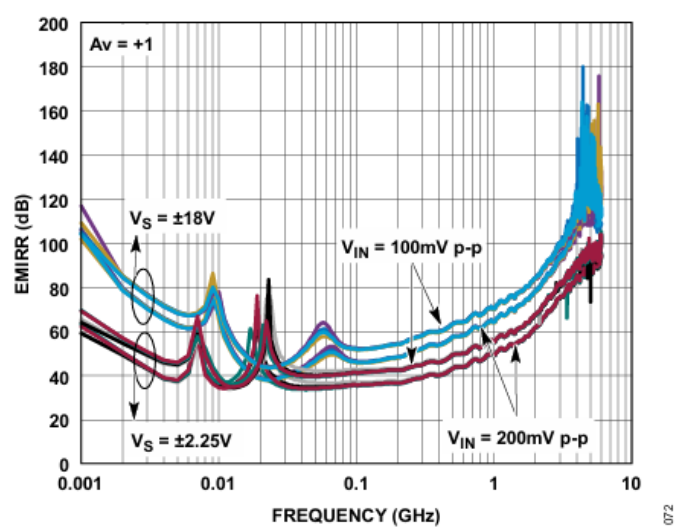


図 71. EMIRR と周波数の関係

代表的な性能特性

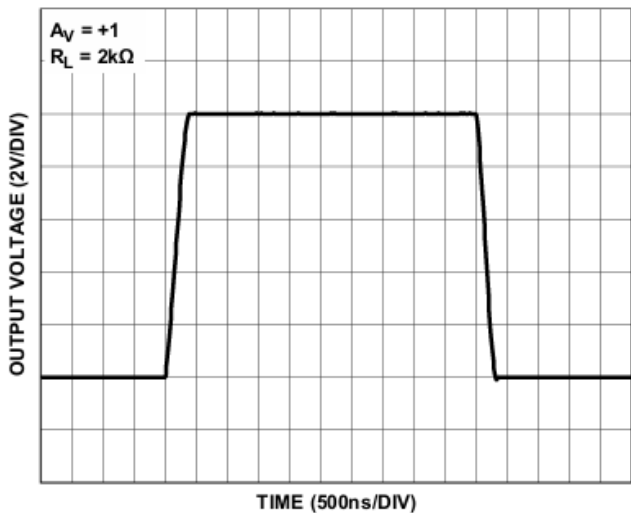


図 72. 大信号過渡応答 (10V ステップ、 $A_V = +1$)

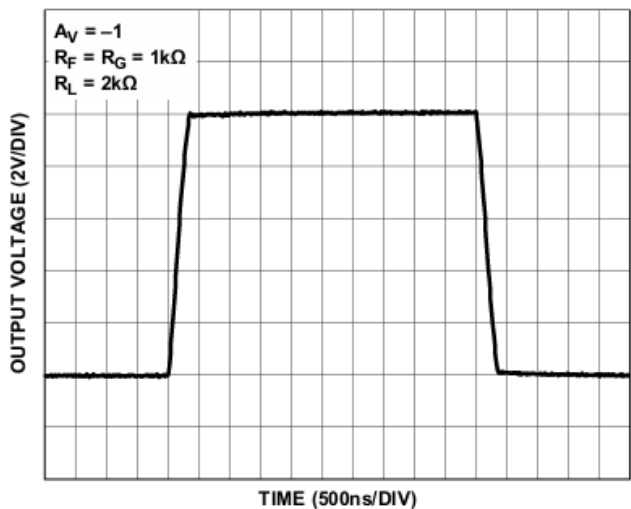


図 73. 大信号過渡応答 (10V ステップ、 $A_V = -1$)

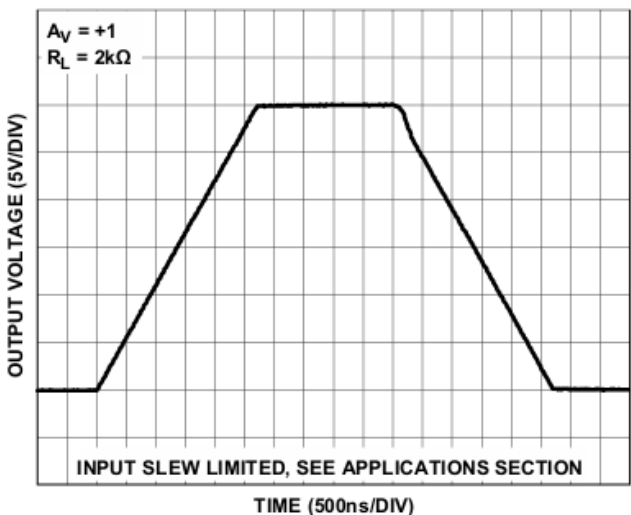


図 74. 大信号過渡応答 (30V ステップ、 $A_V = +1$)

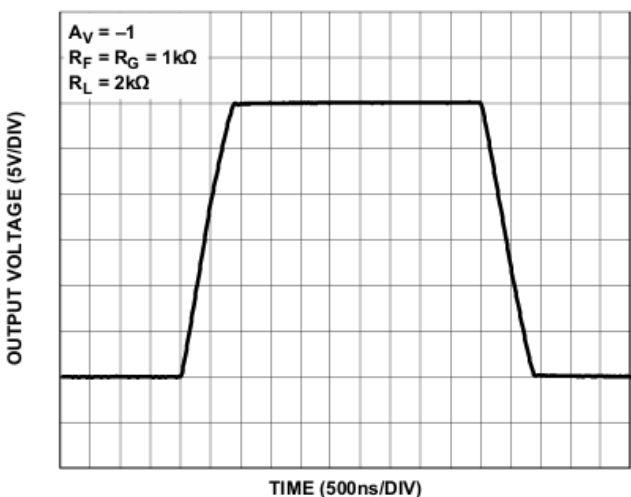


図 75. 大信号過渡応答 (30V ステップ、 $A_V = -1$)

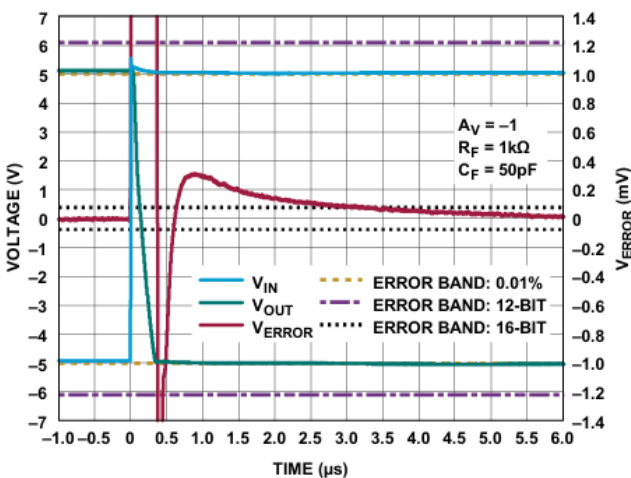


図 76. 大信号立上がりステップのセッティング・タイム (10V ステップ)

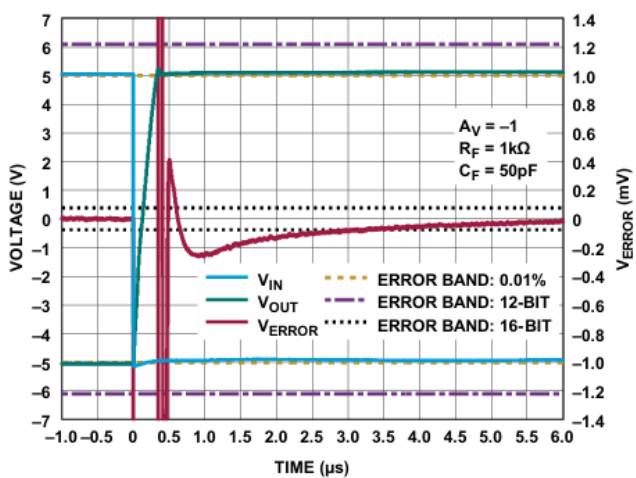


図 77. 大信号立下がりステップのセッティング・タイム (10V ステップ)

代表的な性能特性

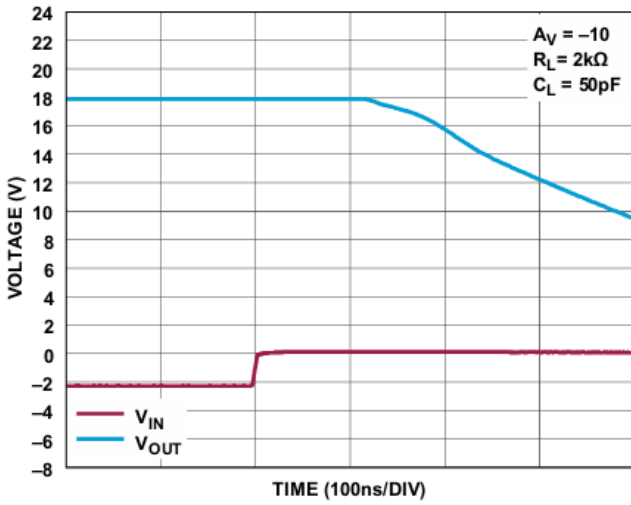


図 78. 立上がり過負荷回復 (ステップ = 2.2V)

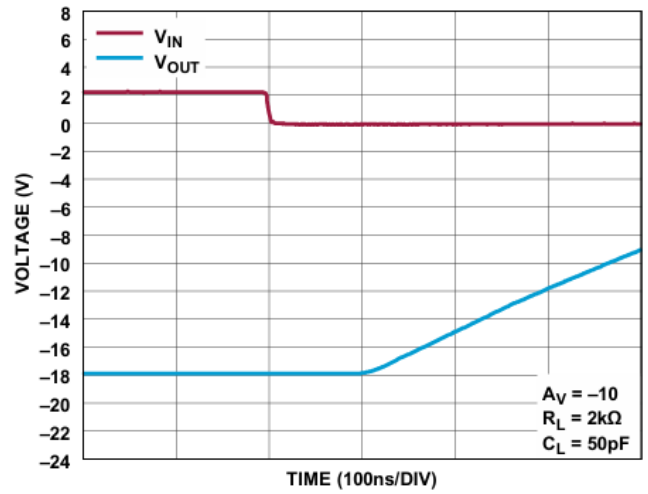


図 79. 立下がり過負荷回復 (ステップ = 2.2V)

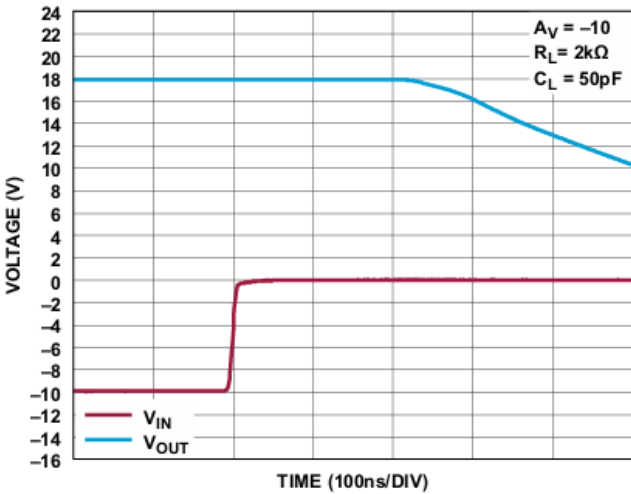


図 80. 立上がり過負荷回復 (ステップ = 10V)

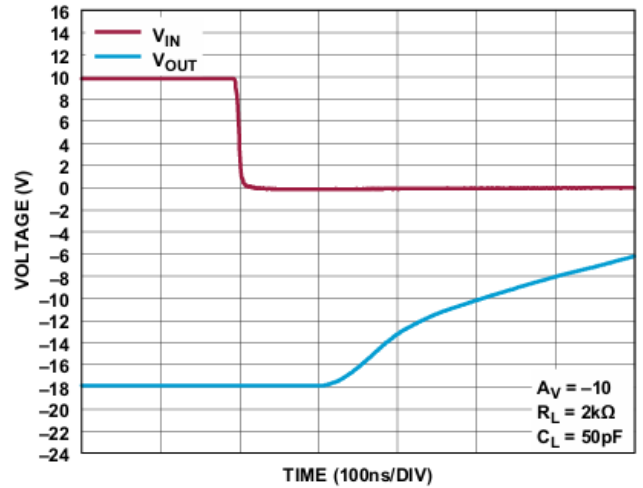


図 81. 立下がり過負荷回復 (ステップ = 10V)

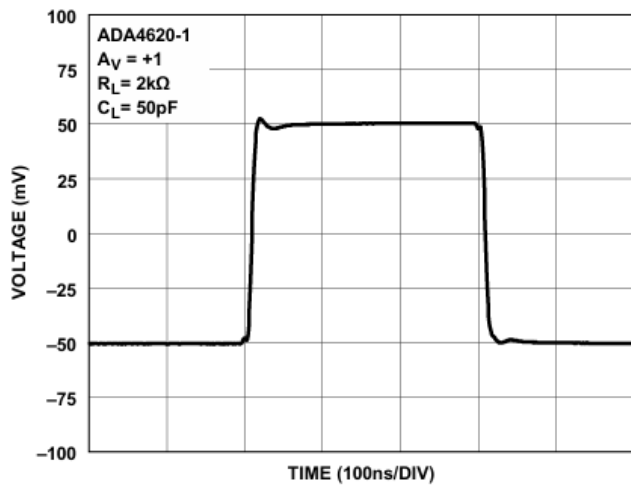


図 82. ADA4620-1 の小信号過渡応答 (100mV ステップ、 $A_V = +1$)

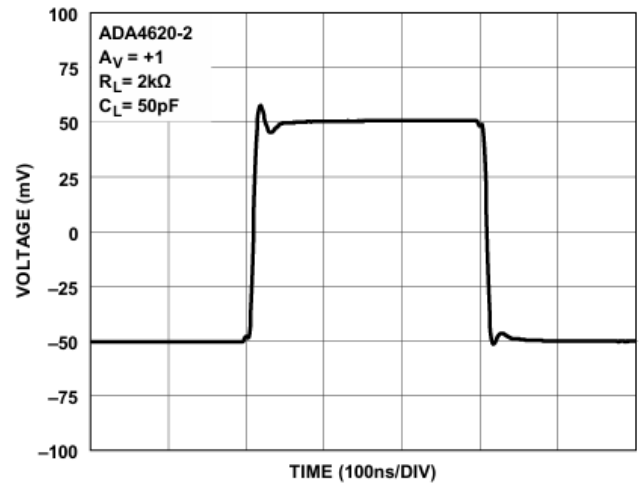


図 83. ADA4620-2 の小信号過渡応答 (100mV ステップ、 $A_V = +1$)

代表的な性能特性

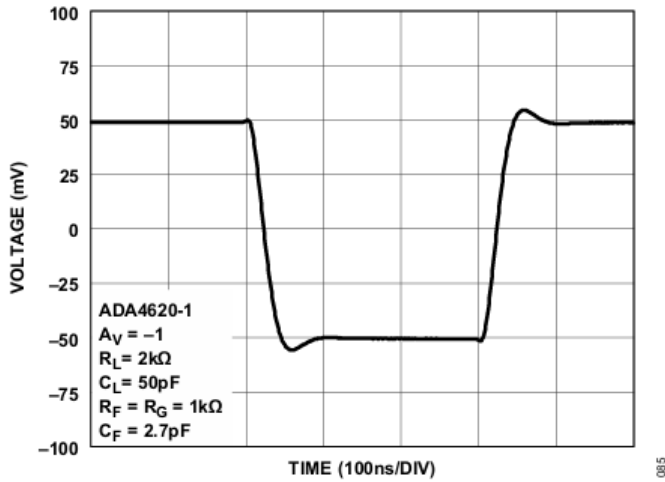


図 84. ADA4620-1 の小信号過渡応答 (100mV ステップ、 $A_V = -1$)

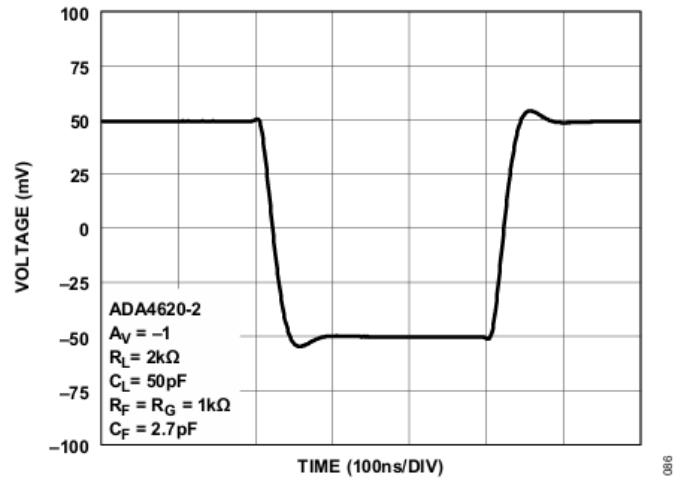


図 85. ADA4620-2 の小信号過渡応答 (100mV ステップ、 $A_V = -1$)

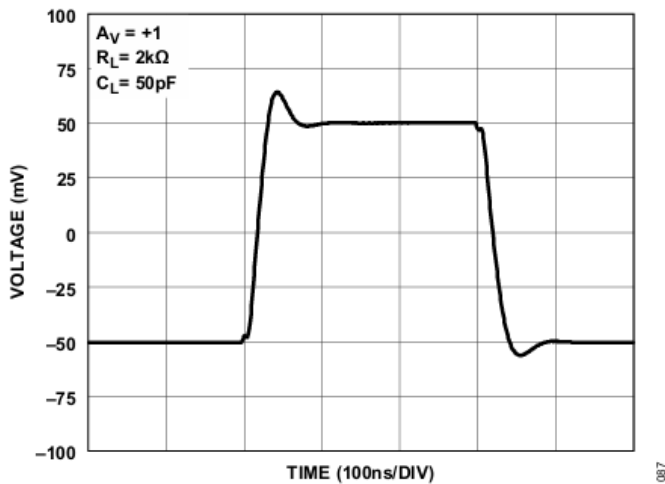


図 86. 小信号過渡応答 (高 V_{CM} 動作、100mV ステップ、 $A_V = +1$)

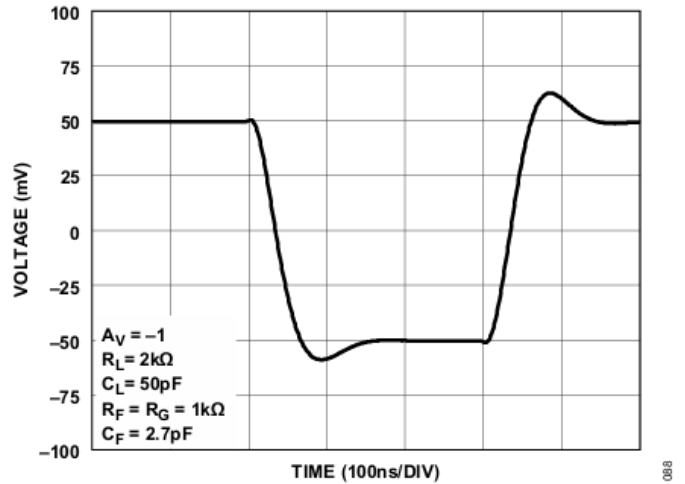


図 87. 小信号過渡応答 (高 V_{CM} 動作、100mV ステップ、 $A_V = -1$)

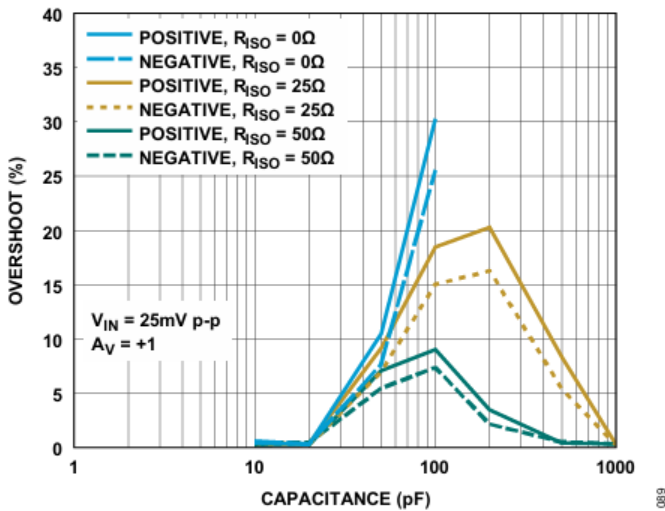


図 88. ADA4620-1 のオーバーシュートと負荷容量の関係 ($A_V = +1$)

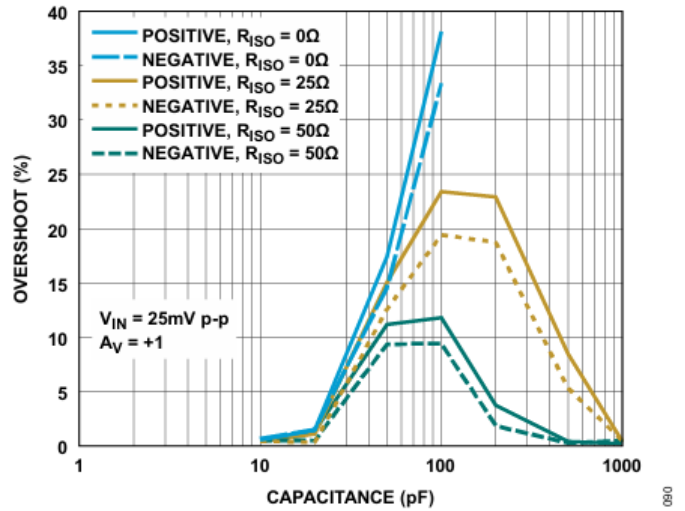


図 89. ADA4620-2 のオーバーシュートと負荷容量の関係 ($A_V = +1$)

代表的な性能特性

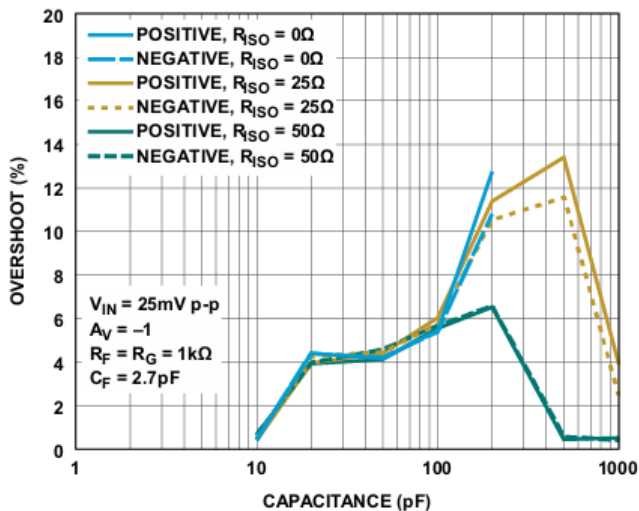


図 90. ADA4620-1 のオーバーシュートと負荷容量の関係 ($A_V = -1$)

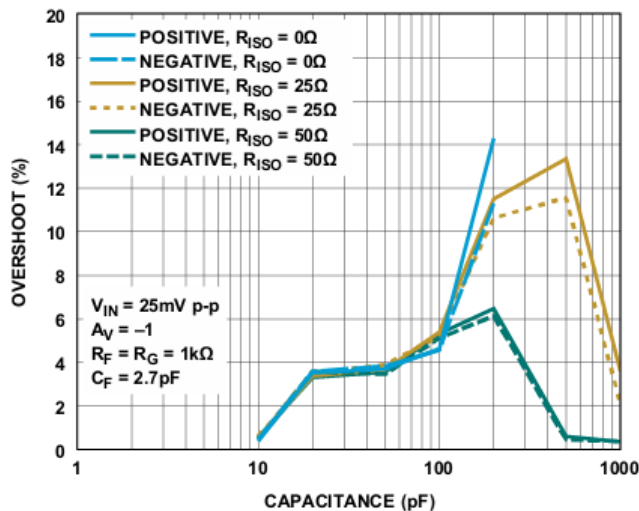


図 91. ADA4620-2 のオーバーシュートと負荷容量の関係 ($A_V = -1$)

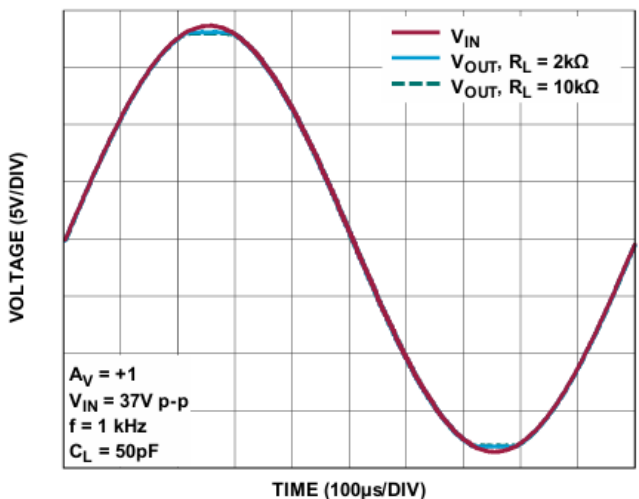


図 92. 位相反転なし (サイン波周波数= 1kHz)

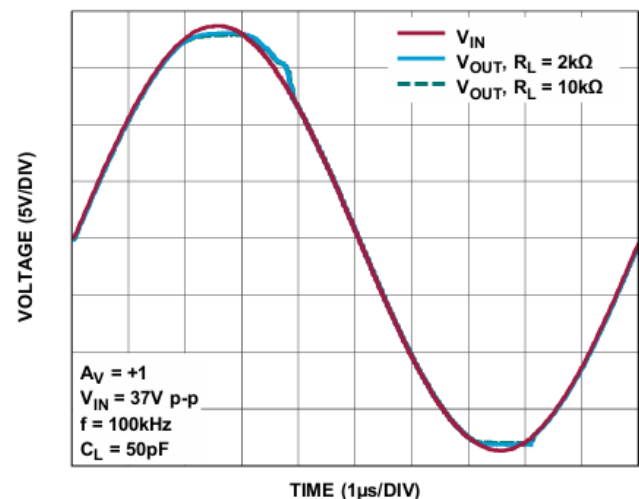


図 93. 位相反転なし (サイン波周波数= 100kHz)

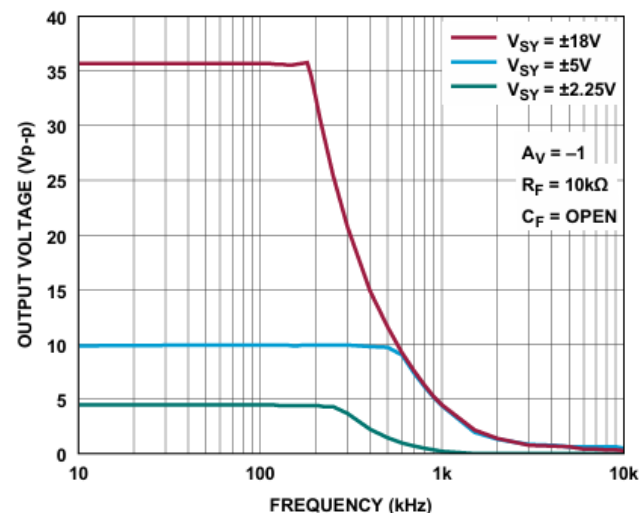


図 94. 無歪み最大出力振幅 (THD 1%) と周波数の関係

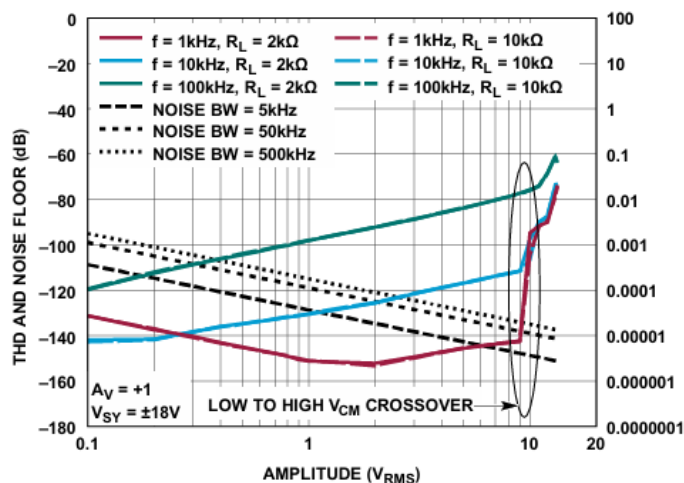


図 95. THD、振幅、 R_L の関係 ($A_V = +1$)

代表的な性能特性

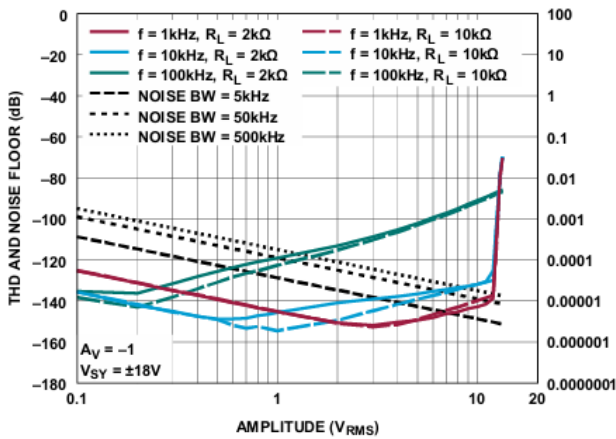


図 96. ADA4620-1 の THD、振幅、 R_L の関係 ($A_V = -1$)

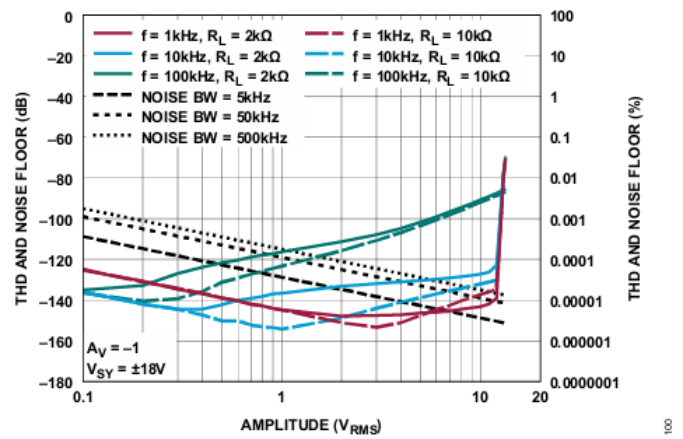


図 97. ADA4620-2 の THD、振幅、 R_L の関係 ($A_V = -1$)

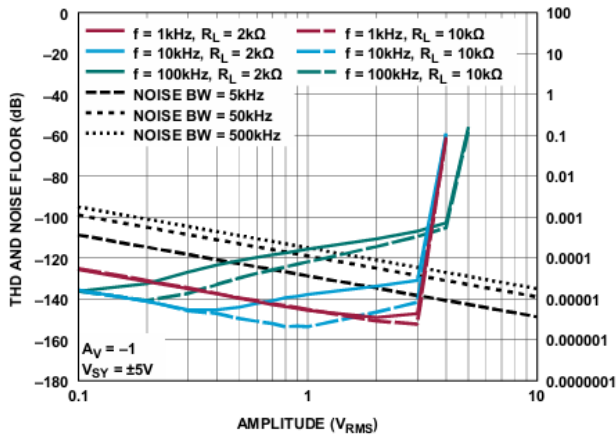


図 98. ADA4620-1 の THD、振幅、 R_L の関係 ($A_V = -1$, $V_{SY} = \pm 5V$)

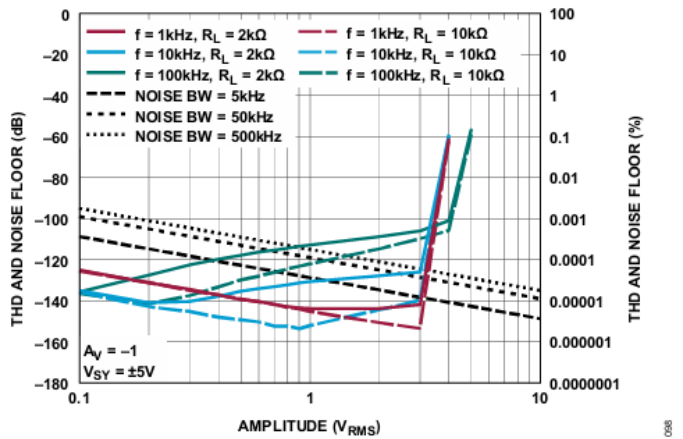


図 99. ADA4620-2 の THD、振幅、 R_L の関係 ($A_V = -1$, $V_{SY} = \pm 5V$)

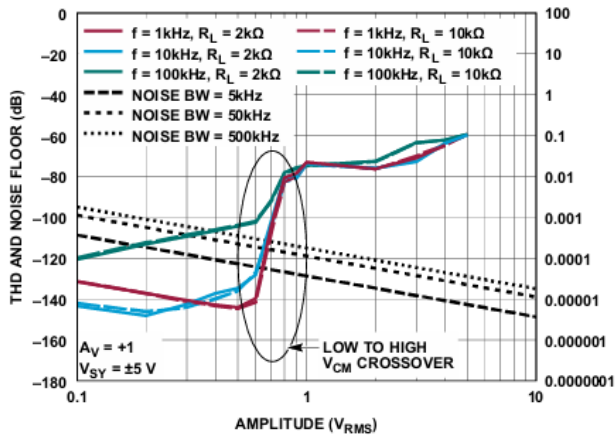


図 100. THD、振幅、 R_L の関係 ($A_V = +1$, $V_{SY} = \pm 5V$)

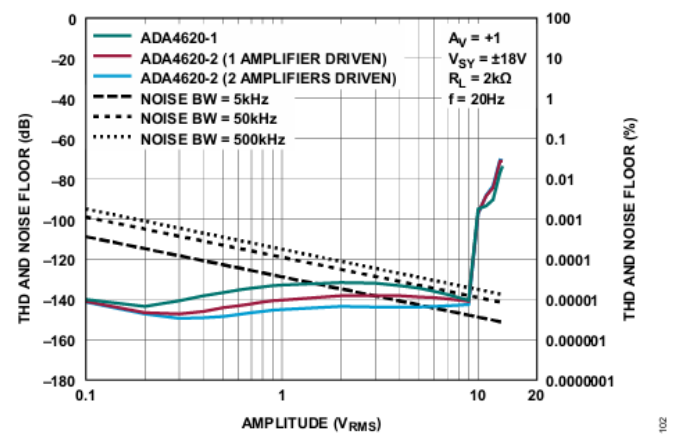


図 101. THD と振幅の関係 ($A_V = +1$, $f = 20Hz$)

代表的な性能特性

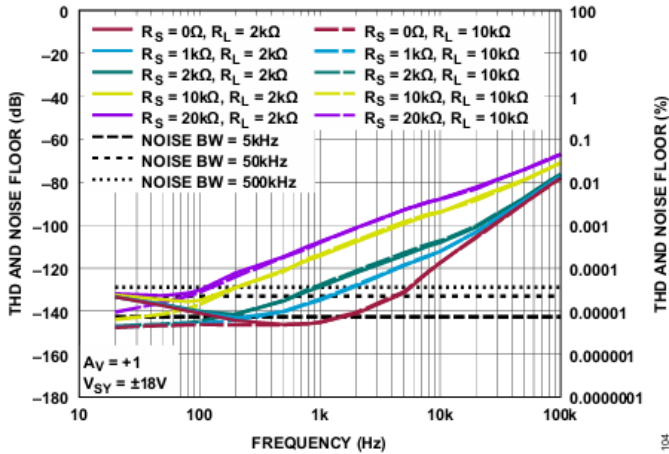


図 102. 様々な信号源インピーダンスにおける ADA4620-1 の THD と周波数の関係

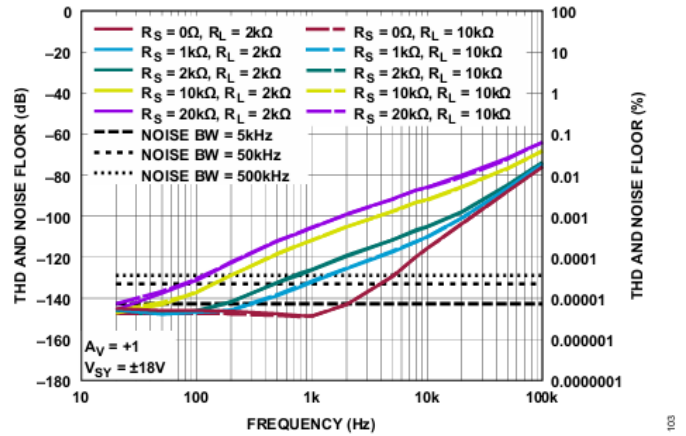


図 103. 様々な信号源インピーダンスにおける ADA4620-2 の THD と周波数の関係

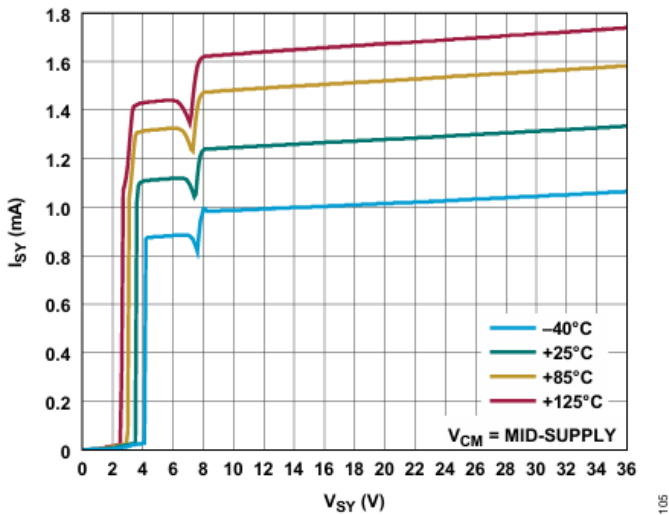


図 104. 4 通りの温度におけるアンプごとの I_{SY} と V_{SY} の関係 (両電源および単電源)

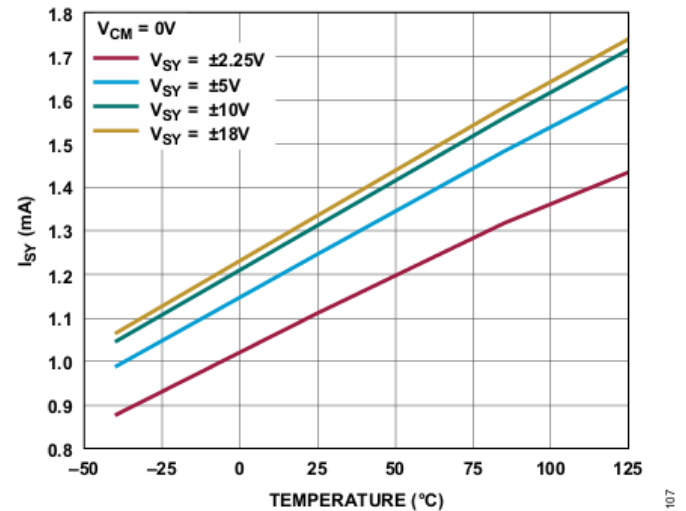


図 105. 4 通りの電源に対する I_{SY} と温度の関係

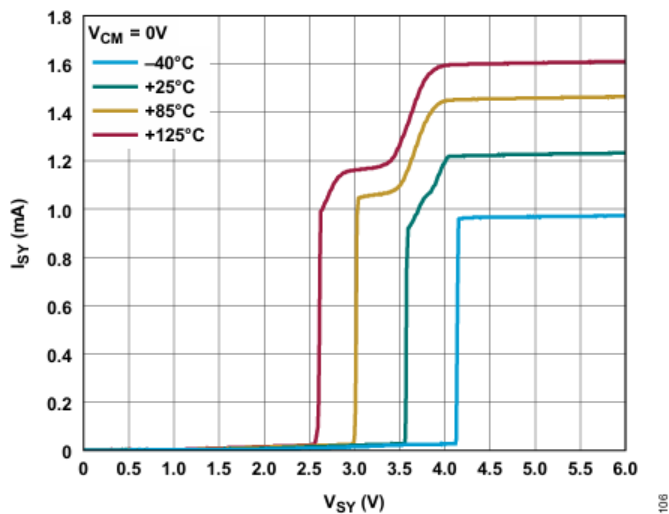


図 106. 4 通りの温度におけるアンプごとの I_{SY} と V_{SY} の関係 (単電源、パワー表示範囲をズームアップ)

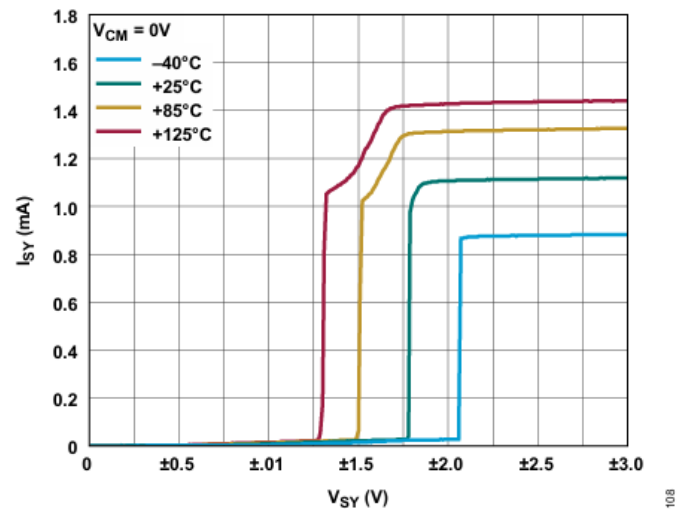


図 107. 4 通りの温度におけるアンプごとの I_{SY} と V_{SY} の関係 (両電源、パワー表示範囲をズームアップ)

代表的な性能特性

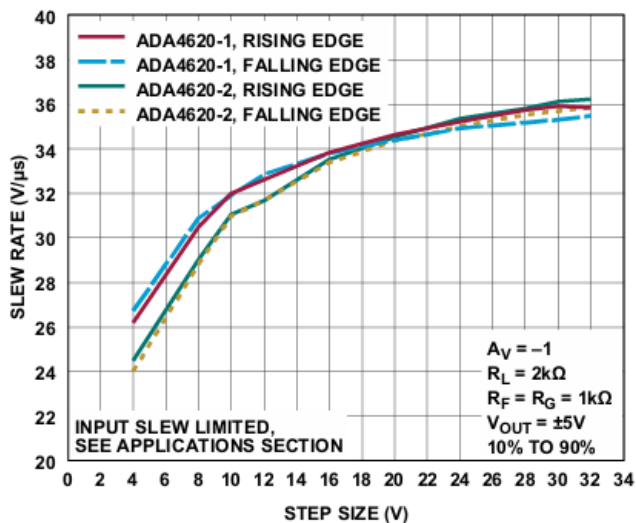


図 108. スルー・レートと振幅の関係 ($A_V = -1$)

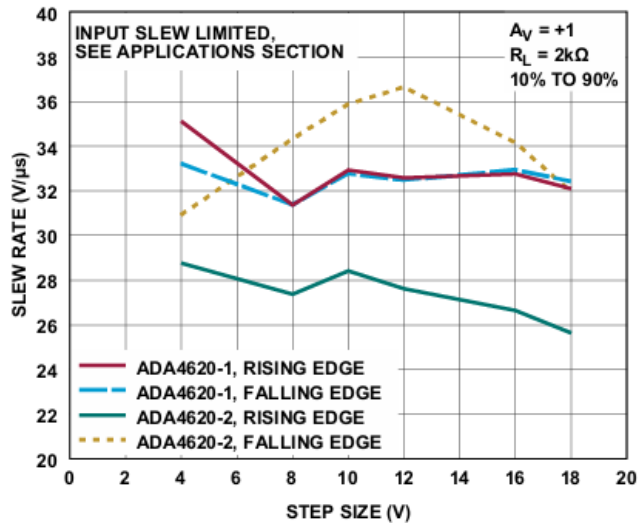


図 109. スルー・レートと振幅の関係 ($A_V = +1$)

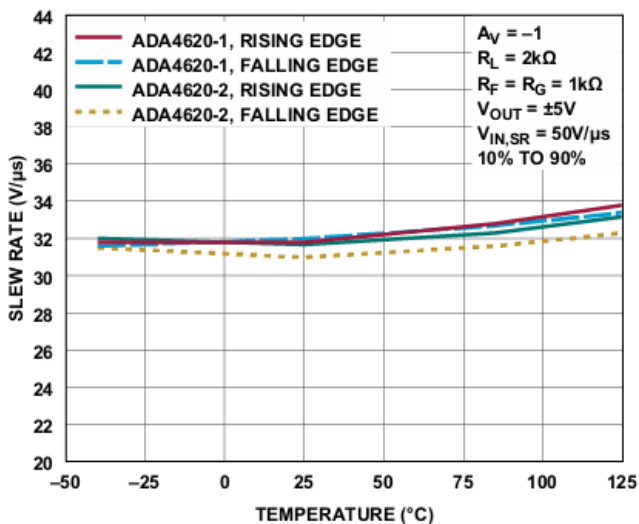


図 110. スルー・レートと温度の関係 ($A_V = -1$)

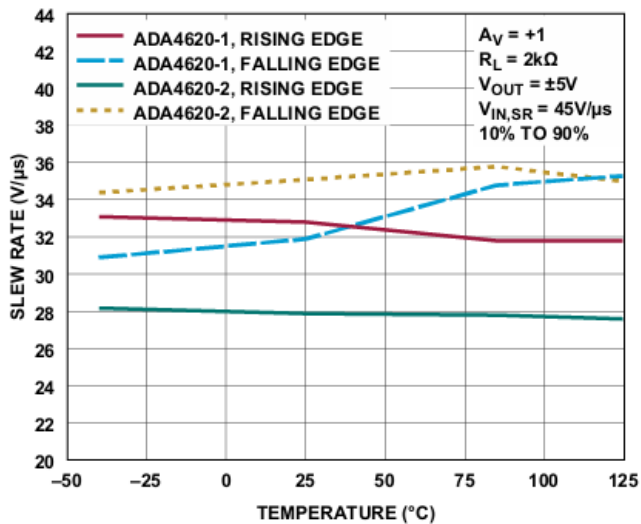


図 111. スルー・レートと温度の関係 ($A_V = +1$)

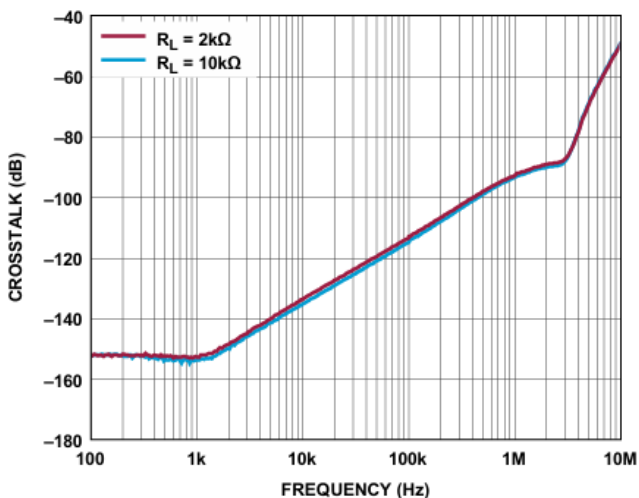


図 112. クロストークと周波数の関係

動作原理

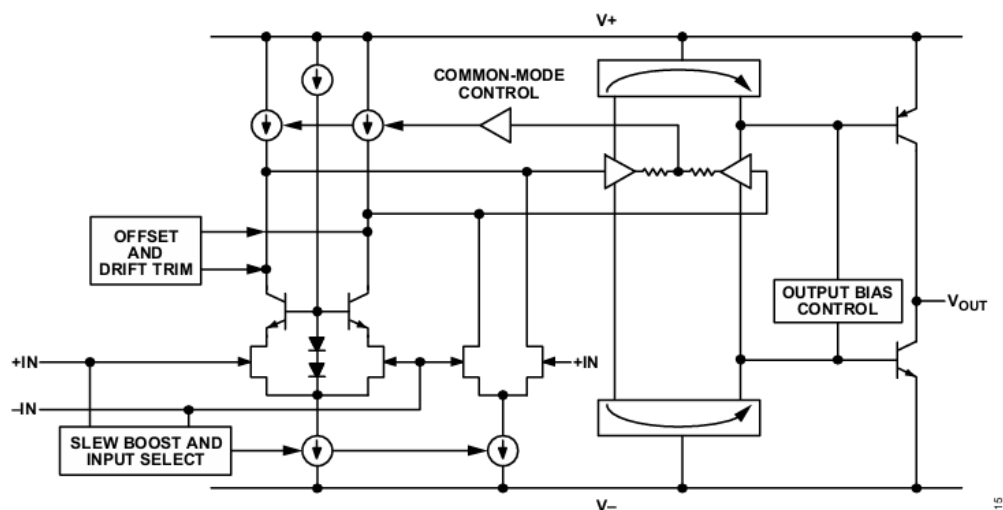


図 113. 簡略化した回路図

ADA4620 は、広い入力範囲、低消費電力、低歪み、レール to レール出力、高精度を特長とする JFET 入力アンプで、最大 36V までの広い電源電圧範囲で動作します。このアンプは、2つの温度でのオフセット調整ができるため、広い温度範囲にわたり低オフセットを実現します。また、正側電源レール付近での入力コモンモード動作を処理するための、2 次的な入力段を備えています。スルー特性を強化するため、ADA4620 には、大きな差動入力電圧で動作するスルー・ブースト JFET 入力段が追加されています。

入力段およびゲイン段

図 113 に ADA4620 の簡略化した回路図を示します。低ノイズ・アーキテクチャを採用しているため、低ノイズ、低バイアス電流、低オフセット電圧、低歪みとなるよう最適化された広いコモンモード入力範囲が実現できます。低ノイズのオフセット調整されたブートストラップ N チャンネル JFET ベース (nJFET) の入力段を用いることで、負側電源レール以下から正側電源レールの約 4.4V 下までの広い範囲にわたり高精度の同相電圧範囲を実現できます。ブートストラップを採用することで、入力コモンモードに対するリーク電流の変動を確実に抑えると共に、極めて高い同相ノイズ除去比と低い高調波歪みを確保できます。入力コモンモード電圧が正側電源レールの約 4.4V 上まで増加すると、メインの入力段がシャット・オフし、これに代わって、nJFET でバッファされた NPN バイポーラ差動ペア (図示はされていません) が制御を行います。この代替入力段は、低入力リーク電流を維持すると共に、リニア動作を正側レールの約 1V 以内に保ちます。この代替入力段のオフセット電圧は調整されていません。内部クランプにより、正側電源レールをわずかに超える範囲までの信号に対し位相反転が防止されています。

新しいスルー・ブースト回路が高いスルー・レートを実現するため、安定性を損なうことなく、高速セトリングと低歪みが可能になります。追加された nJFET 差動入力段では、印加差動電圧に応じてバイアスが変化します。高スルー・レート時には、大きな差動電圧が入力されるとバイアス電流が増加し、急速に変動する信号をアンプが追跡できるようサポートします。それにより、30V/μs を超えるスルー・レートが可能となり、セトリング時間が短縮されると共に歪みが低減されます。

出力段

レール to レール出力段は入力段から差動信号を受信します。この入力段信号は、バッファ付き Hブリッジ構成のクラス A/B 段に印加されます。バッファ処理により、入力段が過負荷とならず、高いゲインが維持されます。Hブリッジには、出力トランジスタと出力段補償回路に大きなスルーイング電流を供給できるという利点があります。この段の出力は、コモン・エミッタ出力トランジスタと補償回路に対し電流ミラーとして出力されます。出力段にはサーマル・シャットダウン機能がないため、デバイスが安全動作領域 (SOA) を維持するには、ユーザによる適切な予防措置や出力トランジスタへの電流駆動固有の制限が必要になります。

動作原理

補償

内部補償を通じて 16.5MHz の広いゲイン帯域幅積が実現されており、100pF を上回る容量性負荷が存在する場合でもユニティ・ゲインの安定した動作が確保されます。これより大きな容量性負荷は、アイソレーション抵抗を負荷と直列に配置することで駆動できます。

この補償方式には、コンデンサが正側電源レールおよび負側電源レールと結合し、高周波数での電源変動除去比 (PSRR) を改善できるという側面もあります。

位相反転なし

ADA4620 は、仕様規定された入力同相電圧範囲を超えて駆動しても、出力電圧の位相反転は生じません。JFET アンプでは、入力差動トランジスタがトライオード動作領域に入ると、位相反転が生じる可能性があります。この場合、入力信号は、トランジスタの通常の反転ゲインを経ることなく、トランジスタのドレインに直接結合します。通常、これが位相反転の原因であり、入力に通常の反転ゲインがありません。ADA4620 の高コモンモード出力段は、増幅が入力トランジスタの反転ゲインに依存しないように設計されています。これにより、トライオード領域でドレイン・ノードへの直接結合を避けることができます。このようにして、ADA4620 は位相反転現象を回避しています。更に、追加のクランプにより、確実に位相反転が生じないようにすることができます。

電氣的オーバーストレス保護

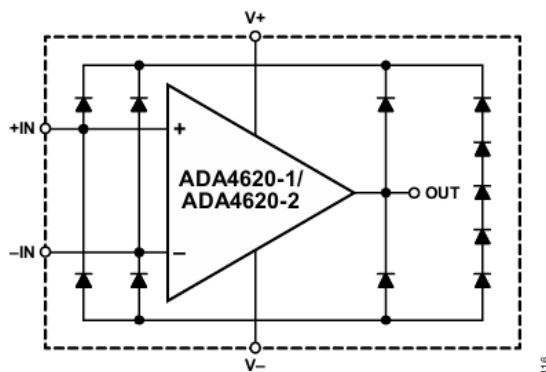


図 114. 電氣的オーバーストレス保護回路

図 114 に示すように、ADA4620 は、電氣的オーバーストレス保護回路を備えています。主として V+ と V- の間のダイオード・スタックにより、過電圧ストレスからの保護が行われます。ダイオードのスタックは、絶対最大定格である 40V をはるかに上回る 47.5V 付近で制御されたアバランシェ降伏を起こします。電源電圧がこの閾値を超えると、電源間をかなりの電流が流れ始めます。ダイオード・スタックの直列抵抗はおよそ 11Ω で、これにより電流がある程度制限されます。

アンプの信号ピン (+IN、-IN、OUT) では、それぞれのダイオードが V+ と V- に接続されています。ピン過電圧状態 (V+ 電源電圧を上回る状態) の場合は、ダイオードが順方向にバイアスされます。V+ 電源が低インピーダンスの場合は、電流は信号ピンから V+ へ流れます。この電流は外部抵抗によってのみ制限されます。V+ 電源が高インピーダンスの場合は、ピン電圧が V+ 電源を引き上げます。これはダイオード・スタックがブレイクダウンするまで続きます。同様に、ピン低電圧状態 (V- 電源電圧を下回る状態) が生じた場合は、ダイオードが順方向にバイアスされます。V- 電源が低インピーダンスの場合は、電流は V- から信号ピンへ流れます。この電流も外部抵抗によってのみ制限されます。V- 電源が高インピーダンスの場合は、ダイオード・スタックがブレイクダウンするまでピン電圧が V- 電源を引き下げます。信号ピン間に過電圧が印加されているような場合は、保護経路は、最初のピンから V+ へのダイオードを通る経路、ダイオード・スタックを通る経路、V- から 2 番目のピンへのダイオードを通る経路となります。

動作原理

電氣的オーバーストレス保護は、主として静電放電（ESD）保護を目的としたものです。また、この保護により、ある程度の信号オーバードライブを処理することもできます。ただし、[絶対最大定格](#)のセクションに記載されているように、ピンへの流入が 10mA 未満になるように適切な電流制限が行われている場合に限りです。

アプリケーション情報

フォト・ダイオード・プリアンプ／トランスインピーダンス・アンプ

ADA4620 の各デバイスはフォト・ダイオード・プリアンプのアプリケーションに最適です。入力バイアス電流が小さいので、プリアンプ出力での DC 誤差を最小限に抑えられます。また、ゲイン帯域幅積が高く、入力容量が小さいので、フォト・ダイオード・プリアンプの信号帯域幅を最大限に確保できます。図 115 に、ADA4620-1/ADA4620-2 を電流／電圧 (I/V) コンバータとして使用した回路をフォト・ダイオードの電気モデルと共に示します。

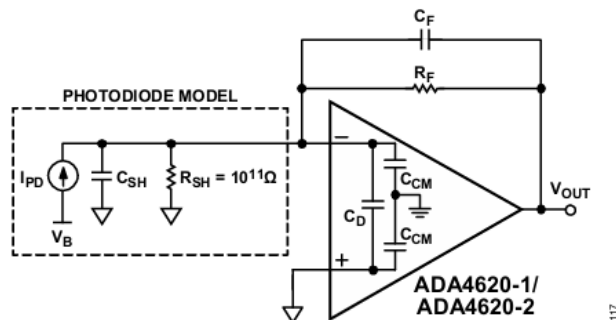


図 115. 等価 TIA 回路

次の基本的な伝達関数は、フォト・ダイオード・プリアンプにおけるトランスインピーダンス・ゲインを示します。

$$V_{OUT} = \frac{I_{PHOTO} \times R_F}{1 + sC_F R_F} \quad (1)$$

ここで、 I_{PHOTO} はフォト・ダイオードの出力電流です。 R_F と C_F の並列接続は、信号帯域幅を設定します (図 116 の I/V ゲイン・パターンを参照)。なお、実現可能な最大出力電圧が最大ダイオード出力電流 I_{PHOTO} に対応するように R_F を設定する必要があります。これにより、出力振幅全体を使用できるようになります。このフォト・ダイオード・プリアンプで実現可能な信号帯域幅は、 R_F 、アンプのゲイン帯域幅積 (f_{GBP})、およびアンプ加算点での合計容量 (C_{SH} 、アンプの入力容量 C_D および C_{CM} を含む) の関数となります。

$$C_S = C_{SH} + C_D + C_{CM} \quad (2)$$

R_F と合計容量により、ループ周波数 (f_P) で極が形成されます。

$$f_P = \frac{1}{2\pi R_F C_S} \quad (3)$$

アンプのオープンループ応答による極が追加された 2 極システムでは、不十分な位相マージンが原因でピークが形成され、安定性が低下します。図 116 を参照してください。

アプリケーション情報

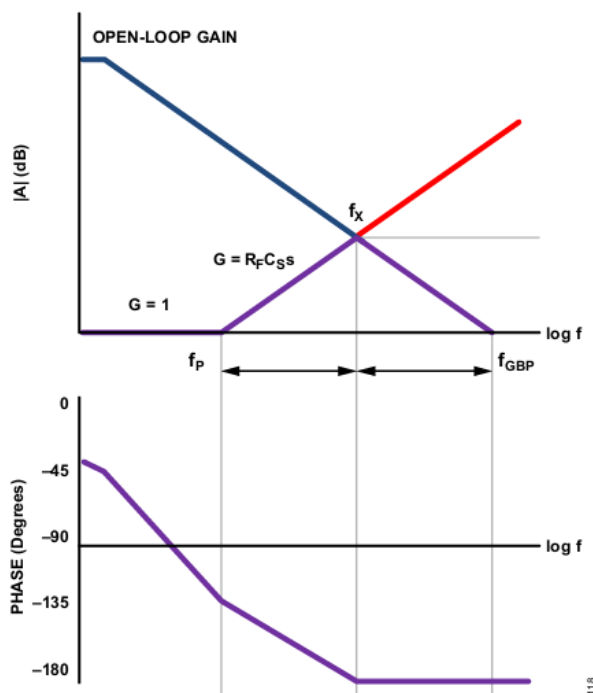


図 116. トランスインピーダンス・アンプ設計のゲインと位相のプロット（補償なし）

C_F を追加すると、ループ伝送にゼロ点が生じ、入力極の影響が補償されます。これにより、位相マージンが増加し、フォト・ダイオード・プリアンプの設計が安定します。また、 C_F を追加すると信号帯域幅も設定されます（図 117 参照）。信号帯域幅とゼロ周波数は次式で決まります。

$$f_z = \frac{1}{2\pi R_F C_F} \tag{4}$$

ここで、 f_z はゼロ周波数です。 f_x 周波数でゼロ点を設定すると、 45° の位相マージンで信号帯域幅が最大化されます。 f_x は f_P と f_{GBP} の幾何平均であるため、次式で計算できます。

$$f_x = \sqrt{f_P \times f_{GBP}} \tag{5}$$

これらの式を組み合わせると、 f_x を生じさせる C_F の値は次式のようにになります。

$$C_F = \sqrt{\frac{C_S}{2\pi \times R_F \times f_{GBP}}} \tag{6}$$

この場合の周波数応答は、約 2dB のピーキングと 15%のオーバーシュートを示します。 C_F を 2 倍にして帯域幅を 1/2 にすると、約 5%のトランジェント・オーバーシュートを伴うフラットな周波数応答になります。広帯域フォト・ダイオード・プリアンプの設計において、出力ノイズの主な生成源は、アンプの入力電圧ノイズ V_{NOISE} と R_F による抵抗ノイズです。

アプリケーション情報

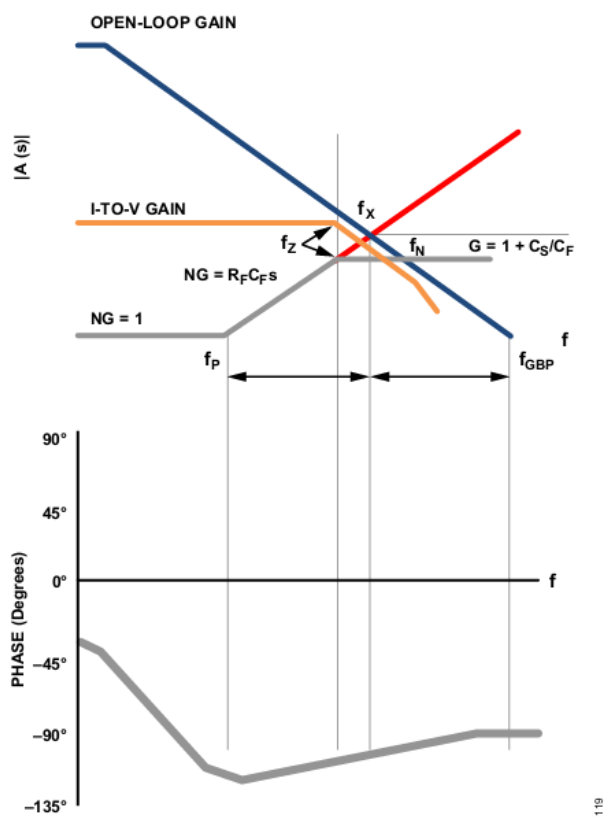


図 117. トランスインピーダンス・アンプ設計の理想的なゲインと位相のプロット（補償あり）

図 117 内のグレーのパターンは、フォト・ダイオード・プリアンプの周波数に対する理想的なノイズ・ゲインを示しています。f_N 周波数でのノイズ帯域幅は次式で計算します。

$$f_N = \frac{f_{GBP}}{(C_S + C_F) / C_F} \tag{7}$$

実際には、ノイズ・ゲインはオペアンプのゲイン帯域幅の制限を受け、オープンループ・ゲインに従ってロール・オフします。図 118 のグレーのパターンは、図 117 より現実的なノイズ・ゲインのプロットを示しています。

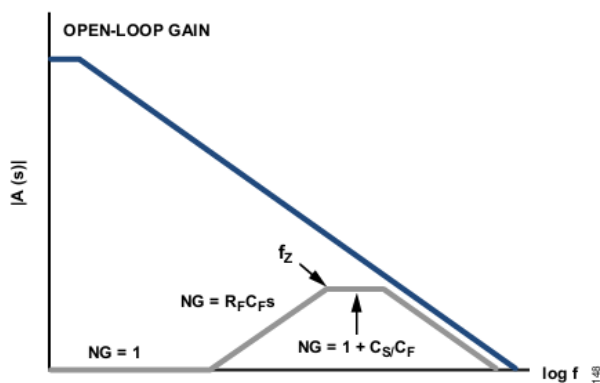


図 118. 減衰されたノイズ・ゲイン（減衰はオープンループ・ゲインに従う）

アプリケーション情報

図 119 に、ADA4620-1/ADA4620-2 をトランスインピーダンス・フォト・ダイオード・アンプとして構成した回路を示します。アンプは、逆バイアスが 5V 時にシャント容量が 3pF のフォト・ダイオード・ディテクタ (Osram SFH213) と共に用いられています。

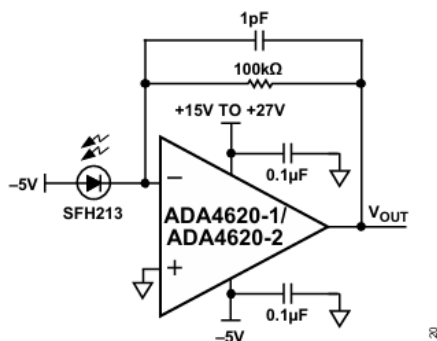


図 119. トランスインピーダンス・フォト・ダイオード・プリアンプ

図 120 に、 I_{PHOTO} が $1\mu\text{A p-p}$ のときの ADA4620 のトランスインピーダンス応答を示します。アンプの帯域幅は無補償で 2MHz ですが、大きなピーキングがあります。1.5pF の C_F を追加するとピークは除去できますが、帯域幅も 1.1MHz に減少します。図 121 を参照してください。

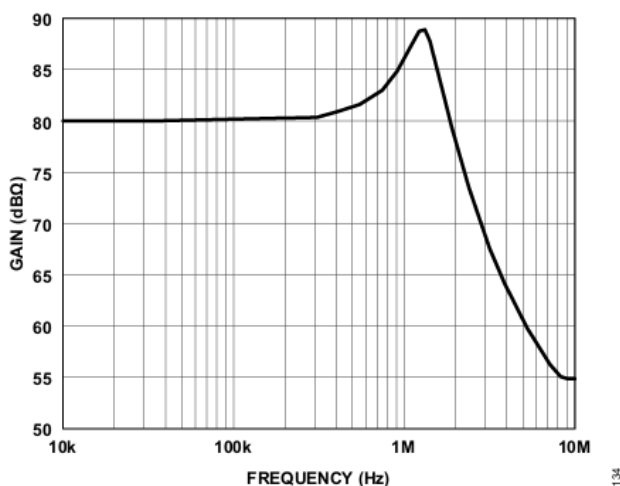


図 120. 当初のピーキングのあるフォト・ダイオード・アンプ応答 (補償不足)

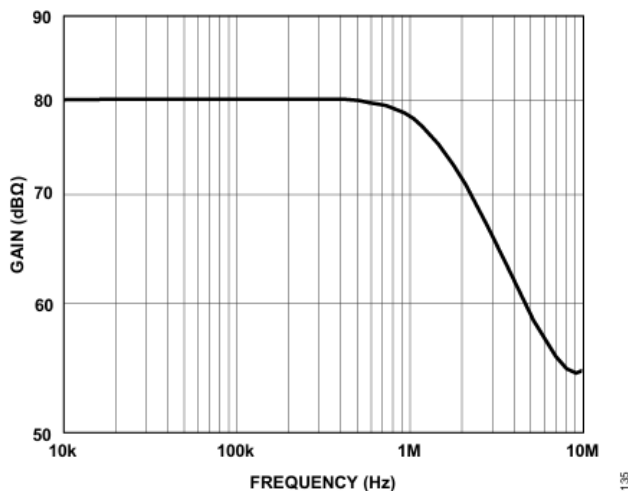


図 121. $C_F = 1.5\text{ pF}$ 使用時のフォト・ダイオード・アンプ応答 (わずかに過補償)

アプリケーション情報

図 122 に、フォト・ダイオード・アンプの総出力ノイズを示します。ここで、プリアンプは $C_F = 1.5\text{pF}$ の帰還コンデンサを用いてわずかに過補償となるよう構成されています。2MHz の測定帯域幅にわたり、総出力ノイズは $520\mu\text{V}_{\text{RMS}}$ です。

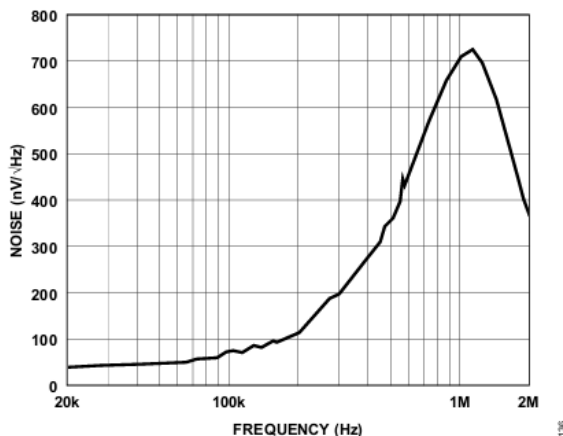


図 122. 出力ノイズ・スペクトル

詳細については、KWIK 回路アプリケーション・ノート：1 MHz, Single Supply, Photodiode Transimpedance Amplifier (TIA) Design を参照してください。

ADC 駆動

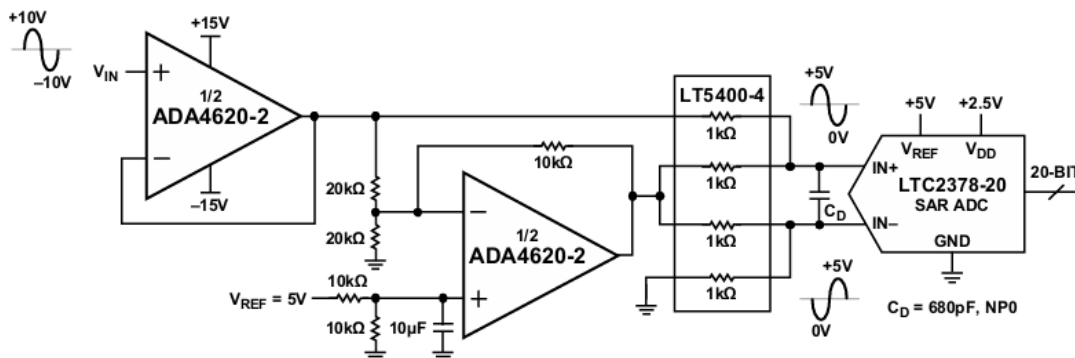


図 123. 5V 高精度差動入力 ADC への高電圧高インピーダンス信号の注入

ADA4620 には、高 DC 精度で非常に低バイアスの電流が流れます。低歪みであることと合わせ、これは、高分解能 ADC を用いるデータ・アキュイジション・システムに最適です。ADC がその入力をサンプリングするとき、上流回路にグリッチが生じます。そのため、上流回路は、ADC がそのサンプル・ウィンドウを閉じてアナログ「アキュイジション」フェーズを終了する前に、これをセトリングしなくてはなりません。グリッチを完全にセトリングしきれない場合、サンプルのノイズと歪みが増加する原因になります。図 123 に、ADA4620-2 が 20V p-p のシングルエンド信号を、ADA4620-2 のもう片方と LT5400 を用いたシングル/差動変換回路に対して駆動する回路を示します。これにより生じる差動電圧は、20 ビット 1MSps の SAR ADC である LTC2378-20 に供給されます。

アプリケーション情報

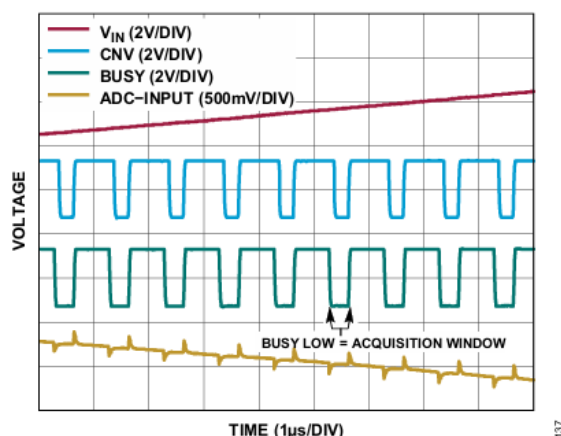


図 124. 1MSps のサンプリング・グリッチを示す、ADA4620 と LTC2378-20 に付随するアナログおよびデジタル波形

図 124 に、LTC2378-20 が 1MSps のフル・レートで動作する場合に IN- に発生するサンプリング・グリッチを示します。この図には正確な 5kHz 同期入力波形も合わせて示しており、時間領域では（図に示すように）コヒーレンスを保つことができますが、FFT ではインコヒーレントとなります（加えてウィンドウ設定がわかりやすいことが必要）。赤色の波形は 5V/DIV で示した入力サイン波の一部です。青色の波形は、ADC をクロックするデジタル CNV 信号で、緑色の波形は ADC からの BUSY 信号です。BUSY がローの間、サンプリング・コンデンサが上流回路に接続され、アナログ・アキュイジション・ウィンドウを構成します。黄色の波形は実際の ADC IN- で、明らかにグリッチを伴っています。なお、サンプリング時間が 1µs の場合、アナログ・アキュイジション・ウィンドウはわずか 300ns であり、これは、16.5MHz の上流システムが 20 ビットにセトリングしようとするには極めて短い時間です。

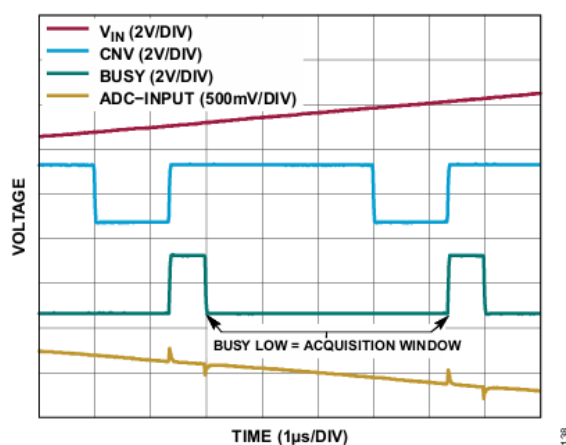


図 125. サンプリング・レートを 200kSps に下げた場合、 T_S が 5µs と長くなり、延長時間のほぼすべてがサンプリング・ウィンドウに割り当てられるため、上流回路のセトリングを大幅に改善可能

図 125 に、同じシステムでサンプリング・レートを 200kSps に下げた場合を示します。5µs に増加したサンプリング時間のうち、追加された 4µs のほぼすべてがアナログ・アキュイジション時間に割り当てられています。これによって、16.5MHz GBW の上流回路がほぼ正確な値にセトリングできるだけの十分な時間が生じます。

アプリケーション情報

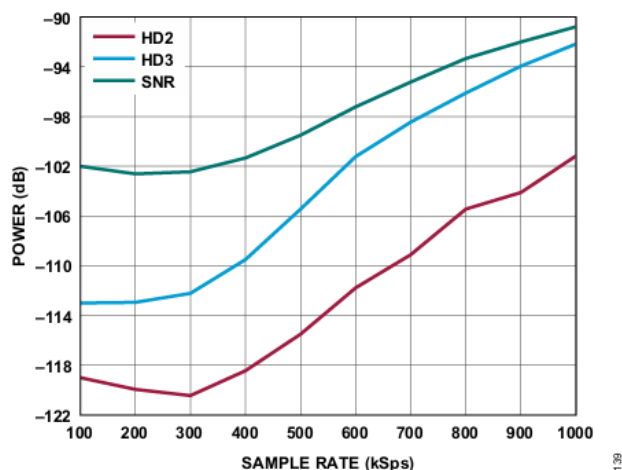
図 126. 歪みおよびノイズ性能とサンプル・レートの関係 ($C_d = 680$ pF)

図 126 は、コンデンサ $C_d = 680$ pF で様々なサンプル・レートでの歪みとノイズの性能をプロットしたものです。図 127 は FFT の例です。

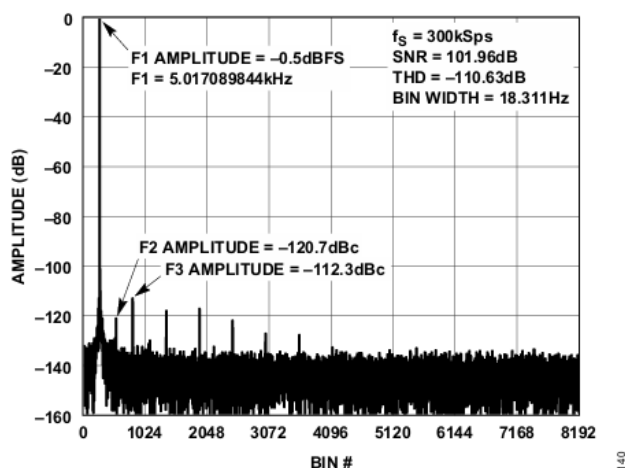


図 127. 300kSps、-0.5dBFS、5.017kHz のサイン波入力で回路から収集した 8192 ビンの FFT

マルチプレクサへの適合性

医療用イメージング、工業用プロセス制御、自動試験装置などで用いられる高チャンネル密度のデータ・アキュイジション・システムでは、複数のセンサーやアナログ電圧からのデータを取得するために膨大な数の ADC チャンネルが必要で、そのために、多大な基板面積、電力、コストが求められます。この課題に対処するには、マルチプレクサ手法を採用します。これによって、多くのセンサーからの信号を、チャンネルごとに順次変換を行う少数の ADC に伝送できます。この手法では、チャンネルごとに設計を行う場合と比較して、必要な下流回路を削減できます。システムあたりに使用される ADC を減らすことで、マルチプレクサ手法は、消費電力、サイズ、コストを実質的に削減します。ただし、マルチプレクサ・ソリューションを効果的に実装するには、いくつかの細かい点に注意する必要があります。これは特に、チャンネル間の瞬時の切り替え、正確な測定の確保、低消費電力の維持が必要な場合に当てはまります。

マルチプレクサされたデータ・アキュイジション (DAQ) システムでは、アナログ・マルチプレクサを用いて入力アナログ・チャンネルを時間多重化します。これにより複数の信号を 1 つの ADC に伝送して変換できるためです。マルチプレクサの出力を高入力インピーダンス段にインターフェース接続してから ADC に接続することが重要です。そうすることで、測定精度が向上すると共に、セトリング・タイムが短縮されるためです。この構成により、マルチプレクサがより短時間でかつ効率的にチャンネルを切り替えることができ、シグナル・チェーンの全体的なスループットが向上できます。

アプリケーション情報

マルチプレクサがチャンネルを切り替えるごとに、マルチプレックスされた信号の値が変わります。入力信号が安定している場合でも、マルチプレックスされた信号は変化するため、これらの変化に対し下流回路が迅速に応答する必要があります。次のチャンネルを読み出すまでに出力信号が目標精度にセトリングしない場合、チャンネルの測定値が直前のチャンネルの値の影響を受け、チャンネル間クロストークが発生する可能性があります。これを防ぐには、マルチプレクサの出力で高インピーダンス段として用いられるオペアンプが、その出力に対し迅速に応答しなくてはなりません。ADA4620 オペアンプは、測定精度を維持しながらも低伝搬遅延かつ高スルー・レートであるため、この目的に最適です。通常、高速オペアンプは大量の電力を消費しますが、ADA4620 は、低電源電流で動作しながらも高いスルー・レートが可能であるため、マルチプレックス DAQ システムでの高スループットを低消費電力で実現できます。このアンプの独特の回路トポロジは、精度やセトリング・タイムを損なうことなく、低自己消費電力で優れたスルー・レートを可能にします。

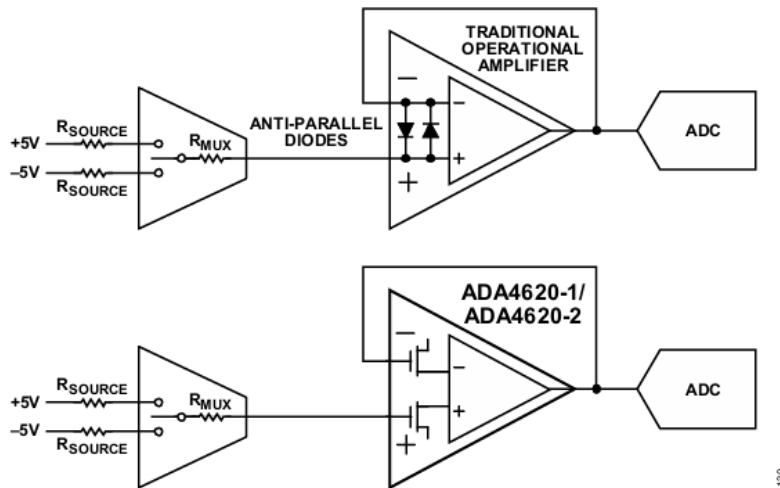


図 128. マルチプレックス・システムとオペアンプの差動入力構造

マルチプレクサ後段のオペアンプが十分に高速であったとしても、見落とされがちなもう 1 つの重要ポイントが、オペアンプの入力構造です。マルチプレクサが大きく異なる DC 電圧を切り替えるため、高インピーダンス段のオペアンプには、大きな差動電圧が印加される可能性があります。そのため、高インピーダンス段のオペアンプは、大きな入力電圧ステップへの耐性を備え、かつこれを測定できる必要があります。ADA4620 は、この問題に対応するために、マルチプレックス対応の堅牢なアーキテクチャを使用しています。それによって差動のバック・ツー・バック・ダイオードに依存することなく電源レールまでの大きな差動電圧を処理できます。図 128 を参照してください。

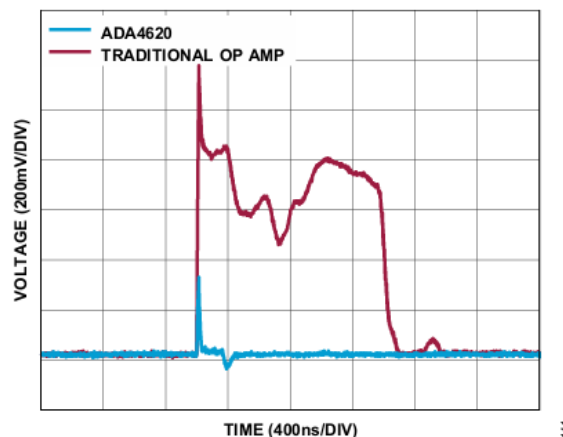


図 129. 従来のオペアンプの突入電流と、ADA4620 でのマルチプレクサの切替えイベントを示す
小さなマルチプレックス対応グリッチの比較

従来型のオペアンプでは、入力ピン間にこのような大きなながらも一時的な差動電圧が加わると、オペアンプの出力がスルーイングしている間のダイオード伝導により、図 129 の赤色のパターンで示すような突入電流が生じます。これにより、上流の RC 回路に電荷誤差が生じ、セトリングに時間を要します。この影響は図 130 の赤色で示したパターンに見ることができます。ADA4620 のマルチプレックス対

アプリケーション情報

応 JFET 入力は、ダイオード保護を必要としません。そのため、[図 130](#) の青色のパターンで示すように、入力が数ボルト分割され、出力にスルーイングがある場合でも、非常に高いインピーダンスを保持します。

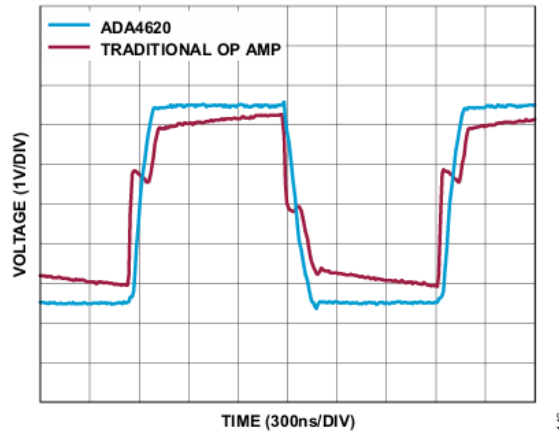


図 130. マルチプレクサ切替時の高インピーダンス・バッファの出力 ([図 128](#) の回路を参照)

マルチプレクサ対応オペアンプの利点に関するより詳細な説明については、KWIK 回路アプリケーション・ノート：Mux Compatible Analog Front End を参照してください。

3 次ローパス・サレンキー・フィルタ

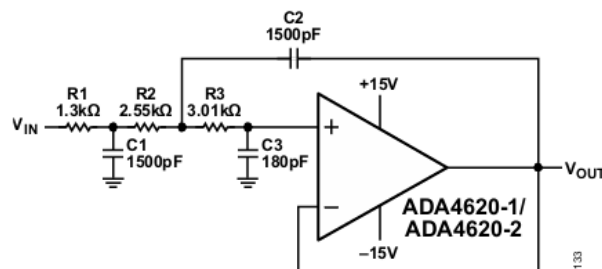


図 131. 3 次バターワース・サレンキー・フィルタ

3 次バターワース・フィルタは、余分な $s+1$ 項をバッファ処理せずに実現できるため、[図 131](#) に示すようにオペアンプ 1 つで実現できます。低周波数時に超高入力インピーダンスを保持するため、反転ゲイン多重帰還全体で、非反転サレンキー手法を選択します。この 3 次手法は、 $R1$ および $C1$ を省略している 2 次手法に比べ、ある重要な利点を提供します。 $R1$ および $C1$ を前部に配置することの利点は、部品やレイアウトの品質によってのみ制限される、極めて広いストップ・バンドが得られることです。その結果、非常に高い周波数が $R2$ に到達するのを防ぐことができます。非常に高い周波数が $R2$ に達することができると仮定すると、それを阻止するのは、高周波数時に短絡として近似できる $C2$ と、オペアンプの出力インピーダンスのみとなります。しかし、もちろん、オペアンプの出力インピーダンスは、動作周波数範囲を超えてこれらの周波数を阻止するほど低くはなく、これらの周波数のエネルギーは実質的にオペアンプ出力を通過します。[図 132](#) にフィルタの周波数応答を示します。この設計は 100kHz で -3dB です。その他の周波数は、受動部品の値をスケールリングすることで選択できます。当然、抵抗をスケールリングするのが最も簡単です。公差の小さい抵抗を入手するのが容易であるためです。 $C3$ の正確な計算値は 200pF ですが、パターン容量や入力容量の影響により、部品値はもっと小さくなります。

アプリケーション情報

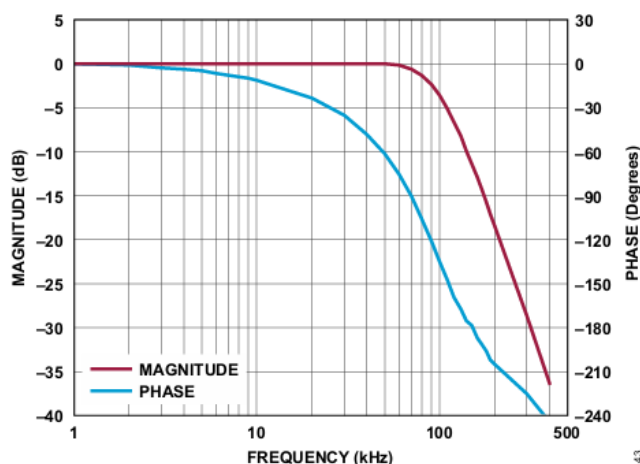


図 132. 100kHz の 3 次バターワース・フィルタの周波数応答

大信号動作

ADA4620 は、小信号アプリケーション用に最適化された高精度低ノイズのオペアンプです。大信号の高速入力ステップが存在する場合、理想的な動作からは若干低下します。4V 非反転および 8V 反転を上回る高速ステップが入力されると、出力にある程度の遅延が生じ始めます。この遅延は、反転も場合も非反転の場合も、入力の立上がりエッジで生じます。図 133 に、ゲインが-1 の場合におけるこの問題を示します。テスト・セットアップは、±18V の電源電圧と最大±16V の入力で構成されています。出力の遅延時間は、始めは数十ナノ秒ですが、非常に大きなステップに対しては 500ns もの大きさになる可能性があります。非反転の場合は、図 134 に示すように、ステップが約 15V を超えると出力のオーバーシュートが 1.4V と大きくなり始め、出力の遅延時間は 1 マイクロ秒を超えるほどにまで大きくなります。図 133 および図 134 は、32V ステップまでの動作を示しています。これら 2 つの図において、破線は入力ステップ信号を示し、各破線の平坦部分に重なる実線はその入力信号に対応する出力です。

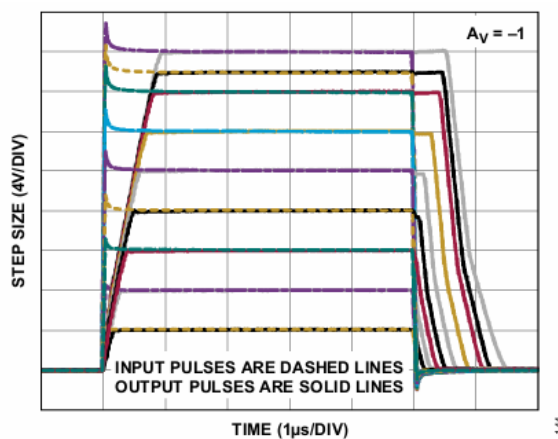


図 133. 大信号非反転出力動作、帰還コンデンサなし、入力信号は反転して図示

アプリケーション情報

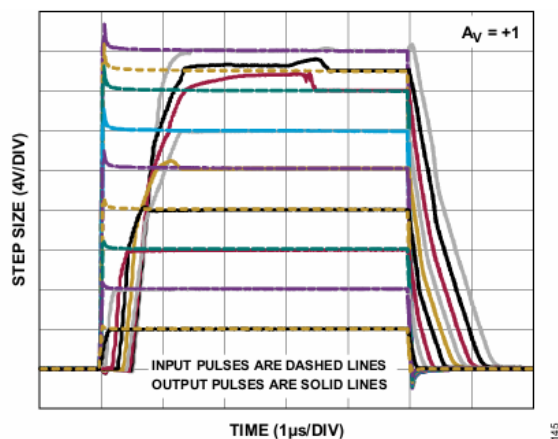
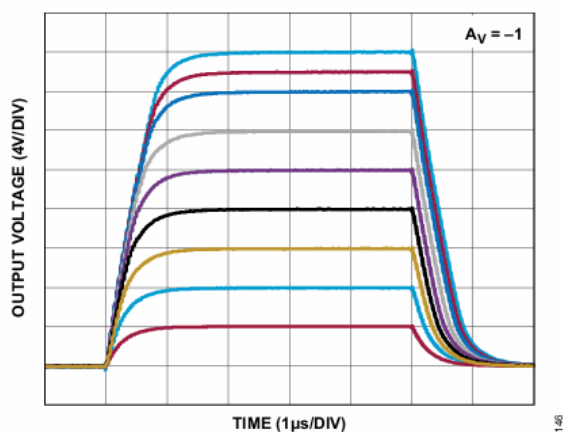


図 134. 大信号非反転出力動作、入力 RC なし

反転の場合は改善が比較的容易です。帰還コンデンサを追加するだけで済むため、これはほとんどの設計において何らかの形で取り入れられています。図 135 に、 $1\text{k}\Omega:1\text{k}\Omega$ の抵抗と 270pF の帰還コンデンサを用いた $A_v = -1$ の場合の結果を示します。非常に明らかに、動作はステップの大きさとは無関係になっています。もちろん、消費電力を削減するためにより高い抵抗を用いることができます。この場合、帰還コンデンサの値を減らすことができます。

図 135. $1\text{k}\Omega:1\text{k}\Omega$ のゲイン抵抗と 270pF の帰還コンデンサを用いた反転ステップ応答

非反転の場合は、この出力動作は、入力駆動のスルー・レートを下げることや、 $\text{IN}+$ ピンの前に小さな RC を加えることで緩和できます。図 136 では、ランプ・レートを $80\text{V}/\mu\text{s}$ に下げ、ADA4620 の前に 330Ω 、 330pF の RC を配置しています。

アプリケーション情報

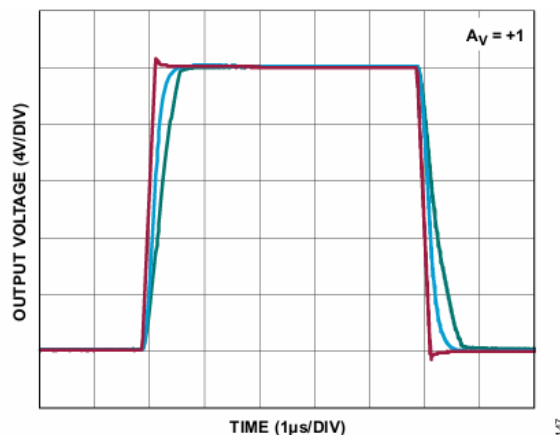


図 136. $A_v = +1$ で ADA4620 に 20V のステップを入力。赤色は $80\text{V}/\mu\text{s}$ の入力パルス、青は +IN ピンに 330Ω 、 330pF の RC を接続した後、緑は良好な動作を示す出力

推奨される電源ソリューション

アナログ・デバイスでは、ほとんどの高性能シグナル・チェーンの要件を満たす広範なパワー・マネージメント製品を提供しています。両電源アプリケーションでは、ADA4620 が $\pm 18\text{V}$ もの高電圧を必要とする場合もあります。正電源には LT3042、負電源には LT3093 などの低ドロップアウト (LDO) リニア・レギュレータを用いると、高周波数での PSRR を向上させ、低ノイズの電源レールを生成するのに役立ちます。更に、負電源が入手できない場合は、ADP5070 が正電源から負電源を生成できます。ADA4620 用に推奨されるパワー・マネージメント・デバイスの一覧を表 9 に示します。

表 9. 推奨されるパワー・マネージメント・デバイス

Product	Description
ADP5070	DC-to-DC switching regulator with independent positive and negative outputs
LT3032	Dual 150 mA positive/negative low noise LDO linear regulator
LT3093	-20 V, 200 mA, ultralow noise, ultrahigh PSRR negative linear regulator
LT3042	20 V, 200 mA, ultralow noise, ultrahigh PSRR RF linear regulator

ADA4620 の各電源ピンとグラウンドの近くに $0.1\mu\text{F}$ の低 ESR バイパス・コンデンサを用いて、電源からの誤差の混入を減らすことを推奨します。電源ノイズが大きい場合、 $0.1\mu\text{F}$ のコンデンサと並列に $10\mu\text{F}$ のコンデンサを追加すると性能を改善できます。

レイアウトのガイドライン

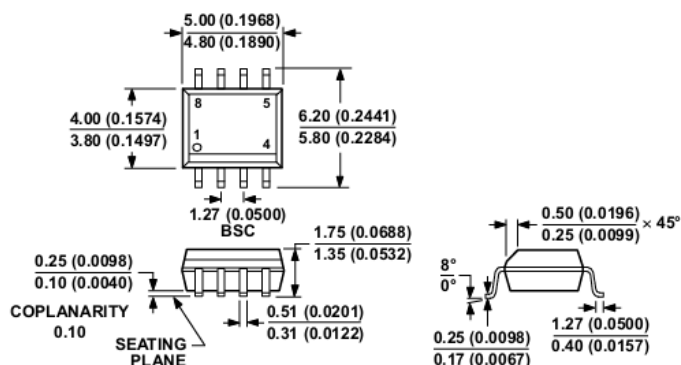
ADA4620 は極めて高いインピーダンスの入力を備えています。PCB レイアウト内のリーク抵抗と寄生容量によるシャント・インピーダンスは、高インピーダンス・ソースがある場合に低バイアス入力時の性能を著しく低下させる可能性があります。ガード手法を用いて入力ノードに生じる電圧勾配を低減することで、寄生リーク電流を防いでください。物理的には、ガードは高インピーダンス・ノードを囲む低インピーダンスの導体で、そのノードの電圧に駆動されます。これは、影響を受けやすいノードから低インピーダンスのガードにリークを迂回させることで、リークをバッファする役目を果たします。ガード・パターンからハンダ・マスクを除去し、金属を露出状態にします。それによって、不安定な表面電荷をその金属にシャントし、これらの電荷が移動して影響を受けやすいノードに達することのないようにできます。ガード手法の詳細については、高精度オペアンプのレイアウトを参照してください。

アプリケーション情報

アプリケーション回路によっては、ADA4620-1（シングル）または ADA4620-2（デュアル）のどちらか一方を使った方がレイアウトしやすい場合があります。例えば、非反転アプリケーションの場合、デュアルではコーナーの 5 番ピンに+IN があるため、隣接する-IN によって容易に保護できます。高インピーダンス・アプリケーションが反転の場合は、シングルでは 2 番ピンに-IN があり、「内部接続なし」の 1 番ピンと等電位の 3 番ピン（+IN）に隣接しています。配線パターンの寄生成分の相互作用を回避するために、ADA4620 の入力の近くには入力抵抗を配置します。

使用しないチャンネルがある場合、+IN ピンはチャンネルの直線性範囲内の電圧に接続し、他のチャンネルと干渉する可能性のあるオーバードライブ条件を回避します。また、-IN ピンへの接続を除き出力は無接続のままにします。ADA4620 の近くには 0.1 μ F などのデカップリング・コンデンサを配置してください。10 μ F といった、より大きなコンデンサをオペアンプから離れた場所で用いても構いません。

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-012-AA
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

012407-A

図 137. 8 ピン標準 SOP (スモール・アウトライン・パッケージ) [SOIC_N]
 ナロー・ボディ (R-8)
 寸法単位 : mm (括弧内はインチ)

オーダー・ガイド

表 10. オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADA4620-1ARZ	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	Tube, 98	R-8
ADA4620-1ARZ-R7	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	Reel, 1000	R-8
ADA4620-1ARZ-RL	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	Reel, 2500	R-8
EVAL-ADA4620-1ARZ		Evaluation Board		
ADA4620-2ARZ	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	Tube, 98	R-8
ADA4620-2ARZ-R7	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	Reel, 1000	R-8
ADA4620-2ARZ-RL	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	Reel, 2500	R-8
EVAL-ADA4620-2ARZ		Evaluation Board		

¹ Z = RoHS 適合製品。

ここに含まれるすべての情報は現状のまま提供されるものであり、アナログ・デバイセズはそれに関するいかなる種類の保証または表明も行いません。アナログ・デバイセズ社は、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。仕様は予告なく変更される場合があります。明示か黙示かを問わず、アナログ・デバイセズ製品またはサービスが使用される組み合わせ、機械、またはプロセスに関するアナログ・デバイセズの特許権、著作権、マスクワーク権、またはその他のアナログ・デバイセズの知的財産権に基づくライセンスは付与されません。商標および登録商標は、各社の所有に属します。ここに記載されているすべてのアナログ・デバイセズ製品は、出荷および在庫状況に依存します。



©2024 Analog Devices, Inc. All rights reserved.

本社 / 〒105-6891 東京都港区東新橋 1-9-1 東京汐留ビルディング 23F

大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F

名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F

Rev. 0 | 49 / 49