



55 V 電源、EMI 強化 ゼロ・ドリフト、超低ノイズ レール TO レール出力オペアンプ

データシート ADA4522-1/ADA4522-2/ADA4522-4

特長

- 低オフセット電圧: 最大 5 μV
- きわめて低いオフセット電圧ドリフト: 最大 22 $\text{nV}/^\circ\text{C}$
- 低電圧ノイズ密度: 5.8 $\text{nV}/\sqrt{\text{Hz}}$ (代表値)
0.1 Hz ~ 10 Hz で 117 nV p-p (代表値)
- 低入力バイアス電流: 50 pA (代表値)
- ユニティゲイン・クロスオーバー: 3 MHz (代表値)
- 単電源動作: 入力電圧範囲にグラウンドとレール to レール出力を含む
- 広い動作電圧範囲
単電源動作: 4.5 V ~ 55 V
両電源動作: $\pm 2.25 \text{ V} \sim \pm 27.5 \text{ V}$
- EMI フィルタを内蔵
- ユニティ・ゲインで安定動作

アプリケーション

- インダクタンス、容量、抵抗 (LCR) 計/絶縁抵抗計のフロント・エンド・アンプ
- ロード・セルおよびブリッジの変換器
- 磁気バランス計
- 高精度シャント電流検出
- 熱電対/測温抵抗体 (RTD) センサー
- プログラマブル・ロジック・コントローラ (PLC) 入出力アンプ

概要

ADA4522-1/ADA4522-2/ADA4522-4 は、シングル/デュアル/クワッド・チャンネルの低ノイズ、低消費電力、グラウンド・センシング入力、レール to レール出力を備えたゼロ・ドリフト・オペアンプです。これらのデバイスは時間、温度、電圧の各条件に対して総合精度が最適化されており、広い動作電圧範囲、広い動作温度範囲、高いオープンループ・ゲイン、非常に小さい DC 誤差/AC 誤差という特長を持つため、微小入力信号の増幅から、より大きな信号の高精度な再生まで多様なアプリケーションに適しています。

ADA4522-1/ADA4522-2/ADA4522-4 の性能は 5.0 V、30 V、55 V の電源電圧で仕様規定されており、4.5 V ~ 55 V の範囲で動作します。これらのデバイスは 5 V、10 V、12 V、30 V またはそれ以上の単電源を使うアプリケーションや、 $\pm 2.5 \text{ V}$ 、 $\pm 5 \text{ V}$ 、 $\pm 15 \text{ V}$ の両電源を使うアプリケーションに最適です。ADA4522-1/ADA4522-2/ADA4522-4 は、内蔵のフィルタを使用して電磁干渉 (EMI) に対する高い耐性を実現しています。

ADA4522-1/ADA4522-2/ADA4522-4 は $-40^\circ\text{C} \sim +125^\circ\text{C}$ の拡張工業用温度範囲で仕様規定され、8 ピン MSOP、8 ピン SOIC、14 ピン SOIC または 14 ピン TSSOP パッケージを採用しています。

ピン接続図

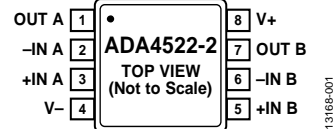


図 1.8 ピン MSOP (RM サフィックス) および 8 ピン SOIC (R サフィックス) のピン配置

ADA4522-1 および ADA4522-4 のピン接続と、ピン接続に関する詳細については、ピン配置およびピン機能の説明のセクションを参照してください。

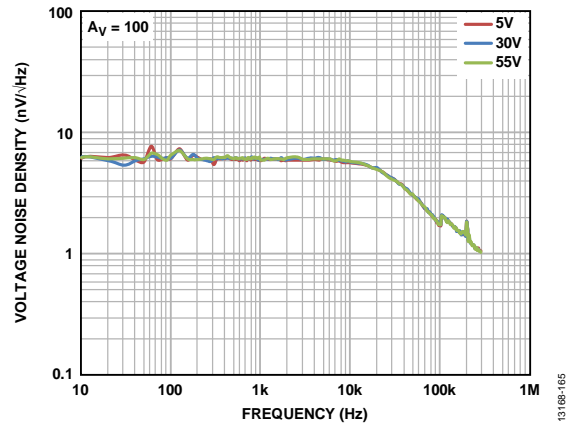


図 2. 電圧ノイズ密度の周波数特性、 $V_{\text{SY}} = \pm 15 \text{ V}$

表 1. ゼロ・ドリフト・オペアンプ (0.1 $\mu\text{V}/^\circ\text{C}$ 未満)

Supply Voltage	5 V	16 V	30 V	55 V
Single	ADA4528-1 AD8628 AD8538 ADA4051-1	AD8638	ADA4638-1	ADA4522-1
Dual	ADA4528-2 AD8629 AD8539 ADA4051-2	AD8639		ADA4522-2
Quad	AD8630			ADA4522-4

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長	1	入力保護	22
アプリケーション	1	単電源とレール to レール出力	23
概要	1	大信号過渡応答	23
ピン接続図	1	ノイズに関する考慮事項	24
改訂履歴	2	EMI 除去比	25
仕様	3	容量性負荷に対する安定性	25
電気的特性 — 5.0 V 動作時	3	アプリケーション情報	27
電気的特性 — 30 V 動作時	4	単電源計装アンプ	27
電気的特性 — 55 V 動作時	5	ADA4522-2 を使用したロード・セル/ストレイン・ゲージ・ センサーのシグナル・コンディショニング	27
絶対最大定格	7	高精度ローサイド・電流シャント・センサー	28
熱抵抗	7	プリント回路基板のレイアウト	28
ESD に関する注意事項	7	コンパレータ動作	29
ピン配置およびピン機能の説明	8	外形寸法	30
代表的な性能特性	10	オーダー・ガイド	32
動作原理	21		
内蔵入力 EMI フィルタとクランプ回路	22		
サーマル・シャットダウン	22		

改訂履歴

10/2016—Rev. D to Rev. E		10/2015—Rev. 0 to Rev. A	
Changes to Figure 73	23	Added ADA4522-4	Universal
4/2016—Rev. C to Rev. D		Changes to General Description Section	1
Changed ADA4522-4 Pin 4 to V+	Throughout	Change to Common-Mode Rejection Ratio Parameter, Table 2	3
Changed ADA4522-4 Pin 11 to V-	Throughout	Change to Offset Voltage Drift Parameter, Table 3	4
Changes to Figure 5 and Table 9	9	Change to Offset Voltage Drift Parameter and Input Offset Current Parameter, Table 4	5
2/2016—Rev. B to Rev. C		Changes to Table 6	7
Added ADA4522-1	Universal	Added Figure 4 and Table 8; Renumbered Sequentially	8
Changes to Common-Mode Rejection Ratio Parameter and Supply Current per Amplifier Parameter, Table 2	3	Changes to Figure 34	13
Changes to Offset Voltage Drift Parameter, and Supply Current per Amplifier Parameter, Table 3	4	Changes to Figure 67	19
Changes to Offset Voltage Drift Parameter, Input Offset Current Parameter, and Supply Current per Amplifier Parameter, Table 4	5	Changes to Applications Information Section	20
Added Figure 3 and Table 7; Renumbered Sequentially	8	Changes to Thermal Shutdown Section	21
Moved Theory of Operation Section	21	Changes to Single-Supply Instrumentation Amplifier Section	25
Changes to Figure 71	21	Changes to Precision Low-Side Current Shunt Sensor Section	27
Changes to Figure 72	22	Changes to Printed Circuit Board Layout Section	28
Changes to Ordering Guide	32	Added Figure 89 and Figure 90; Outline Dimensions	30
		Changes to Ordering Guide	30
1/2016—Rev. A to Rev. B		5/2015—Revision 0: Initial Version	
Updated Outline Dimensions	29		

仕様

電気的特性 — 5.0 V 動作時

特に指定のない限り、 $V_{SY} = 5.0\text{ V}$ 、 $V_{CM} = V_{SY}/2\text{ V}$ 、 $T_A = 25\text{ }^\circ\text{C}$ 。

表 2.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	V_{OS}	$V_{CM} = V_{SY}/2$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		0.7	5	μV
Offset Voltage Drift	TCV_{OS}			2.5	15	$\text{nV}/^\circ\text{C}$
Input Bias Current	I_B	$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		50	150	pA
Input Offset Current	I_{OS}	$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		80	250	pA
Input Voltage Range	IVR		0		3.5	V
Common-Mode Rejection Ratio	CMRR	ADA4522-1, ADA4522-2, $V_{CM} = 0\text{ V to }3.5\text{ V}$ ADA4522-4, $V_{CM} = 0\text{ V to }3.5\text{ V}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	135	155		dB
Large Signal Voltage Gain	A_V	$R_L = 10\text{ k}\Omega$, $V_{OUT} = 0.5\text{ V to }4.5\text{ V}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	130	145		dB
Input Resistance						
Differential Mode	R_{INDM}			30		$\text{k}\Omega$
Common Mode	R_{INCM}			100		$\text{G}\Omega$
Input Capacitance						
Differential Mode	C_{INDM}			7		pF
Common Mode	C_{INCM}			35		pF
OUTPUT CHARACTERISTICS						
Output Voltage						
High	V_{OH}	$R_L = 10\text{ k}\Omega$ to $V_{SY}/2$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	4.97	4.98		V
Low	V_{OL}	$R_L = 10\text{ k}\Omega$ to $V_{SY}/2$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	4.95	20	30	V
Continuous Output Current	I_{OUT}	Dropout voltage = 1 V		14		mA
Short-Circuit Current Source	I_{SC+}	$T_A = 125^\circ\text{C}$		22		mA
Short-Circuit Current Sink	I_{SC-}	$T_A = 125^\circ\text{C}$		15		mA
Closed-Loop Output Impedance	Z_{OUT}	$f = 1\text{ MHz}$, $A_V = 1$		29		mA
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_{SY} = 4.5\text{ V to }55\text{ V}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	150	160		dB
Supply Current per Amplifier	I_{SY}	ADA4522-2, ADA4522-4, $I_{OUT} = 0\text{ mA}$ ADA4522-2, ADA4522-4, $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ ADA4522-1, $I_{OUT} = 0\text{ mA}$ ADA4522-1, $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	145	830	900	μA
					950	μA
				840	910	μA
					970	μA
DYNAMIC PERFORMANCE						
Slew Rate	SR+	$R_L = 10\text{ k}\Omega$, $C_L = 50\text{ pF}$, $A_V = 1$		1.4		$\text{V}/\mu\text{s}$
	SR-	$R_L = 10\text{ k}\Omega$, $C_L = 50\text{ pF}$, $A_V = 1$		1.3		$\text{V}/\mu\text{s}$

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
Gain Bandwidth Product	GBP	$V_{IN} = 10 \text{ mV p-p}$, $R_L = 10 \text{ k}\Omega$, $C_L = 50 \text{ pF}$, $A_V = 100$		2.7		MHz
Unity-Gain Crossover	UGC	$V_{IN} = 10 \text{ mV p-p}$, $R_L = 10 \text{ k}\Omega$, $C_L = 50 \text{ pF}$, $A_V = 1$		3		MHz
-3 dB Closed-Loop Bandwidth	$f_{-3 \text{ dB}}$	$V_{IN} = 10 \text{ mV p-p}$, $R_L = 10 \text{ k}\Omega$, $C_L = 50 \text{ pF}$, $A_V = 1$		6.5		MHz
Phase Margin	Φ_M	$V_{IN} = 10 \text{ mV p-p}$, $R_L = 10 \text{ k}\Omega$, $C_L = 50 \text{ pF}$, $A_V = 1$		64		Degrees
Settling Time to 0.1%	t_s	$V_{IN} = 1 \text{ V step}$, $R_L = 10 \text{ k}\Omega$, $C_L = 50 \text{ pF}$, $A_V = 1$		4		μs
Channel Separation	CS	$V_{IN} = 1 \text{ V p-p}$, $f = 10 \text{ kHz}$, $R_L = 10 \text{ k}\Omega$, $C_L = 50 \text{ pF}$		98		dB
EMI Rejection Ratio of +IN/+IN x	EMIRR	$V_{IN} = 100 \text{ mV peak}$, $f = 400 \text{ MHz}$		72		dB
		$V_{IN} = 100 \text{ mV peak}$, $f = 900 \text{ MHz}$		80		dB
		$V_{IN} = 100 \text{ mV peak}$, $f = 1800 \text{ MHz}$		83		dB
		$V_{IN} = 100 \text{ mV peak}$, $f = 2400 \text{ MHz}$		85		dB
NOISE PERFORMANCE						
Total Harmonic Distortion Plus Noise	THD + N	$A_V = 1$, $f = 1 \text{ kHz}$, $V_{IN} = 0.6 \text{ V rms}$				
Bandwidth (BW) = 80 kHz				0.001		%
Bandwidth (BW) = 500 kHz				0.02		%
Peak-to-Peak Voltage Noise	$e_{N \text{ p-p}}$	$A_V = 100$, $f = 0.1 \text{ Hz to } 10 \text{ Hz}$		117		nV p-p
Voltage Noise Density	e_N	$A_V = 100$, $f = 1 \text{ kHz}$		5.8		nV/ $\sqrt{\text{Hz}}$
Peak-to-Peak Current Noise	$i_{N \text{ p-p}}$	$A_V = 100$, $f = 0.1 \text{ Hz to } 10 \text{ Hz}$		16		pA p-p
Current Noise Density	i_N	$A_V = 100$, $f = 1 \text{ kHz}$		0.8		pA/ $\sqrt{\text{Hz}}$

電气的特性 —30 V 動作時

特に指定のない限り、 $V_{SY} = 30 \text{ V}$ 、 $V_{CM} = V_{SY}/2 \text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	V_{OS}	$V_{CM} = V_{SY}/2$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		1	5	μV
Offset Voltage Drift	TCV_{OS}	ADA4522-1, ADA4522-2 ADA4522-4		4	22	nV/ $^\circ\text{C}$
				5.3	25	nV/ $^\circ\text{C}$
Input Bias Current	I_B	$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		50	150	pA
					500	pA
Input Offset Current	I_{OS}	$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		80	300	pA
					400	pA
Input Voltage Range	IVR	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	0		28.5	V
Common-Mode Rejection Ratio	CMRR	$V_{CM} = 0 \text{ V to } 28.5 \text{ V}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		145	160	dB
				140		dB
Large Signal Voltage Gain	A_V	$R_L = 10 \text{ k}\Omega$, $V_{OUT} = 0.5 \text{ V to } 29.5 \text{ V}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		140	150	dB
				135		dB
Input Resistance						
Differential Mode	R_{INDM}			30		k Ω
Common Mode	R_{INCM}			400		G Ω
Input Capacitance						
Differential Mode	C_{INDM}			7		pF
Common Mode	C_{INCM}			35		pF
OUTPUT CHARACTERISTICS						
Output Voltage						
High	V_{OH}	$R_L = 10 \text{ k}\Omega$ to $V_{SY}/2$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	29.87	29.89		V
			29.80			V
Low	V_{OL}	$R_L = 10 \text{ k}\Omega$ to $V_{SY}/2$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		110	130	mV
					200	mV
Continuous Output Current	I_{OUT}	Dropout voltage = 1 V		14		mA

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
Short-Circuit Current Source	I_{SC+}	$T_A = 125^\circ\text{C}$		21		mA
Short-Circuit Current Sink	I_{SC-}	$T_A = 125^\circ\text{C}$		15		mA
Closed-Loop Output Impedance	Z_{OUT}	$f = 1\text{ MHz}, A_V = 1$		33		mA
				22		mA
				4		Ω
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_{SY} = 4.5\text{ V to }55\text{ V}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	150	160		dB
Supply Current per Amplifier	I_{SY}	ADA4522-2, ADA4522-4, $I_{OUT} = 0\text{ mA}$ ADA4522-2, ADA4522-4, $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ ADA4522-1, $I_{OUT} = 0\text{ mA}$ ADA4522-1, $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	145	830	900	μA
					950	μA
				840	910	μA
					970	μA
DYNAMIC PERFORMANCE						
Slew Rate	SR+	$R_L = 10\text{ k}\Omega, C_L = 50\text{ pF}, A_V = 1$		1.8		$\text{V}/\mu\text{s}$
	SR-	$R_L = 10\text{ k}\Omega, C_L = 50\text{ pF}, A_V = 1$		0.9		$\text{V}/\mu\text{s}$
Gain Bandwidth Product	GBP	$V_{IN} = 10\text{ mV p-p}, R_L = 10\text{ k}\Omega, C_L = 50\text{ pF}, A_V = 100$		2.7		MHz
Unity-Gain Crossover	UGC	$V_{IN} = 10\text{ mV p-p}, R_L = 10\text{ k}\Omega, C_L = 50\text{ pF}, A_V = 1$		3		MHz
-3 dB Closed-Loop Bandwidth	$f_{-3\text{dB}}$	$V_{IN} = 10\text{ mV p-p}, R_L = 10\text{ k}\Omega, C_L = 50\text{ pF}, A_V = 1$		6.5		MHz
Phase Margin	Φ_M	$V_{IN} = 10\text{ mV p-p}, R_L = 10\text{ k}\Omega, C_L = 50\text{ pF}, A_V = 1$		64		Degrees
Settling Time to 0.1%	t_S	$V_{IN} = 10\text{ V step}, R_L = 10\text{ k}\Omega, C_L = 50\text{ pF}, A_V = 1$		12		μs
Settling Time to 0.01%	t_S	$V_{IN} = 10\text{ V step}, R_L = 10\text{ k}\Omega, C_L = 50\text{ pF}, A_V = 1$		14		μs
Channel Separation	CS	$V_{IN} = 10\text{ V p-p}, f = 10\text{ kHz}, R_L = 10\text{ k}\Omega, C_L = 50\text{ pF}$		98		dB
EMI Rejection Ratio of +IN/+IN x	EMIRR	$V_{IN} = 100\text{ mV peak}, f = 400\text{ MHz}$ $V_{IN} = 100\text{ mV peak}, f = 900\text{ MHz}$ $V_{IN} = 100\text{ mV peak}, f = 1800\text{ MHz}$ $V_{IN} = 100\text{ mV peak}, f = 2400\text{ MHz}$		72		dB
				80		dB
				83		dB
				85		dB
NOISE PERFORMANCE						
Total Harmonic Distortion Plus Noise	THD + N	$A_V = 1, f = 1\text{ kHz}, V_{IN} = 6\text{ V rms}$				
BW = 80 kHz				0.0005		%
BW = 500 kHz				0.004		%
Peak-to-Peak Voltage Noise	$e_{N\text{ p-p}}$	$A_V = 100, f = 0.1\text{ Hz to }10\text{ Hz}$		117		nV p-p
Voltage Noise Density	e_N	$A_V = 100, f = 1\text{ kHz}$		5.8		nV/ $\sqrt{\text{Hz}}$
Peak-to-Peak Current Noise	$i_{N\text{ p-p}}$	$A_V = 100, f = 0.1\text{ Hz to }10\text{ Hz}$		16		pA p-p
Current Noise Density	i_N	$A_V = 100, f = 1\text{ kHz}$		0.8		pA/ $\sqrt{\text{Hz}}$

電气的特性 —55 V 動作時

特に指定のない限り、 $V_{SY} = 55\text{ V}$ 、 $V_{CM} = V_{SY}/2\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

表 4.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	V_{OS}	$V_{CM} = V_{SY}/2$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		1.5	7	μV
Offset Voltage Drift	TCV_{OS}	ADA4522-1, ADA4522-2 ADA4522-4		6	30	nV/ $^\circ\text{C}$
Input Bias Current	I_B	$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$ $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		9	40	nV/ $^\circ\text{C}$
				50	150	pA
					500	pA
Input Offset Current	I_{OS}	$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$ ADA4522-1, ADA4522-2, $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ ADA4522-4, $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		80	300	pA
					400	pA
					500	pA
					550	pA

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
Input Voltage Range	IVR		0		53.5	V
Common-Mode Rejection Ratio	CMRR	$V_{CM} = 0\text{ V to } 53.5\text{ V}$ $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$	140	144		dB
Large Signal Voltage Gain	A_V	$R_L = 10\text{ k}\Omega$, $V_{OUT} = 0.5\text{ V to } 54.5\text{ V}$ $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$	135	137		dB
Input Resistance						
Differential Mode	R_{INDM}			30		k Ω
Common Mode	R_{INCM}			1000		G Ω
Input Capacitance						
Differential Mode	C_{INDM}			7		pF
Common Mode	C_{INCM}			35		pF
OUTPUT CHARACTERISTICS						
Output Voltage						
High	V_{OH}	$R_L = 10\text{ k}\Omega$ to $V_{SY}/2$ $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$	54.75	54.8		V
Low	V_{OL}	$R_L = 10\text{ k}\Omega$ to $V_{SY}/2$ $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$	54.65	200	250	V
Continuous Output Current	I_{OUT}	Dropout voltage = 1 V		14		mA
Short-Circuit Current Source	I_{SC+}	$T_A = 125^{\circ}\text{C}$		21		mA
Short-Circuit Current Sink	I_{SC-}	$T_A = 125^{\circ}\text{C}$		15		mA
Closed-Loop Output Impedance	Z_{OUT}	$f = 1\text{ MHz}$, $A_V = 1$		22		mA
				4		Ω
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_{SY} = 4.5\text{ V to } 55\text{ V}$ $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$	150	160		dB
Supply Current per Amplifier	I_{SY}	ADA4522-2, ADA4522-4, $I_{OUT} = 0\text{ mA}$ ADA4522-2, ADA4522-4, $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ ADA4522-1, $I_{OUT} = 0\text{ mA}$ ADA4522-1, $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$	145	830	900	dB
					950	μA
				840	910	μA
					970	μA
DYNAMIC PERFORMANCE						
Slew Rate	SR+	$R_L = 10\text{ k}\Omega$, $C_L = 50\text{ pF}$, $A_V = 1$		1.7		V/ μs
	SR-	$R_L = 10\text{ k}\Omega$, $C_L = 50\text{ pF}$, $A_V = 1$		0.8		V/ μs
Gain Bandwidth Product	GBP	$V_{IN} = 10\text{ mV p-p}$, $R_L = 10\text{ k}\Omega$, $C_L = 50\text{ pF}$, $A_V = 100$		2.7		MHz
Unity-Gain Crossover	UGC	$V_{IN} = 10\text{ mV p-p}$, $R_L = 10\text{ k}\Omega$, $C_L = 50\text{ pF}$, $A_V = 1$		3		MHz
-3 dB Closed-Loop Bandwidth	$f_{-3\text{ dB}}$	$V_{IN} = 10\text{ mV p-p}$, $R_L = 10\text{ k}\Omega$, $C_L = 50\text{ pF}$, $A_V = 1$		6.5		MHz
Phase Margin	Φ_M	$V_{IN} = 10\text{ mV p-p}$, $R_L = 10\text{ k}\Omega$, $C_L = 50\text{ pF}$, $A_V = 1$		64		Degrees
Settling Time to 0.1%	t_s	$V_{IN} = 10\text{ V step}$, $R_L = 10\text{ k}\Omega$, $C_L = 50\text{ pF}$, $A_V = 1$		12		μs
Settling Time to 0.01%	t_s	$V_{IN} = 10\text{ V step}$, $R_L = 10\text{ k}\Omega$, $C_L = 50\text{ pF}$, $A_V = 1$		14		μs
Channel Separation	CS	$V_{IN} = 10\text{ V p-p}$, $f = 10\text{ kHz}$, $R_L = 10\text{ k}\Omega$, $C_L = 50\text{ pF}$		98		dB
EMI Rejection Ratio of +IN/+IN x	EMIRR	$V_{IN} = 100\text{ mV peak}$, $f = 400\text{ MHz}$ $V_{IN} = 100\text{ mV peak}$, $f = 900\text{ MHz}$ $V_{IN} = 100\text{ mV peak}$, $f = 1800\text{ MHz}$ $V_{IN} = 100\text{ mV peak}$, $f = 2400\text{ MHz}$		72		dB
				80		dB
				83		dB
				85		dB
NOISE PERFORMANCE						
Total Harmonic Distortion Plus Noise	THD + N	$A_V = 1$, $f = 1\text{ kHz}$, $V_{IN} = 10\text{ V rms}$		0.0007		%
BW = 80 kHz				0.003		%
BW = 500 kHz						
Peak-to-Peak Voltage Noise	$e_{N\text{ p-p}}$	$A_V = 100$, $f = 0.1\text{ Hz to } 10\text{ Hz}$		117		nV p-p
Voltage Noise Density	e_N	$A_V = 100$, $f = 1\text{ kHz}$		5.8		nV/ $\sqrt{\text{Hz}}$
Peak-to-Peak Current Noise	$i_{N\text{ p-p}}$	$A_V = 100$, $f = 0.1\text{ Hz to } 10\text{ Hz}$		16		pA p-p
Current Noise Density	i_N	$A_V = 100$, $f = 1\text{ kHz}$		0.8		pA/ $\sqrt{\text{Hz}}$

絶対最大定格

表 5.

Parameter	Rating
Supply Voltage	60 V
Input Voltage	(V-) - 300 mV to (V+) + 300 mV
Input Current ¹	±10 mA
Differential Input Voltage	±5 V
Output Short-Circuit Duration to Ground	Indefinite
Temperature Range	
Storage	-65°C to +150°C
Operating	-40°C to +125°C
Junction	-65°C to +150°C
Lead Temperature (Soldering, 60 sec)	300°C

¹ 入力ピンには、電源ピンへのクランプ・ダイオードが付いています。入力信号が電源レールを 300 mV 以上超えるときは、入力電流を ±10 mA 以下に制限してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

θ_{JA} は最も厳しい条件、すなわち、標準の 4 層 JEDEC ボードに表面実装パッケージをハンダ付けした状態で仕様規定されています。

表 6. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
8-Lead MSOP (RM-8)	194	38	°C/W
8-Lead SOIC (R-8)	122	41	°C/W
14-Lead TSSOP (RU-14)	112	43	°C/W
14-Lead SOIC (R-14)	115	36	°C/W

ESD に関する注意事項



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



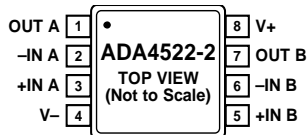
NOTES
1. NIC = NOT INTERNALLY CONNECTED.

131189-101

図 3. ADA4522-1 のピン配置

表 7. ADA4522-1 のピン機能の説明

Pin No.	Mnemonic	Description
1, 5, 8	NIC	Not Internally Connected
2	-IN	Inverting Input
3	+IN	Noninverting Input
4	V-	Negative Supply Voltage
6	OUT	Output
7	V+	Positive Supply Voltage



131189-002

図 4. ADA4522-2 のピン配置

表 8. ADA4522-2 のピン機能の説明

Pin No.	Mnemonic	Description
1	OUT A	Output, Channel A
2	-IN A	Inverting Input, Channel A
3	+IN A	Noninverting Input, Channel A
4	V-	Negative Supply Voltage
5	+IN B	Noninverting Input, Channel B
6	-IN B	Inverting Input, Channel B
7	OUT B	Output, Channel B
8	V+	Positive Supply Voltage

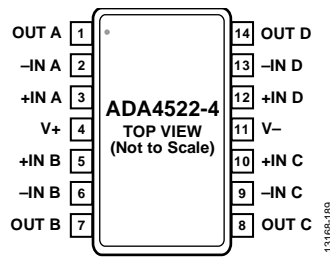


図 5. ADA4522-4 のピン配置

表 9. ADA4522-4 のピン機能の説明

Pin No.	Mnemonic	Description
1	OUT A	Output, Channel A
2	-IN A	Inverting Input, Channel A
3	+IN A	Noninverting Input, Channel A
4	V+	Positive Supply Voltage
5	+IN B	Noninverting Input, Channel B
6	-IN B	Inverting Input, Channel B
7	OUT B	Output, Channel B
8	OUT C	Output, Channel C
9	-IN C	Inverting Input, Channel C
10	+IN C	Noninverting Input, Channel C
11	V-	Negative Supply Voltage
12	+IN D	Noninverting Input, Channel D
13	-IN D	Inverting Input, Channel D
14	OUT D	Output, Channel D

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

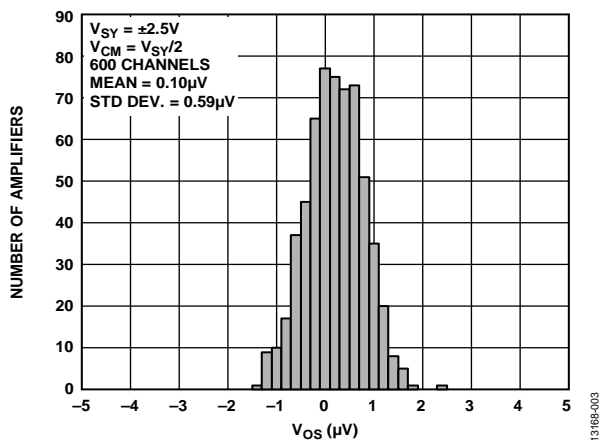


図 6. 入力オフセット電圧の分布、 $V_{SY} = \pm 2.5\text{ V}$

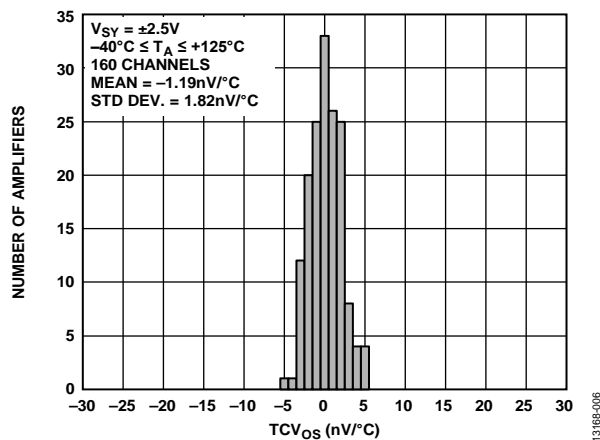


図 9. 入力オフセット電圧ドリフトの分布、 $V_{SY} = \pm 2.5\text{ V}$

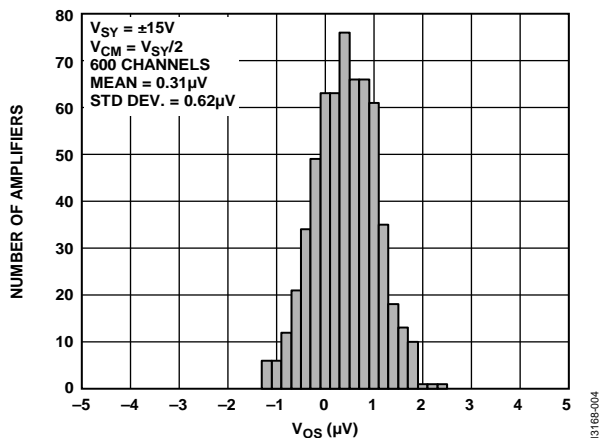


図 7. 入力オフセット電圧の分布、 $V_{SY} = \pm 15\text{ V}$

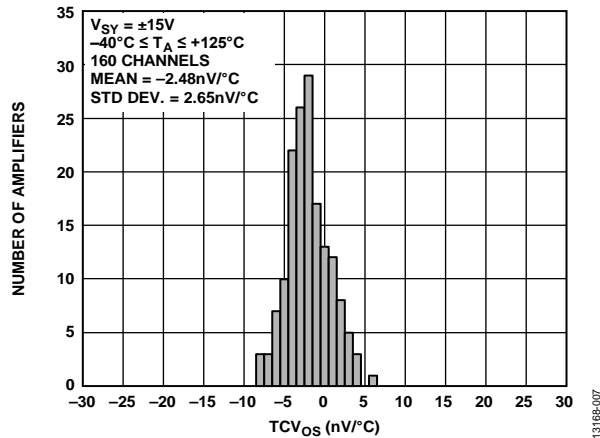


図 10. 入力オフセット電圧ドリフトの分布、 $V_{SY} = \pm 15\text{ V}$

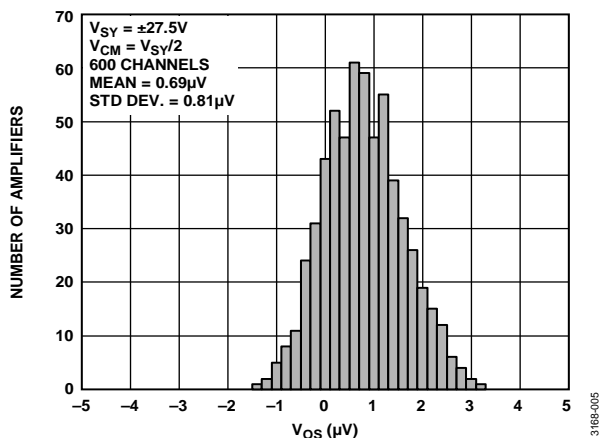


図 8. 入力オフセット電圧の分布、 $V_{SY} = \pm 27.5\text{ V}$

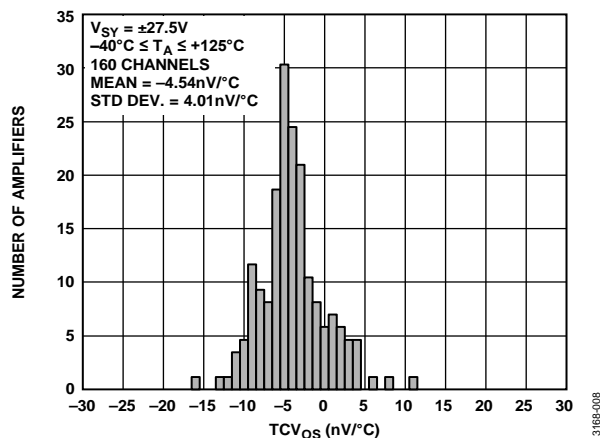


図 11. 入力オフセット電圧ドリフトの分布、 $V_{SY} = \pm 27.5\text{ V}$

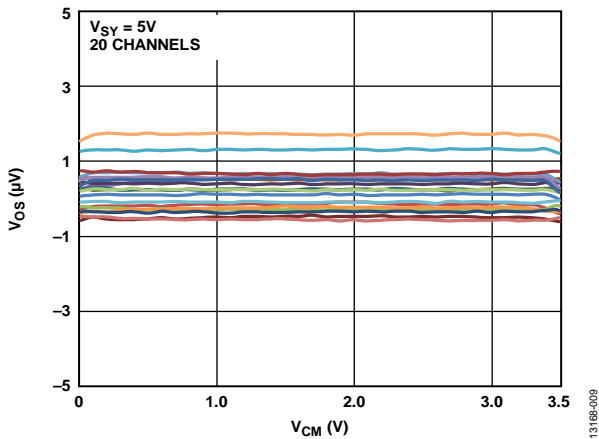


図 12. 入力オフセット電圧 (V_{OS}) とコモンモード電圧 (V_{CM}) の関係、 $V_{SY} = 5\text{ V}$

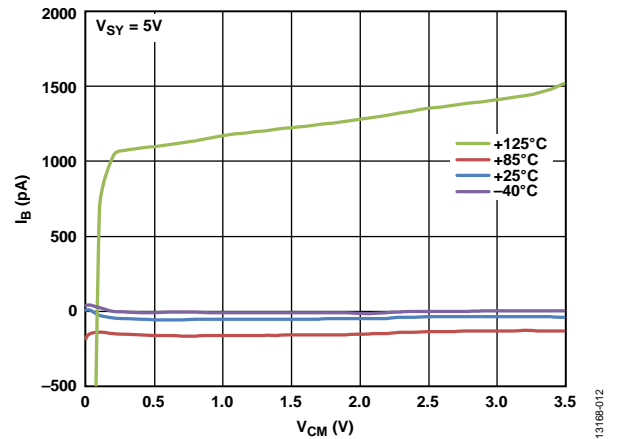


図 15. 入力バイアス電流 (I_B) とコモンモード電圧 (V_{CM}) の関係、 $V_{SY} = 5\text{ V}$

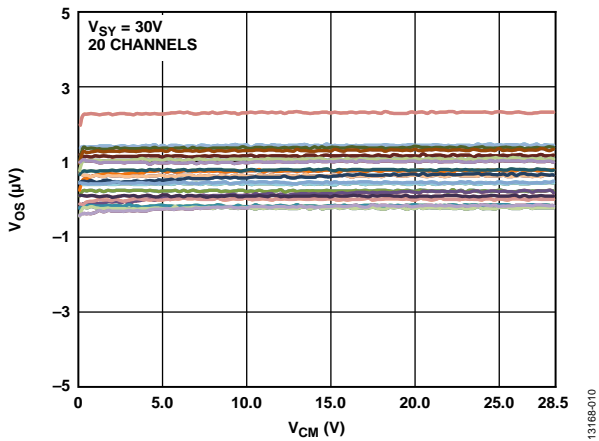


図 13. 入力オフセット電圧 (V_{OS}) とコモンモード電圧 (V_{CM}) の関係、 $V_{SY} = 30\text{ V}$

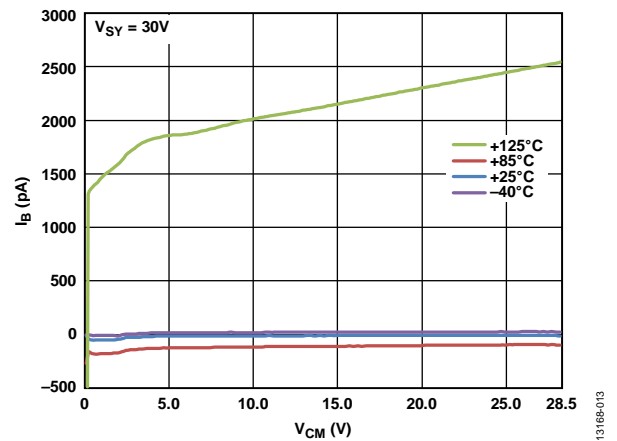


図 16. 入力バイアス電流 (I_B) とコモンモード電圧 (V_{CM}) の関係、 $V_{SY} = 30\text{ V}$

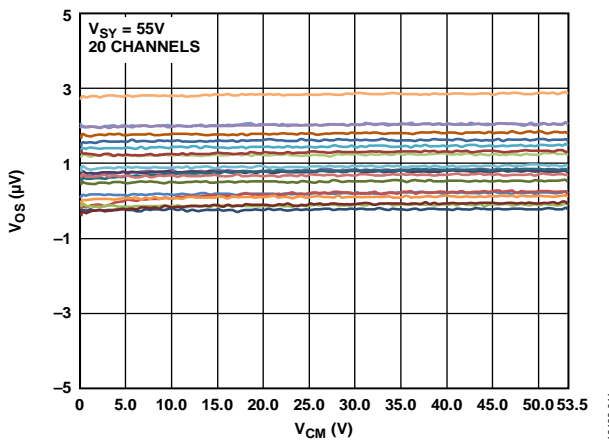


図 14. 入力オフセット電圧 (V_{OS}) とコモンモード電圧 (V_{CM}) の関係、 $V_{SY} = 55\text{ V}$

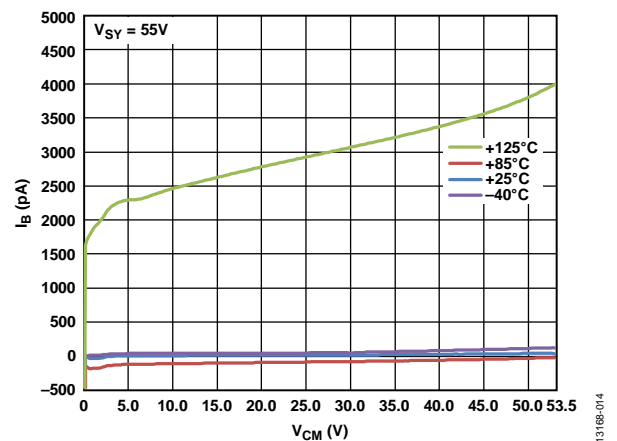


図 17. 入力バイアス電流 (I_B) とコモンモード電圧 (V_{CM}) の関係、 $V_{SY} = 55\text{ V}$

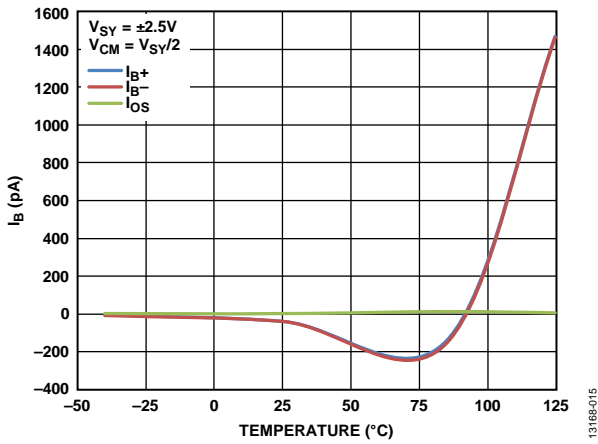


図 18. 入力バイアス電流 (I_B) と温度の関係、 $V_{SY} = \pm 2.5V$

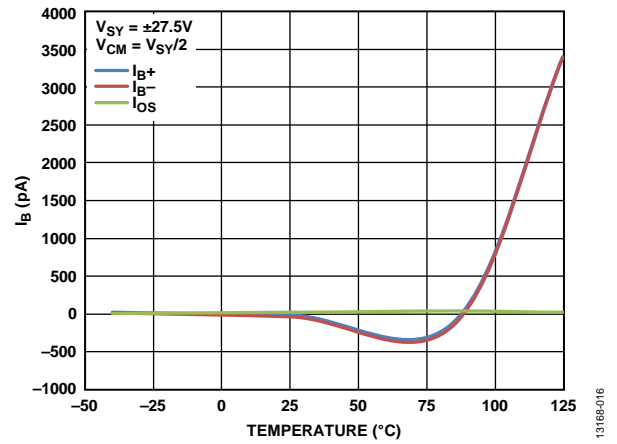


図 21. 入力バイアス電流 (I_B) と温度の関係、 $V_{SY} = \pm 27.5V$

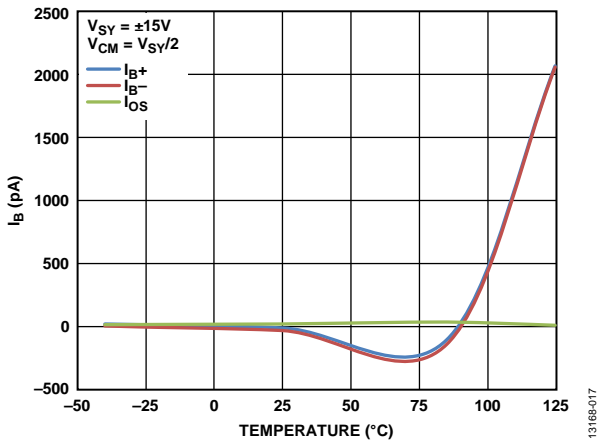


図 19. 入力バイアス電流 (I_B) と温度の関係、 $V_{SY} = \pm 15V$

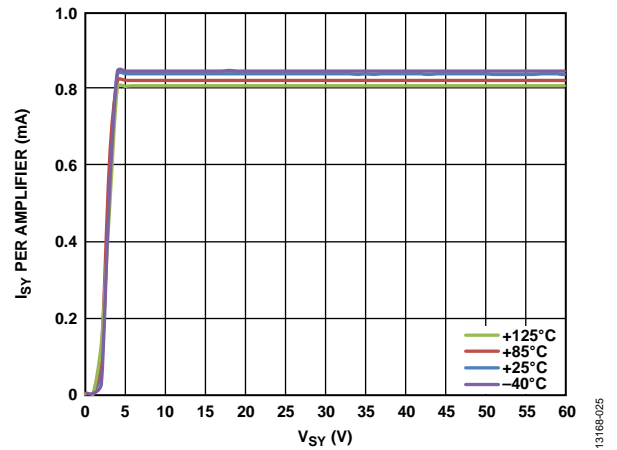


図 22. アンプあたりの電源電流 (I_{SY}) と電源電圧 (V_{SY}) の関係

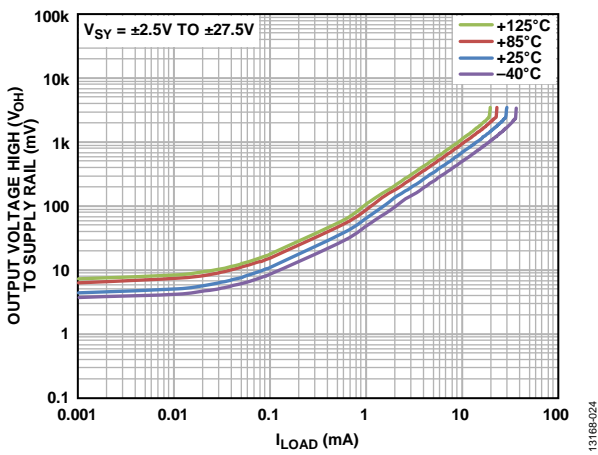


図 20. 電源レールに対する出力電圧ハイ (V_{OH}) と負荷電流 (I_{LOAD}) の関係

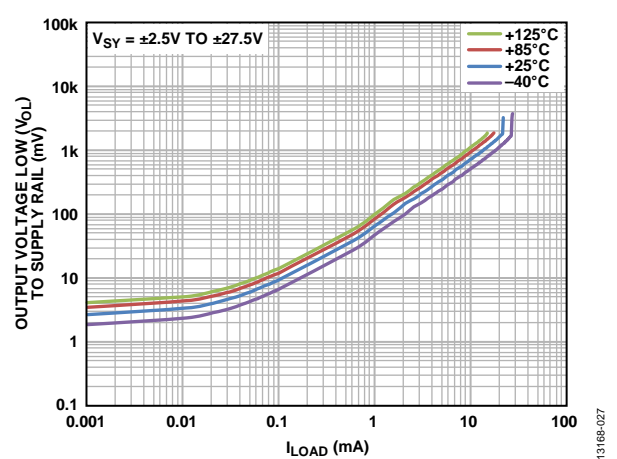


図 23. 電源レールに対する出力電圧ロー (V_{OL}) と負荷電流 (I_{LOAD}) の関係

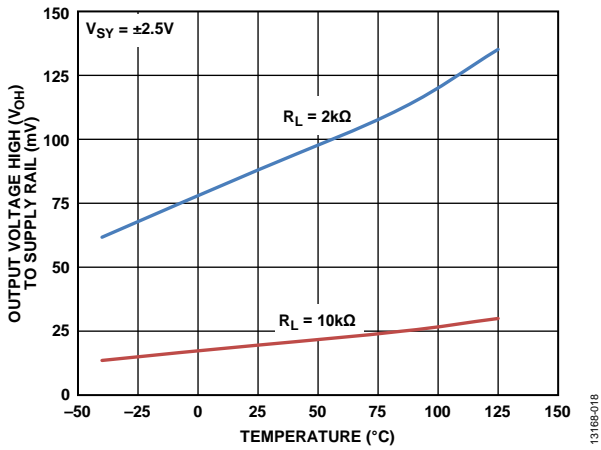


図 24. 電源レールに対する出力電圧ハイ (V_{OH}) と温度の関係、 $V_{SY} = \pm 2.5\text{ V}$

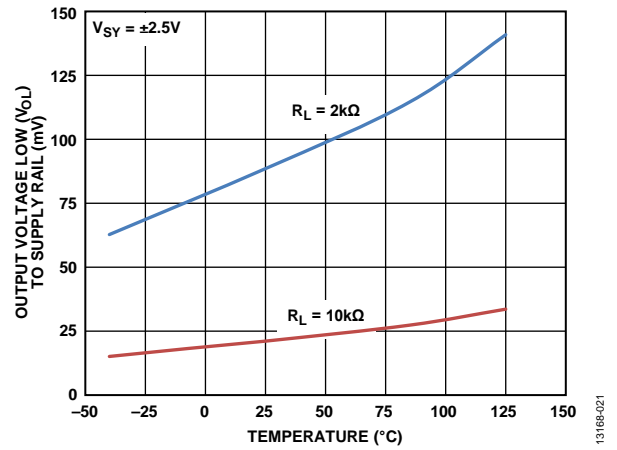


図 27. 電源レールに対する出力電圧ロー (V_{OL}) と温度の関係、 $V_{SY} = \pm 2.5\text{ V}$

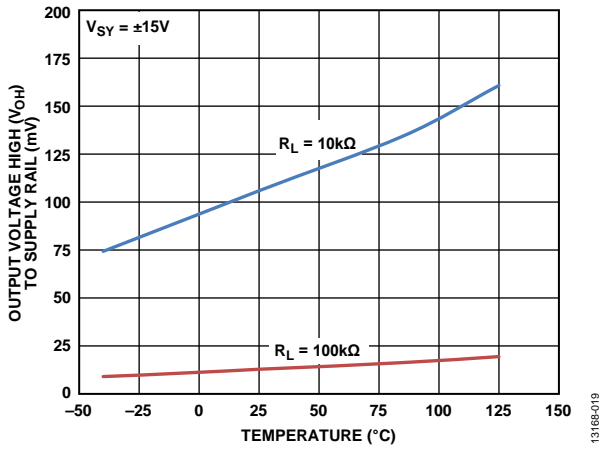


図 25. 電源レールに対する出力電圧ハイ (V_{OH}) と温度の関係、 $V_{SY} = \pm 15\text{ V}$

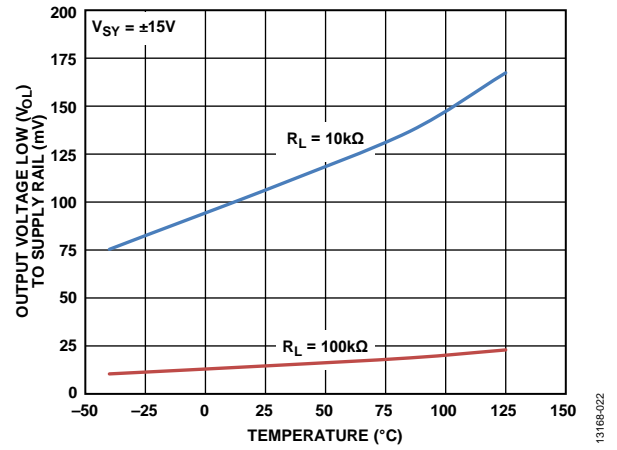


図 28. 電源レールに対する出力電圧ロー (V_{OL}) と温度の関係、 $V_{SY} = \pm 15\text{ V}$

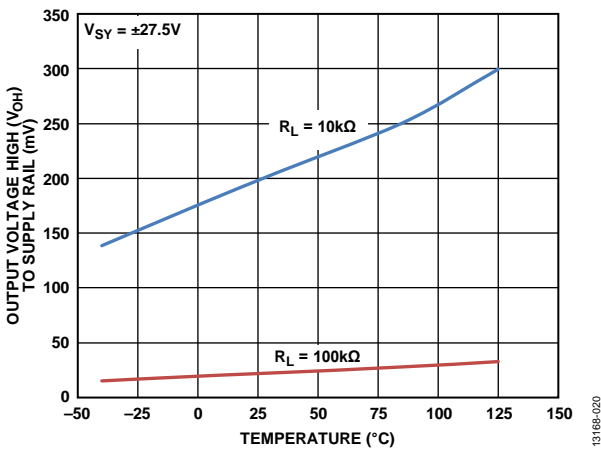


図 26. 電源レールに対する出力電圧ハイ (V_{OH}) と温度の関係、 $V_{SY} = \pm 27.5\text{ V}$

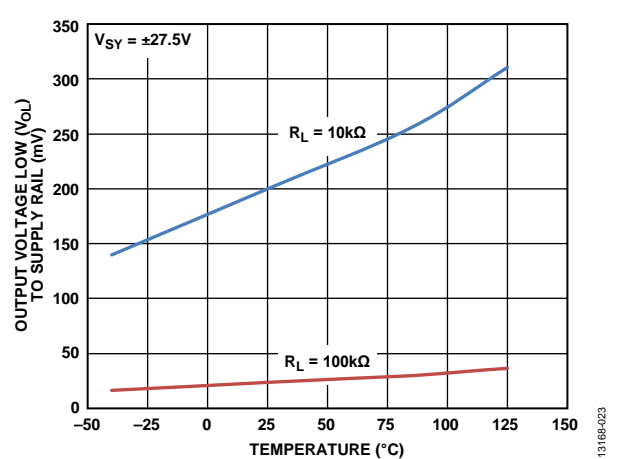


図 29. 電源レールに対する出力電圧ロー (V_{OL}) と温度の関係、 $V_{SY} = \pm 27.5\text{ V}$

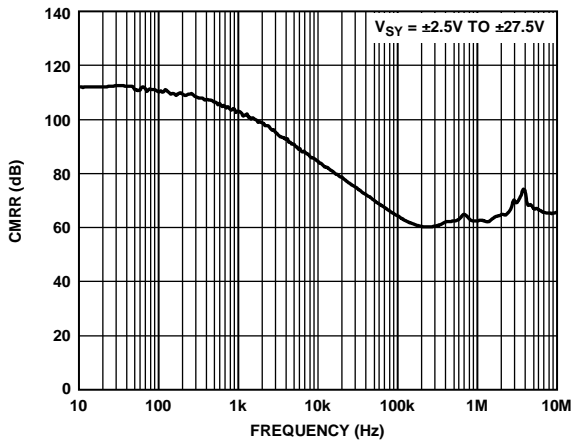


図 30. CMRR の周波数特性

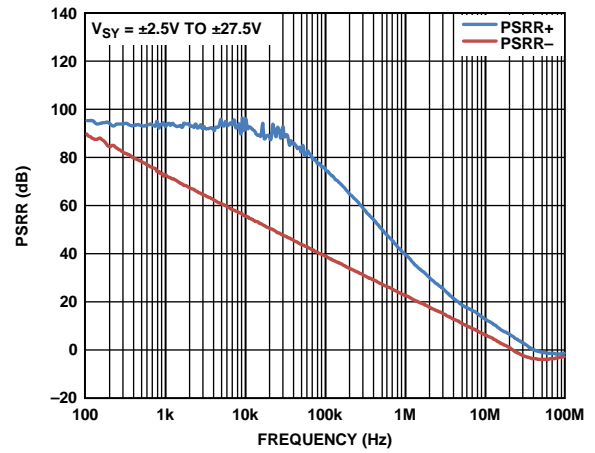


図 33. PSRR の周波数特性

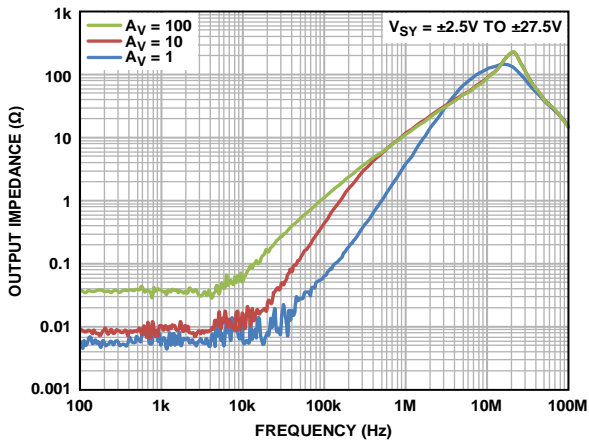


図 31. クローズドループ出力インピーダンスの周波数特性

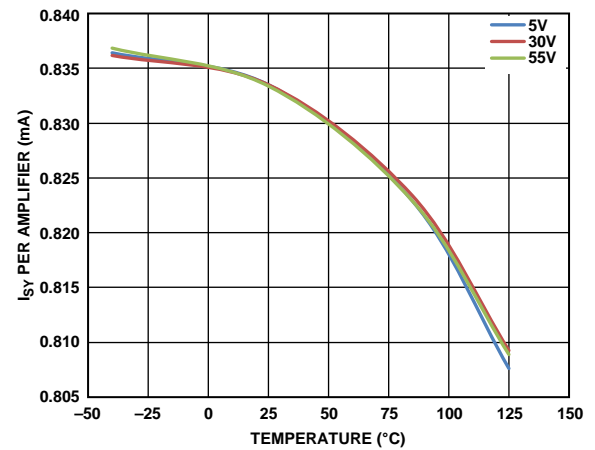


図 34. アンプあたりの電源電流 (ISY) と温度の関係

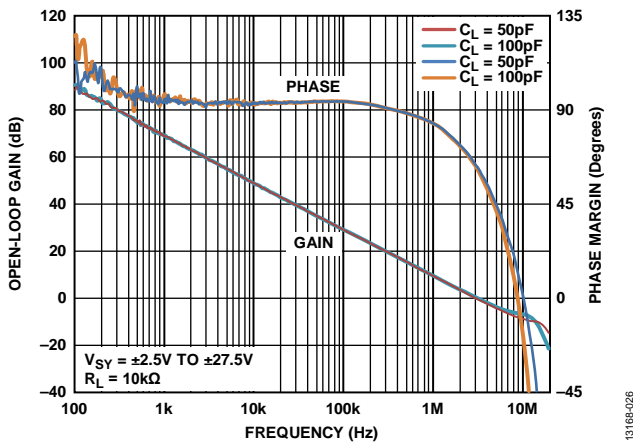


図 32. オープンループ・ゲインと位相マージンの周波数特性

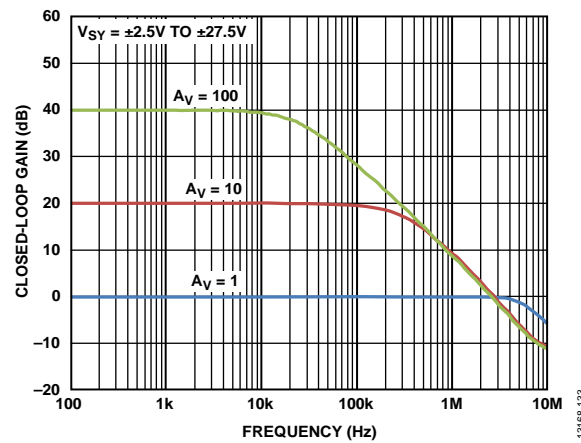


図 35. クローズドループ・ゲインの周波数特性

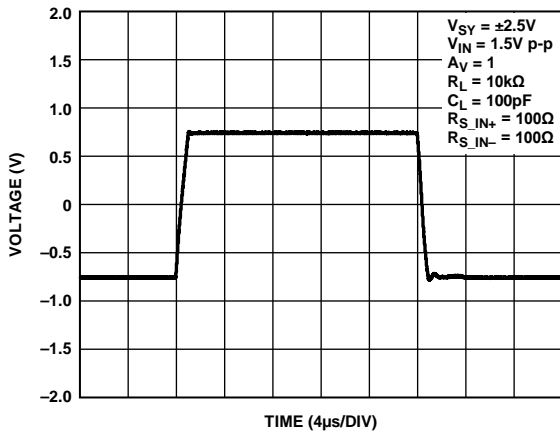


図 36. 大信号過渡応答、 $V_{SY} = \pm 2.5\text{ V}$

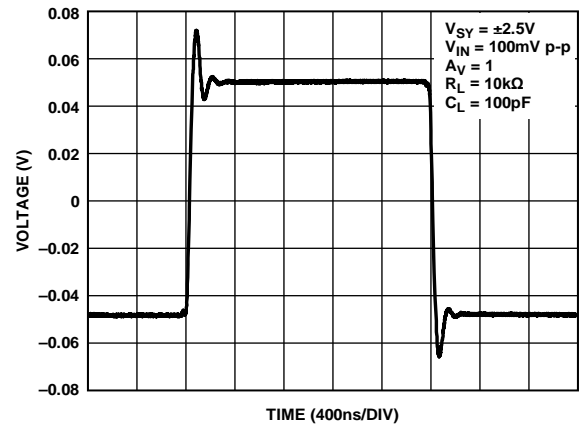


図 39. 小信号過渡応答、 $V_{SY} = \pm 2.5\text{ V}$

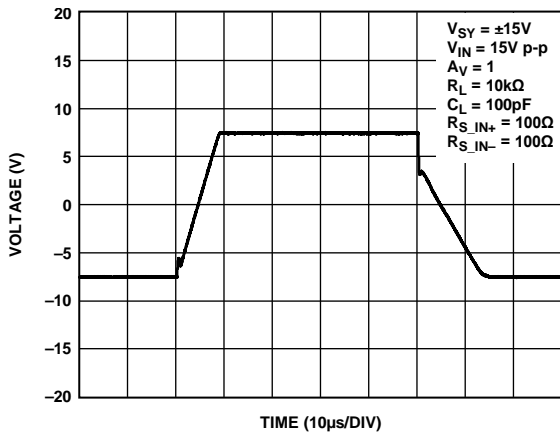


図 37. 大信号過渡応答、 $V_{SY} = \pm 15\text{ V}$

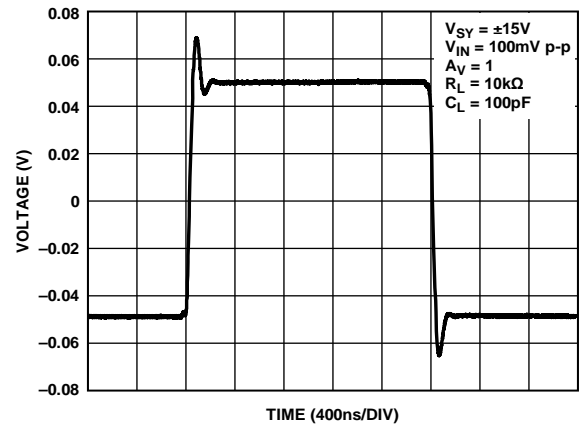


図 40. 小信号過渡応答、 $V_{SY} = \pm 15\text{ V}$

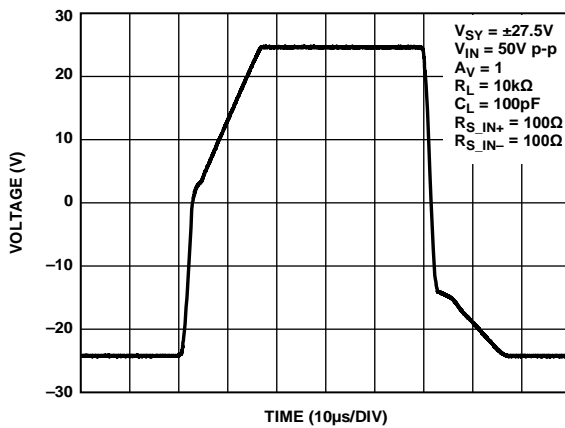


図 38. 大信号過渡応答、 $V_{SY} = \pm 27.5\text{ V}$

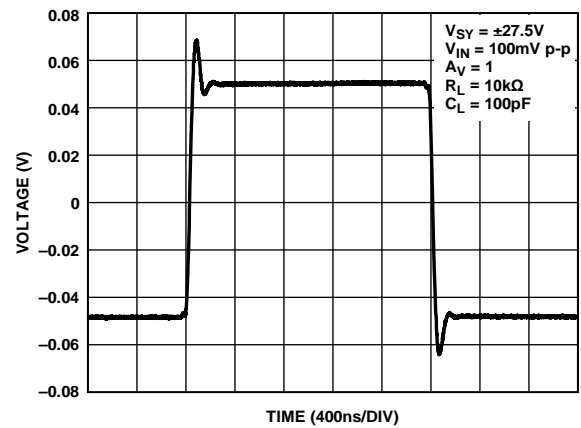


図 41. 小信号過渡応答、 $V_{SY} = \pm 27.5\text{ V}$

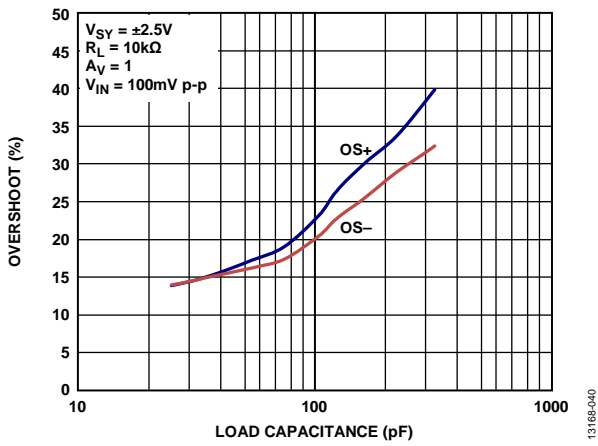


図 42. 小信号オーバーシュートと負荷容量の関係、 $V_{SY} = \pm 2.5V$

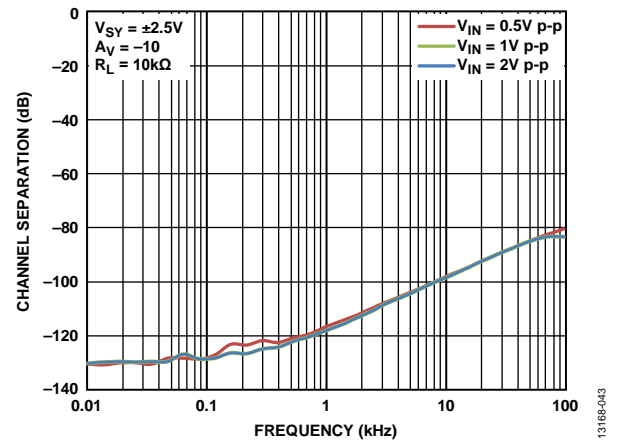


図 45. チャンネル・セパレーションの周波数特性、 $V_{SY} = \pm 2.5V$

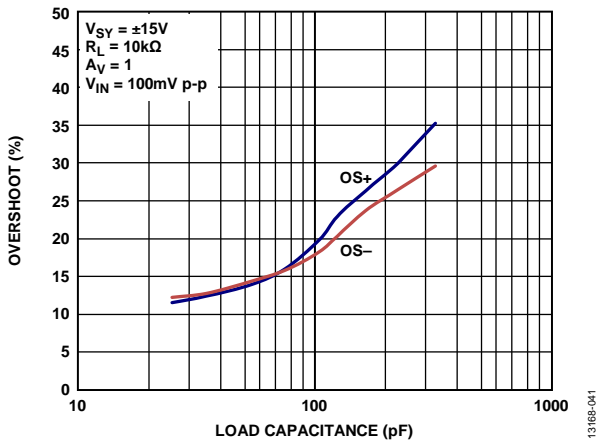


図 43. 小信号オーバーシュートと負荷容量の関係、 $V_{SY} = \pm 15V$

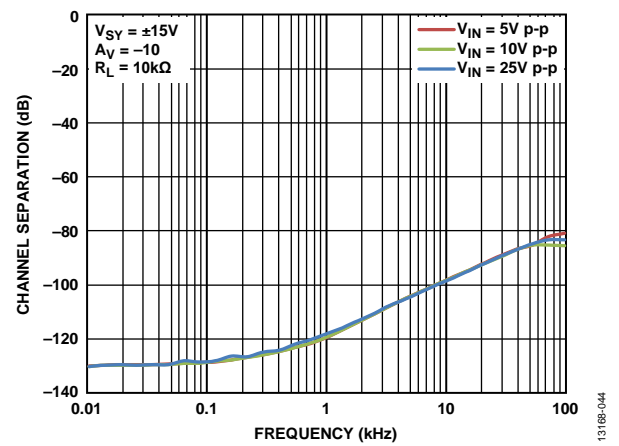


図 46. チャンネル・セパレーションの周波数特性、 $V_{SY} = \pm 15V$

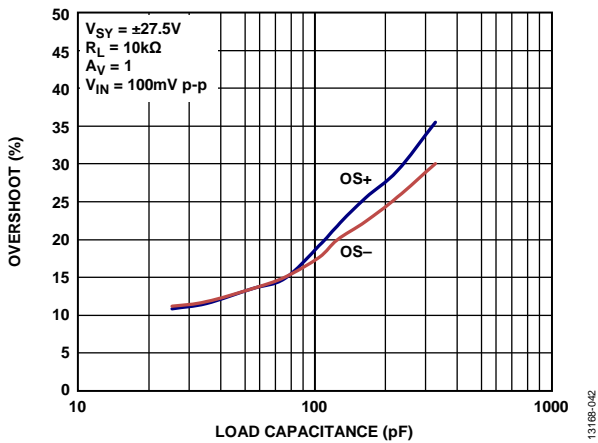


図 44. 小信号オーバーシュートと負荷容量の関係、 $V_{SY} = \pm 27.5V$

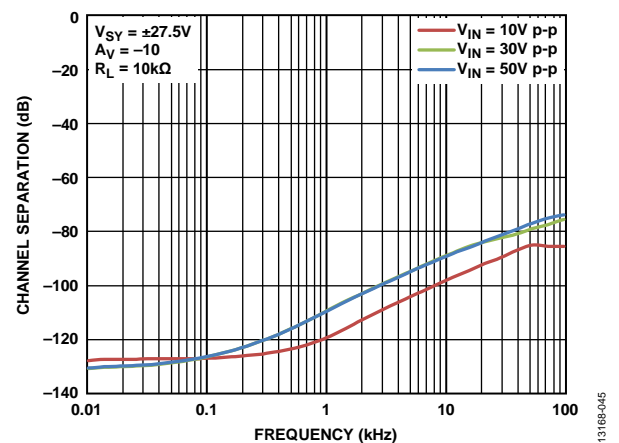


図 47. チャンネル・セパレーションの周波数特性、 $V_{SY} = \pm 27.5V$

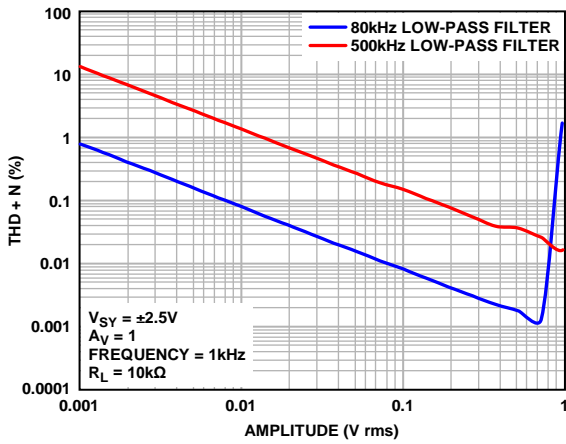


図 48. THD + N と振幅の関係、 $V_{SY} = \pm 2.5\text{ V}$

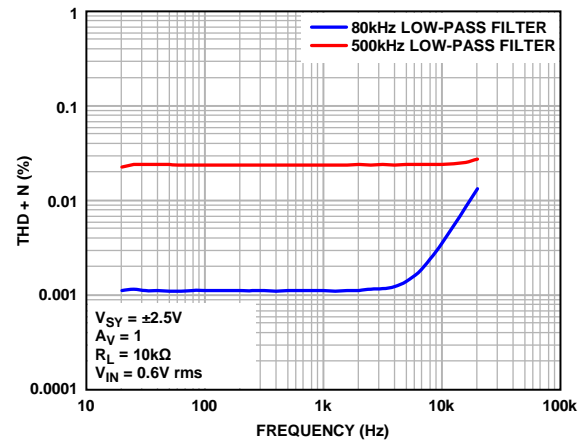


図 51. THD + N の周波数特性、 $V_{SY} = \pm 2.5\text{ V}$

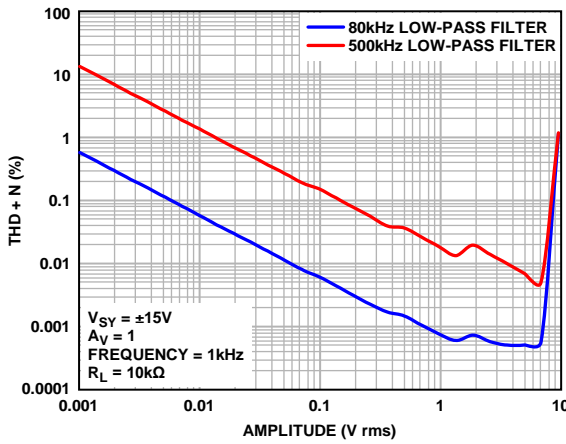


図 49. THD + N と振幅の関係、 $V_{SY} = \pm 15\text{ V}$

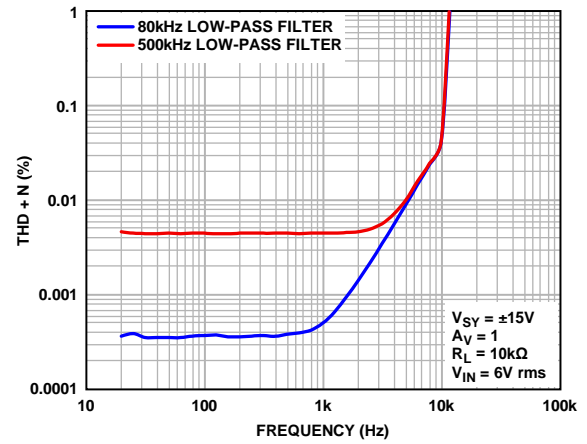


図 52. THD + N の周波数特性、 $V_{SY} = \pm 15\text{ V}$

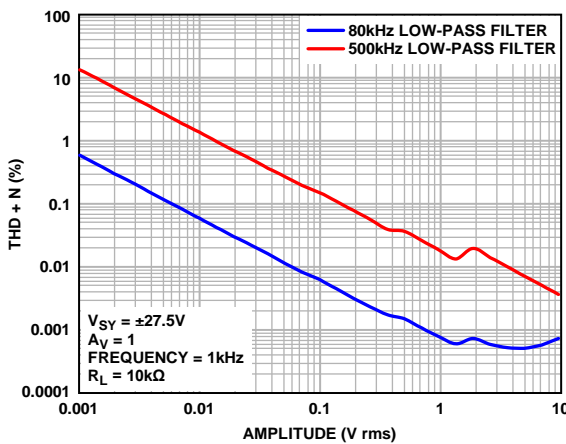


図 50. THD + N と振幅の関係、 $V_{SY} = \pm 27.5\text{ V}$

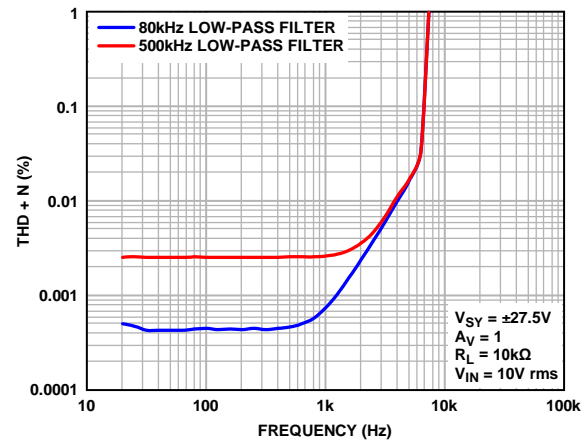


図 53. THD + N の周波数特性、 $V_{SY} = \pm 27.5\text{ V}$

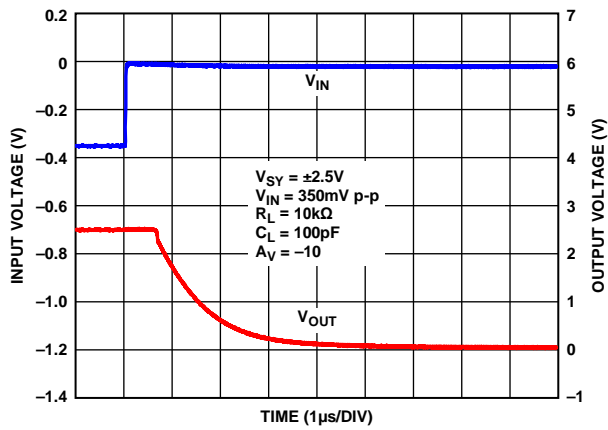


図 54. 正側の過負荷回復、 $V_{SY} = \pm 2.5\text{ V}$

13168-056

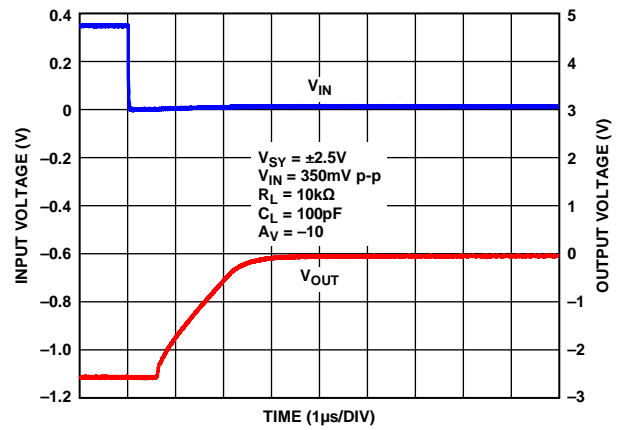


図 57. 負側の過負荷回復、 $V_{SY} = \pm 2.5\text{ V}$

13168-059

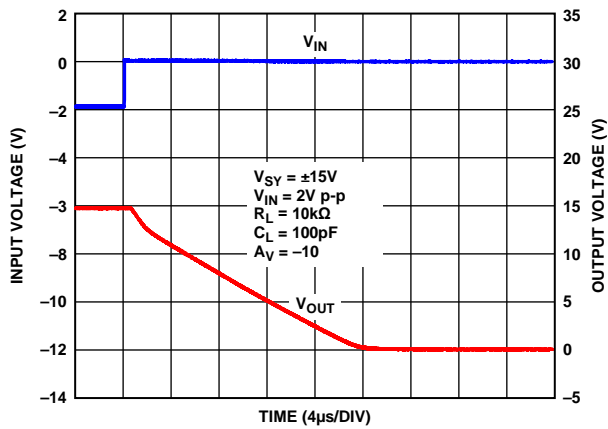


図 55. 正側の過負荷回復、 $V_{SY} = \pm 15\text{ V}$

13168-057

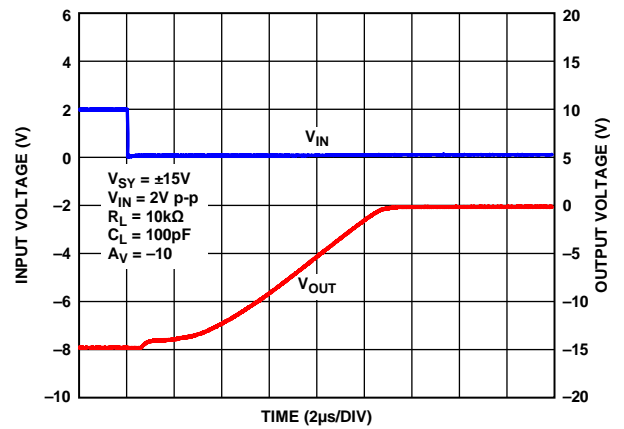


図 58. 負側の過負荷回復、 $V_{SY} = \pm 15\text{ V}$

13168-060

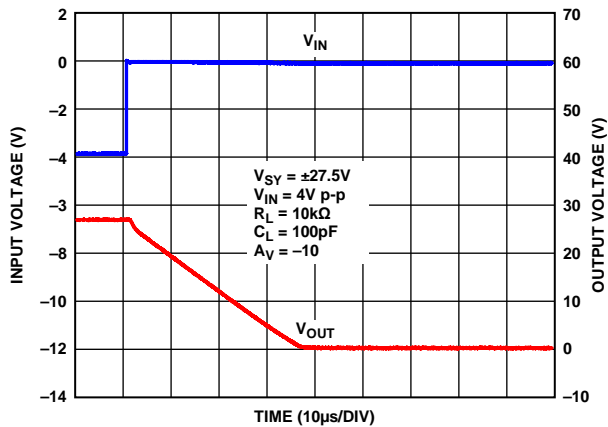


図 56. 正側の過負荷回復、 $V_{SY} = \pm 27.5\text{ V}$

13168-058

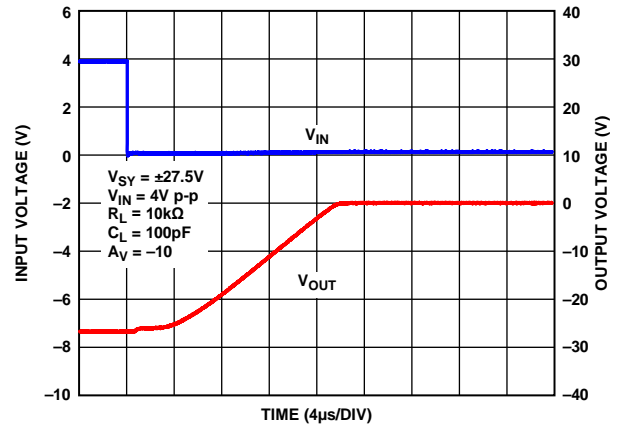


図 59. 負側の過負荷回復、 $V_{SY} = \pm 27.5\text{ V}$

13168-061

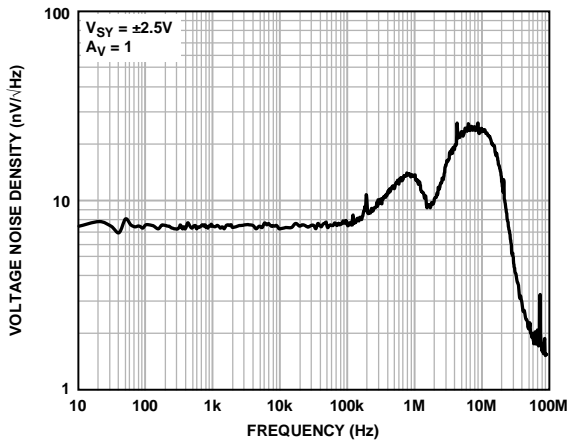


図 60. 電圧ノイズ密度の周波数特性、 $V_{SY} = \pm 2.5\text{ V}$

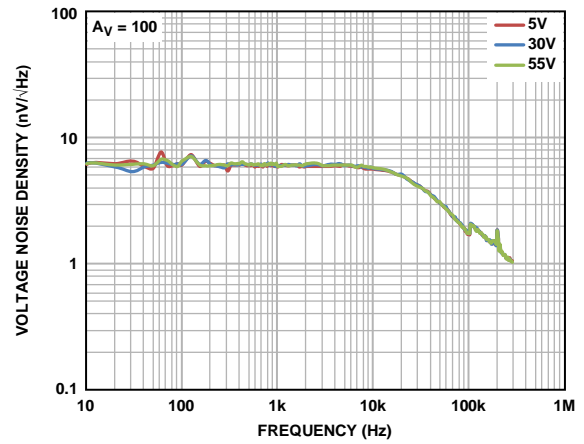


図 63. 電圧ノイズ密度の周波数特性、 $A_V = 100$

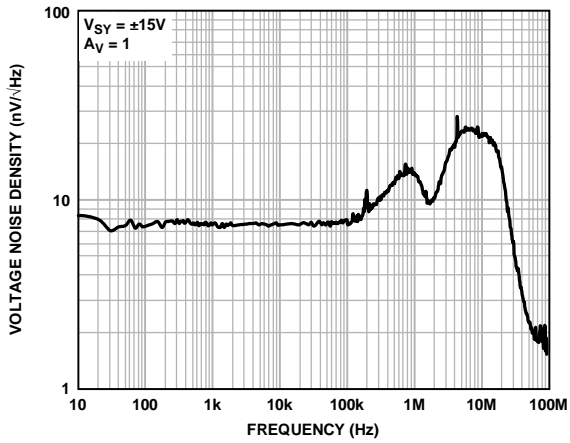


図 61. 電圧ノイズ密度の周波数特性、 $V_{SY} = \pm 15\text{ V}$

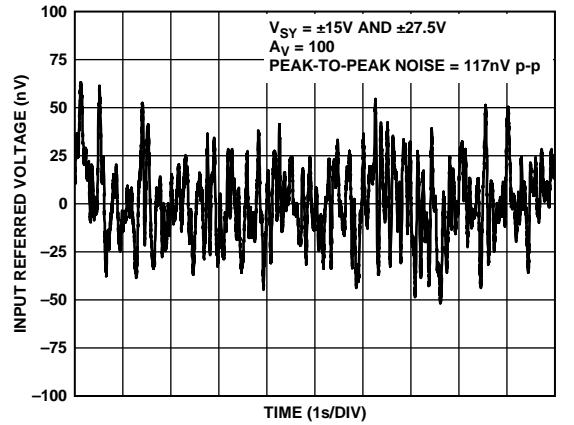


図 64. 0.1 Hz ~ 10 Hz でのノイズ

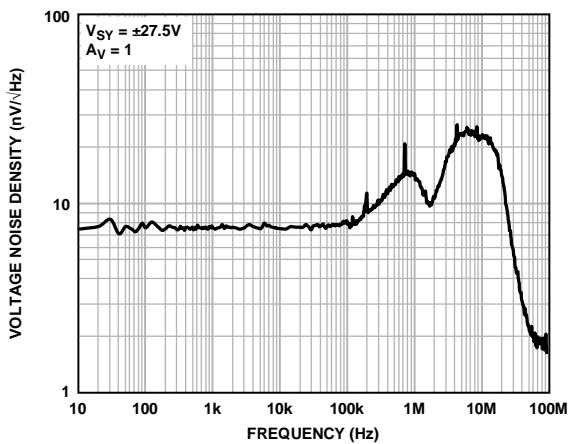


図 62. 電圧ノイズ密度の周波数特性、 $V_{SY} = \pm 27.5\text{ V}$

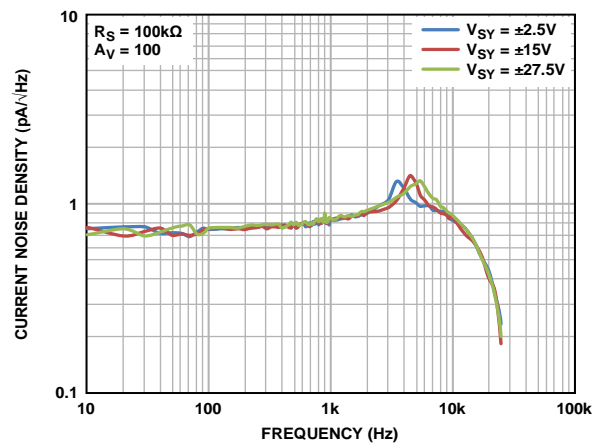


図 65. 電流ノイズ密度の周波数特性

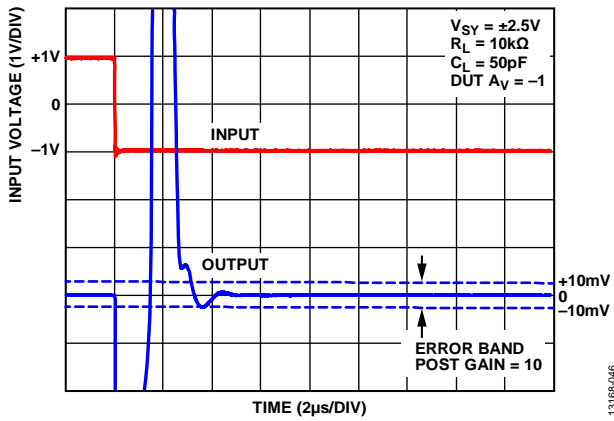


図 66. 0.1% への立下がりセトリング・タイム、 $V_{SY} = \pm 2.5\text{ V}$

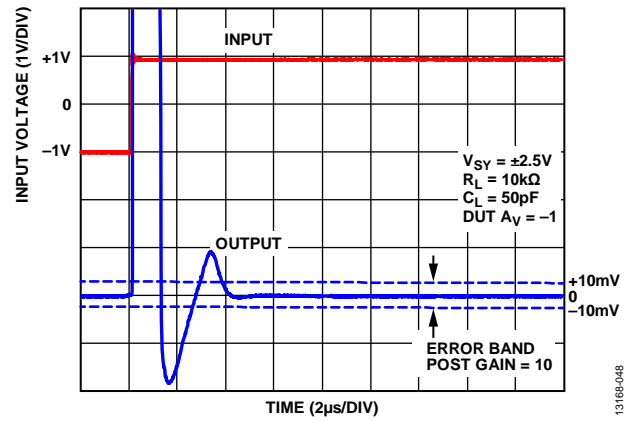


図 69. 0.1% への立上がりセトリング・タイム、 $V_{SY} = \pm 2.5\text{ V}$

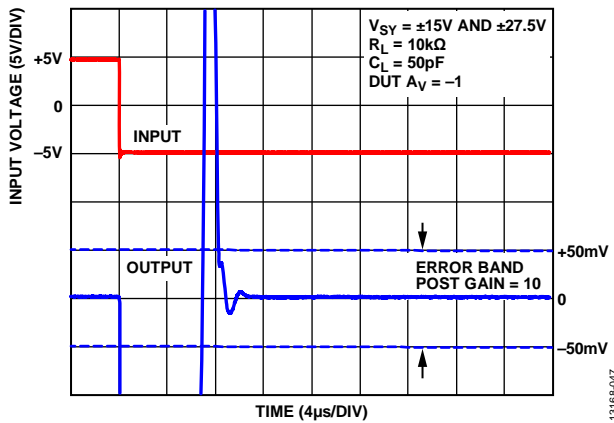


図 67. 0.1% への立下がりセトリング・タイム、 $V_{SY} = \pm 15\text{ V}$ および $\pm 27.5\text{ V}$

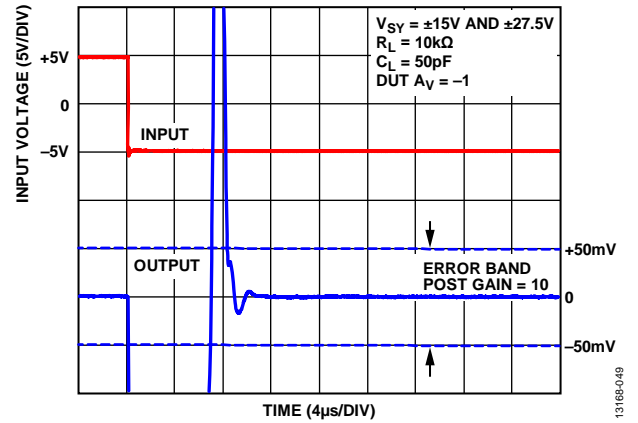


図 70. 0.1% への立上がりセトリング・タイム、 $V_{SY} = \pm 15\text{ V}$ および $\pm 27.5\text{ V}$

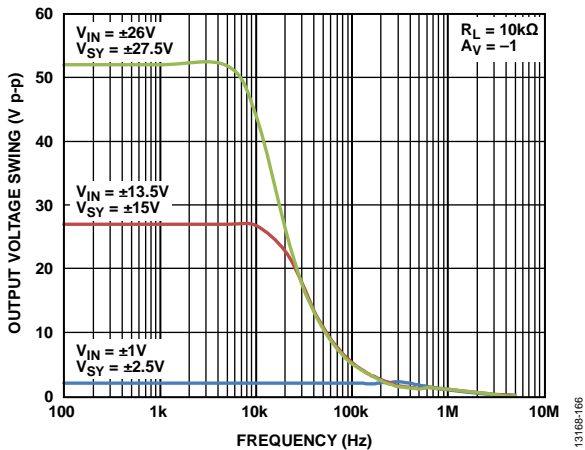


図 68. 出力電圧振幅の周波数特性

動作原理

ADA4522-1/ADA4522-2/ADA4522-4 はそれぞれシングル、デュアル、クワッドの超低ノイズ、高電圧、ゼロ・ドリフト、レール to レール出力オペアンプです。チョッピング技術の特長とするこれらの製品は、 $5\mu\text{V}$ の超低入力オフセット電圧と最大 $22\text{ nV}/^\circ\text{C}$ (ADA4522-1 と ADA4522-2) および最大 $25\text{ nV}/^\circ\text{C}$

(ADA4522-4) の入力オフセット電圧ドリフトを実現しています。コモンモード電圧変化と電源変動から発生するオフセット電圧誤差もチョッピング技術で補正されるため、 160 dB (代表値) の CMRR と 30 V 電源電圧で 160 dB の PSRR という優れた数値が得られています。

ADA4522-1/ADA4522-2/ADA4522-4 は、 $\pm 2.25\text{ V}$ (または 4.5 V) ~ $\pm 27.5\text{ V}$ (または 55 V) の広い動作電圧範囲を持ち、入力電圧範囲に負側電源レールを含む単電源アンプです。電圧ノイズ密度も $5.8\text{ nV}/\sqrt{\text{Hz}}$ ($f=1\text{ kHz}$, $\text{AV}=100$) と低く、 $1/f$ ノイズ成分も低減されています。これらの特性は、高精度アプリケーションでの低レベル信号の増幅に最適です。このようなアプリケーションの例として、重量計、高精度電流検出、高電圧バッファ、温度センサーのシグナル・コンディショニングなどがあります。

図 71 に ADA4522-1/ADA4522-2/ADA4522-4 アーキテクチャのブロック図を示します。このアーキテクチャは、入力 EMI フィルタおよびクランプ回路、3 段のゲイン・ステージ (G_{m1} 、 G_{m2} 、 G_{m3})、入出力チョッピング・ネットワーク (CHOP_{IN} と CHOP_{OUT})、クロック・ジェネレータ、オフセットおよびリップル補正ループ、およびリッジ補正ループ回路、周波数補償コンデンサ (C1、C2、C3)、サーマル・シャットダウン回路から構成されています。

内部回路を静電気放電 (ESD) ストレスと高電圧トランジエントから保護するため、EMI フィルタとクランプ回路が入力フロント・エンドに実装されています。アンプの EMI 除去機能の詳細については、EMI 除去比のセクションで説明します。

CHOP_{IN} と CHOP_{OUT} はクロック・ジェネレータで制御され、 4.8 MHz で動作します。入力ベースバンド信号は、最初に CHOP_{IN} により変調されます。次に、CHOP_{OUT} により入力信号が復調され、入力トランスコンダクタンス・アンプ G_{m1} の mV レベルの入力オフセット電圧と $1/f$ ノイズが 4.8 MHz のチョッピング周波数で変調されます。チョッピング・ネットワークは低周波帯の誤差を除去しますが、代わりに、この・ネットワークによりチョッピング周波数にチョッピング・アーチファクトが発生します。このため、 800 kHz で動作するオフセットおよびリッジ補正ループが使用されています。この周波数はアンプのスイッチング周波数です。この回路がチョッピング・アーチファクトを減少させるため、ADA4522-1/ADA4522-2/ADA4522-4 は高いチョッピング周波数で最小限のアーチファクトを実現しています。

サーマル・シャットダウン回路は、ダイが過熱すると回路をシャットダウンさせます (詳細についてはサーマル・シャットダウンのセクションを参照)。

サーマル・シャットダウン回路は、ダイが過熱すると回路をシャットダウンさせます (詳細についてはサーマル・シャットダウンのセクションを参照)。

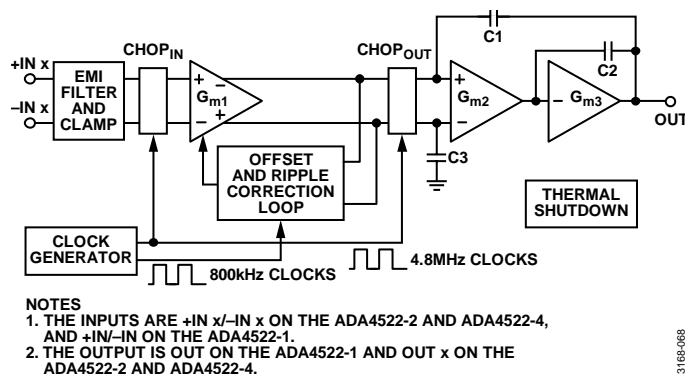


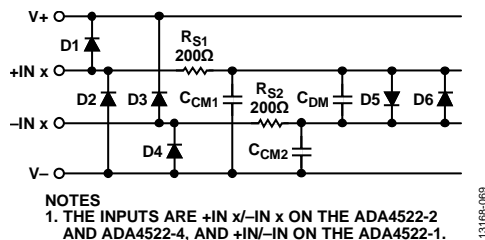
図 71. ADA4522-1/ADA4522-2/ADA4522-4 アーキテクチャのブロック図

内蔵入力 EMI フィルタとクランプ回路

図 72 に入力 EMI フィルタとクランプ回路を示します。ADA4522-1/ADA4522-2/ADA4522-4 は、入力と各電源レールとの間に接続された ESD 保護ダイオード (D1、D2、D3、D4) を内蔵しています。これらのダイオードは、静電気放電から入力トランジスタを保護し、通常動作時は逆方向にバイアスされています。この保護方式により、電源レールより約 300 mV も高い電圧をいずれの端子に入力しても、恒久的な損傷を発生させることはありません。詳細については、絶対最大定格のセクションの表 5 を参照してください。

EMI フィルタは、2 個の 200 Ω 入力直列抵抗 (RS1 と RS2)、2 個のコモンモード・コンデンサ (CCM1 と CCM2)、および差動コンデンサ (CDM) から構成されています。これらの RC 回路により、コモンモード信号に対しては 50 MHz の、差動信号に対しては 33 MHz の -3 dB ローパス・カットオフ周波数がそれぞれ設定されます。高電圧の入力トランジェントから内部回路デバイスを保護するために、EMI フィルタの後ろにバック・ツー・バック・ダイオード (D5 と D6) が追加されています。各ダイオードの順方向オン電圧は約 1 V です。ADA4522-1/ADA4522-2/ADA4522-4 に対する高電圧入力トランジェントの影響については、大信号過渡応答のセクションを参照してください。

絶対最大定格のセクション (表 5 参照) で仕様規定されているように、最大入力差動電圧は ±5 V に制限されています。±5 V を超える電圧が印加されると、±10 mA を超える連続電流がバック・ツー・バック・ダイオードの一方に流れます。この電流により長期的な信頼性が低下して、デバイスに恒久的な損傷を与える可能性があります。



NOTES
1. THE INPUTS ARE +IN x/-IN x ON THE ADA4522-2 AND ADA4522-4, AND +IN-IN ON THE ADA4522-1.

図 72. 入力 EMI フィルタとクランプ回路

サーマル・シャットダウン

ADA4522-1/ADA4522-2/ADA4522-4 は、アンプの各チャンネルにサーマル・シャットダウン回路を内蔵しています。サーマル・シャットダウン回路は、ダイの過熱状態による損傷から内部のデバイスを保護します。過熱状態は、高い周囲温度や高い電源電圧、そして大きな出力電流により発生します。表 5 に仕様規定されているように、ジャンクション温度が 150 °C を超えないように注意する必要があります。

デバイスの総消費電力 (Pd) とパッケージの周囲温度 (TA) の 2 つの条件がジャンクション温度 (Tj) に影響を与えます。次式を使ってジャンクション温度を近似します。

$$T_j = P_D \times \theta_{JA} + T_A \quad (1)$$

ここで、 θ_{JA} はダイと周辺環境の間の熱抵抗を表します (表 6 参照)。

総消費電力は、デバイスの静止電力と、アンプの全チャンネルの負荷を駆動するために必要な電力の和です。負荷駆動によるアンプあたりの消費電力 (PD_PER_AMP) は式 2 で表されます。

$$P_{D_PER_AMP} = (V_{SY+} - V_{SY-}) \times I_{SY_PER_AMP} + I_{OUT} \times (V_{SY+} - V_{OUT}) \quad (2)$$

電流シンクの場合は、式 2 の (V_{SY+} - V_{OUT}) を (V_{OUT} - V_{SY-}) に置き換えます。

また、ADA4522-1/ADA4522-2/ADA4522-4 の総消費電力を計算する際には、アンプの全チャンネルの消費電力を含むように注意する必要があります。

サーマル・シャットダウン回路は、ジャンクション温度が 150 °C を超えた場合に恒久的な損傷からデバイスを確実に保護するものではありませんが、サーマル・シャットダウン機能を内蔵することにより、恒久的な損傷の防止や損傷の軽減が可能な場合もあります。各アンプ・チャンネルには、ヒステリシスを持つ温度センサーで構成されたサーマル・シャットダウン回路が内蔵されています。

ジャンクション温度が 190 °C に到達すると直ちにサーマル・シャットダウン回路がアンプをシャットダウンさせます。2 つのサーマル・シャットダウン回路のどちらか一方がアクティブになると、そのチャンネルはディスエーブルされることに注意してください。アンプがディスエーブルされると、出力がオープン状態になり、そのチャンネルの静止電流は 0.1 mA まで減少します。ジャンクション温度が 160 °C まで低下すると、サーマル・シャットダウン回路がアンプをイネーブルさせ、静止電流は代表値まで増加します。

不要な過剰出力電流が原因でダイが過熱している場合、サーマル・シャットダウン回路はこの動作を繰り返します。ジャンクション温度は 190 °C に到達するまで上昇し、チャンネルの 1 つがディスエーブルされます。その後、ジャンクション温度が 160 °C まで低下すると、そのチャンネルは再びイネーブルされます。そして、このプロセスが繰り返されます。

入力保護

ADA4522-1/ADA4522-2/ADA4522-4 の入力のいずれかが、電源レール的一方を 300 mV 以上上回ると、内蔵入力 EMI フィルタとクランプ回路のセクションで説明した ESD ダイオードに順方向バイアスがかかり、大量の電流が流れ始めます。この過度な電流を制限しないと、デバイスに恒久的な損傷を与えることがあります。入力で過電圧状態が予期される場合、各入力に直列に抵抗を接続して入力電流を ±10 mA (max) に制限してください。ただし、回路全体に対する抵抗熱ノイズの影響を考慮してください。

±15 V の電源電圧での ADA4522-1/ADA4522-2/ADA4522-4 の広帯域電圧ノイズは約 5.8 nV/√Hz (ユニティ・ゲイン時) で、1 kΩ の抵抗の熱ノイズは 4 nV/√Hz です。1 kΩ の抵抗を追加すると、合計ノイズは 7 nV/√Hz に増加します。

単電源とレール TO レール出力

ADA4522-1/ADA4522-2/ADA4522-4 は、入力電圧範囲に負側電源レールを含む単電源アンプです。これは、入力コモンモード電圧が負側電源レールであるアプリケーション（例えばグラウンド検出）に最適です。これに対して、アンプの出力はレール to レールです。図 73 に、電源電圧 $\pm 15\text{ V}$ でユニティ・ゲイン・バッファとして構成された ADA4522-1/ADA4522-2/ADA4522-4 の入出力波形を示します。 $\pm 15\text{ V}$ の入力電圧では、低い出力電圧は入力電圧に追従しますが、入力が入力電圧範囲 ($-15\text{ V} \geq \text{IVR} \geq +13.5\text{ V}$) を超えると、高い出力振幅にクランプや歪みが発生します。ただし、位相反転は発生しません。

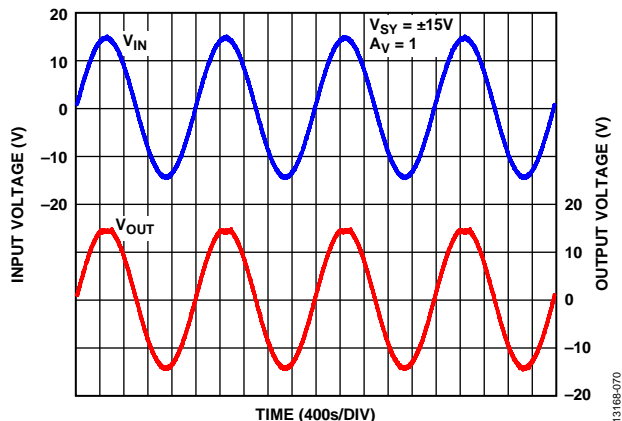


図 73. 入出力波形（位相反転は発生しない）

大信号過渡応答

ADA4522-1/ADA4522-2/ADA4522-4 がクローズドループに構成されている場合に大きな入力トランジェント（例えばステップ入力電圧）が与えられると、内部のバック・ツー・バック・ダイオードがオンになります。ユニティ・ゲイン構成のアンプにステップ入力波形が与えられたケースを考えます。これを図 74 に示します。

非反転入力が入力信号源から駆動され、反転入力はアンプ出力により駆動されます。アンプの最大出力電流は、入力ステップ関数と、アンプの入力端子の外部ソース抵抗に依存します。

ケース 1

外部ソース抵抗が低い場合（例えば図 75 の $100\ \Omega$ ）、または入力ステップ関数が大きい場合、アンプの最大出力電流は、仕様のセクションで仕様規定されているように、出力短絡電流に制限されます。入力信号とアンプ出力の間の最大差動電圧は、アンプの最大出力電流に入力抵抗の合計（内部および外部）をかけた電圧と、バック・ツー・バック・ダイオードのオン電圧によって制限されます（内蔵 EMI フィルタとクランプ回路のアーキテクチャについては図 72 を参照）。

非反転入力電圧がステップ信号で変化すると、反転入力電圧（すなわち出力電圧）は短時間で変化に追従し、入力信号とアンプ出力の間の最大差動電圧に可能な限り近づくまで追従します。その後、反転入力電圧は仕様のセクションで仕様規定されたスルー・レートで変化し始め、所望の出力に到達するまで変化します。

したがって、図 74 に示すように、出力波形の立上がりエッジと立下がりエッジに2つの特徴的な領域が生じます。このテスト条件では、入力/出力電流の大きさと持続時間が制限されるため、アンプに損傷は発生しません。

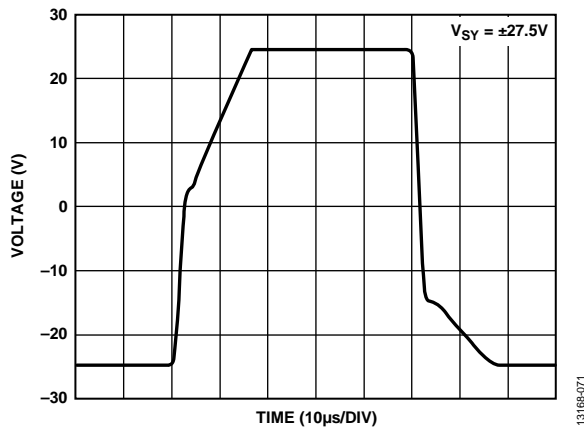


図 74. 大信号過渡応答の例

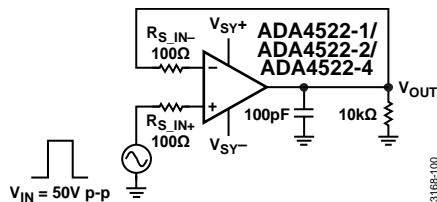


図 75. 大信号過渡応答の回路図

ケース 2

外部ソース抵抗が大きい場合、または入力ステップ関数が小さい場合、最大出力電流は、入力信号とアンプ出力電圧の差（ステップ関数の変化）をソース抵抗で除算した瞬時値に制限されます。この最大出力電流は、アンプの出力短絡電流より低い値です。そのため、入力信号とアンプ出力の間の最大差動電圧は、ステップ関数と等しくなります。出力電圧は、所望の出力に到達するまで変化します。

したがって、必要に応じて、信号源と非反転入力の間により大きな外付け抵抗を追加して入力電流を小さくします。同様に、出力電流を減少させるには、反転入力と出力の間の帰還ループに外付け抵抗を追加します。アンプがクローズドループ・ゲインに構成されている場合は、入力信号源は通常とても小さく、ゲインと帰還抵抗が電流を制限するため、この大信号過渡応答は問題になりません。

バック・ツー・バック・ダイオードは他の多くのアンプにも実装されており、これらのアンプも同様の変化を示します。

ノイズに関する考慮事項

1/f ノイズ

1/f ノイズは、ピンク・ノイズまたはフリッカ・ノイズとも呼ばれる半導体デバイスに固有のもので、周波数が小さくなるにつれて増加します。低い周波数では 1/f ノイズが主なノイズ要因となるため、回路のノイズ・ゲインで増幅されると大きな出力電圧オフセットを発生させます。ただし、ADA4522-1/ADA4522-2/ADA4522-4 では、低周波数の 1/f ノイズはゆっくり変化するオフセットとして現れるため、チョッピング技術によって効率的に低減されています。これにより、ADA4522-1/ADA4522-2/ADA4522-4 は、1/f ノイズの影響を受けやすい一般的な低ノイズ・アンプに比べて、DC と低周波数帯において非常に低いノイズを実現しています。図 64 は、0.1 Hz ~ 10 Hz におけるノイズがわずか 117 nV p-p であることを示しています。

ソース抵抗

ADA4522-1/ADA4522-2/ADA4522-4 は、1 kHz で 5.8 nV/√Hz ($A_v = 100$) の電圧ノイズ密度を持つ、最小ノイズ、高電圧ゼロ・ドリフト・アンプです。したがって、全体のノイズを低く維持するには、入力ソース抵抗の選択が重要です。どのアンプにおいても合計入力換算広帯域ノイズ ($e_{N \text{ total}}$) は、基本的に入力電圧ノイズ、入力電流ノイズ、外付け抵抗の熱 (Johnson) ノイズの 3 種類のノイズの関数となります。

これらの互いに無相関なノイズ・ソースは、次式を使って二乗和平方根 (rss) をとることにより合計値を求めることができます。

$$e_{N \text{ total}} = (e_n^2 + 4kTR_S + (i_n \times R_S)^2)^{1/2}$$

ここで、

e_n はアンプの入力電圧ノイズ密度 (V/√Hz)。

k はボルツマン定数 (1.38×10^{-23} J/K)。

T は温度で単位はケルビン (K)。

R_S は入力ソース抵抗の合計 (Ω)。

i_n はアンプの入力電流ノイズ密度 (A/√Hz)。

仕様の帯域幅全体での等価 rms ノイズの合計は次のように表されます。

$$e_{N \text{ RMS}} = e_{N \text{ total}} \sqrt{BW}$$

ここで、 BW は帯域幅 (Hz) です。

この解析は、スイッチング周波数より最大 1 桁低い範囲までの広帯域ノイズの計算に有効です。注目する帯域幅にスイッチング周波数が含まれる場合は、スイッチング周波数でのノイズが増加する影響を考慮するため、より複雑な計算が必要になります。

低ソース抵抗 ($R_S < 1 \text{ k}\Omega$) では、アンプの電圧ノイズが支配的です。ソース抵抗が大きくなると、 R_S の熱ノイズが支配的になります。さらにソース抵抗が大きくなる ($R_S > 50 \text{ k}\Omega$) と、合計入力ノイズの主な成分は電流ノイズになります。

残留リップル

図 60、図 61、図 62 に示すように、ADA4522-1/ADA4522-2/ADA4522-4 は低い周波数で平坦なノイズ・スペクトル密度を持ち、高い周波数でスペクトル密度のパンプやピークを示します。

ノイズの増加は中心周波数 6 MHz で最大となりますが、これは高い周波数での入力ゲインの減少が原因です。この入力ゲインの減少は一般的な現象で、他のアンプにも見られます。ノイズの増加に加えて、4.8 MHz の周波数でチョッピング回路に起因する急峻なピークが見られます。ただし、その大きさはオフセットおよびリップル補正ループにより大幅に減少されます。アンプ・ユニットやアンプの周辺回路が異なれば、このノイズの大きさも異なります。このピークは、ノイズの増加に隠れて検出できないこともあります。

4.8 MHz のスイッチング・アーチファクトを削減するために設計されたオフセットおよびリップル補正ループはまた、中心周波数が 800 kHz のノイズ・パンプと、そのノイズ・パンプ上のノイズ・ピークを発生させます。このパンプの大きさはほぼ一定ですが、800 kHz のピークの大きさはユニットごとに異なります。800 kHz のノイズ・ピークを持たないユニットもありますが、1.6 MHz や 2.4 MHz など、800 kHz の整数倍の周波数にピークを持つものもあります。

これらのノイズ・ピークは小さいですが、チョッピング周波数より高いクローズドループ周波数を持つアンプでは大きな影響を与えることがあります。このノイズ・スパイクを望ましいレベルまで小さくするには、アンプを高ゲインに設定するか、またはアンプ出力にポスト・フィルタを使用します。

図 76 に、さまざまなゲイン設定での ADA4522-1/ADA4522-2/ADA4522-4 の電圧ノイズ密度を示します。ゲインが高いほど帯域幅が狭くなることに注意してください。帯域幅のロールオフが早く始まるほど、高いノイズ・スペクトルを効果的にフィルタリングします。

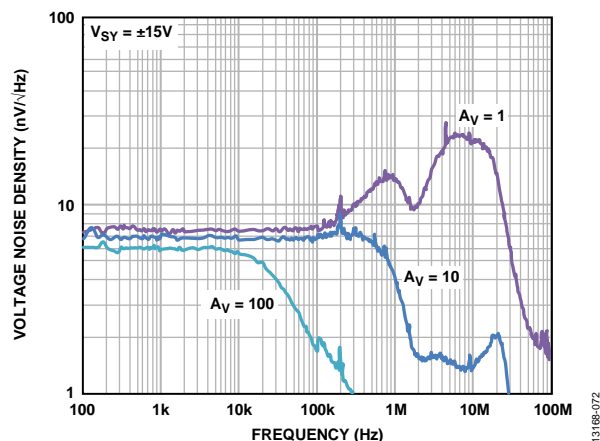


図 76. さまざまなゲインでの電圧ノイズ密度

図 77 に、異なる周波数のポスト・フィルタを使った場合とポスト・フィルタを使わなかった場合の ADA4522-1/ADA4522-2/ADA4522-4 の電圧ノイズ密度を示します。ポスト・フィルタによって、スイッチング周波数より低い帯域幅でロールオフさせることができます。この例では、800 kHz のノイズ・ピークは約 38 nV/√Hz ですが、80 kHz のポスト・フィルタを使用すると 4.1 nV/√Hz までノイズ・ピークは減少します。8 kHz のポスト・フィルタを使用すると、ノイズ・ピークはノイズ・フロアより小さくなり、検出できません。

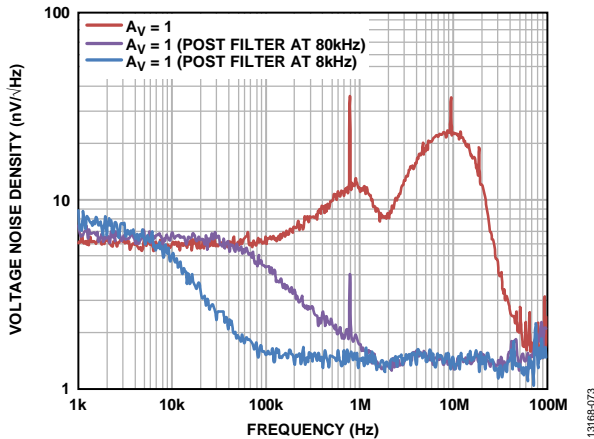


図 77. ポスト・フィルタ使用時の電圧ノイズ密度

電流ノイズ密度

図 78 に、ユニティ・ゲインに設定した ADA4522-1/ADA4522-2/ADA4522-4 の電流ノイズ密度を示します。1 kHz の電流ノイズ密度は約 1.3 pA/√Hz です。電流ノイズ密度は、抵抗を流れる電流ノイズから発生する電圧ノイズを測定することにより求められます。アンプの電流ノイズ密度は低いため、通常電圧ノイズは大きな値の抵抗を使って測定します。このケースでは、100 kΩ のソース抵抗を使用しています。ただし、ソース抵抗は、アンプと基板の入力容量と相互に作用して、帯域幅のロールオフを生じさせます。図 78 に示すように、電流ノイズ密度がユニティ・ゲイン帯域幅よりずっと低い周波数でロールオフしていることに注意してください。このロールオフは想定されたものです。

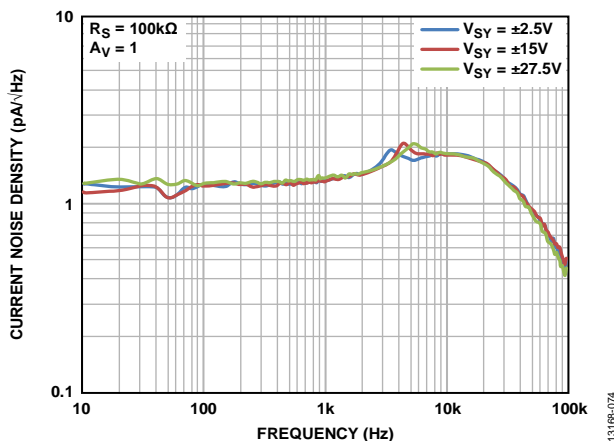


図 78. ゲイン = 1 での電流ノイズ密度

EMI 除去比

回路の性能は高周波 EMI から悪影響を受けることがあります。信号強度が低く、伝送線が長い場合でも、オペアンプは入力信号を正確に増幅する必要がありますが、オペアンプのすべてのピン（非反転入力、反転入力、正電源、負電源、出力ピン）は EMI 信号の影響を受けやすくなっています。これらの高周波信号は、伝導、近距離放射、長距離放射などのさまざまな方法でオペアンプに混入します。例えば、配線とプリント回路基板 (PCB) のパターンがアンテナとして機能し、高周波 EMI 信号を拾います。

アンプは比較的帯域が狭いため、EMI 信号または RF 信号を増幅することはありません。しかし、入力デバイスの非直線性のため、オペアンプはこれらの帯域外信号を整流することができます。これらの高周波信号が整流されると、出力に DC オフセットとして現れます。

ADA4522-1/ADA4522-2/ADA4522-4 は、入力段に EMI フィルタを内蔵しています。電磁エネルギーが存在する中で ADA4522-1/ADA4522-2/ADA4522-4 が期待どおりに動作する能力を表現するため、非反転ピンの電磁干渉除去比 (EMIRR) が、仕様のセクションの表 2、表 3、表 4 で仕様規定されています。EMIRR 測定の数学的方法は、次のように定義されます。

$$EMIRR = 20 \log (V_{IN_PEAK} / \Delta V_{OS})$$

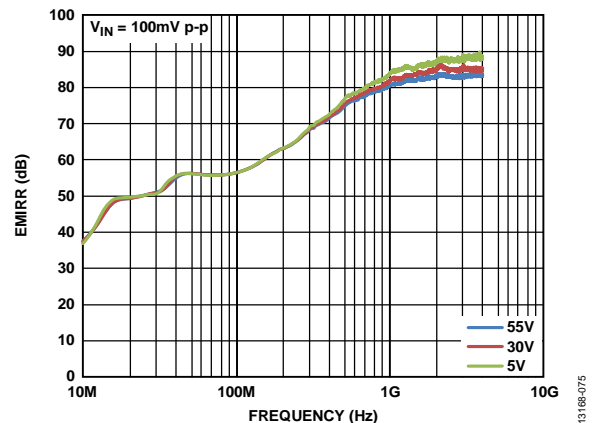


図 79. EMIRR の周波数特性

容量性負荷に対する安定性

ADA4522-1/ADA4522-2/ADA4522-4 は、最大 250 pF までの容量性負荷を任意の構成で安全に駆動できます。多くのアンプと同様に、仕様より大きな容量性負荷を駆動すると、過度なオーバーシュートやリングング、さらには発振を生じることがあります。容量性負荷が大きいと位相マージンが減少し、アンプの周波数応答にピークが発生します。ピーク形成は、時間領域でのオーバーシュートまたはリングングに対応します。このため、ADA4522-1/ADA4522-2/ADA4522-4 によって 250 pF を超える負荷を駆動する必要がある場合は、外付け補償の使用を推奨します。この補償は、安定性が最も厳しい条件となるユニティ・ゲイン構成で特に重要です。

容量性負荷を駆動するオペアンプを迅速かつ簡単に安定化させる方法は、アンプ出力端子と負荷容量の間に直列抵抗 R_{ISO} を接続することです（図 80 参照）。 R_{ISO} は、アンプ出力と帰還回路を容量性負荷から隔離しますが、この補償方式では、負荷から見た出力インピーダンスが大きくなるため、ゲイン精度が低下します。

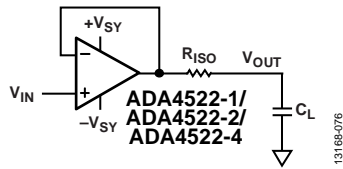


図 80. アイソレーション抵抗 R_{ISO} による安定性補償

図 81 にさまざまな R_{ISO} 値でのオーバーシュートの影響を示します。

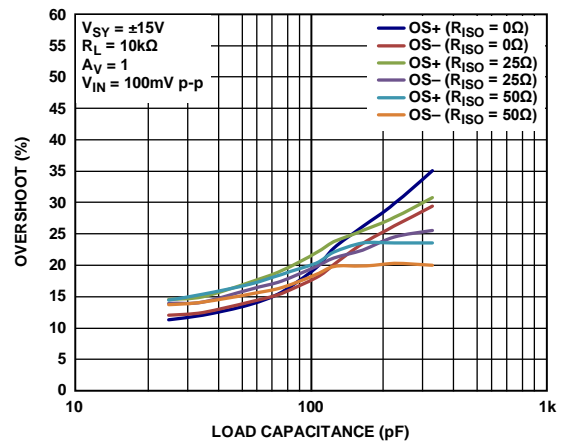


図 81. さまざまな出力アイソレーション抵抗での、負荷容量と小信号オーバーシュートの関係

アプリケーション情報

単電源計装アンプ

ADA4522-1/ADA4522-2/ADA4522-4 は、きわめて低いオフセット電圧とドリフト、高いオープンループ・ゲイン、高い同相ノイズ除去比、高い電源電圧変動除去比を持つため、ディスクリートの単電源計装アンプとして優れたオペアンプの選択肢になっています。

図 82 に、ADA4522-1/ADA4522-2/ADA4522-4 を使用した従来型の 3 オペアンプ型計装アンプを示します。高い CMRR の計装アンプを実現するために重要なのは、抵抗比と相対ドリフトが一致している抵抗を使用することです。真の差動増幅には、抵抗比のマッチング ($R5/R2 = R6/R4$) がとても重要です。抵抗は、製造時の許容誤差、経時変化、温度変化に対する性能を決定する重要なものです。仮に無限の同相ノイズ除去比を持つ理想的なユニティ・ゲインのディファレンス・アンプを仮定しても、1% の抵抗のマッチング誤差があると同相ノイズ除去比はわずか 34 dB になってしまいます。したがって、0.01% 以下のマッチング誤差を持つ抵抗が推奨されます。

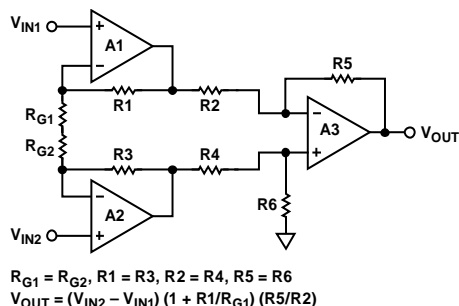


図 82. ディスクリート 3 オペアンプ型計装アンプ

外付け抵抗を使用して、ノイズ特性を犠牲にすることなくディスクリート計装アンプを構築するには、抵抗値の選択に注意する必要があります。 R_{G1} と R_{G2} はそれぞれ熱ノイズを持ち、計装アンプの合計ノイズ・ゲインで増幅されます。したがって、出力での熱ノイズ成分を低減し、高精度な測定を実現するために、十分小さな値のものを選択しなければなりません。表 10 に外付け抵抗のノイズ成分の出力換算 (RTO) を示します。

表 10. 熱ノイズ成分の例

Resistor	Value (kΩ)	Resistor Thermal Noise (nV/√Hz)	Thermal Noise RTO (nV/√Hz)
R_{G1}	0.4	2.57	128.30
R_{G2}	0.4	2.57	128.30
R1	10	12.83	25.66
R2	10	12.83	25.66
R3	10	12.83	25.66
R4	10	12.83	25.66
R5	20	18.14	18.14
R6	20	18.14	18.14

A1 と A2 は $1 + R1/R_{G1}$ の高いゲインを持っていることに注意してください。このため、A1 と A2 には、ADA4522-1/ADA4522-2/ADA4522-4 のような高精度で低オフセット電圧かつ低ノイズのアンプを使用します。これに対して、A3 ははるかに低いゲインで動作するため、オペアンプに要求される条件が異なりま

す。この入力ノイズは、計装アンプ全体の入力に換算すると、1 段目のゲインで除算されるためそれほど重要ではありません。アンプの入力オフセット電圧と入力電圧ノイズも全体のノイズ・ゲインで増幅されることに注意してください。

ADA4522-1/ADA4522-2/ADA4522-4 の未使用のチャンネルはすべて、入力コモンモード電圧を電源の中間点に接続することにより、ユニティ・ゲインに設定する必要があります。

ディスクリート計装アンプまたはディファレンス・アンプ (3 オペアンプ型計装アンプの 2 段目) は一般に数多くのさまざまなアプリケーションで使用されるため、これらに対するノイズの影響を理解することは重要です。ロード・セル/ストレーン・ゲージ・センサーのシグナル・コンディショニングのセクションと、高精度ローサイド電流シャント・センサーのセクションで、ADA4522-1/ADA4522-2/ADA4522-4 をディスクリート計装アンプまたはディファレンス・アンプとしてアプリケーションに使用した例を示します。

ADA4522-2 を使用したロード・セル/ストレーン・ゲージ・センサーのシグナル・コンディショニング

ADA4522-2 は、オフセット、ドリフトおよびノイズがきわめて低いため、高ゲインで高精度の低レベル・センサー出力のシグナル・コンディショニングに最適です。重量計/ロード・セルは、このような条件を持つアプリケーションの一例です。図 83 に、単電源、高精度の重量計システムの構成を示します。

ADA4522-2 は、ロード・セルからの低レベル信号増幅のため、フロント・エンドで使用されています。

PCB パターンを流れる電流は IR 電圧降下を生じさせます。長いパターンではこの電圧降下が数 mV 以上になり、大きな誤差を発生することがあります。長さ 1 インチ、幅 0.005 インチで 1 oz (約 23.35 g) の銅パターンの抵抗は、室温で約 100 mΩ です。負荷電流が 10 mA の場合、この抵抗により 1 mV の誤差が生じる可能性があります。

このため、この回路では 6 線式のロード・セルを使用しています。ロード・セルは、励起、グラウンド、2 本の出力接続に加え、2 本のセンス・ピンを備えています。センス・ピンは、ホイートストン・ブリッジのハイ・サイド (励起ピン) とロー・サイド (グラウンド・ピン) に接続されています。これにより、配線抵抗による電圧降下に関係なく、ブリッジ両端の電圧を正確に測定することができます。また、2 本のセンス・ピンは A/D コンバータ (ADC) のリファレンス入力に接続され、レシオメトリック構成となっているため、電源の励起電圧での低周波数の変動に対して耐性があります。

ADA4522-2 は、3 オペアンプ型計装アンプの 1 段目に配置され、ロード・セルからの低レベル振幅信号を $(1 + 2R1/R_G)$ 倍に増幅します。コンデンサ C1 と C2 は、アンプの帰還ループに配置され、R1 および R2 と相互に作用してローパス・フィルタを構成します。このフィルタリングにより $\Sigma\Delta$ ADC に入力されるノイズの大きさが制限されます。さらに、C3、C4、C5、R3、R4 がコモンモードおよび差動モードのフィルタ機能を果たすため、ノイズと不要信号が低減します。

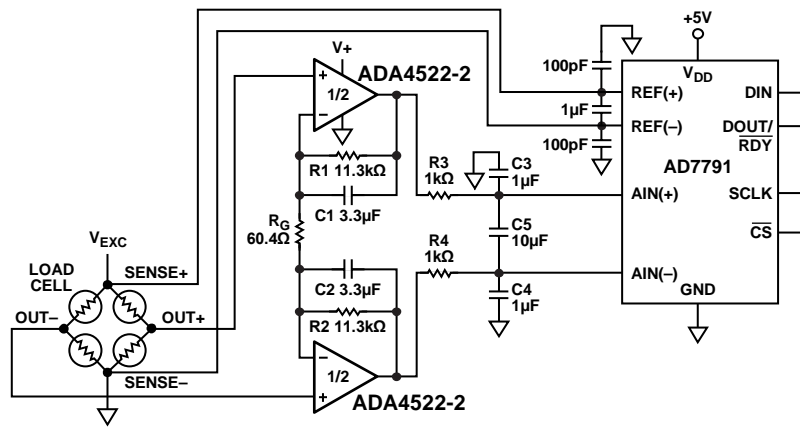


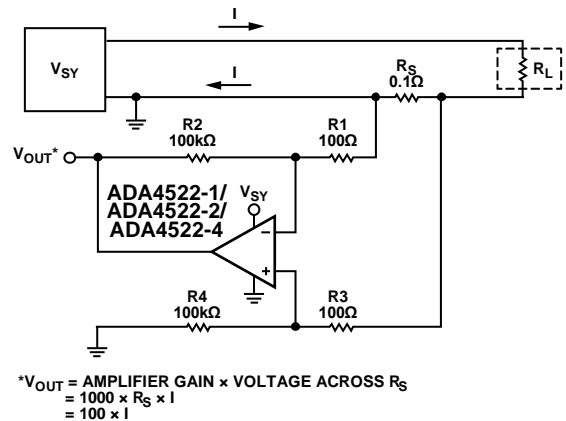
図 83. 高精度重量計システム

高精度ローサイド・電流シャント・センサー

正または負の電源レール付近の信号検出は、多くのアプリケーションで必要とされています。電流シャント・センサーはそのようなアプリケーションの1つで、帰還制御システムに多く使用されています。また、パワー計測、バッテリー燃料計測、工業用アプリケーションの帰還制御など、他のさまざまなアプリケーションにも使用されます。このようなアプリケーションでは、直列抵抗による電圧降下を小さくするために、非常に低抵抗のシャントを使用することが望まれます。このように構成すると、消費電力を小さくするだけでなく、電力を節約しながら高電流の測定を行うことも可能になります。

一般的なシャント抵抗値は 100 mΩ です。測定電流が 1 A の場合、シャントで発生する電圧は 100 mV となるため、アンプの誤差原因として大きくはありません。ただし、1 mA レンジの小さい測定電流では、シャントで発生する電圧は 100 μV と小さいので、絶対精度を維持するためにオフセット電圧とドリフトが非常に小さいアンプが必要となります。ゼロ・ドリフト・アンプの優れた特性により、解決策が得られます。図 84 に、ADA4522-1/ADA4522-2/ADA4522-4 を使用したローサイド電流検出回路を示します。ADA4522-1/ADA4522-2/ADA4522-4 は、ゲインが 1000 のディファレンス・アンプとして構成されています。ADA4522-1/ADA4522-2/ADA4522-4 は高い CMRR を持っていますが、システムの CMRR は外付け抵抗により制限されます。したがって、単電源計装アンプのセクションで説明したように、高い CMRR のシステムを実現するために重要なのは、抵抗の抵抗比と相対ドリフトが一致していることです (R1/R2 = R3/R4)。

ADA4522-1/ADA4522-2/ADA4522-4 の未使用のチャンネルはすべて、入力コモンモード電圧を電源の中間点に接続することにより、ユニティ・ゲインに設定する必要があります。



$$*V_{OUT} = \text{AMPLIFIER GAIN} \times \text{VOLTAGE ACROSS } R_S \\ = 1000 \times R_S \times I \\ = 100 \times I$$

図 84. ローサイド電流検出回路

プリント回路基板のレイアウト

ADA4522-1/ADA4522-2/ADA4522-4 は、きわめて低いオフセット電圧とノイズを持つ高精度デバイスです。したがって、基板レベルで ADA4522-1/ADA4522-2/ADA4522-4 の最適性能を実現するためには、PCB のレイアウト設計に注意が必要です。

リーク電流を避けるために、基板表面をきれいに保ち、湿気を防ぐ必要があります。

電源を適切にバイパスし、電源パターンを短くすることで、出力電流の変動による電源の乱れを小さくできます。バイパス・コンデンサはデバイス電源ピンのできるだけ近くに接続します。浮遊容量は、アンプの出力と入力において問題になります。信号パターンは電源ラインから 5 mm 以上離して、カップリングを最小限に抑えることを推奨します。

オフセット誤差の原因となり得るものとして、回路基板のゼーベック電圧があります。ゼーベック電圧は、2つの異種金属の接合部で発生し、接合温度の関数になります。最も一般的な回路基板の金属接合は、ハンダと基板パターンの接合部と、ハンダと部品リードの接合部です。図 85 に、PCB にハンダ処理された表面実装部品の断面図を示します。基板上での温度勾配 ($T_{A1} \neq T_{A2}$) により、ハンダ接合部でのゼーベック電圧の不一致が発生するため、熱電圧による誤差が生じ、ADA4522-1/ADA4522-2/ADA4522-4 のきわめて低いオフセット電圧性能を低下させます。

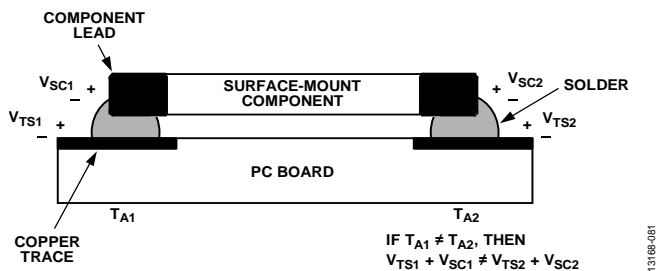


図 85. ゼーバック電圧の不一致によるゼーバック電圧誤差

図 85 で、 V_{SC1} および V_{SC2} はそれぞれ、ハンダと部品の接合部 1 および接合部 2 で発生するゼーバック電圧です。 V_{TS1} および V_{TS2} は、ハンダとパターンの接合部 1 および接合部 2 で発生するゼーバック電圧です。 T_{A1} および T_{A2} はそれぞれ、接合部 1 および接合部 2 の温度です。

これらの熱電対効果を小さくするため、熱源により両端が等しく温度上昇するように抵抗の配置を調節してください。可能な場合には、入力信号経路に使用する部品の個数と種類を一致させることにより、熱電対接合の個数と種類を一致させることを推奨します。例えば、ゼロ値抵抗のようなダミー部品を使用して、熱電誤差源を（反対側の入力経路の実抵抗に）一致させます。マッチング用部品を、接近させて同じ向きに配置することにより、ゼーバック電圧を等しくし、熱誤差を相殺させることができます。さらに、同じ長さのリードを使用して熱伝導の平衡状態を維持させます。PCB 上の発熱源はアンプ入力回路からできるだけ離します。

グラウンド・プレーンの使用も強く推奨します。グラウンド・プレーンにより熱を基板全体に分散させることができるため、基板全体を一定温度に保つとともに、EMI ノイズの混入を減らすことも可能です。

コンパレータ動作

オペアンプは、出力から反転入力への帰還によるクロズドループ構成で動作するように設計されています。オペアンプとは対照的に、コンパレータはオープンループ構成で動作し、デジタル回路を駆動するように設計されています。オペアンプはコンパレータとは異なりますが、基板面積とコストを節約するため、デュアル・オペアンプの未使用部分をコンパレータとして使用することがあります。ただし、ADA4522-1/ADA4522-2/ADA4522-4 に関してこれは推奨しません。

図 86 と 図 87 に、 $10\text{ k}\Omega$ の抵抗を入力ピンに直列に接続してコンパレータとして構成した ADA4522-1/ADA4522-2/ADA4522-4 を示します。未使用チャンネルは、入力電圧を電源の中間点に接続することによりバッファとして構成します。ADA4522-1/ADA4522-2/ADA4522-4 は、ダイオード D5 とダイオード D6 により大きな差動入力電圧から保護された入力デバイスを内蔵しています（図 72 参照）。これらのダイオードは、基板の PNP バイポーラ・トランジスタから構成され、差動入力電圧が約 600 mV を超えると導通しますが、入力から負側電源レールへの電流経路にもなるため、システムの合計電源電流を増加させてしまいます。

どちらの図のコンパレータ構成にしても同じ結果が得られます。30 V の電源で、 I_{SY+} はデュアル・アンプあたり 1.55 mA を維持しますが、 I_{SY-} はデュアル・アンプあたり約 2 mA まで増加します。

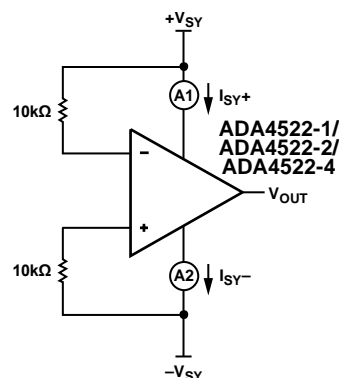


図 86. コンパレータ構成 A

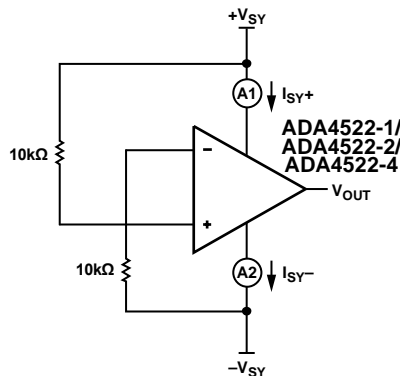


図 87. コンパレータ構成 B

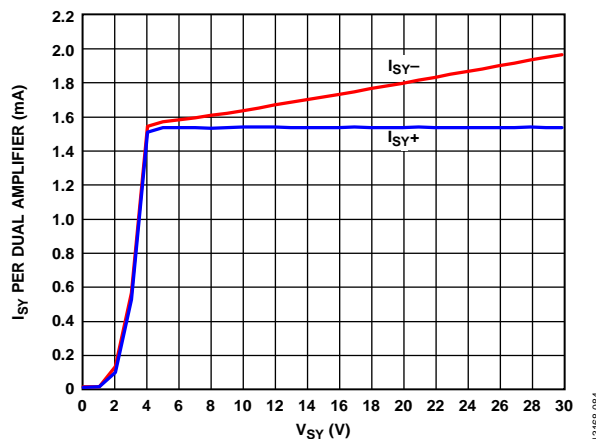
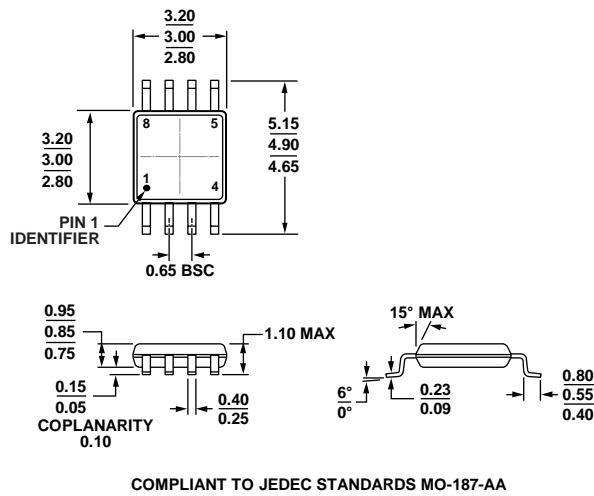


図 88. デュアル・アンプあたりの電源電流 (I_{SY}) と電源電圧 (V_{SY}) の関係 (ADA4522-1/ADA4522-2/ADA4522-4 をコンパレータとして使用)

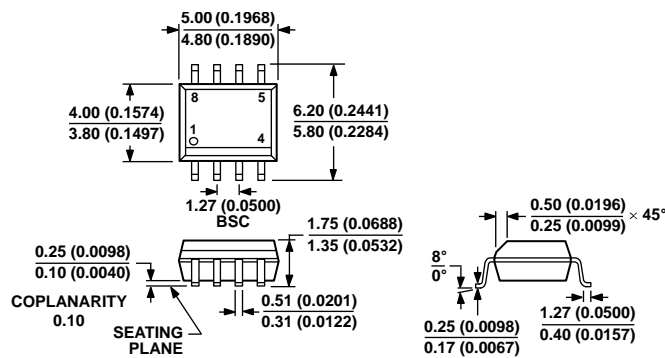
$10\text{ k}\Omega$ の抵抗がオペアンプ入力に直列に接続されていることに注意してください。小さい抵抗値を使用すると、システムの電源電流が大きく増加します。コンパレータとしてのオペアンプの詳細については、AN-849 アプリケーション・ノート「オペアンプのコンパレータとしての使用」を参照してください。

外形寸法



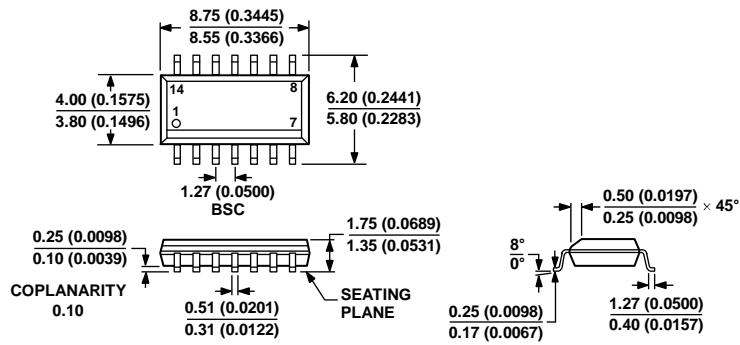
10-07-2009-B

図 89. 8 ピン、ミニ・スモール・アウトライン・パッケージ [MSOP] (RM-8)
寸法単位: mm



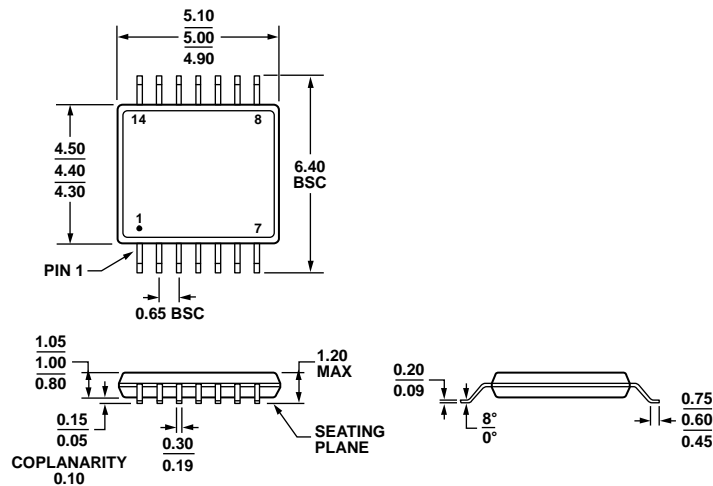
012407-A

図 90. 8 ピン、スモール・アウトライン・パッケージ [SOIC_N] ナロー・ボディ (R-8)
寸法単位: mm (括弧内はインチ)



COMPLIANT TO JEDEC STANDARDS MS-012-AB
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

図 91. 14 ピン、スモール・アウトライン・パッケージ [SOIC_N]
 ナロー・ボディ
 (R-14)
 寸法単位: mm (括弧内はインチ)



COMPLIANT TO JEDEC STANDARDS MO-153-AB-1

図 92. 14 ピン、薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP]
 (RU-14)
 寸法単位: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option	Branding
ADA4522-1ARMZ	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	A3G
ADA4522-1ARMZ-R7	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	A3G
ADA4522-1ARMZ-RL	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	A3G
ADA4522-1ARZ	-40°C to +125°C	8-Lead Small Outline Package [SOIC_N]	R-8	
ADA4522-1ARZ-R7	-40°C to +125°C	8-Lead Small Outline Package [SOIC_N]	R-8	
ADA4522-1ARZ-RL	-40°C to +125°C	8-Lead Small Outline Package [SOIC_N]	R-8	
ADA4522-2ARMZ	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	A39
ADA4522-2ARMZ-R7	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	A39
ADA4522-2ARMZ-RL	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	A39
ADA4522-2ARZ	-40°C to +125°C	8-Lead Small Outline Package [SOIC_N]	R-8	
ADA4522-2ARZ-R7	-40°C to +125°C	8-Lead Small Outline Package [SOIC_N]	R-8	
ADA4522-2ARZ-RL	-40°C to +125°C	8-Lead Small Outline Package [SOIC_N]	R-8	
ADA4522-4ARUZ	-40°C to +125°C	14-Lead Thin Shrink Small Outline Package [TSSOP]	RU-14	
ADA4522-4ARUZ-R7	-40°C to +125°C	14-Lead Thin Shrink Small Outline Package [TSSOP]	RU-14	
ADA4522-4ARUZ-RL	-40°C to +125°C	14-Lead Thin Shrink Small Outline Package [TSSOP]	RU-14	
ADA4522-4ARZ	-40°C to +125°C	14-Lead Standard Small Outline Package [SOIC_N]	R-14	
ADA4522-4ARZ-R7	-40°C to +125°C	14-Lead Standard Small Outline Package [SOIC_N]	R-14	
ADA4522-4ARZ-RL	-40°C to +125°C	14-Lead Standard Small Outline Package [SOIC_N]	R-14	

¹ Z = RoHS 準拠製品。