

40Vの高精度レールtoレール入出力オペアンプ

特長

- ▶ 低オフセット電圧ドリフト: $\pm 2\mu\text{V}/^\circ\text{C}$ (最大値)
- ▶ 低オフセット電圧: $\pm 75\mu\text{V}$ (最大値)
- ▶ 低電圧ノイズ: 0.1Hz~10Hzで $1\mu\text{V}$ p-p (代表値)
- ▶ 低電圧ノイズ密度: $f = 1\text{kHz}$ で $5\text{nV}/\sqrt{\text{Hz}}$ (代表値)
- ▶ 高い同相モード除去: 140 dB (代表値)
- ▶ 低入力バイアス電流 $\pm 10\text{pA}$ (最大値)
- ▶ 広いゲイン帯域幅積 (GB積): 10.4MHz (代表値)
- ▶ 高スルー・レート: $19\text{V}/\mu\text{s}$ (代表値)
- ▶ 低THD: -134dB ($f = 1\text{kHz}$)
- ▶ 低静止電源電流: 1.45mA/アンプ (代表値)
- ▶ 広い電源電圧動作: 6V~40V、 $\pm 3\text{V}$ ~ $\pm 20\text{V}$
- ▶ EMIフィルタ内蔵
- ▶ マルチプレクサ対応入力
 - ▶ レールtoレールの高インピーダンス入力: 差動および同相モード
 - ▶ 高速セトリング時間
- ▶ レールtoレール出力
- ▶ 位相反転なし
- ▶ 大きな容量性負荷の駆動能力: 1nF
- ▶ 広い仕様規定温度範囲: -40°C ~ $+125^\circ\text{C}$
- ▶ 8ピンSOIC_Nパッケージと8ピンMSOPパッケージを採用

概要

ADA4511-2¹⁾は、デュアルチャンネル、40V、高精度、低入力バイアス電流、低オフセット電圧、低オフセット電圧ドリフト、低ノイズ、レールtoレール入出力のオペアンプで、センシング、コンディショニング、出力駆動など、シグナル・チェーンの任意の場所で使用できます。また、トリミングにより、低オフセット・ドリフト ($\pm 0.4\mu\text{V}/^\circ\text{C}$ (代表値)、 $\pm 2\mu\text{V}/^\circ\text{C}$ (最大値)) および低オフセット電圧 ($\pm 25\mu\text{V}$ (代表値)、 $\pm 75\mu\text{V}$ (最大値)) を実現します。

ADA4511-2は、最高のDC精度とAC性能を備えているため、様々なシグナル・チェーン・アプリケーションに適しています。堅牢なマルチプレクサ対応アーキテクチャを統合化することで、一般的なシステム歪みやセトリングの問題を効果的に解決し、マルチプレックスされたマルチチャンネル高精度シグナル・チェーンに必要な、優れた精度を提供します。ADA4511-2は、 -40°C ~ $+125^\circ\text{C}$ の範囲で仕様規定されており、8ピンSOIC_Nパッケージと8ピンMSOPパッケージで提供されます。

アプリケーション

- ▶ マルチプレックスされたデータ・アキュイジション・システム
- ▶ 電子テストおよび計測
- ▶ ATE (自動試験装置)
- ▶ 医療用計測器
- ▶ エネルギー・モニタ
- ▶ 高精度電流検出
- ▶ 高精度バッファ
- ▶ トランスインピーダンス・アンプ

代表的なアプリケーション回路

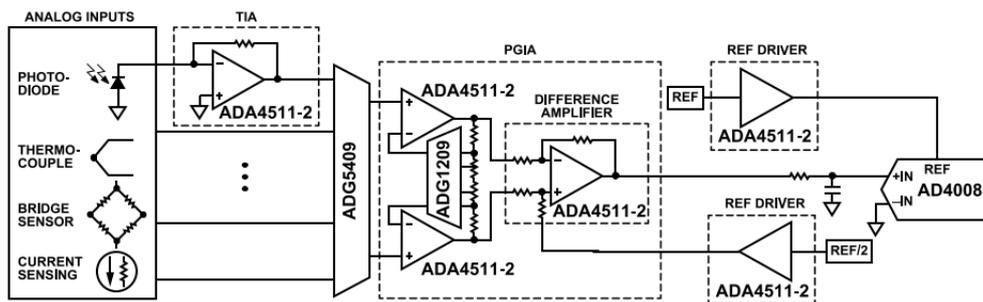


図1. マルチプレックスされたデータ・アキュイジション・シグナル・チェーン

1 米国特許11,329,612で保護されています。その他の特許は申請中です。

目次

特長.....	1	EMI除去.....	20
概要.....	1	無位相反転.....	20
アプリケーション.....	1	容量性負荷に対する駆動能力.....	21
代表的なアプリケーション回路.....	1	アプリケーション情報.....	22
関連製品.....	3	マルチプレクサ対応データ・アクイジション・システム.....	22
仕様.....	4	トランスインピーダンス・アンプ.....	23
電気仕様.....	4	アクティブ・フィルタ.....	25
絶対最大定格.....	6	帰還回路部品.....	26
熱抵抗.....	6	高精度バッファ.....	26
静電放電（ESD）定格.....	6	推奨される電源ソリューション.....	26
ADA4511-2のESD定格.....	6	レイアウトのガイドライン.....	26
ESDに関する注意.....	6	外形寸法.....	27
ピン配置およびピン機能の説明.....	7	オーダー・ガイド.....	27
代表的な性能特性.....	8	評価用ボード.....	28
動作原理.....	20		
入力段およびゲイン段.....	20		
出力段.....	20		

改訂履歴

7/2024—Rev. 0 to Rev. A

8ピンMSOPを追加（全体）.....	1
特長のセクションを変更.....	1
アプリケーションのセクションを変更.....	1
関連製品のセクションを変更.....	3
表1を変更.....	4
表2を変更.....	6
表3を変更.....	6
図2のキャプションを変更.....	7
代表的な性能特性のセクションを変更.....	8
図7、図8を追加、ナンバリング変更.....	8
図12を追加.....	9
図24、図25を追加.....	11
外形寸法を更新.....	27
オーダー・ガイドを変更.....	27
評価用ボードを変更.....	28

1/2024—Revision 0: Initial Version

関連製品

- ▶ ADC : [AD4695/AD4696](#)、[AD4697/AD4698](#)、[AD4000/AD4004/AD4008](#)
- ▶ ADC用ドライバ : [ADA4945-1](#)、[AD8475](#)
- ▶ DAC : [AD5791](#)、[AD3551R](#)
- ▶ 電圧リファレンス : [LTC6655](#)、[ADR4525](#)
- ▶ 電源 : [LT3032](#)、[ADP5070](#)、[LT3093](#)、[LT3042](#)

仕様

電気仕様

特に指定のない限り、 $V_+ = +20V$ 、 $V_- = -20V$ 、コモンモード電圧 (V_{CM}) = 0V、負荷抵抗 (R_L) = 10k Ω (電源電圧の1/2に接続)、周囲温度(T_A) = 25°C。

表1. 電気仕様

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
INPUT CHARACTERISTICS					
Offset Voltage (V_{OS})	$V_{CM} = 0V$, $(V_+) - 1.5V$		± 25	± 75	μV
Offset Voltage Drift ($\Delta V_{OS}/\Delta T$)	$V_{CM} = 0V$ $-40^\circ C < T_A < +125^\circ C$ $V_{CM} = (V_+) - 1.5V$ $-40^\circ C < T_A < +125^\circ C$, SOIC_N $-40^\circ C < T_A < +125^\circ C$, MSOP		± 0.4	± 2	$\mu V/^\circ C$
Input Bias Current (I_B)	$-40^\circ C < T_A < +85^\circ C$ $-40^\circ C < T_A < +125^\circ C$, SOIC_N $-40^\circ C < T_A < +125^\circ C$, MSOP		± 4	± 10	pA
Input Offset Current (I_{OS})	$-40^\circ C < T_A < +85^\circ C$ $-40^\circ C < T_A < +125^\circ C$		± 1.5	± 5	pA
Input Voltage Range (IVR)	CMRR > 99dB	$(V_-) - 0.15$		V_+	V
Common-Mode Rejection Ratio (CMRR)	$-20.15V < V_{CM} < 17V$ $-40^\circ C < T_A < +125^\circ C$, $-20V < V_{CM} < 17V$	121	140		dB
Open-Loop Voltage Gain (A_{VOL})	$R_L = 10k\Omega$, $-19.7V < V_{OUT} < 19.7V$ $-40^\circ C < T_A < +125^\circ C$ $R_L = 2k\Omega$, $-19.1V < V_{OUT} < 19.1V$ $-40^\circ C < T_A < +125^\circ C$	126	140		dB
Input Capacitance					
Differential Mode (C_{INDM})			20		pF
Common Mode (C_{INCM})			2		pF
Input Resistance					
Differential Mode (R_{INDM})			1		T Ω
Common Mode (R_{INCM})			10		T Ω
NOISE PERFORMANCE					
Voltage Noise ($e_{n,p-p}$)	0.1Hz~10Hz		1		μV p-p
Voltage Noise Density (e_n)	0.1Hz~10Hz, $V_{CM} = (V_+) - 1.5V$ $f = 100Hz$ $f = 1kHz$ $f = 100Hz$, $V_{CM} = (V_+) - 1.5V$ $f = 1kHz$, $V_{CM} = (V_+) - 1.5V$		2.7		μV p-p
Current Noise Density (i_n)	$f = 10Hz$		8		nV/ \sqrt{Hz}
			5		nV/ \sqrt{Hz}
			20		nV/ \sqrt{Hz}
			10		nV/ \sqrt{Hz}
			4		fA/ \sqrt{Hz}
OUTPUT CHARACTERISTICS					
Output Swing High (V_{OH})	$((V_+) - V_{OUT})$ $R_L = 10k\Omega$ $R_L = 2k\Omega$		100	116	mV
Output Swing Low (V_{OL})	$(V_{OUT} - (V_-))$ $R_L = 10k\Omega$ $R_L = 2k\Omega$		430	473	mV
Output Current (I_{OUT})	$(V_{OH}, V_{OL}) < 1V$		73	85	mV
Short-Circuit Current (I_{SC})	ソース/シンク		310	342	mV
			± 22		mA
			55/70		mA

仕様

表1. (続き)

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
Closed-Loop Output Impedance (Z_{OUT})	$f = 1\text{kHz}$				
	ゲイン = 1		19		$\text{m}\Omega$
	ゲイン = 10		190		$\text{m}\Omega$
	ゲイン = 100		1.9		Ω
Open-Loop Output Impedance (Z_O)	$f = 1\text{kHz} \sim 1\text{MHz}$		190		Ω
POWER SUPPLY					
(V_+) - (V_-) (V_{SY})	PSRRによって確保	6		40	V
Power-Supply Rejection Ratio (PSRR)	$V_{SY} = \pm 3\text{V} \sim \pm 20\text{V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	121	140		dB
Supply Current per Amplifier (I_{SY})	$I_{OUT} = 0\text{mA}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$		1.45	1.55	mA
				2	mA
DYNAMIC PERFORMANCE					
Slew Rate	$V_{OUT} = \pm 5\text{V}$ 、ゲイン = 1、10%~90%		19		$\text{V}/\mu\text{s}$
Gain Bandwidth Product (GBP)	$f = 100\text{kHz}$		10.4		MHz
-3 dB Bandwidth	ゲイン = 1		13.5		MHz
Settling Time (t_s)	0.01%まで ゲイン = -1、 $V_{OUT} = 5\text{V}$ ステップ ゲイン = -1、 $V_{OUT} = 10\text{V}$ ステップ		1.9		μs
	0.001%まで ゲイン = -1、 $V_{OUT} = 5\text{V}$ ステップ ゲイン = -1、 $V_{OUT} = 10\text{V}$ ステップ		2.2		μs
Output Overload Recovery Time	ゲイン = -10、正/負		300/100		ns
Total Harmonic Distortion (THD)	$V_{OUT} = 10\text{V p-p}$ 、ゲイン = 1				
	$f = 1\text{kHz}$		0.00002		%
	$f = 1\text{kHz}$		-134		dB
	$f = 50\text{kHz}$		0.00446		%
	$f = 50\text{kHz}$		-87		dB
ELECTROMAGNETIC INTERFERENCE REJECTION RATIO (EMIRR)					
	$\text{EMIRR} = 20 \times \log_{10}(\Delta V_{IN}/\Delta V_{OS})$ 、 $\Delta V_{IN} = 200\text{mV p-p}$				
	$f = 1000\text{MHz}$		71		dB
	$f = 2400\text{MHz}$		81		dB

絶対最大定格

表2. 絶対最大定格

Parameter	Rating
$V_{SY} (V+) - (V-)$	-0.3 V to +45 V
Input V_{CM}	
(+IN A, -IN A, +IN B, -IN B) - (V-)	-0.3 V to +45 V
(+IN A, -IN A, +IN B, -IN B) - (V+)	+0.3 V to -45 V
Differential Input Voltage	
(+IN A) - (-IN A), (+IN B) - (-IN B)	±45 V
Input Current	±10 mA
Output Short-Circuit Duration ¹	Continuous
Temperature Range	
Storage	-65°C to +150°C
Operating	-40°C to +125°C
T_J	150°C
Lead (soldering, 10 seconds)	300°C
T_C	260°C

1 出力が短絡したままになる場合には、 T_J を絶対最大定格未満に保つためにヒート・シンクが必要になる可能性があります。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCBの熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲の間の熱抵抗です。

θ_{JC} は、ジャンクションとケース間の熱抵抗です。

表3. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
R-8	108.5	34.12	°C/W
RM-8	141.24	51.87	°C/W

静電放電 (ESD) 定格

以下のESD情報は、ESDに敏感なデバイスを取り扱うために示したものです。対象はESD保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001-2017準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002-2018準拠の電界誘起帯電デバイス・モデル (FICDM)。

ADA4511-2のESD定格

表4. ADA4511-2、8ピンSOIC_N、8ピンMSOP

ESD Model	Withstand Threshold (V)	Class
HBM	±1000	1C
FICDM	±400	C1

ESDに関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

帯電したデバイスや回路基板は、検出されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

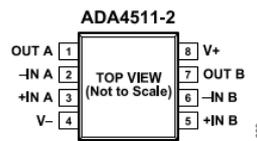


図2. ピン配置 (8ピンSOIC_Nおよび8ピンMSOP)

表5. ピン機能の説明 (8ピンSOIC_Nおよび8ピンMSOP)

ピン番号	記号	説明
1	OUT A	出力、チャンネルA。
2	-IN A	反転入力、チャンネルA。
3	+IN A	非反転入力、チャンネルA。
4	V-	負側電源電圧。
5	+IN B	非反転入力、チャンネルB。
6	-IN B	反転入力、チャンネルB。
7	OUT B	出力、チャンネルB。
8	V+	正側電源電圧。

代表的な性能特性

特に指定のない限り、 $V_+ = +20V$ 、 $V_- = -20V$ 、 $V_{CM} = 0V$ 、 $R_L = 10k\Omega$ （電源電圧の1/2に接続）、 $T_A = 25^\circ C$ 。

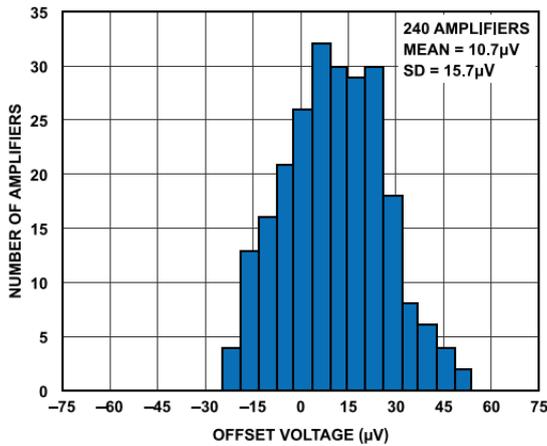


図3. 25°Cにおける V_{OS} の分布

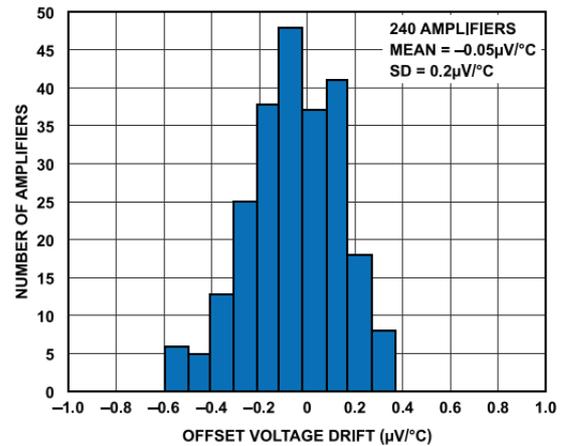


図6. -40°C~+125°Cにおける TCV_{OS} の分布

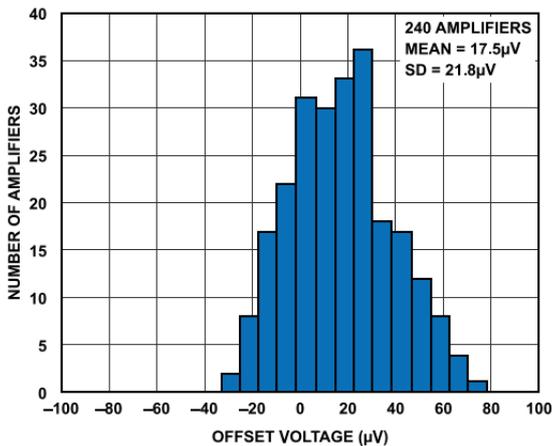


図4. -40°Cにおける V_{OS} の分布 (SOIC_N)

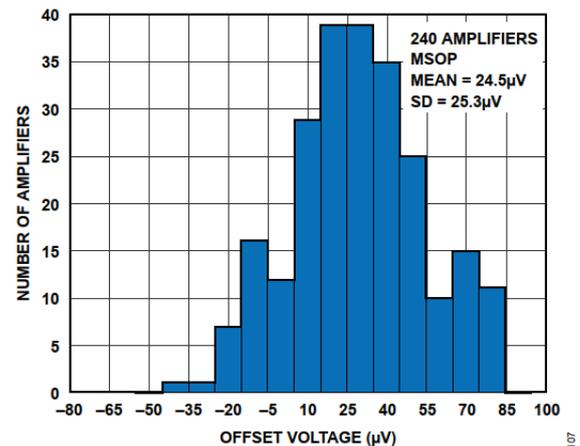


図7. -40°Cにおける V_{OS} の分布 (MSOP)

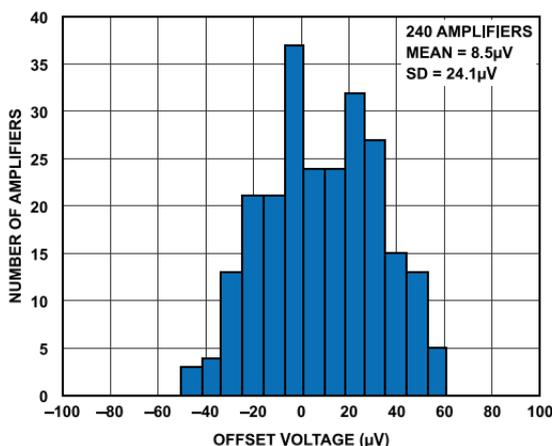


図5. 125°Cにおける V_{OS} の分布 (SOIC_N)

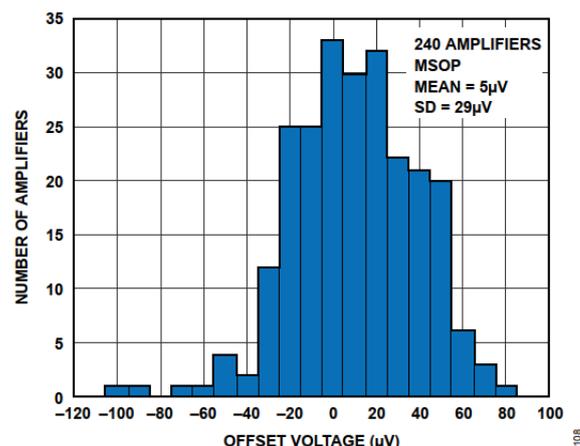


図8. 125°Cにおける V_{OS} の分布 (MSOP)

代表的な性能特性

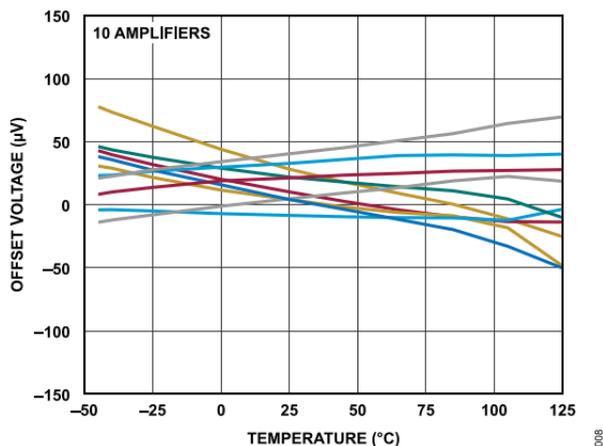


図9. V_{OS} と温度の関係 (SOIC_N)

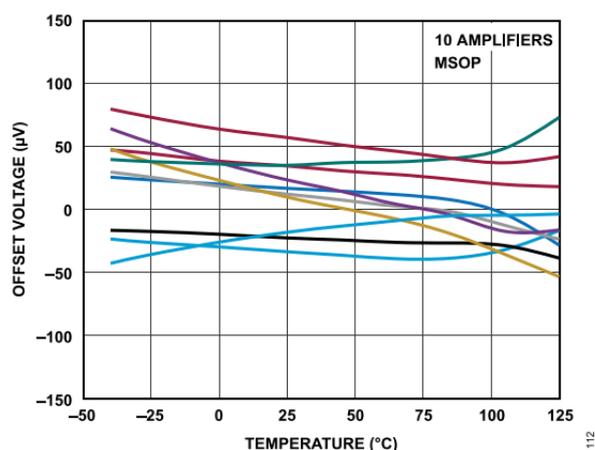


図12. V_{OS} と温度の関係 (MSOP)

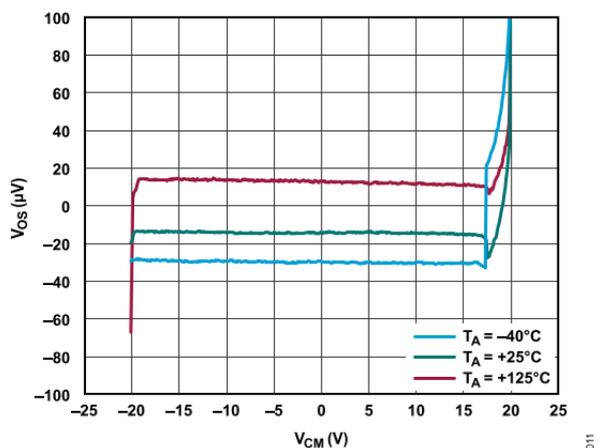


図10. 3通りの温度における V_{OS} と V_{CM} の関係

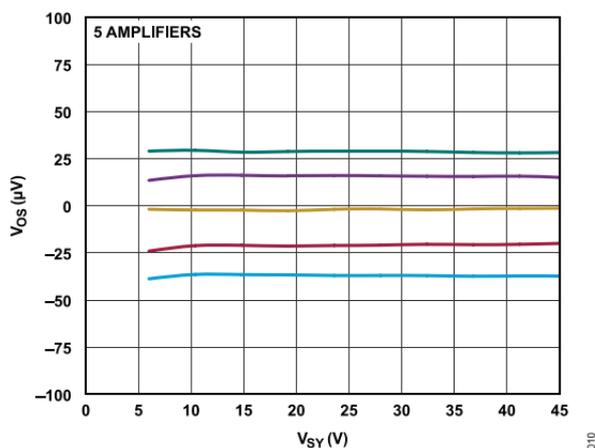


図13. V_{OS} と V_{Sy} の関係

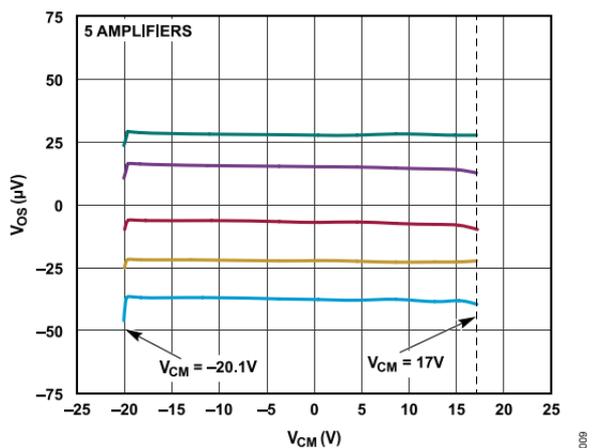


図11. V_{OS} と V_{CM} の関係

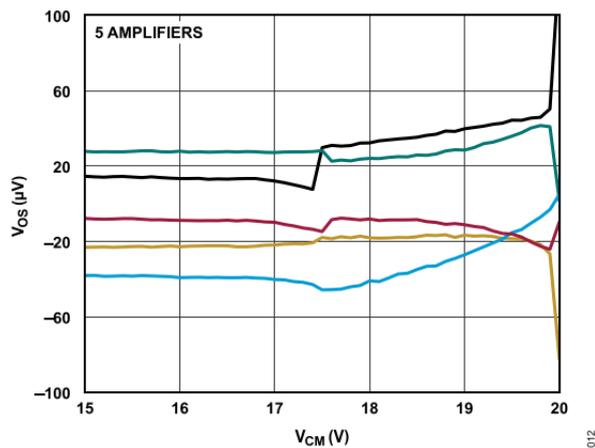


図14. V_{OS} と V_{CM} の関係、高 V_{CM} 動作

代表的な性能特性

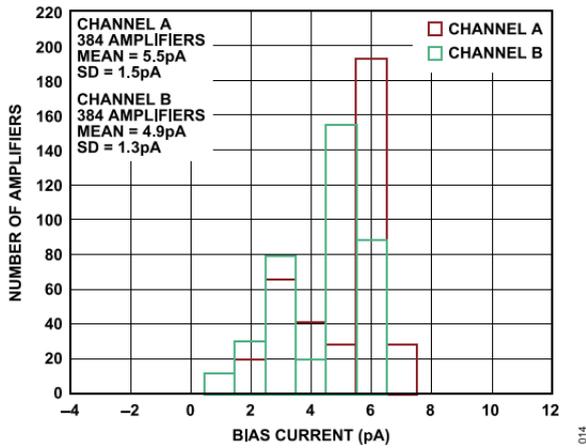


図15. 25°Cにおける I_B の分布

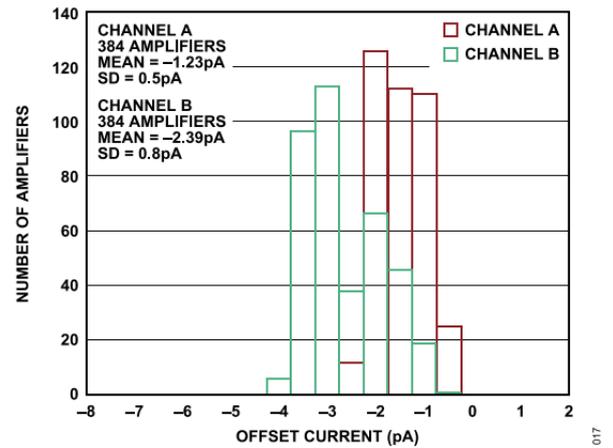


図18. 25°Cにおける I_{OS} の分布

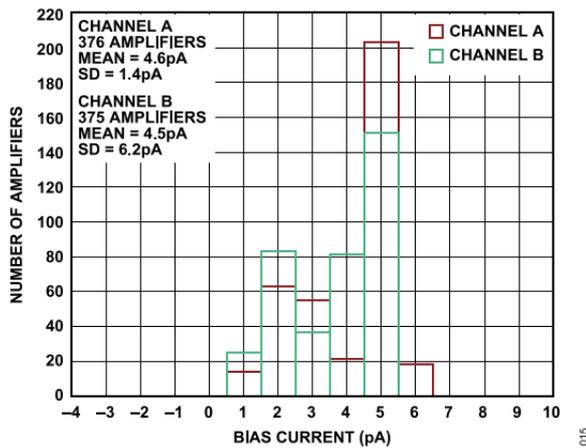


図16. -40°Cにおける I_B の分布

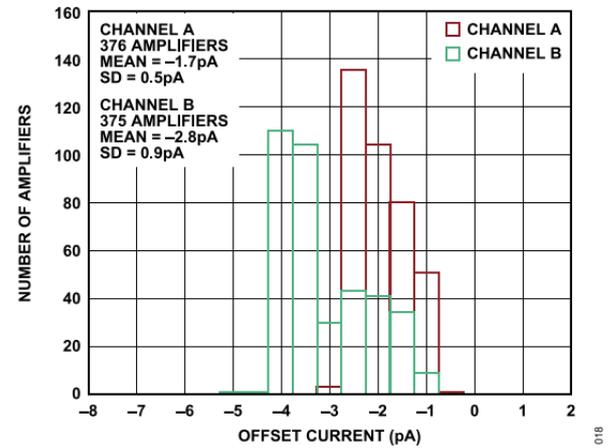


図19. -40°Cにおける I_{OS} の分布

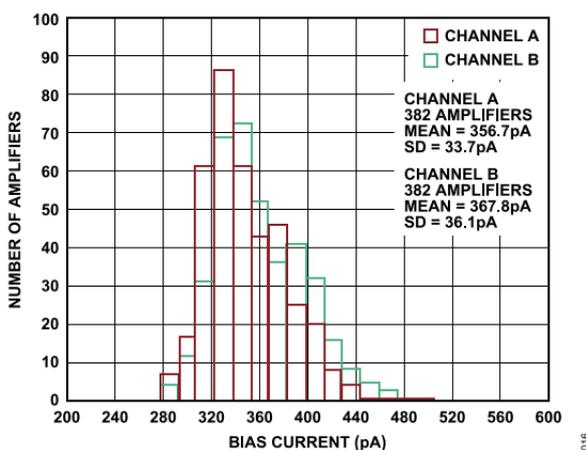


図17. 85°Cにおける I_B の分布

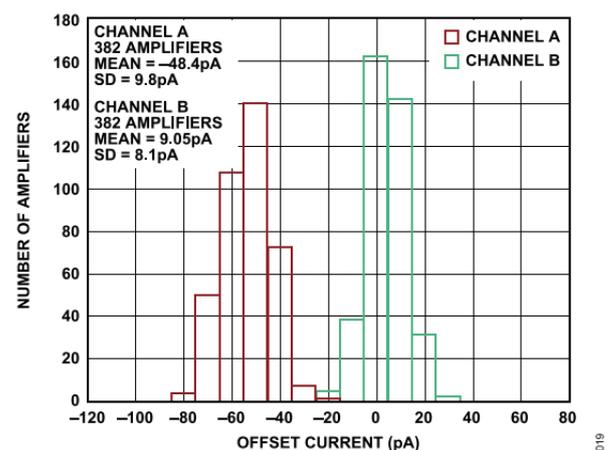


図20. 85°Cにおける I_{OS} の分布

代表的な性能特性

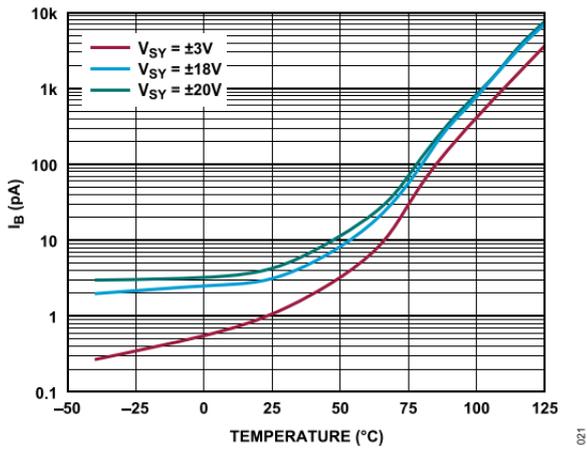


図21. I_B と温度の関係 (SOIC_N)

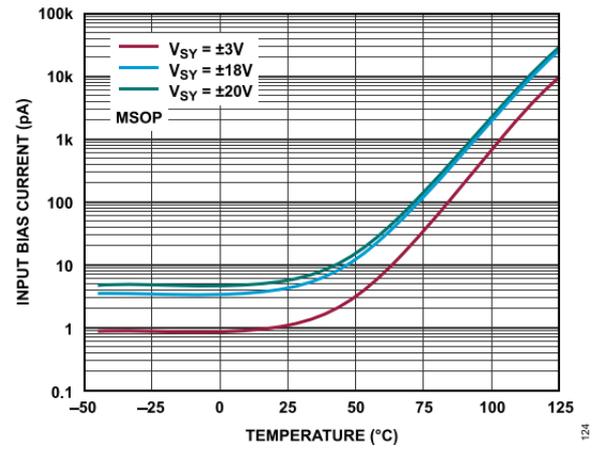


図24. I_B と温度の関係 (MSOP)

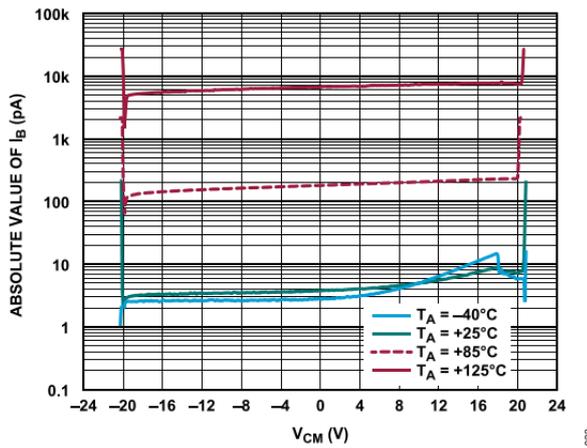


図22. 4通りの温度における I_B と V_{CM} の関係 (SOIC_N)

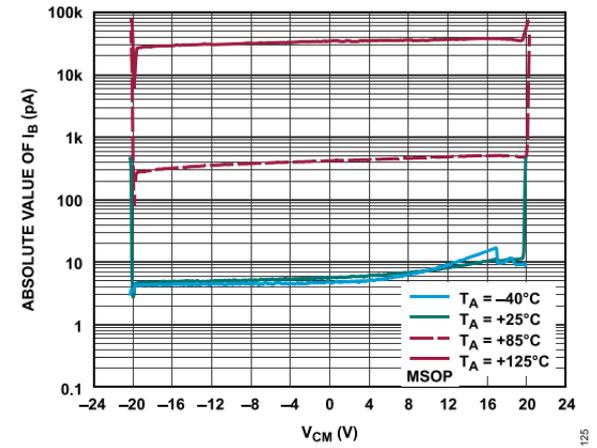


図25. 4通りの温度における I_B と V_{CM} の関係 (MSOP)

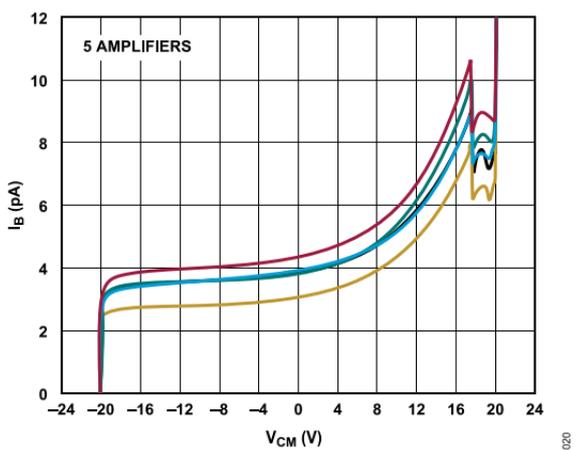


図23. I_B と V_{CM} の関係

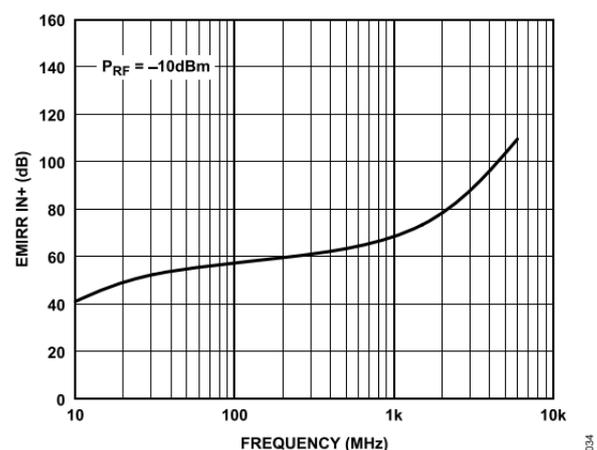


図26. EMIRR IN+と周波数の関係 (P_{RF} はRF電力)

代表的な性能特性

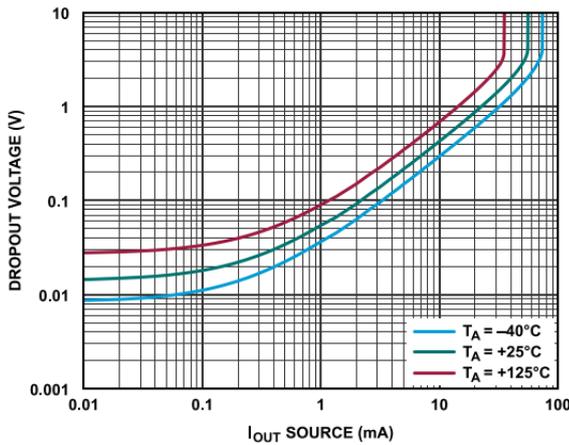


図27. $V_{DROPOUT}$ ($V+$ - V_{OUT}) と I_{OUT} ソースの関係

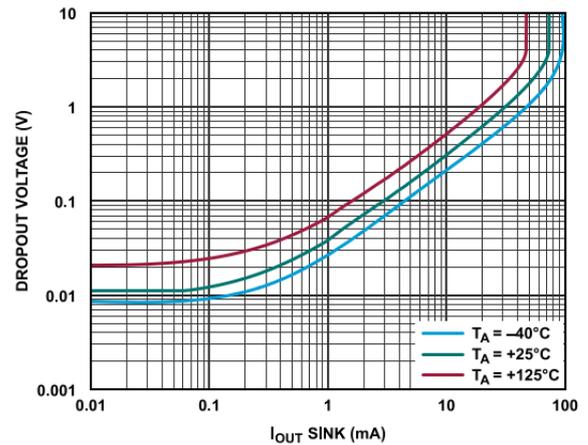


図30. $V_{DROPOUT}$ (V_{OUT} - $V-$) と I_{OUT} シンクの関係

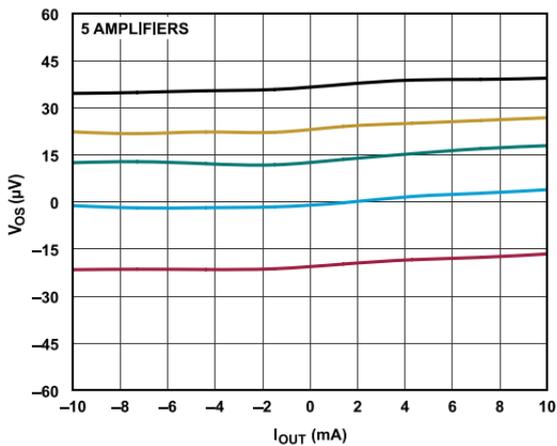


図28. V_{OS} と I_{OUT} の関係

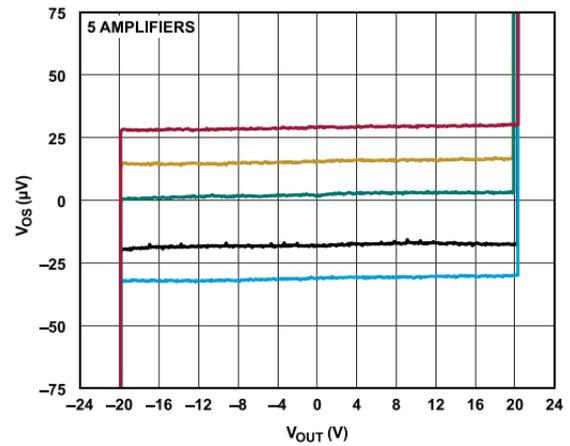


図31. V_{OS} と V_{OUT} の関係

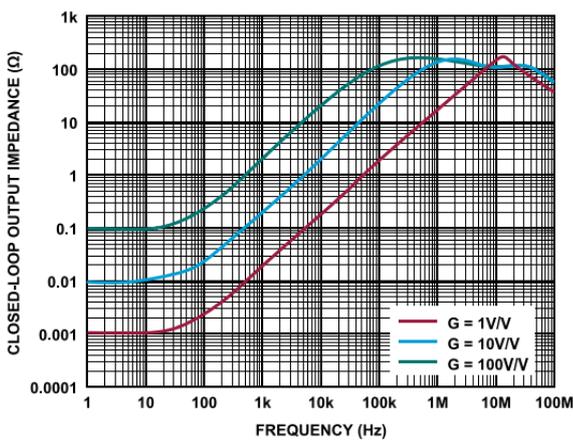


図29. Z_{OUT} と周波数の関係

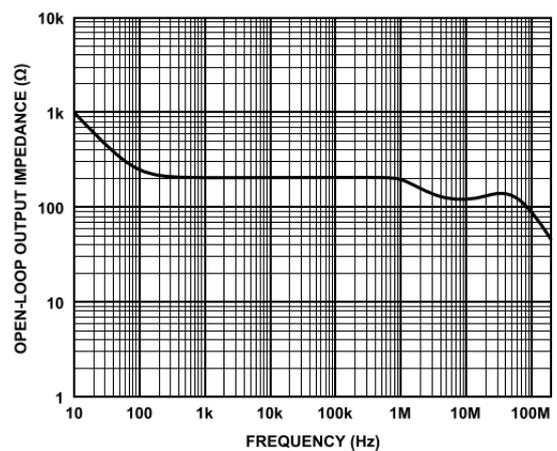


図32. Z_O と周波数の関係

代表的な性能特性

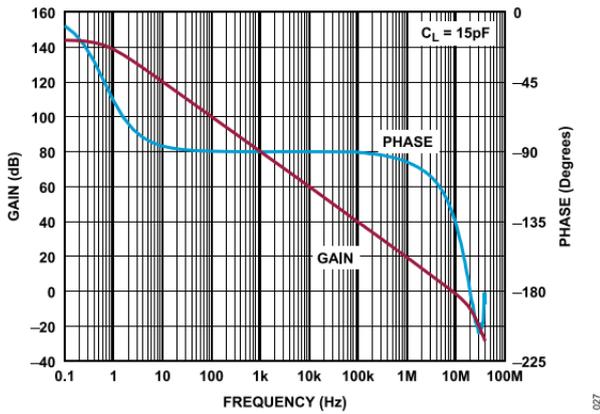


図33. オープン・ループ・ゲインおよび位相と周波数の関係

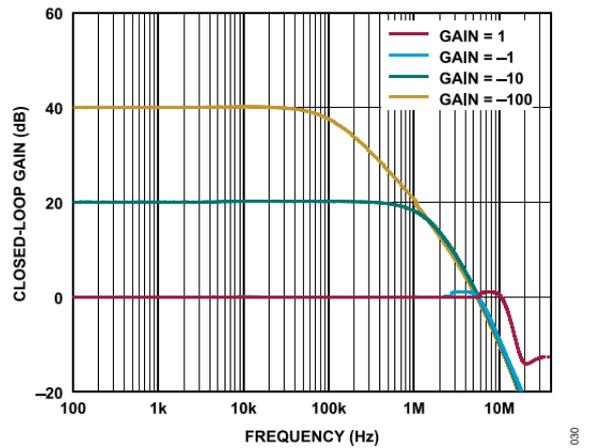


図36. クローズド・ループ・ゲインと周波数の関係

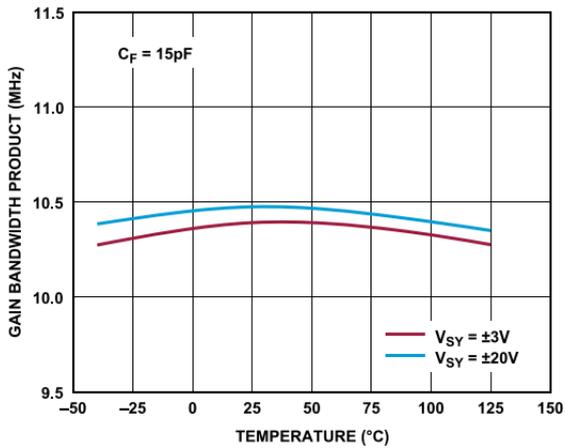


図34. ゲイン帯域幅積 (GB積) と温度の関係

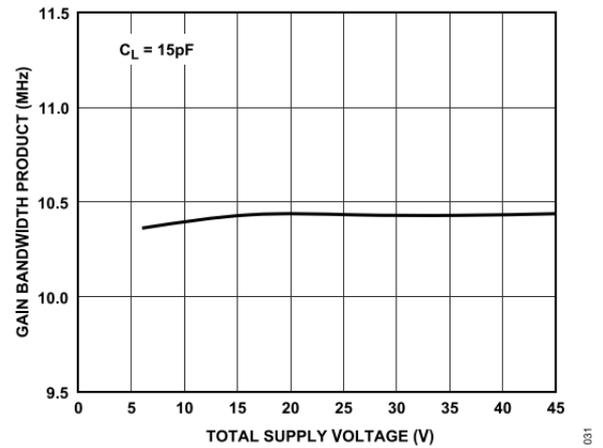


図37. ゲイン帯域幅積 (GB積) と総電源電圧の関係

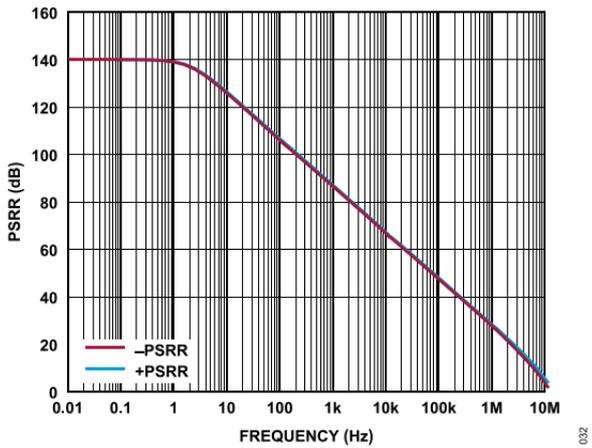


図35. PSRRと周波数の関係

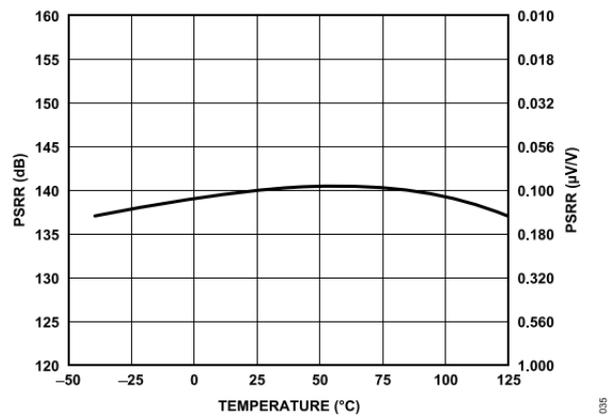


図38. PSRRと温度の関係

代表的な性能特性

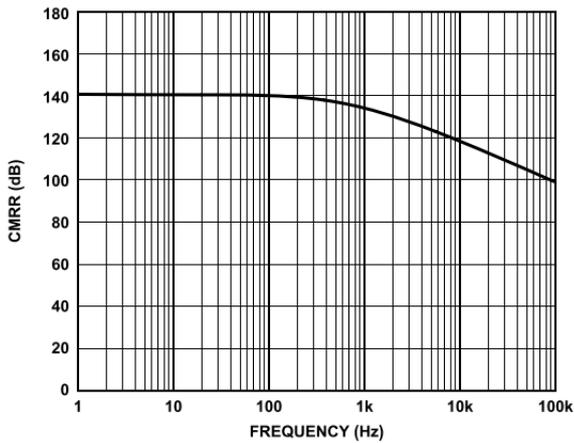


図39. CMRRと周波数の関係

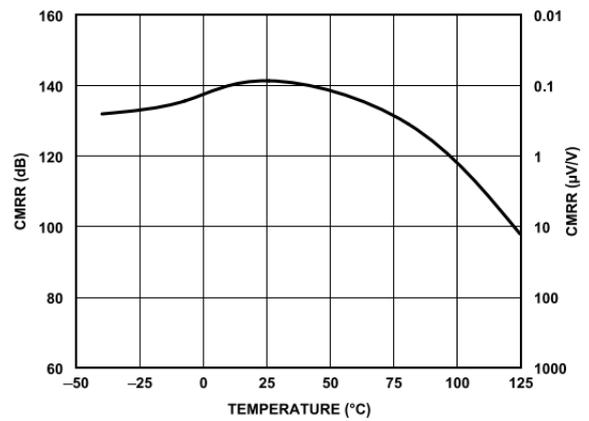


図42. CMRRと温度の関係

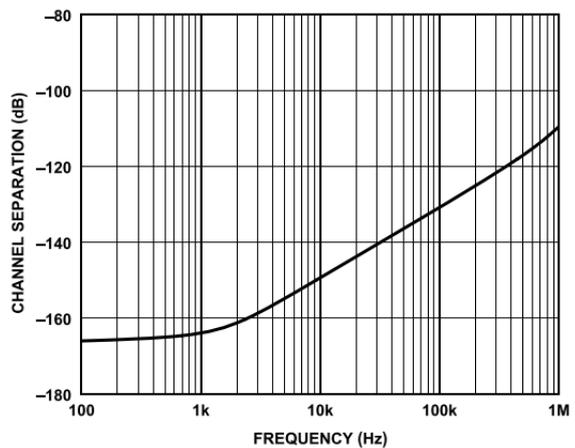


図40. チャンネル・セパレーションと周波数の関係

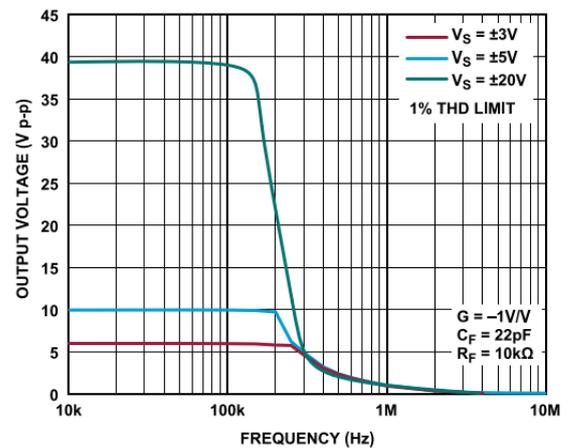


図43. 無歪み最大出力振幅と周波数の関係

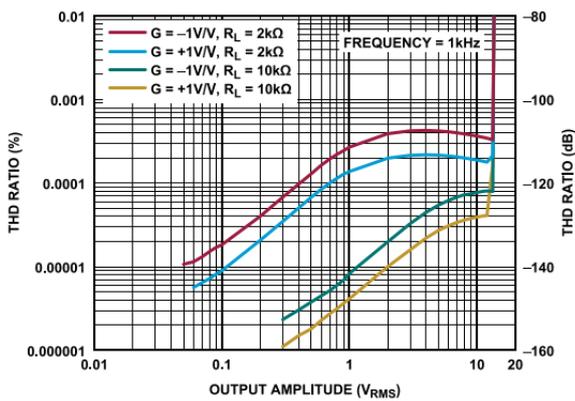


図41. THD比と出力振幅の関係

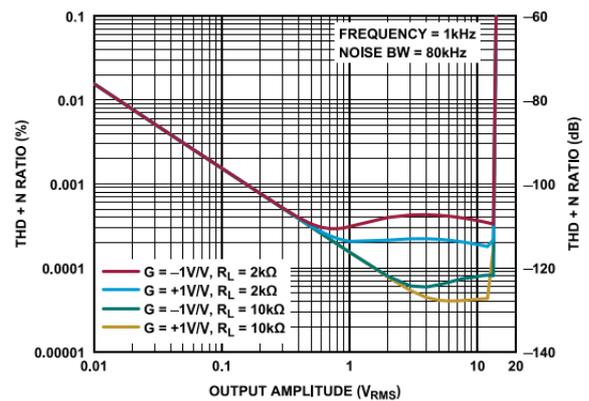


図44. THD + ノイズ (THD + N) 比と出力振幅の関係

代表的な性能特性

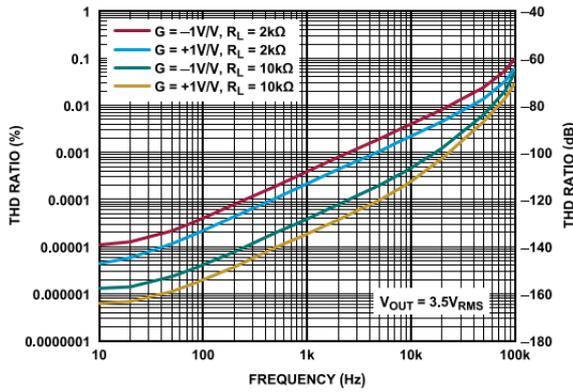


図45. THD比と周波数の関係

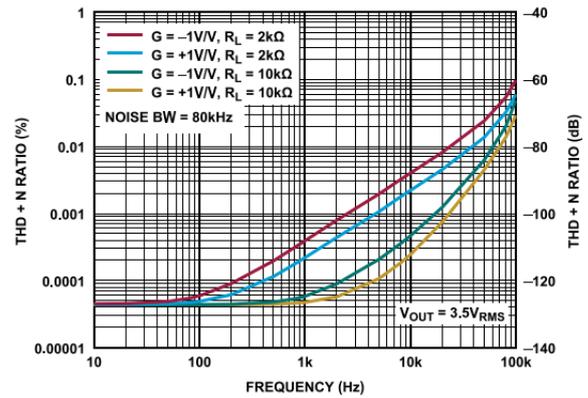


図48. THD + Nと周波数の関係

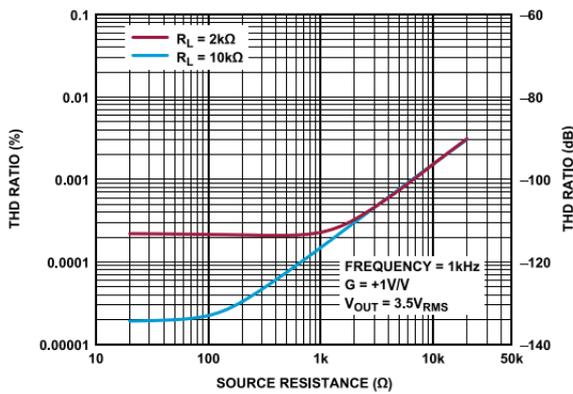


図46. THD比とソース抵抗の関係

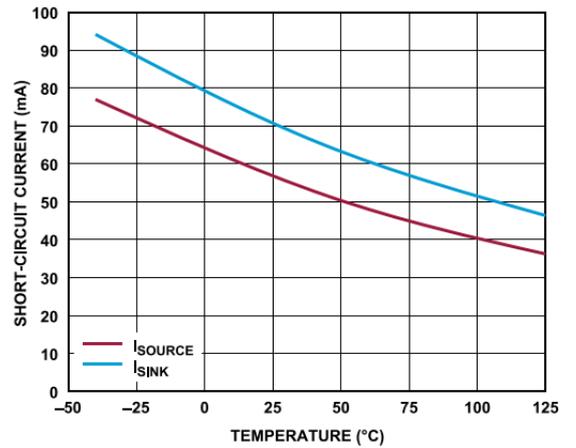


図49. 短絡出力電流と温度の関係

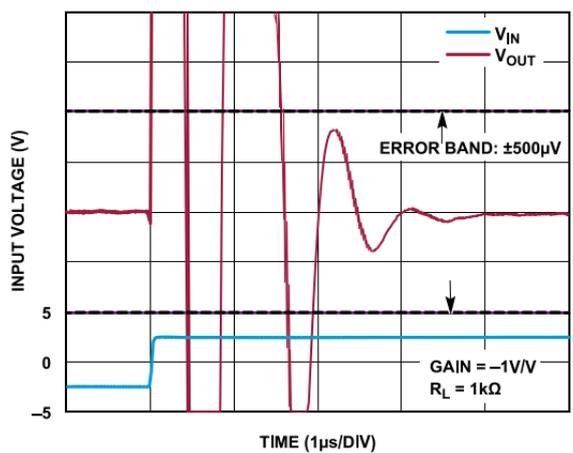


図47. 立上がりステップの0.01%へのセトリング時間、 $V_{OUT} = 5V$

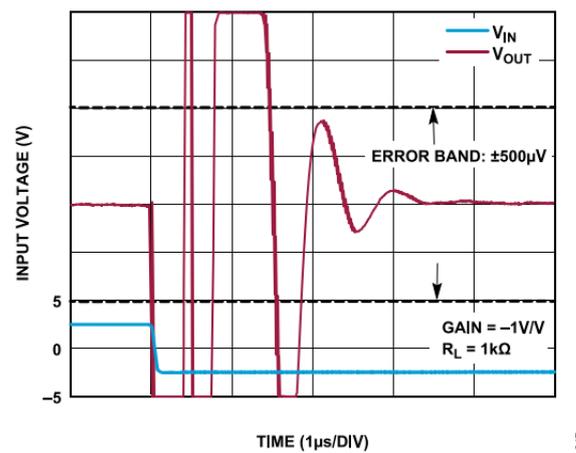


図50. 立下がりステップの0.01%へのセトリング時間、 $V_{OUT} = 5V$

代表的な性能特性

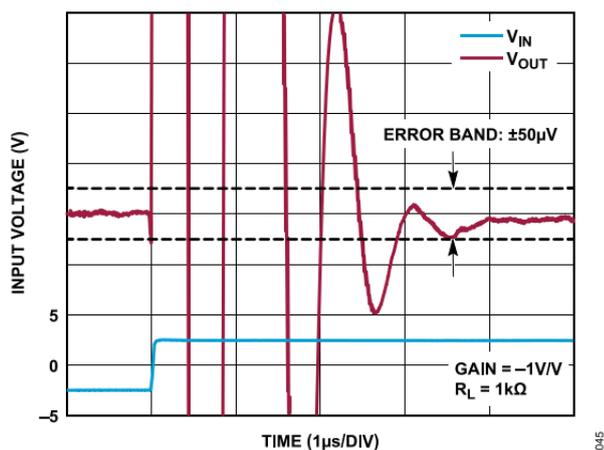


図51. 立上がりステップの0.001%へのセtring時間、 $V_{OUT} = 5V$

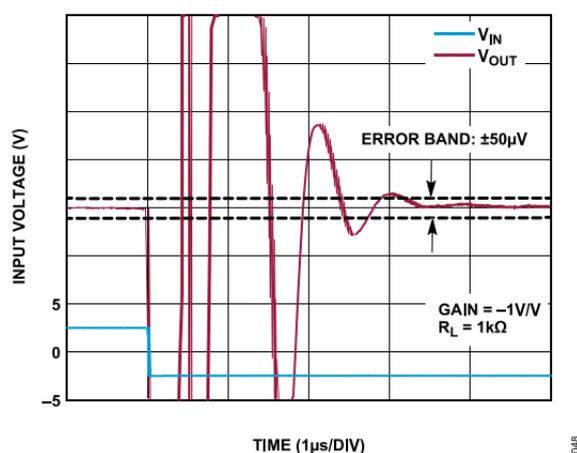


図54. 立下がりステップの0.001%へのセtring時間、 $V_{OUT} = 5V$

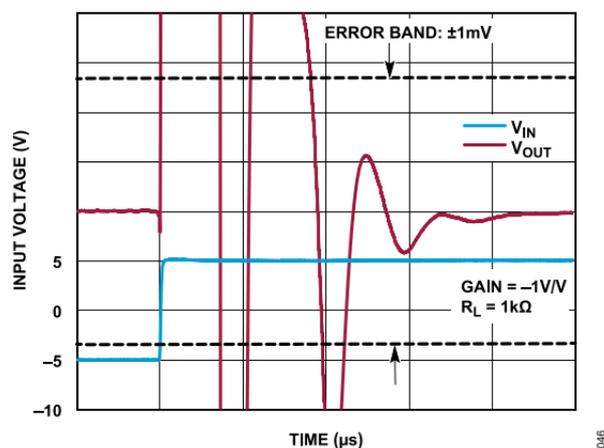


図52. 立上がりステップの0.01%へのセtring時間、 $V_{OUT} = 10V$

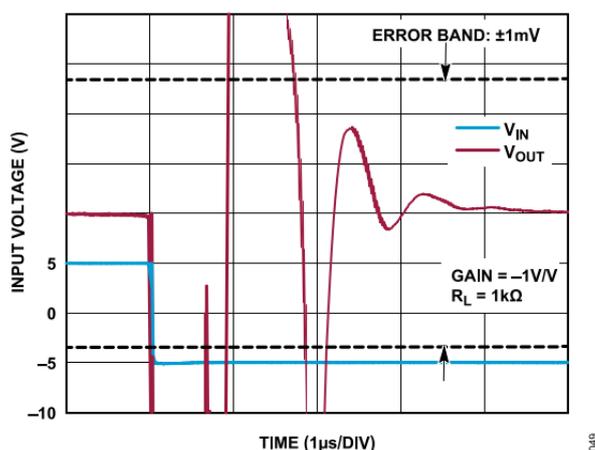


図55. 立下がりステップの0.01%へのセtring時間、 $V_{OUT} = 10V$

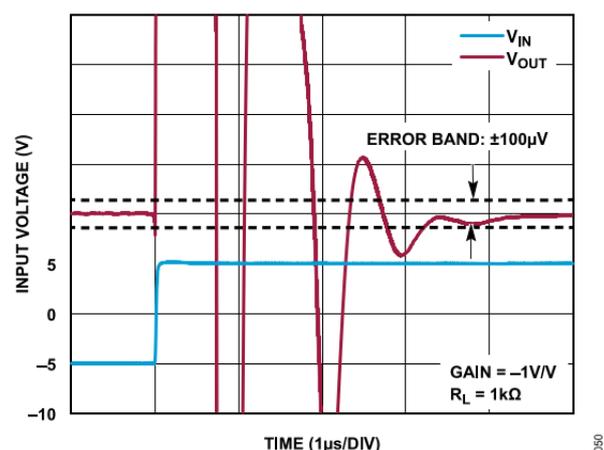


図53. 立上がりステップの0.001%へのセtring時間、 $V_{OUT} = 10V$

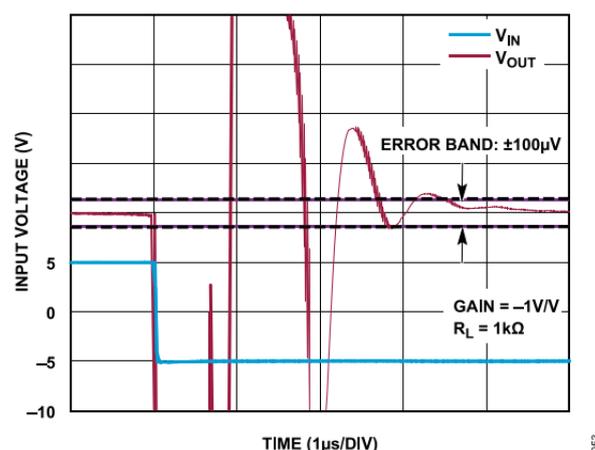


図56. 立下がりステップの0.001%へのセtring時間、 $V_{OUT} = 10V$

代表的な性能特性

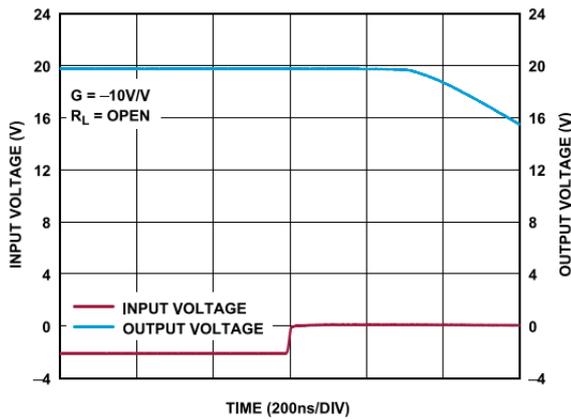


図57. 正の過負荷からの回復

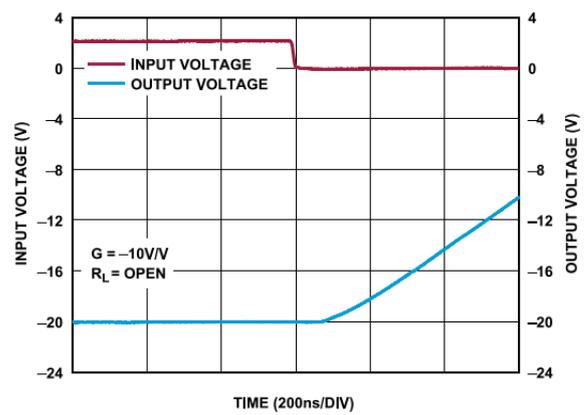


図60. 負の過負荷からの回復

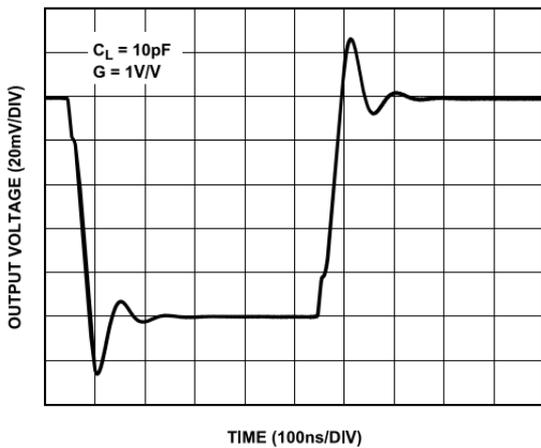


図58. 小信号過渡応答、G = 1V/V

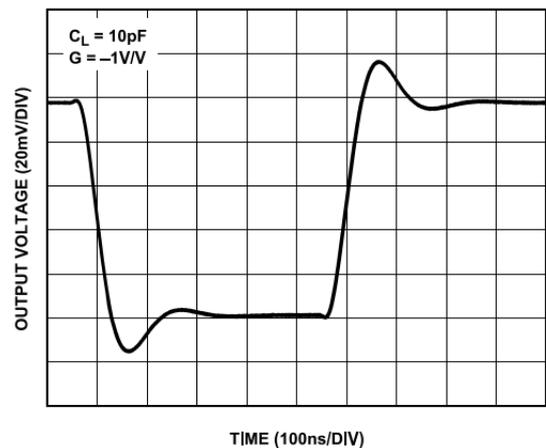


図61. 小信号過渡応答、G = -1V/V

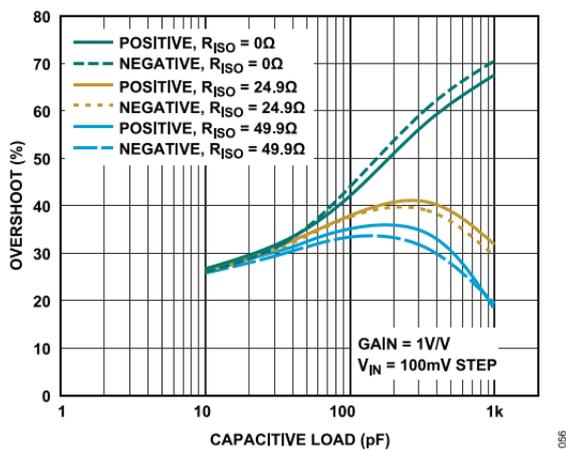


図59. オーバーシュートと容量性負荷の関係、G = 1V/V

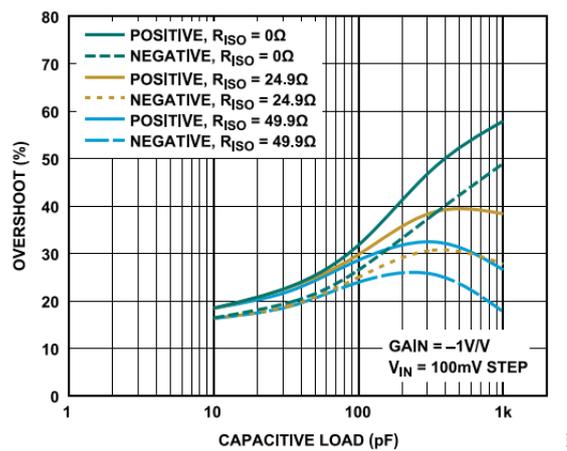


図62. オーバーシュートと容量性負荷の関係、G = -1V/V

代表的な性能特性

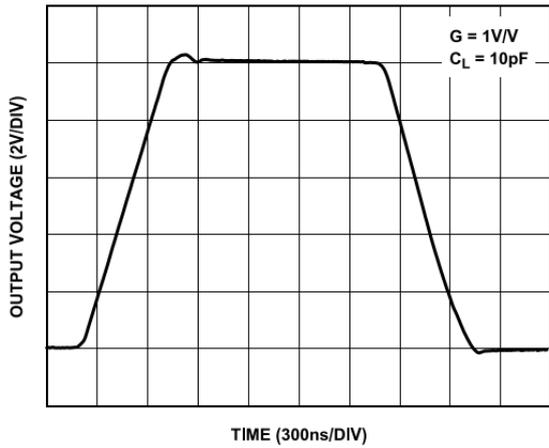


図63. 大信号過渡応答、G = 1V/V

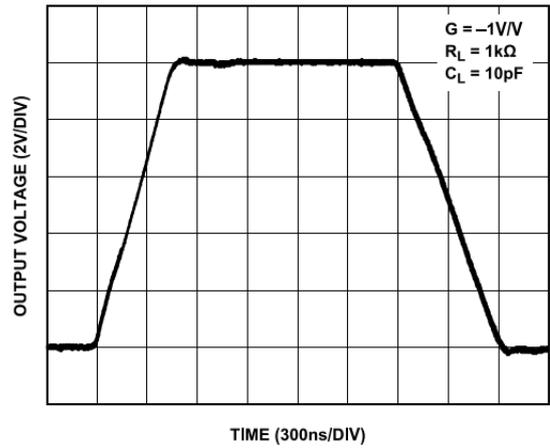


図66. 大信号過渡応答、G = -1V/V

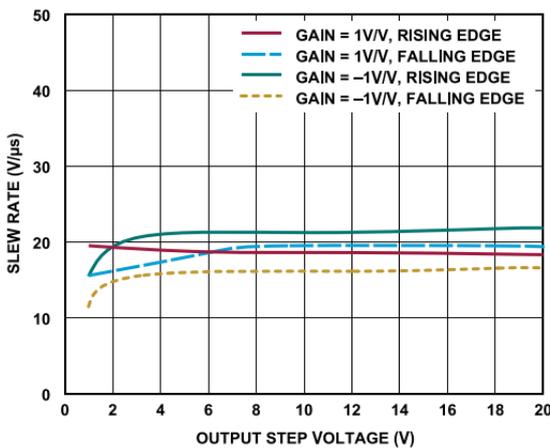


図64. スルー・レートと出カステップ電圧の関係

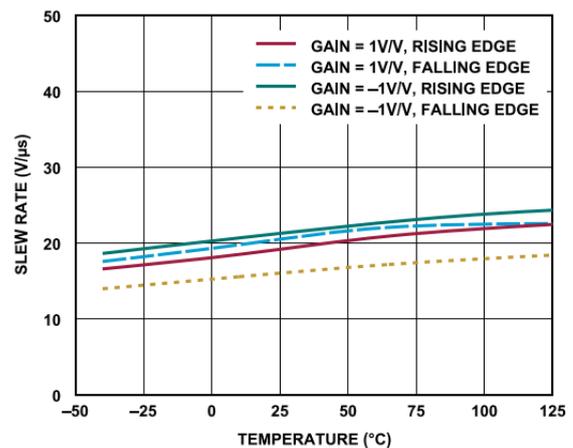


図67. スルー・レートと温度の関係

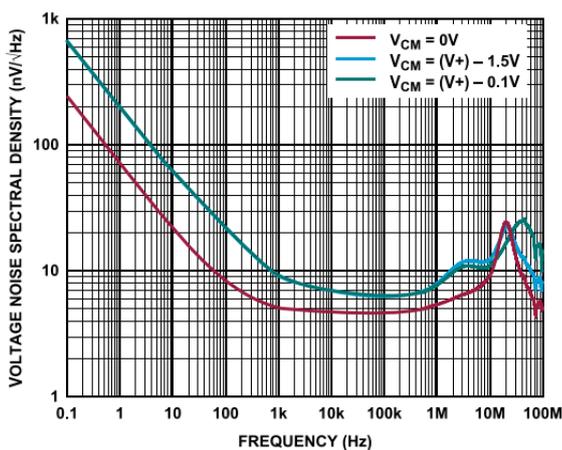


図65. 入力電圧ノイズ・スペクトル密度と周波数の関係

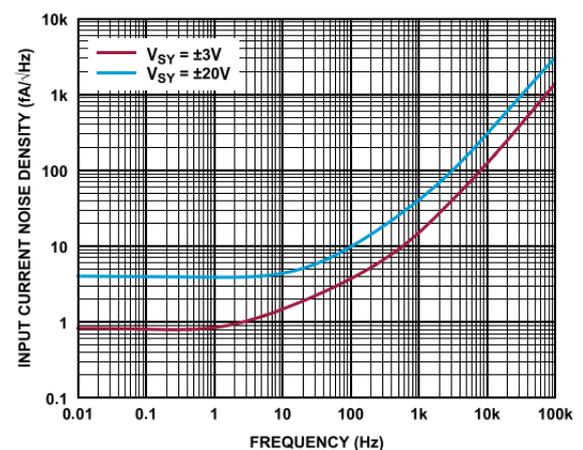


図68. 電流ノイズ・スペクトル密度と周波数の関係

代表的な性能特性

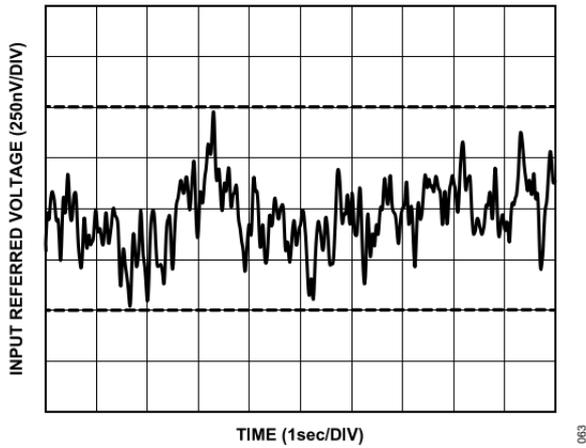


図69. 0.1Hz~10Hzの電圧ノイズ

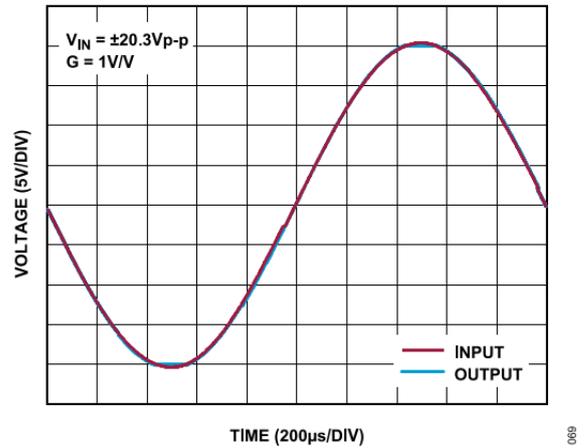


図72. 位相反転なし

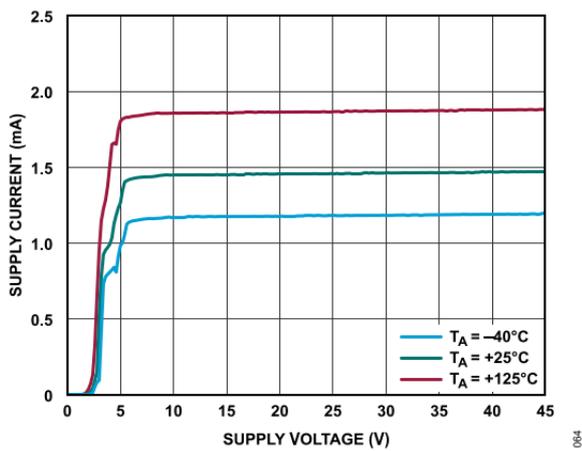


図70. 異なる温度におけるアンプあたりのI_Sと電源電圧の関係

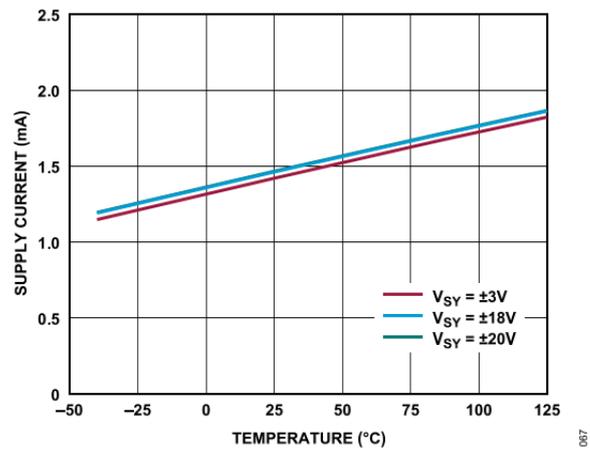


図73. 異なる電源電圧でのアンプあたりのI_Sと温度の関係

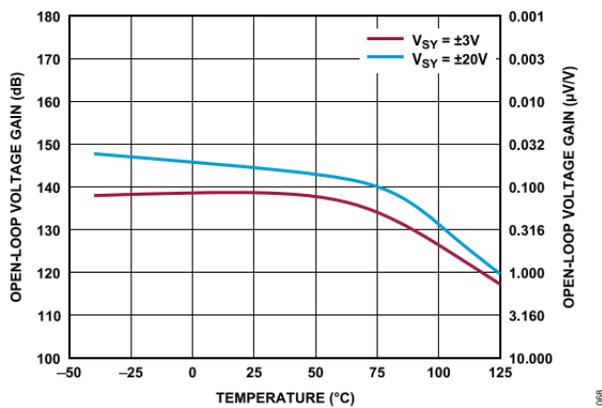


図71. DCオープン・ループ・ゲインと温度の関係

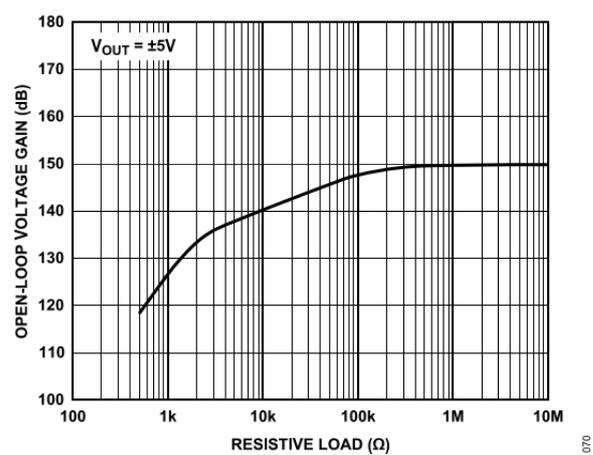


図74. DCオープンループ・ゲインとR_Lの関係

動作原理

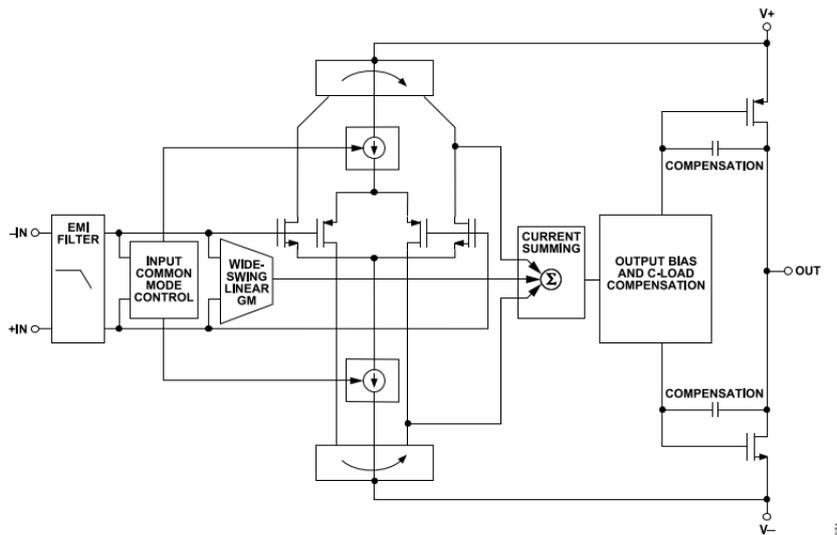


図75. 簡略化した回路図

ADA4511-2は、デュアルチャンネル、低消費電力、レールtoレール入出力の高精度CMOSオペアンプで、6V~40Vの広い電圧範囲で動作します。

入力段およびゲイン段

図75にADA4511-2の簡略化した回路図を示します。入力アーキテクチャは、高インピーダンス、レールtoレールの差動および共通モード入力振幅、低ノイズ、低入力バイアス電流、低オフセット電圧を実現します。

内蔵のEMIフィルタは信号の堅牢性を高め、EMI信号がアンプと結合するのを防ぎます。入力共通モード電圧に応じて、NチャンネルMOS (NMOS) またはPチャンネルMOS (PMOS) の入力段が随時アクティブになります。低オフセット電圧および低オフセット電圧ドリフトの仕様値は、NMOSおよびPMOSの両方の入力段をトリムすることで実現できます。

ADA4511-2には直線的な入力範囲を拡張する回路が含まれており、これによって従来の入力差動ペアよりも高いスルー・レートを実現し、THDを向上させます。10.4MHzの広いゲイン帯域幅積 (GB積) は、内蔵のミラー補償により実現されます。

出力段

ADA4511-2の出力は、どちらの電源電圧からも100mV以内となる振幅のレールtoレール動作を行います。容量性負荷補償ブロックは負荷容量を検出し、必要な場合は、大きな容量 (1nF以上) を駆動できるさらなる位相マージンを追加し、アンプの安定性を維持します。

EMI除去

高周波EMIは、目的のアプリケーションにおける高精度アンプの性能を脅かすものです。オペアンプは、信号強度が低い場合や伝送線が長い場合でも入力信号を正確に増幅する必要があります。

オペアンプのピンはすべて、EMI信号の影響を受けやすくなっています。これらの高周波信号は、伝導、近距離放射、長距離放射などの様々な方法でオペアンプに混入します。例えば、配線やPCBパターンは高周波EMI信号を拾うアンテナとして作用します。

オペアンプは、帯域幅が比較的に狭いため、EMI信号やRF信号を増幅することはありません。しかし、入力デバイスの非直線性のため、オペアンプはこれらの帯域外信号を整流することがあり、それにより出力のDCオフセットを生じる可能性があります。

ADA4511-2は、オペアンプの入力段にEMIフィルタを内蔵した設計となっています。EMIRRは、電磁エネルギーの存在下でもADA4511-2が意図したとおりに動作できる能力を表します。EMIRRは電気仕様において、非反転ピンに対し仕様規定されています。EMIRR測定の数学的方法は、以下のように定義されます。

$$EMIRR = 20 \log \times \Delta V_{IN_PEAK} / \Delta V_{OS} \quad (1)$$

ADA4511-2のEMIRR性能は図26に示しています。

無位相反転

ADA4511-2では、仕様規定された入力 V_{CM} 範囲を超えた場合に一部のオペアンプで見られるような出力電圧の位相反転は生じません。出力電圧の位相反転は、入力が共通モード電圧範囲内に戻るまで、出力電圧が反対側のレールまで振れる原因となります。通常、一般的なオペアンプの入力は負の電圧範囲方向の共通モード電圧制限値以下にはなりません。多くの場合、位相反転は接合電界効果トランジスタ (JFET) アンプやバイポーラ電界効果トランジスタ (BiFET) アンプに関連して生じます。しかし、一部のバイポーラ単電源アンプでも位相反転が生じやすくなっています。ADA4511-2は、仕様規定された入力 V_{CM} 範囲を超えても絶対最大入力電圧の限界値まで、位相反転がないことを保証しています。

動作原理

容量性負荷に対する駆動能力

ADA4511-2は、最大1nFの容量性負荷に対し安定です。これは、負荷によって生じる出力極を動的に検出し、アンプの内部ゲイン・ノードで補償を調整することで実現されます。容量性負荷が増大すると帯域幅は減少します。位相マージンは異なる容量性負荷によって増加する場合も減少する場合もあります。そのため、一部の容量性負荷に対する過渡応答にオーバーシュートが生じる場合があります（図59および図62を参照）。1nF未満の同軸ケーブルは直接駆動できますが、最高のパルス忠実度を得るためには、ケーブルの特性インピーダンスに等しい値の抵抗（例えば50Ω）を出力と直列に配置することによって、ケーブルを適切に終端する必要があります。ケーブルのもう一方の端は、グラウンドとの間に同じ値の抵抗を接続して終端する必要があります。

図59と図62は、ユニティ・ゲイン構成とゲインが-1の構成での様々な容量性負荷に対するADA4511-2のオーバーシュートを示します。ADA4511-2の容量性負荷駆動能力を更に向上させるには、アイソレーション抵抗（R_{ISO}）を出力と直列に配置します。これにより、オーバーシュートとリングングを大幅に低減しアンプを安定させることができます。

表6. 様々なR_{ISO}での容量性負荷駆動

Capacitive Load	100 pF			1000 pF		
	0 Ω	24.9 Ω	49.9 Ω	0 Ω	24.9 Ω	49.9 Ω
R _{ISO}	0 Ω	24.9 Ω	49.9 Ω	0 Ω	24.9 Ω	49.9 Ω
Positive Overshoot Percent	42%	38%	35%	68%	32%	18%
Negative Overshoot Percent	43%	38%	30%	71%	29%	19%

アプリケーション情報

マルチプレクサ対応データ・アキュイジション・システム

マルチチャンネル・システムのデータ・アキュイジションは、[図76](#)に示すように、マルチプレックスすることで実現できます。この手法は、計測器、工業用プロセス制御、自動試験装置（ATE）の分野において広く用いられています。複数のセンサーを検出するのに必要な部品数を減らすことができ、消費電力、サイズ、コストを大幅に低減できるためです。

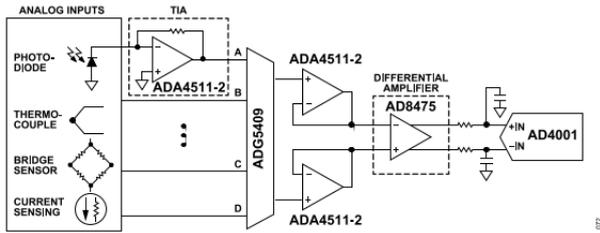


図76. マルチプレックスされたデータ・アキュイジション・システム

このシステムを設計する場合の1つのリスクは、マルチプレクサによって大きな正電圧から大きな負電圧に高速で切り替わるため、バッファ・アンプに大きな差動電圧が入力される可能性があります。バッファ・アンプの選択が不適切な場合、大きな突入電流が流れ、システムの性能が低下したり、最悪の場合、デバイスに恒久的な損傷が生じる可能性があります。

ADA4511-2は、この問題を解決するために、マルチプレックス対応の堅牢なアーキテクチャを使用しています。それによって差動のバック・ツー・バック・ダイオードを用いることなく電源レールまでの大きな差動電圧を処理できます。[図77](#)に示すように、バック・ツー・バック・ダイオードを用いる従来のオペアンプに比べ、このアーキテクチャは突入電流を大幅に低減すると共にセトリング性能と歪み性能を向上させ、入力負荷の影響を受けることはありません。

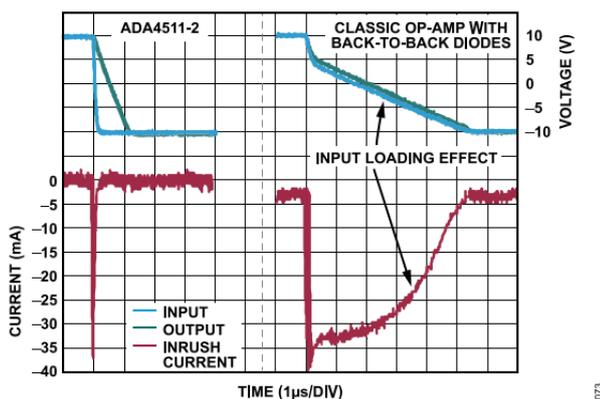


図77. ADA4511-2における突入電流の低減

設計例

[図78](#)に示す回路は、マルチプレクサ、アンプ、A/Dコンバータ（ADC）で構成された標準的なマルチチャンネル・データ・アキュイジション・シグナル・チェーンです。このアーキテクチャでは、1つのADCを用いて複数のチャンネルを高速にサンプリングすることができ、低コストで優れたチャンネル間マッチングが可能となります。マルチプレクサは後段のアンプとADCにフルスケール

ール・ステップのV_{OUT}を供給する必要があるため、チャンネル間の切替え速度は、シグナル・チェーンにあるマルチプレクサ後段の各種コンポーネントのセトリング時間によって制限されます。この回路内のコンポーネントは、セトリング時間を最小限に抑え、チャンネル間の切替え速度を最大限にするよう、具体的に選択されています。

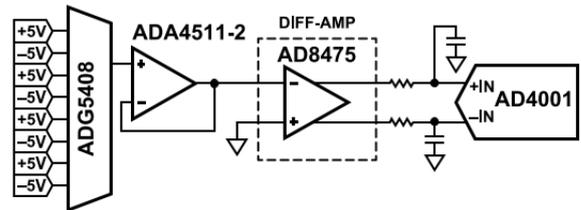


図78. シングルエンド入力／差動出力の16ビット、8チャンネル・マルチプレックス・データ・アキュイジション・システム

この回路は連続スイッチング・モードで動作します。マルチプレクサADG5408は、ADCの変換サイクルと同期したスイッチング・レートで連続的に切替えを行います。信号はADA4511-2でバッファされた後、AD8475に伝達され、シングルエンド信号が減衰およびレベルシフトされて差動出力に変換されます。ADCの入力ではRCフィルタが用いられ、これによって帯域外ノイズを除去する共に、ADC入力でのスイッチト・キャパシタからのキックバックを減衰します。

セトリング時間を計算するには、[図79](#)に示すように回路をいくつかの部分に分割します。

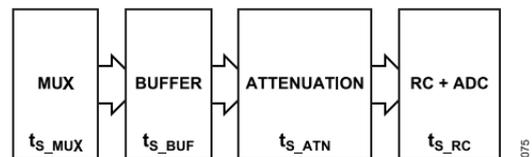


図79. セトリング時間を分析するためのブロック図

全セトリング時間は各段のセトリング時間の二乗和平方根（RSS）で概算できます。

アプリケーション情報

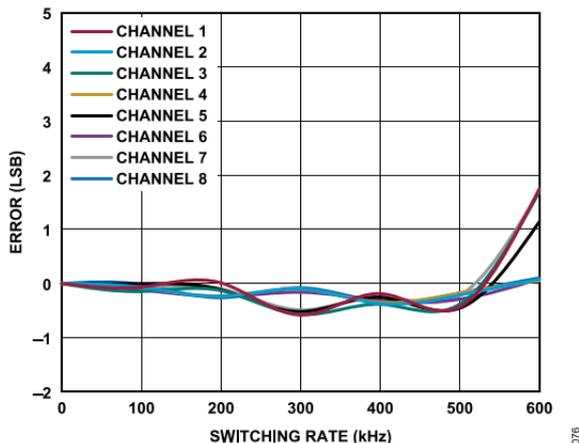


図80. 誤差 (LSB) とスイッチング・レートの関係、8チャンネル
10Vステップ

8チャンネル10Vステップのマルチプレックス・データ・アキュイジション・システムの誤差 (LSB単位) とスイッチング・レートとの関係を、図80に示します。570kHzのスイッチング・レートまで1未満のLSB誤差が実現されています。

トランスインピーダンス・アンプ

ADA4511-2は、低ノイズ・トランスインピーダンス・アンプ (TIA) アプリケーションに対し優れた選択肢となります。

ADA4511-2は電圧ノイズおよび電流ノイズが低いため、最大限のS/N比 (SNR) が可能で、また、 V_{OS} および I_B が小さいため、アンプ出力におけるDC誤差を最小限に抑えることができます。

電流電圧変換の一般的なアプリケーションには、負の入力端子に配置されたダイオードが供給する電流をアンプが出力電圧に変換する、フォトダイオード回路が含まれます。フォトダイオード・アプリケーションの例としては、光ファイバ制御、モーション・センサー、バーコード・リーダーなどがあります。図81に示す回路は、ADA4511-2の1チャンネルを電流電圧コンバータとして用いた例をフォトダイオードの電気モデルと共に示しています。

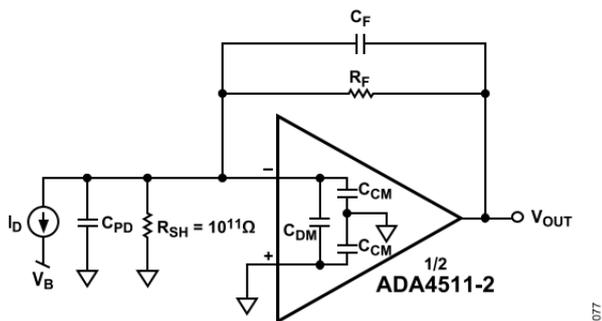


図81. 等価TIA回路

フォトダイオードは、光起電力モード (ゼロ・バイアス) または光伝導モード (ダイオード両端に逆バイアスを印加) のいずれかで動作します。モードの選択は、アプリケーションの速度条件および暗電流条件、それにフォトダイオードの選択によって異なります。光起電力モードでは、暗電流が最小となり、低周波数のアプリケーションや光レベルの低いアプリケーションに適しています (すなわちPNフォトダイオード)。光伝導モードは、より高速で直線応答が必要なアプリケーションに適しています (すなわち

PINダイオード)。ただし、暗電流とノイズ電流が増加するというようなトレードオフがあります。

以下の伝達関数は、図81のトランスインピーダンス・ゲインを記述するものです。

$$V_{OUT} = \frac{I_D R_F}{1 + s C_F R_F} \quad (2)$$

ここで、

V_{OUT} はオペアンプに必要な出力DC電圧。

I_D はフォトダイオードの出力電流です。

R_F は帰還抵抗。

C_F は帰還コンデンサ。

R_F と C_F の並列接続により信号帯域幅が設定されます。

s は複素周波数変数 $j\omega$ 。

j は虚数単位。

ω は角周波数。

R_F は、実現可能な最大 V_{OUT} がダイオードの最大 I_{OUT} に対応するように設定します。信号レベルは R_F に比例して増加する一方、 R_F によるノイズは抵抗値の平方根に比例して増加するため、出力振幅が最大の場合にSNRは最大となります。

ループ・ゲイン特性によって実質的な回路安定性が決まるため、トランスインピーダンス・ゲインとループ・ゲインを区別することが重要です。クローズド・ループの伝達関数は、次式で表される形をとります。

$$\frac{V_{OUT}}{V_{IN}} = \frac{A}{1 + A\beta} \quad (3)$$

ここで、

A はアンプのオープン・ループ・ゲイン。

β は帰還ネットワーク。

$A\beta$ はループ・ゲイン。

このアプリケーションの場合、 β は次式で与えられます。

$$\beta = \left(\frac{R_{SH}}{R_{SH} + R_F} \right) \frac{1 + s R_F C_F}{1 + s (R_F \parallel R_{SH})(C_{IN} + C_F)} \quad (4)$$

ここで、

R_{SH} はダイオードのシャント抵抗。

C_{IN} は、ダイオードのシャント容量 (C_{PD})、アンプの入力容量 ($C_{DM} + C_{CM}$)、および外部浮遊容量の総和で構成される合計入力容量。

C_{IN} 、 R_F 、 C_F 、 R_{SH} によって、 $1/\beta$ の伝達関数でゼロが形成されます。ゼロ周波数 (f_Z) は次式のようになります。

$$f_Z = \frac{1}{2\pi (R_F \parallel R_{SH})(C_{IN} + C_F)} \quad (5)$$

フォトダイオードのシャント抵抗 R_{SH} は R_F に比べ非常に大きいため、回路の動作は、ジャンクション抵抗の影響を受けず、 f_Z は次のように簡略化できます。

$$f_Z = \frac{1}{2\pi R_F (C_{IN} + C_F)} \quad (6)$$

アプリケーション情報

図82に、アンプのオープン・ループ・ゲインにTIAの1/βの曲線を重ね合わせて示します。システムが安定であるためには、1/βの曲線がオープン・ループ応答と交差する点での傾きが20dB/decade未満であることが必要です。図82において、赤い点線は、オープン・ループ・ゲインと20dB/decadeの傾きとなっている周波数 (fx) で交差する無補償の1/β応答 (CF = 0pF) を表したもので、不安定な状態を示しています。

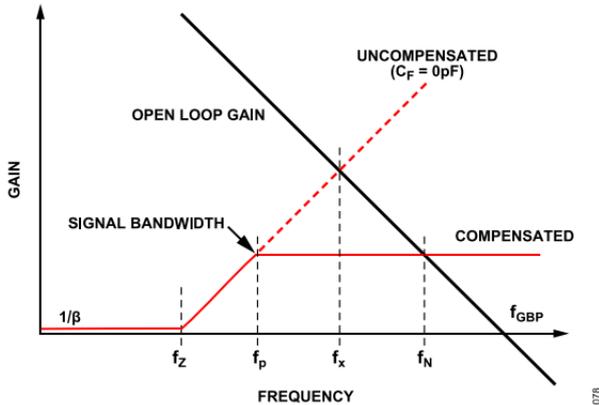


図82. TIAの一般的な1/βおよび伝達関数

CINに起因する不安定性は、CFを追加してfx以下の周波数に極を導入することで補償できます。極周波数は次式で表されます。

$$f_P = \frac{1}{2\pi R_F C_F} \tag{7}$$

極をfxの周波数に設定することで、45°の位相マージンで信号帯域幅が最大となりますが、安定性を得るには十分ではありません。fxは、fzとアンプのゲイン帯域幅積周波数 (fGBP) の幾何平均であるため、次式によりfxを計算します。

$$f_X = \sqrt{f_Z f_{GBP}} \tag{8}$$

式6と式7を式8に代入すると、fxを生成するCFの値は次のようになります。

$$C_F = \frac{1 + \sqrt{1 + 8\pi R_F C_{IN} f_{GBP}}}{4\pi R_F f_{GBP}} \tag{9}$$

8π × RF × CIN × fGBP >> 1であれば、式9は次のように簡略化できます。

$$C_F = \sqrt{\frac{C_{IN}}{2\pi R_F f_{GBP}}} \tag{10}$$

また、CFを追加しても信号帯域幅はfpに設定されます。式10を式7に代入し、fGBP、RF、CINによる信号帯域幅の式に変形すると、次のようになります。

$$f_P = \sqrt{\frac{f_{GBP}}{2\pi R_F C_{IN}}} \tag{11}$$

実現可能な信号帯域幅は時定数RF CINとアンプのfGBPの関数である点に注意してください。信号帯域幅を最大にするには、広帯域幅

で低入力容量のオペアンプを選択し、また、フォトダイオードを逆バイアスで動作させてジャンクション容量を低減します。

設計例

ADA4511-2の1つのチャンネルをフォトダイオード・プリアンプ・アプリケーションのTIAアンプとして設定したものを、設計例として図83に示します。フォトダイオードのCbを5pF、Idを2μF、必要なフルスケールVOUTを100mVとすると、式2に従いRFは49.9kΩになります。

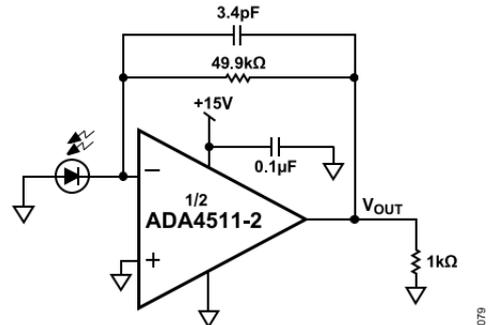


図83. ADA4511-2を用いた単電源TIA回路

ADA4511-2の入力容量 (CCM + CDM) は22pFであるため、合計入力容量 (CIN) は27pFです。CIN = 27pF、RF = 49.9kΩ、fGBP = 10MHzを式9と式11に代入すると、CFの値は3.1pF、-3dB帯域幅 (fP) は1.1MHzとなります。

図84と図85にTIA回路の補償結果を示します。CF = 3.1pFで信号帯域幅を最大化した場合のシステム帯域幅は1.1MHzです。CFを5.5pFに増やすと帯域幅は579kHzに減少します。ただし、CFを増やすとオーバーシュートが大きく低減します (図86参照)。実際には、出力パルス応答が最適なものとなるようCF値を少しずつ変化させながら実験的に最適なCF値を求めます。

アナログ・デバイセズのアナログ・フォトダイオード・ウィザードを使用することで、フォトダイオードと接続するトランスインピーダンス・アンプ回路を設計できます。

アプリケーション情報

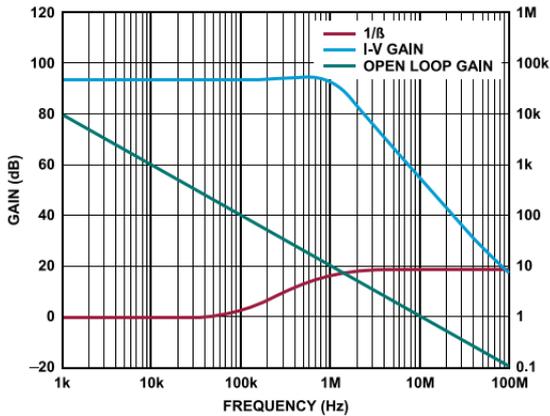


図84. TIAの補償、 $C_F = 3.1\text{pF}$

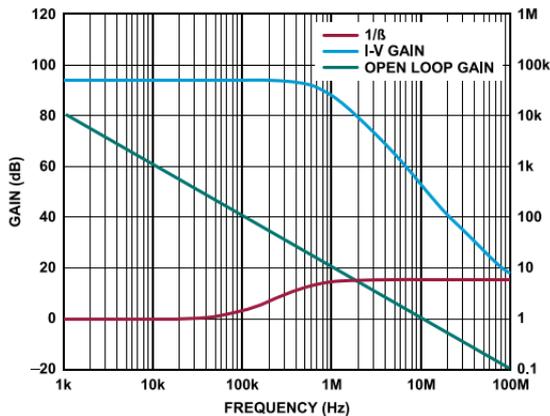


図85. TIAの補償、 $C_F = 5.5\text{pF}$

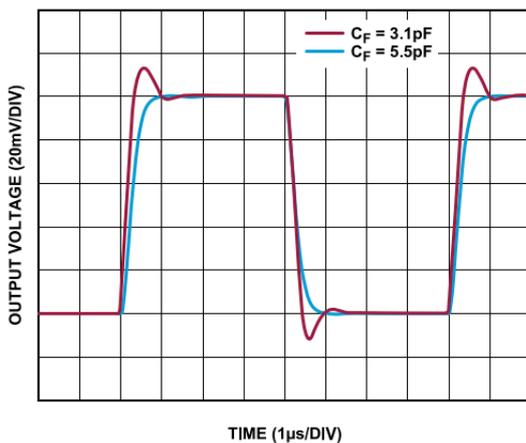


図86. 異なる C_F に対するパルス応答

アクティブ・フィルタ

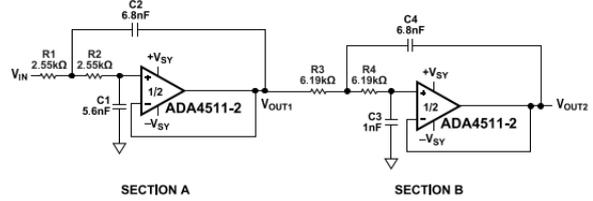


図87. -3dB 帯域幅が 10kHz の4極ローパス・フィルタ

アクティブ・フィルタは、信号を分離するために用いられるもので、必要な信号は通過させ不要な周波数の信号は減衰します。例えば、ローパス・フィルタは、データ・アキュイジション・システムのアンチエイリアシング・フィルタや、高周波数ノイズを制限するノイズ・フィルタとしてよく使用されます。

高入力インピーダンス、広帯域幅、低入力バイアス電流、DC精度を特長とするADA4511-2は、アクティブ・フィルタ・アプリケーションに最適です。図87は、4極サレンキー・バターワース・ローパス・フィルタ構成におけるADA4511-2を示します。4極ローパス・フィルタには2つの複素共役の極ペアがあり、2極ローパス・フィルタをカスケード接続することで実現できます。セクションAとセクションBはユニティ・ゲインの2極ローパス・フィルタとして構成されます。表7に、バターワース・フィルタの各段に関連する性能指数 (Q) 条件と極の位置を示します。次数の異なるフィルタのs平面上の極の位置およびQ条件については、リニア回路設計ハンドブック (ADA Analog Dialogで入手可能) の第8章アナログ・フィルタを参照してください

表7. Q条件および極の位置

Section	Poles	Q
A	$-0.9239 \pm j0.3827$	0.5412
B	$-0.3827 \pm j0.9239$	1.3065

サレンキー・トポロジはわずかな回路要素を用いた簡素な設計であることから、広く用いられています。このトポロジは、抵抗とコンデンサを単に入れ替えるだけでローパス・フィルタまたはハイパス・フィルタを実現できる柔軟性を、ユーザに提供します。ADA4511-2は、 10kHz のコーナー周波数でユニティ・ゲインとなるよう構成されています。アクティブ・フィルタには、コーナー周波数 (f_c) とQの積より100倍以上大きなユニティ・ゲイン帯域幅を持つオペアンプが必要です。抵抗とコンデンサも、製造公差、時間、温度にわたる性能を決定するうえで重要です。公差が1%以下の抵抗と5%以下のコンデンサを用いることを推奨します。

図88にローパス・サレンキー・フィルタの周波数応答を示します。 V_{OUT1} は初段の出力です。 V_{OUT2} は2段目の出力です。

V_{OUT1} は 40dB/decade のロールオフ、 V_{OUT2} は 80dB/decade のロールオフを示しています。遷移帯はフィルタの次数が大きくなるに伴い鋭くなります。

アプリケーション情報

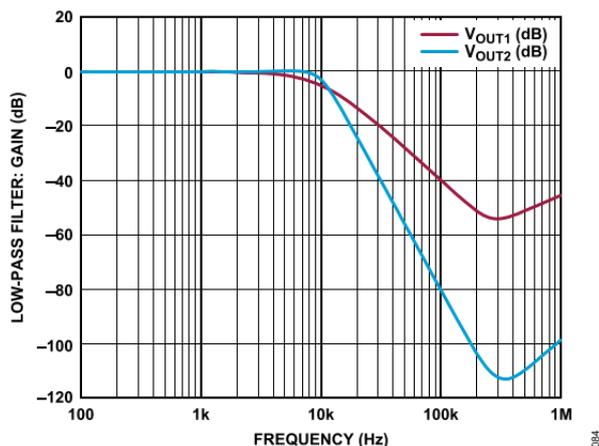


図88. ローパス・フィルタ：ゲインと周波数の関係

帰還回路部品

帰還抵抗を用いてゲインを設定する場合、反転入力抵抗と寄生容量によって形成される極により安定性が低下することのないよう、注意が必要です。アンプに必要なクロスオーバー周波数付近に極が形成されると、安定性に悪影響を及ぼします。

一般に、寄生の極がアンプのクロズド・ループ帯域幅内にある場合は、 R_F と並列にコンデンサを追加することで、極の周波数に近い周波数を持つゼロを導入し、安定性を改善します。

詳細についてはアナログ・ダイアログの記事：電圧帰還抵抗についての真相を参照してください。

高精度バッファ

ADCおよびD/Aコンバータ (DAC) を用いる高分解能システムの全体精度は、システムの電圧リファレンスの正確さ、安定性、駆動能力によって決まります。オンチップ・リファレンスおよびバッファでは性能が不足していたり、駆動能力が不十分であることが多いため、通常は、最高性能を発揮するには、コストを要する外部リファレンスが必要です。

低ノイズ仕様であるADA4511-2を用いることで、逐次比較レジスタ (SAR) ADCリファレンス入力用に選択されたリファレンスの精度を維持できます。アナログ・ダイアログの記事：高精度逐次比較型ADC用の電圧リファレンス回路の設計では、考慮事項、およびリファレンス回路からのノイズを計算してADC性能が影響を受けないようにする方法について、詳しく説明しています。

実際のセンサーを駆動するDAC出力もリファレンス電圧の精度に依存します。ADA4511-2は、低い V_{OS} 、 $\Delta V_{OS}/\Delta T$ 、 I_B 、 e_n p-p、および非常に高い直線性、更に、短いセトリング時間およびスルー・レートが特長であるため、出力DACバッファとして最適です。

推奨される電源ソリューション

アナログ・デバイスではほとんどの高性能シグナル・チェーンの条件を満たす広範なパワー・マネジメント製品を取り揃えています。両電源アプリケーションでは、ADA4511-2は $\pm 20V$ もの高電圧を必要とする場合もあります。正電源にはLT3042、負電源にはLT3093などの低ドロップアウト (LDO) リニア・レギュレータを用いると、高周波数でのPSRRを改善し、低ノイズの電源レールを生成するのに役立ちます。更に、負電源が入手できない場合は、ADP5070が正電源から負電源を生成できます。ADA4511-2用に推奨されるパワー・マネジメント・デバイスの一覧を表8に示します。

表8. 推奨されるパワー・マネジメント・デバイス

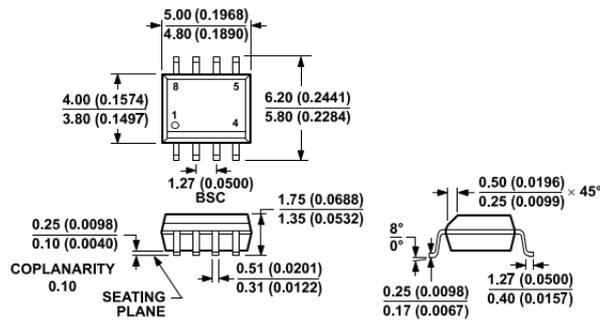
Product	Description
ADP5070	DC-to-DC switching regulator with independent positive and negative outputs
LT3032	Dual 150 mA positive/negative low-noise LDO linear regulator
LT3093	-20 V, 200 mA, ultra-low noise, ultra-high PSRR negative linear regulator
LT3042	20 V, 200 mA, ultra-low noise, ultra-high PSRR RF linear regulator

ADA4511-2の各電源ピンとグラウンドの近くに $0.1\mu F$ の低ESRバイパス・コンデンサを用いて、電源からの誤差の混入を減らすことを推奨します。電源ノイズが大きい場合、 $0.1\mu F$ のコンデンサと並列に $10\mu F$ のコンデンサを追加すると性能を改善できます。

レイアウトのガイドライン

ADA4511-2は極めて高いインピーダンスの入力を備えています。PCB内のリーク抵抗と寄生容量によるシャント・インピーダンスは、低バイアス入力時の性能を著しく低下させる可能性があります。ガード手法を用いて入力ノードに生じる電圧勾配を低減することで、寄生リーク電流を防いでください。物理的には、ガードは高インピーダンス・ノードを囲む低インピーダンスの導体で、そのノードの電圧に駆動されます。これは、影響を受けやすいノードから低インピーダンスのガードにリークを迂回させることで、リークをバッファする役目を果たします。ガードの配線パターンからハンダ・マスクを除去して、汚染による表面リークを防止してください。配線パターンの寄生成分の相互作用を回避するために、ADA4511-2の入力の近くには入力抵抗を配置します。使用しないチャンネルがある場合、その入力チャンネルの直線性範囲内の電圧に接続し、他のチャンネルと干渉する可能性のあるオーバードライブ条件を回避します。出力は無接続のままにします。ADA4511-2の近くには $0.1\mu F$ などのデカップリング・コンデンサを配置してください。 $10\mu F$ といった、より大きなコンデンサをオペアンプから離れた場所で用いても構いません。

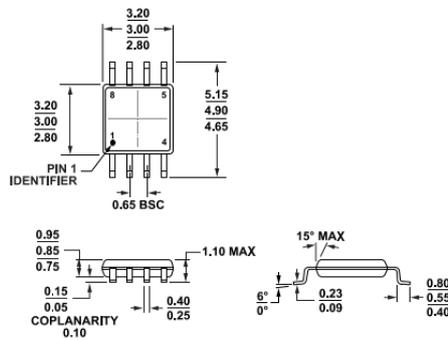
外形寸法



COMPLIANT TO JEDEC STANDARDS MS-012-AA
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

012607-A

図89. 8ピン標準SOP (スモール・アウトライン・パッケージ) [SOIC_N]
 ナロー・ボディ (R-8)
 寸法単位: mm (括弧内はインチ)



COMPLIANT TO JEDEC STANDARDS MO-187-AA

16-07-2008 B

図90. 8ピン・ミニ・スモール・アウトライン・パッケージ [MSOP]
 ナロー・ボディ (RM-8)
 寸法単位: mm (括弧内はインチ)

更新: 2024年1月24日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADA4511-2ARZ	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	Tube, 98	R-8
ADA4511-2ARZ-R7	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	Reel, 1000	R-8
ADA4511-2ARZ-RL	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	Reel, 2500	R-8
ADA4511-2ARMZ	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	Tube, 50	RM-8
ADA4511-2ARMZ-R7	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	Reel, 1000	RM-8
ADA4511-2ARMZ-RL	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	Reel, 3000	RM-8

¹ Z = RoHS適合製品。

外形寸法

評価用ボード

Model ¹	Description
EVAL-ADA4511-2ARZ	Evaluation Board for 8-Lead Standard Small Outline Package [SOIC_N]
EVAL-ADA4511-2ARMZ	Evaluation Board for 8-Lead Mini Small Outline Package [MSOP]

¹ Z = RoHS適合製品。