

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2021年5月13日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2021年5月13日

製品名：AD9988

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：28 ページ 図 18 の説明

【正】

「図 18 異なるデジタル・スペース (Mode 17B) で・・・」

【誤】

「図 18 異なるデジタル・スペースで・・・」

4T4R ダイレクト RF レシーバー およびトランスミッタ

特長

- ▶ 柔軟性の高い、再構成可能な共通無線プラットフォーム設計
 - ▶ 最大 1.2GHz のトランスミッタ/レシーバー・チャンネル帯域幅 (4T4R)
 - ▶ 最大 7.5GHz の RF DAC/RF ADC RF 周波数
 - ▶ マルチチップ同期機能搭載のオンチップ PLL
 - ▶ 外部 RF クロック入力オプション
- ▶ 汎用デジタル機能
 - ▶ インターポレーション・フィルタとデシメーション・フィルタを選択可能
 - ▶ 設定可能な DDC と DUC
 - ▶ 8 つの微調整複素 DUC (FDUC) と 4 つの粗調整複素 DUC (CDUC)
 - ▶ 8 つの微調整複素 DDC (FDDC) と 4 つの粗調整複素 DDC (CDDC)
 - ▶ FDUC と FDDC は完全にバイパス可能
 - ▶ DUC または DDC のそれぞれに 2 つの独立した 48 ビット NCO を内蔵
 - ▶ レシーバーのイコライゼーション用にプログラマブルな 192 タップ PFIR フィルタ
 - ▶ GPIO を介して 4 つの異なるプロファイル設定をロード可能
 - ▶ AGC 対応レシーバー
 - ▶ 高速 AGC 制御用の低遅延・高速検出
 - ▶ 低速 AGC 制御用の信号検出
 - ▶ 専用の AGC 対応ピン
 - ▶ DPD 対応トランスミッタ
 - ▶ 送信データバスごとにプログラマブルな遅延とゲイン
 - ▶ DPD オブザベーション・バスの DDC 遅延粗調整
 - ▶ 実数または複素数のデジタル・データ (8、12、または 16 ビット) に対応
- ▶ 補助機能
 - ▶ 分周比を選択可能な ADC クロック・ドライバ
 - ▶ パワー・アンプ後段の保護回路
 - ▶ 温度モニタリング・ユニット内蔵
 - ▶ モード間の切替えをサポートするプログラマブルな GPIO ピン
 - ▶ TDD 省電力オプションおよび共有 ADC
- ▶ SERDES JESD204B または JESD204C インターフェース、16 レーン、最大 24.75Gbps
 - ▶ 8 レーン JESD204B/C トランスミッタ (JT_x) および 8 レーン JESD204B/C レシーバー (JR_x)
 - ▶ サブクラス 1 に対応
- ▶ マルチデバイス同期に対応
- ▶ 15mm × 15mm、0.8mm ピッチ、324 ボール BGA

アプリケーション

- ▶ ワイヤレス通信インフラストラクチャ
- ▶ W-CDMA、LTE、LTE-A、大規模なマルチ入力マルチ出力 (MIMO)
- ▶ ポイント to ポイントのマイクロ波、E バンド、5G ミリ波
- ▶ 広帯域通信システム
- ▶ DOCSIS 3.0+ ケーブル・モデム終端システム (CMTS)
- ▶ 通信テストおよび計測システム

概要

AD9988 は、16 ビットで最大サンプル・レートが 12GSPS の RF D/A コンバータ (DAC) コアを 4 個、および 12 ビットで 4GSPS のレートの RF A/D コンバータ (ADC) コアを 4 個内蔵した高集積デバイスです。このデバイスは、4T4R 構成で 4 つのトランスミッタ・チャンネルと 4 つのレシーバー・チャンネルをサポートします。レシーバー・モードとオブザベーション・モードの間でレシーバー・パスを共有できる、アンテナが 4 本の TDD トランスミッタ・アプリケーションに最適です。GPIO ピンは、異なるユーザ・モードに対応できるように設定し切り替えることができますが、位相コヒーレンスは維持されます。4T4R 構成でサンプル分解能が 16 ビットの場合、最大無線チャンネル帯域幅は 1.2GHz です。AD9988 は、トランスミッタ/レシーバー・リンクごとに最大 8 レーンが可能な 16 レーン 24.75 Gbps JESD204C または 15.5 Gbps JESD204B シリアル・データ・ポート、オンチップ・クロック逡倍器、マルチバンドの DC~RF 無線アプリケーションを対象としたデジタル信号処理機能を特長としています。

目次

特長.....	1	CMOS ピン仕様.....	14
アプリケーション.....	1	DAC の AC 仕様.....	14
概要.....	1	ADC の AC 仕様.....	16
機能ブロック図.....	3	タイミング仕様.....	18
仕様.....	4	絶対最大定格.....	20
推奨動作条件.....	4	熱抵抗.....	20
消費電力.....	4	ESD に関する注意.....	20
DAC の DC 仕様.....	5	ピン配置およびピン機能の説明.....	21
ADC の DC 仕様.....	6	代表的な性能特性.....	26
クロック入出力.....	7	DAC.....	26
クロック入力とフェーズ・ロック・ループ (PLL) の周波数仕様.....	7	ADC.....	31
DAC のサンプル・レート仕様.....	7	動作原理.....	38
ADC のサンプル・レート仕様.....	9	アプリケーション情報.....	39
入力データ・レート仕様.....	10	外形寸法.....	40
NCO 周波数仕様.....	11	オーダー・ガイド.....	40
JESD204B および JESD204C インターフェースの電氣的仕様と速度仕様.....	11	評価用ボード.....	40

機能ブロック図

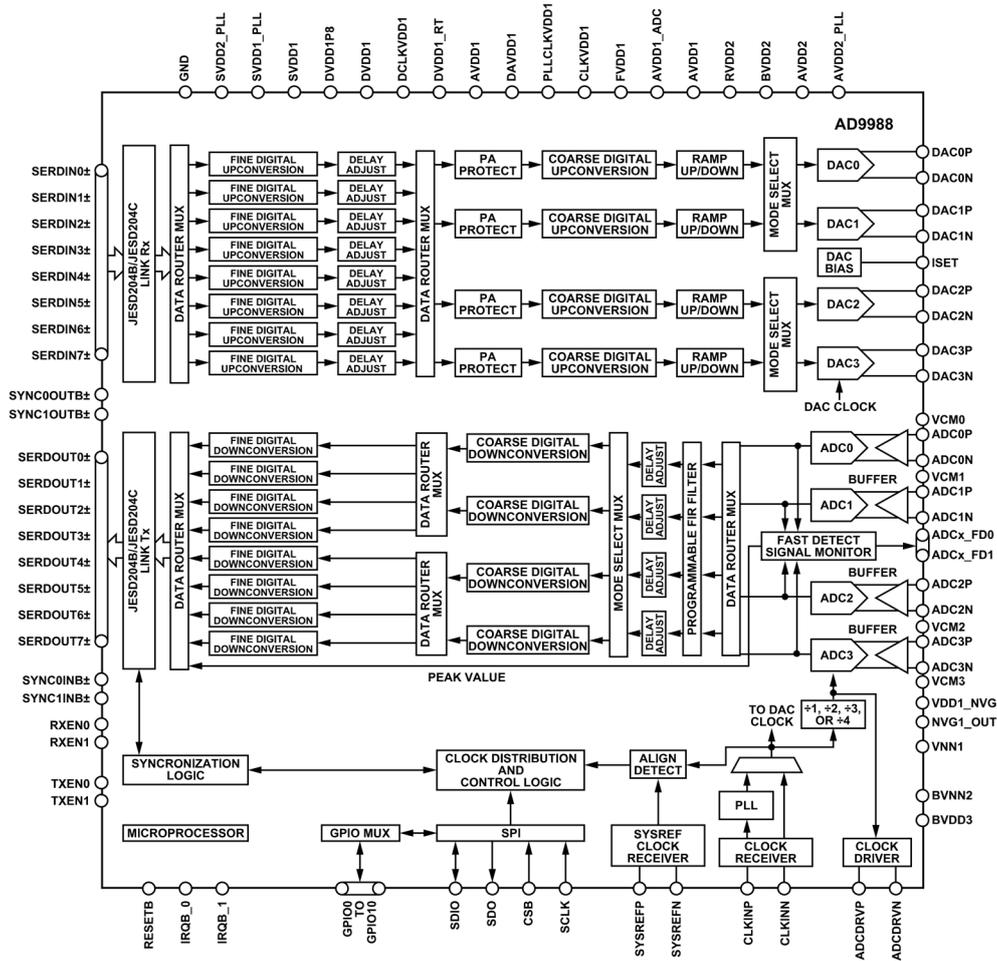


図 1.

001

仕様

推奨動作条件

DAC コア回路の信頼性を長期的に維持するには、パワーアップ後すぐに開始されるデバイス初期化フェーズで DAC を適切にキャリブレーションする必要があります。デバイスの初期化の詳細については、デバイスのユーザ・ガイド UG-1578 を参照してください。

表 1.

Parameter	Min	Typ	Max	Unit
OPERATING JUNCTION TEMPERATURE (T _J)	-40		+120	°C
ANALOG SUPPLY VOLTAGE RANGE				
AVDD2, BVDD2, RVDD2	1.9	2.0	2.1	V
AVDD1, AVDD1_ADC, CLKVDD1, FVDD1, VDD1_NVG1	0.95	1.0	1.05	V
DIGITAL SUPPLY VOLTAGE RANGE				
DVDD1, DVDD1_RT, DCLKVDD1, DAVDD1	0.95	1.0	1.05	V
DVDD1P8	1.7	1.8	2.1	V
SERIALIZER/DESERIALIZER (SERDES) SUPPLY VOLTAGE RANGE				
SVDD2_PLL	1.9	2.0	2.1	V
SVDD1, SVDD1_PLL	0.95	1.0	1.05	V

消費電力

代表値は公称電源での値、最大値は公称電圧値+5%での値です。特に指定のない限り、最小値と最大値は T_J = -40°C~+120°C での値、代表値は T_J = 80°C に相当する T_A = 25°C での値。

DAC データパスは、複素 I/Q データ・レート周波数 (f_{IQ,DATA}) = 1500MSPS、8 倍のインターポレーション、12GSPS の DAC 周波数 (f_{DAC}) での値です。JRx モードは 15C (L=8, M=8, F=2, S=1, K=128, E=1, N=16, NP=16) です。

ADC データパスは、複素 f_{IQ,DATA}=1500MSPS、2 倍のデシメーション、3GSPS の f_{ADC}での値です。JTx モードは 16C (L=8, M=8, F=2, S=1, K=128, E=1, N=16, NP=16) です。

なお、AD9988 には、送信データパスの CDUC および受信データパスの CDDC をバイパスするオプションはありません。

JESD204B および JESD204C のモード設定の詳細、およびこのデータシートで述べる設定の詳細な説明については、UG-1578 ユーザ・ガイドを参照してください。他の動作モードとそれに対応する代表的な消費電力および最大消費電力の値を示す表が含まれています。

表 2.

パラメータ	テスト条件/コメント	Min	Typ	Max	Unit
CURRENTS					
AVDD2 (I _{AVDD2})	2.0V 電源		190	205	mA
BVDD2 (I _{BVDD2}) + RVDD2 (I _{RVDD2})	2.0V 電源		295	350	mA
AVDD2_PLL (I _{AVDD2_PLL}) + SVDD2_PLL (I _{SVDD2_PLL})	2.0V 電源		45	55	mA
Power Dissipation for 2 V Supplies	2.0V 電源での総消費電力		1.06	1.22	W
PLLCLKVDD1 (I _{PLLCLKVDD1})	1.0V 電源		15	25	mA
AVDD1 (I _{AVDD1}) + DCLKVDD1 (I _{DCLKVDD1})	1.0V 電源		1000	1185	mA
AVDD1_ADC (I _{AVDD1_ADC})	1.0V 電源		1620	1900	mA
CLKVDD1 (I _{CLKVDD1})	1.0V 電源		60	110	mA
FVDD1 (I _{FVDD1})	1.0V 電源		45	65	mA
VDD1_NVG (I _{VDD1_NVG})	1.0V 電源		280	345	mA
DAVDD1 (I _{DAVDD1})	1.0V 電源		1590	1835	mA
DVDD1 (I _{DVDD1})	1.0V 電源		2780	3805	mA
DVDD1_RT (I _{DVDD1_RT})	1.0V 電源		565	690	mA
SVDD1 (I _{SVDD1}) + SVDD1_PLL (I _{SVDD1_PLL})	1.0V 電源		1920	2570	mA
Power Dissipation for 1 V Supplies	1.0V 電源での総消費電力		9.88	12.53	W

仕様

表 2.

パラメータ	テスト条件/コメント	Min	Typ	Max	Unit
DVDD1P8 ($I_{DVDD1P8}$)	1.8V 電源		7	10	mA
Total Power Dissipation	2V 電源と 1V 電源での総消費電力		10.95	13.77	W

DAC の DC 仕様

特に指定のない限り、公称電源で DAC 出力フルスケール電流 (I_{OUTFS}) = 26mA。ADC のセットアップは、4GSPS、フル BW モード (すべてのデジタル・コンバータをバイパス)。特に指定のない限り、最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ での値、代表値は $T_J = 80^{\circ}\text{C}$ に相当する $T_A = 25^{\circ}\text{C}$ での値。

表 3. DAC の DC 仕様

パラメータ	テスト条件/コメント	Min	Typ	Max	Unit
DAC RESOLUTION		16			Bit
DAC ACCURACY					
Gain Error			1.5		%FSR
Gain Matching			0.7		%FSR
Integral Nonlinearity (INL)	シャッフリングは無効		8.0		LSB
Differential Nonlinearity (DNL)	シャッフリングは無効		3.5		LSB
DAC ANALOG OUTPUTS	DACxP および DACxN				
Full-Scale Output Current Range	AC カップリング、設定抵抗 (R_{SET}) = 5k Ω				
AC Coupling	出力コモンモード電圧 (V_{CM}) = 0V	6.43	26.5	37.75	mA
DC Coupling	負電源に 50 Ω のシャント、 $V_{CM} = 0V$ に設定	6.43		37.75	mA
DC Coupling	GND に 50 Ω のシャント、 $V_{CM} = 0.3V$ に設定	6.43		20 ¹	mA
Full-Scale Sinewave Output Power with AC Coupling ²	50 Ω とのインターフェースに理想的な 2 : 1 のバランを使用				
$I_{OUTFS} = 26 \text{ mA}$			3.3		dBm
$I_{OUTFS} = 40 \text{ mA}$			7		dBm
Common-Mode Output Voltage (V_{CMOUT})			0		V
AC Coupling	各出力をシャント・インダクタを介して GND にバイアス。		0		V
DC Coupling	各出力を 25 Ω ~ 200 Ω の抵抗を介して負電圧レベルにバイアス。抵抗値は、 $V_{CMOUT} = 0V$ とするよう選択。GND との間に 25 Ω の抵抗を接続し $I_{FSC} = 20\text{mA}$ の場合、 $V_{CMOUT} = 0.3V$ 。		0	0.3	V
Differential Resistance			100		Ω

¹ DC 結合アプリケーションの場合、最大フルスケール出力電流は最大の V_{CMOUT} 仕様規定値で制限されます。

² DAC の sinc 応答、インピーダンス・ミスマッチによる損失、およびバランの挿入損失のため、実際に測定されるフルスケール電力には周波数依存性があります。

仕様

ADC の DC 仕様

特に指定のない限り、公称電源で DAC 出力フルスケール電流 (I_{OUTFS}) = 26mA。ADC のセットアップは、4GSPS、フル BW モード (すべてのデジタル・コンバータをバイパス)。特に指定のない限り、最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ での値、代表値は $T_J = 80^{\circ}\text{C}$ に相当する $T_A = 25^{\circ}\text{C}$ での値。

表 4. ADC の DC 仕様

パラメータ	テスト条件/コメント	Min	Typ	Max	Unit
ADC RESOLUTION		12			Bit
ADC ACCURACY			Guaranteed		
No Missing Codes					%FSR
Offset Error			-0.20		%FSR
Offset Matching			+0.05		%FSR
Gain Error			-0.71		%FSR
Gain Matching			+1.2		%FSR
DNL			± 1.9		LSB
INL			± 0.5		LSB
ADC ANALOG INPUTS	ADCxP および ADCxN				
Differential Input Voltage			1.4		V p-p
Full-Scale Sine Wave Input Power	高速フーリエ変換 (FFT) で 0dBFS トーン・レベルになる入力パワー・レベル		3.9		dBm
Common-Mode Input Voltage ($V_{CM_{IN}}$)	AC カップリングされた値、ADCx 入力に対する V_{CMx} 電圧に等しい値		1		V
Differential Input Impedance			100//0.4		Ω //pF
Return Loss	<2.7GHz		-4.3		dB
	2.7GHz~3.8GHz		-3.6		dB
	3.8GHz~5.4GHz		-2.9		dB

仕様

クロック入出力

特に指定のない限り、最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ 、公称電源の $\pm 5\%$ での値。

表 5. クロック入出力

パラメータ	テスト条件/コメント	Min	Typ	Max	Unit
CLOCK INPUTS					
Differential Input Power	CLKINP および CLKINN 直接 RF クロック				
Minimum				0	dBm
Maximum				6	dBm
Common-Mode Voltage	AC カップリング			0.5	V
Differential Input Impedance				100//0.3	Ω/pF
CLOCK OUTPUTS (ADC CLOCK DRIVER)					
Differential Output Voltage Magnitude ¹	ADCDRVP および ADCDRVN				
	1.5GHz			740	mV p-p
	2.0GHz			690	mV p-p
	3.0GHz			640	mV p-p
	6.0GHz			490	mV p-p
Differential Output Resistance				100	Ω
Common-Mode Voltage	AC カップリング			0.5	Ω

¹ 差動の 100 Ω 負荷を使用し、プリント回路基板 (PCB) のパターンがパッケージのボールから 2mm 以内の位置で測定しています。

クロック入力とフェーズ・ロック・ループ (PLL) の周波数仕様

特に指定のない限り、最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ 、公称電源の $\pm 5\%$ での値。

表 6.

パラメータ	テスト条件/コメント	Min	Typ	Max	Unit
CLOCK INPUTS (CLKINP, CLKINN) FREQUENCY RANGES		25		12000	MHz
PHASE FREQUENCY DETECTOR (PFD) INPUT FREQUENCY RANGES		25		750	MHz
FREQUENCY RANGES ACCORDING TO CLOCK PATH CONFIGURATION					
Direct Clock (PLL Off)		2900 ¹		12000	MHz
PLL Reference Clock (PLL On)	M 分周器を 1 分周に設定	25		750	MHz
	M 分周器を 2 分周に設定	50		1500	MHz
	M 分周器を 3 分周に設定	75		2250	MHz
	M 分周器を 4 分周に設定	100		3000	MHz
PLL VOLTAGE CONTROLLED OSCILLATOR (VCO) FREQUENCY RANGES					
VCO Output	$A_{IN} = -2.0\text{dBFS}$				
Divide by 1	D 分周器を 1 分周に設定	5.8		12	GHz
Divide by 2	D 分周器を 2 分周に設定	2.9		6	GHz
Divide by 3	D 分周器を 3 分周に設定	1.93333		4	GHz
Divide by 4	D 分周器を 4 分周に設定	1.45		3	GHz

¹ 最小の直接クロック周波数は、表 7 に仕様規定されている最小の DAC (コア) サンプル・レートで制限されます。クロック・レシーバーは、最小 PLL リファレンス・クロック周波数と最大直接クロック周波数の間の全範囲に対応できます。

DAC のサンプル・レート仕様

公称電源。最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ 、公称電源の $\pm 5\%$ での値。特に指定のない限り、代表値は、 $T_J = 80^{\circ}\text{C}$ に相当する $T_A = 25^{\circ}\text{C}$ での値。

仕様

表 7. DAC のサンプル・レート仕様

Parameters	Min	Typ	Max	Unit
DAC SAMPLE RATE ¹				
Minimum			2.9	GSPS
Maximum	12			GSPS

¹ DAC コアの更新レートに関係しますが、データパスおよび JESD204 モード設定には依存しません。

仕様

ADC のサンプル・レート仕様

公称電源。最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ 、公称電源の $\pm 5\%$ での値。特に指定のない限り、代表値は、 $T_J = 80^{\circ}\text{C}$ に相当する $T_A = 25^{\circ}\text{C}$ での値。

表 8. ADC のサンプル・レート仕様

Parameters	Min	Typ	Max	Unit
ADC SAMPLE RATE ¹				
Minimum			1.45	GSPS
Minimum	4			GSPS
Aperture Jitter ²		65		fs rms

¹ ADC コアの更新レートに関係しますが、データパスおよび JESD204 モード設定には依存しません。

² DAC をディスエーブルし、クロック分周器 = 1、ADC 周波数 (f_{ADC}) = 4GSPS、および入力周波数 (f_{IN}) = 5.55GHz に設定して S/N 比を低下させて測定。

仕様

入力データ・レート仕様

特に指定のない限り、最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ 、公称電源の $\pm 5\%$ での値。

表 9.

パラメータ ^{1,2}	テスト条件/コメント	Min	Typ	Max	Unit
MAXIMUM DATA RATE PER NUMBER OF ACTIVE DAC OUTPUTS	シングル DAC、FDUC をバイパス、1CDUC をイネーブル (バイパス不可)、12 ビットまたは 16 ビット分解能。最大 DAC クロック・レートと CDUC ブロック内の最小合計インターポレーション (2×) によって制限			6000	MSPS
	クワッド DAC、FDUC をバイパス、4CDUC をイネーブル (バイパス不可)、12 ビット分解能。最大 JESD204C リンク・スループット (M=8、L=8) と CDUC ブロック内の最小合計インターポレーション (2×) によって制限			2000	MSPS
MAXIMUM COMPLEX (I/Q) DATA RATE PER NUMBER OF ACTIVE INPUT DATA CHANNELS	1 チャンネル：FDUC をバイパス、1CDUC をイネーブル、12 ビットまたは 16 ビット分解能、最大 CDUC NCO クロック・レートによって制限			6000	MSPS
	2 チャンネル：FDUC をバイパス、2CDUC をイネーブル、12 ビット分解能、最大 JESD204C リンク・スループット (M=4、L=8) によって制限			4000	MSPS
	4 チャンネル：FDUC をバイパス、4CDUC をイネーブル、12 ビット分解能、最大 JESD204C リンク・スループット (M=8、L=8) によって制限			2000	MSPS
	8 チャンネル：8FDUC をイネーブル、1 つまたは複数の CDUC をイネーブル、12 ビットまたは 16 ビット分解能、FDUC をイネーブルするのに必要な最小 2 倍のインターポレーション・レートで分周された最大 FDUC NCO クロック・レートによって制限			750	MSPS

¹ これらのパラメータの値は、すべての JESD204 動作モードを通じて取り得る最大値です。一部のモードでは、他のパラメータのために更に値が制限されます。

² Tx データパスのインターポレーション・フィルタの全複素フィルタ帯域幅はデータ・レートの 80% で、これは、Iパスの帯域幅 40% と Qパスの帯域幅 40% を合わせたものです。同様に、Rx データパス内のデシメーション段は、合計複素フィルタ帯域幅が 81.4% のフィルタを使用しています。そのため、チャンネルあたりの最大許容瞬時複素信号帯域幅 (iBW) は、 $iBW = [\text{チャンネルあたりの複素 I/Q データ・レート}] \times [\text{合計複素フィルタ帯域幅}]$ で計算されます。

仕様

NCO 周波数仕様

特に指定のない限り、最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ 、公称電源の $\pm 5\%$ での値。

表 10.

パラメータ	テスト条件/コメント	Min	Typ	Max	Unit
MAXIMUM NUMERICALLY CONTROLLED OSCILLATOR (NCO) CLOCK RATE					
FDUC NCO				1.5	GHz
CDUC NCO				12	GHz
FDDC NCO				1.5	GHz
CDDC NCO				4	GHz
MAXIMUM NCO SHIFT FREQUENCY RANGE					
FDUC NCO	チャンネル・インターポレーション・レートは 1 倍より大きいことが必要です	-750		+750	MHz
CDUC NCO	$f_{DAC} = 12\text{GHz}$ 、メインのインターポレーション・レートは 1 より大きいことが必要です	-6		+6	GHz
FDDC NCO	チャンネルデシメーション・レートは 1 より大きいことが必要です	-750		+750	MHz
CDDC NCO	$f_{ADC} = 4\text{GHz}$ 、メインのデシメーション・レートは 1 より大きいことが必要です	-2		+2	GHz
MAXIMUM FREQUENCY SPACING BETWEEN CHANNELIZER CHANNELS					
Tx FDUC Channels	最大 FDUC NCO クロック・レート $\times 0.8^1$			1200	MHz
Rx FDDC Channels	最大 FDDC NCO クロック・レート $\times 0.814^2$			1221	MHz

¹ 係数 0.8 は、一次のインターポレーション・フィルタの合計複素パスバンドがフィルタ入力データ・レートの 80%であることによるものです。

² 係数 0.814 は、デシメーション・フィルタの合計複素パスバンドがフィルタ出力データ・レートの 81.4%であることによるものです。

JESD204B および JESD204C インターフェースの電氣的仕様と速度仕様

公称電源。特に指定のない限り、最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ 、公称電源の $\pm 5\%$ での値、代表値は $T_J = 80^{\circ}\text{C}$ に相当する $T_A = 25^{\circ}\text{C}$ での値。

表 11. シリアル・インターフェース・レートの仕様

Parameters	Test Conditions/Comments	Min	Typ	Max	Unit
JESD204B SERIAL INTERFACE RATE	Serial lane rate (bit repeat option disabled)	1.0		15.5	Gbps
Unit Interval		64.5		1000.0	ps
JESD204C SERIAL INTERFACE RATE	Serial lane rate (bit repeat option disabled)	6.0		24.75	Gbps
Unit Interval		40.4		166.67	ps

表 12. JESD204 レシーバー (JR_x) の電氣的仕様

Parameters	Test Conditions/Comments	Min	Typ	Max	Unit
JESD204x DATA INPUTS	SERDIN _{x±} , where x = 0 to 7				
Standards Compliance			JESD204B and JESD204C		
Differential Voltage, R_{VDIFF}			800		mV p-p
Differential Impedance, Z_{RDIFF}	At dc		98		Ω
Termination Voltage, V_{TT}	AC-coupled		0.97		V
SYNC _x OUTB _± OUTPUTS ¹	Where x = 0 or 1				
Output Differential Voltage, V_{OD}	Driving 100 Ω differential load		400		mV
Output Offset Voltage, V_{OS}			DVDD1P8/2 + 0.2		V
SYNC _x OUTB ₊ OUTPUT	CMOS output option		Refer to CMOS Pin Specifications		

¹ IEEE 1596.3 規格の LVDS と互換。

表 13. JESD204 トランスミッタ (JT_x) の電氣的仕様

Parameters	Test Conditions/Comments	Min	Typ	Max	Unit
JESD204x DATA OUTPUTS	SERDOUT _{x±} , where x = 0 to 7				

仕様

表 13. JESD204 トランスミッタ (JT_x) の電氣的仕様

Parameters	Test Conditions/Comments	Min	Typ	Max	Unit
Standards Compliance		JESD204B and JESD204C			
Differential Output Voltage	Maximum strength		675		mV p-p
Differential Termination Impedance		80	108	120	Ω
Rise Time, t_R	20% to 80% into 100 Ω load		18		ps
Fall Time, t_F	20% to 80% into 100 Ω load		18		ps
SYNC _x INB \pm INPUT ¹	Where x = 0 or 1				
Logic Compliance			LVDS		
Differential Input Voltage		240	0.7	1900	mV p-p
Input Common-Mode Voltage	DC-coupled		0.675	2	V
R_{IN} (Differential)			18		k Ω
Input Capacitance (Differential)			1		pF
SYNC _x INB+ INPUT	CMOS input option		Refer to CMOS Pin Specifications		

¹ IEEE 1596.3 規格の LVDS と互換。

仕様

表 14. SYSREF の電氣的仕様

Parameters	Test Conditions/Comments	Min	Typ	Max	Unit
SYSREF+ AND SYSREF- INPUTS					
Logic Compliance			LVDS/LVPECL ¹		
Differential Input Voltage			0.7	1.9	V p-p
Input Common-Mode Voltage Range	DC-coupled		0.675	2	V
Input Reference, R _{IN} (Differential)			100		Ω
Input Capacitance (Differential)			1		pF

¹ LVDS は低電圧差動伝送、LVPECL は低電圧ポジティブ/擬似エミッタ結合ロジックを表します。

仕様

CMOS ピン仕様

特に指定のない限り、最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +120^{\circ}\text{C}$ 、 $1.7\text{V} \leq \text{DVDD1P8} \leq 2.1\text{V}$ 、その他は公称電源での値。

表 15.

Parameters	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUTS						
Logic 1 Voltage	V_{IH}	SDIO, SCLK, CSB, RESETB, RXEN0, RXEN1, TXEN0, TXEN1, SYNC0INB \pm , SYNC1INB \pm , and GPIOx	0.70 × DVDD1P8		0.3 × DVDD1P8	V
Logic 0 Voltage	V_{IL}					V
Input Resistance			40			k Ω
OUTPUTS						
Logic 1 Voltage	V_{OH}	SDIO, SDO, GPIOx, ADCx_FDX, ADCx_SMONx, SYNC0OUTB \pm , and SYNC1OUTB \pm , 4 mA load	DVDD1P8 – 0.45		0.45	V
Logic 0 Voltage	V_{OL}					V
INPUTS						
Logic 1 Voltage	V_{OH}	IRQB_0 and IRQB_1, pull-up resistor of 5 k Ω to DVDD1P8	1.35		0.48	V
Logic 0 Voltage	V_{OL}					V

DAC の AC 仕様

$T_A = 25^{\circ}\text{C}$ で公称電源。特に指定のない限り、仕様は DAC $I_{OUTFS} = 26\text{ mA}$ の場合の 4 つの DAC チャンネルをすべて平均した値を表します。

表 16.

パラメータ	テスト条件/コメント	Min	Typ	Max	Unit	
SPURIOUS-FREE DYNAMIC RANGE (SFDR)						
Single-Tone, $f_{DAC} = 12\text{ GSPS}$	-7dBFS のデジタル・バック・オフ、シャフルをイネーブル、15C モード	63	80		dBc	
Output Frequency (f_{OUT}) = 70 MHz			77		dBc	
$f_{OUT} = 100\text{ MHz}$			76		dBc	
$f_{OUT} = 500\text{ MHz}$			77		dBc	
$f_{OUT} = 900\text{ MHz}$			79		dBc	
$f_{OUT} = 1900\text{ MHz}$			75		dBc	
$f_{OUT} = 2600\text{ MHz}$			69		dBc	
$f_{OUT} = 3700\text{ MHz}$			68		dBc	
$f_{OUT} = 4500\text{ MHz}$						
Single-Tone, $f_{DAC} = 9\text{ GSPS}$			-7dBFS のデジタル・バック・オフ、シャフルをイネーブル、15C モード			78
$f_{OUT} = 100\text{ MHz}$	78	dBc				
$f_{OUT} = 500\text{ MHz}$	77	dBc				
$f_{OUT} = 900\text{ MHz}$	80	dBc				
$f_{OUT} = 1900\text{ MHz}$	80	dBc				
$f_{OUT} = 2600\text{ MHz}$	72	dBc				
$f_{OUT} = 3700\text{ MHz}$						
Single-Tone, $f_{DAC} = 6\text{ GSPS}$	-7dBFS のデジタル・バック・オフ、シャフルをイネーブル、15C モード		84		dBc	
$f_{OUT} = 100\text{ MHz}$			81		dBc	
$f_{OUT} = 500\text{ MHz}$			82		dBc	
$f_{OUT} = 900\text{ MHz}$			81		dBc	
$f_{OUT} = 1900\text{ MHz}$						
ADJACENT CHANNEL LEAKAGE RATIO						
Single Carrier 20 MHz LTE Downlink Test Vector	-1dBFS のデジタル・バック・オフ、256QAM					
$f_{DAC} = 12\text{ GSPS}$			$f_{OUT} = 1840\text{ MHz}$		77	dBc
			$f_{OUT} = 2650\text{ MHz}$		76	dBc

仕様

表 16.

パラメータ	テスト条件/コメント	Min	Typ	Max	Unit
$f_{DAC} = 9$ GSPS	$f_{OUT} = 3500$ MHz		73		dBc
	$f_{OUT} = 1900$ MHz		77		dBc
	$f_{OUT} = 2650$ MHz		77		dBc
$f_{DAC} = 6$ GSPS	$f_{OUT} = 750$ MHz		79		dBc
	$f_{OUT} = 1840$ MHz		77		dBc
THIRD-ORDER INTERMODULATION DISTORTION (IMD3)	ツーン・トーン・テスト、1MHz 間隔、0dBFS のデジタル・バック・オフ、トーンあたり-6dBFS				
$f_{DAC} = 12$ GSPS	$f_{OUT} = 1900$ MHz		-69	-62	dBc
	$f_{OUT} = 2600$ MHz		-72		dBc
	$f_{OUT} = 3700$ MHz		-72		dBc
$f_{DAC} = 9$ GSPS	$f_{OUT} = 1900$ MHz		-79		dBc
	$f_{OUT} = 2600$ MHz		-76		dBc
$f_{DAC} = 6$ GSPS	$f_{OUT} = 900$ MHz		-79		dBc
	$f_{OUT} = 1900$ MHz		-90		dBc
NOISE SPECTRAL DENSITY (NSD)	0dBFS、NSD は f_{OUT} から 10%離れた点で測定、シャッフル・オフ				
Single-Tone, $f_{DAC} = 12$ GSPS					
	$f_{OUT} = 150$ MHz		-168		dBc/Hz
	$f_{OUT} = 500$ MHz		-167		dBc/Hz
	$f_{OUT} = 950$ MHz		-165		dBc/Hz
	$f_{OUT} = 1840$ MHz		-162		dBc/Hz
	$f_{OUT} = 2650$ MHz		-160		dBc/Hz
	$f_{OUT} = 3700$ MHz		-155		dBc/Hz
	$f_{OUT} = 4500$ MHz		-154		dBc/Hz
Single-Tone, $f_{DAC} = 9$ GSPS					
	$f_{OUT} = 150$ MHz		-168		dBc/Hz
	$f_{OUT} = 500$ MHz		-166		dBc/Hz
	$f_{OUT} = 950$ MHz		-164		dBc/Hz
	$f_{OUT} = 1840$ MHz		-160		dBc/Hz
	$f_{OUT} = 2650$ MHz		-158		dBc/Hz
	$f_{OUT} = 3700$ MHz		-154		dBc/Hz
Single-Tone, $f_{DAC} = 6$ GSPS					
	$f_{OUT} = 150$ MHz		-168		dBc/Hz
	$f_{OUT} = 500$ MHz		-165		dBc/Hz
	$f_{OUT} = 950$ MHz		-163		dBc/Hz
	$f_{OUT} = 1840$ MHz		-159		dBc/Hz
	$f_{OUT} = 2650$ MHz		-157		dBc/Hz
SINGLE SIDEBAND PHASE NOISE OFFSET (PLL DISABLED)	6dBm の直接デバイス・クロック入力				
$f_{OUT} = 3.6$ GHz, $f_{DAC} = 12$ GSPS, CLKINx Frequency (f_{CLKIN}) = 12 GHz	Rohde & Schwarz SMA100B B711 オプション				
	1 kHz		-118		dBc/Hz
	10 kHz		-129		dBc/Hz
	100 kHz		-137		dBc/Hz
	600 kHz		-144		dBc/Hz
	1.2 MHz		-148		dBc/Hz
	1.8 MHz		-149		dBc/Hz
	6 MHz		-153		dBc/Hz

仕様

表 16.

パラメータ	テスト条件/コメント	Min	Typ	Max	Unit
SINGLE SIDEBAND PHASE NOISE OFFSET (PLL ENABLED)	ループ・フィルタ部品には、C1 = 22nF、R1 = 226Ω、C2 = 2.2nF、C3 = 33nF の値のものを使用、位相検出器の周波数 (PFD) = 500MHz				
$f_{OUT} = 1.8 \text{ GHz}$, $f_{DAC} = 12 \text{ GSPS}$, $f_{CLKIN} = 0.5 \text{ GHz}$					
1 kHz			-106		dBc/Hz
10 kHz			-113		dBc/Hz
100 kHz			-120		dBc/Hz
600 kHz			-127		dBc/Hz
1.2 MHz			-134		dBc/Hz
1.8 MHz			-138		dBc/Hz
6 MHz			-150		dBc/Hz

ADC の AC 仕様

公称電源、 $T_A = 25^\circ\text{C}$ 。入力振幅 (AIN) = -1dBFS、フル帯域幅 (デシメーションなし) モード。最小値と最大値は $T_J = -40^\circ\text{C} \sim +120^\circ\text{C}$ での値。仕様は、DAC に電源投入した状態での 4 つの ADC チャンネルの平均を示します。このテストの実施条件と詳細については、アプリケーション・ノート AN-835 高速 A/D コンバータ (ADC) のテストと評価についてを参照してください。

表 17.

Parameter	3 GSPS			4 GSPS			Unit
	Min	Typ	Max	Min	Typ	Max	
NOISE DENSITY ¹		-150.3			-151.5		dBFS/Hz
NOISE FIGURE ²		28			26.8		dB
CODE ERROR RATE (CER)		<1 × 10-30			1 × 10-20		Errors
SIGNAL-TO-NOISE RATIO (SNR)							
$f_{IN} = 450 \text{ MHz}$		57.8			57.9		dBFS
$f_{IN} = 900 \text{ MHz}$		57.7			57.5		dBFS
$f_{IN} = 1800 \text{ MHz}$		56.9			56.0		dBFS
$f_{IN} = 2700 \text{ MHz}$		55.9		52.4	54.5		dBFS
$f_{IN} = 3600 \text{ MHz}$		55.1			52.9		dBFS
$f_{IN} = 4500 \text{ MHz}$		53.9			51.4		dBFS
$f_{IN} = 5400 \text{ MHz}$		53.2			50.5		dBFS
$f_{IN} = 6300 \text{ MHz}$		52.3			49.3		dBFS
$f_{IN} = 7200 \text{ MHz}$		51.3			48.5		dBFS
SIGNAL-TO-NOISE-AND-DISTORTION (SINAD)							
$f_{IN} = 450 \text{ MHz}$		57.5			57.7		dBFS
$f_{IN} = 900 \text{ MHz}$		57.2			57.3		dBFS
$f_{IN} = 1800 \text{ MHz}$		56.1			55.8		dBFS
$f_{IN} = 2700 \text{ MHz}$		54.5		51.0	54.2		dBFS
$f_{IN} = 3600 \text{ MHz}$		53.2			52.3		dBFS
$f_{IN} = 4500 \text{ MHz}$		48.4			50.1		dBFS
$f_{IN} = 5400 \text{ MHz}$		47.8			48.6		dBFS
$f_{IN} = 6300 \text{ MHz}$		46.1			45.5		dBFS
$f_{IN} = 7200 \text{ MHz}$		44.8			44.3		dBFS
SECOND-ORDER HARMONIC DISTORTION (HD2)							
$f_{IN} = 450 \text{ MHz}$		-73			-86		dBFS
$f_{IN} = 900 \text{ MHz}$		-76			-78		dBFS
$f_{IN} = 1800 \text{ MHz}$		-71			-78		dBFS
$f_{IN} = 2700 \text{ MHz}$		-65			-67	-53	dBFS

仕様

表 17.

Parameter	3 GSPS			4 GSPS			Unit
	Min	Typ	Max	Min	Typ	Max	
$f_{IN} = 3600$ MHz		-61			-61		dBFS
$f_{IN} = 4500$ MHz		-55			-56		dBFS
$f_{IN} = 5400$ MHz		-50			-53		dBFS
$f_{IN} = 6300$ MHz		-48			-48		dBFS
$f_{IN} = 7200$ MHz		-46			-46		dBFS
THIRD-ORDER HARMONIC DISTORTION (HD3)							
$f_{IN} = 450$ MHz		-78			-76		dBFS
$f_{IN} = 900$ MHz		-79			-76		dBFS
$f_{IN} = 1800$ MHz		-78			-75		dBFS
$f_{IN} = 2700$ MHz		-76			-73	-66	dBFS
$f_{IN} = 3600$ MHz		-71			-76		dBFS
$f_{IN} = 4500$ MHz		-62			-64		dBFS
$f_{IN} = 5400$ MHz		-60			-60		dBFS
$f_{IN} = 6300$ MHz		-59			-57		dBFS
$f_{IN} = 7200$ MHz		-58			-54		dBFS
WORST OTHER, EXCLUDING HD2, HD3, AND INTERLEAVING SPURS							
$f_{IN} = 450$ MHz		-78			-88		dBFS
$f_{IN} = 900$ MHz		-78			-87		dBFS
$f_{IN} = 1800$ MHz		-78			-81		dBFS
$f_{IN} = 2700$ MHz		-78			-79	-64	dBFS
$f_{IN} = 3600$ MHz		-78			-77		dBFS
$f_{IN} = 4500$ MHz		-77			-75		dBFS
$f_{IN} = 5400$ MHz		-78			-74		dBFS
$f_{IN} = 6300$ MHz		-74			-72		dBFS
$f_{IN} = 7200$ MHz		-73			-72		dBFS
INTERLEAVING SPUR ($f_{IN} \pm f_s/2$) ³							
$f_{IN} = 450$ MHz		-97			-93		dBFS
$f_{IN} = 900$ MHz		-94			-93		dBFS
$f_{IN} = 1800$ MHz		-96			-90		dBFS
$f_{IN} = 2700$ MHz		-86			-86		dBFS
$f_{IN} = 3600$ MHz		-84			-81		dBFS
$f_{IN} = 4500$ MHz		-53			-85		dBFS
$f_{IN} = 5400$ MHz		-78			-86		dBFS
$f_{IN} = 6300$ MHz		-77			-79		dBFS
$f_{IN} = 7200$ MHz		-78			-74		dBFS
DIGITAL COUPLING SPUR ($f_{IN} \pm f_s/4$)							
$f_{IN} = 450$ MHz		-83			-94		dBFS
$f_{IN} = 900$ MHz		-79			-91		dBFS
$f_{IN} = 1800$ MHz		-73			-89		dBFS
$f_{IN} = 2700$ MHz		-70			-86	-67	dBFS
$f_{IN} = 3600$ MHz		-68			-87		dBFS
$f_{IN} = 4500$ MHz		-66			-83		dBFS
$f_{IN} = 5400$ MHz		-65			-82		dBFS
$f_{IN} = 6300$ MHz		-64			-80		dBFS
$f_{IN} = 7200$ MHz		-63			-79		dBFS
TWO-TONE INTERMODULATION DISTORTION (IMD3, $2f_{IN1} - f_{IN2}$ OR $2f_{IN2} - f_{IN1}$) A_{IN1} AND $A_{IN2} = -7$ dBFS							

仕様

表 17.

Parameter	3 GSPS			4 GSPS			Unit
	Min	Typ	Max	Min	Typ	Max	
$f_{IN1} = 1775 \text{ MHz}, f_{IN2} = 1825 \text{ MHz}$		-81			-84		dBFS
$f_{IN1} = 2675 \text{ MHz}, f_{IN2} = 2725 \text{ MHz}$		-77			-78		dBFS
$f_{IN1} = 3575 \text{ MHz}, f_{IN2} = 3625 \text{ MHz}$		-73			-74		dBFS
$f_{IN1} = 5375 \text{ MHz}, f_{IN2} = 5425 \text{ MHz}$		-66			-66		dBFS
ANALOG BANDWIDTH ⁴		7.5			7.5		GHz

¹ ノイズ密度は、250MHz の入力周波数、-30dBFS の振幅で測定しています。この場合タイミング・ジッタによってノイズ・フロアが悪化することはありません。

² ノイズ指数は、1.4V p-p の入力スパンと $R_{IN} = 100\Omega$ を使用した 4.5dBm の公称フルスケール入力電力に基づいています。

³ インターリーブ・キャリブレーションはバックグラウンドで収束。

⁴ アナログ入力帯域幅は、評価用ボードで測定した周波数応答から ADC を取り除いた除去モデルに基づいて、フルスケール入力周波数応答を -3dB ロールオフした動作帯域幅です。この帯域幅には、マッチング回路を最適化してこの上側帯域幅まで確保できていることが要求されます。

タイミング仕様

特に指定のない限り、最小値と最大値は $T_j = -40^\circ\text{C} \sim +120^\circ\text{C}$ 、公称電源の $\pm 5\%$ での値。

表 18.

Parameters	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
SERIAL PORT INTERFACE (SPI) WRITE OPERATION						
Maximum SCLK Clock Rate	$f_{SCLK}, 1/t_{SCLK}$		33			MHz
SCLK Clock High	t_{PWH}	SCLK = 33 MHz	8			ns
SCLK Clock Low	t_{PWL}	SCLK = 33 MHz	8			ns
SDIO to SCLK Setup Time	t_{DS}		4			ns
SCLK to SDIO Hold Time	t_{DH}		4			ns
CSB to SCLK Setup Time	t_S		4			ns
CLK to CSB Hold Time	t_H		4			ns
SPI READ OPERATION						
LSB First Data Format						
Maximum SCLK Clock Rate	$f_{SCLK}, 1/t_{SCLK}$		33			MHz
SCLK Clock High	t_{PWH}		8			ns
SCLK Clock Low	t_{PWL}		8			ns
MSB First Data Format						
Maximum SCLK Clock Rate	$f_{SCLK}, 1/t_{SCLK}$		15			MHz
SCLK Clock High	t_{PWH}		30			ns
SCLK Clock Low	t_{PWL}		30			ns
SDIO to SCLK Setup Time	t_{DS}		4			ns
SCLK to SDIO Hold Time	t_{DH}		4			ns
CSB to SCLK Setup Time	t_S		4			ns
SCLK to SDIO Data Valid Time	t_{DV}		20			ns
SCLK to SDO Data Valid Time	t_{DV_SDO}		20			ns
CSB to SDIO Output Valid to High-Z	t_Z		20			ns
CSB to SDO Output Valid to High-Z	t_{Z_SDO}		20			ns
RESETB		Minimum hold time to trigger a device reset	40			ns

タイミング図

仕様

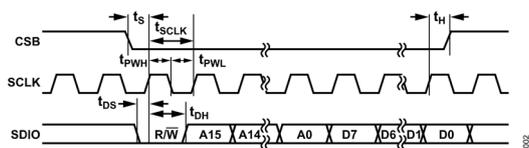


図 2. 3 線での書き込み動作のタイミング図

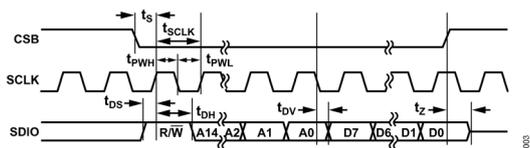


図 3. 3 線での読み出し動作のタイミング図

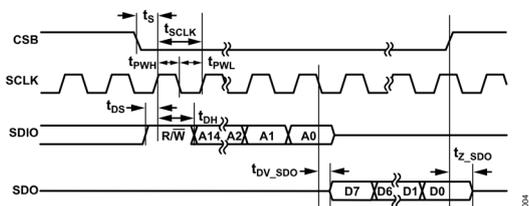


図 4. 4 線での読み出し動作のタイミング図

絶対最大定格

表 19.

Parameter	Rating
ISET, DACxP, DACxN, TDP, TDN	-0.3 V to AVDD2 + 0.3 V
VCO_COARSE, VCO_FINE, VCO_VCM, VCO_VREG	-0.3 V to AVDD2_PLL + 0.3 V
Rx Input Power (ADC0P/N, ADC1P/N, ADC2P/N, ADC3P/N)1	22 dBm
VCM0, VCM1	-0.3 V to RVDD2 + 0.3 V
CLKINP, CLKINN	-0.2 V to PLLCLKVDD1 + 0.2 V
ADCDRVN, ADCDRVp	-0.2 V to CLKVDD1 + 0.2 V
SERDINx±, SERDOUTx±	-0.2 V to SVDD1 + 0.2 V
SYSREFP, SYSREFN, and SYNCxINB±	-0.2 V to +2.5 V
SYNCxOUTB±, SYNCxINB±, RESETB, TXENx, RXENx, IRQB_x, CSB, SCLK, SDIO, SDO, TMU_REFN, TMU_REFP, ADCx_SMON0, ADCx_SMON1, ADCx_FD0, ADCx_FD1, GPIOx	-0.3 V to DVDD1P8 + 0.3 V
AVDD2, AVDD2_PLL, BVDD2, RVDD2, SVDD2_PLL, DVDD1P8	-0.3 V to +2.2 V
PLLCLKVDD1, AVDD1, AVDD1_ADC, CLKVDD1, FVDD1, DAVDD1, DVDD1_RT, DCLKVDD1, SVDD1, SVDD1_PLL	-0.2 V to +1.2 V
VNN1	-1.1 V to +0.2 V
Temperature Ranges	
Maximum Junction (Tj)2	120°C
Storage	-65°C to +150°C

¹ f_N = 4.7 GHz (パルス) と連続トーンを使用し、最大許容ジャンクション温度 (T_j) で 1000 時間連続的に試験。詳細については、デバイスのユーザ・ガイド UG-1578 を参照してください。

² デバイ스에電源が供給されている間は、決してこの温度を超えてはなりません。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、PCB の設計と動作環境に直接関連します。温度管理を適切に行って、T_j の最大値が表 19 に示す制限値を超えないようにすることを推奨します。

θ_{JA} は 1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲温度の間の熱抵抗です。

θ_{JC_TOP} は、ジャンクションとケースの間の熱抵抗です。

θ_{JB} は、ジャンクションとボードの間の熱抵抗です。

表 20. 熱抵抗の計算値¹

PCB Type	Airflow Velocity (m/sec)	Airflow Velocity			Unit
		θ _{JA}	θ _{JC_TOP}	θ _{JB}	
JEDEC 2s2p Board	0.0	11.7	0.40	2.3	°C/W

¹ 仕様規定されている熱抵抗値は、JESD51-12 に準拠した JEDEC 仕様に基づき、デバイスの消費電力を 9W として計算しています。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

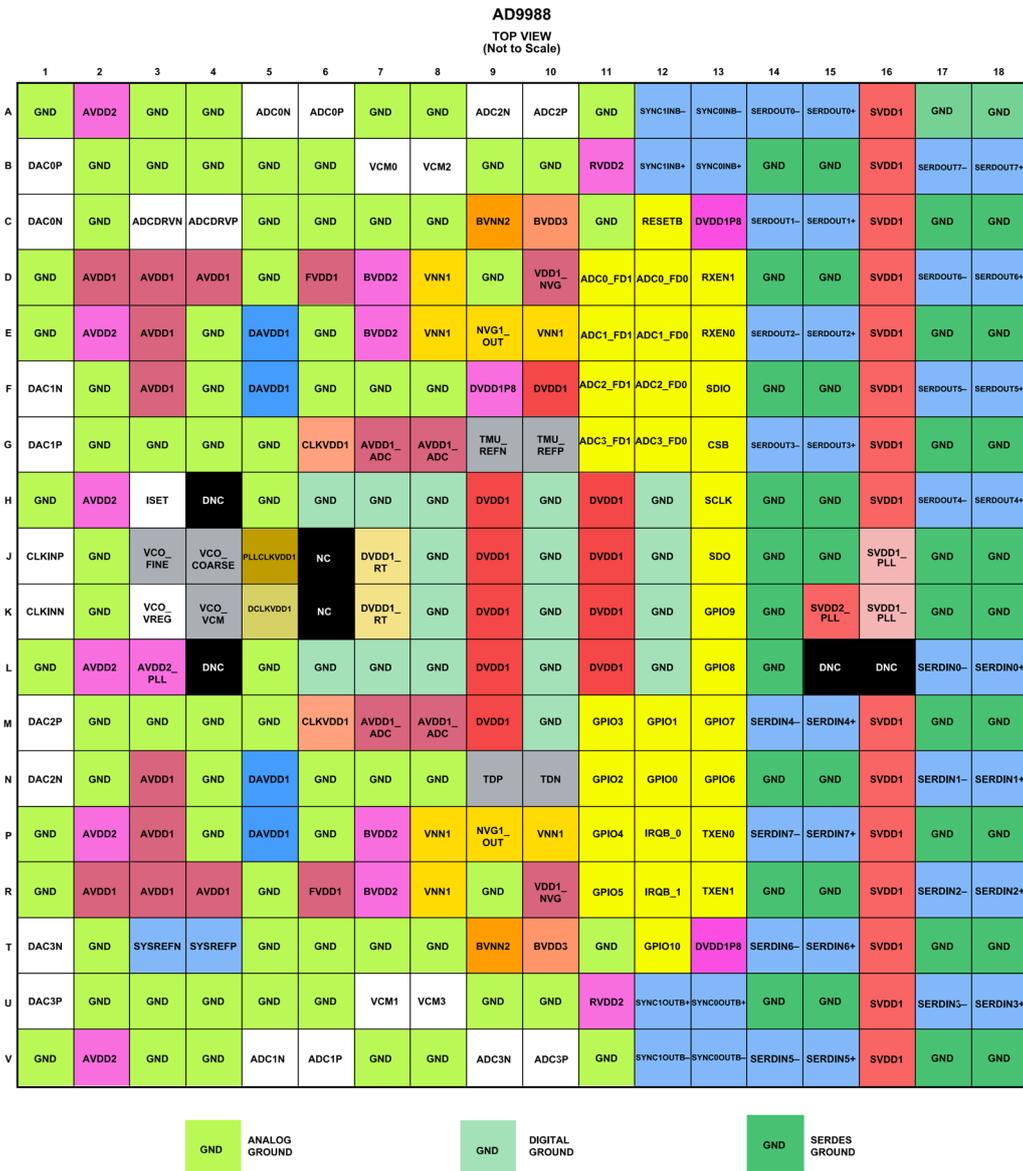


図 5. ピン配置

表 21. ピン機能の説明

ピン番号	記号	タイプ	説明
Power Supplies			
A2, E2, H2, L2, P2, V2	AVDD2	Input	DAC のアナログ 2.0V 電源入力。
L3	AVDD2_PLL	Input	クロック PLL 低ドロップアウト (LDO) レギュレータのアナログ 2.0V 電源入力。
D7, E7, P7, R7	BVDD2	Input	ADC バッファのアナログ 2.0V 電源入力。
B11, U11	RVDD2	Input	ADC リファレンスのアナログ 2.0V 電源入力。
J5	PLLCLKVDD1	Input	クロック PLL のアナログ 1.0V 電源入力。
D2, D3, D4, E3, F3, N3, P3, R2, R3, R4	AVDD1	Input	DAC クロックのアナログ 1.0V 電源入力。
G7, G8, M7, M8	AVDD1_ADC	Input	ADC のアナログ 1.0V 電源入力。
G6, M6	CLKVDD1	Input	ADC クロックのアナログ 1.0V 電源入力。
D6, R6	FVDD1	Input	ADC リファレンスのアナログ 1.0V 電源入力。

ピン配置およびピン機能の説明

表 21. ピン機能の説明

ピン番号	記号	タイプ	説明
D10, R10	VDD1_NVG	Input	-1V 出力生成用の負電圧発生器 (NVG) のアナログ 1.0V 電源入力。
E9, P9	NVG1_OUT	Output	NVG からのアナログ-1V 電源出力。NVG1_OUT は、0.1μF のコンデンサを使用して GND からデカップリングします。
D8, E8, E10, P8, R8, P10	VNN1	Input	ADC バッファおよびリファレンスのアナログ-1V 電源入力。これらのピンは隣接する NVG1_OUT ピンに接続します。
C9, T9	BVNN2	Output	内部生成されるアナログ-2V ADC バッファ電源のデカップリング・ピン。BVNN2 は、0.1μF のコンデンサを使用して GND からデカップリングします。
C10, T10	BVDD3	Output	内部生成されるアナログ 3V ADC バッファ電源のデカップリング・ピン。BVDD3 は、0.1μF のコンデンサを使用して GND からデカップリングします。
E5, F5, N5, P5	DAVDD1	Input	デジタル・アナログ 1.0V 電源入力。
F10, H9, H11, J9, J11, K9, K11, L9, L11, M9	DVDD1	Input	デジタル 1.0V 電源入力。
J7, K7	DVDD1_RT	Input	リタイマー・ブロックのデジタル 1.0V 電源入力。
K5	DCLKVDD1	Input	デジタル 1.0V クロック生成用電源。
A16, B16, C16, D16, E16, F16, G16, H16, M16, N16, P16, R16, T16, U16, V16	SVDD1	Input	SERDES シリアライザ/デシリアライザのデジタル 1.0V 電源入力。
K15	SVDD2_PLL	Input	SERDES LDO レギュレータのデジタル 2.0V 電源入力。
J16, K16	SVDD1_PLL	Input	SERDES クロック生成および PLL のデジタル 1.0V 電源入力。
C13, F9, T13	DVDD1P8	Input	デジタル・インターフェースおよび温度モニタリング・ユニット (TMU) の電源入力 (公称 1.8V)。
A1, A3, A4, A7, A8, A11, A17, A18, B2 to B6, B9, B10, B14, B15, C2, C5 to C8, C11, C17, C18, D1, D5, D9, D14, D15, E1, E4, E6, E17, E18, F2, F4, F6 to F8, F14, F15, G2 to G5, G17, G18, H1, H5 to H8, H10, H12, H14, H15, J2, J8, J10, J12, J14, J15, J17, J18, K2, K8, K10, K12, K14, K17, K18, L1, L5 to L8, L10, L12, L14, M2 to M5, M10, M17, M18, N2, N4, N6 to N8, N14, N15, P1, P4, P6, P17, P18, R1, R5, R9, R14, R15, T2, T5 to T8, T11, T17, T18, U2 to U6, U9, U10, U14, U15, V1, V3, V4, V7, V8, V11, V17, V18	GND	Input/output	グラウンド・リファレンス。
Analog Outputs			
B1, C1	DAC0P, DAC0N	Output	DAC0 出力電流、グラウンドを基準。使用しない場合、これらのピンは GND に接続します。
G1, F1	DAC1P, DAC1N	Output	DAC1 出力電流、グラウンドを基準。使用しない場合、これらのピンは GND に接続します。
M1, N1	DAC2P, DAC2N	Output	DAC2 出力電流、グラウンドを基準。使用しない場合、これらのピンは GND に接続します。
U1, T1	DAC3P, DAC3N	Output	DAC3 出力電流、グラウンドを基準。使用しない場合、これらのピンは GND に接続します。
H3	ISSET	Output	DAC バイアス電流設定ピン。5kΩ 抵抗を使用して、このピンを GND に接続します。
C4, C3	ADCDRVP, ADCDRVN	Output	オプションのクロック出力。これらのピンはデフォルトでディスエーブルされていますが、リファレンス・クロックを必要とする外付け ADC などのデバイスのクロック源として使用することもできます。使用しない場合、これらのピンはフロート状態のままにします。
B7, U7, B8, U8	VCM0, VCM1, VCM2, VCM3	Output	ADC バッファのコモンモード出力電圧。これらのピンは、0.1μF のコンデンサを使用して GND からデカップリングします。
K3	VCO_VREG	Output	PLL LDO レギュレータ出力。このピンは、2.2μF のコンデンサを使用して GND からデカップリングします。
G9	TMU_REFN	Output	TMU ADC の負のリファレンス。このピンは GND に接続します。

ピン配置およびピン機能の説明

表 21. ピン機能の説明

ピン番号	記号	タイプ	説明
G10	TMU_REFP	Output	TMU ADC の正のリファレンス。このピンは DVDD1P8 に接続します。
Analog Inputs			
A6, A5	ADC0P, ADC0N	Input	ADC0 差動入力、内部で 100Ω の差動抵抗を使用。使用しない場合、これらのピンはフロート状態のままにします。
V6, V5	ADC1P, ADC1N	Input	ADC1 差動入力、内部で 100Ω の差動抵抗を使用。使用しない場合、これらのピンはフロート状態のままにします。
A10, A9	ADC2P, ADC2N	Input	ADC2 差動入力、内部で 100Ω の差動抵抗を使用。使用しない場合、これらのピンはフロート状態のままにします。
V10, V9	ADC3P, ADC3N	Input	ADC3 差動入力、内部で 100Ω の差動抵抗を使用。使用しない場合、これらのピンはフロート状態のままにします。
J3	VCO_FINE	Input	オンチップ・デバイス・クロック通信器と PLL 精密ループ・フィルタの入力。PLL を使用しない場合は、このピンをフロート状態にして、制御レジスタにより PLL をディスエーブルします。
J4	VCO_COARSE	Input	オンチップ・デバイス・クロック通信器と PLL 粗ループ・フィルタの入力。PLL を使用しない場合は、このピンをフロート状態にして、制御レジスタにより PLL をディスエーブルします。
K4	VCO_VCM	Input	オンチップ・デバイス・クロック通信器と VCO コモンモード入力。PLL を使用しない場合は、このピンをフロート状態にして、制御レジスタにより PLL をディスエーブルします。
N9, N10	TDP, TDN	Input	温度ダイオードのアノードとカソード。この機能には対応していません。
J1, K1	CLKINP, CLKINN	Input	TDP と TDN は GND に接続します。公称 100Ω の終端を使用した差動クロック入力。これらの自己バイアス入力には AC カップリングが必要です。オンチップ・クロック通信器 PLL がイネーブルされている場合は、この入力はリファレンス・クロック入力になります。PLL がディスエーブルされている場合は、RF クロックと DAC 出力サンプル・レート等を等しくする必要があります。
CMOS Inputs and Outputs¹			
G13	CSB	Input	シリアル・ポート・イネーブル入力。アクティブ・ロー。
H13	SCLK	Input	シリアル・ポート・クロック入力。
F13	SDIO	Input/output	シリアル・ポートの双方向データ入出力。
J13	SDO	Output	シリアル・ポート・データ出力。
C12	RESETB	Input	アクティブ・ローのリセット入力。RESETB は、デジタル・ロジックと SPI レジスタを既知のデフォルト状態にセットします。RESETB は、デバイス初期化プロセスの最初のステップでリセット信号を発信できるデジタル IC に接続する必要があります。
E13, D13	RXEN0, RXEN1	Input	アクティブ・ハイの ADC および受信データバス・イネーブル入力。RXENx は SPI でも設定可能です。
P13, R13	TXEN0, TXEN1	Input	アクティブ・ハイの DAC および送信データバス・イネーブル入力。TXENx は SPI でも設定可能です。
D12, D11	ADC0_FD0, ADC0_FD1	Output	ADC0 高速検出出力 (デフォルト)。使用しない場合は接続しないでください。
E12, E11	ADC1_FD0, ADC1_FD1	Output	ADC1 高速検出出力 (デフォルト)。使用しない場合は接続しないでください。
F12, F11	ADC2_FD0, ADC2_FD1	Output	ADC2 高速検出出力 (デフォルト)。使用しない場合は接続しないでください。
G12, G11	ADC3_FD0, ADC3_FD1	Output	ADC3 高速検出出力 (デフォルト)。使用しない場合は接続しないでください。
P12, R12	IRQB_0, IRQB_1	Output	割込み要求出力。これらのピンはオープン・ドレインのアクティブ・ロー出力です (DVDD1P8 基準の CMOS レベル)。未使用時にピンがフロート状態にならないように、DVDD1P8 には 5kΩ 以上のプルアップ抵抗を接続してください。
N12, M12, N11, M11, P11, R11	GPIO0 to GPIO5	Input/output	汎用入出力ピン。これらのピンは Tx データバスに関連する補助機能を制御します。

ピン配置およびピン機能の説明

表 21. ピン機能の説明

ピン番号	記号	タイプ	説明
N13, M13, L13, K13, T12	GPIO6 to GPIO10	Input/output	汎用入出力ピン。これらのピンは Rx データバスと ADC に関連する補助機能を制御します。
JESD204B- or JESD204C-Compatible SERDES Data Lanes and Control Signals ²			
L18, L17	SERDIN0+, SERDIN0-	Input	JRx レーン 0 入力、データの+/-。
N18, N17	SERDIN1+, SERDIN1-	Input	JRx レーン 1 入力、データの+/-。
R18, R17	SERDIN2+, SERDIN2-	Input	JRx レーン 2 入力、データの+/-。
U18, U17	SERDIN3+, SERDIN3-	Input	JRx レーン 3 入力、データの+/-。
M15, M14	SERDIN4+, SERDIN4-	Input	JRx レーン 4 入力、データの+/-。
V15, V14	SERDIN5+, SERDIN5-	Input	JRx レーン 5 入力、データの+/-。
T15, T14	SERDIN6+, SERDIN6-	Input	JRx レーン 6 入力、データの+/-。
P15, P14	SERDIN7+, SERDIN7-	Input	JRx レーン 7 入力、データの+/-。
U13, V13	SYNC0OUTB+, SYNC0OUTB-	Output	JESD204B インターフェースの JRx リンク 0 同期出力。これらのピンは LVDS または CMOS のどちらかに設定できます。また、LVDS モードでは差動 100Ω 出力インピーダンスとしても利用できます。
U12, V12	SYNC1OUTB+, SYNC1OUTB-	Output	JESD204B インターフェースの JRx リンク 1 同期出力、または送信高速周波数ホッピング (FFH) 機能を制御するための CMOS 入力。JRx リンク同期の場合には、これらのピンを LVDS または CMOS 出力として設定できます。また、LVDS モードでは差動 100Ω 出力インピーダンスとしても利用できます。
A15, A14	SERDOUT0+, SERDOUT0-	Output	JTx レーン 0 出力、データの+/-。
C15, C14	SERDOUT1+, SERDOUT1-	Output	JTx レーン 1 出力、データの+/-。
E15, E14	SERDOUT2+, SERDOUT2-	Output	JTx レーン 2 出力、データの+/-。
G15, G14	SERDOUT3+, SERDOUT3-	Output	JTx レーン 3 出力、データの+/-。
H18, H17	SERDOUT4+, SERDOUT4-	Output	JTx レーン 4 出力、データの+/-。
F18, F17	SERDOUT5+, SERDOUT5-	Output	JTx レーン 5 出力、データの+/-。
D18, D17	SERDOUT6+, SERDOUT6-	Output	JTx レーン 6 出力、データの+/-。
B18, B17	SERDOUT7+, SERDOUT7-	Output	JTx レーン 7 出力、データの+/-。
B13, A13	SYNC0INB+, SYNC0INB-	Input	JESD204B インターフェースの JTx リンク 0 同期入力。これらのピンは、LVDS または CMOS のどちらかに設定できます。LVDS 動作では内部 100Ω 入力インピーダンスを選択することもできます。
B12, A12	SYNC1INB+, SYNC1INB-	Input	JESD204B インターフェースの JTx リンク 1 同期入力、または GPIOx ピンを介した受信 FFH の CMOS 入力。これらのピンは、LVDS または CMOS のどちらかに設定できます。LVDS 動作では内部 100Ω 入力インピーダンスを選択することもできます。
T4, T3	SYSREFP, SYSREFN	Input	アクティブ・ハイの JESD204B/C システム・リファレンス入力。これらのピンは、差動電流モード・ロジック (CML)、PECL、内部 100Ω 終端またはシングルエンドの CMOS を使用した LVDS に設定できます。
No Connects and Do Not Connects J6, K6	NC	NC	接続なし。これらのピンは未接続/接続のどちらにしておいても構いません。

ピン配置およびピン機能の説明

表 21. ピン機能の説明

ピン番号	記号	タイプ	説明
H4, L4, L15, L16	DNC	DNC	接続なし。これらのピンは、未接続のままにしておく必要があります。

¹ CMOS 入力には、プルアップ抵抗もプルダウン抵抗も内蔵されていません。

² SERDINx±と SERDOUTx±には、100Ωの内部終端抵抗が内蔵されています。

代表的な性能特性

DAC

これらのデータ曲線は、高調波とスプリアスが一次のナイキスト・ゾーン ($< f_{DAC}/2$) にあるすべての出力についての平均性能を示しています。SFDR、IMD3、NSDのデータはすべて実験室の評価ボードで測定したものです。位相ノイズと ACLR のデータはすべて、AD9081-FMCA-EBZ または AD9082-FMCA-EBZ カスタム評価用ボードで測定しています。JESD204B および JESD204C のモード設定の詳細については、UG-1578 ユーザ・ガイドを参照してください。

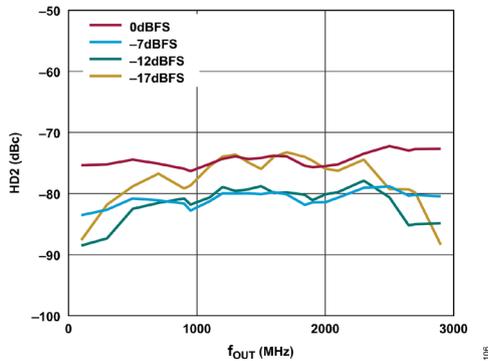


図 6. 異なるデジタル・スケールでの HD2 と f_{OUT} の関係：
6GSPS の DAC サンプル・レート、
チャンネル・インターポレーション 1×、
メイン・インターポレーション 4×、モード 15C

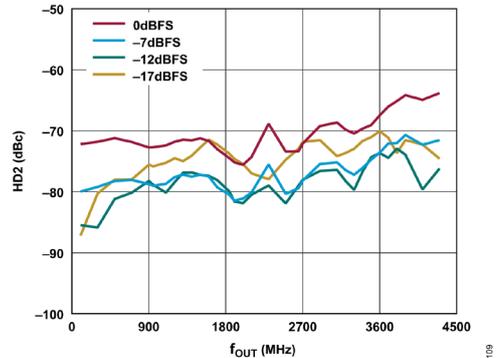


図 9. 異なるデジタル・スケールでの HD2 と f_{OUT} の関係：
9GSPS DAC サンプル・レート、
チャンネル・インターポレーション 1×、
メイン・インターポレーション 6×、モード 15C

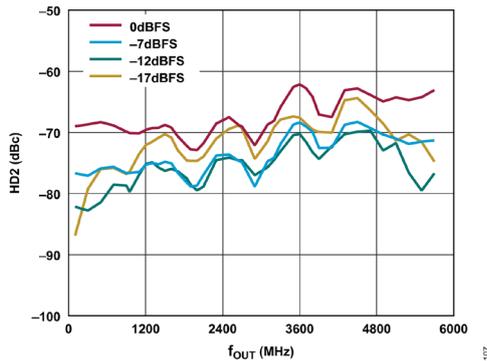


図 7. 異なるデジタル・スケールでの HD2 と f_{OUT} の関係：
12GSPS DAC サンプル・レート、
チャンネル・インターポレーション 1×、
メイン・インターポレーション 8×、モード 15C

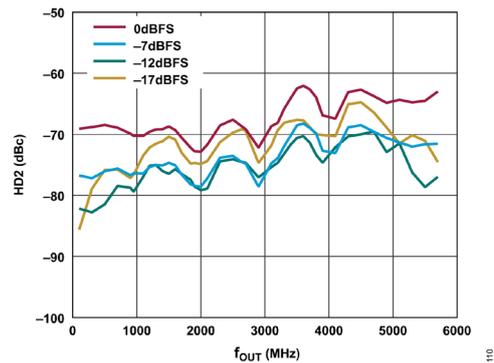


図 10. 異なるデジタル・スケールでの HD2 と f_{OUT} の関係：
12GSPS DAC サンプル・レート、
チャンネル・インターポレーション 4×、
メイン・インターポレーション 8×、モード 16B

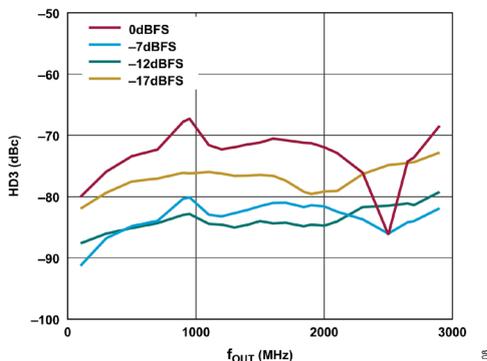


図 8. 異なるデジタル・スケールでの HD3 と f_{OUT} の関係：
6GSPS DAC サンプル・レート、
チャンネル・インターポレーション 1×、
メイン・インターポレーション 4×、モード 15C

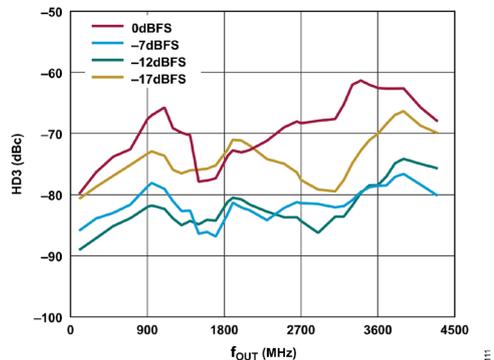


図 11. 異なるデジタル・スケールでの HD3 と f_{OUT} の関係：
9GSPS DAC サンプル・レート、
チャンネル・インターポレーション 1×、
メイン・インターポレーション 6×、モード 15C

代表的な性能特性

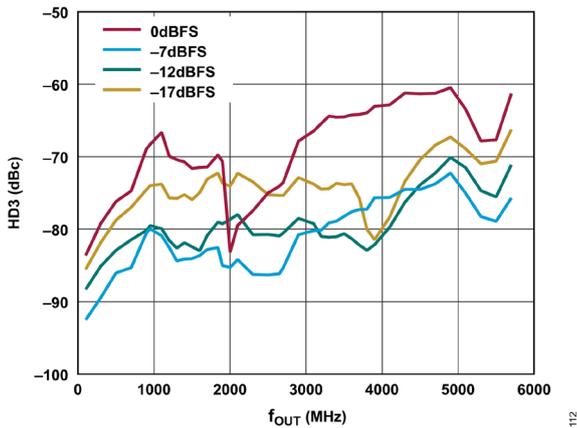


図 12. 異なるデジタル・スケールでの HD3 と f_{OUT} の関係：
12GSPS DAC サンプル・レート、
チャンネル・インターポレーション 1×、
メイン・インターポレーション 8×、モード 15C

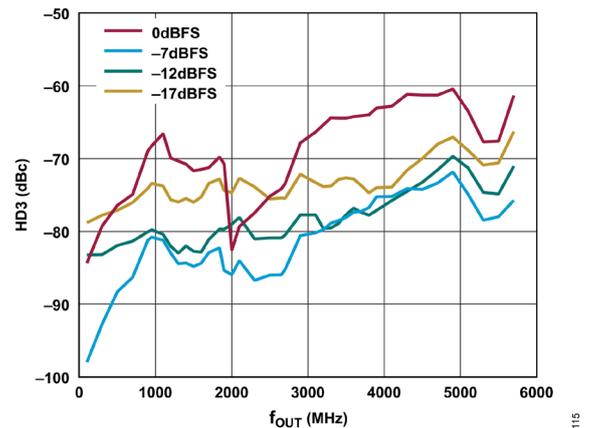


図 15. 異なるデジタル・スケールでの HD3 と f_{OUT} の関係：
12GSPS DAC サンプル・レート、
チャンネル・インターポレーション 4×、
メイン・インターポレーション 8×、モード 16B

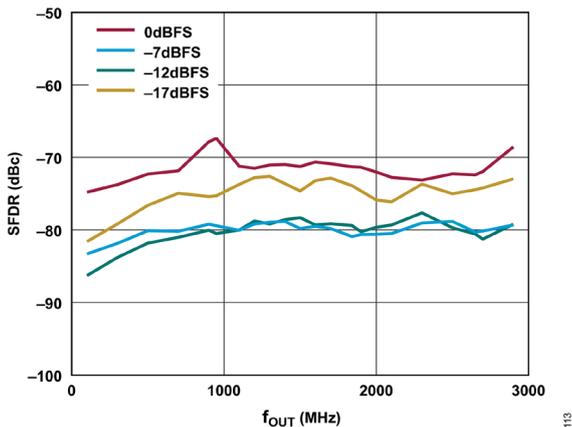


図 13. 異なるデジタル・スケールでの最も厳しいスプリアスの SFDR と f_{OUT} の関係：6GSPS の DAC サンプル・レート、
チャンネル・インターポレーション 1×、
メイン・インターポレーション 4×、モード 15C

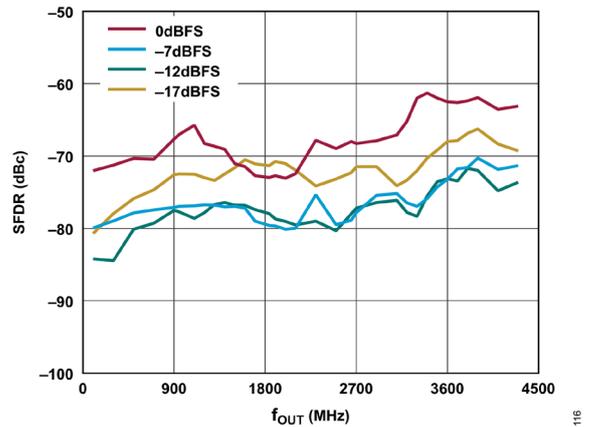


図 16. 異なるデジタル・スケールでの最も厳しいスプリアスの SFDR と f_{OUT} の関係：9GSPS DAC サンプル・レート、
チャンネル・インターポレーション 1×、
メイン・インターポレーション 6×、モード 15C

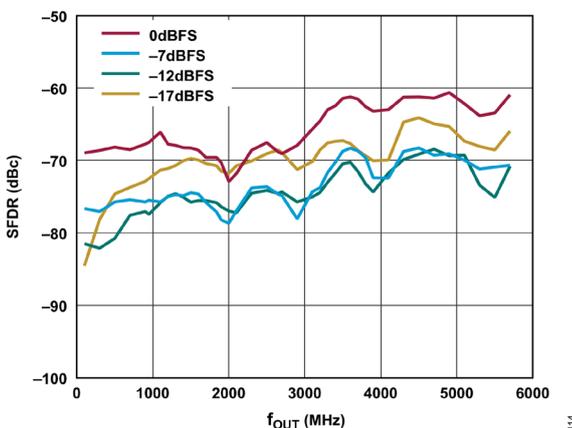


図 14. 異なるデジタル・スケールでの最も厳しいスプリアスの SFDR と f_{OUT} の関係：12GSPS DAC サンプル・レート、
チャンネル・インターポレーション 1×、
メイン・インターポレーション 8×、モード 15C

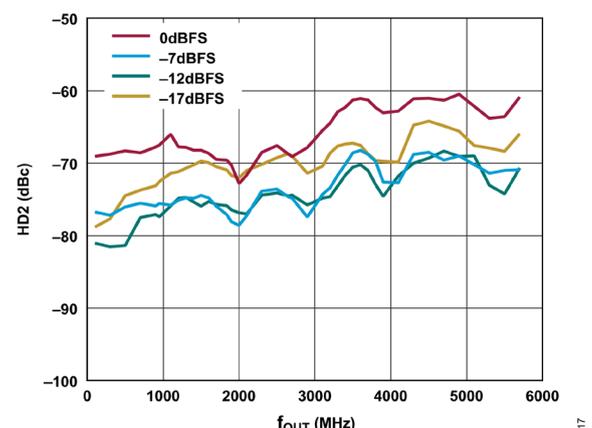


図 17. 異なるデジタル・スケールでの最も厳しいスプリアスの SFDR と f_{OUT} の関係：12GSPS DAC サンプル・レート、
チャンネル・インターポレーション 4×、
メイン・インターポレーション 8×、モード 16B

代表的な性能特性

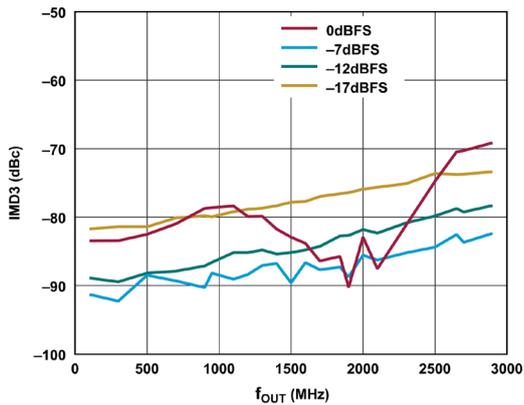


図 18. 異なるデジタル・スケール (モード 17B) での IMD3 と f_{OUT} の関係: 6GSPS の DAC サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 4×、モード 15C。IMD3 はツー・トーン・テストで、トーンあたりのスケールは、示されているデジタル・スケールより 6dB 低い値です。

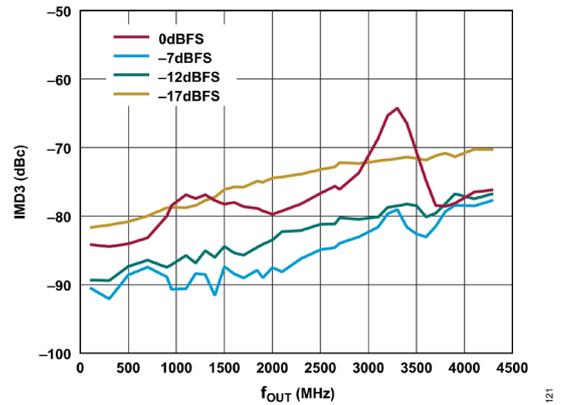


図 21. 異なるデジタル・スケールでの IMD3 と f_{OUT} の関係: 9GSPS の DAC サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 6×、モード 15C。IMD3 はツー・トーン・テストで、トーンあたりのスケールは、示されているデジタル・スケールより 6dB 低い値です。

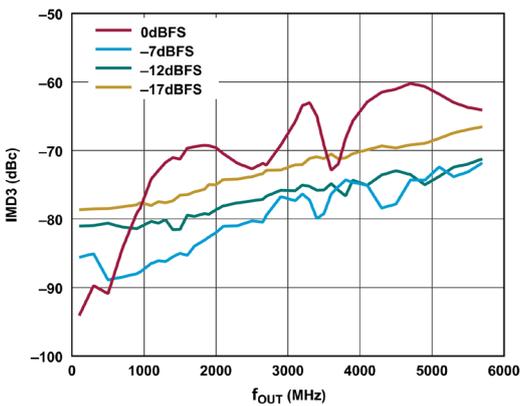


図 19. 異なるデジタル・スケールでの IMD3 と f_{OUT} の関係: 12GSPS DAC サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 8×、モード 15C。IMD3 はツー・トーン・テストで、トーンあたりのスケールは、示されているデジタル・スケールより 6dB 低い値です。

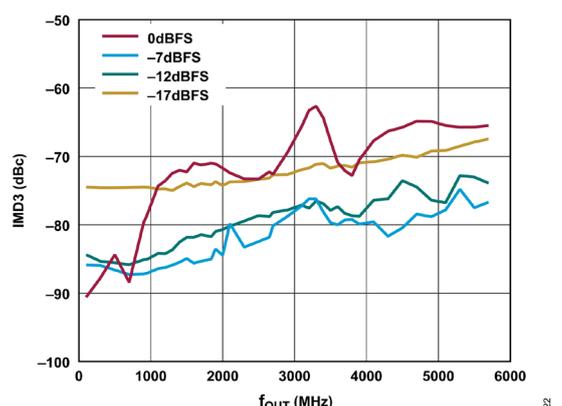


図 22. 異なるデジタル・スケールでの IMD3 と f_{OUT} の関係: 12GSPS DAC サンプル・レート、チャンネル・インターポレーション 4×、メイン・インターポレーション 8×、モード 16B。IMD3 はツー・トーン・テストで、トーンあたりのスケールは、示されているデジタル・スケールより 6dB 低い値です。

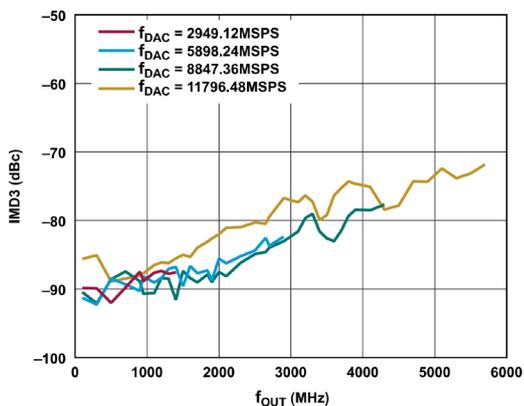


図 20. 異なる f_{DAC} 、デジタル・スケール -7dBFS での IMD3 と f_{OUT} の関係。IMD3 はツー・トーン・テストで、トーンあたりのスケールは、示されているデジタル・スケールより 6dB 低い値です。

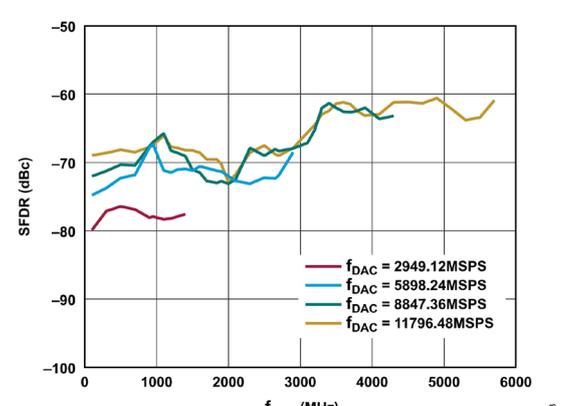


図 23. 異なる f_{DAC} での最も厳しいインバンドスプリアスの SFDR と f_{OUT} の関係: 0dBFS のトーン・レベル

代表的な性能特性

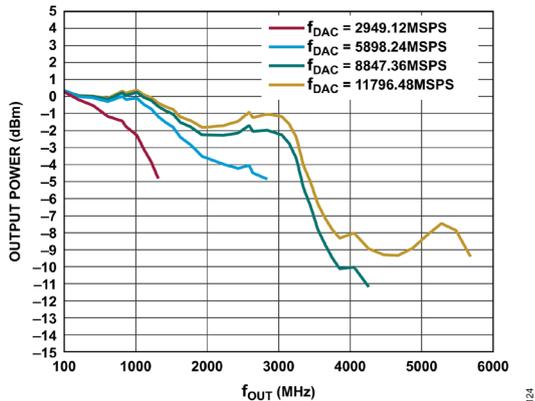


図 24. 異なる f_{DAC} での DAC0 基本出力電力と f_{OUT} の関係：
0dBFS のデジタル・バック・オフ、ラボ評価用ボードで測定。
AD9081-FMCA-EBZ または AD9082-FMCA-EBZ 評価用ボードに
は異なる PCB レイアウトがあり、ラボ評価用ボードと比較した
場合、周波数応答は異なります。

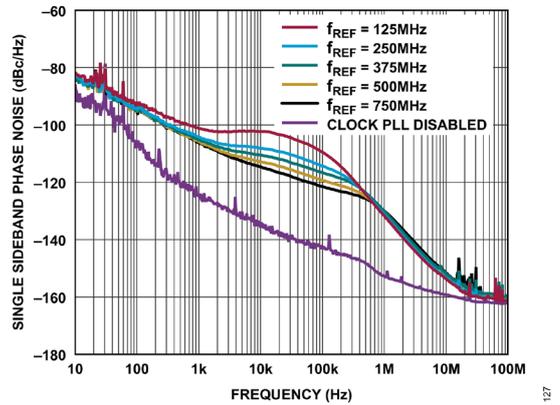


図 27. 様々な PLL リファレンス・クロック (f_{REF}) での単側波帯
位相ノイズと周波数オフセットの関係： $f_{OUT} = 1.8GHz$ 、
 $f_{DAC} = 12GSPS$ 、PLL イネーブル (クロック PLL ディスエーブル
の場合のみ外部 12GHz クロック入力を使用)

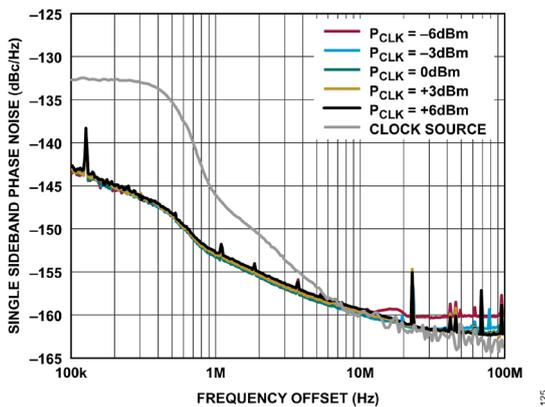


図 25. 様々なクロック入力電力 (P_{CLK}) での
単側波帯位相ノイズと周波数オフセットの関係： $f_{OUT} = 1.8GHz$ 、
外部 12GHz クロック入力 (クロック PLL ディスエーブル)

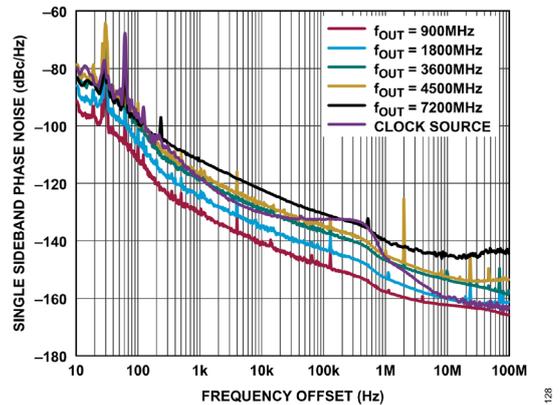


図 28. 様々な DAC 出力周波数 (f_{OUT}) での単側波帯位相ノイズ
と周波数オフセットの関係：外部 12GHz クロック入力
(クロック PLL ディスエーブル)

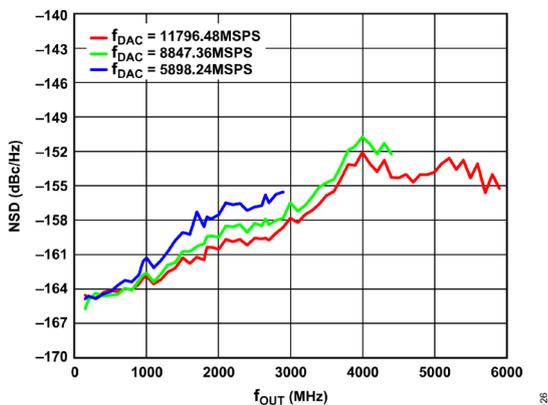


図 26. 異なる f_{DAC} での f_{OUT} から 10% のオフセットで測定した
シングル・トーン NSD と f_{OUT} の関係：シャッフル・オン、
16 ビット分解能、モード 15C

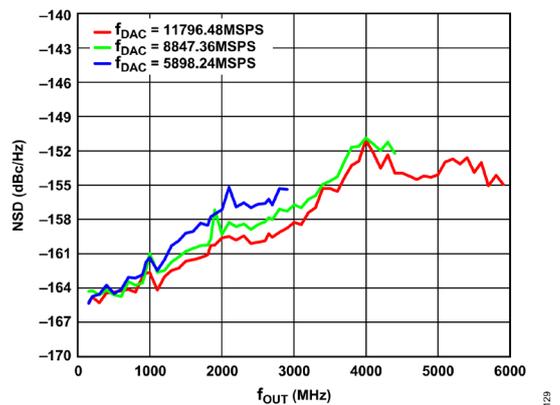


図 29. 異なる f_{DAC} での f_{OUT} から 10% のオフセットで測定した
シングル・トーン NSD と f_{OUT} の関係：12 ビット分解能、
シャッフル・オン、モード 24C

代表的な性能特性

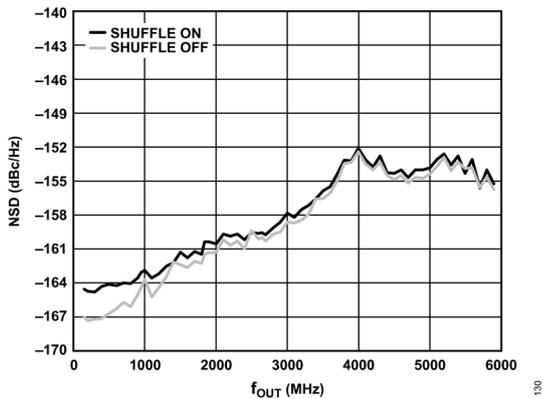


図 30. シャッフル・オフとシャッフル・オンの場合における f_{OUT} から 10% のオフセットで測定したシングル・トーン NSD と f_{OUT} の関係 : $f_{DAC} = 11796.48\text{MSPS}$ 、16 ビット分解能、モード 15C

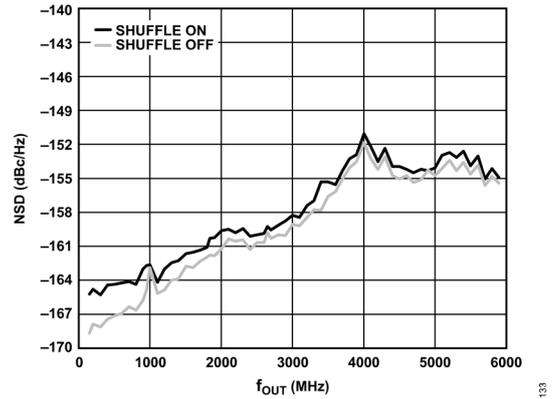


図 33. シャッフル・オフとシャッフル・オンの場合における f_{OUT} から 10% のオフセットで測定したシングル・トーン NSD と f_{OUT} の関係 : $f_{DAC} = 11796.48\text{MSPS}$ 、12 ビット分解能、モード 24C

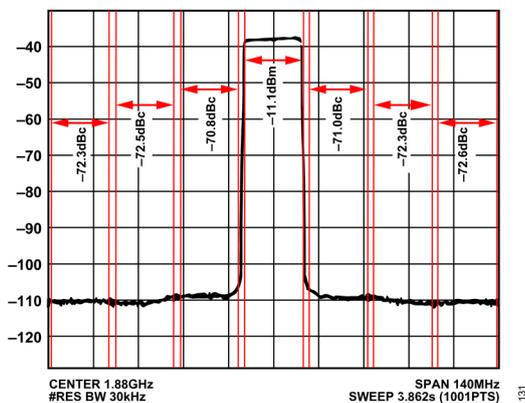


図 31. $f_{OUT} = 1.88\text{GHz}$ と $f_{OUT} = 2.145\text{GHz}$ での 2 通りの 20MHz LTE キャリアに対するデュアル・バンド ACLR 性能 (広帯域プロットについては図 32 を参照)。 $f_{OUT} = 1.88\text{GHz}$ のキャリアの拡大図を表示、 $f_{DAC} = 11.796\text{GSPS}$ 、テスト・ベクタ PAR = 7.7dB (バック・オフ-1dBFS)、チャンネル・インターポレーション 3x、メイン・インターポレーション 8x、モード 9C

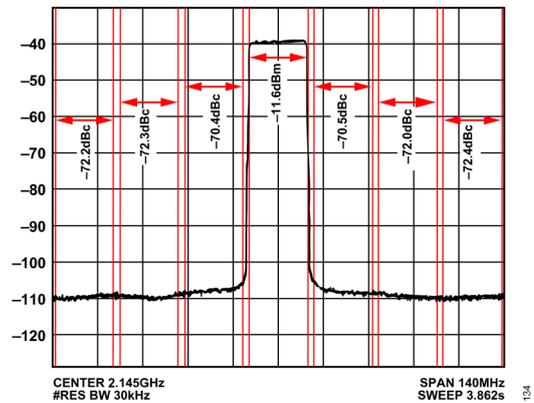


図 34. $f_{OUT} = 1.88\text{GHz}$ と $f_{OUT} = 2.145\text{GHz}$ での 2 通りの 20MHz LTE キャリアに対するデュアル・バンド ACLR 性能 (広帯域プロットについては図 32 を参照)。 $f_{OUT} = 2.145\text{GHz}$ のキャリアの拡大図を表示、 $f_{DAC} = 11.796\text{GSPS}$ 、テスト・ベクタ PAR = 7.7dB (バック・オフ-1dBFS)、チャンネル・インターポレーション 3x、メイン・インターポレーション 8x、モード 9C

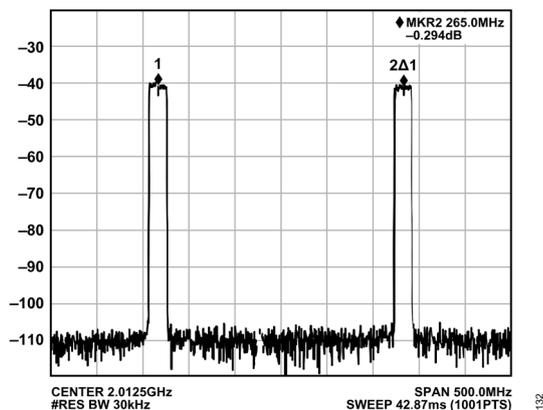


図 32. $f_{OUT} = 1.88\text{GHz}$ と $f_{OUT} = 2.145\text{GHz}$ (3GPP バンドはそれぞれ B1 と B3) での 2 通りの 20MHz LTE キャリアに対するデュアル・バンド広帯域プロット : $f_{DAC} = 11.796\text{GSPS}$ 、テスト・ベクタ PAR = 7.7dB (バック・オフ-1dBFS)、チャンネル・インターポレーション 3x、メイン・インターポレーション 8x、モード 9C

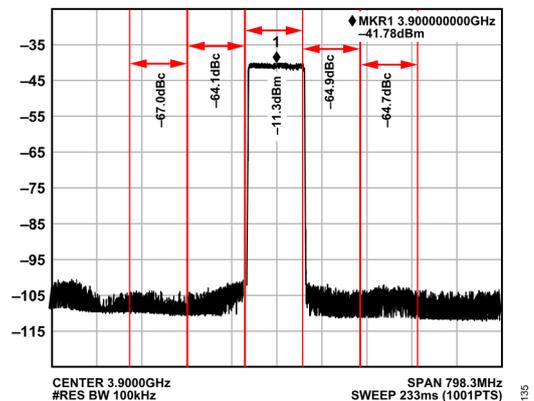


図 35. 100MHz 5G テスト・ベクタでの隣接チャンネル漏れ率 (ACLR) 性能 : $f_{OUT} = 3.9\text{GHz}$ 、 $f_{DAC} = 11.898\text{GSPS}$ 、テスト・ベクタのピーク対 RMS = 11.7dB (バック・オフ-1dBFS (モード 9C))、チャンネル・インターポレーション 3x、メイン・インターポレーション 8x

代表的な性能特性

ADC

公称電源、サンプリング・レート（サンプル周波数 (f_s) または f_{ADC}) = 3GSPS (DAC クロック周波数 (f_{CLK}) = 12GHz)、直接 RF クロック。ADC データパスは、複素 I/Q データ・レート (f_{IQ_DATA}) = 1500MSPS、デシメーション 2× (NCO を $f_s/4$ に調整 ($f_s/4$ は $f_{ADC}/4$ と同義)) に設定されています。特に指定のない限り、JT_X モードは 16C (L=8、M=8、F=2、S=1、K=128、E=1、N=16、NP=16)、T_J = 80°C (T_A = 25°C)、128k FFT サンプル (5 回平均)、A_{IN} = -1dBFS。

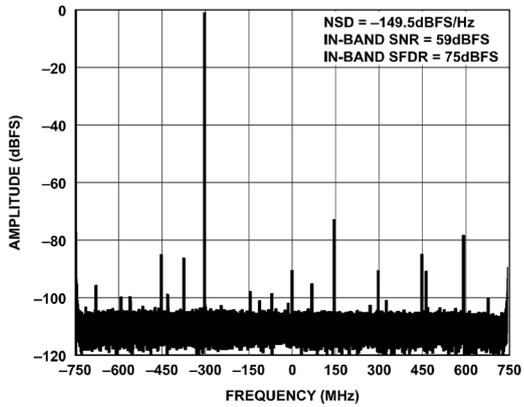


図 36. $f_{IN} = 450\text{MHz}$ でのシングル・トーン FFT

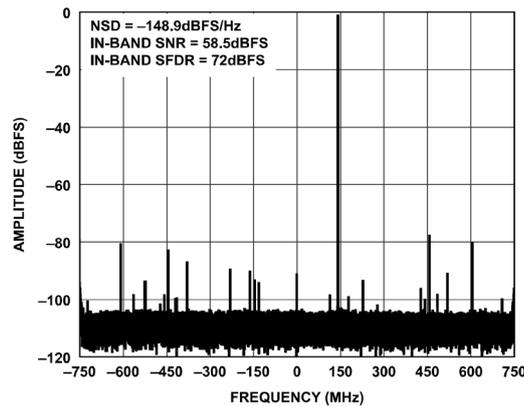


図 37. $f_{IN} = 900\text{MHz}$ でのシングル・トーン FFT

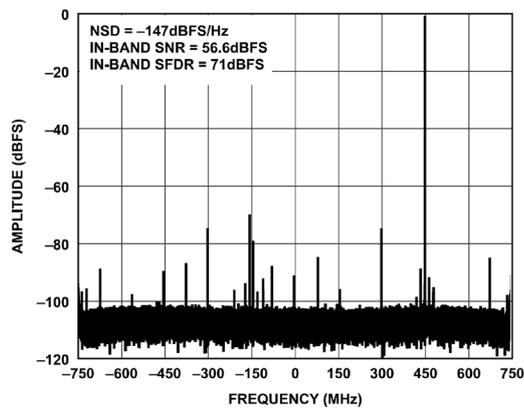


図 38. $f_{IN} = 1800\text{MHz}$ でのシングル・トーン FFT

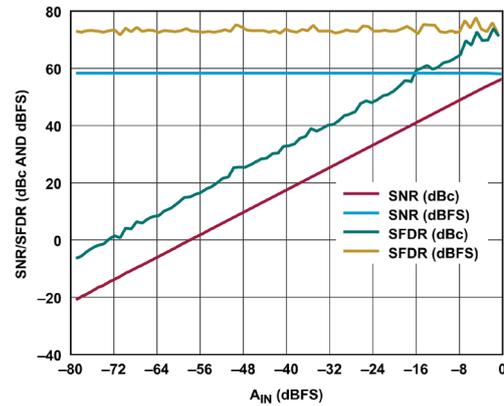


図 39. シングル・トーンの SFDR および SNR と A_{IN} の関係：
 $f_{IN} = 450\text{MHz}$ 、 $f_s = 4\text{GSPS}$

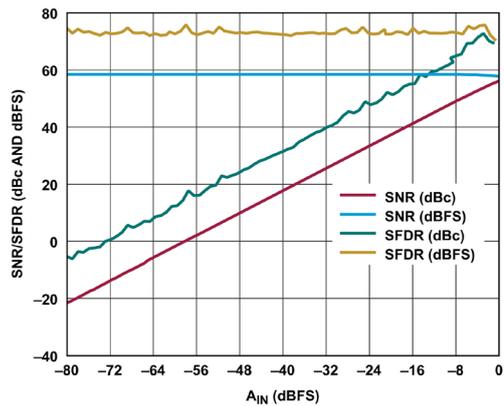


図 40. シングル・トーンの SFDR および SNR と A_{IN} の関係：
 $f_{IN} = 900\text{MHz}$ 、 $f_s = 4\text{GSPS}$

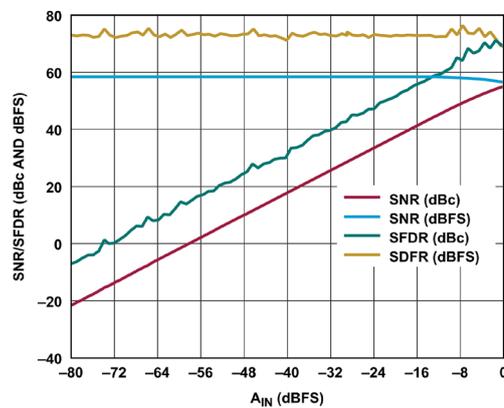


図 41. シングル・トーンの SFDR および SNR と A_{IN} の関係：
 $f_{IN} = 1800\text{MHz}$ 、 $f_s = 4\text{GSPS}$

代表的な性能特性

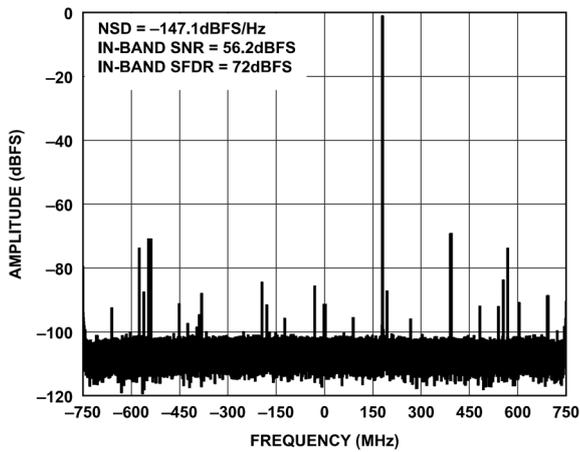


図 42. $f_{IN} = 2700\text{MHz}$ でのシングル・トーン FFT

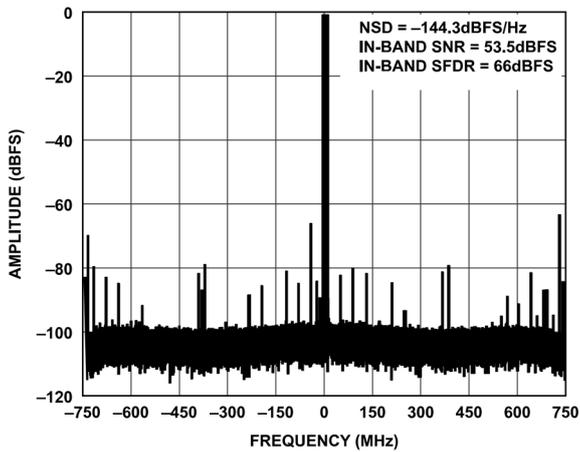


図 43. $f_{IN} = 3600\text{MHz}$ でのシングル・トーン FFT

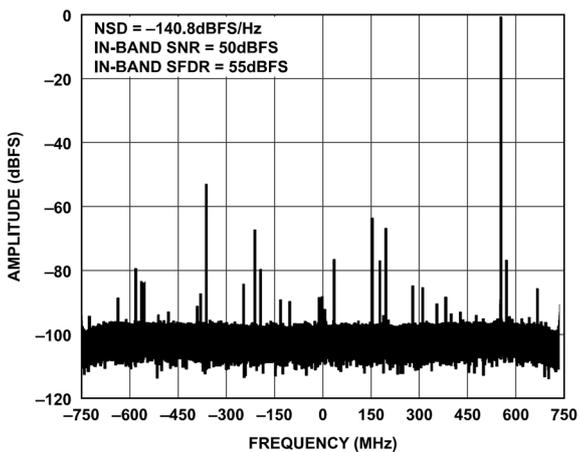


図 44. $f_{IN} = 4700\text{MHz}$ でのシングル・トーン FFT

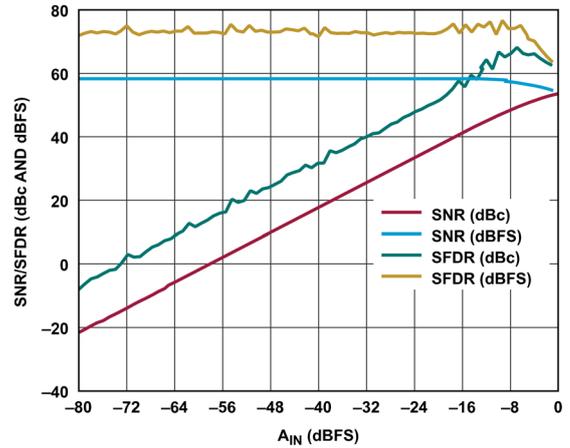


図 45. シングル・トーンの SFDR および SNR と A_{IN} の関係：
 $f_{IN} = 2700\text{MHz}$ 、 $f_s = 4\text{GSPS}$

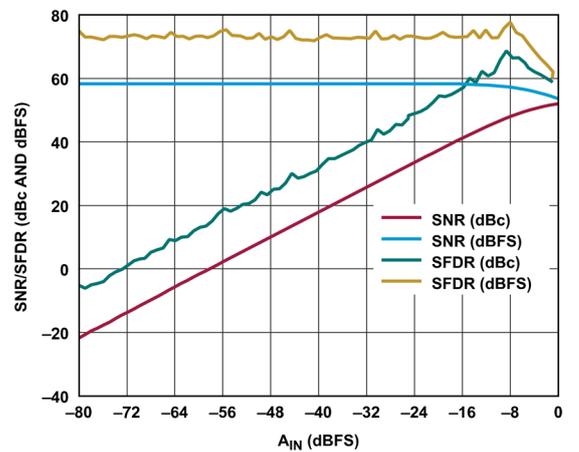


図 46. シングル・トーンの SFDR および SNR と A_{IN} の関係：
 $f_{IN} = 3600\text{MHz}$ 、 $f_s = 4\text{GSPS}$

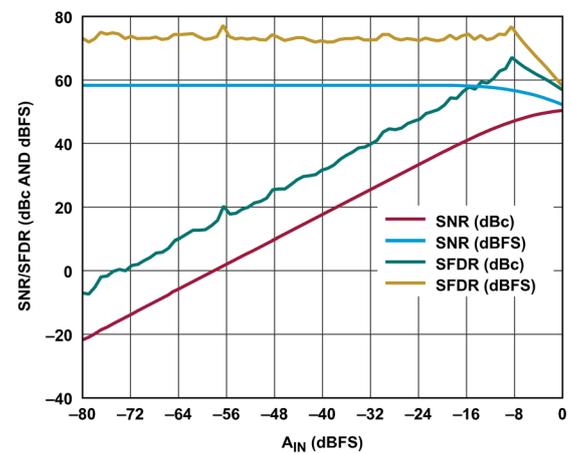


図 47. シングル・トーンの SFDR および SNR と A_{IN} の関係：
 $f_{IN} = 4500\text{MHz}$ 、 $f_s = 4\text{GSPS}$

代表的な性能特性

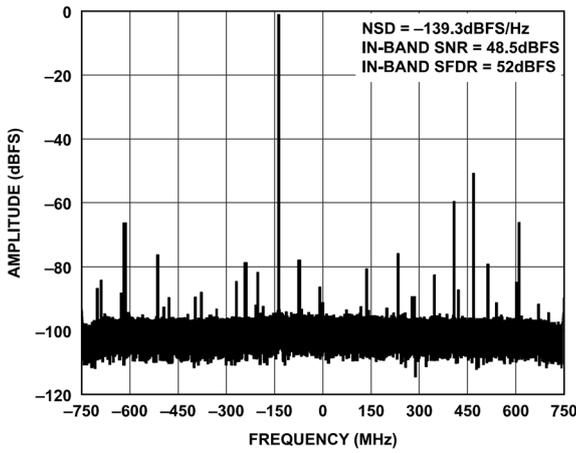


図 48. $f_{IN} = 5400\text{MHz}$ でのシングル・トーン FFT

456

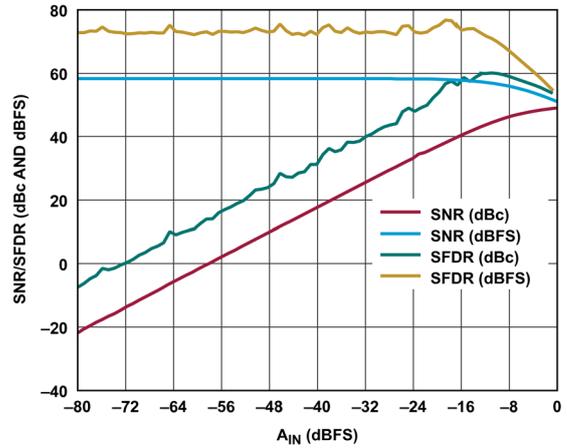


図 51. シングル・トーンの SFDR および SNR と A_{IN} の関係：
 $f_{IN} = 5400\text{MHz}$ 、 $f_s = 4\text{GSPS}$

215

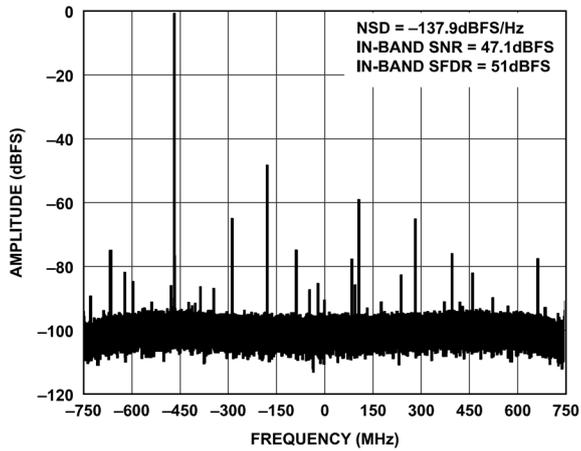


図 49. $f_{IN} = 6300\text{MHz}$ でのシングル・トーン FFT

457

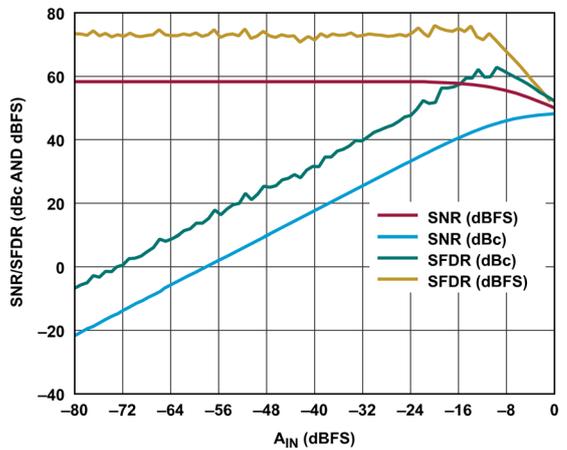


図 52. シングル・トーンの SFDR および SNR と A_{IN} の関係：
 $f_{IN} = 6300\text{MHz}$ 、 $f_s = 4\text{GSPS}$

216

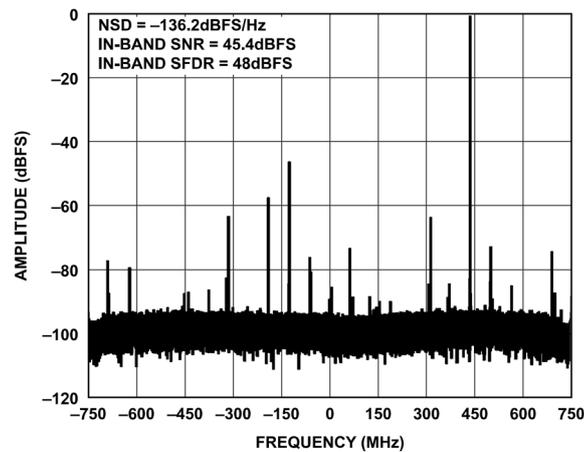


図 50. $f_{IN} = 7200\text{MHz}$ でのシングル・トーン FFT

459

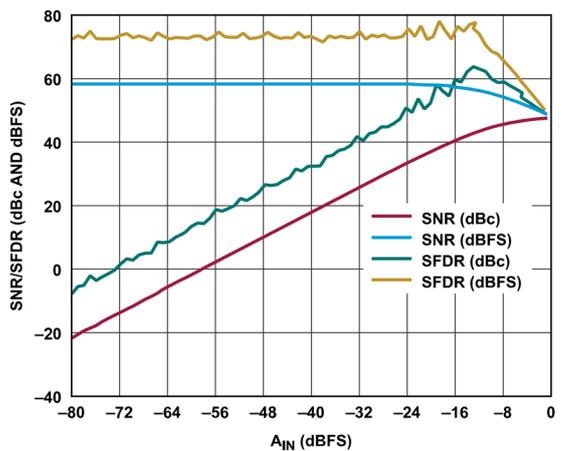


図 53. シングル・トーンの SFDR および SNR と A_{IN} の関係：
 $f_{IN} = 7200\text{MHz}$ 、 $f_s = 4\text{GSPS}$

217

代表的な性能特性

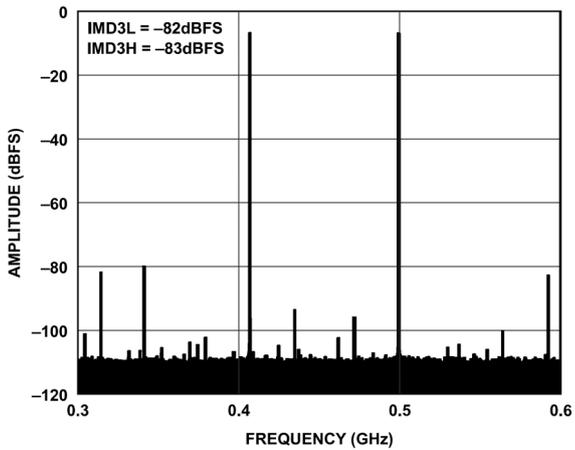


図 54. ツー・トーン FFT、 $f_{IN1} = 1.775\text{GHz}$ 、 $f_{IN2} = 1.825\text{GHz}$ 、 A_{IN1} および $A_{IN2} = -7\text{dBFS}$ (IMD3L = $2f_{IN1} - f_{IN2}$ 、IMD3H = $2f_{IN2} - f_{IN1}$ 、IMD3L は 3 次相互変調歪み (IMD3) 積の低い周波数成分、IMD3H は高い周波数成分です)

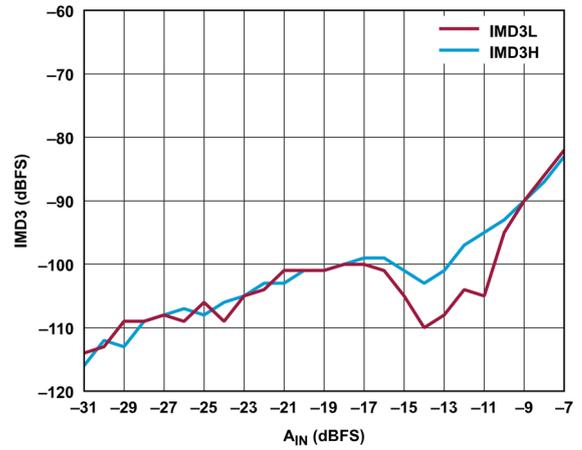


図 57. ツー・トーン IMD3 と A_{IN} の関係、 $f_{IN1} = 1.775\text{GHz}$ 、 $f_{IN2} = 1.825\text{GHz}$

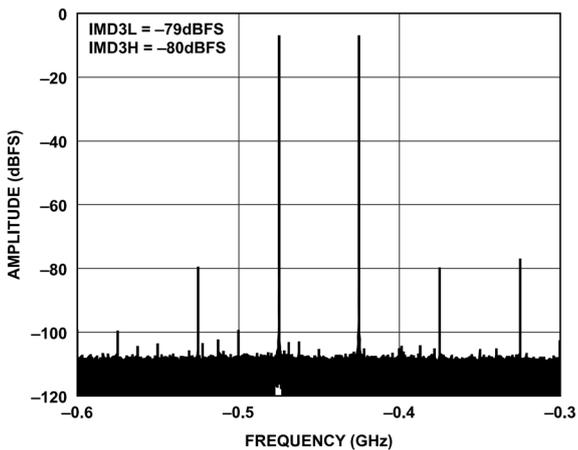


図 55. ツー・トーン FFT、 $f_{IN1} = 2.675\text{GHz}$ 、 $f_{IN2} = 2.725\text{GHz}$ 、 A_{IN1} および $A_{IN2} = -7\text{dBFS}$

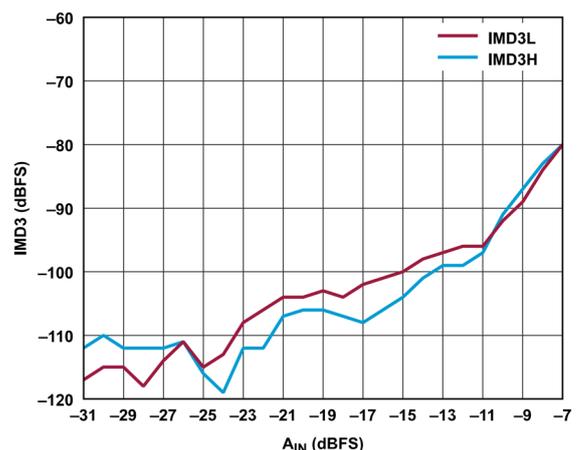


図 58. ツー・トーン IMD3 と A_{IN} の関係、 $f_{IN1} = 2.675\text{GHz}$ 、 $f_{IN2} = 2.725\text{GHz}$

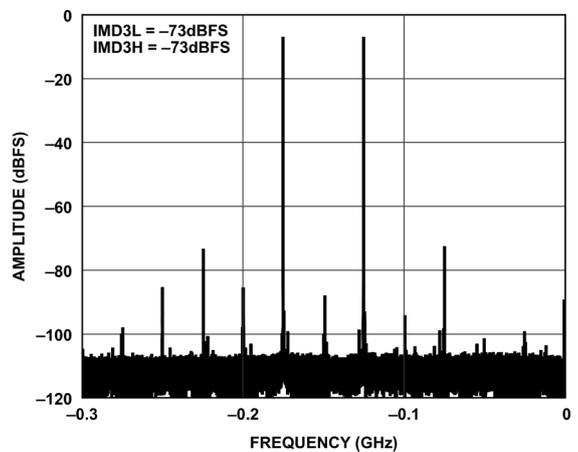


図 56. ツー・トーン FFT、 $f_{IN1} = 3.575\text{GHz}$ 、 $f_{IN2} = 3.625\text{GHz}$ 、 A_{IN1} および $A_{IN2} = -7\text{dBFS}$

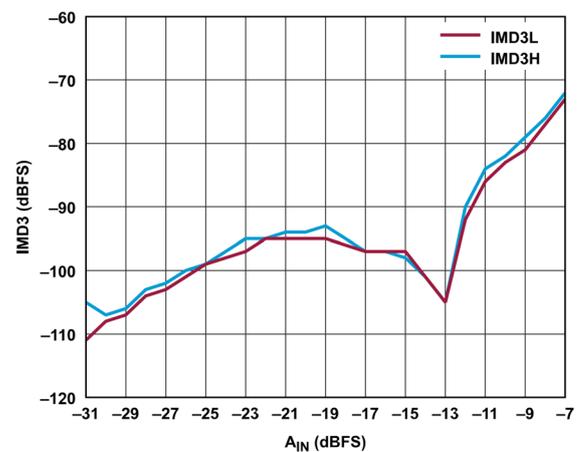


図 59. ツー・トーン IMD3 と A_{IN} の関係、 $f_{IN1} = 3.575\text{GHz}$ 、 $f_{IN2} = 3.625\text{GHz}$

代表的な性能特性

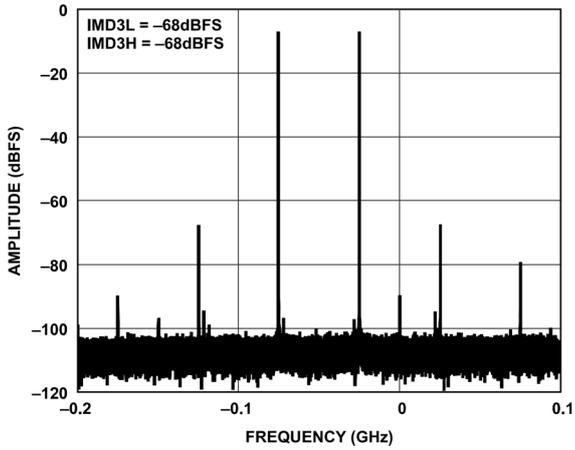


図 60. ツー・トーン FFT、 $f_{IN1} = 5.375\text{GHz}$ 、 $f_{IN2} = 5.425\text{GHz}$ 、 A_{IN1} および $A_{IN2} = -7\text{dBFS}$

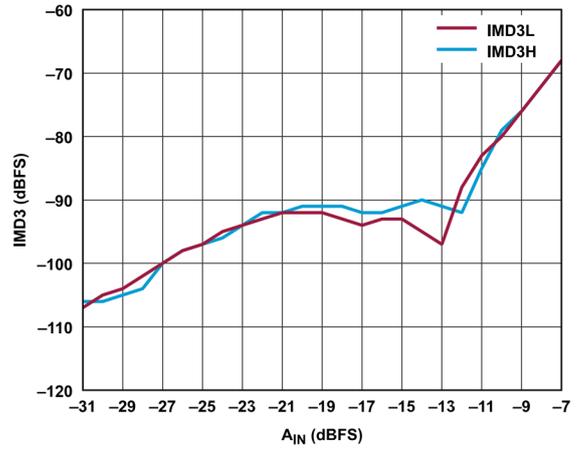


図 63. ツー・トーン IMD3 と A_{IN} の関係、 $f_{IN1} = 5.375\text{GHz}$ 、 $f_{IN2} = 5.425\text{GHz}$

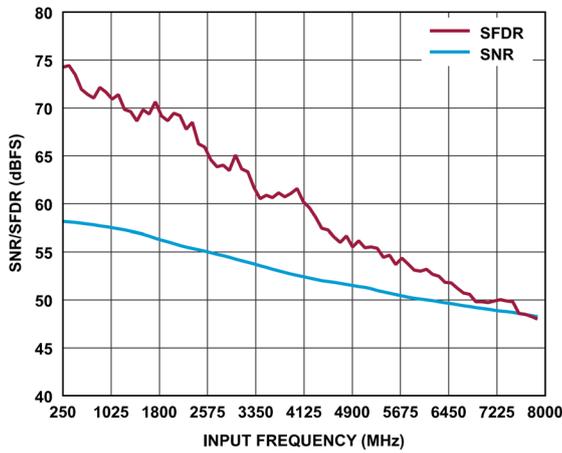


図 61. S/N 比および SFDR と入力周波数の関係、 $A_{IN} = -1\text{dBFS}$ 、 $f_s = 4\text{GSPS}$

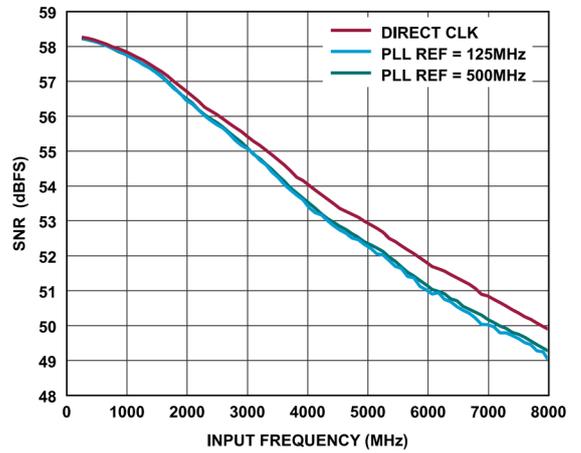


図 64. S/N 比と入力周波数の関係、直接クロックとオンチップ PLL クロックの比較、 $A_{IN} = -1\text{dBFS}$ 、 $f_s = 4\text{GSPS}$

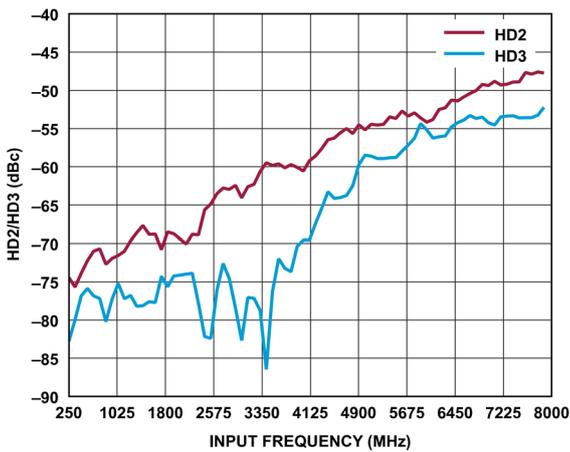


図 62. 高調波 (HD2 および HD3) と入力周波数の関係、 $A_{IN} = -1\text{dBFS}$ 、 $f_s = 4\text{GSPS}$

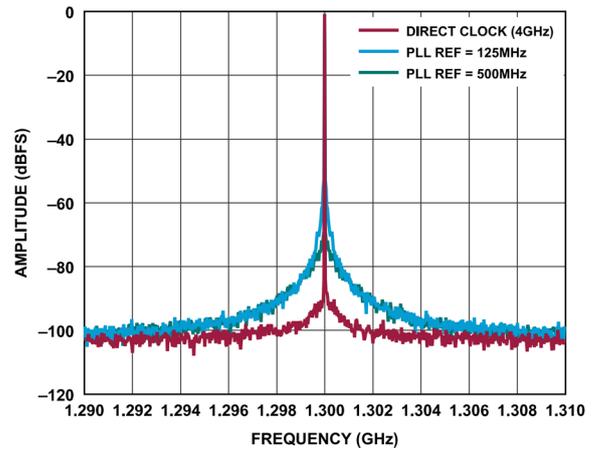


図 65. FFT の狭範囲の比較、直接クロックとオンチップ PLL クロック、 $f_{IN} = 2.7\text{GHz}$ 、 $A_{IN} = -1\text{dBFS}$ 、 $f_s = 4\text{GSPS}$

代表的な性能特性

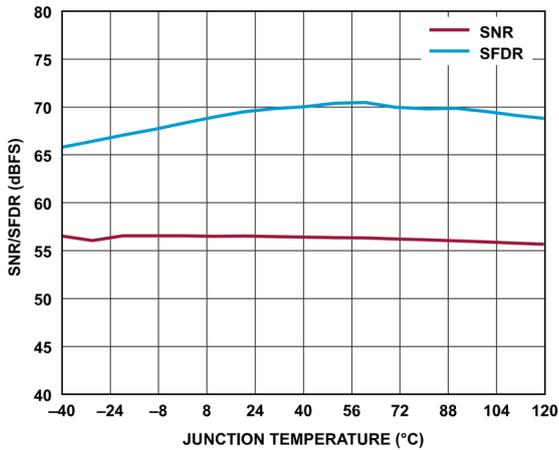


図 66. S/N 比および SFDR とダイ温度の関係、
 $f_{IN} = 1.85\text{GHz}$ 、 $A_{IN} = -1\text{dBFS}$ 、 $f_s = 4\text{GSPS}$

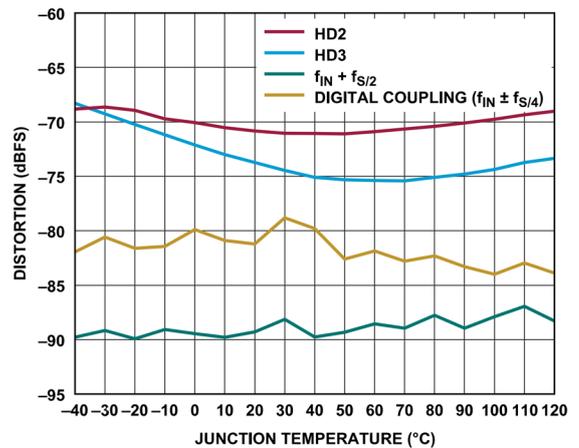


図 69. 高調波 (HD2、HD3、インターリーブ) と
ジャンクション温度の関係、 $f_{IN} = 1.85\text{GHz}$ 、 $f_s = 4\text{GSPS}$

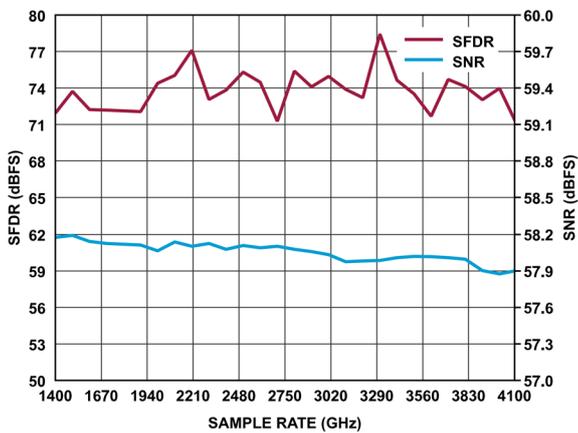


図 67. S/N 比および SFDR とサンプル周波数 (f_s) の関係、
 $f_{IN} = 450\text{MHz}$ 、 $f_s = 4\text{GSPS}$

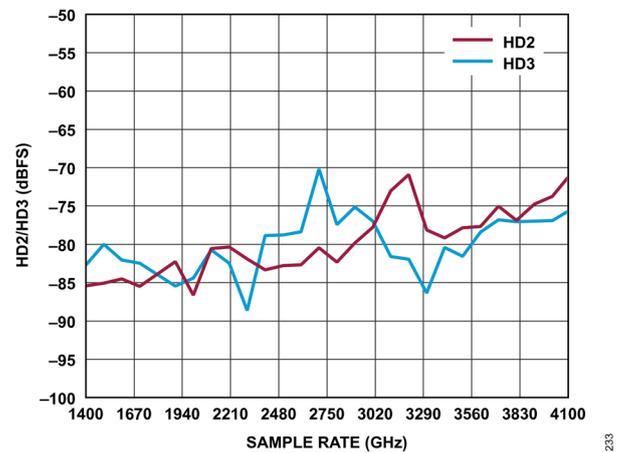


図 70. 高調波 (HD2 および HD3) とサンプル・レートの関係、
 $f_{IN} = 450\text{MHz}$

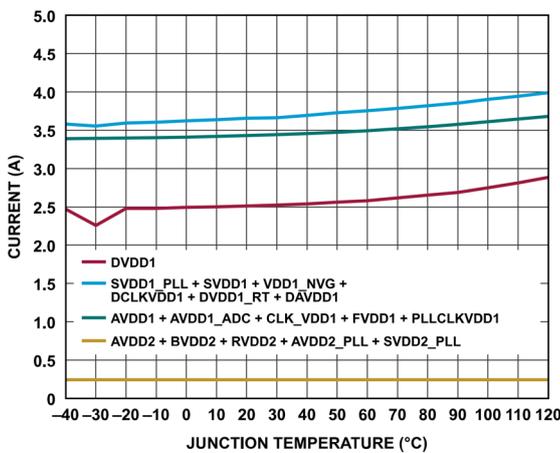


図 68. 消費電力とジャンクション温度の関係、
 $f_{IN} = 1.85\text{GHz}$ 、 $A_{IN} = -1\text{dBFS}$ 、 $f_s = 4\text{GSPS}$

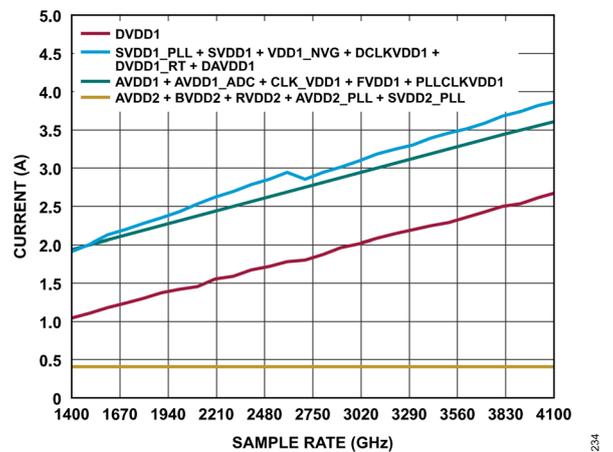


図 71. 消費電力とサンプル・レートの関係、 $f_{IN} = 450\text{MHz}$

代表的な性能特性

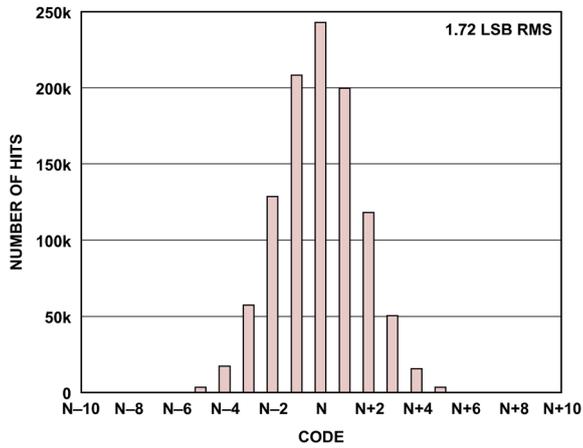


図 72. 入力換算ノイズのヒストグラム

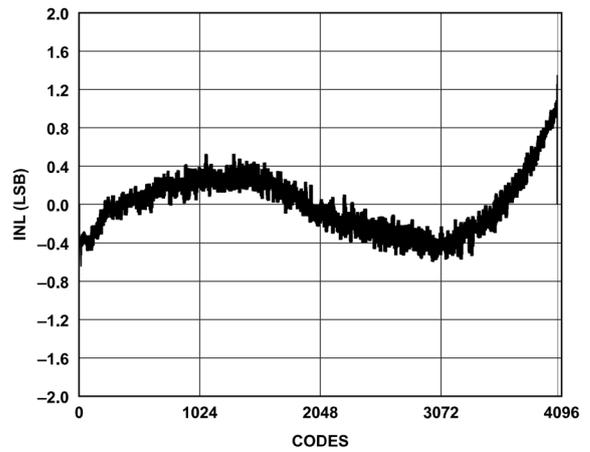


図 75. INL、 $f_{IN} = 255\text{MHz}$

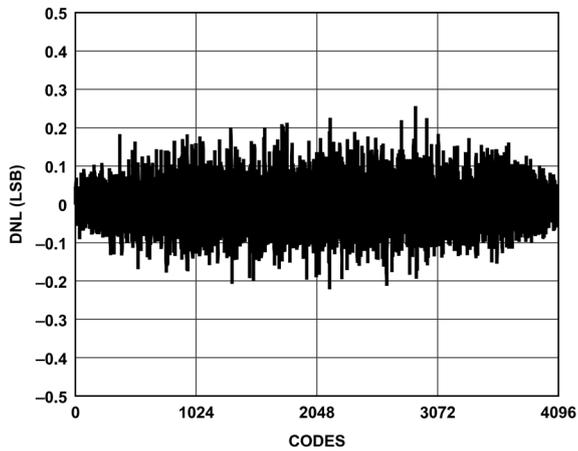


図 73. DNL、 $f_{IN} = 255\text{MHz}$

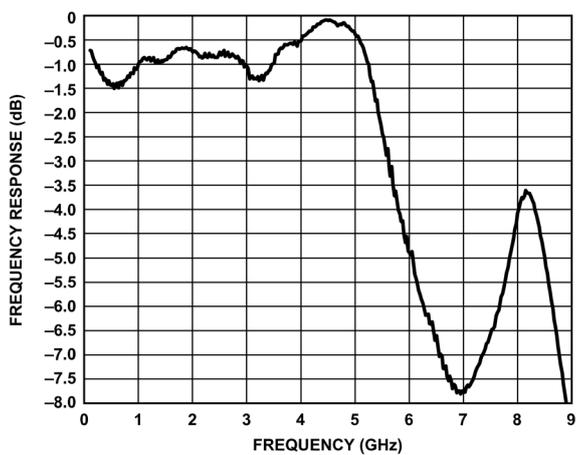


図 74. AD9081-FMCA-EBZ で測定された入力帯域幅 ADC 入力 (マッチング回路なし)

動作原理

AD9988 は、高集積ミックスド・シグナル・ダイレクト RF サンプリング・トランシーバーで、4 個のトランスミッタと 4 個のレシーバー (4T4R) を内蔵し、デジタル信号処理 (DSP) 機能を備えています (図 1 を参照)。このデバイスは、マルチバンド・マクロ 5G やミリ波 5G の基地局無線など、ワイヤレス・インフラストラクチャ・アプリケーションで必要とされる、高い性能、柔軟な構成可能性、低消費電力を多様に組み合わせることが可能です。また、AD9988 には、時分割複信 (TDD) および周波数分割複信 (FDD) 手法にも対応できる機能があります。

受信パスは、パイプライン化された 4GSPS レートの 12 ビット RF A/D コンバータ (ADC) コア 4 個で構成され、送信パスは、最大サンプル・レート 12GSPS の 16 ビット RF D/A コンバータ (DAC) コア 4 個で構成されています。受信パスと送信パスはどちらも、最大 7.5GHz の信号をサンプリング/合成できるように設計と最適化が行われており、16 ビットのサンプル分解能で 1.2GHz もの最大瞬時帯域幅を実現します。また、このデバイスは 12 ビットや 8 ビットといったより低い分解能にも対応し、16 ビット分解能による高ダイナミック・レンジが不要なアプリケーションの場合に、JESD204B/C リンクのビット・レートを低減します。瞬時帯域幅が広いため、このチップは 1 つのデバイスで複数のキャリア・バンドまたは 1 つのワイド・バンドをサポートします。ダイレクト RF コンバージョン・アーキテクチャを組み合わせることで、従来の中間周波数 (IF) レシーバーに比べ、RF フィルタの条件が緩和されています。高速検出および信号モニタ、プログラマブルな有限インパルス応答 (FIR) フィルタ、トランスミッタより後段のパワー・アンプ保護、汎用入出力 (GPIO) 制御など、いくつかの補助機能も組み込まれています。

DAC コアおよび ADC コアは、外部クロック源またはインテグラー PLL 回路と電圧制御発振器 (VCO) で構成されるオンチップ・クロック通倍器が生成する、サンプリング・クロックを使用します。

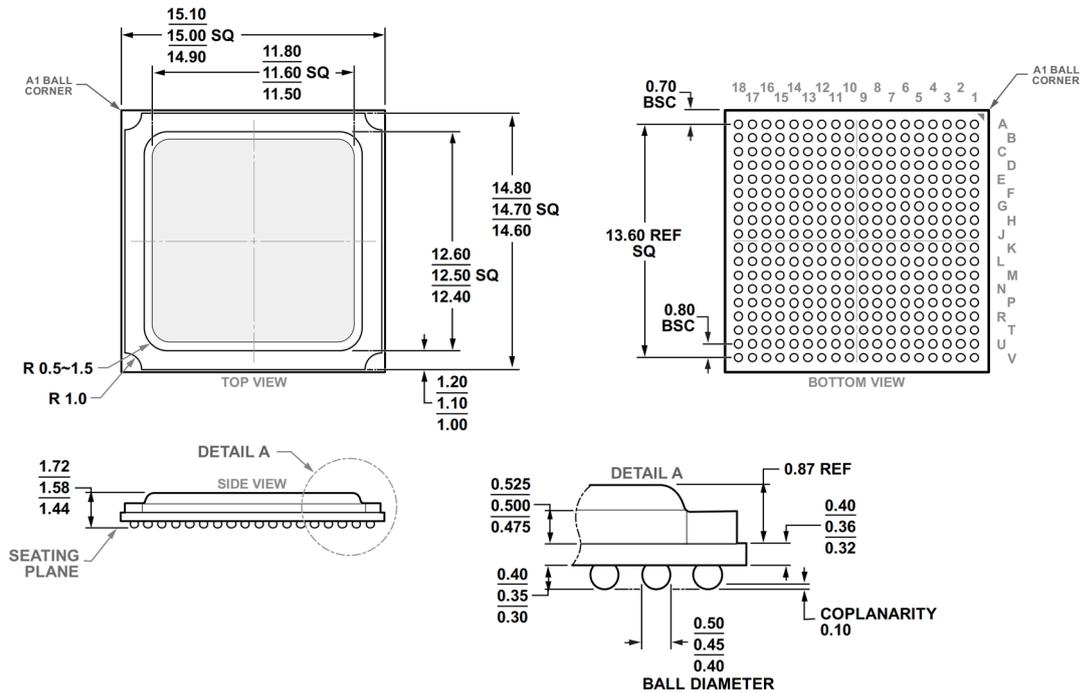
デバイスは、8 つの送信レーンと 8 つの受信レーンを備え、各レーンは最大 24.75Gbps の JESD204C または最大 15.5Gbps の JESD204B をシングル・リンクまたはデュアル・リンクとしてサポートします。マルチチップ同期と確定的遅延には、JESD204B/C サブクラス 1 に従って対応しています。JESD204B/C インターフェースは、カスタムの特用途向け IC (ASIC) またはフィールド・プログラマブル・ゲート・アレイ (FPGA) のインターフェース帯域幅条件に応じた、幅広いセットアップ範囲に対応します。デバイスの機能と動作の詳細については、デバイスのユーザ・ガイド UG-1578 を参照してください。

AD9988 には、温度管理ユニット (TMU) が内蔵されており、システム動作中の温度安定性を確保するための温度管理ソリューションの一部として、ダイ・ジャンクション温度を測定するために使用できます。デバイスは、標準的な 4 線式シリアル・ポート・インターフェース (SPI) を介して制御できますが、3 線式 SPI 通信にも対応します。パワーダウン・モード一式が備わっているため、システム停止中の消費電力を最小限に抑えることができます。AD9988 は、15mm × 15mm、324 ボールの熱強化型ボール・グリッド・アレイ (BGA_ED) パッケージを採用しています。

アプリケーション情報

デバイスの初期化の詳細とその他のアプリケーション情報については、デバイスのユーザ・ガイド UG-1578 を参照してください。

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-275-KKAB-1

図 76. 324 ボールのボール・グリッド・アレイ、熱強化型 [BGA_ED]
(BP-324-3)
寸法：mm

オーダー・ガイド

Model ¹	Temperature Range ²	Package Description	Ordering Quantity	Package Option
AD9988BBPZ-4D4AC	-40°C to +120°C	324-Ball BGA_ED	Tray, 126	BP-324-3
AD9988BBPZRL-4D4AC	-40°C to +120°C	324-Ball BGA_ED	Reel, 1000	BP-324-3

¹ Z = RoHS 準拠製品

² 仕様規定された動作時ジャンクション温度 (T_j)

評価用ボード

Model	Description
AD9988-FMCM-EBZ	AD9988 Evaluation Board

