

2チャンネルの300mA電流源出力16ビットSoftSpan DAC

特長

- ▶ チャンネルごとにプログラマブルな出力レンジ：
300mA、200mA、100mA、50mA、25mA、12.5mA、
6.25mA、3.125mA
- ▶ 2.85V~33Vの柔軟な電源電圧
- ▶ 1Vのドロップアウトを確保
- ▶ 出力チャンネルごとに個別の電源
- ▶ オプションの負電源に切り替えるスイッチを内蔵
- ▶ すべての範囲でフル16ビット分解能
- ▶ -40°C~125°Cでの動作を確保
- ▶ 高精度（10ppm/°C（最大値））内部リファレンスまたは外部リファレンス入力
- ▶ アナログ・マルチプレクサによる電圧および電流の監視
- ▶ SPIまたは専用ピンを介したA/Bトグル
- ▶ 1.8V~5VのSPI
- ▶ 32ピン（5mm×5mm）QFNパッケージ

アプリケーション

- ▶ チューナブル・レーザ
- ▶ 半導体光増幅器
- ▶ 抵抗加熱器
- ▶ 電流モードのバイアス供給
- ▶ 比例ソレノイド駆動

機能ブロック図

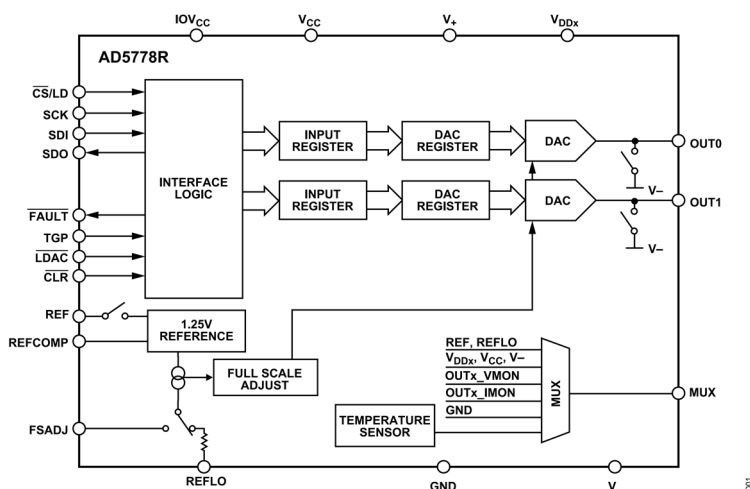


図 1. 機能ブロック図

概要

AD5778Rは、2チャンネル、16ビットの電流源 D/A コンバータ（DAC）で、2つの高コンプライアンス電流源出力を備え、200mAで1Vのドロップアウトを確保しています。このデバイスは最大32Vの負荷電圧をサポートします。チャンネルごとにプログラマブルな8つの電流レンジがあり、フルスケール出力は最大300mAです。更にチャンネルを並列接続することで、大電流の極めて細かい調整や、最大600mAの組み合わせ出力が可能になります。

出力チャンネルごとに専用の電源ピンがあります。各チャンネルは2.85V~33Vで動作でき、内蔵スイッチを使用すれば出力をオプションの負電源に接続できます。

AD5778Rは、高精度の1.25V内部リファレンス（最大10ppm/°C）を内蔵していますが、外部リファレンスを使用するオプションもあります。

SPI/Microwireに対応可能な3線式シリアル・インターフェースは、最大50MHzのクロック・レートで1.71Vという低ロジック・レベルで動作できます。

目次

特長.....	1	トグル動作.....	18
アプリケーション.....	1	デイジーチェーン動作.....	20
概要.....	1	エコー・リードバック.....	20
機能ブロック図.....	1	フォルト・レジスタ (FR).....	20
仕様.....	3	CONFIG コマンド.....	21
タイミング特性.....	6	パワーダウン・モード.....	22
絶対最大定格.....	8	V ₋ への切り替えモード.....	22
熱特性.....	8	FSADJ ピンを使用したゲイン調整.....	22
静電放電 (ESD) 定格.....	8	リファレンス・モード.....	22
ESD に関する注意.....	8	アプリケーション情報.....	23
ピン配置およびピン機能の説明.....	9	有効な電源範囲.....	23
代表的な性能特性.....	11	電流出力.....	23
動作原理.....	14	オフセット電流およびコード・ゼロ.....	23
パワーオン・リセット.....	14	PCB レイアウト.....	23
電源のシーケンスおよび起動.....	14	標準的応用例.....	24
データ伝達関数.....	14	関連製品.....	25
シリアル・インターフェース.....	14	外形寸法.....	26
入力レジスタおよび DAC レジスタ.....	15	オーダー・ガイド.....	26
出力レンジおよび SoftSpan 動作.....	15	評価用ボード.....	26
監視マルチプレクサ.....	17		

改訂履歴

4/2024—Revision 0: Initial Version

仕様

特に指定のない限り、すべての仕様は、動作時の T_J の範囲全体に適用されます。特に指定のない限り、代表値は、 $T_J = 25^\circ\text{C}$ 、 $V_{CC} = IOV_{CC} = 5\text{V}$ 、 $V_- = -5\text{V}$ 、 $V_{DDx} = 5\text{V}$ 、 $V_+ = 5\text{V}$ 、 $FSADJ = V_{CC}$ 、リファレンス出力電圧 (V_{REF}) = 1.25V (外部) での値です。

表 1. 仕様

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
DC PERFORMANCE, AD5778R						
Resolution			16			Bits
Monotonicity		All current ranges ¹	16			Bits
Differential Nonlinearity	DNL	All current ranges ¹	-1	±0.2	+1	LSB
Integral Nonlinearity	INL	All current ranges ¹	-64	±12	+64	LSB
Current Offset Error	I_{OS}	All current ranges ¹	-0.4	±0.1	+0.4	%FSR
I_{OS} Temperature Coefficient		All current ranges ¹		±10		ppm/°C
Gain Error ²	GE	300 mA and 200 mA output current ranges	-0.9	±0.3	+0.9	%FSR
		100 mA, 50 mA, and 25 mA output current ranges	-1.2	±0.4	+1.2	%FSR
		12.5 mA, 6.25 mA, and 3.125 mA output current ranges	-1.5	±0.7	+1.5	%FSR
Gain Temperature Coefficient		$FSADJ = V_{CC}$		30		ppm/°C
Total Unadjusted Error ²	TUE	300 mA and 200 mA output current ranges	-1.4	±0.4	+1.4	%FSR
		100 mA, 50 mA, and 25 mA output current ranges	-1.7	±0.5	+1.7	%FSR
		12.5 mA, 6.25 mA, and 3.125 mA output current ranges	-2	±0.8	+2	%FSR
Power Supply Rejection Ratio	PSRR	Range = 100 mA, I_{OUTx} current (I_{OUTx}) = 50 mA				
		$V_{CC} = 4.75\text{ V to }5.25\text{ V}$		±2.2		LSB
		$V_{DDx} = 2.85\text{ V to }3.15\text{ V}$		±0.6		LSB
		$V_{DDx} = 4.75\text{ V to }5.25\text{ V}$		±3.7		LSB
		$V_+ = 4.75\text{ V to }5.25\text{ V}$		±0.09		LSB
		$V_- = -5.25\text{ V to }-4.75\text{ V}$		±0.01		LSB
DC Crosstalk ³		Result of a 50 mW change in dissipated power		3		LSB
Dropout Voltage ($V_{DDx} - V_{OUTx}$) ⁴	$V_{DROPOUT}$	200 mA range, ($V_{DDx} - V_-$) = 4.75 V		0.72	1	V
		200 mA range, ($V_{DDx} - V_-$) = 2.85 V		0.85		V
		200 mA range, ($V_{DDx} - V_-$) = 33 V		0.76	1.1	V
		300 mA range, ($V_{DDx} - V_-$) = 4.75 V		1.13		V
		300 mA range, ($V_{DDx} - V_-$) = 2.85 V		1.35	1.95	V
High-Z Output Leakage Current ⁵		$I_{OUTx} = \text{high-Z}$, $2.85\text{ V} \leq (V_{DDx} - V_-) \leq 33\text{ V}$	-1	+0.1	+1	µA
OUTx Switch to V_- Resistance to V_- Supply	$R_{PULLDOWN}$	Span code = 1000b, sinking 80 mA		8	12	Ω
OUTx Switch to V_- Current	$I_{PULLDOWN}$	Maximum allowable DC current			80	mA
AC PERFORMANCE						
Settling Time ^{6,7}	t_{SETTLE}	$T_A = 25^\circ\text{C}$ for all ac performance specifications				
Full-Scale Step 3.125 mA Range		±0.0015% (±1 LSB at 16b)		19.2		µs
145 mA to 155 mA Step 200 mA Range		±0.0015% (±1 LSB at 16b)		7.7		µs
Full-Scale Step 200 mA Range		±0.0015% (±1 LSB at 16b)		8.7		ms
Glitch Impulse		At midscale transition, 200 mA range, and resistive load that connects the DAC output to GND ($R_{LOAD} = 4\ \Omega$)		180		pA × s
DAC to DAC Crosstalk ⁸		100 mA to 200 mA step, $R_{LOAD} = 15\ \Omega$		121		pA × s
Noise Current	I_{NOISE}	Output current noise density internal reference, $I_{OUTx} = 150\text{ mA}$, $R_{LOAD} = 4\ \Omega$, load capacitance (C_{LOAD}) = 10 µF				
Frequency (f) = 1 kHz				12		nA/√Hz
f = 10 kHz				5		nA/√Hz
f = 100 kHz				0.5		nA/√Hz
f = 1 MHz				0.05		nA/√Hz
REFERENCE						
Internal Reference Mode						
Reference Output Voltage	V_{REF}		1.248	1.250	1.252	V

仕様

表 1. 仕様 (続き)

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
V _{REF} Temperature Coefficient ⁹			-10	±3	+10	ppm/°C
V _{REF} Line Regulation		V _{CC} = 5 V ± 10%		50		µV/V
V _{REF} Short-Circuit Current		V _{CC} = 5.5 V, forcing output to GND		2.5		mA
REFCOMP Pin Short-Circuit Current		V _{CC} = 5.5 V, forcing output to GND		65		µA
V _{REF} Load Regulation		V _{CC} = 5 V ± 10%, reference current (I _{REF}) = 100 µA sourcing		140		mV/mA
V _{REF} Output Voltage Noise Density		REFCOMP pin capacitance (C _{REFCOMP}) = REF pin capacitance (C _{REF}) = 0.1 µF, at f = 10 kHz		32		nV/√Hz
External Reference Mode						
Reference Input Voltage		REFCOMP pin is tied to GND	1.225		1.275	V
Input Current				0.001	1	µA
Input Capacitance ¹⁰				40		pF
Full-Scale Adjust Resistor	R _{FSADJ}	R _{FSADJ} to GND	19	20	50	kΩ
DIGITAL INPUT AND OUTPUT						
Digital Output High Voltage	V _{OH}	SDO pin, load current = -100 µA	IOV _{CC} - 0.2			V
Digital Output Low Voltage	V _{OL}	SDO pin, load current = 100 µA			0.2	V
		FAULT pin, load current = 100 µA			0.2	V
Digital High-Z Output Leakage Current		SDO pin leakage current (CS/LD high)	-1		+1	µA
		FAULT pin leakage current (not asserted)			1	µA
Digital Input Current		Input voltage (V _{IN}) = GND to IOV _{CC}	-1		+1	µA
Digital Input Capacitance ¹⁰	C _{IN}				8	pF
High-Level Input Voltage	V _{IH}	2.85 ≤ IOV _{CC} ≤ V _{CC}	0.8 × IOV _{CC}			V
		1.71 ≤ IOV _{CC} ≤ 2.85	0.8 × IOV _{CC}			V
Low-Level Input Voltage	V _{IL}	2.85 ≤ IOV _{CC} ≤ V _{CC}			0.5	V
		1.71 ≤ IOV _{CC} ≤ 2.85			0.3	V
POWER SUPPLY						
Analog Supply Voltage	V _{CC}	V _{CC} must not exceed V ₊	2.85		5.5	V
Digital Input and Output Supply Voltage	IOV _{CC}		1.71		V _{CC}	V
Negative Supply	V ₋		-15.75		0	V
Positive Supply	V ₊		2.85		V ₋ + 33	V
Output Supply Voltages	V _{DDx}		2.85		V ₊	V
V _{CC} Supply Current		All ranges (code = 0, all channels)		2.6	3.8	mA
IOV _{CC} Supply Current		All ranges (code = 0, all channels)		0.01	1	µA
V ₊ Supply Current		All ranges (code = 0, all channels)		385	500	µA
V ₋ Supply Current		All ranges (code = 0, all channels)		2.3	3.2	mA
V _{DDx} Supply Current		All ranges (code = 0, per channel)		0.7	1.2	mA
		25 mA range (code = full-scale, per channel) ¹¹		26.5	27.6	mA
		200 mA range (code = full-scale, per channel)		204	207	mA
V _{CC} Shutdown Current ^{12, 13}	I _{SLEEP}			1	10	µA
IOV _{CC} Shutdown Current				0.01	1	µA
V ₊ Shutdown Current				20	36	µA
V ₋ Shutdown Current				30	59	µA
V _{DDx} Shutdown Current		Per channel		4.2	8.1	µA
MONITOR MULTIPLEXER						
MUX Pin DC Output Impedance				15		kΩ
MUX Pin Leakage Current		Monitor multiplexer disabled (high impedance)	-1	+0.1	+1	µA
MUX Pin Output Voltage Range		Monitor multiplexer selected to OUT0 pin voltage or OUT1 pin voltage	V ₋		V ₊	V

仕様

表 1. 仕様 (続き)

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
MUX Pin Continuous Current ¹⁰		$T_A = 25^\circ\text{C}$ (do not exceed)	-1		+1	mA

¹ 電流オフセット誤差は、AD5778R の場合、コード 384 で測定しています。直線性は、AD5778R の場合、コード 384～コード 65535 で定義しています。

² フルスケール電流 (I_{FS}) = 300mA の場合、 $R_{LOAD} = 10\Omega$ 。 $I_{FS} = 200\text{mA}$ の場合、 $R_{LOAD} = 15\Omega$ 。 $I_{FS} = 100\text{mA}$ の場合、 $R_{LOAD} = 30\Omega$ 。 $I_{FS} = 50\text{mA}$ の場合、 $R_{LOAD} = 50\Omega$ 。 $I_{FS} = 25\text{mA}$ の場合、 $R_{LOAD} = 100\Omega$ 。 $I_{FS} = 12.5\text{mA}$ の場合、 $R_{LOAD} = 200\Omega$ 。 $I_{FS} = 6.25\text{mA}$ の場合、 $R_{LOAD} = 400\Omega$ 。 $I_{FS} = 3.125\text{mA}$ の場合、 $R_{LOAD} = 800\Omega$ 。

³ $I_{FS} = 200\text{mA}$ および $R_{LOAD} = 15\Omega$ 。 DC クロストークは、1つのアグレッサ・チャンネルに対し 100mA から 200mA へのステップで測定しています。モニタ・チャンネルは、 $3/4 \times I_{FS}$ または 150mA に保持されます。

⁴ V_{OUTx} はチャンネル出力 (OUTx) 電圧です。

⁵ OUTx ピンに接続する負荷は、GND に終端する必要があります。

⁶ $V_{DDx} = 5\text{V}$ (3.125mA レンジ)、 $V_{DDx} = 4\text{V}$ (200mA レンジ)、 $V_- = -5\text{V}$ (すべてのレンジ)。大電流出力ステップでは、内部の熱効果により、最後にセトリング・テールが生じます。ほとんどの場合、テールは小さいため $\pm 0.024\%$ のセトリングに影響することはありません。しかし、 $\pm 0.0015\%$ レベルまで完全にセトリングするには数ミリ秒の時間が必要です。最善の結果を得るためには、すべての GND ピンと REFLO ピン、および露出パッドを強固な GND プレーンにハンダ付けするかビア接続し、各チャンネルの V_{DDx} をできるだけ小さくしてデバイスの消費電力を抑えてください。

⁷ 内部リファレンス・モード。負荷は、 15Ω (200mA レンジ) または 800Ω (3.125mA レンジ) で、GND に終端した 100pF と並列に配置します。

⁸ DAC 間クロストークとは、隣接 DAC チャンネルでの 100mA から 200mA へのステップ変化、あるいはその逆のステップ変化により 1つの DAC に生じるグリッチを指します。DAC は、200mA スパン・レンジのミッドスケール (100mA の出力レンジ) で内部リファレンスを使用して測定し、 $V_{DDx} = 5\text{V}$ 、 $V_- = -3.3\text{V}$ です。

⁹ 温度係数は、出力電圧の最大変化と公称出力電圧との比を最初に計算し、次にその比を仕様規定された温度範囲で割ったものです。

¹⁰ 設計により確認されていますが、製品テストは行っていません。

¹¹ 指定出力での単一チャンネル。

¹² $V_{CC} = IOV_{CC} = 5\text{V}$ 、 $V_{DDx} = 5\text{V}$ 、 $V_- = -5\text{V}$ 。

¹³ デジタル入力は 0V または IOV_{CC} です。

仕様

タイミング特性

特に指定のない限り、すべての仕様は、動作時の T_J の範囲全体に適用されます。特に指定のない限り、代表値は $T_J = 25^\circ\text{C}$ での値です。デジタル入力の低電圧は 0V 、高電圧は IOV_{CC} です。

表 2. タイミング特性

Symbol	Parameter	Test Conditions/Comments	$V_+ = V_{\text{DDx}} = V_{\text{CC}} = 2.85\text{ V to } 5.5\text{ V, IOV}_{\text{CC}} = 2.85\text{ V to } V_{\text{CC}}$			$V_+ = V_{\text{DDx}} = V_{\text{CC}} = 2.85\text{ V to } 5.5\text{ V, } 1.71\text{ V} \leq \text{IOV}_{\text{CC}} < 2.85\text{ V}$			Unit
			Min	Typ	Max	Min	Typ	Max	
t_1	SDI Valid to SCK Setup		6			7			ns
t_2	SDI Valid to SCK Hold		6			7			ns
t_3	SCK HIGH Time		9			30			ns
t_4	SCK LOW Time		9			30			ns
t_5	$\overline{\text{CS}}/\text{LD}$ Pulse Width		10			15			ns
t_6	LSB SCK High to $\overline{\text{CS}}/\text{LD}$ High		19			19			ns
t_7	$\overline{\text{CS}}/\text{LD}$ Low to SCK High		7			7			ns
t_8	SDO Propagation Delay from SCK Falling Edge, $C_{\text{LOAD}} = 10\text{ pF}$	$4.5\text{ V} \leq \text{IOV}_{\text{CC}} \leq V_{\text{CC}}$			20				ns
		$2.85\text{ V} \leq \text{IOV}_{\text{CC}} < 4.5\text{ V}$			30				ns
		$1.71\text{ V} \leq \text{IOV}_{\text{CC}} < 2.85\text{ V}$					60		ns
t_9	$\overline{\text{CLR}}$ Pulse Width		20			30			ns
t_{10}	$\overline{\text{CS}}/\text{LD}$ High to SCK Positive Edge		7			7			ns
t_{12}	$\overline{\text{LDAC}}$ Pulse Width		15			15			ns
t_{13}	$\overline{\text{CS}}/\text{LD}$ High to $\overline{\text{LDAC}}$ High or Low Transition		15			15			ns
	SCK Frequency	50% Duty Cycle			50			15	MHz
t_{14}	TGP High Time ¹		1			1			μs
t_{15}	TGP Low Time ¹		1			1			μs

¹ 設計により確認されていますが、製品テストは行っていません。

タイミング図

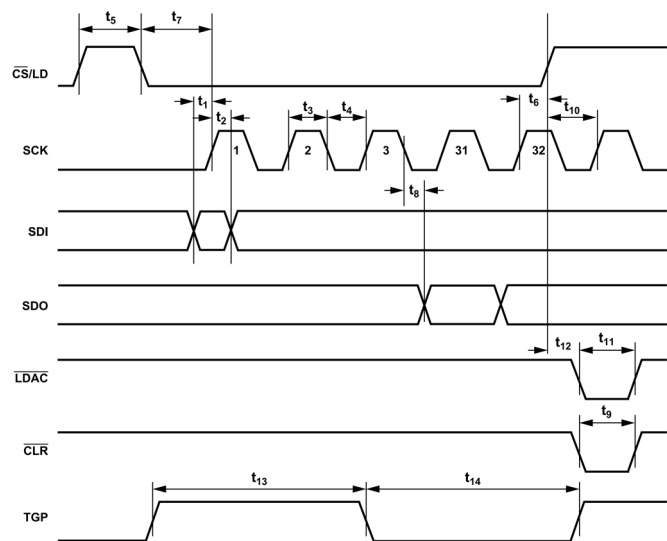


図 2. シリアル・インターフェースのタイミング

仕様

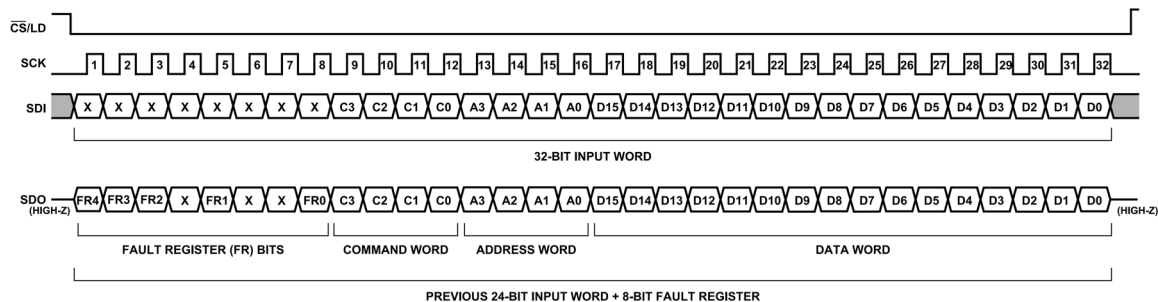


図 3. AD5778R の 32 ビット・ロード・シーケンス

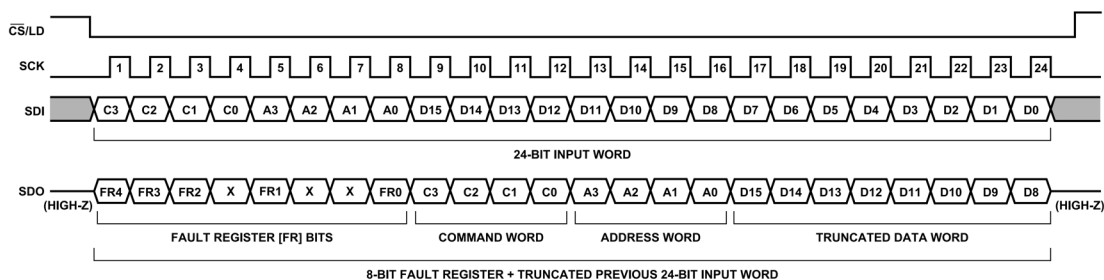


図 4. AD5778R の 24 ビット・ロード・シーケンス

絶対最大定格

表 3. 絶対最大定格

Parameter	Rating
V _{CC} to GND	-0.3 V to +6 V
I _{OVCC} to GND	-0.3 V to +6 V
V ₋ to GND	-16.5 V to +0.3 V
V ₊ to GND	-0.3 V to (V ₊ + 36 V)
V _{DDx} to GND	-0.3 V to (V ₊ + 0.3 V)
Output Supply Voltages to GND	
OUT0, OUT1	(V ₋ - 0.3 V) to (V _{DDx} + 0.3 V)
MUX	(V ₋ - 0.3 V) to (V ₊ + 0.3 V)
REF, REFCOMP, and FSADJ to GND	-0.3 V to minimum (V _{CC} + 0.3 V, 6 V)
$\overline{\text{CS}}/\text{LD}$, SCK, SDI, $\overline{\text{LDAC}}$, $\overline{\text{CLR}}$, and TGP to GND	-0.3 V to +6 V
$\overline{\text{FAULT}}$ to GND	-0.3 V to +6 V
SDO to GND	-0.3 V to minimum (I _{OVCC} + 0.3 V, 6 V)
Temperature	
Operating T _J Range	-40°C to +125°C
Maximum T _J	150°C
Storage Range	-65°C to +150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱特性

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

熱特性は最も厳しい条件、すなわち、表面実装パッケージ用回路基板にデバイスをハンダ付けた状態で仕様規定されています。表 4 で仕様規定されている熱抵抗は、2S2P サーマル・テスト・ボード (JEDEC JESD51 参照) を用いて JEDEC の仕様に基づきシミュレーションされたものです。ただし、 $\theta_{\text{JC-TOP}}$ については JEDEC 1S テスト・ボードを用いています。

θ_{JA} はジャンクションと周囲温度の間の熱抵抗で、JEDEC の自然対流環境下で測定したものです。

$\theta_{\text{JC-TOP}}$ はジャンクションとケースの間の熱抵抗で、パッケージ表面に無限のヒート・シンクを取り付けて、パッケージ上面の中心で測定したものです。

θ_{JB} はジャンクションとボードの間の熱抵抗で、パッケージの中心線に沿ってパッケージ端から 1mm の場所にあるボード上の点において、JEDEC の θ_{JB} 環境で測定したものです。

Ψ_{JT} はジャンクションとボードの間の熱特性パラメータで、JEDEC の自然対流環境で測定したものです。

Ψ_{JT} はジャンクションとパッケージ上部の間の熱特性パラメータで、JEDEC の自然対流環境で測定したものです。

θ_{JA} 、 $\theta_{\text{JC-TOP}}$ 、 θ_{JB} の各熱抵抗を用いてダイ温度を直接計算したり、測定したりしないでください。これを行うと誤った値が導き出されるためです。熱抵抗は、電力の 100% が測定ポイント間の指定された経路に沿って消費されると仮定したものです。熱抵抗は PCB の設計および環境に直接的に依存します。

パッケージの直接測定が必要な場合、 Ψ_{JT} の値および Ψ_{JB} の値を用いてください。これらの値は熱散逸経路をより正確に反映したものであるためです。

外部ヒート・シンクがパッケージに直接取り付けられている場合のみ、 $\theta_{\text{JC-TOP}}$ を使用してください。

システム・レベルで熱シミュレーションを行うことを強く推奨します。

熱抵抗についての詳細は、JEDEC51-12: Guidelines for Reporting and Using Electronic Package Thermal Information を参照してください。

表 4. 熱抵抗

Package Type	θ_{JA}	θ_{JB}	$\theta_{\text{JC-TOP}}$	Ψ_{JT}	Ψ_{JB}	Unit
05-08-1693 ¹	28.34	9.27	17.33	0.11	9.20	°C/W

¹ 熱抵抗のシミュレーション値は、バイアスのない JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD-51 を参照してください。

静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘起帯電デバイス・モデル (FICDM)。

AD5778R の ESD 定格

表 5. AD5778R、32 ピン QFN

ESD Model	Withstand Voltage (V)	Class
HBM	3000	2
FICDM	1500	C3

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

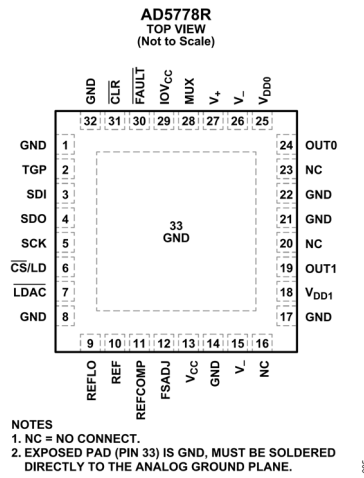


図 5. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1, 8, 14, 17, 21, 22, 32	GND	グラウンド。グラウンド・ピンと露出パッドは、強固なグラウンド・プレーンに直接接続してください。
2	TGP	非同期トグル・ピン。立下がりエッジにより、DAC レジスタは入力レジスタ A のデータに更新されます。立上がりエッジにより、DAC レジスタは入力レジスタ B のデータに更新されます。トグル動作は、トグル選択ビット (Tx) が 1 にセットされた DAC チャンネルにのみ影響します。トグル動作をソフトウェアで行う場合は、TGP ピンを IOV _{CC} に接続します。トグル動作を使用しない場合は、TGP ピンを GND に接続します。ロジック・レベルは IOV _{CC} によって決まります。
3	SDI	シリアル・データ入力。SDI のデータは、SCK の立上がりエッジで DAC に入力されます。AD5778R が受け入れる入力ワード長は、24 ビット、32 ビット、または 32 ビットの倍数です。ロジック・レベルは IOV _{CC} によって決まります。
4	SDO	シリアル・データ出力。32 ビット・シフト・レジスタのシリアル出力は SDO ピンで検出できます。SDI ピンを介してデバイスに転送されたデータは、32 個の SCK 立上がりエッジ分だけ遅延してから次の立下がりエッジで出力されます。SDO ピンは、データのエコー・リードバックまたはデジタイゼーション動作に使用でき、CS/LD がハイの場合、高インピーダンスになります。ロジック・レベルは IOV _{CC} によって決まります。
5	SCK	シリアル・クロック入力。ロジック・レベルは IOV _{CC} によって決まります。
6	CS/LD	シリアル・インターフェースのチップ・セレクト/負荷入力。CS/LD がローの場合、SCK がイネーブルされて SDI データをレジスタにシフトします。更に、CS/LD がローの場合、SDO がイネーブルされます。CS/LD がハイになると、SDO と SCK はディスエーブルされ、指定コマンド (表 7 参照) が実行されます。ロジック・レベルは IOV _{CC} によって決まります。
7	LDAC	アクティブ・ローの非同期 DAC 更新ピン。LDAC ピンによって、SPI タイミングとは無関係に更新を行うことができます。CS/LD がハイの場合、LDAC の立下がりエッジによって、すべての DAC レジスタが入力レジスタの内容に更新されます。LDAC は CS/LD によってゲート処理されるため、CS/LD がローの場合は影響を及ぼすことはありません。ロジック・レベルは IOV _{CC} によって決まります。LDAC を使用しない場合、IOV _{CC} に接続します。
9	REFLO	リファレンス・ロー。リファレンス用の信号グラウンド。REFLO ピンは GND に直接接続します。
10	REF	リファレンス入出力。各 DAC 出力チャンネルのフルスケール出力電流は、REF ピンの電圧に比例して増加します。デフォルトでは、1.25V 内部リファレンスが REF ピンに供給されます。外部 DC 負荷電流を駆動する場合、REF ピンにはバッファが必要です。リファレンスが無効化されている場合 (動作原理のセクションの リファレンス・モード のセクションを参照)、出力は切り離され、REF ピンは高インピーダンス入力となり高精度外部リファレンスを受け入れます。ノイズを抑えリファレンスの安定性を確保するために、コンデンサを REF ピンと GND の間に接続します。値は、REFCOMP ピンに接続された容量 (C _{REFCOMP}) より小さくする必要があります。外部リファレンス入力の許容範囲は、1.225V~1.275V です。
11	REFCOMP	内部リファレンス補償ピン。ノイズを抑えリファレンスの安定性を確保するために、0.1μF のコンデンサを REFCOMP ピンと GND の間に接続します。REFCOMP ピンを GND に接続すると、デバイスは内部リファレンスが無効になった状態でパワーアップするため、起動時に外部リファレンスを使用することができます。
12	FSADJ	フルスケール電流調整ピン。FSADJ ピンは、内部キャリブレーションされた公称出力レンジを生成するため、あるいは、一段階ずつ増加するよう調整可能なレンジを生成するために用いられます。どちらの場合でも、V _{REF} が抵抗 (R _{FSADJ}) に印加され、リファレンス電流を定義します。すべてのレンジおよびチャンネルの出力はこのリファレンス電流に比例します。フルスケール電流は REF ピンの電圧に比例し、R _{FSADJ} に反比例します。FSADJ が V _{CC} に接続されている場合は、内部 R _{FSADJ} (20kΩ) が選択され、公称出力レンジになります。あるいは、19kΩ~41kΩ の外部抵抗を FSADJ と GND の間に単純に接続して使用することもできます。この場合、外部抵抗はレンジのスケールを制御し、内部抵抗は自動的に切断されます。詳細は表 9 を参照してください。外部抵抗を使用する場合、FSADJ は浮遊容量の影響を受けやすくなるため、R _{FSADJ} と並列に 1kΩ と 1μF を直列に接続して構成されるスナバ回路ネットワークでこのピンを補償する必要があります。この推奨の補償方法を用いると、FSADJ は最大 50pF の浮遊容量があっても安定性を維持できます。

ピン配置およびピン機能の説明

表 6. ピン機能の説明（続き）

ピン番号	記号	説明
13	V _{CC}	アナログ電源電圧。2.85V ≤ V _{CC} ≤ 5.5V。1μF のコンデンサで GND にバイパスします。
15, 26	V ₋	負側電源電圧。-15.75V ≤ V ₋ ≤ GND。V ₋ が GND に接続されている場合を除き、1μF のコンデンサで GND にバイパスします。
16, 20, 23	NC	接続なし。
18, 25	V _{DD1} to V _{DD0}	出力電源電圧。2.85V ≤ V _{DD0/1} ≤ V ₊ 。これら 2 個の正電源入力、それぞれ 2 個の DAC 電流出力ピン OUT0 および OUT1 に個別に電源を供給します。各電源入力は、1μF のコンデンサで GND にバイパスします。
19, 24	OUT1 to OUT0	DAC アナログ電流出力。各電流出力ピンには専用のアナログ電源ピン V _{DD0} および V _{DD1} があります。これらのピンの動作電圧レベルの範囲は、V ₋ ≤ V _{OUTx} ≤ V _{DDx} です。
27	V ₊	正側電源電圧。2.85V ≤ V ₊ ≤ V ₋ + 33V。V ₊ は、常に DAC の 2 つの正電源（V _{DD0} および V _{DD1} ）と V _{CC} のいずれか大きい方の値以上でなくてはなりません。電源電圧の差（V ₊ - V ₋ ）は最大で 33V を超えることはできません。1μF のコンデンサで GND にバイパスします。
28	MUX	アナログ・マルチプレクサ出力。ピンの電圧と電流は、MUX ピンの電圧を測定することでモニタできます。マルチプレクサ（mux）が無効化されている場合、MUX ピンは高インピーダンスになります。使用可能なマルチプレクサの選択範囲を表 10 に示します。
29	IOV _{CC}	デジタル入出力電源電圧。1.71V ≤ IOV _{CC} ≤ V _{CC} + 0.3V。0.1μF のコンデンサで GND にバイパスします。
30	$\overline{\text{FAULT}}$	アクティブ・ローのフォルト検出ピン。これはオープンドレインの N チャンネル出力で、何らかのフォルト状態が有効に検出された場合にローになります。 $\overline{\text{CLR}}$ ピンは次の $\overline{\text{CS}}/\text{LD}$ の立上がりエッジでリリースされます。プルアップ抵抗が必要です。
31	$\overline{\text{CLR}}$	アクティブ・ローの非同期クリア入力。このレベル・トリガ入力でロジック・ローになると、デバイスはデフォルトのリセット・コードと出力レンジにクリアされ、ゼロスケールかつ高インピーダンス（ハイ Z）出力となります。制御レジスタはゼロにクリアされます。ロジック・レベルは IOV _{CC} によって決まります。
33	EXPOSED PAD	グラウンド。このパッドはアナログ・グラウンド・プレーンに直接ハンダ付けします。

代表的な性能特性

特に指定のない限り、 $V_{CC} = IOV_{CC} = 5V$ 、 $V_- = -5V$ 、 $V_{DDX} = 5V$ 、 $V_+ = 5V$ 、 $FSADJ = V_{CC}$ 、 $V_{REF} = 1.25V$ (外部)。

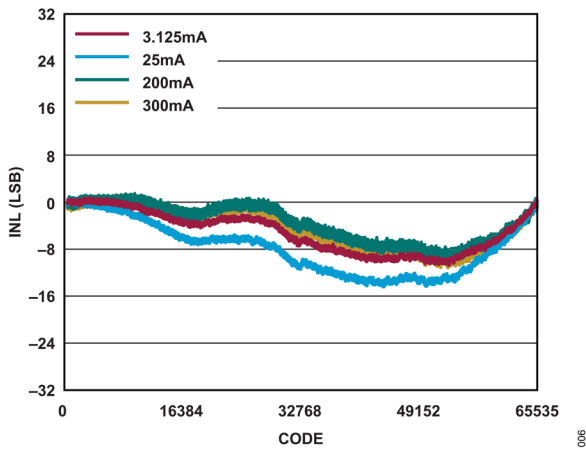


図 6. AD5778R の積分非直線性 (INL)

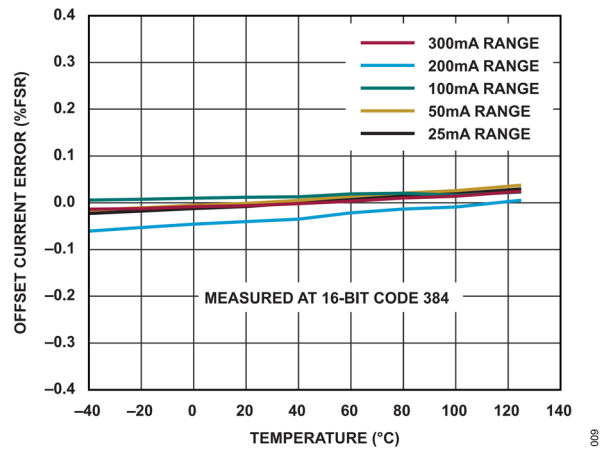


図 9. オフセット電流誤差と温度の関係

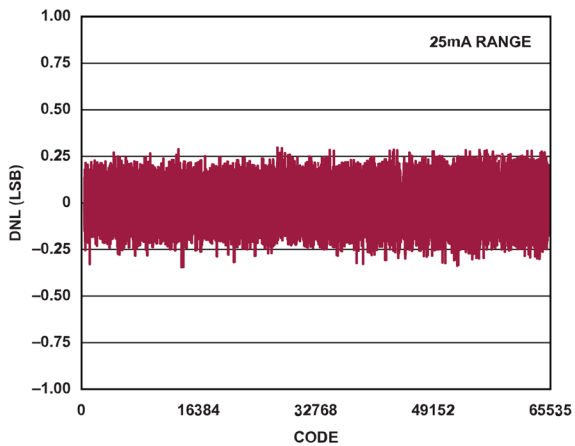


図 7. AD5778R の微分非直線性 (DNL)

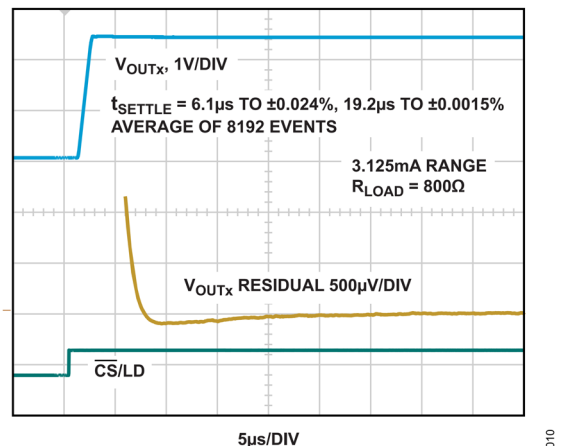


図 10. 0mA から 3.125mA へのステップのセトリング

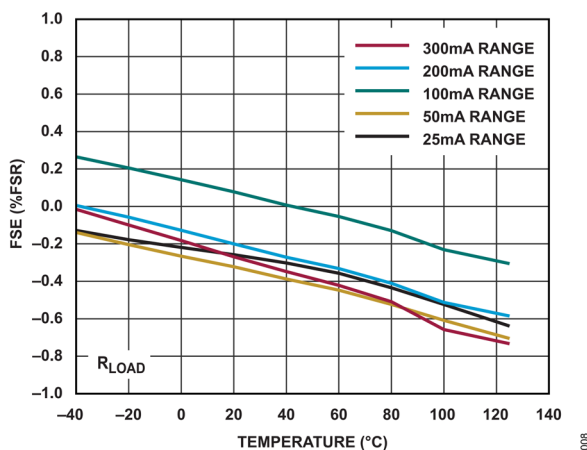


図 8. フルスケール電流誤差 (FSE) と温度の関係

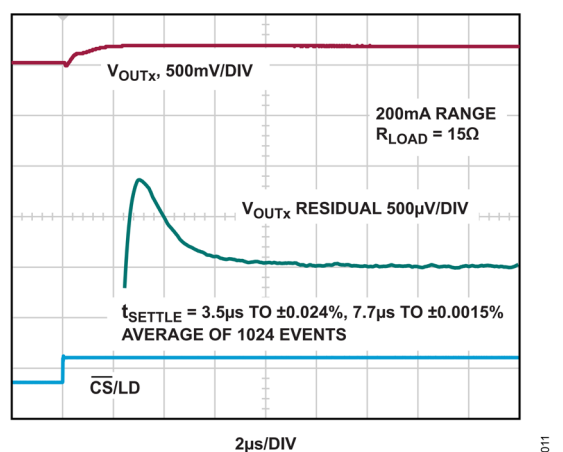


図 11. 145mA から 155mA へのステップのセトリング

代表的な性能特性

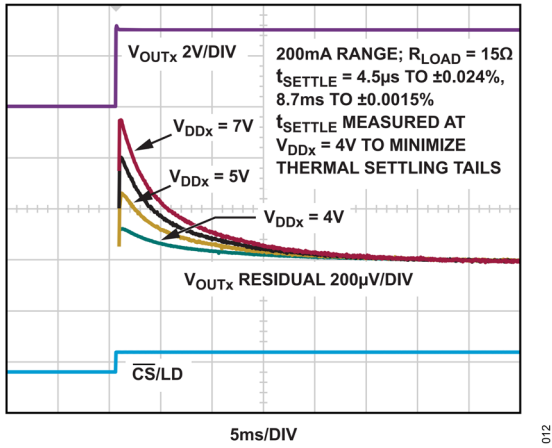


図 12. 0mA から 200mA へのステップのセトリング

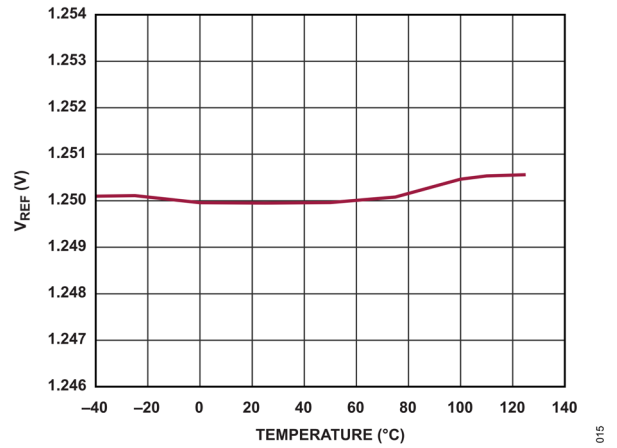


図 15. V_{REF} と温度の関係

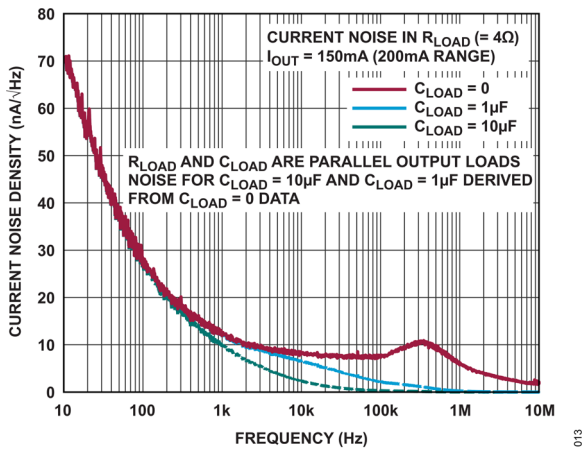


図 13. 電流ノイズ密度と周波数の関係

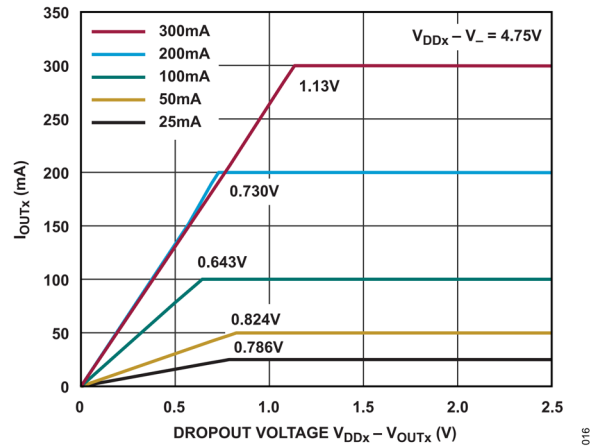


図 16. I_{OUTx} と $V_{DROPOUT}$ の関係

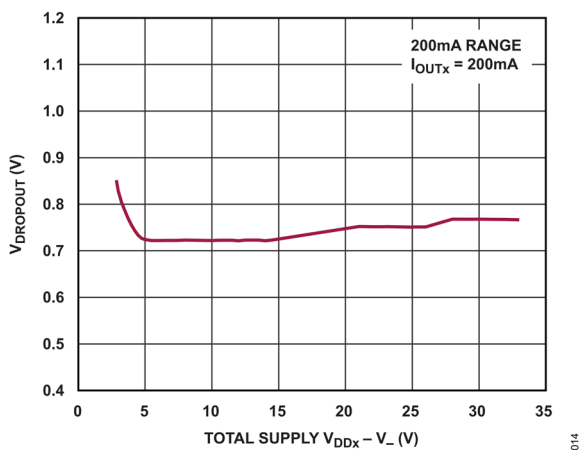


図 14. $V_{DROPOUT}$ と合計電源電圧の関係

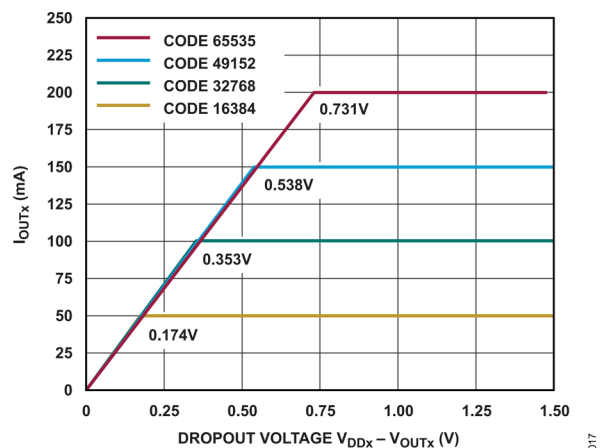


図 17. I_{OUTx} と $V_{DROPOUT}$ の関係 (200mA レンジ)

代表的な性能特性

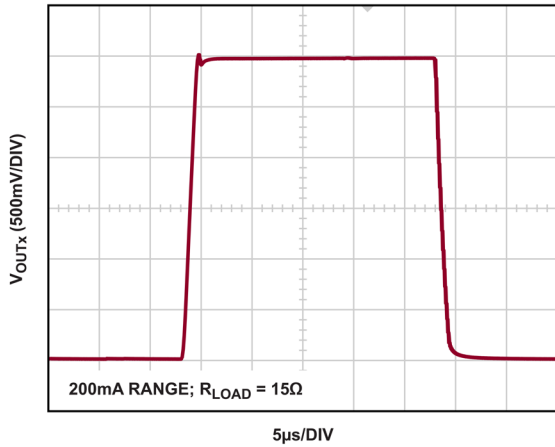


図 18. 大信号応答

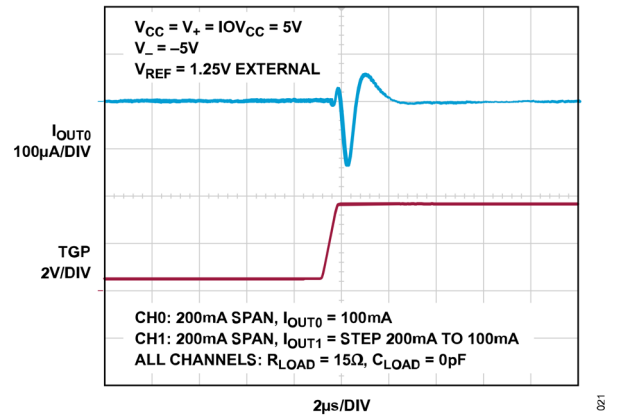


図 21. DAC 間クロストーク (立上がり)

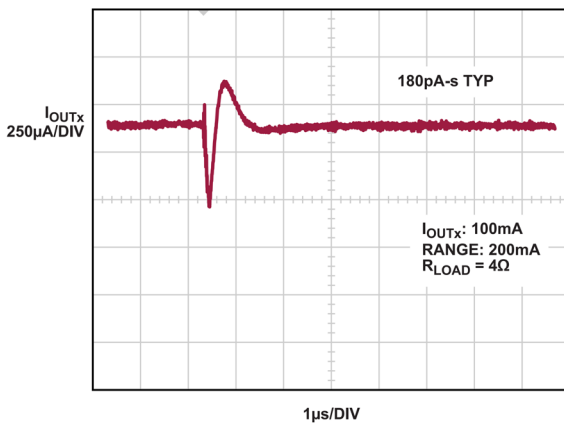


図 19. ミッドスケールのグリッチ

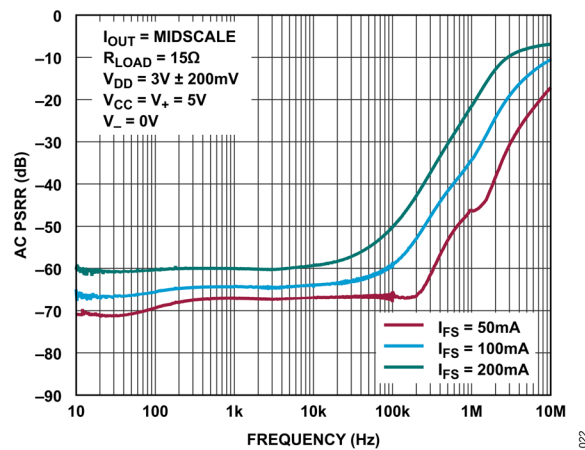


図 22. AC PSRR と周波数の関係

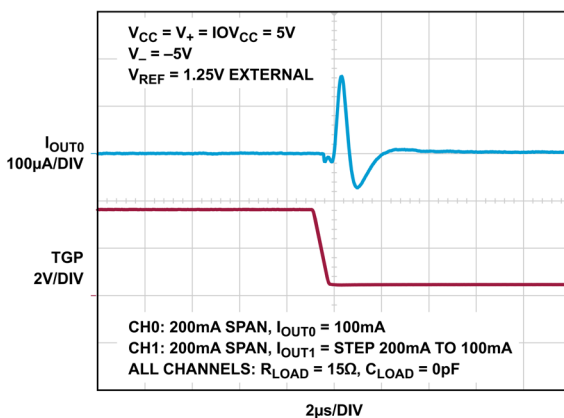


図 20. DAC 間クロストーク (立下がり)

動作原理

AD5778R は、2チャンネルの電流源出力 DAC で、チャンネルの出力電圧および出力電流を調べるために、選択可能な出力レンジ、高精度リファレンス、高電圧マルチプレクサを備えています。各出力は 2.85V~33V の電圧を許容する独立した専用の正電源ピンから電流を流すことにより、消費電力の最適化と広範囲の負荷に対するヘッドルームの最適化が可能です。内蔵の 12Ω スイッチにより、任意の出力ピンをオプションの V⁻ 負電源に接続し、最大 80mA の電流をシンクできます。

パワーオン・リセット

パワーアップ時、出力は高インピーダンス状態にリセットされるため、システムの初期化が一貫した反復可能なものになります。パワーオン時の初期化後は、表 7、表 8、表 9 を使用し SPI バスを介して出力レンジを選択してください。

電源のシーケンスおよび起動

電源 (V_{CC}、IOV_{CC}、V₊、V₋、V_{DD0}、V_{DD1}) は、任意の順番でパワーアップできます。外部リファレンスを使用する場合は、電源のターン・オン・シーケンスおよびターン・オフ・シーケンス時に REF ピンの入力電圧が V_{CC} + 0.3V を超えることのないようにしてください (絶対最大定格のセクションを参照)。

起動後は、IOV_{CC} が V_{CC} 以内でなくてはならず、また各電源は V₊ を超えてはいけません。1.225V~1.275V の DC リファレンス電圧が可能です。

バイパスを設けることは最高の性能を実現する上で重要です。1μF 以上の低等価直列抵抗 (ESR) の容量をすべての電源ピンのグラウンドに使用し、できるだけデバイスの近くに接続します。IOV_{CC} には 0.1μF のコンデンサを使用できます。

データ伝達関数

すべて分解能と 25mA 以上の出力レンジに対する DAC の入力から出力への伝達関数を図 23 に示します。入力コードは全レンジでストレート・バイナリ形式です。

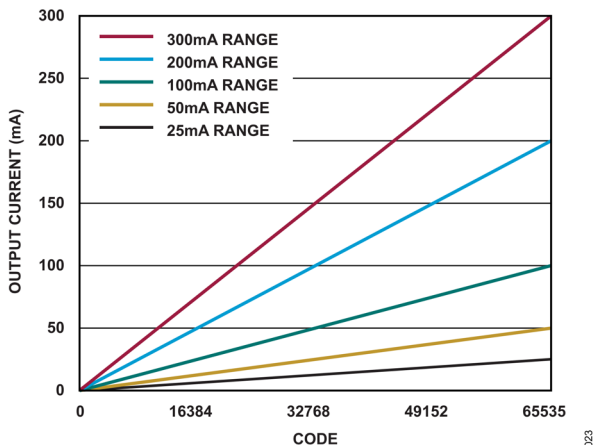


図 23. AD5778R の伝達関数

シリアル・インターフェース

\overline{CS}/LD ピンがローの場合、SDI ピンのデータはクロック (SCK ピン) の立上がりエッジでシフト・レジスタにロードされます。4 ビットのコマンド[C3:C0]がまずロードされ、次いで 4 ビットの DAC アドレス[A3:A0]が続き、最後に 16 ビットのデータ・ワードがストレート・バイナリ形式で読み込まれます。AD5778R の場合、データ・ワードは MSB から LSB の順の 16 ビット入力コードで構成されます。データは、 \overline{CS}/LD 信号がローの場合にのみ AD5778R に転送できます。 \overline{CS}/LD の立上がりエッジによりデータ転送は終了し、デバイスは 24 ビットの入力ワードで指定された動作を実行します。

表 7. コマンド・コード

Command				
C3	C2	C1	C0	
0	0	0	0	Write code to n
1	0	0	0	Write code to all
0	1	1	0	Write span to n
0	0	0	1	Update n (power up)
1	0	0	1	Update all (power up)
0	0	1	1	Write code to n, update n (power up)
0	0	1	0	Write code to n, update all (power up)
1	0	1	0	Write code to all, update all (power up)
0	1	0	0	Power down n
0	1	0	1	Power down chip
1	0	1	1	Monitor mux
1	1	0	0	Toggle select
1	1	0	1	Global toggle
0	1	1	1	CONFIG command
1	1	1	1	No operation
Others				Invalid command codes

表 8. DAC アドレス、n

Address ¹				
A3	A2	A1	A0	
0	0	0	0	DAC 0
0	0	1	1	DAC 1
Others				Invalid DAC addresses

¹ 表 8 に記載のコード以外の DAC アドレス・コードを使用しても、そのコマンドは無視される点に注意してください。

最小入力ワードは 24 ビットですが、これは 32 ビットに拡張することもできます。32 ビット・ワード幅を使用するには、8 個のドント・ケア・ビットをまずデバイスに転送し、その後、このセクションで先述したように 24 ビット・ワードを転送します。32 ビット・ワードが必要なのは、デジタイゼーション動作の場合です。また、32 ビット・ワードにより、最小ワード幅が 16 ビット以上のプロセッサにも対応できます。24 ビットおよび 32 ビットのシーケンスの詳細を図 3 および図 4 に示します。どちらのワード幅の場合も、フォルト・レジスタの出力が SDO ピンに出力される点に注意してください。

動作原理

無効なコマンド・コードまたは無効な DAC アドレスに何らかの書き込みを行うと、予期せぬデバイス動作やフォルト状態が生じる可能性がある点に注意してください。無効なコマンド・コードや無効な DAC アドレスには書き込まないようにすることを推奨します。無効なコマンド・コードや無効な DAC アドレスに書き込みを行った場合は、デバイスをリセットしてください。

入力レジスタおよび DAC レジスタ

AD5778R には、メインのシフト・レジスタの他、DAC ごとに 5 個の内部レジスタがあります。各 DAC チャンネルには 2 組のダブル・バッファ付きレジスタがあり、1 つはコード・データ用、もう 1 つは DAC のスパン（出力レンジ）用となっています。ダブル・バッファにより、スパンとコードを同時に更新することができ、それによって出力レンジを変更してもスムーズな電流遷移が可能になります。また、これにより、複数の DAC を同時に更新することもできます。

ダブル・バッファ付きレジスタの各組は、以下のように、入力レジスタと DAC レジスタで構成されます。

- ▶ 入力レジスタ：書き込み動作によって、SDI ピンに入力されたデータが、選択したレジスタにシフトされます。入力レジスタはバッファを保持しており、書き込み動作によって DAC 出力が影響を受けることはありません。コード・データ・バス内には、DAC レジスタごとにレジスタ A およびレジスタ B の 2 つの入力レジスタがあります。レジスタ B はトグル動作時にのみ使用される代替レジスタで、レジスタ A がデフォルトの入力レジスタです。
- ▶ DAC レジスタ：更新動作により入力レジスタの内容がその関連する DAC レジスタにコピーされます。DAC レジスタの内容は DAC の出力電流またはレンジを直接に制御します。また更新動作によって、選択した DAC がパワーダウン・モードの場合にこれをパワーアップすることもできます。

更新によって常にコードとスパン・データの両方がリフレッシュされますが、DAC レジスタに保持されている値は、関連の入力レジスタ値が書き込み動作によって変更されない限り変わらない点に注意してください。例えば、新しいコードが書き込まれチャンネルが更新された場合、コードは更新されますが、スパンは変更されないままリフレッシュされます。チャンネル更新は、シリアル更新コマンド、 $\overline{\text{LDAC}}$ の負パルス、またはトグル動作によって行うことができます。

出力レンジおよび SoftSpan 動作

AD5778R は、出力レンジが選択可能な、2 チャンネルの電流 DAC です。電流出力レンジの全セットは SPI プログラムを介してのみ使用できます。

図 25 に、AD5778R の 1 つのチャンネルの簡略化した回路図を示します。AD5778R のフルスケール電流レンジは、チャンネルごとに 4 個の制御ビット[S3:S0]を使用して選択できます。また、外部リファレンスを供給する機能や、FSADJ ピンに高精度外部抵抗を用いて AD5778R の温度全域でのゲイン・ドリフトを低減する能力も備わっています。

AD5778R は、パワーオン時にすべてのチャンネル出力 (OUT0 および OUT1) を高インピーダンスにした状態で初期化します。各チャンネルのレンジおよびコードは、表 9 に示すように SoftSpan を介して完全にプログラマブルです。

各チャンネルには、1 組のダブル・バッファ付きレジスタがありレンジ情報を提供します。n へのスパン書き込みコマンド (0110b) またはすべてへのスパン書き込みコマンド (1110b) を使用して、スパン入力レジスタをプログラムします。図 24 は構文を示し、表 9 はスパン・コードとレンジを示します。

ダブル・バッファ付きコード・レジスタと同様、更新動作によりスパン入力レジスタは関連のスパン DAC レジスタにコピーされます。

表 9. スパン・コード

S3	S2	S1	S0	Output Range	
				External R _{FSADJ}	FSADJ = V _{CC}
0	0	0	0	(High-Z)	
0	0	0	1	$50 \times V_{\text{REF}}/R_{\text{FSADJ}}$	3.125 mA
0	0	1	0	$100 \times V_{\text{REF}}/R_{\text{FSADJ}}$	6.25 mA
0	0	1	1	$200 \times V_{\text{REF}}/R_{\text{FSADJ}}$	12.5 mA
0	1	0	0	$400 \times V_{\text{REF}}/R_{\text{FSADJ}}$	25 mA
0	1	0	1	$800 \times V_{\text{REF}}/R_{\text{FSADJ}}$	50 mA
0	1	1	0	$1600 \times V_{\text{REF}}/R_{\text{FSADJ}}$	100 mA
0	1	1	1	$3200 \times V_{\text{REF}}/R_{\text{FSADJ}}$	200 mA
1	1	1	1	$4800 \times V_{\text{REF}}/R_{\text{FSADJ}}$	300 mA
1	0	0	0	(Switch to V ₋)	

表 9 に示すように、出力を高インピーダンス・モードにする、または低オン抵抗 ($\leq 12\Omega$) の負チャンネル金属酸化膜半導体 (NMOS) デバイスが DAC 出力を負電源 V₋ にシャントするモードにする、2 つの選択肢 (コード 0000 およびコード 1000) が加えられています。NMOS デバイスが有効化されると、そのチャンネルの OUTx ピン・ドライバが無効化されます。表 9 に記載のないスパン・コードは、デフォルトで高インピーダンスの出力レンジになります。

動作原理

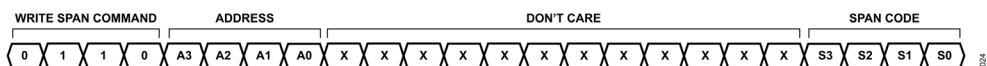


図 24. 書き込みスパン構文

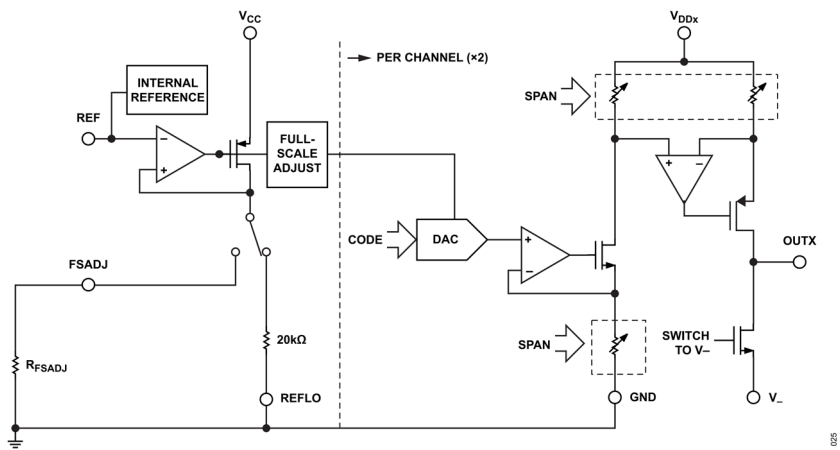


図 25. AD5778R のシングルチャンネルの簡略化した回路図

動作原理

監視マルチプレクサ

AD5778Rには、2個の電流出力ピン（OUT0 および OUT1）の電圧と電流の両方を監視するための高電圧マルチプレクサがあります。更に、V_{DD0}とV_{DD1}、V₊とV₋、V_{CC}、V_{REF}、ダイ温度もすべてモニタできます。

MUXピンは、高インピーダンス入力での使用のみを目的としています。ピンのインピーダンスは通常15kΩです。内部回路の損

傷を防止するために、MUXピンの連続的なDC出力電流は±1mAに制限する必要があります。

マルチプレクサの動作範囲は、V₋~V₊のレール to レールで、出力はパワーアップ時には無効（高インピーダンス）になっています。

監視マルチプレクサ・コマンドの構文とコードを、図26および表10に示します。

表 10. 監視マルチプレクサの制御コード

M4	M3	M2	M1	M0	MUX Pin Output	Notes
0	0	0	0	0	Disabled (high-Z)	
0	0	0	0	1	OUT0 current measurement	$I_{OUT0} = I_{FS} \times V_{MUX}/V_{REF}$
0	0	1	0	0	OUT1 current measurement	$I_{OUT1} = I_{FS} \times V_{MUX}/V_{REF}$
0	0	1	1	0	V _{CC}	
0	1	0	0	0	V _{REF}	
0	1	0	0	1	V _{REFLO}	DAC Reference GND
0	1	0	1	0	Die temperature (T _J)	$T_J = 25^{\circ}\text{C} + (1.4\text{ V} - V_{MUX})/(0.0037\text{ V}/^{\circ}\text{C})$
1	0	0	0	0	V _{DD0}	
1	0	0	1	1	V _{DD1}	
1	0	1	0	1	V ₊	
1	0	1	1	0	V ₋	
1	0	1	1	1	GND	
1	1	0	0	0	OUT0 pin voltage	
1	1	0	1	1	OUT1 pin voltage	
Others					Invalid channels	Invalid codes



図 26. 監視マルチプレクサ・コマンド

動作原理

マルチプレクサを使用した電流測定

いずれかの出力ピンの電流を測定するには、監視マルチプレクサ・コマンド (1011b) を表 10 に記載のマルチプレクサ電流測定コードの 1 つと共に使用します。マルチプレクサは、実際の出力電流に比例した電圧を出力することで応答します。比例係数は次式で与えられます。

$$I_{OUTX} = I_{FS} \times V_{MUX} / V_{REF}$$

MUX ピンの電圧 (V_{MUX}) には、電流出力と同様優れた直線性がありますが、正確な結果を得るには、スロープ誤差 ($\pm 15\%$ FSR) のキャリブレーションを行うことが必要です。1 点キャリブレーションまたは 2 点キャリブレーションで容易に $\pm 1\%$ の FSR 精度が可能です。

任意の V_{REF} および DAC コードに対し、 V_{MUX} は一定で、レンジによって異なることはありませんが、 I_{FS} は出力レンジごとに異なる値になる点に注意してください。チャンネルのレンジが「高インピーダンス」または「V₋に短絡」に設定されている場合、あるいは、チャンネルがドロップアウト状態にある場合 (フォルト・レジスタのビット [FR0:FR1] によりフラグが設定)、電圧値はピン電流を表しません。

マルチプレクサを使用したダイ温度測定

ダイ温度を測定するには、監視マルチプレクサ・コマンドをマルチプレクサの制御コード 01010b と共に使用します。この場合の V_{MUX} は、 $-3.7\text{mV}/^\circ\text{C}$ の温度係数でダイ温度に比例します。測定される T_J は次のようになります。

$$T_J = 25^\circ\text{C} + (1.4\text{V} - V_{MUX}) / (3.7\text{mV}/^\circ\text{C})$$

必要に応じ、温度と電圧を最初に測定し、上式の 25°C と 1.4V をこれらの値で置き換えることで温度モニタをキャリブレーションできます。

監視マルチプレクサのプリチャージに関する考慮事項

AD5778R のアナログ・マルチプレクサは非バッファです。この非バッファ条件は、アンプ・オフセットによる誤差要因を回避

できます。ただし、バッファがない場合、MUX ピンが接続されたときの電荷移動が高インピーダンスの電流出力を妨害する可能性があります。AD5778R には、MUX ピンを出力ピン (OUT0 および OUT1) に接続する前に MUX ピンをプリチャージすることで、出力ピンの充電グリッチを抑える回路があります。

プリチャージ動作により、マルチプレクサの出力は、監視マルチプレクサ・コマンドが与えられて ($\overline{\text{CS}}/\text{LD}$ の立上がり) から約 $7\mu\text{s}$ 後に有効になります。残留電荷のトランジェントは、必要に応じ出力ピンにコンデンサを追加することで更に抑えることができます。MUX ピンにはコンデンサを追加しないでください。それを行うとマルチプレクサの切り替わり時の出力変動が増加する可能性があるためです。MUX ピンで許容できるのは最大 100pF です。

トグル動作

システムによっては、DAC 出力が 2 つの出力レベルの間で繰り返し切り替わる (つまりオン状態とオフ状態の間で切り替わる) ことが必要な場合があります。AD5778R のトグル機能は、DAC チャンネルごとに 2 つの入力レジスタ (A および B) を備えることで、こうした動作を容易なものにします。

A と B の切り替えは 3 つの信号で制御します。最初の信号はトグル・セレクト・コマンドで、各ビットが 1 つのチャンネルを制御する 5 ビットのデータ・フィールドに作用します (図 27 参照)。2 番目の信号はグローバル・トグル・コマンドで、グローバル・トグル・ビット (TGB) を使用して選択したチャンネルすべてを制御します (図 28 参照)。最後に、TGP によって、外部クロックまたはロジック信号を使用して DAC 出力を A と B の間で切り替えることができます。これらの制御による信号は、図 29 に示すように結合されます。

トグル機能が不要な場合は、TGP ピンを接地し、トグル・セレクト・レジスタはパワーオン・リセット状態 (ゼロにクリア) のままにします。それにより、入力レジスタ A が唯一の入力レジスタとして機能し、レジスタ B は使用されません。

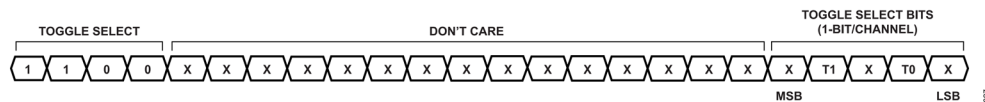


図 27. トグル・セレクトの構文

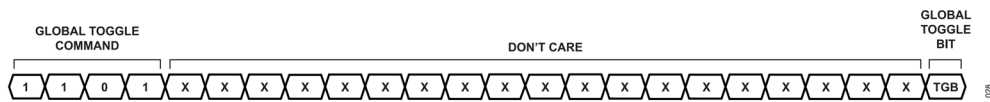


図 28. グローバル・トグルの構文

動作原理

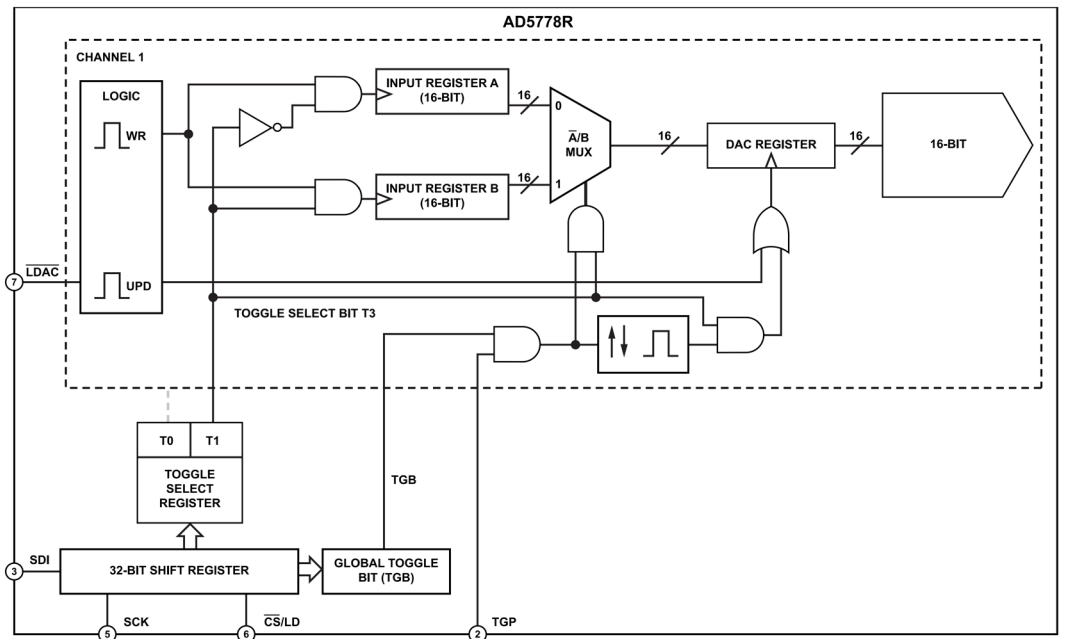


図 29. トグル機能の概念ブロック図

トグル・セレクト・レジスタ (TSR)

トグル・セレクト・コマンド (1100b) の構文を図 27 に示します。5 ビットの TSR データ・フィールドの各ビットは、T0 がチャンネル 0 を制御し、T1 がチャンネル 1 を制御する、というように同じ名称の DAC チャンネルを制御します。

トグル・セレクト・ビット[T0:T1]には 2 つの機能があります。まず、各トグル・セレクト・ビットは、コード書き込み動作からデータを受け取る入力レジスタ (A または B) を決めます。指定されたチャンネルのトグル・セレクト・ビットがハイの場合、コード書き込み動作はアドレス指定されたチャンネルの入力レジスタ B に向けられます。ビットがローの場合、コード書き込み動作は、入力レジスタ A に向けられます。次に、各トグル・セレクト・ビットは、トグル動作の対応チャンネルの動作を有効化します。

入力レジスタ A および入力レジスタ B への書き込み

トグルするチャンネルを選択したら、必要なコードをその選択したチャンネルの入力レジスタ A へ書き込みます。次に、トグル・セレクト・コマンドを用いてチャンネルのトグル・セレクト・ビットを設定します。最後に、必要なコードを入力レジスタ B へ書き込みます。これらのステップが完了したら、チャンネルをトグルできるようになります。例えば、コード 4096 とコード 4200 の間でトグルするようチャンネル 1 を設定するには、次のステップを完了します。

1. チャンネル 1 のコード (コード=4096) をレジスタ A へ書き込みます。
 - ▶ 00000011 00010000 00000000
2. トグル・セレクト (ビット T1 をセット)
 - ▶ 11000000 00000000 00001000
3. チャンネル 1 のコード (コード=4200) をレジスタ B へ書き込みます。
 - ▶ 00010000 01101000

ステップ 3 のコード書き込みは、ステップ 2 でビット T1 が 1 にセットされているため、レジスタ B に向けられます。これで、チャンネル 1 は、入力レジスタ A と入力レジスタ B に目的とする 2 つのコードを持つようになり、トグル動作の準備ができました。

注：レジスタ B への書き込み後も、レジスタ A のコードは変更可能です。トグル・セレクト・ビットの状態によって、書き込みが行われるレジスタ (A または B) が決まります。

- ▶ まず、トグル・セレクト・ビット T1 を次の命令によって 0 にリセットする必要があります。
 - ▶ 11000000 00000000 00000000
- ▶ 次に新しいレジスタ A のコードを書き込みます。新しいコードが 4300 とすると、命令は次のようになります。
 - ▶ 00000011 00010000 11001100

その後、トグル・セレクト・ビット T1 を再度 1 にセットします (ステップ 2)。レジスタ B への再度の書き込みは不要で、チャンネル 1 はトグル動作ができるようになりました。

レジスタ A とレジスタ B の間でトグル

上記の例のように、必要なチャンネルすべてについて、入力レジスタ A および入力レジスタ B への書き込みが行われ、対応するトグル・セレクト・ビットがハイにセットされたら、チャンネルはトグルができる状態になっています。

AD5778R では次の 3 種類のトグル動作に対応します。最初のトグル動作では、SPI ポートを用いることですべての選択チャンネルと一緒にトグルされます。次のトグル動作では、外部のクロックまたはロジック信号を用いることですべての選択チャンネルと一緒にトグルされます。3 番目のトグル動作では、入力レジスタ A または入力レジスタ B のいずれかから、任意の組み合わせのチャンネルを更新するよう命令できます。

動作原理

内部トグル更新回路はエッジでトリガされます。そのため、(TGBまたはTGPの)遷移のみが各入力レジスタからの更新をトリガします。

SPIポートを使用してすべての選択チャンネルをトグルするには、TGPピンがハイになり、また目的のチャンネルに対応するトグル・セレクト・レジスタのビットもハイになるようにします。コードを切り替えるためにグローバル・トグル・コマンド(1101b)を使用し、次いで、グローバル・トグル・ビットTGBを変更します(図28参照)。TGBを1から0に変更すると、DACレジスタは各入力レジスタAから更新されます。TGBを0から1に変更すると、DACレジスタは各入力レジスタBから更新されます。このように、1つのチャンネルまたは両方のチャンネルがわずか1つのシリアル・コマンドでトグルできる点に注意してください。

外部ロジック信号を使用して選択チャンネルすべてをトグルするには、グローバル・トグル・レジスタのTGBビットはハイで、トグル・セレクト・レジスタの目的のチャンネルに対応するビットもハイになるようにします。TGPピンにクロックまたはロジック信号を加えてコードを切り替えます。TGPの立下がりエッジによって、DACレジスタは関連する入力レジスタAから更新されます。TGPの立上がりエッジによって、DACレジスタは関連する入力レジスタBから更新されます。入力レジスタの設定が終了するとすべてのトグル動作はTGPに加えられた信号によってトリガされ、SPI命令は不要となる点に注意してください。

任意の組み合わせのチャンネルが入力レジスタAまたは入力レジスタBから更新されるようにするには、TGPピンがハイで、グローバル・トグル・レジスタのTGBビットもハイになるようにします。入力レジスタ(AまたはB)を選択して各チャンネルが更新されるようにするには、必要に応じてトグル・セレクト・コマンドを使用してトグル・セレクト・ビットをセットします。次に、シリアル・コマンド(すべてを更新(パワー・アップ))(1001b)を使用するかLDACピンに負パルスを印加することで、すべてのチャンネルを更新します。トグル・セレクト・ビットが0になっているチャンネルはいずれも入力レジスタAから更新されます。トグル・セレクト・ビットが1になっているチャンネルは入力レジスタBから更新されます(図29を参照)。トグル・セレクト動作と更新動作を切り替えることで、必要に応じ複数のチャンネルをAまたはBに同時に切り替えることができます。

デジチェーン動作

シフト・レジスタのシリアル出力はSDOピンで検出できます。SDI入力からデバイスに転送されたデータは、32個のSCK立上がりエッジだけ遅延した後、次のSCK立上がりエッジで出力されるため、データは次の32個のSCK立上がりエッジでマイクロプロセッサにクロック同期入力できます。

SDO出力を使用すると、単一の3線式シリアル・ポート(SCK、SDI、CS/LD)から複数のシリアル・デバイスを制御することが容易になります。このようなデジチェーン接続は、チェーン内の各上流段デバイスのSDOと次段のデバイスのSDIを接続することで構成されています。従って、デバイスのシフト・レジスタは直列に接続され、実質的にチェーン全体に広がる1つの入力シフト・レジスタを形成します。そのため、各デバイスは、それらの入力ワードを単に連結するだけで、個別にアドレス指定し制御できます。

最初の命令がチェーン内の最後のデバイスのアドレスを指定する、というようにつながります。SCK信号とCS/LD信号は、チェーン内のすべてのデバイスで共通です。

使用時、CS/LDが最初にローになります。次いで、連結された入力データが、最初のデバイスのSDIをデータ入力として使用してチェーンに転送されます。データ転送が完了するとCS/LDはハイになり、これによってすべてのデバイスへの命令シーケンスは同時に終了します。1つのデバイスだけを制御するには、チェーン内のそれ以外のデバイスに対し動作なしコマンド(1111b)を使用します。CS/LDがハイになると、SDOピンは高インピーダンス出力となります。そのため、デジチェーン動作には、各デバイス(最後のデバイスを除く)のSDOにプルアップ抵抗が必要です。

エコー・リードバック

SDOピンを使用することで、デバイスへのデータ転送を検証することができます。各32ビット命令サイクルの間、SDOピンはその前の32ビット命令を検証用に出力します。8ビットのドン・ト・ケア・プレフィックスは、4個のフォルト・レジスタ・ステータス・ビットに置き換えられ、次いで4ビットのコマンドとアドレス・ワードおよびフル16ビット・データ・ワードが続きます(図3参照)。24ビット命令サイクルのSDOシーケンスも、データ・ワードが8ビットに切り詰められている点を除き同じです(図4参照)。CS/LDがハイの場合、SDOは高インピーダンス出力となり、その他のSPIデバイスが使用できるようなバスを解放します。

フォルト・レジスタ (FR)

AD5778Rには動作上のフォルト状態を通知する機能があります。フォルト・レジスタ(FR)ステータス・ビットは、各SPIトランザクションの間にSDOピンに出力される24ビットまたは32ビットの各SDOワードの、最初のデータ・バイト(8ビット)で構成されます。シーケンスについては図3および図4を参照してください。

フォルト・レジスタ・ビットは、そのトリガ条件が検出されたときにセットされ、次のSPIトランザクションの間にクロックに同期してSDOに出力されます。フォルト・レジスタの情報はSPIトランザクションごとに更新されます。フォルト状態がSPI命令のアクションによって修正された場合は、その状態に対しクリアされたフォルト・レジスタ・フラグが、次のSPIトランザクションのSDOで検出可能になります。

表11に、フォルト・レジスタ・ビットとそれに関連するトリガ条件を示します。

表 11. フォルト・レジスタ

FR ビット	フォルト状態
FR0	OUT0でオープン回路状態を検出
FR1	OUT1でオープン回路状態を検出
FR2	過熱。ダイ温度T _J が175°Cを超えた場合、FR2がセットされ、過熱保護が有効化されます。FR2ビットは、CONFIGコマンド(0111b)を用いて無効化できます。
FR3	電力制限。V _{DDx} - V _{OUTx} が10Vを超え、電流レンジが200mA以上の場合にFR3がセットされ、そのチャンネルのレンジは100mAに減少します。FR3ビットは、CONFIGコマンド(0111b)を用いて無効化できます。
FR4	無効なSPIシーケンス長。有効なシーケンス長は24ビット、32ビット、および32ビットの倍数です。それ以外の長さの場合はすべて、FR4がセットされSPI命令は無視されます。

動作原理

パワーダウン・モード

消費電力に制約のあるアプリケーションでは、パワーダウン・モードを使用すると、必要な DAC 出力が 2 個未満の場合に電源電流を抑えることができます。パワーダウン時は電圧／電流出力ドライバとリファレンス・バッファは無効化されます。電流 DAC 出力は高インピーダンス状態になります。パワーダウン中にレジスタの内容が影響を受けることはありません。

任意のチャンネルまたは任意の組み合わせのチャンネルをパワーダウン・モードにするには、該当の DAC アドレスと共にコマンド 0100b を使用します。更に、すべての DAC チャンネルおよび内蔵リファレンスは、共にチップのパワーダウン・コマンド 0101b を使用してパワーダウンすることができます。すべてのパワーダウン・コマンドでは 16 ビット・データ・ワードは無視されます。

通常動作は DAC 更新を含むコマンドを実行することで再開できます。このコマンドは、表 7 に示すようにソフトウェアを使用するかトグルを行って（トグル動作のセクションを参照）実行できます。選択した DAC チャンネルは、新しいコード値で更新されるときにパワーアップされます。パワーダウンした DAC を更新する場合、余分のパワーアップ遅延に対処するための待機時間を追加してください。更新コマンドの前にチャンネルがパワーダウン（コマンド 0100b）された場合は、パワーアップ遅延は 30 μ s です。あるいは、チップがパワーダウン（コマンド 0101b）された場合は、パワーアップ遅延は 35 μ s です。

V₋への切り替えモード

スパン・コード 1000b を使用すると出力を GND 未満にプルダウンできます。V₋への切り替えモードでは、アドレス指定されたチャンネルの出力電流がオフになり、チャンネル電圧 V_{OUTX} は V₋にプルダウンされます。プルダウン・スイッチは、最大 12 Ω の実効的な抵抗値で最大 80mA の電流をシンクできます。

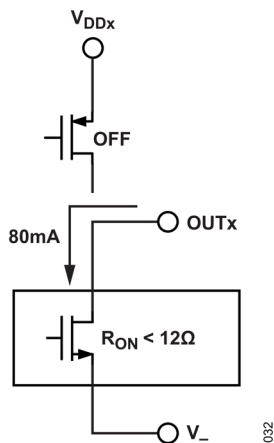


図 31. V₋への切り替えモード

V₋への切り替えモードは、すべてへのスパン書込みコマンドまたは n へのスパン書込みコマンド、および目的アドレスによって起動できます。スパン・コードを表 9 に示します。また、V₋への切り替えモードでの出力の回路図を図 31 に示します。

FSADJ ピンを使用したゲイン調整

フルスケール出力電流はリファレンス電圧に比例し、FSADJ に付随する抵抗に反比例します。これは以下の式に示されています。

FSADJ ピンが V_{CC} に接続されている場合、AD5778R は内蔵の R_{FSADJ} (20k Ω) を使用します。他にも、FSADJ を接地された外部抵抗に接続すると、アプリケーションへのデフォルト電流レンジを調整できます。また、最善の温度係数を得るには、適切に指定された高精度抵抗を使用します。19k Ω ~41k Ω の値がサポート対象です。新しい電流レンジは表 9 の外部 R_{FSADJ} の欄を用いて容易に計算できます。外部抵抗を使用する場合、内部抵抗は自動的に切り離されます。

外部抵抗を使用する場合、FSADJ は浮遊容量に影響されやすくなります。そのため、R_{FSADJ} と並列に 1k Ω と 1 μ F を直列に接続して構成されるスナバ回路ネットワークで、このピンを補償する必要があります。この推奨の補償方法を用いると、ピンは最大 50pF の浮遊容量があっても安定性を維持できます。

リファレンス・モード

AD5778R は、外部または内部のどちらのリファレンスでも使用できます。電圧 DAC のように、出力はリファレンス電圧に比例するため、リファレンスの誤差を反映したものになります。フルスケール出力電流はリファレンス電圧にかかわらず、チャンネルごとに最大 300mA に制限されています。

1.25V 内部リファレンスの温度ドリフトの代表値は ± 3 ppm/ $^{\circ}$ C で、初期出力許容誤差は最大 ± 2 mV です。これは、DAC とは無関係に調整、テスト、特性評価が行われています。DAC は、理想的な外部抵抗を用いてテストおよび特性評価が行われています。

内部リファレンスを使用するには、REFCOMP ピンは、DC パスを GND に接続せず、フローティング状態のままにします。更に、CONFIG レジスタの RD ビットの値は 0 であることが必要です。この値はパワーアップ時に 0 にリセットされます。あるいは、CONFIG コマンド 0111b を使用してリセットできます。図 30 にコマンドの構文を示します。

リファレンスの安定性と低ノイズを実現するために、0.1 μ F のコンデンサを REFCOMP と GND の間に接続する必要があります。この構成では、内部リファレンスは優れた安定性を維持して最大 0.1 μ F を駆動できます。安定動作を確保するため、REF ピンの容量性負荷が REFCOMP ピンの容量性負荷より大きくなることのないようにします。内部リファレンスで外部回路を駆動する場合は、バッファが必要です。

外部リファレンスを使用する場合は、REFCOMP ピンを GND に接続します。これにより、起動時には内部リファレンスの出力が無効化され、REF ピンは高インピーダンス入力になります。パワーアップ後に REF ピンにリファレンス電圧を加えます。CONFIG コマンド 0111b を使用して RD ビットを 1 にセットします。REF の入力電圧範囲は 1.225V~1.275V です。

アプリケーション情報

有効な電源範囲

AD5778R の有効な電源範囲には、表 1 のセクション（電力条件）およびピン配置およびピン機能の説明のセクションで説明したように、いくつかの制限があります。V₊の電圧は、これ以外のどの電源電圧よりも高いか同じであることが必要で、V₊は、V₋を最大 33V 上回ることが可能です。2つの出力電源（V_{DD0} および V_{DD1}）は、2.85V と V₊の間で個別に設定できます。負側電源 V₋は、-15.75V~GND の任意の電圧にすることができますが、V₊は V₋より 33V 以上高くすることはできません。

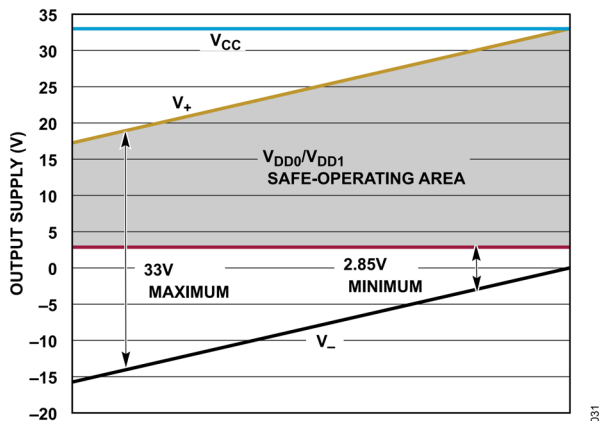


図 32. 出力電源の安全動作領域

電流出力

AD5778R は、各電流出力ピンに高ゲインの電圧/電流コンバータを組み込んでいます。すべての DAC コードで最小ドロップアウト電圧（V_{DDx} - V_{OUTx}）が実現されている場合、INL と DNL は、3.125mA~300mA のすべてのレンジに対し確保されます。

十分なドロップアウト電圧が維持されている場合、電流出力（OUT0 および OUT1）の DC 出力インピーダンスは非常に高くなります。各電流出力には専用の正電源ピン V_{DD0}~V_{DD1} があり、各チャンネルの電流コンプライアンスと消費電力の調整が可能です。

オフセット電流およびコード・ゼロ

AD5778R のオフセット電流誤差は、最大±0.4%FSR が確保されています。指定チャンネルのオフセットが正の場合、非ゼロ電流がコード・ゼロで流れます。電流が負の場合は、ゼロに近いコード範囲に対し電流はゼロ（リーク電流のみ）となります。オフセットと直線性のエンドポイントは、AD5778R ではコード 384 で測定されます。このコードは、測定点において測定可能な出力電流で DAC が確実に動作するコードです。

オフセット誤差が正のチャンネルは、コード・ゼロであっても完全にオフにすることはできません。出力を完全にオフにするには、レンジを高インピーダンスに設定し（表 9 のスパン・コード 0000b）、チャンネルを更新します。

PCB レイアウト

AD5778R デバイスの優れた負荷レギュレーションと DC クロストーク性能は、信号と電源グラウンドのコモンモード抵抗を最小限にすることで実現できます。

あらゆる高分解能コンバータと同様、クリーンなボード・グラウンド処理が重要です。低インピーダンスのアナログ・グラウンド・プレーンやスター型グラウンド処理手法も必要です。スター型グラウンドに使用するボード・レイヤは、切れ目のないものにして接地抵抗を最小にします（つまり、スター型パターンを別々に使うことのないスター型グラウンド・コンセプトを使用します）。REFLO ピンからスター・ポイントまでの抵抗はできる限り小さくします。スター・グラウンド・ポイントとしては露出パッドを推奨します。

最高性能を実現するために、グラウンド・プレーンに 150mil~200mil の間隔でビアのアレイを設けて、プレーンを他のボード・レイヤからのグラウンド端子に接続します。これにより全体的なグラウンド抵抗が減少し、グラウンド・ループ面積を最小限に抑えることができます。

アプリケーション情報

標準的応用例

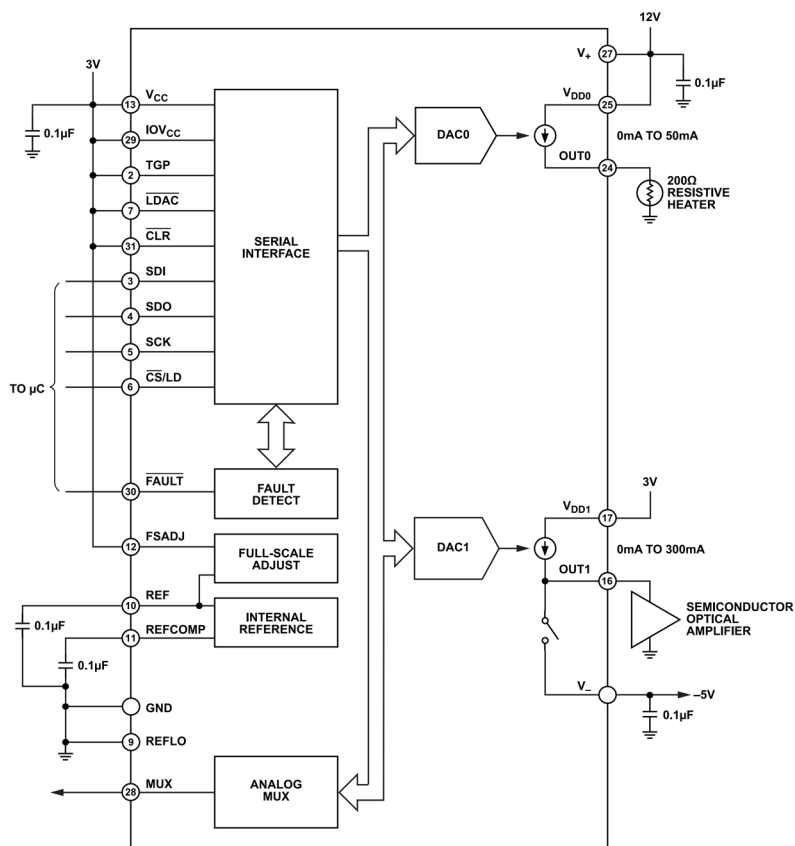


図 33. 標準的応用例

関連製品

製品番号	説明	注釈
LTC2672	リファレンスおよび SPI を内蔵した 5 チャンネルの電流出力 DAC	ソフトウェア・プログラマブル、チャンネルあたり 2.1V~5.5V の柔軟な電源電圧で電流出力範囲が 3.125mA~300mA、3.5mm × 3.6mm WLCSP パッケージ および 5mm × 5mm QFN パッケージ
LTC2662	5 チャンネルの 300mA 電流源出力 16/12 ビット SoftSpan DAC	ソフトウェア・プログラマブル、チャンネルあたり 2.85V~33V の柔軟な電源電圧で電流出力範囲が 3.125mA~300mA、5mm × 5mm QFN パッケージ
AD5770R	内蔵リファレンスと SPI インターフェースを備えた、6 チャンネル、14 ビットの電流出力 DAC	ソフトウェア・プログラマブル、チャンネルあたり 0.8V~5.1V の柔軟な電圧で出力範囲が-60mA~300mA、4mm × 4mm QFN パッケージ
リファレンス		
LTC6655	0.25ppm のノイズ、低ドリフトの高精度リファレンス	0.025%の最大公差、最大 2ppm/°C、0.25ppm p-p、0.1Hz~10Hz のノイズ
LT6654	電源電圧範囲が広く、出力駆動電流の大きい低ノイズ高精度リファレンス	0.05%の最大公差、最大 10ppm/°C、1.6ppm p-p、0.1Hz~10Hz のノイズ

外形寸法

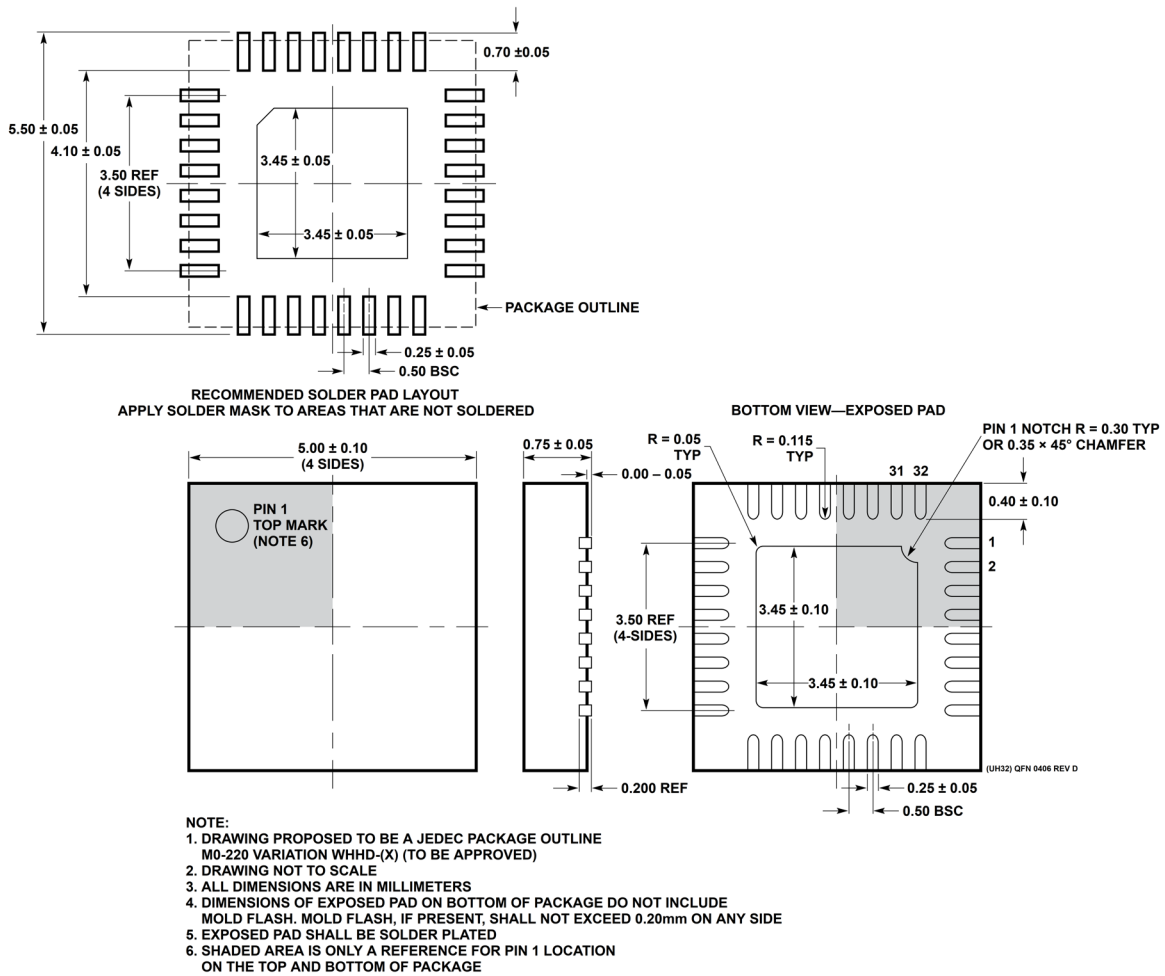


図 34. 32 ピン (5mm × 5mm) プラスチック QFN パッケージ (05-08-1693) 単位: mm

更新: 2024 年 4 月 3 日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD5778RBCPZ	-40°C to +125°C	32-Lead QFN (5 mm x 5 mm x 0.75 mm w/ EP)	05-08-1693

¹ Z = RoHS 準拠製品。

評価用ボード

表 12. 評価用ボード

Model ¹	Description
DC2692A-A	Evaluation Board

¹ DC2692A-A は RoHS 適合製品です。