



# デュアル電流出力シリアル入力の 16 ビット DAC

Known Good Die

AD5545-KGD

## 特長

- 16 ビット分解能
- DNL :  $\pm 1\text{LSB}$ 、単調増加
- INL :  $\pm 1\text{LSB}$
- フルスケール電流 :  $2\text{mA} \pm 20\%$  ( $V_{\text{REF}} = 10\text{V}$ )
- セトリング時間 :  $0.5\mu\text{s}$
- 2 象限乗算型リファレンス入力帯域幅 :  $6.9\text{MHz}$
- ゼロまたはミッドスケールへのパワーアップ・リセット
- ゼロまたはミッドスケールへのダイナミック・リセット
- 3 線式インターフェース
- 23 パッド・ベア・ダイ・パッケージ

## アプリケーション

- ATE (自動試験装置)
- 計測器
- デジタル制御のキャリブレーション
- 工業用制御のプログラマブル・ロジック・コントローラ (PLC)
- プログラマブル・アッテネータ

## 概要

AD5545-KGD は、16 ビットの電流出力 D/A コンバータ (DAC) で、 $4.5\text{V} \sim 5.5\text{V}$  の電源電圧範囲で動作するように設計されています。

フルスケール出力電流を得るには、外部リファレンスが必要となります。内蔵の帰還抵抗 ( $R_{\text{FB}}$ ) は、外付けオペアンプと組み合わせると、電流/電圧 (I/V) 変換を実行すると、抵抗と温度のトラックが強化されます。

シリアル・データ・インターフェースは、シリアル・データ入力 (SDI)、クロック (CLK)、チップ・セレクト (CS) を使用して、高速な 3 線式マイクロコントローラ互換入力を提供します。LDAC 機能を使用すると同時アップデート動作が可能となります。内部リセット・ロジックにより、MSB ピンの状態に応じて、ゼロまたはミッドスケールへのパワーオン・リセットとダイナミック・リセットが可能です。

AD5545-KGD は 23 ピンのベア・ダイ・パッケージを採用し、動作温度範囲は  $-40^\circ\text{C} \sim +85^\circ\text{C}$  です。

KGD (Known Good Die) : これらのダイは、データシートの仕様を十分に確保しています。

アプリケーションと技術情報の詳細については、AD5545 データシートを参照してください。

## 機能ブロック図

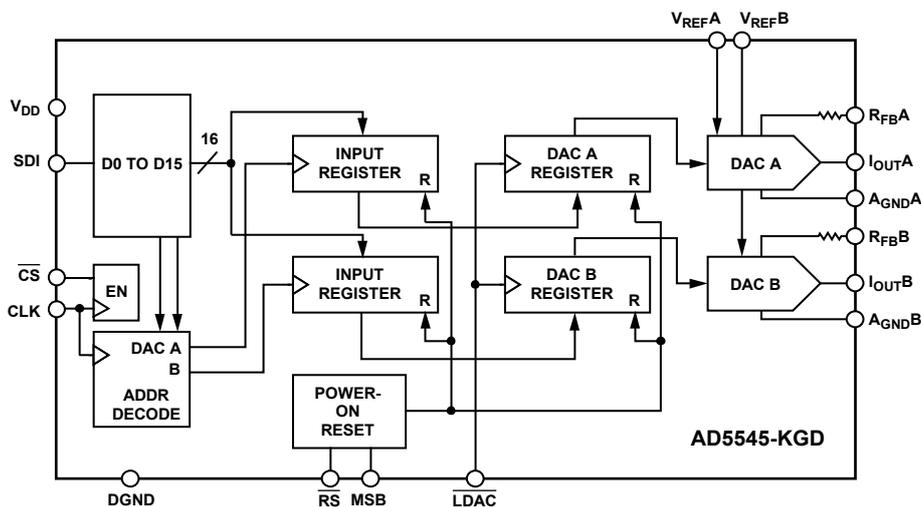


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2020 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F  
電話 03 (5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F  
電話 06 (6350) 6868  
名古屋営業所 / 〒451-6038 愛知県名古屋市西区牛島町 6-1 名古屋ルーセントタワー 38F  
電話 052 (569) 6300

## 目次

特長 .....	1	絶対最大定格.....	5
アプリケーション.....	1	ESDに関する注意.....	5
概要 .....	1	ピン配置およびピン機能の説明.....	6
機能ブロック図.....	1	外形寸法.....	8
改訂履歴 .....	2	ダイの仕様とアセンブリの推奨事項 .....	8
仕様 .....	3	オーダー・ガイド .....	8
電気的特性 .....	3		

## 改訂履歴

11/2019—Revision 0: Initial Version

## 仕様

## 電気的特性

特に指定のない限り、 $V_{DD} = 5V \pm 10\%$ 、 $I_{OUTx} =$  仮想 GND、 $GND = 0V$ 、リファレンス電圧 ( $V_{REF}$ ) = 10V、 $T_A =$  全動作温度範囲。

表 1.

パラメータ	記号	テスト条件/コメント	Min	Typ	Max	単位
STATIC PERFORMANCE <sup>1</sup>						
Resolution	N	1LSB = $V_{REF}/2^{16} = 153\mu V$ ( $V_{REF} = 10V$ ) 1LSB = $V_{REF}/2^{14} = 610\mu V$ ( $V_{REF} = 10V$ )			16	Bits
Relative Accuracy	INL				±1	LSB
Differential Nonlinearity	DNL	単調増加			±1	LSB
Output Leakage Current	$I_{OUT}$	データ = 0x0000、 $T_A = 25^\circ C$ データ = 0x0000、 $T_A = T_A$ maximum			10	nA
Full-Scale Gain Error	$G_{FSE}$	データ = フルスケール		±1	±4	mV
Full-Scale Temperature Coefficient <sup>2</sup>	$TCV_{FS}$			1		ppm/°C
REFERENCE INPUT						
Reference Voltage Range	$V_{REF}$		-12		+12	V
Input Resistance	$R_{REF}$			5		kΩ
Input Capacitance <sup>2</sup>	$C_{REF}$			5		pF
ANALOG OUTPUT						
Output Current	$I_{OUT}$	フルスケール電流 : $2mA \pm 20\%$ ( $V_{REF} = 10V$ )		2		mA
Output Capacitance <sup>2</sup>	$C_{OUT}$	コード依存		200		pF
LOGIC INPUTS AND OUTPUT						
Logic Input Low Voltage	$V_{IL}$				0.8	V
Logic Input High Voltage	$V_{IH}$		2.4			V
Input Leakage Current	$I_{IL}$				10	μA
Input Capacitance <sup>2</sup>	$C_{IL}$				10	pF
INTERFACE TIMING <sup>2, 3</sup>						
Clock Input Frequency	$f_{CLK}$	図 2 を参照			50	MHz
Clock Width High	$t_{CH}$		10			ns
Clock Width Low	$t_{CL}$		10			ns
CS to Clock Setup	$t_{CSS}$		0			ns
Clock to CS Hold	$t_{CSH}$		10			ns
Data Setup	$t_{DS}$		5			ns
Data Hold	$t_{DH}$		10			ns
LDAC Setup	$t_{LDS}$		5			ns
Hold	$t_{LDH}$		10			ns
LDAC Width	$t_{LDAC}$		10			ns
SUPPLY CHARACTERISTICS						
Power Supply Range	$V_{DD}$		4.5		5.5	V
Positive Supply Current	$I_{DD}$	ロジック入力 = 0V			10	μA
Power Dissipation	$P_{DISS}$	ロジック入力 = 0V			0.055	mW
Power Supply Sensitivity	PSS	$\Delta V_{DD} = \pm 5\%$			0.006	%/%

パラメータ	記号	テスト条件/コメント	Min	Typ	Max	単位
AC CHARACTERISTICS <sup>4</sup>						
Output Voltage Setting Time	$t_s$	フルスケールの±0.1%まで、データ = ゼロ・スケールからフルスケールを経てゼロ・スケールまで		0.5		μs
Reference Multiplying Bandwidth <sup>5</sup>		$V_{REF} = 100\text{mV rms}$ 、データ = フルスケール、 $C1 = 5.6\text{pF}$		6.9		MHz
DAC Glitch Impulse	Q	$V_{REF} = 0\text{V}$ 、データ = ミッドスケール・マイナス1からミッドスケールまで		-2		nV-sec
Feedthrough Error	$V_{OUT}/V_{REF}$	データ = ゼロ・スケール、 $V_{REF} = 100\text{mV rms}$ 、 $f = 1\text{kHz}$ 、同チャンネル		-81		dB
Digital Feedthrough	Q	$\overline{CS} = \text{ロジック・ハイ}$ 、 $f_{CLK} = 1\text{MHz}$		7		nV-sec
Total Harmonic Distortion	THD	$V_{REF} = 5\text{Vp-p}$ 、データ = フルスケール、 $f = 1\text{kHz} \sim 10\text{kHz}$		-104		dB
Analog Crosstalk	$C_{TA}$	$V_{REFB} = 0\text{V}$ 、 $V_{REFA} = 5\text{Vp-p}$ のサイン波でDAC Bの電圧出力 ( $V_{OUTB}$ ) を測定、データ = フルスケール、 $f = 1\text{kHz} \sim 10\text{kHz}$		-95		dB
Output Spot Noise Voltage	$e_N$	$f = 1\text{kHz}$ 、帯域幅 = 1Hz		12		nV/√Hz

<sup>1</sup>  $I_{OUT}$ を除くすべての静的性能試験は、高精度 I/V コンバータ・アンプ **OP1177** を外付けして、クローズドループ・システムで行っています。AD5545-KGD の  $R_{FBX}$  パッドがアンプの出力に接続されています。代表値は、25°C での測定値の平均値です。

<sup>2</sup> これらのパラメータの値は設計上は確保していますが、出荷テストの対象外です。

<sup>3</sup> すべての入力制御信号は  $t_R = t_F = 2.5\text{ns}$  (3V の 10%~90%) で仕様規定し、1.5V の電圧レベルから時間を測定しています。

<sup>4</sup> すべての AC 特性試験は、I/V コンバータ・アンプ **AD8038** を使用し、また、THD の仕様については **AD8065** を使用して、クローズドループ・システムで行っています。{前頁の注を参照}

<sup>5</sup> C1 は、オプションの補償コンデンサです。詳細については、AD5545 データシートを参照してください。

## タイミング図

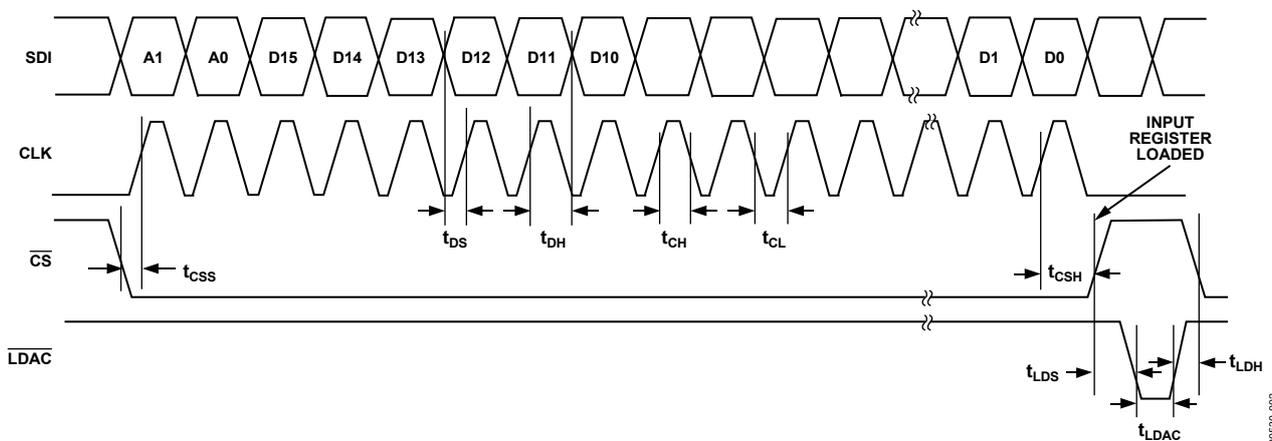


図 2.18 ビットのデータ・ワードのタイミング図

20530-002

## 絶対最大定格

表 2.

Parameter	Rating
V <sub>DD</sub> to GND	-0.3 V to +8 V
V <sub>REFX</sub> to GND	-18 V to +18 V
Logic Inputs to GND	-0.3 V to +8 V
V <sub>IOUTX</sub> <sup>1</sup> to GND	-0.3 V to V <sub>DD</sub> + 0.3 V
Input Current to Any Pin except Supplies	±50 mA
Maximum Junction Temperature (T <sub>J</sub> max)	150°C
Operating Temperature Range	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature Soldering	JEDEC industry standard J-STD-020

<sup>1</sup> V<sub>IOUTX</sub> は I<sub>OUTX</sub> ピンでの電圧です。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

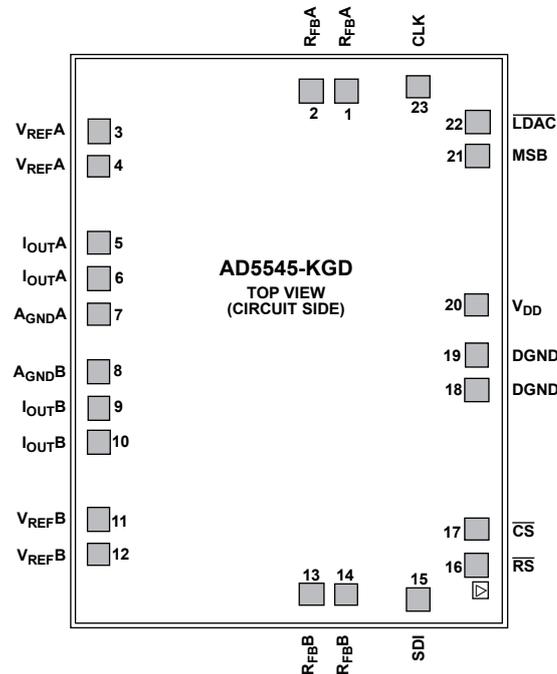


図 3. パッド構成

表 3. パッド機能の説明

パッド番号	X 軸 (μm)	Y 軸 (μm)	記号	説明
1	232	1003	R <sub>FB</sub> A	DAC A の帰還抵抗との接続部。このピンを外付けアンプの出力に接続することで、DAC A の電圧出力が確立されます。
2	92	1003	R <sub>FB</sub> A	DAC A の帰還抵抗との接続部。このピンを外付けアンプの出力に接続することで、DAC A の電圧出力が確立されます。
3	-745	702	V <sub>REF</sub> A	DAC A のリファレンス電圧用入力端子。V <sub>REF</sub> A によって DAC A のフルスケール出力電圧が確立されます。このピンは V <sub>DD</sub> ピンに接続できます。
4	-745	842	V <sub>REF</sub> A	DAC A のリファレンス電圧用入力端子。V <sub>REF</sub> A によって DAC A のフルスケール出力電圧が確立されます。このピンは V <sub>DD</sub> ピンに接続できます。
5	-745	257	I <sub>OUT</sub> A	DAC A の電流出力。
6	-745	397	I <sub>OUT</sub> A	DAC A の電流出力。
7	-745	115	A <sub>GND</sub> A	DAC A のアナログ・グラウンド。
8	-745	-115	A <sub>GND</sub> B	DAC B のアナログ・グラウンド。
9	-745	-397	I <sub>OUT</sub> B	DAC B の電流出力。
10	-745	-257	I <sub>OUT</sub> B	DAC B の電流出力。
11	-745	-702	V <sub>REF</sub> B	DAC B のリファレンス電圧用入力端子。V <sub>REF</sub> B によって DAC B のフルスケール出力電圧が確立されます。このピンは V <sub>DD</sub> ピンに接続できます。
12	-745	-842	V <sub>REF</sub> B	DAC B のリファレンス電圧用入力端子。V <sub>REF</sub> B によって DAC B のフルスケール出力電圧が確立されます。このピンは V <sub>DD</sub> ピンに接続できます。
13	232	-1003	R <sub>FB</sub> B	DAC B の帰還抵抗との接続部。このピンを外付けアンプの出力に接続することで、DAC B の電圧出力が確立されます。
14	92	-1003	R <sub>FB</sub> B	DAC B の帰還抵抗との接続部。このピンを外付けアンプの出力に接続することで、DAC B の電圧出力が確立されます。
15	513	-1022	SDI	シリアル・データ入力。入力データはシフト・レジスタに直接ロードされます。
16	745	-881	RS	リセット・ピン、アクティブ・ロー入力。入力レジスタおよび DAC レジスタは、オール 0 またはミッドスケールにセットされます。MSB = 0 の場合、レジスタ・データ = 0x0000。MSB = 1 の場合、レジスタ・データ = 0x8000。

パッド 番号	X軸 ( $\mu\text{m}$ )	Y軸 ( $\mu\text{m}$ )	記号	説明
17	745	-741	CS	チップ・セレクト、アクティブ・ロー入力。ハイの場合、 $\overline{\text{CS}}$ はシフト・レジスタをディスエーブルします。 $\overline{\text{CS}}$ または $\overline{\text{LDAC}}$ がハイを返す場合、AD5545-KGDは、シリアルレジスタ・データを入力レジスタに転送しますが、これは $\overline{\text{LDAC}}$ の動作には影響しません。
18	745	-46	DGND	デジタル・グラウンド・ピン。
19	745	-186	DGND	デジタル・グラウンド・ピン。
20	745	152	$V_{\text{DD}}$	正側電源入力。仕様規定された動作範囲は $5\text{V} \pm 10\%$ です。
21	745	741	MSB	ゼロ・スケールまたはミッドスケールの出力設定。リセット・パルス ( $\overline{\text{RS}}$ ) の間、またはシステム・パワーオン時、MSBの値に応じて出力は0またはミッドスケールにセットされます。すなわち、出力は、MSB=0の場合はゼロ・スケールに、MSB=1の場合はミッドスケールになります。また、MSBピンは、永続的にグラウンドまたは $V_{\text{DD}}$ に接続することもできます。
22	745	881	$\overline{\text{LDAC}}$	ロードDACレジスタ・ストロブ、レベル検出のアクティブ・ロー。 $\overline{\text{LDAC}}$ によって、すべての入力レジスタ・データがDACレジスタに転送されます。 $\overline{\text{LDAC}}$ は、非同期のアクティブ・ロー入力です。動作については、AD5545のデータシートを参照してください。
23	513	1022	CLK	クロック入力。立上がりエッジでデータがシフト・レジスタに入力されます。

外形寸法

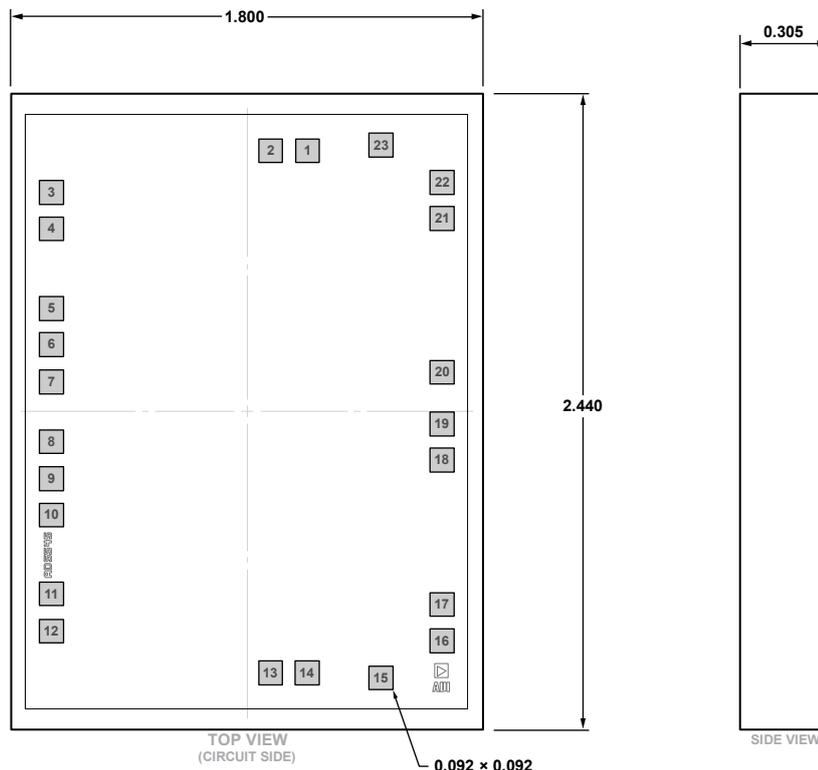


図 4. 23 パッド・ベア・ダイ [チップ]  
(C-23-2)  
寸法 : mm

ダイの仕様とアセンブリの推奨事項

表 4. ダイの仕様

Die Specifications Parameter	Value	Unit
Chip Size	1690 × 2280	μm
Scribe Line Width	110 × 160	μm
Die Size	1800 × 2440	μm
Thickness	305	μm
Backside	Backside adhesion/backside bias	Not applicable
Passivation	Polyimide	Not applicable
Thickness	18	μm
Bond Pads (Minimum)	92 × 92	μm
Bond Pad Composition	Aluminum silicon (AlSi) (1.0%), copper (Cu) (0.5%)	Not applicable

表 5. アセンブリの推奨事項

Assembly Component	Recommendation
Die Attach	Epoxy dispense
Bonding Method	Thermosonic gold ball bonding
Bonding Sequence	Bond Pad 1 (R <sub>FB</sub> A) first

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD5545-KGD-WP	-40°C to +85°C	23-Pad Bare Die [CHIP], Waffle Pack	C-23-2