

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2020年9月29日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2020年9月29日

製品名：AD5413

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：

47 ページ、STATUS レジスタの説明の項、説明最初の行

【誤】

STAUS レジスタ

【正】

STATUS レジスタ



HART 接続可能な シングルチャンネル、14 ビットの 電圧および電流出力 DAC

データシート

AD5413

特長

14 ビットの分解能と単調性
単一端子で使用可能な電圧および電流出力
電流出力範囲：0mA~24mA、
±0.3% FSR 総合未調整誤差（最大）
出力電圧範囲（トリム時の値）：±10.5V、±0.3% FSR TUE
出力電圧範囲（トリムなしのオーバーレンジ）：±12.6V
（+10V で 26% のオーバーレンジに相当）
オフセットとゲインをユーザ設定可能
内部リファレンス
診断機能を内蔵
温度範囲：-40°C~+105°C
32 ピン、5mm×5mm、LFCSP

アプリケーション

プロセス制御
アクチュエータ制御
チャンネル・アイソレーション・アナログ出力
プログラマブル・ロジック・コントローラ（PLC）および
分散型制御システム（DCS）アプリケーション
HART ネットワーク接続

概要

AD5413 はシングルチャンネル、14 ビットの電圧および電流出力 D/A コンバータ（DAC）で、最小-33V（AV_{SS} ピン）から最大+33V（AV_{DDI} ピン）までの電源範囲で動作します。また、C_{HART} ピンによって HART[®]（Highway Addressable Remote Transducer）信号を電流出力に AC カップリングすることができます。

AD5413 は、多機能の 4 線式シリアル・ペリフェラル・インターフェース（SPI）を採用しています。このインターフェースは最大 50MHz のクロック・レートで動作し、標準 SPI、QSPI[™]、MICROWIRE[™]、デジタル・シグナル・プロセッサ（DSP）、およびマイクロコントローラ・インターフェース標準と互換性があります。SPI インターフェースには、オプションの SPI 巡回冗長検査（CRC）を使用できます。AD5413 は、従来の同様の ADC から改善された診断機能を実装しています。

製品のハイライト

1. 14 ビット性能。
2. 内部リファレンス使用時で±0.3%の FSR 総合未調整誤差。
3. 同一のピンに電圧または電流を出力。
4. 豊富な診断機能。

関連製品

製品ファミリ：AD5758、AD5753、AD5423、AD5422
HART モデム：AD5700、AD5700-1
外部リファレンス電圧：ADR431、ADR3425、ADR4525
デジタル・アイソレータ：ADuM141D、ADuM142D
電源：ADP1031、ADP2360、ADM6339

目次

特長	1	アプリケーション情報	27
アプリケーション	1	電圧出力	27
概要	1	電流出力	27
製品のハイライト	1	HART 接続	27
関連製品	1	デバイス特性と診断機能	29
目次	2	スルー・レートのデジタル制御	29
改訂履歴	2	AD5413 のアドレス・ピン	29
機能ブロック図	3	SPI インターフェースと診断機能	29
仕様	4	オフセットとゲインのデジタル調整	30
AC 性能特性	7	DAC 出力の更新とデータ完全性の診断	31
タイミング特性	8	キー・コードの使用	31
絶対最大定格	11	ソフトウェア・リセット	32
熱抵抗	11	キャリブレーション・メモリの CRC	32
静電放電 (ESD) 定格	11	内部発振器の診断	32
ESD に関する注意	11	スティッキー診断結果ビット	32
ピン配置およびピン機能の説明	12	バックグラウンドでの電源および温度モニタリング	32
代表的な性能特性	14	出力故障	33
電圧出力	14	AD5413 のレジスタ	34
電流出力	17	レジスタへの書込み	34
リファレンス	21	レジスタからの読出し	34
一般特性	22	出力イネーブルを行う設定シーケンス	36
用語の定義	23	レジスタ・マップ	38
動作原理	25	レジスタの詳細	39
DAC アーキテクチャ	25	外形寸法	49
SPI	25	オーダー・ガイド	49
パワーオン・ステート	26		
電源に関する考慮事項	26		

改訂履歴

6/2020—Revision 0: Initial Version

機能ブロック図

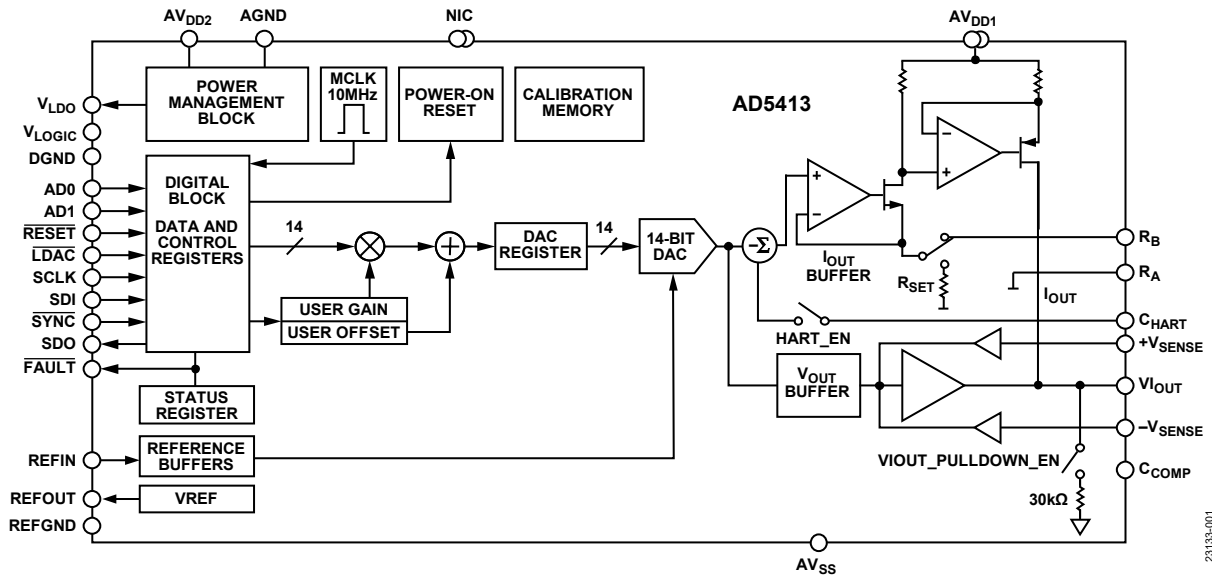


図 1.

仕様

$AV_{DD1} = +15V$ 、 $AV_{DD2} = +5V$ 、 $AV_{SS} = -15V$ 、 $V_{LOGIC} = +1.71V \sim +5.5V$ 、 $AGND = DGND = REF_{GND} = 0V$ 、 $REF_{IN} = +2.5V$ (外部)、電圧出力の負荷抵抗 (R_{LOAD}) = $1k\Omega$ および負荷コンデンサ (C_{LOAD}) = $220pF$ 、電流出力の $R_{LOAD} = 300\Omega$ 。特に指定のない限り、すべての仕様は $T_A = -40^\circ C \sim +105^\circ C$ 、ジャンクション温度 (T_J) $< 125^\circ C$ での値。

表 1.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
VOLTAGE OUTPUT					
Output Voltage (V_{OUT}) Range	-10.5		+10.5	V	絶対最小値と最大値ではなく使用可能な範囲を記載
	-12.6		+12.6	V	トリムした V_{OUT} 範囲 トリムなしのオーバーレンジ、10V で 26% のオーバーレンジに相当
Resolution	14			Bits	
VOLTAGE OUTPUT ACCURACY					
Total Unadjusted Error (TUE)	-0.1		+0.1	% full-scale range (FSR)	有負荷時および無負荷時、精度仕様は全 V_{OUT} 範囲が基準 $T_A = 25^\circ C$ $REF_{IN} = REF_{OUT}$ (内部リファレンス) 1000 時間後のドリフト、 $T_J = 150^\circ C$
	-0.03		+0.03	% FSR	
	-0.3		+0.3	% FSR	
TUE Long-Term Stability ¹		15		ppm FSR	
Output Drift		0.35	1.5	ppm FSR/ $^\circ C$	
Integral Nonlinearity (INL)	-0.012		+0.012	% FSR	
Differential Nonlinearity (DNL)	-1		+1	LSB	単調増加性を確保
Zero-Scale Error	-0.05		+0.05	% FSR	
Zero-Scale Error Temperature Coefficient (TC) ²		± 0.3		ppm FSR/ $^\circ C$	
Bipolar Zero Error	-0.05		+0.05	% FSR	
Bipolar Zero Error TC ²		± 0.4		ppm FSR/ $^\circ C$	
Offset Error	-0.05		+0.05	% FSR	
Offset Error TC ²		± 0.3		ppm FSR/ $^\circ C$	
Gain Error	-0.05		+0.05	% FSR	
Gain Error TC ²		± 0.6		ppm FSR/ $^\circ C$	
Full-Scale Error	-0.05		+0.05	% FSR	
Full-Scale Error TC ²		± 0.5		ppm FSR/ $^\circ C$	
VOLTAGE OUTPUT CHARACTERISTICS					
Headroom	2			V	$V_{I_{OUT}}$ 電源と AV_{DD1} 電源間で必要な最小電圧
Footroom	2			V	$V_{I_{OUT}}$ 電源と AV_{SS} 電源間で必要な最小電圧
Short-Circuit Current Load		16		mA	
Capacitive Load Stability ²			10	nF	仕様指定された性能の場合 220pF の外部補償コンデンサを接続
			2	μF	
DC Output Impedance		7		m Ω	
DC Power Supply Rejection Ratio (PSRR)		10		$\mu V/V$	
V_{OUT} and $-V_{SENSE}$ Common-Mode Rejection Ratio (CMRR)		10		$\mu V/V$	$-V_{SENSE}$ の変化による V_{OUT} の誤差
CURRENT OUTPUT (I_{OUT})					
Current Output Ranges	0		24	mA	
Resolution	14			Bits	

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
CURRENT OUTPUT ACCURACY (EXTERNAL CURRENT SETTING RESISTOR (R_{SET}))³					
TUE	-0.1		+0.1	% FSR	13.7kΩ の理想抵抗を想定 T _A = 25°C REFIN = REFOUT (内部リファレンス) 1000 時間後のドリフト、T _J = 150°C 単調増加性を確保
	-0.03		+0.03	% FSR	
	-0.3		+0.3	% FSR	
TUE Long-Term Stability ¹		125		ppm FSR	
Output Drift		2	5	ppm FSR/°C	
INL	-0.012		+0.012	% FSR	
DNL	-1		+1	LSB	
Zero-Scale Error	-0.05		+0.05	% FSR	
Zero-Scale TC ²		±0.5		ppm FSR/°C	
Offset Error	-0.05		+0.05	% FSR	
Offset Error TC ²		±0.7		ppm FSR/°C	
Gain Error	-0.05		+0.05	% FSR	
Gain Error TC ²		±0.3		ppm FSR/°C	
Full-Scale Error	-0.05		+0.05	% FSR	
Full-Scale Error TC ²		±0.3		ppm FSR/°C	
CURRENT OUTPUT ACCURACY (INTERNAL R_{SET})³					
TUE	-0.2		+0.2	% FSR	REFIN = REFOUT (内部リファレンス) 1000 時間後のドリフト、T _J = 150°C 出力ドリフト 単調増加性を確保
	-0.37		+0.37	% FSR	
TUE Long-Term Stability ¹		380		ppm FSR	
Output Drift		3	6	ppm FSR/°C	
INL	-0.012		+0.012	% FSR	
DNL	-1		+1	LSB	
Zero-Scale Error	-0.05		+0.05	% FSR	
Zero-Scale TC ²		±0.5		ppm FSR/°C	
Offset Error	-0.05		+0.05	% FSR	
Offset Error TC ²		±1		ppm FSR/°C	
Gain Error	-0.2		+0.2	% FSR	
Gain Error TC ²		±3		ppm FSR/°C	
Full-Scale Error	-0.2		+0.2	% FSR	
Full-Scale Error TC ²		±3		ppm FSR/°C	
CURRENT OUTPUT CHARACTERISTICS					
Headroom	2.3			V	V _{IOUT} 電源と AV _{DDI} 電源間で必要な最小電圧 V _{IOUT} 電源と AV _{SS} 電源間で必要な最小電圧 電流出力は 1kΩ の最大負荷で特性評価、ヘッドルーム・コンプライアンス値を超えないこと ミッドスケール出力
Footroom	0			V	
Resistive Load ²			1000	Ω	
Output Impedance		100		MΩ	
DC PSRR		0.1		μA/V	
REFERENCE INPUT/OUTPUT					
Reference Input					
Reference Input Voltage ⁴		2.5		V	仕様指定された性能の場合
DC Input Impedance	55	120		MΩ	
Reference Output					
Output Voltage	2.495	2.5	2.505	V	T _A = 25°C (T _J = 150°C で 1000 時間経過した後のドリフトを含む) 0.1Hz~10Hz 時。 10kHz 時
Reference TC ²	-12		+12	ppm/°C	
Output Noise ²		7		μV p-p	
Noise Spectral Density ²		80		nV/√Hz	

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
Capacitive Load ²			1000	nF	
Load Current		3		mA	
Short-Circuit Current		5		mA	
Line Regulation		1		ppm/V	
Load Regulation		80		ppm/mA	
Thermal Hysteresis ²		150		ppm	
V_{LDO} PIN OUTPUT					
Output Voltage		3.3		V	
Output Voltage TC ²		25		ppm/°C	
Output Voltage Accuracy	-2		+2	%	
Externally Available Current			30	mA	
Short-Circuit Current		55		mA	
Load Regulation		0.8		mV/mA	
Capacitive Load		0.1		μF	推奨動作
DIGITAL INPUTS					
Input Voltage					
3 V ≤ V _{LOGIC} ≤ 5.5 V					
High (V _{IH})	0.7 × V _{LOGIC}			V	
Low (V _{IL})			0.3 × V _{LOGIC}	V	
1.71 V ≤ V _{LOGIC} < 3 V					
V _{IH}	0.8 × V _{LOGIC}			V	
V _{IL}			0.2 × V _{LOGIC}	V	
Input Current	-1.5		+1.5	μA	SCLK、SDI、 <u>RESET</u> 、 <u>LDAC</u> はピンごとにプルダウン抵抗を内蔵。 <u>SYNC</u> はプルアップ抵抗を内蔵
Pin Capacitance ²		2.4		pF	ピンごと
DIGITAL OUTPUTS					
SDO					
Output Voltage					
Low (V _{OL})			0.4	V	シンク電流 = 200μA
High (V _{OH})	V _{LOGIC} - 0.2			V	ソース電流 = 200μA
High Impedance Leakage Current	-1		+1	μA	
High Impedance Output Capacitance ²		2.2		pF	
FAULT					
Output Voltage					
V _{OL}		0.6	0.4	V	V _{LOGIC} への 10kΩ プルアップ抵抗 2.5mA 時
V _{OH}	V _{LOGIC} - 0.05			V	V _{LOGIC} への 10kΩ プルアップ抵抗
POWER REQUIREMENTS					
Supply Voltages					
AV _{DD1}	7		33	V	AV _{DD1} ~ AV _{SS} = 50V の最大動作範囲
AV _{DD2}	4.5		33	V	AV _{DD2} ~ AV _{SS} = 50V の最大動作範囲
AV _{SS}	-33		0	V	AV _{DD1} ~ AV _{SS} = 50V の最大動作範囲
V _{LOGIC}	1.71		5.5	V	
Supply Quiescent Currents⁵					
AI _{DD1} ⁶		1.0		mA	静止電流 (負荷電流はないものと仮定)
		0.8		mA	電圧出力モード 電流出力モード (ユニポーラ)

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
AI_{DD2} ⁶		3.3		mA	電圧出力モード
		2.9		mA	電流出力モード
AI_{SS} ⁶		-1.1		mA	電圧出力モード
		-0.23		mA	電流出力モード (ユニポーラ)
Current Drawn from V_{LOGIC} Supply (I_{LOGIC})			0.01	mA	V_{IH} は V_{LOGIC} ピンの電圧、 $V_{IL} = DGND$
Power Dissipation		108		mW	理想電源を使用して外部負荷による消費電力を除外すると仮定した場合の消費電力 $AV_{DD1} = 24V$ 、 $AV_{DD2} = 5V$ 、 $AV_{SS} = -15V$ 、 $R_{LOAD} = 1k\Omega$ 、 $I_{OUT} = 20mA$
		505		mW	$AV_{DD1} = 24V$ 、 $AV_{DD2} = 5V$ 、 $AV_{SS} = -15V$ 、 $R_{LOAD} = 0\Omega$ 、 $I_{OUT} = 20mA$
		155		mW	$AV_{DD1} = AV_{DD2} = 24V$ 、 $AV_{SS} = -15V$ 、 $R_{LOAD} = 1k\Omega$ 、 $I_{OUT} = 20mA$
		550		mW	$AV_{DD1} = AV_{DD2} = 24V$ 、 $AV_{SS} = -15V$ 、 $R_{LOAD} = 0\Omega$ 、 $I_{OUT} = 20mA$

¹ 長期安定性の仕様は非累積的です。後続の 1000 時間にわたるドリフトは、最初の 1000 時間よりも大幅に小さくなります。

² 設計および特性評価により確保。出荷テストの対象外です。

³ 内蔵および外付け R_{SET} 抵抗の詳細については、電流出力のセクションを参照してください。

⁴ AD5413 は、出荷時に外部 2.5V リファレンスを REFIN に接続して補正されています。

⁵ 製品は $AV_{DD1} = 30V$ 、 $AV_{SS} = -20V$ でテストされています。

⁶ AI_{DD1} 、 AI_{DD2} 、 AI_{SS} は、それぞれ AV_{DD1} 電源、 AV_{DD2} 電源、 AV_{SS} 電源の電流です。

AC 性能特性

$AV_{DD1} = +15V$ 、 $AV_{DD2} = +5V$ 、 $AV_{SS} = -15V$ 、 $V_{LOGIC} = +1.71V \sim +5.5V$ 、 $AGND = DGND = REFGND = 0V$ 、 $REFIN = +2.5V$ (外部)、電圧出力の $R_{LOAD} = 1k\Omega$ および $C_{LOAD} = 220pF$ 、電流出力の $R_{LOAD} = 300\Omega$ 。特に指定のない限り、すべての仕様は $T_A = -40^\circ C \sim +105^\circ C$ 、 $T_J < 125^\circ C$ での値。

表 2.

パラメータ ¹	Min	Typ	Max	単位	テスト条件/コメント
DYNAMIC PERFORMANCE					
Voltage Output					
Output Voltage Settling Time		12	20	μs	$\pm 0.03\%$ FSR まで 10V ステップ
			15	μs	1LSB (14 ビット LSB) まで 100mV ステップ
Slew Rate		3		V/ μs	スルー・レートのデジタル制御をディスエーブル
Power-On Glitch Energy		25		nV-sec	
Digital-to-Analog Glitch Energy		7		nV-sec	
Glitch Impulse Peak Amplitude		25		mV	
Digital Feedthrough		2		nV-sec	
Output Noise		0.2		LSB p-p	14 ビット LSB、帯域幅 0.1Hz~10Hz
Output Noise Spectral Density		185		nV/ \sqrt{Hz}	10kHz、ミッドスケール出力で測定
AC PSRR		70		dB	200mV、50Hz~60Hz のサイン波を電源電圧に重畳
Current Output					
Output Current Settling Time		15		μs	0.1% FSR まで
Output Noise		0.2		LSB p-p	14 ビット LSB、帯域幅 0.1Hz~10Hz
Output Noise Spectral Density		0.8		nA/ \sqrt{Hz}	10kHz、ミッドスケール出力で測定
AC PSRR		80		dB	200mV、50Hz~60Hz のサイン波を電源電圧に重畳

¹ 設計および特性評価により確保。出荷テストの対象外です。

タイミング特性

AV_{DD1} = +15V、AV_{DD2} = +5V、AV_{SS} = -15V、V_{LOGIC} = +1.71V~+5.5V、AGND = DGND = REFGND = 0V、REFIN = +2.5V（外部）、電圧出力の R_{LOAD} = 1kΩ および C_{LOAD} = 220pF、電流出力の R_{LOAD} = 300Ω。特に指定のない限り、すべての仕様は T_A = -40°C~+105°C、T_J < 125°C での値。

表 3.

パラメータ ^{1、2、3}	1.71V ≤ V _{LOGIC} < 3V	3V ≤ V _{LOGIC} ≤ 5.5V	単位	テスト条件/コメント
t ₁	33	20	ns minimum	SCLK サイクル時間、書込み動作
	120	66	ns minimum	SCLK サイクル時間、読出し動作
t ₂	16	10	ns minimum	SCLK ハイ時間、書込み動作
	60	33	ns minimum	SCLK ハイ時間、読出し動作
t ₃	16	10	ns minimum	SCLK ロー時間、書込み動作
	60	33	ns minimum	SCLK ロー時間、読出し動作
t ₄	10	10	ns minimum	SYNCの立下がりエッジから SCLK 立下がりエッジまでのセットアップ時間、書込み動作
	33	33	ns minimum	SYNCの立下がりエッジから SCLK 立下がりエッジまでのセットアップ時間、読出し動作
t ₅	10	10	ns minimum	24 番目または 32 番目の SCLK 立下がりエッジから SYNCの立上がりエッジまで
t ₆	500	500	ns minimum	SYNCハイ時間（この表に示すもの以外のすべてのレジスタ書込みに適用）
	1.5	1.5	μs minimum	SYNCハイ時間（DAC_INPUT レジスタ書込み）
	500	500	μs minimum	SYNCハイ時間（DAC_CONFIG レジスタ書込み、RANGE ビット（ビット [3:0]）が変化。詳しいタイミング情報については キャリブレーション・メモリの CRC のセクションを参照）。
t ₇	5	5	ns minimum	データ・セットアップ時間
t ₈	6	6	ns minimum	データ・ホールド時間
t ₉	750	750	ns minimum	LDACの立下がりエッジから SYNCの立上がりエッジまで
t ₁₀	1.5	1.5	μs minimum	SYNCの立上がりエッジから LDACの立が下りエッジまで
t ₁₁	250	250	ns minimum	LDACパルス幅、ロー
t ₁₂	600	600	ns maximum	LDACの立下がりエッジから DAC 出力応答までの時間、デジタル・スルー・レート制御をディスエーブル
	2	2	μs maximum	LDACの立下がりエッジから DAC 出力応答までの時間、デジタル・スルー・レート制御をイネーブル
t ₁₃	AC 性能特性のセクションを参照	AC 性能特性のセクションを参照	μs maximum	DAC 出力セトリング時間
t ₁₄	1.5	1.5	μs maximum	SYNCの立上がりエッジから DAC 出力応答までの時間（LDAC = 0）
t ₁₅	5	5	μs minimum	RESETパルス幅、ロー
t ₁₆	40	28	ns maximum	SCLK の立上がりエッジから SDO が有効になるまで
t ₁₇	100	100	μs minimum	SYNC立下がりエッジ後の RESET立上がりエッジから最初の SCLK 立下がりエッジまで

¹ 設計および特性評価により確保。出荷テストの対象外です。

² すべての入力信号は、立上がり時間 (t_r) = 立下がり時間 (t_f) = 5ns (V_{LOGIC} の 10%~90%) で仕様規定し、1.2V の電圧レベルから時間を測定しています。

³ 図 2~図 5 を参照。

タイミング図

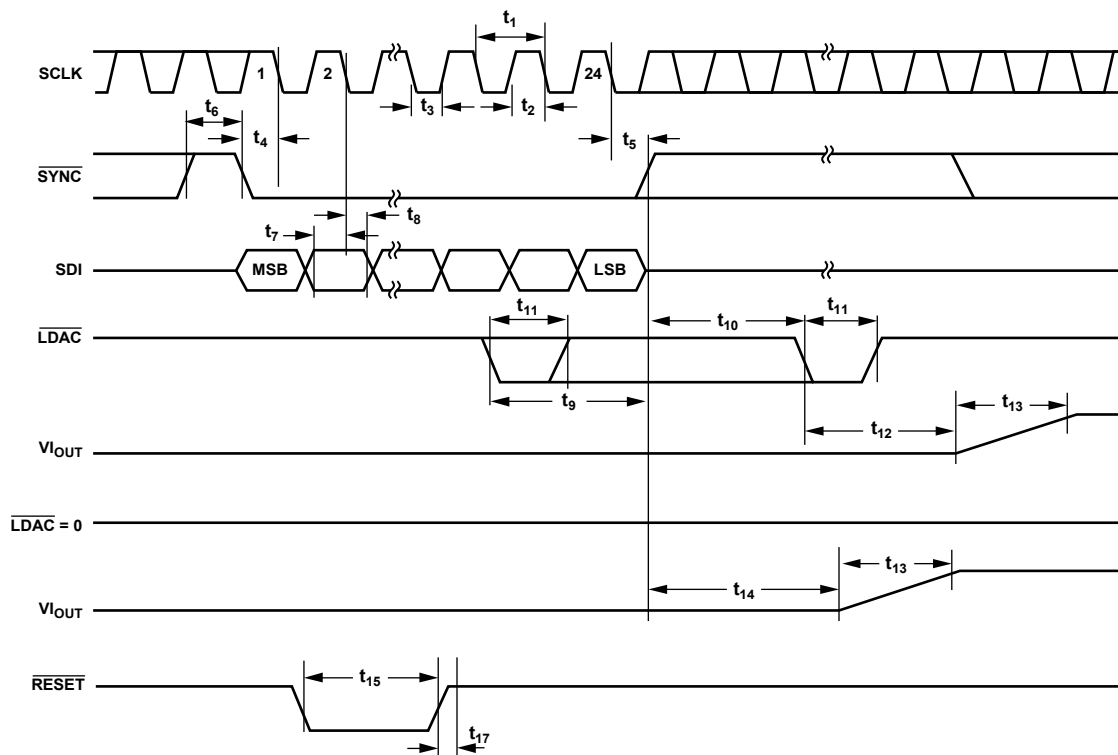


図 2. SPI タイミング図

23133-002

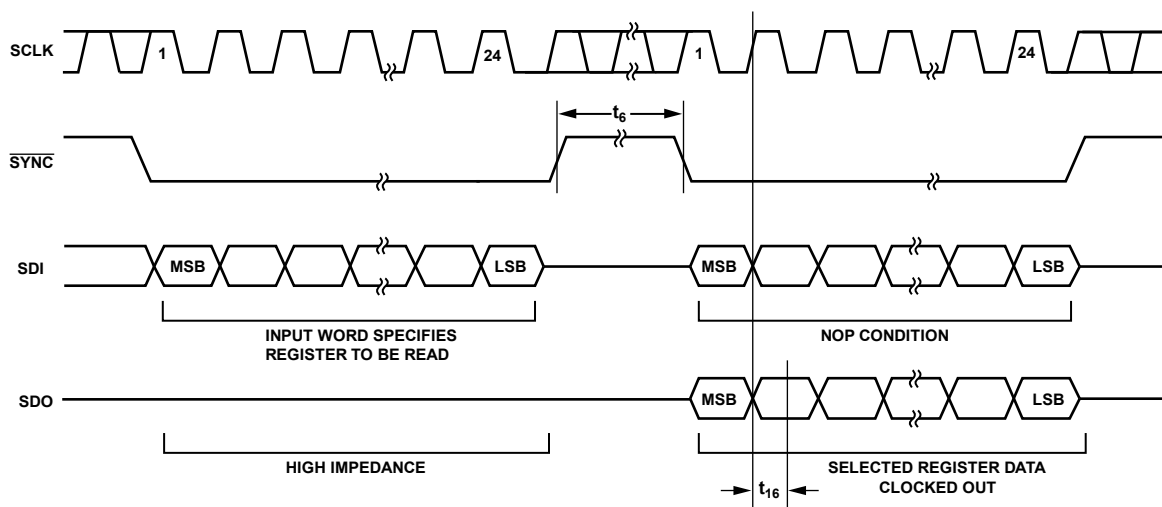
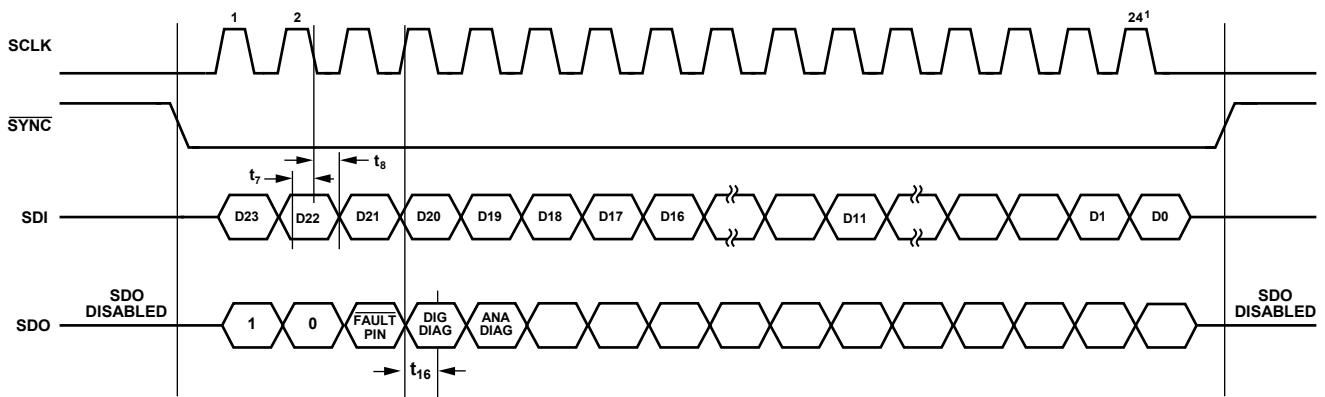


図 3. リードバックのタイミング図

23133-003



¹IF ANY EXTRA FALLING EDGES ARE RECEIVED AFTER THE 24TH (OR 32ND, IF CRC IS ENABLED) SCLK, BEFORE SYNC RETURNS HIGH, SDO CLOCKS OUT 0.

図 4. 自動ステータス・リードバックのタイミング図

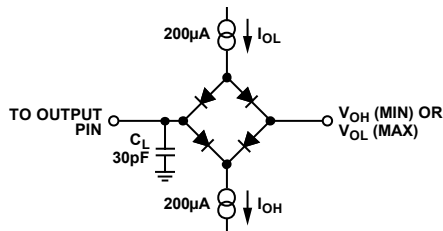


図 5. SDO タイミング図の負荷回路

23133-004

23133-005

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。最大 $\pm 150\text{mA}$ までの過渡電流ではSCRラッチアップは生じません。

表 4.

Parameter	Rating
AV_{DD1} to AGND, DGND	$-0.3\text{ V to }+45\text{ V}$
AV_{SS} to AGND, DGND	$-45\text{ V to }+0.3\text{ V}$
AV_{DD1} to AV_{SS}	$-0.3\text{ V to }+55\text{ V}$
AV_{DD2} to AGND, DGND	$-0.3\text{ V to }+45\text{ V}$
AV_{DD2} to AV_{SS}	$-0.3\text{ V to }+55\text{ V}$
V_{LOGIC} to DGND	$-0.3\text{ V to }+6\text{ V}$
Digital Inputs ¹ to DGND	$-0.3\text{ V to }V_{LOGIC} + 0.3\text{ V or }+6\text{ V}$ (whichever voltage is less)
Digital Outputs ² to DGND	$-0.3\text{ V to }V_{LOGIC} + 0.3\text{ V or }+6\text{ V}$ (whichever voltage is less)
REFIN, REFOUT, V_{LDO} , C_{HART} to AGND	$-0.3\text{ V to }AV_{DD2} + 0.3\text{ V or }+6\text{ V}$ (whichever voltage is less)
R_A to AGND	$-0.3\text{ V to }+4.5\text{ V}$
R_B to AGND	$-0.3\text{ V to }+4.5\text{ V}$
V_{IOUT} to AGND	$AV_{SS} - 0.3\text{ V or }-45\text{ V}$ (whichever voltage is greater) to $AV_{DD1} + 0.3\text{ V or }+45\text{ V}$ (whichever voltage is less)
$+V_{SENSE}$ to AGND	$\pm 40\text{ V}$
$-V_{SENSE}$ to AGND	$\pm 40\text{ V}$
C_{COMP} to AGND	$AV_{SS} - 0.3\text{ V to }AV_{DD1} + 0.3\text{ V}$
AGND, DGND to REFGND	$-0.3\text{ V to }+0.3\text{ V}$
Industrial T_A ³	$-40^\circ\text{C to }+105^\circ\text{C}$
Storage Temperature Range	$-65^\circ\text{C to }+150^\circ\text{C}$
T_J Maximum	125°C
Power Dissipation	$(T_J \text{ maximum} - T_A)/\theta_{JA}$
Lead Temperature	JEDEC industry standard
Soldering	J-STD-020

¹ デジタル入力は SCLK、SDI、 $\overline{\text{SYNC}}$ 、AD0、AD1、 $\overline{\text{RESET}}$ 、 $\overline{\text{LDAC}}$ です。

² デジタル出力は FAULTと SDOです。

³ チップ内の消費電力を抑えて、ジャンクション温度を 125°C 以下に維持する必要があります。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意が必要です。 θ_{JA} は接合部から周囲への熱抵抗値、 θ_{JT} は接合部からパッケージ上面への熱抵抗値です。

表 5. 熱抵抗

Package Type	θ_{JA}	Ψ_{JT}	Unit
CP-32-12 ¹	41.43	0.29	$^\circ\text{C/W}$

¹ 熱抵抗のシミュレーション値は、サーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD-51 を参照してください。

静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 による人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 による帯電デバイス・モデル (FICDM)。

ANSI/ESD STM5.2 によるマシン・モデル (MM)。MM 電圧値は特性評価のみに使われます。

AD5413 の ESD 定格

表 6. AD5413、32 ピン LFCSP

ESD Model	Withstand Threshold (V)	Class
HBM	± 3000	2
FICDM	± 750	2B
MM	± 200	B

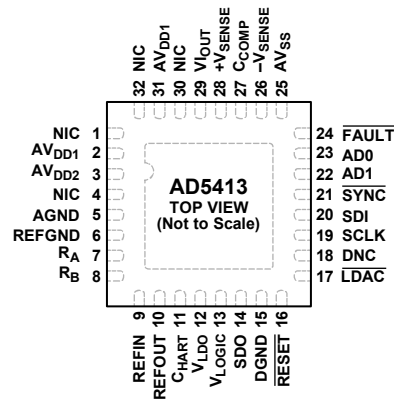
ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



- NOTES
1. NIC = NO INTERNAL CONNECTION.
 2. DNC = DO NOT CONNECT.
 3. EXPOSED PAD. EITHER CONNECT THE EXPOSED PAD TO THE POTENTIAL OF THE AVSS PIN, OR LEAVE THE EXPOSED PAD ELECTRICALLY UNCONNECTED. FOR ENHANCED THERMAL PERFORMANCE, THERMALLY CONNECT THE EXPOSED PAD TO A COPPER PLANE.

23133-006

図 6. ピン配置

表 7. ピン機能の説明

ピン番号	記号	説明
1, 4, 30, 32	NIC	内部接続なし。
2, 31	AV _{DD1}	正のアナログ電源。これらのピンの電圧範囲は 7V~33V です。
3	AV _{DD2}	正の低電圧アナログ電源。このピンの電圧範囲は 4.5V~33V です。
5	AGND	アナログ回路に対するグラウンド基準ポイント。このピンは 0V に接続します。
6	REFGND	内部リファレンスに対するグラウンド基準ポイント。このピンは 0V に接続します。
7	R _A	電流設定外付け抵抗。I _{OUT} の温度ドリフト性能を改善するために、R _A と R _B の間に高精度で低ドリフトの 13.7kΩ 電流設定抵抗を外付けします。
8	R _B	電流設定外付け抵抗。I _{OUT} の温度ドリフト性能を改善するために、R _A と R _B の間に高精度で低ドリフトの 13.7kΩ 電流設定抵抗を外付けします。
9	REFIN	外部リファレンス電圧入力。
10	REFOUT	内部 2.5V リファレンス電圧出力。内部リファレンスを使用するには、REFOUT を REFIN に接続します。REFOUT と REFGND の間にコンデンサを接続することは推奨しません。
11	C _{HART}	HART 入力接続。HART 信号は C _{HART} に AC カップリングします。HART プロトコルを使用しない場合は、このピンを未接続のままにしてください。デフォルトでは、このピンは HART 加算ノードには接続されておらず、GP_CONFIG1 レジスタの HART_EN ビットを介して接続することができます。
12	V _{LDO}	3.3V 低ドロップアウト (LDO) 出力電圧。V _{LDO} は 0.1μF のコンデンサを使って AGND にデカップリングします。
13	V _{LOGIC}	デジタル電源。V _{LOGIC} の電圧範囲は 1.71V~5.5V です。V _{LOGIC} は 0.1μF のコンデンサを使って DGND にデカップリングします。
14	SDO	シリアル・データ出力。SDO は、リードバック・モードでシリアル・レジスタからデータをクロック出力します。リードバック・モードでの SCLK の最大速度は 15MHz で、これは V _{LOGIC} 電圧によって異なります。
15	DGND	デジタル・グラウンド。
16	RESET	ハードウェア・リセット。アクティブ・ローの入力。
17	LDAC	ロード DAC、アクティブ・ロー入力。LDACは DAC_OUTPUT レジスタと DAC 出力を更新します。SYNCの立上がりエッジ前の 500ns または SYNCの立上がりエッジ後 1.5μs までのウィンドウ内では、LDACをアサートしないでください。
18	DNC	接続なし。
19	SCLK	シリアル・クロック入力。データは、SCLK の立上がりエッジで入力シフト・レジスタにクロック入力されます。書込みモードでは、このピンは最大 50MHz のクロック速度で動作します。クロック速度は V _{LOGIC} 電圧により異なります。読み出しモードでの最大 SCLK 速度は 20 MHz で、この速度は V _{LOGIC} 電圧により異なります。
20	SDI	シリアル・データ入力。データは、SCLK の立上がりエッジで有効である必要があります。
21	SYNC	シリアル・インターフェースのフレーム同期化信号。アクティブ・ローの入力。SYNCがローの間、データは SCLK の立上がりエッジでデバイスに転送されます。
22	AD1	ボード上の AD5413 のアドレス・デコード 1。
23	AD0	ボード上の AD5413 のアドレス・デコード 0。

ピン番号	記号	説明
24	FAULT	故障ピン。アクティブ・ロー、疑似オープンドレイン出力。FAULTは、故障状態が検出されていない場合は高インピーダンスで、電流モードでのオープン・サーキット、電圧モードでの短絡、CRCエラー、または過熱エラーなどを含む一定の故障状態が検出されるとローにアサートされます。FAULTは10k Ω のプルアップ抵抗を使ってV _{LOGIC} に接続します。
25	AV _{SS}	負のアナログ電源。このピンの電圧範囲は0V～-33Vです。0Vとした場合は電流出力モードだけがサポートされません。
26	-V _{SENSE}	V _{OUT} モードにおける負電圧出力負荷接続用のセンス接続。仕様規定された動作を確保するには、-V _{SENSE} をAGNDの±10V以内に保つ必要があります。1k Ω の抵抗を-V _{SENSE} に直列に接続してください。リモート・センシングを使用しない場合は、1k Ω の直列抵抗を介して-V _{SENSE} をAGNDに短絡します。
27	C _{COMP}	V _{OUT} バッファ用の補償コンデンサ接続（オプション）。C _{COMP} とV _{IOUT} の間に220pFのコンデンサを接続すると、電圧出力は2 μ Fまで駆動できます。このコンデンサを追加すると、出力アンプの帯域幅が減少してセトリング時間が長くなります。
28	+V _{SENSE}	V _{OUT} モードにおける正電圧出力負荷接続用のセンス接続。リモート・センシングを使用しない場合は、1k Ω の直列抵抗を介して+V _{SENSE} をV _{IOUT} に短絡します。
29	V _{IOUT} EPAD	電圧または電流出力ピン。V _{IOUT} は共有ピンで、バッファリングした電圧または電流を出力します。 露出パッド。露出パッドはAV _{SS} ピンの電位に接続するか、電氣的に未接続のままにします。熱性能を改善するには、露出パッドと銅プレーンを熱的に接続します。

代表的な性能特性

電圧出力

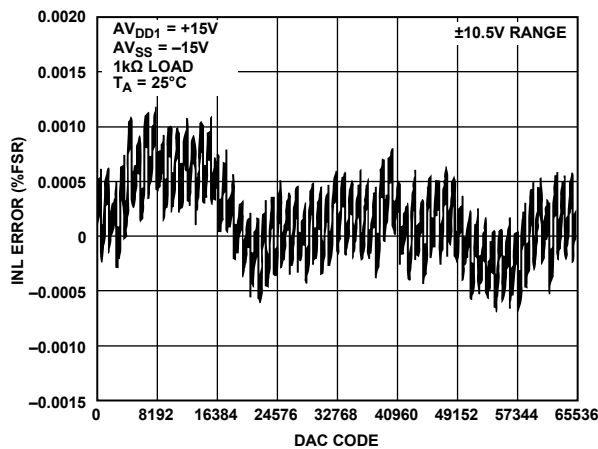


図 7. INL 誤差と DAC コードの関係

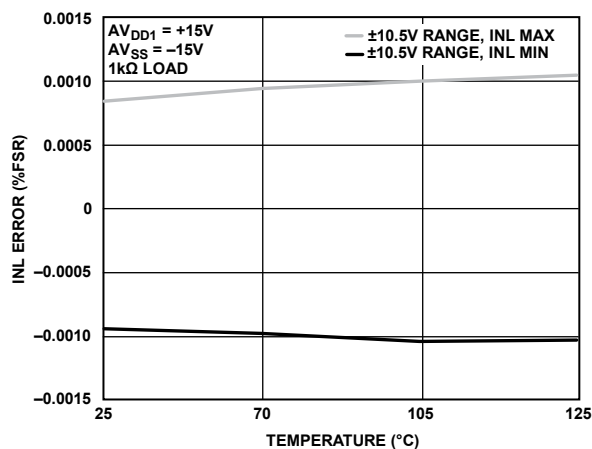


図 10. INL 誤差の温度特性

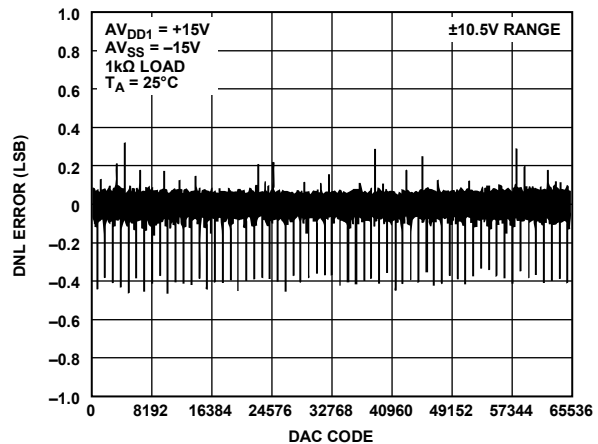


図 8. DNL 誤差と DAC コードの関係

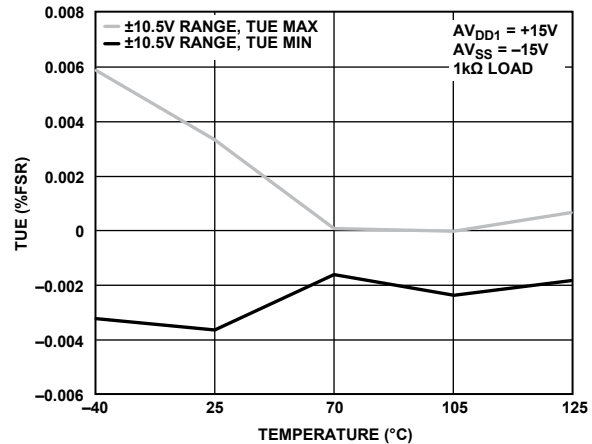


図 11. 総合未調整誤差の温度特性

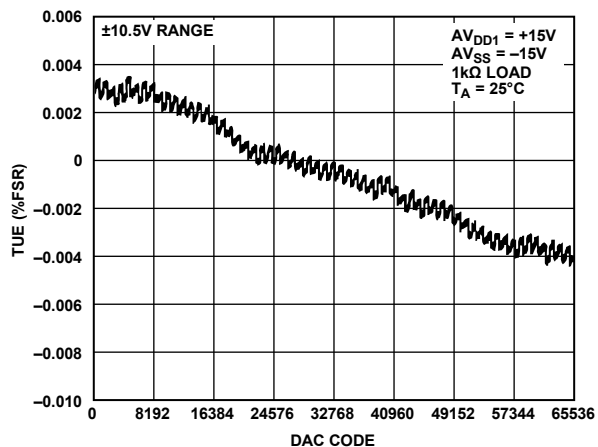


図 9. 総合未調整誤差と DAC コードの関係

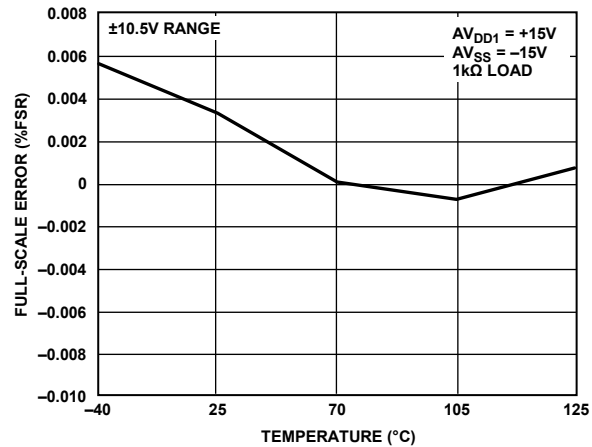


図 12. フルスケール誤差の温度特性

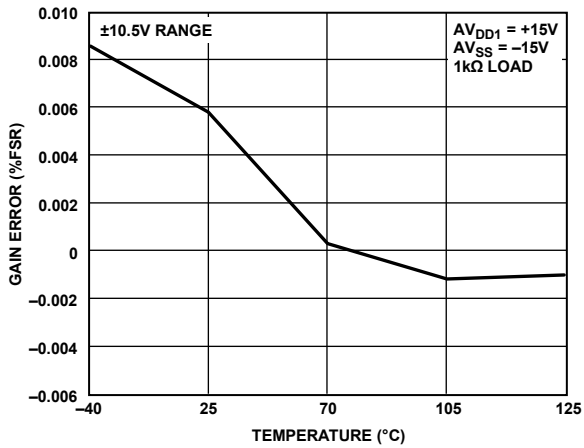


図 13. ゲイン誤差の温度特性

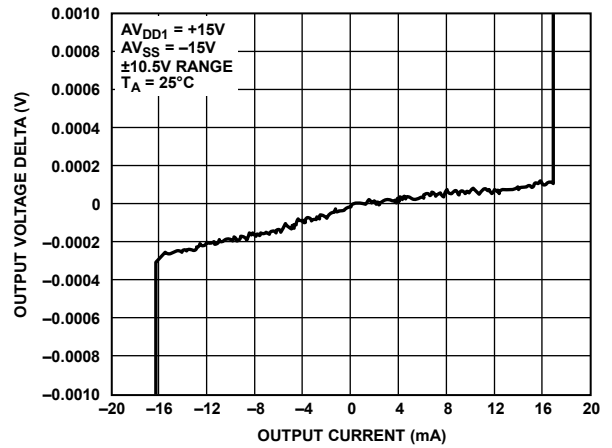


図 16. 出力アンプのシンク能力とソース能力

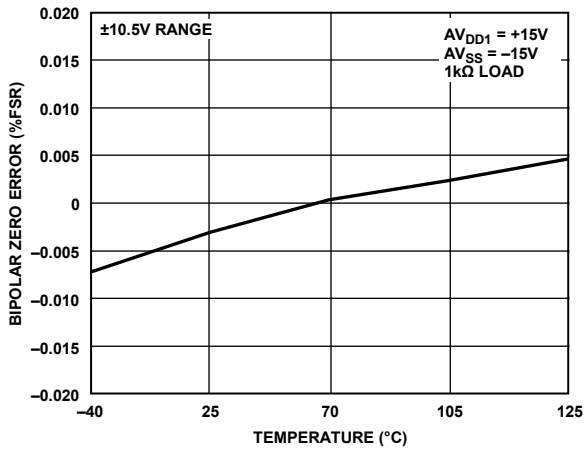


図 14. バイポーラ・ゼロ誤差の温度特性

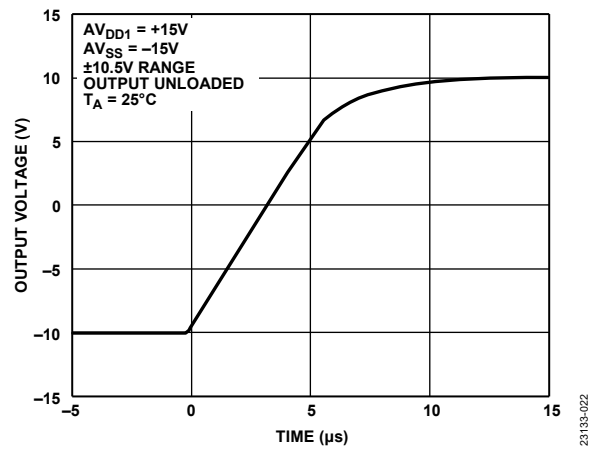


図 17. 正のフルスケール・ステップ

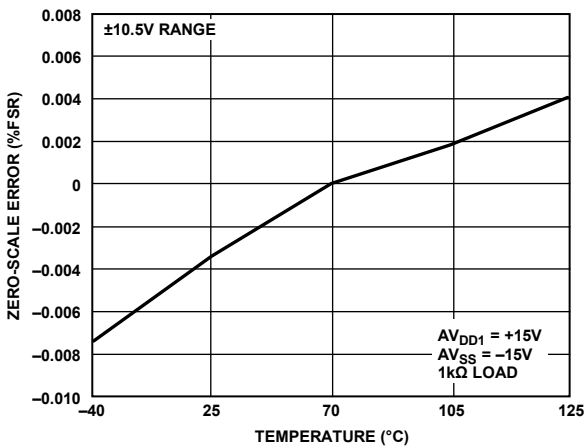


図 15. ゼロスケール誤差の温度特性

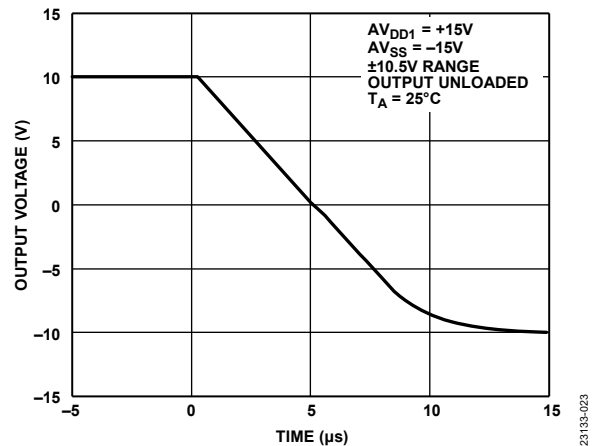


図 18. 負のフルスケール・ステップ

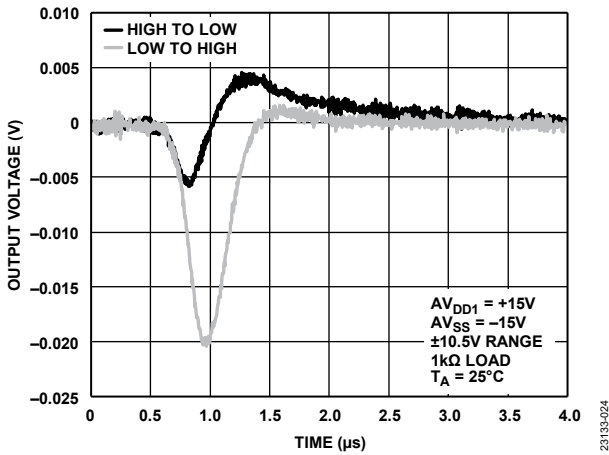


図 19. デジタル/アナログ・グリッチのメジャー・コード遷移

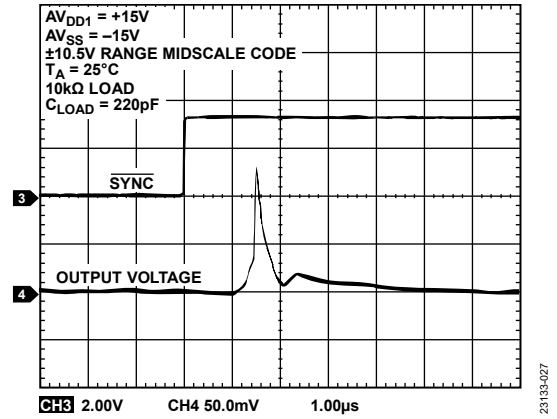


図 22. 出力イネーブル時の SYNC および出力電圧の時間変化

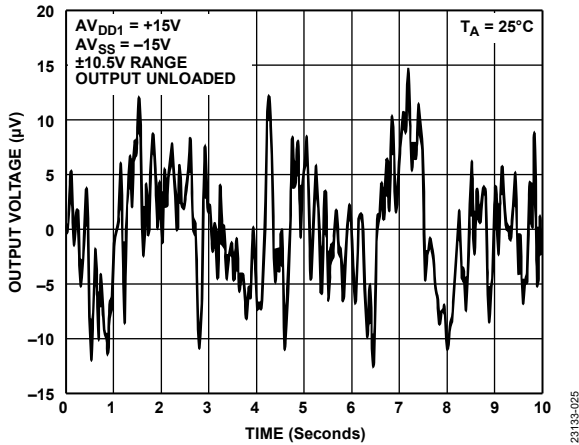


図 20. ピーク to ピーク・ノイズ (0.1Hz~10Hz の帯域幅)

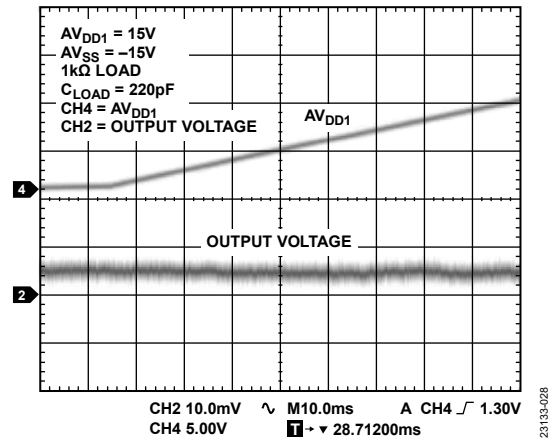


図 23. パワーアップ時の出力電圧の時間変化

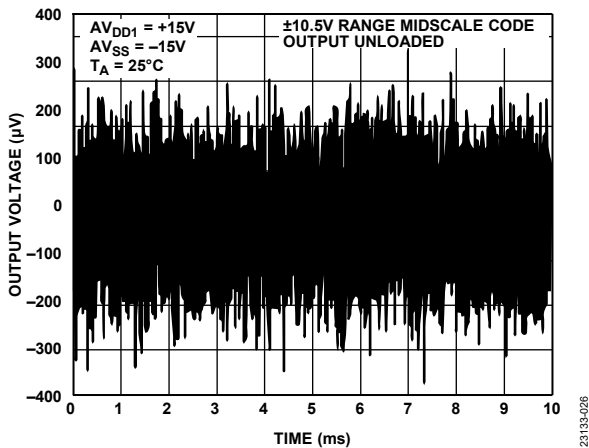


図 21. ピーク to ピーク・ノイズ (100kHz の帯域幅)

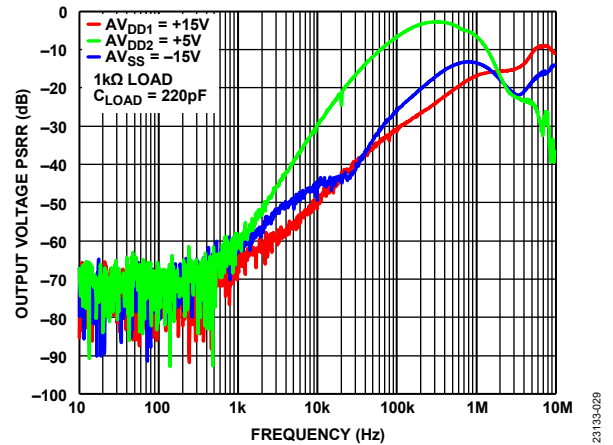


図 24. 出力電圧 PSRR の周波数特性

電流出力

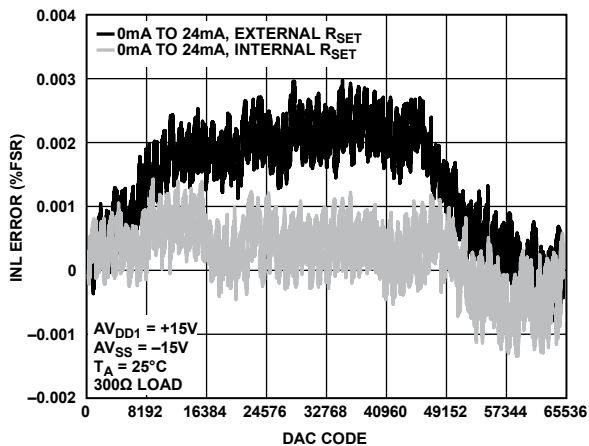


図 25. INL 誤差と DAC コードの関係

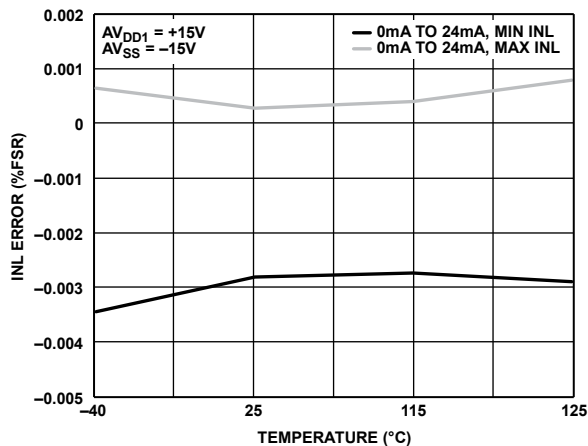


図 28. INL 誤差の温度特性、内蔵 RSET

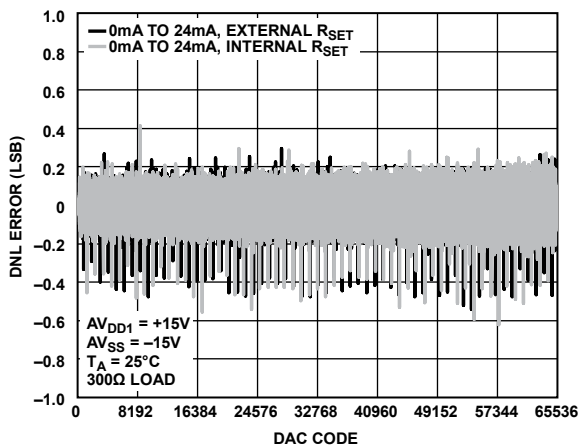


図 26. DNL 誤差と DAC コードの関係

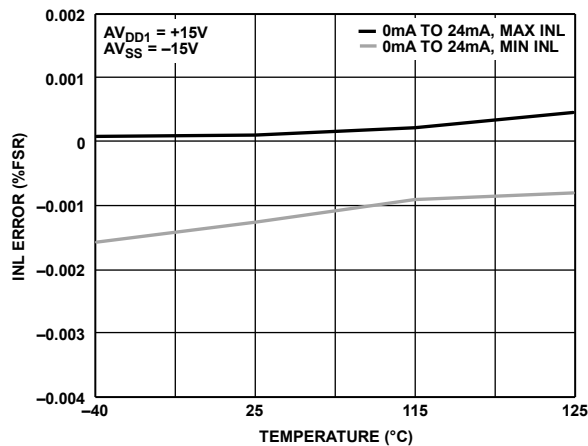


図 29. INL 誤差の温度特性、外付け RSET

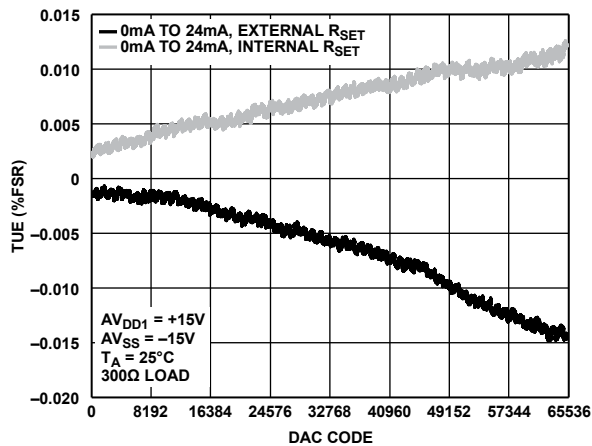


図 27. 総合未調整誤差と DAC コードの関係

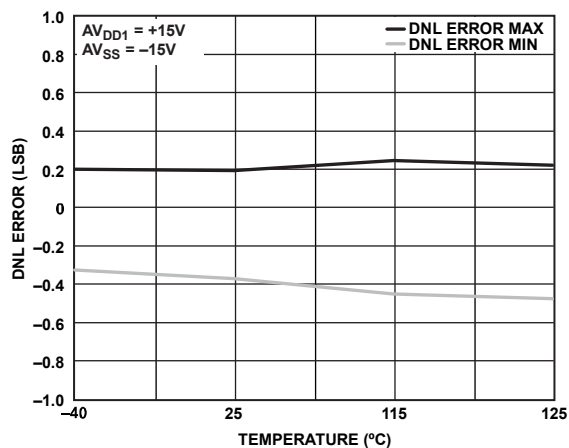


図 30. DNL 誤差の温度特性

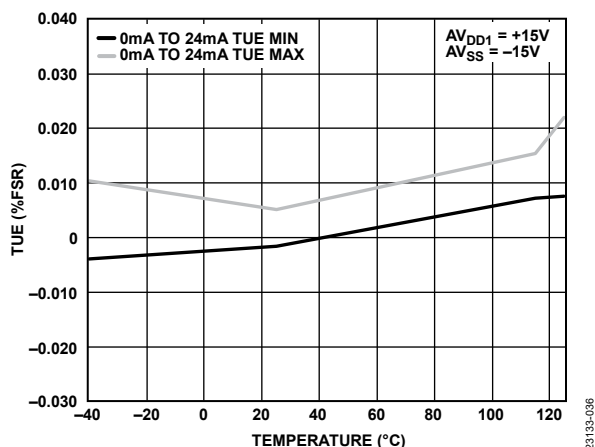


図 31. 総合未調整誤差の温度特性、内蔵 R_{SET}

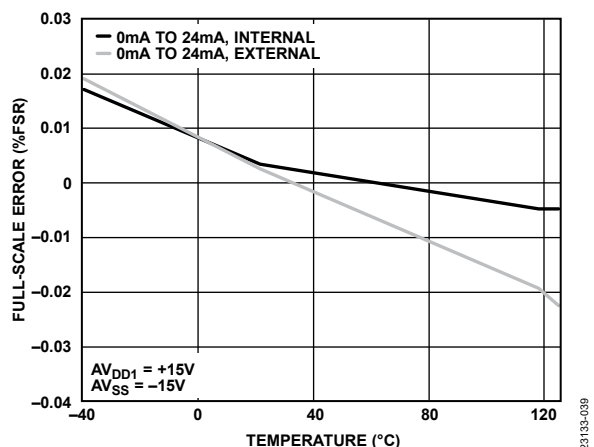


図 34. フルスケール誤差の温度特性

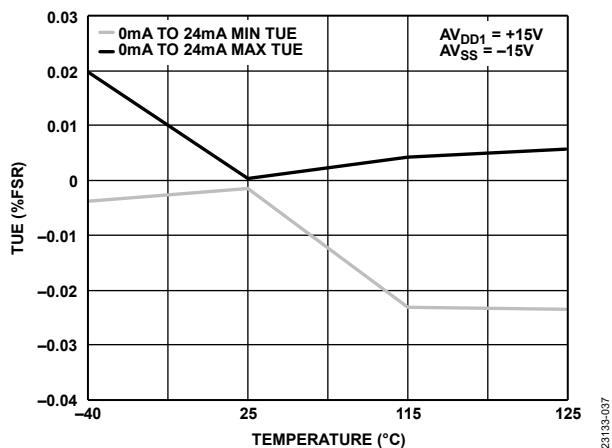


図 32. 総合未調整誤差の温度特性、外付け R_{SET}

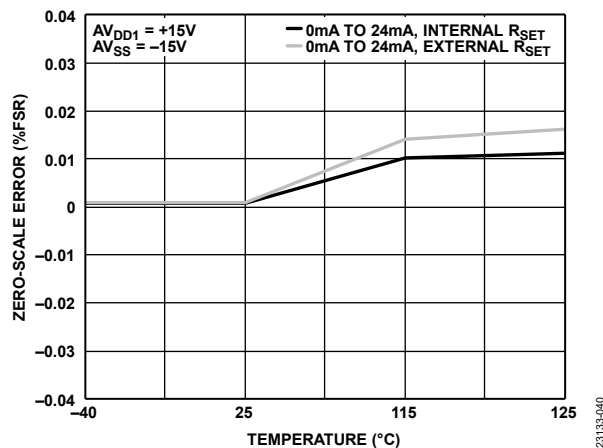


図 35. ゼロスケール誤差の温度特性

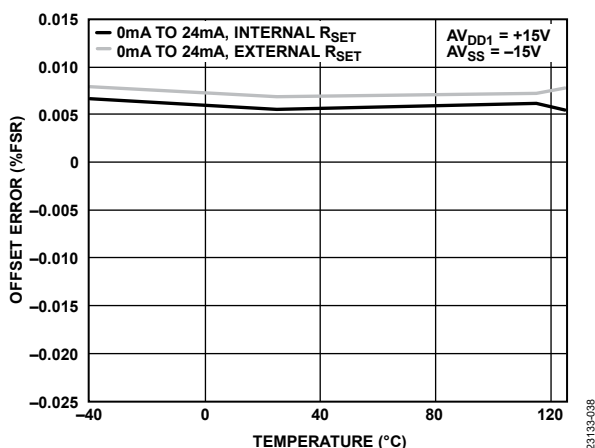


図 33. オフセット誤差の温度特性

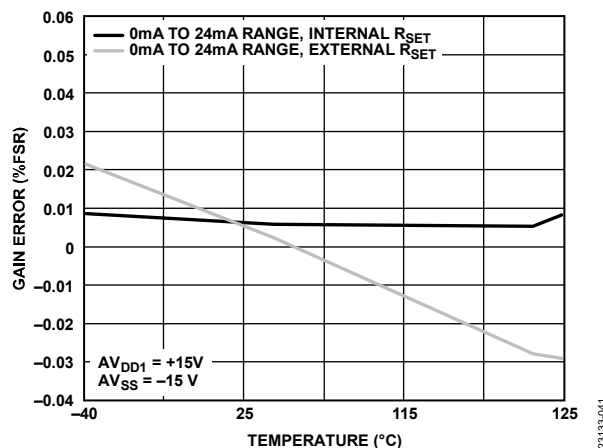


図 36. ゲイン誤差の温度特性

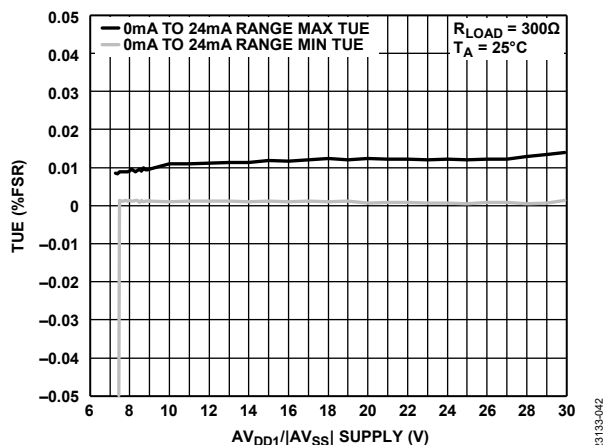


図 37. 総合未調整誤差と AV_{DD1}/AV_{SS} 電源の関係、内蔵 R_{SET}

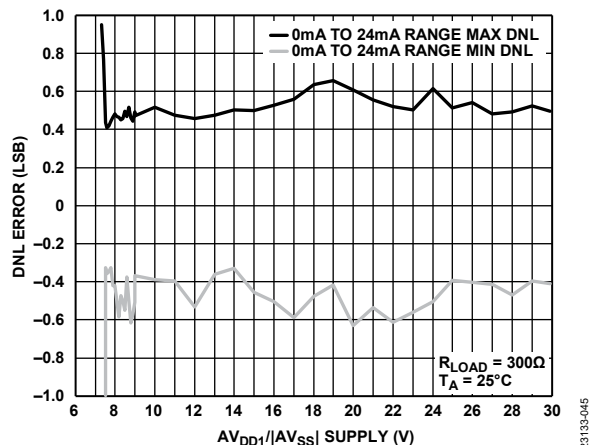


図 40. DNL 誤差と AV_{DD1}/AV_{SS} 電源の関係、外付け R_{SET}

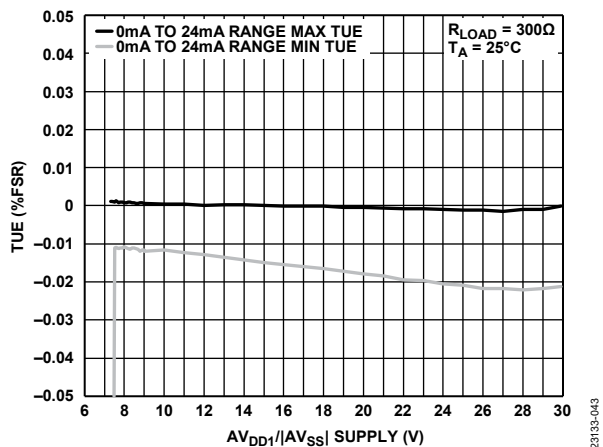


図 38. 総合未調整誤差と AV_{DD1}/AV_{SS} 電源の関係、外付け R_{SET}

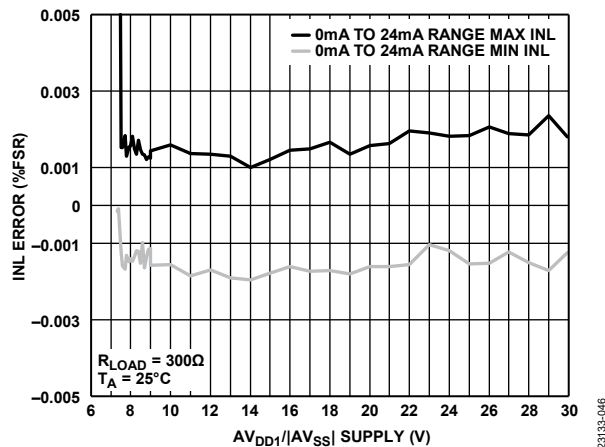


図 41. INL 誤差と AV_{DD1}/AV_{SS} 電源の関係、内蔵 R_{SET}

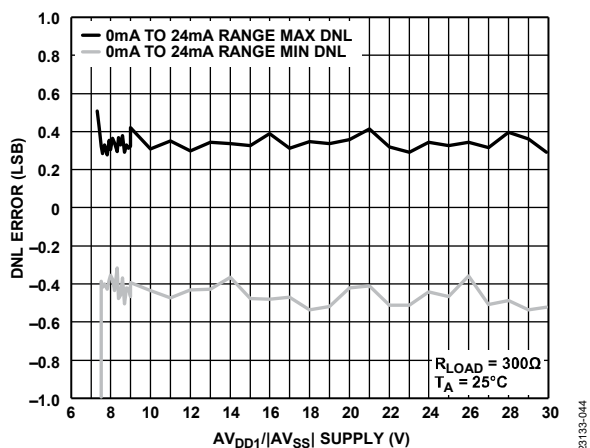


図 39. DNL 誤差と AV_{DD1}/AV_{SS} 電源の関係、内蔵 R_{SET}

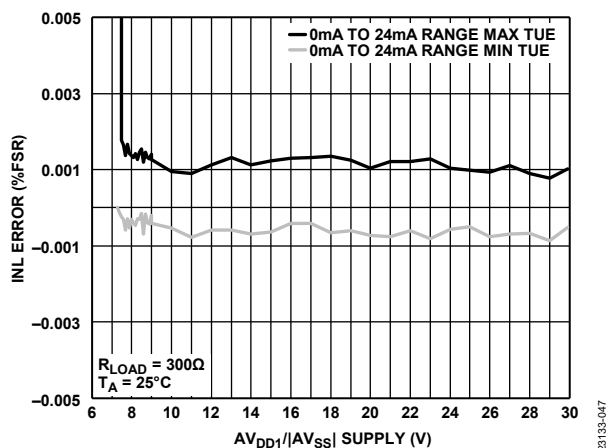


図 42. INL 誤差と AV_{DD1}/AV_{SS} 電源の関係、外付け R_{SET}

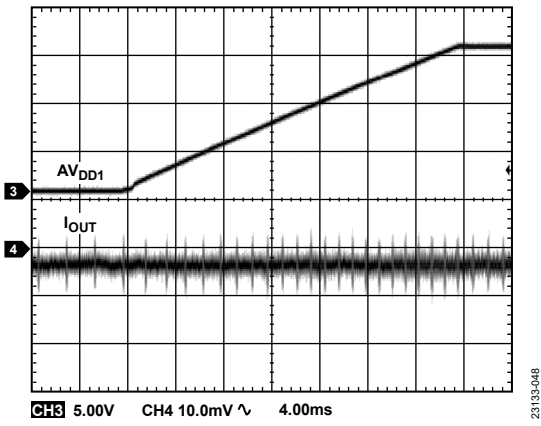


図 43. パワーアップ時の出力電流の時間変化

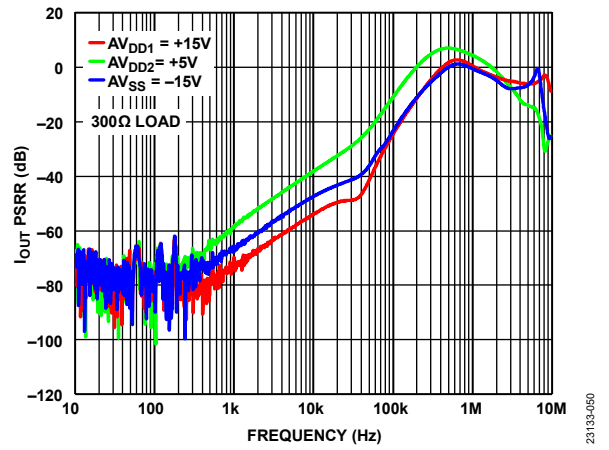


図 45. I_{OUT} PSRR の周波数特性

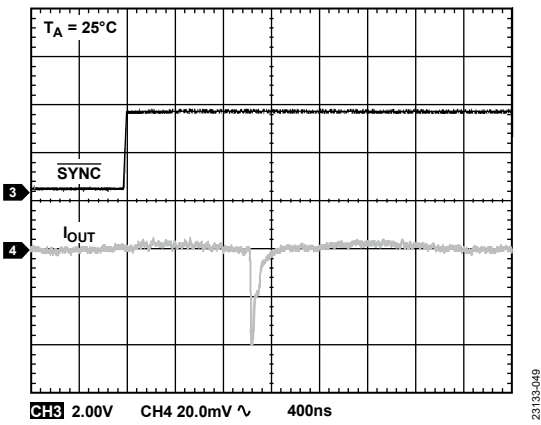


図 44. 出カイナーブル時の出力電流の時間変化

リファレンス

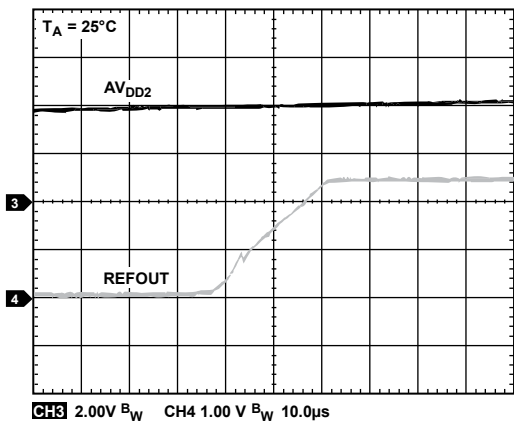


図 46. REFOUT のターンオン・トランジェント

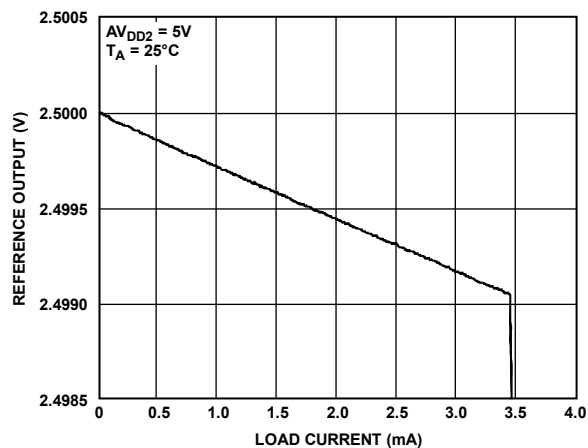


図 49. リファレンス出力と負荷電流の関係

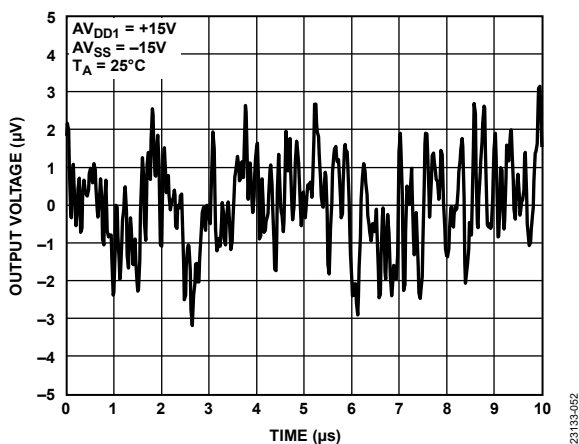


図 47. ピーク to ピーク・ノイズ (0.1Hz~10Hz の帯域幅)

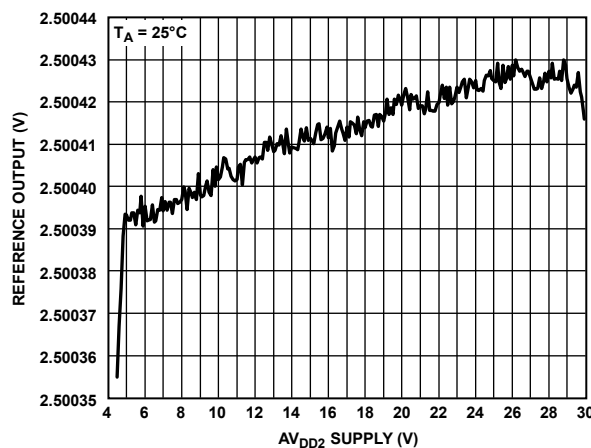


図 50. リファレンス出力と AV_{DD2} 電源の関係

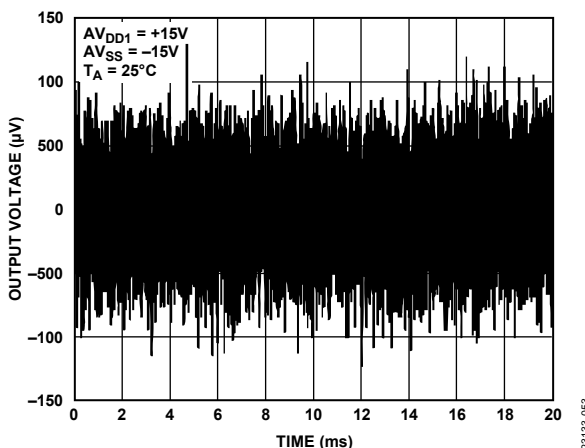


図 48. ピーク to ピーク・ノイズ (100kHz の帯域幅)

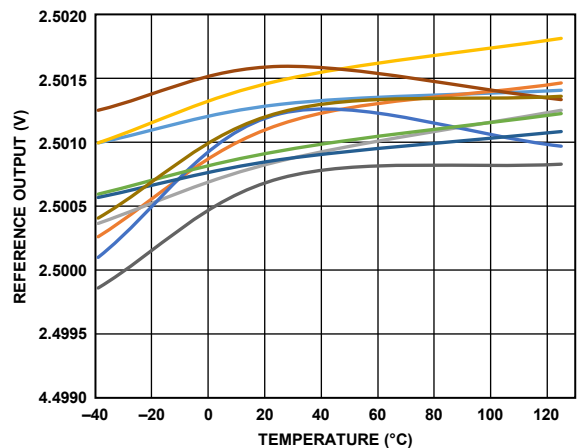


図 51. 複数デバイスのリファレンス出力の温度特性

一般特性

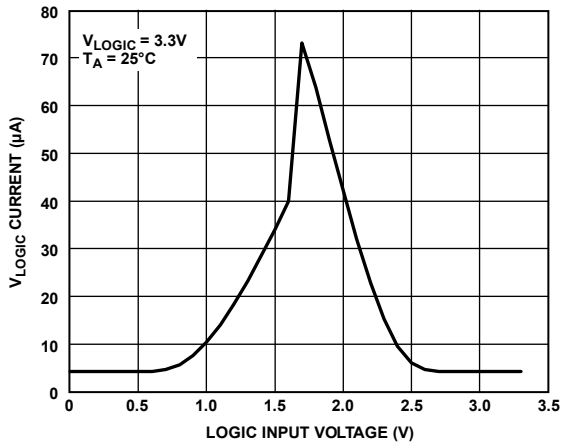


図 52. V_{Logic} 電流とロジック入力電圧の関係

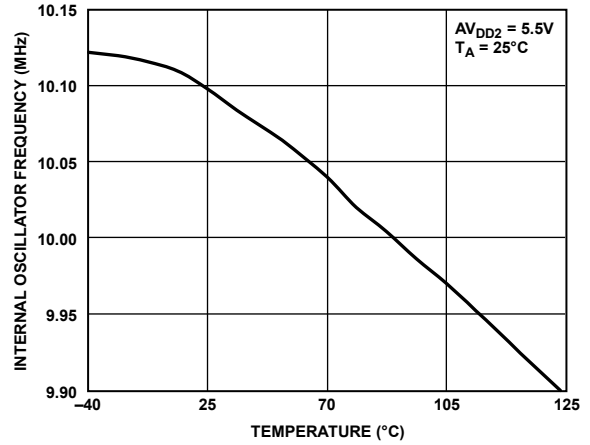


図 55. 内部発振器周波数の温度特性

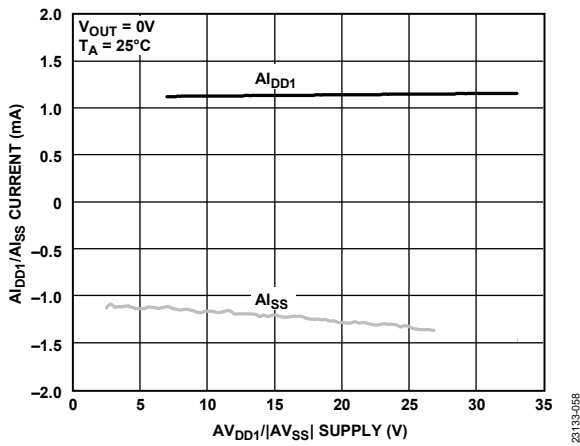


図 53. $I_{\text{DD1}}/I_{\text{SS}}$ 電流と $AV_{\text{DD1}}/|AV_{\text{SS}}|$ 電源の関係

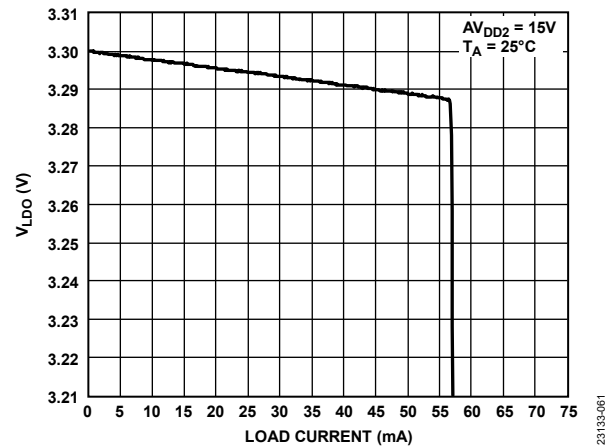


図 56. V_{LDO} と負荷電流の関係

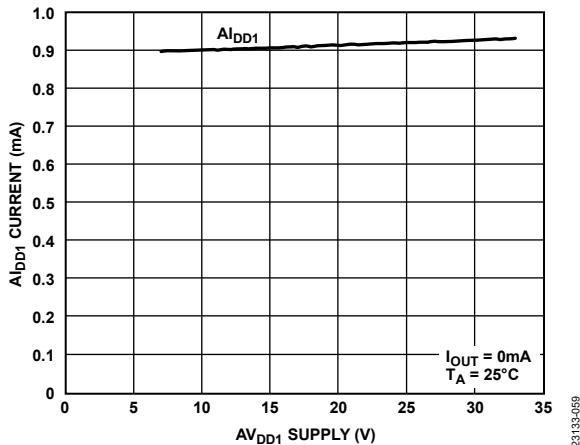


図 54. I_{DD1} 電流と AV_{DD1} 電源の関係

用語の定義

総合未調整誤差 (TUE)

TUE とは、電源、温度、時間に関連する INL 誤差、オフセット誤差、ゲイン誤差、出力ドリフトを含む様々な誤差を考慮した出力誤差の程度を表す値です。TUE の単位は % FSR です。

相対精度または積分非直線性 (INL)

DAC における相対精度または INL とは、DAC 伝達関数の最適近似直線からの最大偏差の程度を表す値です。INL の単位は LSB または % FSR です。

微分非直線性 (DNL)

DNL は、隣接する 2 つのコードの間で測定された変化と理論的な 1LSB 変化との差を表します。微分非直線性の仕様が ±1LSB 以内の場合は、単調増加性が確保されます。

単調性

デジタル入力コードを増加させたとき、出力が増加するか不変である場合に、DAC は単調であるといえます。AD5413 は全動作温度範囲で単調です。

ゼロスケール誤差または負のフルスケール誤差

ゼロスケール誤差または負のフルスケール誤差は、0x0000 (ストレート・バイナリ・コーディング) を DAC 出力レジスタにロードしたときの DAC 出力電圧誤差です。

ゼロスケール温度係数

ゼロスケール温度係数は、温度変化に伴うゼロスケール誤差の変化の程度を表す値です。ゼロスケール誤差温度係数の単位は ppm FSR/°C です。

バイポーラ・ゼロ誤差

バイポーラ・ゼロ誤差は、DAC 出力レジスタに 0x8000 (ストレート・バイナリ・コーディング) を読み込んだときの、0V の理論ハーフスケール出力とアナログ出力間の偏差を表します。

バイポーラ・ゼロ温度係数

バイポーラ・ゼロ温度係数は、温度変化に伴うバイポーラ・ゼロ誤差の変化の程度を表す値です。バイポーラ・ゼロ温度係数の単位は ppm FSR/°C です。

オフセット誤差

オフセット誤差はアナログ出力と理想出力値の偏差で、 $\frac{1}{4}$ スケールおよび $\frac{1}{8}$ スケールのデジタル・コード測定を使って求めます。オフセット誤差の単位は % FSR です。

オフセット誤差温度係数

オフセット誤差温度係数は、温度変化に伴うオフセット誤差の変化の程度を表す値です。オフセット誤差温度係数の単位は ppm FSR/°C です。

ゲイン誤差

ゲイン誤差は DAC のスパン誤差の程度を表す値で、理論的な DAC 伝達特性勾配からの偏差です。ゲイン誤差の単位は % FSR です。

ゲイン誤差の温度係数

ゲイン誤差温度係数は、温度変化に伴うゲイン誤差の変化の程度を表す値です。ゲイン誤差温度係数の単位は ppm FSR/°C です。

フルスケール誤差

フルスケール誤差は、フルスケール・コードを DAC 出力レジスタにロードしたときの出力誤差として測定されます。理論的な出力値は「フルスケール-1LSB」です。フルスケール誤差は % FSR で表します。

V_{OUT} または -V_{SENSE} 同相ノイズ除去比 (CMRR)

V_{OUT} または -V_{SENSE} CMRR は、-V_{SENSE} の変化によって V_{OUT} に生じる誤差です。

リファレンスの熱ヒステリシス

リファレンス電圧の熱ヒステリシスは、+25°C で測定した出力電圧を、+25°C → -40°C → +105°C → +25°C の温度サイクルを加えた後に +25°C で測定した出力電圧と比較した場合の差です。

リファレンス温度係数

電圧リファレンス温度係数は、温度変化に伴うリファレンス出力電圧の変化の程度を表す値です。電圧リファレンス温度係数の計算にはボックス法を使用します。この方法では、ppm/°C で表される所定の温度範囲でのリファレンス出力の最大変化としての温度係数を定義し、次のように計算します。

$$TC = \left(\frac{V_{REF_MAX} - V_{REF_MIN}}{V_{REF_NOM} \times \text{Temperature Range}} \right) \times 10^6$$

ここで、

V_{REF_MAX} は全温度範囲で測定した最大リファレンス出力、
V_{REF_MIN} は全温度範囲で測定した最小リファレンス出力、
V_{REF_NOM} は公称リファレンス出力電圧で、この場合は 2.5V、
Temperature Range は仕様規定された温度範囲で、-40°C ~ +105°C です。

ライン・レギュレーション

ライン・レギュレーションは、電源電圧の規定された変化によるリファレンス出力電圧の変化です。ライン・レギュレーションの単位は ppm/V です。

負荷レギュレーション

負荷レギュレーションは、リファレンス負荷電流の規定された変化によるリファレンス出力電圧の変化です。負荷レギュレーションは ppm/mA で表されます。

出力電圧セトリング・タイム

出力電圧セトリング・タイムは、フルスケール入力変化に対して、出力が指定されたレベルに安定するまでに要する時間です。

スルー・レート

デバイスのスルー・レートは、出力電圧変化率の制限です。通常、電圧出力 DAC の出力変化率は、その出力に使用するアンプのスルー・レートによって制限されます。スルー・レートは出力信号の 10%~90% で測定され、V/ μ s で表されます。

パワーオン・グリッチ・エネルギー

パワーオン・グリッチ・エネルギーは、AD5413 のパワーオン時にアナログ出力に混入するインパルスで、nV-sec を単位とするグリッチの面積として規定されます。

デジタル/アナログ・グリッチ・エネルギー

デジタル/アナログ・グリッチ・エネルギーは、DAC 出力レジスタの入力コードが変化したときにアナログ出力に混入するインパルスのエネルギーです。デジタル/アナログ・グリッチ・エネルギーは、通常、nV-sec を単位とするグリッチの面積として仕様規定されます。最も厳しいケースは、メジャー・キャリア遷移時にデジタル入力コードが 1LSB だけ変化したときに発生します。

グリッチ・インパルス・ピーク振幅

グリッチ・インパルス・ピーク振幅は、DAC 出力レジスタの入力コードの状態が変化したときにアナログ出力に混入するインパルスのピーク振幅です。グリッチ・インパルス・ピーク振幅は mV を単位とするグリッチの振幅として仕様規定され、通常、最も厳しいケースのグリッチは、メジャー・キャリア遷移時にデジタル入力コードが 1LSB 変化したときに発生します。

デジタル・フィードスルー

デジタル・フィードスルーは、DAC デジタル入力から DAC アナログ出力に注入されるインパルスの程度を表す値です。ただし、デジタル・フィードスルーは DAC 出力の更新を行わないときに測定され、更新は $\overline{\text{LDAC}}$ ピンがハイになったときに行われます。デジタル・フィードスルーは nV-sec を単位として仕様規定され、データ・バス上でのフルスケール・コード変更時に測定されます。

電源電圧変動除去比 (PSRR)

PSRR は、電源電圧変化が DAC 出力に与える影響の程度を表します。

動作原理

AD5413 はシングルチャンネルの 14 ビット電圧および電流出力 DAC で、産業用ファクトリ・オートメーションやプロセス制御のアプリケーションの要求を満たします。このデバイスは、ユニポーラ電流、バイポーラ電流、または電圧出力を生成する高精度の集積化シングルチップ・ソリューションです。

DAC アーキテクチャ

AD5413 の DAC コア・アーキテクチャは、電圧モード R-2R DAC ラダー回路で構成されています。DAC コアの電圧出力は、 V_{IOUT} ピンの電流出力または電圧出力に変換されます。複数のモードを同時に有効にすることはできません。電圧出力段も電流出力段も、電源は AV_{DD1} 電源レールと AV_{SS} 電源レールから供給されます。

電流出力モード

電流出力モードを有効にすると、DAC の電圧出力が電流に変換されて、アプリケーションからは電流源出力だけが見えるように、その電流が電源レールにミラーされます (図 57 を参照)。

電圧から電流への変換には、内蔵または外付けの R_{SET} 抵抗 (13.7k Ω) を使用できます。

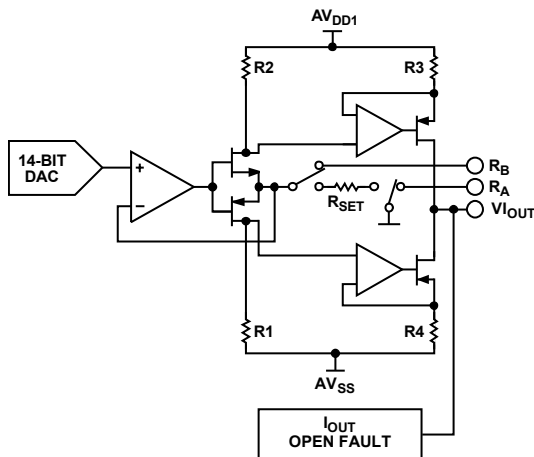


図 57. 電圧電流変換回路

電圧出力モード

電圧出力モードを有効にすると、DAC の電圧出力にバッファリングとスケールリングが行われ、ソフトウェアで選択可能なユニポーラまたはバイポーラ電圧範囲が出力されます (図 58 を参照)。

使用できる電圧出力範囲は $\pm 10.5V$ です。DAC_CONFIG レジスタを介して 20% のオーバーレンジ機能を使用することもできます。

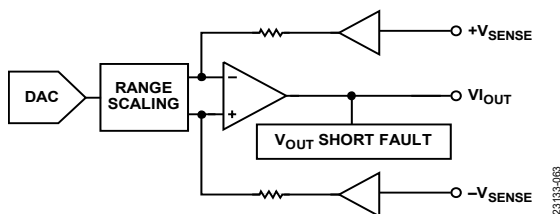


図 58. 電圧出力アーキテクチャ

リファレンス

AD5413 は、外部または内部リファレンス電圧で動作させることができます。リファレンス入力では、規定の性能に対して 2.5V のリファレンス電圧が必要です。この入力電圧は、内部的にバッファされた後に DAC へ供給されます。

AD5413 はバッファ付き 2.5V 電圧リファレンスを内蔵しています。このリファレンスは外部にも使用可能で、システム内の任意の場所に使用することができます。内部リファレンスを使用して DAC を駆動するには、REFOUT ピンを REFIN ピンに接続します。

SPI

AD5413 は、最大 50MHz のクロック・レートで動作し、かつ SPI、QSPI、MICROWIRE、DSP の各規格と互換性を持つ多機能の 4 線式 SPI を介して制御されます。データ・コーディングは常にストレート・バイナリです。

入力シフト・レジスタ

SPI CRC を有効にした状態 (デフォルト状態) での入力シフト・レジスタは、32 ビット幅です。データは、SCLK の制御の下に、32 ビット・ワードとして MSB ファーストでデバイスに入力されます。データは SCLK の立下がりエッジで入力されます。CRC を無効にすると、シリアル・インターフェースは 24 ビットに減少します。この場合でも 32 ビット・フレームを使用できますが、最後の 8 ビットは無視されます。SPI インターフェースを介してアドレス指定できるレジスタの詳細については、AD5413 のレジスタのセクションを参照してください。

表 8. レジスタへの書込み (CRC は有効)

MSB		LSB		
D31	[D30:D29]	[D28:D24]	[D23:D8]	[D7:D0]
Slip bit	AD5413 address	Register address	Data	CRC

伝達関数

$\pm 10.5V$ 出力範囲のストレート・バイナリ・データ・コーディング用に、AD5413 の最適出力電圧と入力コードの関係を表 9 に示します。下位 2 ビットは使用しません。このビットには書込みをしないでください。

表 9. 最適出力電圧と入力コードの関係¹

Digital Input, Straight Binary Data Coding				Analog Output
MSB		LSB ²		V_{OUT} (V)
1111	1111	1111	11XX	$10.5 \times (8192/8192)$
1111	1111	1111	10XX	$10.5 \times (8191/8192)$
1000	0000	0000	00XX	0
0000	0000	0000	01XX	$-10.5 \times (8191/8192)$
0000	0000	0000	00XX	-10.5

¹ 電圧リファレンスは 2.5V とします。

² X は書込み禁止を意味します。

パワーオン・ステート

AD5413 の最初のパワーオン時またはデバイスのリセット時には、電圧および電流出力チャンネルがディスエーブルされています。30k Ω のプルダウン抵抗を介して V_{IOUT} を AGND に接続するスイッチは開いています。このスイッチをイネーブルするには、[汎用設定 1 レジスタ](#) のセクションを参照してください。

デバイスのパワーオンまたはリセットの後は、キャリブレーション・メモリのリフレッシュ・コマンドが必要です ([出力イネーブルを行う設定シーケンス](#) のセクションを参照)。このコマンドを書き込んだ後は、内部キャリブレーションを行うための時間を取るように、次の命令を書き込むまで少なくとも 500 μ s 待機してください ([図 70](#) 参照)。

パワーオン・リセット

AD5413 は、電源が信頼できる動作に十分なレベルになるまで AD5413 をリセット状態に保持できるように、パワーオン・リセット回路を採用しています。パワーオン・リセット回路 ([図 59](#) 参照) は、 AV_{DD2} 外部電源から生成される V_{LDO} 、INT_AVCC 内部ノード電圧、RESET ピン、および SPI リセット信号をモニタします。パワーオン・リセット回路は、 V_{LDO} と INT_AVCC ノードの電圧が信頼できる動作に十分なレベルに達するまで、AD5413 をリセット状態に保持します。パワーオン・リセット回路が RESET ピンからの信号を受け取った場合、または SPI インターフェースを介して AD5413 にソフトウェア・リセットが書き込まれた場合、AD5413 はリセットされます。リセットから 100 μ s 以内の間は、SPI コマンドをデバイスに書き込まないでください。

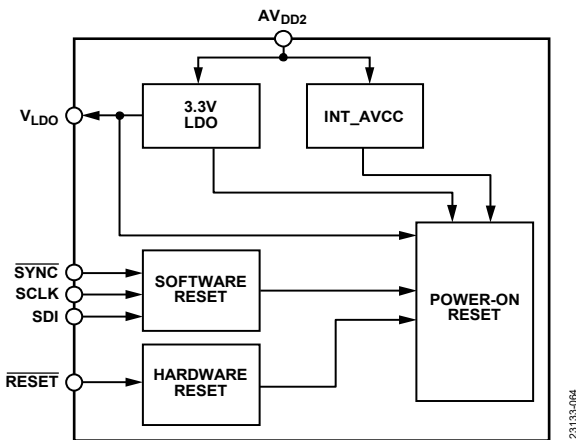


図 59. パワーオン・リセットのブロック図

電源に関する考慮事項

AD5413 には 4 つの電源レールがあります。 AV_{DD1} 、 AV_{DD2} 、 AV_{SS} 、 V_{LOGIC} です。これら 4 つの電源レールの電圧範囲と対応する条件については、[表 1](#) を参照してください。

AV_{DD1} に関する考慮事項

AV_{DD1} は DAC 電源レールで、電圧範囲は 7V~33V です。 AV_{DD1} の最大値は 33V で AV_{SS} の最小値は -33V ですが、 $|AV_{DD1} - AV_{SS}|$ の最大動作範囲は 50V です。 AV_{DD1} の最小値は、 $(I_{OUT_MAX} \times R_{LOAD}) + I_{OUT_HEADROOM}$ で計算できます。

ここで、

I_{OUT_MAX} は、ユーザが選択した電流範囲の最大電流出力、

$I_{OUT_HEADROOM}$ は、電流出力モードに必要なヘッドルーム電圧です。

AV_{SS} に関する考慮事項

AV_{SS} は負のアナログ電源レールで、電圧範囲は 0V~-33V です。また、 AV_{SS} は、 $|AV_{DD1} - AV_{SS}| = 50V$ の範囲内で動作させなければなりません。

AV_{DD2} に関する考慮事項

AV_{DD2} は正の低電圧アナログ電源レールで、電圧範囲は 4.5V~33V です。使用できる正の電源レールが 1 つだけの場合は、 AV_{DD2} を AV_{DD1} に接続することができます。最適化して消費電力を減らすには、独立した低電圧電源を使って AV_{DD2} に電源を供給してください。

V_{LOGIC} に関する考慮事項

V_{LOGIC} はデジタル電源で、電圧範囲は 1.71V~5.5V です。 V_{LOGIC} は、3.3V の V_{LDO} 出力電圧を使用して駆動できます。

アプリケーション情報

電圧出力

電圧出力アンプと $+V_{SENSE}$ の機能

電圧出力アンプは、ユニポーラ出力電圧とバイポーラ出力電圧の両方を生成できます。このアンプは、AGND 信号に接続された外部補償コンデンサを使用して、 $2\mu\text{F}$ の容量と並列に接続された $1\text{k}\Omega$ の負荷を駆動できます。

$\pm 10\text{V}$ のコモンモード電圧 (V_{CM}) で負荷 R_{LOAD} を駆動する電圧出力を [図 60](#) に示します。デバイスに組み込まれた $2\text{M}\Omega$ の抵抗はアンプ・ループを閉じた状態に保ち、ケーブルと $+V_{SENSE}$ の接続が失われる可能性のあるアプリケーションにおいて、アンプ・ループが失われることによって V_{IOUT} に大きな破壊的電圧がかかるのを防ぎます。負荷のリモート検出が不要な場合は、 $1\text{k}\Omega$ の直列抵抗を介して $+V_{SENSE}$ を V_{IOUT} に接続し、外付けの $1\text{k}\Omega$ 直列抵抗を介して $-V_{SENSE}$ を AGND に接続します。

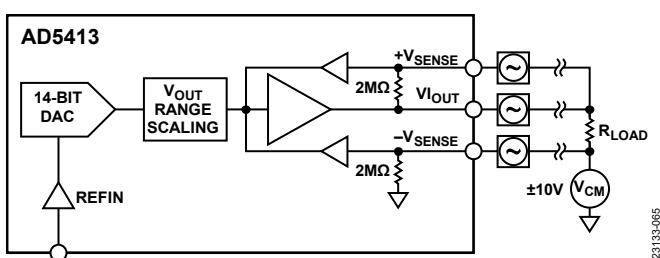


図 60. 電圧出力負荷の接続

大きい容量性負荷の駆動

220pF の無極性補償コンデンサを外付けで追加すれば、電圧出力アンプを使って最大 $2\mu\text{F}$ の容量性負荷を駆動することができます。このコンデンサは、AD5413 がより大きな容量性負荷を駆動し、オーバーシュートを小さくすることを可能にしますが、デバイスのセトリング時間が長くなり、システムの帯域幅にも悪影響を与えます。補償コンデンサなしで駆動できる容量性負荷は最大 10nF です。

電圧出力短絡保護

通常動作時、電圧出力は最大 12mA のシンクとソースを行い、仕様規定された動作を維持します。短絡電流は通常 15mA です。短絡が検出されると、FAULT ピンがロー・レベルになり、ANALOG_DIAG_RESULTS レジスタの $V_{OUT_SC_ERR}$ ビットがセットされます。

電流出力

電流設定外付け抵抗

[図 57](#) に示すように、 R_{SET} は内部検出抵抗で、電流変換回路の電圧の一部を形成します。温度に対する出力電流の安定性は、 R_{SET} 値の安定性に依存します。温度に対する出力電流の安定性を改善するには、内蔵抵抗を使用せずに、AD5413 の R_A ピンと R_B ピンの間に $13.7\text{k}\Omega$ の低ドリフト抵抗を外付けします。

[表 1](#) に、内蔵の R_{SET} 抵抗使用時と $13.7\text{k}\Omega$ の外付け R_{SET} 抵抗使用時の AD5413 の性能仕様を示します。外付けの R_{SET} 抵抗の仕様は、理想抵抗と仮定した場合は、実際のデバイス性能は、使用する抵抗の絶対値と温度係数によって異なります。したがって、抵抗仕様は出力のゲイン誤差と TUE に直接影響します。

特定の外付け R_{SET} 抵抗を使った出力の、最も厳しいケースでの絶対 TUE を求めるときは、 R_{SET} 抵抗の絶対誤差（誤差の絶対値）を、[表 1](#) に示す外付け R_{SET} 抵抗使用時の AD5413 の TUE（単位は % FSR）に加算します。このオプションをシステムに使用する場合は、温度係数と外部リファレンスの仕様を考慮する必要があります。

この大きさの誤差（外付けの R_{SET} 抵抗および外部リファレンスの絶対誤差と温度係数誤差を AD5413 の TUE 仕様に加えることによって得られる値）が実際に生じる可能性は、あまりありません。これは、個々の部品の温度計数値が同じドリフト極性を示す可能性は低く、相殺される要素があるためです。このため、温度係数値は二乗和平方根の形で加えます。TUE 仕様を更に改善するには、ゼロスケールとフルスケールで 2 点キャリブレーションを行います。これにより、電圧リファレンスと R_{SET} 抵抗の絶対誤差が減少します。

電流出力オープン・サーキット検出

電流出力モードにおいて、オープンループ・サーキットや電源電圧不足のために、使用可能なヘッドルームがコンプライアンス範囲未満に低下した場合は、ANALOG_DIAG_RESULTS レジスタの $I_{OUT_OC_ERR}$ ビット・フラグがアサートされて、FAULT ピンがローになります。

HART 接続

HART 信号は、AD5413 の $CHART$ ピンに AC カップリングすることができます。GP_CONFIG1 レジスタの $HART_EN$ ビットと V_{IOUT} 出力の両方がイネーブルされている場合は、HART 信号が電流出力に現れます。[図 61](#) に、HART 信号を減衰させて AD5413 に接続するための推奨回路を示します。 V_{IOUT} ピンを 1mA_{p-p} とするには、 $CHART$ ピンに約 125mV_{p-p} の信号が必要です。 V_{IOUT} ピンの HART 信号は、 $CHART$ ピンの信号入力を基準に反転されます。

コンデンサ $C1$ と $C2$ は受信 HART モデム信号を減衰させるのに使用しますが、これに加えて $C1$ と $C2$ の最小容量は、 1.2kHz と 2.2kHz の周波数がこれらのコンデンサを通じてモデム出力信号の帯域幅を通過できるような値とする必要があります。HART 信号を 500mV_{p-p} とすると、推奨容量値は $C1 = 47\text{nF}$ 、 $C2 = 150\text{nF}$ です。HART プロトコルのアナログ・レート変化の条件を満たすには、出力スルー・レートをデジタル的に制御する必要があります。

HART機能が必要な場合は、HART_ENビットをディスエーブルして C_{HART} ピンを未接続のままにします。コンデンサを使って DAC 出力信号の速度を下げる必要がある場合は、HART_ENビットをイネーブルして、必要な C2 コンデンサを C_{HART} ピンに接続します。

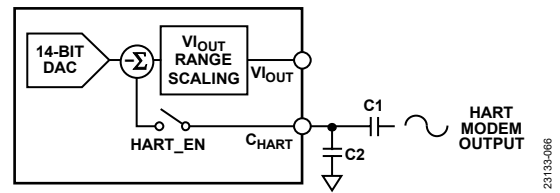


図 61. HART 信号の結合

デバイス特性と診断機能

スルー・レートのデジタル制御

AD5413 のスルー・レート制御機能を使用すると、出力値の変化レートを制御することができます。この機能は電流モードと電圧モードの両方で使用できます。スルー・レート制御機能を無効にすると、出力値は、出力駆動回路と接続された負荷で制限されるレートで変化します。スルー・レートを下げるには、スルー・レート制御機能を有効にして、出力が一定のレートで 1 つの出力コードから次の値へデジタル的に移行するようにします。このレートは、DAC_CONFIG レジスタを介してアクセスできる 2 つのパラメータによって定義されます。これら 2 つのパラメータは SR_CLOCK と SR_STEP です。SR_CLOCK パラメータは、デジタル・スルーの更新レートを定義します。例えば、選択した更新レートが 8kHz の場合、出力は 125 μ s ごとに更新されます。SR_STEP パラメータは SR_CLOCK パラメータと組み合わせて使い、更新ごとの出力値の変化の大きさを指定します。同時に、両パラメータにより出力値の変化レートが指定されず、次式は、スルー・レートをステップ・サイズ、スルー・レート周波数、LSB サイズの関数として表します。

$$\text{Slew Time} = \frac{\text{Output Change}}{\text{Step Size} \times \text{Slew Rate Frequency} \times \text{LSB Size}}$$

ここで、

Slew Time の単位は秒です。

Output Change は、電流出力モードではアンペア数、電圧出力モードではボルト数で表されます。

Step Size は、電流出力モードではアンペア数で表したステップ・サイズ、電圧出力モードではボルト数で表したステップ・サイズです。

Slew Rate Frequency は SR_CLOCK パラメータの値です。

LSB Size は SR_STEP パラメータの値です。

スルー・レート制御機能を有効にすると、設定されたスルー・レートですべての出力が変化します。

AD5413 のアドレス・ピン

AD5413 のアドレス・ピン (AD0 と AD1) は AD5413 のアドレス・ビットと共に SPI フレーム内で使われ (表 10 参照)、システム・コントローラによってどの AD5413 デバイスのアドレスを指定するかを決定します。これら 2 本のアドレス・ピンを使い、1 つのボード上で最大 4 個のデバイスのアドレスを個別に指定することができます。

SPI インターフェースと診断機能

AD5413 は 4 線式 SPI で制御され、8 ビットの巡回冗長検査 (CRC-8) がデフォルトで有効になっています。入力シフト・レジスタは 32 ビット幅で、データは、SCLK 信号の制御の下に MSB ファーストでデバイスにロードされます。データは SCLK の立下がりエッジで入力されます。CRC を無効にすると、SPI は 24 ビットに減少します。この場合でも 32 ビット・フレームを使用できますが、最後の 8 ビットは無視されます。

表 10. レジスタへの書き込み (CRC は有効)

MSB		LSB		
D31	[D30:D29]	[D28:D24]	[D23:D8]	[D7:D0]
Slip bit	AD5413 address	Register address	Data	CRC

表 10 に示すように、すべての SPI フレームには 2 個の AD5413 アドレス・ビットが含まれています。特定のデバイスがバス上の SPI フレームを受け入れるには、これらのビットが AD0 ピンと AD1 ピンに一致していなければなりません。

SPI 巡回冗長検査

ノイズの多い環境でデータが正しく受信されたことを確認するために、AD5413 は CRC-8 に基づく CRC 機能を備えています。AD5413 を制御するデバイス (マイクロ・ゲート・アレイまたは FPGA) は、次の多項式を使って 8 ビットのフレーム・チェック・シーケンスを生成します。

$$C(x) = x^8 + x^2 + x^1 + 1$$

この 8 ビットのフレーム・チェック・シーケンスがデータワードの末尾に追加されて、32 ビットが AD5413 へ送信された後に、SYNC がハイ・レベルになります (図 62 参照)。

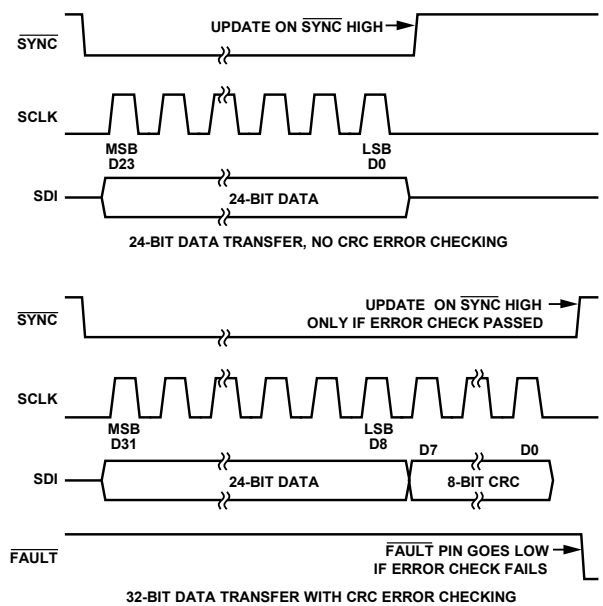


図 62. CRC タイミング (LDAC = 0 と仮定)

DIGITAL_DIAG_CONFIG レジスタの SPI_CRC_EN ビットがハイに設定されている場合 (デフォルト状態) は、幅がちょうど 32 ビットのフレーム (24 ビットのデータと 8 ビットの CRC) を使用します。CRC チェックに合格すると、選択されたレジスタにデータが書き込まれます。CRC チェックに合格しない場合は、データが無視されて FAULT ピンがローになり、FAULT ピンのステータス・ビットと、ステータス・レジスタ内のデジタル診断ステータス・ビット (DIG_DIAG_STATUS) がアサートされます。その後 DIGITAL_DIAG_RESULTS レジスタをリードバックすれば、SPI_CRC_ERR ビットもセットされていることがわかります。このレジスタはビットごとに書き込みを行うことでクリアするレジスタで、各ビットに 1 を書き込むことでレジスタがクリアされます (詳細については [スティッキー診断結果ビット](#))

のセクションを参照)。したがって、SPI_CRC_ERR ビットをクリアするには、DIGITAL_DIAG_RESULTS レジスタのビット 0 に 1 を書き込みます。他にアクティブな故障がなければ、1 を書き込むと SPI_CRC_ERR ビットがクリアされて FAULT ピンがハイに戻ります。FAULT_PIN_CONFIG レジスタを設定する場合、SPI_CRC エラーを FAULT ピンに反映させるかどうかはユーザが決定します。詳細については、[FAULT ピン設定レジスタ](#)のセクションを参照してください。SPI_CRC 機能は、データ・パケットの送信と受信の両方に使われます。

SPI インターフェース・スリップ・ビット

スリップ・ビットを追加すると、インターフェースの堅牢性が向上します。フレームが有効であると見なすには、SPI フレームの MSB が MSB-1 を反転した値に等しくなければなりません。誤ったスリップ・ビットが検出された場合、そのデータは無視され、DIGITAL_DIAG_RESULTS レジスタの SLIPBIT_ERR ビットがアサートされます。

SPI インターフェースの SCLK カウント機能

SPI 診断機能には、SCLK カウント機能も組み込まれています。CRC が有効になっている場合は、正確に 32 個の SCLK 立下がりエッジを含む SPI フレームだけが、有効な書き込みとして受け入れられます。CRC が無効になっている場合は、24 個または 32 個の SCLK 立下がりエッジを含む SPI フレームが有効な書き込みとして受け入れられます。これ以外の長さの SPI フレームは無視され、DIGITAL_DIAG_RESULTS レジスタに SCLK_COUNT_ERR フラグがアサートされます。

リードバック・モード

AD5413 には以下に示す 4 つのリードバック・モードがあります。

- 2 段リードバック・モード
- 自動ステータス・リードバック・モード
- 共有 SYNC 自動ステータス・リードバック・モード
- エコー・モード

2 段リードバックでは、専用レジスタ TWO_STAGE_READBACK_SELECT に書き込みを行って、リードバックするレジスタの位置を選択します。この書き込みの後には無操作 (NOP) コマンドが続き、その間は選択したレジスタの内容を SDO ピンに出力できます。

表 11. 読出し操作時の SDO の内容

MSB		LSB		
[D31:D30]	D29	[D28:24]	[D23:D8]	[D7:D0]
0b10	FAULT pin status	Register address	Data	CRC

ビット [D31:D30] = 0b10 はリードバック時の同期用に使われます。

自動ステータス・リードバック・モードを選択した場合は、各 SPI トランザクションの間、SDO ラインにステータス・レジスタの内容を出力することができます。この機能は、ステータス・レジスタを継続的にモニタして、故障発生時に迅速に対応することを可能にします。この機能は、AD5413 のパワーアップ時には無効になっています。この機能を有効にすると、通常の 2 段リードバック機能は使用できなくなります。自動ステータス・リードバック・モード選択時に SDO で使用できるのは、ステータス・レジスタだけです。他のレジスタをリードバックするには、まず自動リードバック機能を無効にして、それから 2 段リードバック・シーケンスに従ってください。自動ステータス・リードバックは、レジスタのリードバック後に再び有効にすることができます。

AD5413 の共有 SYNC 自動ステータス・リードバックは、自動ステータス・リードバック・モードの特別なバージョンで、複数デバイスが同じ SYNC ラインを共有している場合に SDO バスの競合を避けるために使われます。詳細については、[共有 SYNC 自動ステータス・リードバック・モード](#)のセクションを参照してください。

エコー・モードも自動ステータス・リードバックと同様に動作しますが、2 回目のリードバックが、すべてその前に行われた AD5413 へのコマンド書込みのエコーで構成される点が異なります (図 63 参照)。リードバック・モードの詳細については、[レジスタからの読出し](#)のセクションを参照してください。



図 63. エコー・モードにおける SDO の内容

オフセットとゲインのデジタル調整

AD5413 には USER_GAIN レジスタと USER_OFFSET レジスタがあり、これらを使ってシグナル・チェーン全体のゲイン誤差とオフセット誤差を調整することができます。USER_GAIN レジスタを使うと、DAC チャンネルのゲインを 1LSB ステップで調整することができます。表 12 に示すように、USER_GAIN レジスタのコーディングはストレート・バイナリです。USER_GAIN レジスタのデフォルト・コードは 0xFFFC で、この場合、設定された出力にゲイン係数は適用されません。理論的には、全出力範囲にわたってゲインを調整することができます。実用上は、精度を保つために推奨されるゲイン調整は、最大で設定範囲の約 50% です。下位 2 ビット (D1 と D0) は使用しません。このビットには書き込みをしないでください。

表 12. ゲイン・レジスタの調整

Gain Adjustment Factor	D13	[D12:D3]	D2	[D1:D0]
1	1	1	1	X
16383/16384	1	1	0	X
...	X
2/16384	0	0	1	X
1/16384	0	0	0	X

USER_OFFSET レジスタを使うと、DAC チャンネルのオフセットを -8192LSB ~ +8192LSB の範囲で 1LSB ステップごとに調整できます。表 13 に示すように、USER_OFFSET レジスタのコーディングはストレート・バイナリです。USER_OFFSET レジスタのデフォルト・コードは 0x8000 で、この場合、出力のオフセット設定はゼロになります。下位 2 ビット (D1 と D0) は使用しません。このビットには書き込みをしないでください。

表 13. オフセット・レジスタの調整

Gain Adjustment Factor	D13	[D12:D3]	D2	[D1:D0]
+8192 LSBs	1	1	1	X
+8191 LSBs	1	1	0	X
...	X
No Adjustment (Default)	1	0	0	X
...	X
-8191 LSBs	0	0	1	X
-8192 LSBs	0	0	0	X

内部 DAC レジスタに書き込まれる 10 進値 (DACCODE) の計算には次式を使用します。

$$DACCODE = D \times \frac{(M+1)}{2^{14}} + C - 2^{13}$$

ここで、

D は DAC_INPUT レジスタにロードされるコード。

M は USER_GAIN レジスタ内のコード (デフォルト・コード = $2^{14} - 1$)。

C は USER_OFFSET レジスタ内のコード (デフォルト・コード = 2^{13})。

DAC_INPUT レジスタのデータは、デジタル乗算器と加算器で処理されます。乗算器はユーザ・ゲイン・レジスタの内容によって制御され、加算器は USER_OFFSET レジスタの内容によって制御されます。DAC にはキャリブレーションされたデータがロードされます。DAC データのロードは LDAC ピンの状態に応じて行われます。

DAC 出力は、USER_GAIN レジスタまたは USER_OFFSET レジスタへの書き込みごとに自動的に更新されるわけではありません。ただし、DAC_INPUT レジスタへの次の書き込みでは、これらのゲイン値とオフセット値を使って新しいキャリブレーションが行われ、出力チャンネルが自動的に更新されます。読み出し専用の DAC_OUTPUT レジスタは、DAC に現在ロードされている値を表します。これは、ユーザ・ゲインまたはユーザ・オフセットによるキャリブレーションを行う前の値です。

USER_GAIN レジスタと USER_OFFSET レジスタの分解能は、共に 14 ビットです。キャリブレーションは常にゲインから先に行い、その次にオフセットのキャリブレーションを行います。

DAC 出力の更新とデータ完全性の診断

DAC 入力ローディング回路の簡略図を図 64 に示します。ゲインとオフセットを使用する場合は、DAC_INPUT レジスタへ書き込みを行う前に、USER_GAIN レジスタと USER_OFFSET レジスタを更新します。

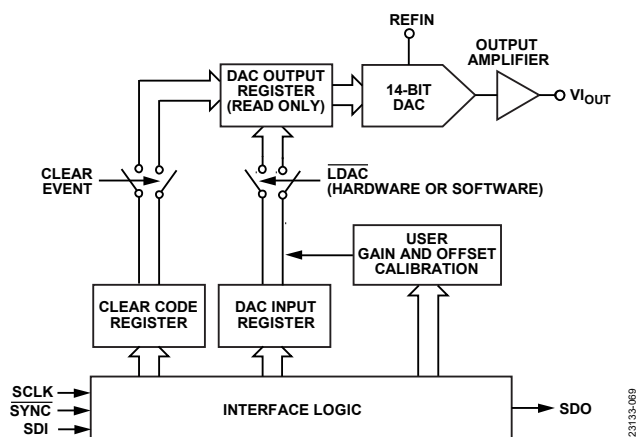


図 64. 入力ローディング回路のシリアル・インターフェース簡略図

DAC_OUTPUT レジスタと DAC 出力は、以下のいずれかの場合に更新されます。

- ハードウェア LDAC ピンをローに接続した状態で、DAC_INPUT レジスタへの書き込みが行われた場合、DAC_OUTPUT レジスタは SYNC の立上がりエッジで更新され、表 3 のタイミング仕様が適用されます。

- ハードウェア LDAC ピンがハイに接続された状態で、DAC_INPUT レジスタへの書き込みが行われた場合、DAC_OUTPUT レジスタは、ソフトウェア LDAC 命令が発出されるか、ハードウェア LDAC ピンにロー・パルスが入力されるまで更新されません。
- スルー・レート制御機能が有効にされた場合、DAC_OUTPUT レジスタには、レジスタが 1 つの値から次の値へ増加するのに合わせて、DAC の動的な値が格納されます。

GP_CONFIG2 レジスタにはグローバル・ソフトウェア LDAC アクティブ・ロー・モードを有効にするビットが含まれており、それによって SW_LDAC コマンドの AD5413 アドレス・ビットが無視されるので、1 つの SW_LDAC コマンドで同時に複数の AD5413 デバイスを更新することができます。この機能は、複数の AD5413 デバイスを含むシステムで、ハードウェア LDAC ピンを使用しない場合に有効です。

DAC のデータ完全性診断

過渡的变化から内部デジタル回路を保護するために、デジタル・ブロックは、デジタル DAC 値とその反転コピー値の両方を保存します。DAC をストローブして DAC コードを更新する前に、これら 2 つの値が互いに対応していることを確認するためのチェックが行われます。このマッチング機能は、DIGITAL_DIAG_CONFIG レジスタの INVERSE_DAC_CHECK_EN ビットにより、デフォルトで有効になります。

図 65 に示すように、デジタル・ブロックの外側で DAC コードはラッチに保存されます。これらのラッチは、デジタル・ブロックに影響を与えるものと同じトランジェント現象に対し、脆弱である可能性があります。これらのトランジェント現象から DAC ラッチを保護するには、DIGITAL_DIAG_CONFIG レジスタ内の DAC_LATCH_MON_EN ビットを介して、DAC ラッチ・モニタ機能を有効にします。このラッチ・モニタ機能は DAC を駆動する実際のデジタル・コードをモニタして、そのコードを、デジタル・ブロック内で生成されるデジタル・コードと比較します。これら 2 つのコード間に何らかの違いがあると、DIGITAL_DIAG_RESULTS レジスタに DAC_LATCH_MON_ERR ビット・フラグがセットされます。

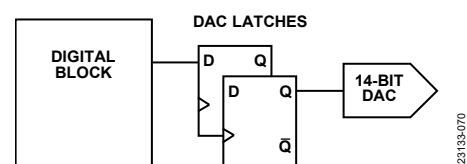


図 65. DAC データの完全性

キー・コードの使用

キー・コードは、キャリブレーション・メモリのリフレッシュとソフトウェア・リセットを開始するために、キー・レジスタを介して使われます (詳細についてはキー・レジスタのセクションを参照)。

キャリブレーション・メモリのリフレッシュやソフトウェア・リセットなどの動作を開始するために特別なキーを使用することにより、これらのタスクのいずれかが誤って開始される可能性が減るので、システムの堅牢性が大きく向上することになります。

ソフトウェア・リセット

ソフトウェア・リセット時は、キー・レジスタに 0x15FA と 0xAF51 を連続して書き込む必要があります。デバイス・リセットは、ハードウェア RESET ピンまたはソフトウェア・リセット・キーを介して開始することができます。デバイスがリセットされると、DIGITAL_DIAG_RESULTS レジスタの RESET_OCCURRED ビットがセットされます。このビットは、パワーアップ時にデフォルトで 1 になります。どちらの診断結果レジスタも、1 を書き込んで機能をクリアします。つまり、ビットをクリアするには、そのビットに 1 を書き込みます（スティッキー診断結果ビットのセクションを参照）。

キャリブレーション・メモリの CRC

キャリブレーション・メモリのシャドウ・レジスタの内容に関する自動 CRC は、キャリブレーション・メモリのリフレッシュ・サイクルごとに計算されます。リフレッシュ・サイクルは、キー・レジスタにキー・コードを書き込むことによって開始します。あるいは、RANGE ビット、つまり DAC_CONFIG レジスタのビット [3:0] が変更されると自動的に開始されます。この CRC の結果が、工場で保存されたリファレンス CRC 値と比較されます。CRC 値が一致すれば、キャリブレーション・メモリ全体の読出しは有効と見なされます。値が一致しない場合は、DIGITAL_DIAG_RESULTS レジスタの CAL_MEM_CRC_ERR ビットが 1 に設定されます。このキャリブレーション・メモリ CRC 機能はデフォルトで有効になっています。無効化するには、DIGITAL_DIAG_CONFIG レジスタの CAL_MEM_CRC_EN ビットを使用します。

このキャリブレーション・メモリのリフレッシュ・サイクルがアクティブになっている間は 2 段階リードバック・コマンドを使用できますが、TWO_STAGE_READBACK_SELECT レジスタまたは NOP レジスタ以外のレジスタへ書き込みを行うと、DIGITAL_DIAG_RESULTS レジスタの INVALID_SPI_ACCESS_ERR ビットがセットされます。出力インエーブルを行う設定シーケンスのセクションに示したように、キャリブレーション・メモリのリフレッシュ・サイクル開始後は、500µs の待機時間を置くことを推奨します。

内部発振器の診断

内部周波数モニタは、内部発振器 (MCLK) を使い、1kHz (MCLK/1000) のレートで 16 ビット・カウンタを加算します。カウンタ値は FREQ_MONITOR レジスタで読み出すことができます。このレジスタを周期的にポーリングし、MCLK の診断ツール (発振器動作のモニタ) として使用したり、発振周波数の測定に使用したりすることができます。このカウンタ機能は、DIGITAL_DIAG_CONFIG レジスタの FREQ_MON_EN ビットにより、デフォルトで有効になっています。

MCLK 発振器が停止した場合、AD5413 は各 SPI フレームについて、0x07DEAD という特別なコードを SDO ラインに送信します。この発振器デッド・コード機能はデフォルトで有効になっています。この機能をディスエーブルするには、GP_CONFIG1 レジスタの OSC_STOP_DETECT_EN ビットをクリアします。この機能は、表 3 に示す最大リードバック・タイミング仕様により制限されます。

スティッキー診断結果ビット

AD5413 はデジタル診断結果レジスタ (DIGITAL_DIAG_RESULTS) とアナログ診断結果レジスタを (ANALOG_DIAG_RESULTS) 備えています (診断エラー・ビットについては、それぞれ表 36 と表 37 を参照)。これらのレジスタ内にある診断結果ビットはスティッキー・ビットで、エラー・ビットをクリアするには各ビットに 1 を書き込む必要があります (R/W-1-C)。対象ビットに 1 を書き込んだ後も故障状態が続いている場合、エラー・ビットがクリアされて 0 になることはありません。ビットにロジック 1 が書き込まれると、そのビットは最新の値に更新されます。つまり、故障状態が続いている場合はロジック 1、故障状態が解消されている場合はロジック 0 です。

DIGITAL_DIAG_RESULTS 内でのこの R/W-1-C アクセスには、2 つの例外があります。CAL_MEM_UNREFRESHED ビットと SLEW_BUSY ビットがそれで、前者はキャリブレーション・メモリがリフレッシュされると自動的にクリアされ、後者は出力スルーが完了すると自動的にクリアされます。

STATUS レジスタには、DIG_DIAG_STATUS ビットと ANA_DIAG_STATUS ビットが含まれています。これらは共に、それぞれの診断結果レジスタに含まれる診断結果ビットを論理 OR した結果です。すべてのアナログ診断フラグ・ビットは ANA_DIAG_STATUS ビットの論理 OR に含まれており、SLEW_BUSY ビットを除くすべてのデジタル診断フラグ・ビットは DIG_DIAG_STATUS の論理 OR に含まれています。ステータス・レジスタ内の OR により求められたビットは読出し専用で、スティッキー・ビット (R/W-1-C) ではありません。

バックグラウンドでの電源および温度モニタリング

ダイの過熱と過電圧は、故障の一般的な原因となり得ます。

ダイには精度 ±5°C の温度センサーが組み込まれています。ダイ温度はコンパレータによってモニタされ、背景温度コンパレータは常時インエーブルされています。142°C、127°C、112°C、および 97°C に対応するプログラマブル・トリップ・ポイントは、GP_CONFIG1 レジスタで設定できます。ダイの温度が設定制限値を超えると、ANALOG_DIAG_RESULTS レジスタ内の対応ビットがセットされて、FAULT ピンがローにアサートされます。

AD5413 の低電圧電源は、低消費電力のスタティック・コンパレータを介してモニタされます。このモニタリング機能はデフォルトでは無効になっており、GP_CONFIG2 レジスタの COMPARATOR_CONFIG ビットで有効にすることができます。REFIN バッファをパワーアップして、REFIN コンパレータがこのノードを使用できるようにするには、DAC_CONFIG レジスタの INT_EN ビットをセットする必要があります。モニタされるノードは、REFIN、REFOUT、VLDO、および内部で生成される AVCC 電圧です。ANALOG_DIAG_RESULTS レジスタのステータス・ビットは、モニタする各ノードに対応しています。モニタしているいずれかのノードの電源が上限または下限閾値を超えると (閾値は表 14 を参照)、対応するステータス・ビットがセットされます。例えば REFOUT 故障が発生すると、REFOUT_ERR ステータス・ビットがセットされます。REFOUT は、INT_AVCC、VLDO、および温度コンパレータの比較電圧として使われるので、これらのノードのステータス・ビット (温度コントローラのステータス・ビットは DIE_TEMP_ERR) もセットされる可能性があります。

ANALOG_DIAG_RESULTS レジスタ内の他のすべてのステータス・ビットと同様、これらのビットはスティッキー・ビットで、エラー状態が解消された場合にこれらのビットをクリアするには、1 を書き込む必要があります。エラー状態が続いている場合、フラグをクリアするために 1 を書き込んででもフラグはハイのままです。

表 14. コンパレータ電源のアクティブ化閾値

Supply	Lower Threshold (V)	Nominal Value/Range (V)	Upper Threshold (V)
INT_AVCC	3.8	4 to 5	5.2
VLDO	2.8	3 to 3.6	3.8
REFIN	2.24	2.5	2.83
REFOUT	2.24	2.5	2.83

出力故障

AD5413 には FAULT ピンがあります。このピンはアクティブ・ローの疑似オープンドレイン出力で、複数の AD5413 デバイスを 1 本のプルアップ抵抗に接続して、グローバル故障検出を行うことができます。このピンは、故障状態が検出されていない場合は高インピーダンスで、例えば電流モードでのオープン・サーキット、電圧モードでの短絡、CRC エラー、または過熱エラーなど、一定の故障状態が検出されるとローにアサートされます。表 15 は FAULT ピンを自動的にアクティブにする故障状態を示したもので、FAULT_PIN_CONFIG レジスタ (表 34 参照) を介して使用できるマスク可能な故障ビットも示されています。すべてのレジスタには、対応する FAULT ピン・ステータス・ビットである FAULT_PIN_STATUS が含まれており、これは FAULT ピンの現在の状態を反転した状態をミラーします。

ステータス・レジスタの DIG_DIAG_STATUS ビットと ANA_DIAG_STATUS ビットは、FAULT ピンおよび FAULT_PIN_STATUS ビットと共に使われ、どの故障状態が FAULT ピンまたは FAULT_PIN_STATUS ビットをアクティブにしているかを知らせます。

表 15. FAULT ピンのトリガ・ソース

Fault Type	Mapped to FAULT Pin	Mask Ability
Digital Diagnostic Faults		
Oscillator Stop Detect	Yes	Yes
Calibration Memory Not Refreshed	No	N/A ¹
Reset Detected	No	N/A ¹
DAC Latch Monitor Error	Yes	Yes
Inverse DAC Check Error	Yes	Yes
Calibration Memory CRC Error	Yes	No
Invalid SPI Access	Yes	Yes
SCLK Count Error ²	Yes	No
Slip Bit Error	Yes	Yes
SPI CRC Error	Yes	Yes
Analog Diagnostic Faults		
Current Output Open-Circuit Error	Yes	Yes
Voltage Output Short-Circuit Error	Yes	Yes
Die Temperature Error	Yes	Yes
REFOUT Comparator Error	Yes	No
REFIN Comparator Error	Yes	No
INT_AVCC Comparator Error	Yes	No
V _{LDO} Comparator Error	Yes	No

¹ 該当せず。

² FAULT_PIN_CONFIG レジスタで SCLK カウント・エラーをマスクすることはできません。ただし、GP_CONFIG1 レジスタの SPI_DIAG_QUIET_EN ビット (ビット 3) をイネーブルすることによって、このエラーを FAULT ピンから除外することができます。

AD5413 のレジスタ

AD5413 の制御と設定は、[レジスタ・マップ](#)のセクションに示す 20 個のオンチップ・レジスタを介して行われます。使用可能なアクセス許可を以下に示します。

- R/W は読出または書込み
- R は読出し専用
- R/W-I-C は読出し、または 1 を書き込んでクリア
- R0/W はゼロを読出または書込み

予備レジスタの読出または書込みは、無効な SPI アクセスとしてフラグされます ([表 36](#) 参照)。予備ビット・フィールドのあるレジスタにアクセスするときは、これらのビット・フィールドのデフォルト値を書き込む必要があります。これらの値は、[表 22](#)～[表 41](#) のリセット列に示されています。

レジスタへの書込み

レジスタへの書込みには [表 16](#) のフォーマットを使用します。デフォルトでは SPI CRC が有効になっています。入力レジスタの幅は 32 ビットで、最後の 8 ビットは CRC コードに対応しています。正確に 32 ビット幅のフレームだけが、有効なフレームとして受け入れられます。CRC が無効な場合、入力レジスタは 24 ビット幅です。32 ビット・フレームも受け入れられますが、最後の 8 ビットは無視されます。ビット [D23:D16] のビット名と機能を [表 17](#) に示します。ビット [D15:D0] は、アドレス指定されたレジスタによって異なります。

レジスタからの読出し

TWO_STAGE_READBACK_SELECT レジスタ ([表 35](#) を参照) で設定できる AD5413 のリードバック・モード用オプションを以下に示します。

- 2 段リードバック
- 自動ステータス・リードバック
- 共有 SYNC 自動ステータス・リードバック
- エコー・モード

2 段リードバック・モード

2 段リードバック・モードは、リードバックするレジスタの位置を選択するための TWO_STAGE_READBACK_SELECT レジスタへの書込みと、その後の NOP コマンド入力で構成されます。NOP コマンドを実行するには、NOP レジスタのビット [D15:D0] のすべてにゼロを書き込みます。NOP コマンドの間、選択したレジスタの内容は [表 18](#) に示すデータ・フレーム・フォーマットで SDO ピンに出力されます。2 番目のフレームで新しい 2 段リードバック・コマンドを書き込み、対応する新し

表 16. レジスタへの書込み

MSB								LSB	
D23	D22	D21	D20	D19	D18	D17	D16	[D15:D0]	
AD1	AD1	AD0	REG_ADR4	REG_ADR3	REG_ADR2	REG_ADR1	REG_ADR0	Data	

表 17. 入力レジスタ・デコード

ビット	説明
AD1	スリップ・ビット。このビットは、ビット D22 (AD1 ピン) を反転した値に等しくなければなりません。
AD1, AD0	これらのビットは外部ピン AD1 および AD0 と共に使用し、システム・コントローラでどの AD5413 デバイスをアドレス指定するかを決定します。AD1 と AD0 のアドレス 0b00、0b01、0b10、および 0b11 に対応する、最大 4 個のデバイスのアドレスを個別に指定できます。
REG_ADR4, REG_ADR3, REG_ADR2, REG_ADR1, REG_ADR0	これらのビットは、どのレジスタに書込みを行うかを選択します。使用可能なレジスタの概要については、 表 21 を参照してください。

いデータをその後のフレームで SDO ピンに出力することも可能です ([図 66](#) 参照)。ビット [D31:D30] (SPI CRC が有効でない場合はビット [D23:D22]) = 0b10 で、これはリードバック時の同期の一部として使われます。

TWO_STAGE_READBACK_SELECT レジスタへの最初の書込み命令の内容を、[表 19](#) に示します。

自動ステータス・リードバック・モード

自動ステータス・リードバック・モードを選択した場合は、各 SPI トランザクションの間、SDO ラインでステータス・レジスタの内容を出力することができます。ステータス・レジスタをリードバックする場合、SDO の内容は [表 18](#) に示すデータ・フレーム・フォーマットと異なります。ステータス・レジスタの内容を [表 20](#) に示します。[図 67](#) に示す例を参照してください。

自動ステータス・リードバック・モードは、TWO_STAGE_READBACK_SELECT レジスタの READBACK_MODE ビットで設定します (2 段リードバック選択レジスタのセクションを参照)。

共有 SYNC 自動ステータス・リードバック・モード

共有 SYNC 自動ステータス・リードバックは自動ステータス・リードバックの特別なバージョンで、複数の AD5413 デバイスが同じ SYNC ラインを共有している場合に SDO バスの競合を避けるために使われます。この問題が発生した場合、それぞれの AD5413 デバイスの識別はハードウェア・アドレス・ピン AD0 と AD1 を使って行います。デバイスへの有効な書込み後はその都度内部フラグがセットされ、その後の SYNC の立下がりエッジでそのフラグがクリアされます。共有 SYNC 自動ステータス・リードバック・モードでは、内部フラグがセットされていない限り (つまり、1 つ前の SPI 書込みが有効である限り)、SYNC がローになってもデバイスはステータス・レジスタの内容を SDO に出力しませんが、この点を除けば通常の自動ステータス・リードバック・モードと同様に動作します。[図 68](#) に示す例を参照してください。

エコー・モード

エコー・モードも自動ステータス・リードバックと同様に動作しますが、2 回目のリードバックが、すべてその前に行われた AD5413 へのコマンド書込みのエコーで構成される点が異なります。エコー・モードは、1 つ前の SPI フレームでどの SPI 命令が受信されたかをチェックするのに有用です。[図 69](#) に示す例を参照してください。

表 18. 読み出し操作時の SDO の内容

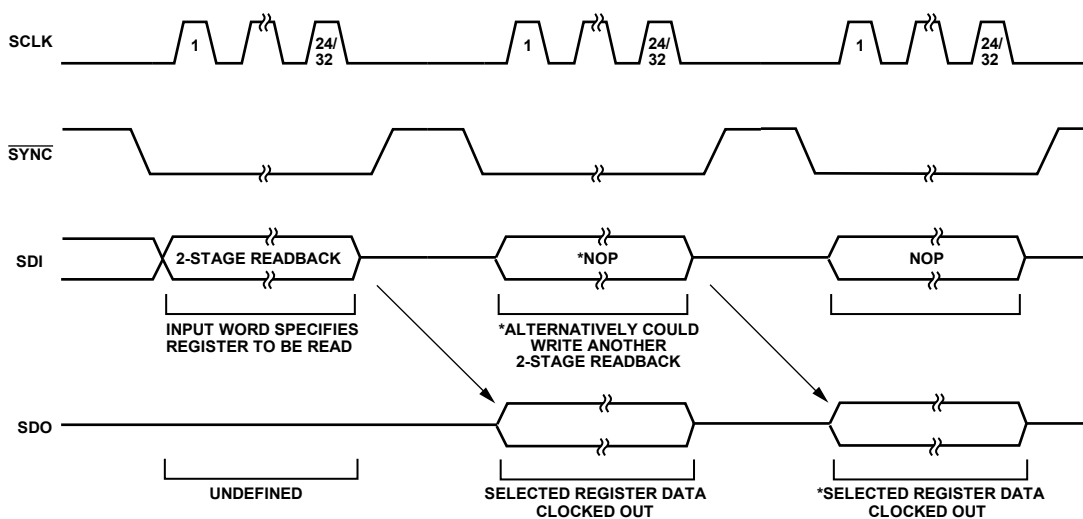
MSB			LSB			
[D23:D22]	D21	[D20:16]	[D15:D0]			
0b10	FAULT pin status	Register address	Data			

表 19. 2 段階リードバック・モードを使用時のレジスタ読み出し

MSB										LSB			
D23	D22	D21	D20	D19	D18	D17	D16	[D15:D5]	D4	D3	D2	D1	D0
AD1	AD1	AD0	0x13				Reserved			READBACK_SELECT[4:0]			

表 20. ステータス・レジスタの読み出し動作に関する SDO の内容

MSB					LSB	
D23	D22	D21	D20	D19	[D18:D0]	
1	0	FAULT_PIN_STATUS	DIG_DIAG_STATUS	ANA_DIAG_STATUS	Reserved	



*THIS OPERATION IS OPTIONAL.

図 66. 2 段階リードバックの例

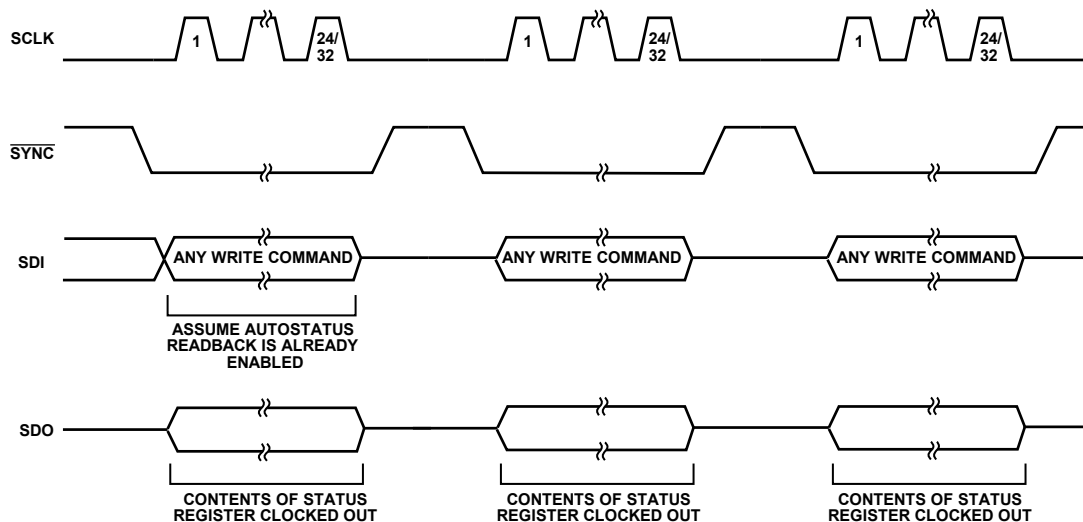


図 67. 自動ステータス・リードバックの例

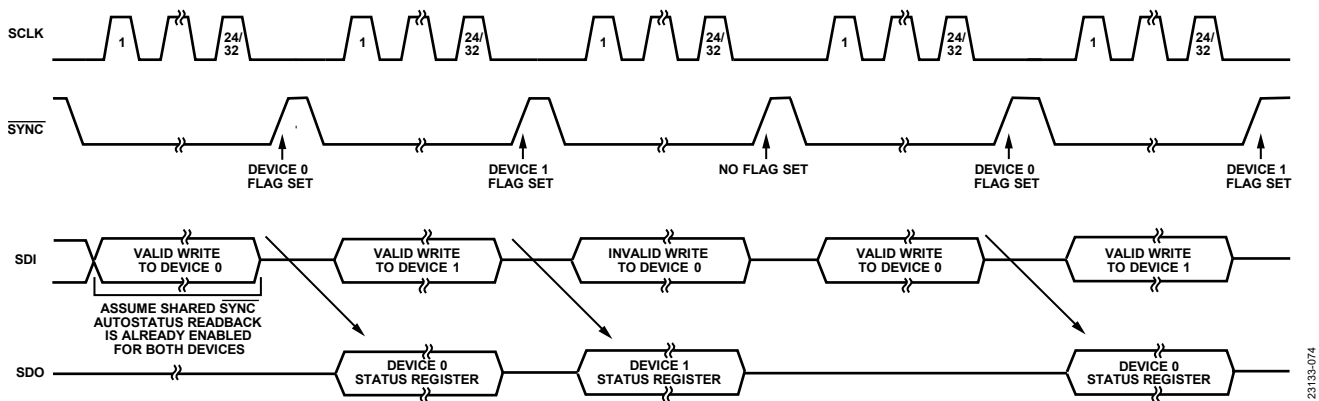


図 68. 共有 SYNC自動ステータス・リードバックの例



図 69. エコー・モードにおける SDO の内容

出力インエーブルを行う設定シーケンス

パワーオンまたはリセット状態後の AD5413 デバイスへの書き込みと設定は、次の手順で行います。

- ハードウェア・リセットまたはソフトウェア・リセットを行い、100 μ s 待ちます。
- キャリブレーション・メモリのリフレッシュを行うには、キャリブレーションレジスタに 0xFCBA を書き込みます。内部キャリブレーションを完了させる時間を取るように、あるいは DIGITAL_DIAG_RESULTS レジスタの CAL_MEM_UNREFRESHED ビットの値が 0 になるまでポーリングを行う時間を取るように、ステップ 3 へ進む前に少なくとも 500 μ s 待ちます。
- DIGITAL_DIAG_RESULTS レジスタのビット 13 に 1 を書き込んで、RESET_OCCURRED フラグをクリアします。
- DAC_CONFIG レジスタに書き込みを行って INT_EN ビットをセットし、これによりチャンネル出力をインエーブルせずに DAC と内蔵アンプをパワーアップして、出力範囲、内蔵/外付け R_{SET}、およびスルー・レートを設定します。この時点では OUT_EN ビットをディスエーブルに維持してください。内部キャリブレーションを完了させることができるように、あるいは DIGITAL_DIAG_RESULTS レジスタの CAL_MEM_UNREFRESHED ビットの値が 0 になるまでポーリングを行うことができるように、ステップ 6 へ進む前に少なくとも 500 μ s 待ちます。
- DAC_INPUT レジスタにゼロスケール DAC コードを書き込みます。ステップ 7 で電圧モードを選択する場合は、0V 出力を表す DAC コードを DAC_INPUT レジスタに書き込みます。DAC_INPUT レジスタの内容が変わっていない場合でも、このステップは完了させてください。

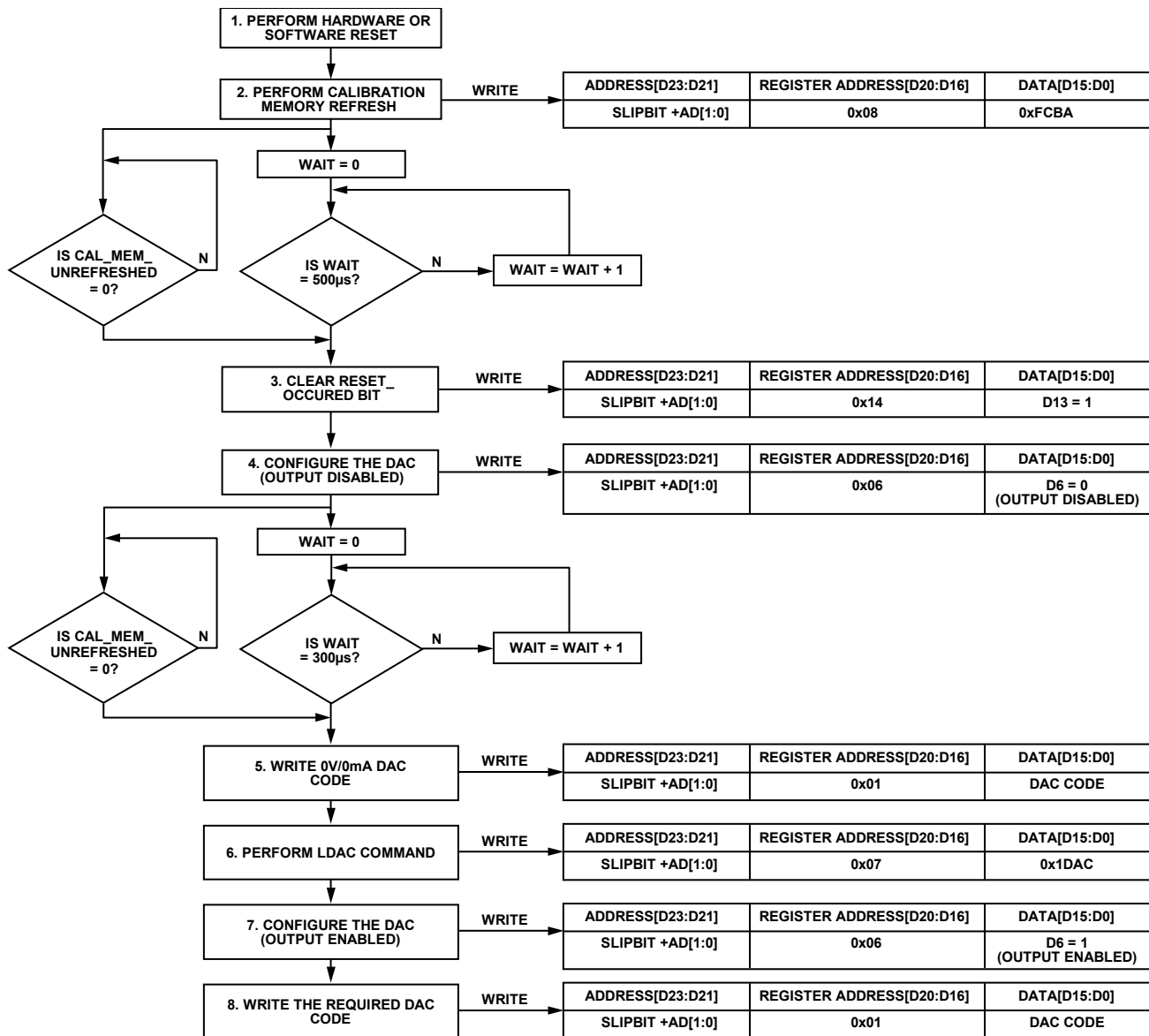
- LDAC コマンド機能を使用する場合は、ソフトウェアまたはハードウェア LDAC コマンドを実行します。
- DAC_CONFIG レジスタにステップ 4 と同じワードを書き込みますが、ここでは OUT_EN ビットをインエーブルします。
- DAC_INPUT レジスタに必要な DAC コードを書き込みます

このセットアップの設定例を図 70 に示します。

範囲の変更と設定

出力をインエーブルした場合、出力範囲を変更するには以下の推奨ステップを使用します。

- DAC_INPUT レジスタに書き込みを行います。出力を 0mA または 0V に設定します。
- DAC_CONFIG レジスタに書き込みを行います。出力をディスエーブルして (OUT_EN = 0) 新しい出力範囲を設定します。INT_EN ビットはセットしたままにしてください。内部キャリブレーションを完了させるために、ステップ 3 へ進む前に少なくとも 500 μ s 待ちます。
- 電圧出力モードの場合は、DAC_INPUT レジスタにコード 0x000 または 0x8000 を書き込みます。DAC_INPUT レジスタの内容が変わらない場合でも、このステップは完了させてください。
- ステップ 2 の DAC_CONFIG レジスタ・ワードを再ロードし、OUT_EN ビットを 1 に設定して出力をインエーブルします。
- DAC_INPUT レジスタに必要な DAC コードを書き込みます。



NOTES
1. A ? MEANS CONDITIONAL STATEMENT.

図 70. 出力を正しくイネーブルする設定の例（わかりやすくするために CRC は無効になっています）

23133-076

レジスタ・マップ

表 21. レジスタの一覧

アドレス	名前	説明	リセット	アクセス
0x00	NOP	NOP レジスタ	0x000000	R0/W
0x01	DAC_INPUT	DAC 入力レジスタ	0x010000	R/W
0x02	DAC_OUTPUT	DAC 出力レジスタ	0x020000	R
0x03	CLEAR_CODE	クリア・コード・レジスタ	0x030000	R/W
0x04	USER_GAIN	ユーザ・ゲイン・レジスタ	0x04FFFC	R/W
0x05	USER_OFFSET	ユーザ・オフセット・レジスタ	0x058000	R/W
0x06	DAC_CONFIG	DAC 設定レジスタ	0x060C00	R/W
0x07	SW_LDAC	ソフトウェア LDAC レジスタ	0x070000	R0/W
0x08	KEY	キー・レジスタ	0x080000	R0/W
0x09	GP_CONFIG1	汎用設定 1 レジスタ	0x090204	R/W
0x0A	GP_CONFIG2	汎用設定 2 レジスタ	0x0A0200	R/W
0x0B	RESERVED	予備	0x0B0000	R/W
0x0C	RESERVED	予備	0x0C0100	R/W
0x0D	RESERVED	予備	0x0D0000	R/W
0x0E	RESERVED	予備	0x0E0000	R/W
0x0F	RESERVED	予備	0x0F0009	R/W
0x10	DIGITAL_DIAG_CONFIG	デジタル診断設定レジスタ	0x10005D	R/W
0x11	RESERVED	予備	0x110000	R/W
0x12	FAULT_PIN_CONFIG	FAULTピン設定レジスタ	0x120000	R/W
0x13	TWO_STAGE_READBACK_SELECT	2 段リードバック選択レジスタ	0x130000	R/W
0x14	DIGITAL_DIAG_RESULTS	デジタル診断結果レジスタ	0x14A000	R/W-1-C
0x15	ANALOG_DIAG_RESULTS	アナログ診断結果レジスタ	0x150000	R/W-1-C
0x16	STATUS	ステータス・レジスタ	0x160000	R
0x17	CHIP_ID	チップ ID レジスタ	0x170101	R
0x18	FREQ_MONITOR	周波数モニタ・レジスタ	0x180000	R
0x19	RESERVED	予備	0x190000	R
0x1A	RESERVED	予備	0x1A0000	R
0x1B	RESERVED	予備	0x1B0000	R
0x1C	DEVICE_ID_3	ジェネリック ID レジスタ	0x1C0000	R

レジスタの詳細

NOP レジスタ

アドレス：0x00、リセット：0x000000、レジスタ名：NOP

NOP コマンドを実行するには、このアドレスのビット [15:0] に 0x0000 を書き込みます。NOP レジスタのビット [15:0] は、常に 0x0000 としてリードバックされます。

表 22. NOP のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	このビットには FAULT ピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス	0x0	R
[15:0]	NOP command	NOP コマンドを実行するには、これらのビットに 0x0000 を書き込みます。	0x0	R0/W

DAC 入力レジスタ

アドレス：0x01、リセット：0x010000、レジスタ名：DAC_INPUT

ビット [15:2] は、DAC に書き込む 14 ビット・データで構成されます。LDAC ピンをローに接続した（アクティブにした）場合は、LDAC 機能に関わりなく、DAC_INPUT レジスタの内容が DAC_OUTPUT レジスタに直接書き込まれます。LDAC ピンをハイに接続した場合は、LDAC ピンをローにするソフトウェア LDAC コマンドを書き込むと、DAC_INPUT レジスタの内容が DAC_OUTPUT レジスタに書き込まれます。

表 23. DAC_INPUT のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	このビットには FAULT ピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス	0x0	R
[15:2]	DAC_INPUT_DATA	DAC 入力データ。	0x0	R/W
[1:0]	RESERVED	これらのビットには書き込みをしないでください。	0x0	R/W

DAC 出力レジスタ

アドレス：0x02、リセット：0x020000、レジスタ名：DAC_OUTPUT

DAC_OUTPUT レジスタは読み出し専用レジスタで、最新の補正済み 14 ビット DAC 出力値が格納されます。

表 24. DAC_OUTPUT のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	このビットには FAULT ピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス	0x0	R
[15:2]	DAC_OUTPUT_DATA	DAC 出力データ。例えば、最後に補正された 14 ビット DAC 出力値。	0x0	R
[1:0]	RESERVED	これらのビットには書き込みをしないでください。	0x0	R/W

クリア・コード・レジスタ

アドレス：0x03、リセット：0x030000、レジスタ名：CLEAR_CODE

CLEAR_CODE レジスタに書き込みを行う場合、ビット [15:2] はクリア・コードで構成され、クリア・イベント発生時はこのクリア・コードで DAC がクリアされます。クリア・イベントが完了したら、DAC に書き込む 14 ビット・データを DAC_INPUT レジスタに書き込みます。書き込むデータが、クリア・イベント前に書き込まれていたデータと同じものであっても、これは同じです。ハードウェアまたはソフトウェアに LDAC 書き込みを行っても、DAC_OUTPUT レジスタは、最初に DAC_INPUT レジスタへ書き込みが行われるまでは新しいコードに更新されません。

表 25. CLEAR_CODE のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	このビットには FAULT ピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス	0x0	R
[15:2]	CLEAR_CODE	クリア・コード。クリア・イベントが発生すると、DAC はこのコードにクリアされます。	0x0	R/W
[1:0]	RESERVED	これらのビットには書き込みをしないでください。	0x0	R/W

ユーザ・ゲイン・レジスタ

アドレス：0x04、リセット：0x04FFFC、レジスタ名：USER_GAIN

14 個の USER_GAIN ビットを使うと、DAC チャンネルのゲインを 1LSB ステップで調整することができます。USER_GAIN レジスタのコーディングはストレート・バイナリです。デフォルト・コードは 0xFFFC です。理論的には、全出力範囲にわたってゲインを調整することができます。ただし、精度を保つために推奨されるゲイン調整は、最大でも設定範囲の約 50% です。

表 26. USER_GAIN のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	このビットには FAULT ピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス	0x0	R
[15:2]	USER_GAIN	ユーザ・ゲイン訂正コード。	0x3FFF	R/W
[1:0]	RESERVED	これらのビットには書き込みをしないでください。	0x0	R/W

ユーザ・オフセット・レジスタ

アドレス：0x05、リセット：0x058000、レジスタ名：USER_OFFSET

USER_OFFSET レジスタを使うと、DAC チャンネルのオフセットを-8192LSB~+8192LSB の範囲で 1LSB ステップ刻みで調整できます。USER_OFFSET レジスタのコーディングはストレート・バイナリです。デフォルト・コードは 0x8000 で、この場合、出力のオフセット設定はゼロになります。

表 27. USER_OFFSET のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	このビットには FAULT ピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス	0x0	R
[15:2]	USER_OFFSET	ユーザ・オフセット訂正コード。	0x2000	R/W
[1:0]	RESERVED	これらのビットには書き込みをしないでください。	0x0	R/W

DAC 設定レジスタ

アドレス：0x06、リセット：0x060C00、レジスタ名：DAC_CONFIG

DAC_CONFIG レジスタは、DAC の設定（範囲、内蔵/外付け R_{SET}、および出力イネーブル）、出力段回路のイネーブル、スルー・レート制御機能の設定を行います。

表 28. DAC_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	このビットには FAULT ピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス	0x0	R
[15:13]	SR_STEP	スルー・レート・ステップ。スルー・レート・ステップはスルー・レート・クロックと組み合わせて使い、更新ごとの出力値の変化の大きさを指定します。同時に、両パラメータにより出力値の変化レートが指定されます。 000：4LSB（デフォルト）。 001：12LSB。 010：64LSB。 011：120LSB。 100：256LSB。 101：500LSB。 110：1820LSB。 111：2048LSB。	0x0	R/W
[12:9]	SR_CLOCK	スルー・レート・クロック。このスルー・レート・クロックは、デジタル・スルーが更新されるレートを定義します。 0000：240kHz 0001：200kHz 0010：150kHz 0011：128kHz 0100：64kHz 0101：32kHz 0110：16kHz（デフォルト）。 0111：8kHz 1000：4kHz 1001：2kHz 1010：1kHz	0x6	R/W

ビット	ビット名	説明	リセット	アクセス
		1011 : 512Hz 1100 : 256Hz 1101 : 128Hz 1110 : 64Hz 1111 : 16Hz		
8	SR_EN	スルー・レート制御イネーブル。 0 : ディスエーブル (デフォルト)。 1 : イネーブル。	0x0	R/W
7	RSET_EXT_EN	外付け電流設定抵抗イネーブル。 0 : 内蔵 R _{SET} 抵抗をイネーブル (デフォルト)。 1 : 外付け R _{SET} 抵抗をイネーブル。	0x0	R/W
6	OUT_EN	V _{IOUT} イネーブル。 0 : V _{IOUT} 出力をディスエーブル (デフォルト)。 1 : V _{IOUT} 出力をイネーブル。	0x0	R/W
5	INT_EN	内部バッファ・イネーブル。このビットをセットすると、DAC と内蔵アンプがパワーアップされます。このビットをセットしても出力はイネーブルされません。このビットをセットしてから出力をイネーブルするまでには、200 μ s を超える遅延を設けてください。この遅延は、出力イネーブル・グリッチを減少させます。 0 : ディスエーブル (デフォルト)。 1 : イネーブル。	0x0	R/W
4	OVRNG_EN	10.5V の 20% の電圧オーバーレンジをイネーブル。 0 : ディスエーブル (デフォルト)。 1 : イネーブル。	0x0	R/W
[3:0]	RANGE	出力範囲を選択します。これらのビットの内容を変更すると、内部キャリブレーション・メモリのリフレッシュが開始されます。したがって、その後の SPI 書込みは、DIGITAL_DIAG_RESULTS レジスタの CAL_MEM_UNREFRESHED ビットが 0 に戻ってから行ってください。予備ビット [3:0] への書込みは無視されます。 0000 : 予備。これらのビットには書込みをしないでください。 0001 : 予備。これらのビットには書込みをしないでください。 0010 : 予備。これらのビットには書込みをしないでください。 0011 : $\pm 10.5V$ の電圧範囲。 1000 : 予備。これらのビットには書込みをしないでください。 1001 : 0mA \sim 24mA の電流範囲。 1010 : 予備。これらのビットには書込みをしないでください。 1011 : 予備。これらのビットには書込みをしないでください。 1100 : 予備。これらのビットには書込みをしないでください。 1101 : 予備。これらのビットには書込みをしないでください。	0x0	R/W

ソフトウェア LDAC レジスタ

アドレス : 0x07、リセット : 0x070000、レジスタ名 : SW_LDAC

SW_LDAC レジスタに 0x1DAC を書き込むと、その SPI フレーム内のアドレス・ビットと一致するデバイスに対してソフトウェア LDAC モードの更新が行われます。GP_CONFIG2 レジスタの GLOBAL_SW_LDAC ビットがセットされている場合は、ビット 21 とビット 22 が無視されて、同じ SPI バスを共有するすべてのデバイスが SW_LDAC コマンドを介して更新されます。このレジスタのビット [15:0] は、常に 0x0000 としてリードバックされます。

表 29. SW_LDAC のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	このビットには FAULT ピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス	0x0	R
[15:0]	LDAC_COMMAND	ソフトウェア LDAC コマンド。このレジスタに 0x1DAC を書き込むと、ソフトウェア LDAC 命令が実行されます。	0x0	R0/W

キー・レジスタ

アドレス：0x08、リセット：0x080000、レジスタ名：KEY

KEY レジスタは、キャリブレーション・メモリのリフレッシュやソフトウェア・リセットなどのタスクを実行する特定のキー・コードを受け入れます。このレジスタのビット [15:0] は、常に 0x0000 としてリードバックされます。リストされていないキー・コードはすべて予備です。

表 30. KEY のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	このビットには FAULT ピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス	0x0	R
[15:0]	KEY_CODE	キー・コード。 0x15FA：ソフトウェア・リセットを開始する 2 つのキーのうちの最初のキー。 0xAF51：ソフトウェア・リセットを開始する 2 つのキーのうちの 2 番目のキー。 0xFCBA：シャドウ・レジスタに対してキャリブレーション・メモリのリフレッシュを開始するキー。このキーは最初に実行する場合のみ有効で、その後同じシステム・リセット・サイクルの中で書き込みが行われても効果はありません。	0x0	R0/W

汎用設定 1 レジスタ

アドレス：0x09、リセット：0x090204、レジスタ名：GP_CONFIG1

GP_CONFIG1 レジスタは温度コンパレータ閾値などの機能の設定を行うほか、様々な機能を有効にします。

表 31. GP_CONFIG1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	このビットには FAULT ピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス	0x0	R
[15:14]	RESERVED	予備。	0x0	R
[13:12]	SET_TEMP_THRESHOLD	温度コンパレータの閾値設定。 00：142°C (デフォルト)。 01：127°C。 10：112°C。 11：97°C。	0x0	R/W
[11:10]	RESERVED	予備。	0x0	R/W
[9:7]	RESERVED	予備。	0x4	R/W
6	HART_EN	C _{HART} へのバスをイネーブル 0：DAC 出力が出力段を直接駆動します (デフォルト)。 1：HART モデムの接続またはスルー・コンデンサの接続ができるように、C _{HART} バスが DAC 出力に結合されます。	0x0	R/W
5	RESERVED	予備。	0x0	R/W
4	CLEAR_NOW_EN	出力スルー機能が有効になっている場合でも、DAC を更新するためのクリア・コードを直ちにイネーブルします。 0：ディスエーブル (デフォルト)。 1：イネーブル。	0x0	R/W
3	SPI_DIAG_QUIET_EN	SPI 診断クワイエット・モードを有効にします。このビットをイネーブルすると、ステータス・レジスタ内に DIG_DIAG_STATUS ビットを生成する論理 OR 計算から、SPI_CRC_ERR、SLIPBIT_ERR、および SCLK_COUNT_ERR ビットが除外されます。このビットがセットされると、これらのビットは FAULT ピンにも影響しなくなります。 0：ディスエーブル (デフォルト)。 1：イネーブル。	0x0	R/W
2	OSC_STOP_DETECT_EN	MCLK が停止した場合に、SDO の自動 0x07DEAD コードをイネーブルします。 0：ディスエーブル。 1：イネーブル (デフォルト)。	0x1	R/W
1	RESERVED	予備。	0x0	R/W
0	VIOUT_PULLDOWN_EN	AGND との間の VI _{OUT} 30kΩプルダウン抵抗をイネーブルします。 0：ディスエーブル (デフォルト)。 1：イネーブル。	0x0	R/W

汎用設定 2 レジスタ

アドレス : 0x0A、リセット : 0x0A0200、レジスタ名 : GP_CONFIG2

GP_CONFIG2 レジスタは、電圧コンパレータやグローバル・ソフトウェア LDAC コマンドなどの機能を設定して有効にします。

表 32. GP_CONFIG2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	このビットには FAULT ピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス	0x0	R
15	RESERVED	予備。	0x0	R0
[14:13]	COMPARATOR_CONFIG	これらのピンは、テストのために電圧コンパレータ入力をイネーブルまたはディスエーブルします。温度コンパレータは常時イネーブルされています (バックグラウンドでの電源および温度モニタリングのセクションを参照)。 00 : 電圧コンパレータをディスエーブル (デフォルト)。 01 : 予備。 10 : 予備。 11 : 電圧コンパレータをイネーブル。DAC_CONFIG レジスタの INT_EN ビットをセットすると、REFIN バッファをパワーアップして、REFIN コンパレータがその REFIN バッファを使用できるようになります。	0x0	R/W
12	RESERVED	予備。	0x0	R/W
11	RESERVED	予備。	0x0	R/W
10	GLOBAL_SW_LDAC	イネーブルすると、ソフトウェア LDAC コマンド実行時に AD5413 アドレス・ビットが無視され、1 つの SW_LDAC コマンドで複数のデバイスを同時に更新できるようになります。 0 : ディスエーブル (デフォルト)。 1 : イネーブル。	0x0	R/W
9	FAULT_TIMEOUT	短い故障検出タイムアウトを有効にします。このビットは、VI _{OUT} 故障が検出されたことをアナログ・ブロックが示してから、これに応じて ANALOG_DIAG_RESULTS レジスタ内の該当ビットが変化するまでの遅延を設定します。この機能は、様々な出力負荷値に対応できる柔軟性を提供します。 0 : 故障検出タイムアウト 25ms。 1 : 故障検出タイムアウト 6.5ms (デフォルト)。	0x1	R/W
[8:0]	RESERVED	予備。	0x0	R/W

デジタル診断設定レジスタ

アドレス : 0x10、リセット : 0x10005D、レジスタ名 : DIGITAL_DIAG_CONFIG

DIGITAL_DIAG_CONFIG レジスタは、特定アプリケーション用に様々なデジタル診断機能を設定します。

表 33. DIGITAL_DIAG_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	このビットには FAULT ピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス	0x0	R
[15:7]	RESERVED	予備。	0x0	R0
6	DAC_LATCH_MON_EN	DAC ラッチの診断モニタを有効にします。この機能は DAC を駆動する実際のデジタル・コードをモニタして、このコードをデジタル・ブロック内で生成されるデジタル・コードと比較します。これら 2 つのコード間に何らかの違いがあると、DIGITAL_DIAG_RESULTS レジスタに DAC_LATCH_MON_ERR フラグ・ビットがセットされます。 0 : 無効。 1 : 有効 (デフォルト)。	0x1	R/W
5	RESERVED	予備。	0x0	R/W
4	INVERSE_DAC_CHECK_EN	DAC コードと反転 DAC コードのエラーに関するチェックを有効にします。 0 : 無効。 1 : 有効 (デフォルト)。	0x1	R/W
3	CAL_MEM_CRC_EN	キャリブレーション・メモリのリフレッシュ時にキャリブレーション・メモリの CRC を有効にします。 0 : 無効。 1 : 有効 (デフォルト)。	0x1	R/W

ビット	ビット名	説明	リセット	アクセス
2	FREQ_MON_EN	MCLK の内部周波数モニタを有効にします。 0 : 無効。 1 : 有効 (デフォルト)。	0x1	R/W
1	RESERVED	予備。	0x0	R/W
0	SPI_CRC_EN	SPI CRC 機能を有効にします。 0 : 無効。 1 : 有効 (デフォルト)。	0x1	R/W

FAULTピン設定レジスタ

アドレス : 0x12、リセット : 0x120000、レジスタ名 : FAULT_PIN_CONFIG

FAULT_PIN_CONFIG レジスタは、必要に応じて FAULTピンから特定の故障ビットをマスクするために使用します。

表 34. FAULT_PIN_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	このビットには FAULTピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス	0x0	R
15	INVALID_SPI_ACCESS_ERR	このビットをセットした場合は、無効な SPI アクセス故障フラグを FAULTピンにマップしないでください。	0x0	R/W
14	RESERVED	予備。	0x0	R/W
13	RESERVED	予備。	0x0	R/W
12	INVERSE_DAC_CHECK_ERR	このビットをセットした場合は、反転 DAC チェック・エラー・フラグを FAULTピンにマップしないでください。	0x0	R/W
11	RESERVED	予備。	0x0	R/W
10	OSCILLATOR_STOP_DETECT	このビットをセットした場合は、発振器停止検出故障を FAULTピンにマップしないでください。	0x0	R/W
9	DAC_LATCH_MON_ERR	このビットをセットした場合は、DAC ラッチ・モニタ・エラー・フラグを FAULTピンにマップしないでください。	0x0	R/W
8	RESERVED	予備。	0x0	R/W
7	SLIPBIT_ERR	このビットをセットした場合は、スリップ・ビット・エラー・フラグを FAULTピンにマップしないでください。	0x0	R/W
6	SPI_CRC_ERR	このビットをセットした場合は、SPI CRC エラー・フラグを FAULTピンにマップしないでください。	0x0	R/W
[5:4]	RESERVED	予備。	0x0	R/W
3	IOUT_OC_ERR	このビットをセットした場合は、電流出力オープンサーキット・エラー・フラグを FAULTピンにマップしないでください。	0x0	R/W
2	VOUT_SC_ERR	このビットをセットした場合は、電圧出力短絡エラー・フラグを FAULTピンにマップしないでください。	0x0	R/W
1	RESERVED	予備。	0x0	R/W
0	DIE_TEMP_ERR	このビットをセットした場合は、ダイ温度エラー・フラグを FAULTピンにマップしないでください。	0x0	R/W

2 段リードバック選択レジスタ

アドレス : 0x13、リセット : 0x130000、レジスタ名 : TWO_STAGE_READBACK_SELECT

TWO_STAGE_READBACK_SELECT レジスタは、2 段リードバック動作に必要なレジスタのアドレスを選択します。リードバック用に選択したレジスタのアドレスは、ビット [4:0] に保存されます。

表 35. TWO_STAGE_READBACK_SELECT のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	このビットには FAULTピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス	0x0	R
[15:7]	RESERVED	予備。	0x0	R
[6:5]	READBACK_MODE	SPI リードバック・モード制御ビット。 0 : 2 段 SPI リードバック・モード (デフォルト)。 01 : 自動ステータス・リードバック・モードステータス・レジスタの内容が、SPI フレームごとに SDO にシフト・アウトされます。 10 : 共有 SYNC 自動ステータス・リードバック・モード。このモードでは、複数のデバイスで同じ SYNC ラインを共有することができます (ハードウェア・アドレス・ピンを使用してデバイスを区別)。デバイスへの有効な書き込みが終了するたびにフラグがセットされます。このモードは、内部フラグがセットされていない限り (つまり、1 つ前の SPI 書き込みが有効となっていない限り)、SYNC がローになってもデバイスはステータス・レジスタの内容を SDO に出力しません。この点を除き、通常の自動ステータス・リードバック・モードと同様に動作します。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
		11: ステータス・レジスタの内容と前の SPI フレームの命令を SDO で交互に使用できます。		
[4:0]	READBACK_SELECT	2 段リードバックのリードバック・アドレスを選択します。 0x00: NOP レジスタ (デフォルト)。 0x01: DAC_INPUT レジスタ。 0x02: DAC_OUTPUT レジスタ。 0x03: CLEAR_CODE レジスタ。 0x04: USER_GAIN レジスタ。 0x05: USER_OFFSET レジスタ。 0x06: DAC_CONFIG レジスタ。 0x07: SW_LDAC レジスタ。 0x08: KEY レジスタ。 0x09: GP_CONFIG1 レジスタ。 0x0A: GP_CONFIG2 レジスタ。 0x0B: 予備 (このオプションは選択しないでください)。 0x0C: 予備 (このオプションは選択しないでください)。 0x0D: 予備 (このオプションは選択しないでください)。 0x0E: 予備 (このオプションは選択しないでください)。 0x0F: 予備 (このオプションは選択しないでください)。 0x10: DIGITAL_DIAG_CONFIG レジスタ。 0x11: 予備 (このオプションは選択しないでください)。 0x12: FAULT_PIN_CONFIG レジスタ。 0x13: TWO_STAGE_READBACK_SELECT レジスタ。 0x14: DIGITAL_DIAG_RESULTS レジスタ。 0x15: ANALOG_DIAG_RESULTS レジスタ。 0x16: STATUS レジスタ。 0x17: CHIP_ID レジスタ。 0x18: FREQ_MONITOR レジスタ。 0x19: 予備 (このオプションは選択しないでください)。 0x1A: 予備 (このオプションは選択しないでください)。 0x1B: 予備 (このオプションは選択しないでください)。 0x1C: DEVICE_ID_3 レジスタ。	0x0	R/W

デジタル診断結果レジスタ

アドレス: 0x14、リセット: 0x14A000、レジスタ名: DIGITAL_DIAG_RESULTS

DIGITAL_DIAG_RESULTS レジスタには、オンチップ・デジタル診断機能用のエラー・フラグが格納されます。これらの機能のほとんどは、デジタル診断設定レジスタを使って設定できます。このレジスタには、リセットが行われたことを示すフラグや、キャリブレーション・メモリがリフレッシュされていないこと、あるいは無効な SPI アクセスをしようとしたことを示すフラグも格納されます。CAL_MEM_UNREFRESHED フラグと SLEW_BUSY フラグを除き、すべてのフラグを最新の値に更新するには、それらのフラグに 1 を書き込む必要があります。CAL_MEM_UNREFRESHED フラグはキャリブレーション・メモリのリフレッシュが完了すると自動的にクリアされ、SLEW_BUSY フラグは出力スルーが完了すると自動的にクリアされます。DIGITAL_DIAG_CONFIG レジスタの対応するイネーブル・ビットがイネーブルされていない場合、各フラグ・ビットはゼロと見なされます。

表 36. DIGITAL_DIAG_RESULTS のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	このビットには FAULT ピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス	0x0	R
15	CAL_MEM_UNREFRESHED	キャリブレーション・メモリ未リフレッシュ・フラグ。DAC_CONFIG レジスタ内の RANGE ビットに変更を加えるとキャリブレーション・メモリのリフレッシュが開始され、その場合はこのビットがアサートされます。このレジスタ内の R/W-1-C ビットと異なり、このビットは、キャリブレーション・メモリのリフレッシュが完了すると自動的にクリアされます。 0: キャリブレーション・メモリをリフレッシュします。 1: キャリブレーション・メモリはリフレッシュされません (パワーアップ時のデフォルト)。DAC_CONFIG レジスタの RANGE ビットが変更された場合は、このビットがアサートされます。	0x1	R

ビット	ビット名	説明	リセット	アクセス
14	SLEW_BUSY	DAC が能動的にスルーイングしているときは、このフラグが 1 に設定されます。このレジスタ内の R/W-1-C ビットと異なり、このビットはスルーイングが完了すると自動的にクリアされます。	0x0	R
13	RESET_OCCURRED	このビットは、リセットが行われたことをフラグします (パワーアップ時のデフォルトはロジック 1)。	0x1	R/W-1-C
12	RESERVED	予備。	0x0	R/W-1-C
11	RESERVED	予備。	0x0	R/W-1-C
[10:9]	RESERVED	予備。	0x0	R/W-1-C
8	DAC_LATCH_MON_ERR	このビットは、DAC ラッチの出力が入力と一致しない場合にエラーをフラグします。	0x0	R/W-1-C
7	RESERVED	予備。	0x0	R/W-1-C
6	INVERSE_DAC_CHECK_ERR	このビットは、デジタル・コアによって駆動される DAC コードと反転コピーの間で異常が検出されると、エラーをフラグします。	0x0	R/W-1-C
5	CAL_MEM_CRC_ERR	このビットは、キャリブレーション・メモリをリフレッシュする際の CRC 計算に関する CRC エラーをフラグします。	0x0	R/W-1-C
4	INVALID_SPI_ACCESS_ERR	このビットは、無効なアドレスや予備アドレスとの間の読出しや書き込みなど、無効な SPI アクセスを試みられた場合にエラーをフラグします。このビットは、パワーアップ直後のキャリブレーション・メモリのリフレッシュ前に SPI 書き込みをしようとした場合や、キャリブレーション・メモリのリフレッシュ進行中に SPI 書き込みをしようとした場合も、エラーをフラグします。キャリブレーション・メモリのリフレッシュ中に 2 段階リロードバックを行うことは可能です。このフラグがセットされることはありません。読出し専用レジスタに書き込みをしようとした場合も、このビットがアサートされます。	0x0	R/W-1-C
3	RESERVED	予備。	0x0	R/W-1-C
2	SCLK_COUNT_ERR	このビットは、SCLK 立下がりエッジ・カウント・エラーをフラグします。SPI CRC が有効になっている場合は 32 クロックが必要です。SPI CRC が有効になっていない場合は、24 クロックと 32 クロックの両方を使用できます。	0x0	R/W-1-C
1	SLIPBIT_ERR	このビットは、SPI ワードの MSB が MSB-1 を反転した値に等しくない場合に、SPI フレーム・スリップ・ビット・エラーをフラグします。	0x0	R/W-1-C
0	SPI_CRC_ERR	このビットは SPI CRC エラーをフラグします。	0x0	R/W-1-C

アナログ診断結果レジスタ

アドレス : 0x15、リセット : 0x150000、レジスタ名 : ANALOG_DIAG_RESULTS

ANALOG_DIAG_RESULTS レジスタには、コンパレータがバックグラウンドでモニタする 4 つの電圧ノード (VLDO、INT_AVCC、REFIN、REFOUT) に対応するエラー・フラグと、やはりコンパレータがモニタするダイ温度に関するフラグが格納されます。このレジスタには、電圧出力短絡と電流出力オープン・サーキットが格納されます。DIGITAL_DIAG_RESULTS レジスタと同様に、フラグを更新またはクリアするには、このレジスタ内のすべてのフラグに 1 を書き込む必要があります。対応する診断機能がイネーブルされていない場合、それぞれのエラー・フラグはゼロと見なされます。

表 37. ANALOG_DIAG_RESULTS のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	このビットには FAULT ピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス	0x0	R
[15:8]	RESERVED	予備。	0x0	R0
7	IOUT_OC_ERR	このビットは、電流出力オープン・サーキット・エラーをフラグします。このエラー・ビットは、電流出力オープン・サーキットの場合と、内部電流出力駆動回路が設定出力電流を提供できるだけの十分なヘッドルームを使用できない場合にセットされます。	0x0	R/W-1-C
6	VOUT_SC_ERR	このビットは、電圧出力短絡エラーをフラグします。	0x0	R/W-1-C
5	RESERVED	予備。	0x0	R0
4	DIE_TEMP_ERR	このビットはダイの過熱エラーをフラグします。	0x0	R/W-1-C
3	REFOUT_ERR	このビットは、REFOUT ノードがコンパレータの閾値レベルを超えたこと、あるいはその短絡電流制限に達したことをフラグします。	0x0	R/W-1-C
2	REFIN_ERR	このビットは、REFIN ノードがコンパレータの閾値レベルを超えたことをフラグします。	0x0	R/W-1-C
1	INT_AVCC_ERR	このビットは、INT_AVCC ノードがコンパレータの閾値レベルを超えたことをフラグします。	0x0	R/W-1-C
0	VLDO_ERR	このビットは、VLDO ノードがコンパレータの閾値レベルを超えたこと、あるいは短絡電流制限に達したことをフラグします。	0x0	R/W-1-C

ステータス・レジスタ

アドレス：0x16、リセット：0x160000、レジスタ名：STATUS

STATUS レジスタには、ステータス・ビットのほか、OR 演算されたアナログおよびデジタル診断、および FAULT ピンのステータス・ビットが格納されます。

表 38. STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	このビットには FAULT ピンの現在のステータスが反映されます。	0x0	R
20	DIG_DIAG_STATUS	このビットは、DIGITAL_DIAG_RESULTS レジスタのビット [15:0] (SLEW_BUSY ビットを除く) の内容を論理 OR した結果を表します。これらのビットのいずれかがハイの場合は、DIG_DIAG_STATUS ビットもハイになります。パワーアップ時には RESET_OCCURRED フラグ・ビットがアクティブなので、このビットはハイになります。クワイエット・モードを使用することもできます (GP_CONFIG1 レジスタの SPI_DIAG_QUIET_EN)。この場合、論理 OR 機能の対象は、DIGITAL_DIAG_RESULTS レジスタのビット [15:3] (SLEW_BUSY ビットを除く) だけになります。SPI CRC、SPI スリップ・ビット、または SCLK カウント・エラーが発生した場合、DIG_DIAG_STATUS はハイにセットされません。	0x1	R
19	ANA_DIAG_STATUS	このビットは、ANALOG_DIAG_RESULTS レジスタのビット [13:0] の内容を論理 OR した結果を表します。ANALOG_DIAG_RESULTS レジスタのいずれかのビットがハイの場合は、ANA_DIAG_STATUS ビットもハイになります。	0x0	R
[18:0]	RESERVED	予備。	0x0	R

チップ ID レジスタ

アドレス：0x17、リセット：0x170101、レジスタ名：CHIP_ID

CHIP_ID レジスタには、ダイのチップ ID が格納されます。

表 39. CHIP_ID ビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	このビットには FAULT ピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス	0x0	R
[15:11]	RESERVED	予備。	0x0	R0
[10:8]	RESERVED	予備。	0x0	R0
[7:0]	DIE_CHIP_ID	これらのビットには、ダイのリビジョン番号が反映されます。	0x2	R

周波数モニタ・レジスタ

アドレス：0x18、リセット：0x180000、レジスタ名：FREQ_MONITOR

内部周波数モニタは、MCLK を使って 1kHz (MCLK/10,000) の周波数でパルスを生成します。このパルスは 16 ビット・カウンタを加算します。カウンタの値は、FREQ_MONITOR レジスタから読み出すことができます。ユーザはこのレジスタを周期的にポーリングして、それを内部発振器の診断ツール (発振器が動作しているかどうかのモニタ) として使用したり、周波数を測定するために使用したりすることができます。この機能は、DIGITAL_DIAG_CONFIG レジスタの FREQ_MON_EN ビットによりデフォルトで有効になっており、MCLK の堅牢性のチェックに使用することができます。

表 40. FREQ_MONITOR のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	このビットには FAULT ピンの現在のステータスが反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス	0x0	R
[15:0]	FREQ_MONITOR	内部クロック・カウンタの値。	0x0	R

ジェネリック ID レジスタ

アドレス : 0x1C、リセット : 0x1C0000、レジスタ名 : DEVICE_ID_3

表 41. DEVICE_ID_3 のビットの説明

ビット	ビット名	説明	リセット	アクセス
21	FAULT_PIN_STATUS	このビットには、 <u>FAULT</u> ピンの現在のステータスを反転した値が反映されます。	0x0	R
[20:16]	REGISTER_ADDRESS	レジスタ・アドレス	0x0	R
[15:8]	RESERVED	予備。	0x0	R
[7:3]	RESERVED	予備。	0x0	R
[2:0]	GENERIC_ID	ジェネリック ID。 000 : 予備。 001 : 予備。 010 : 予備。 011 : 予備。 100 : 予備。 101 : 予備。 110 : 予備。 111 : AD5413。	0x0 0x0 0x0 0x0 0x0 0x0 0x0 0x0	R R R R R R R R

外形寸法

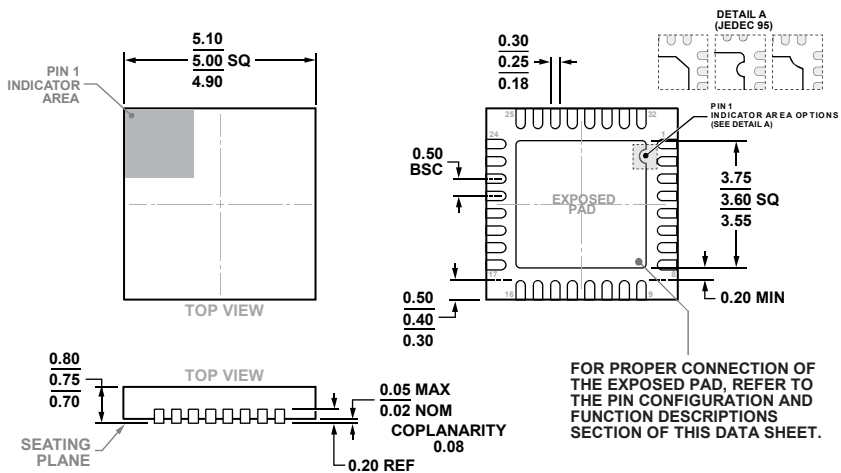


FIGURE 71

09-1220f/c

COMPLIANT TO JEDEC STANDARDS MO-220-WHHD-5

図 71. 32 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP]
 5mm×5mm ボディ、0.75mm パッケージ高
 (CP-32-12)
 寸法：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD5413BCPZ	-40°C to +105°C	32-Lead Lead Frame Chip Scale Package [LFCSP]	CP-32-12
AD5413BCPZ-RL7	-40°C to +105°C	32-Lead Lead Frame Chip Scale Package [LFCSP]	CP-32-12
EVAL-AD5413SDZ		Evaluation Board	

¹ Z = RoHS 準拠製品