

# バッファ付き 8 チャンネル同時サンプリング、 16 ビットの 250kSPS DAS

## 特長

- ▶ フル機能の 16 ビット・データ・アキュジション・システム
  - ▶ 内部バッファされた 8 個のチャンネルの同時サンプリング
  - ▶ チャンネルあたり 250kSPS のスループット
  - ▶ 同相電圧範囲が広い差動入力
  - ▶ 25°C で ±75pA (代表値) の入力リーク電流
  - ▶ 300ns 未満のフルスケール入カステップ・セトリング・タイム
  - ▶ リファレンスとリファレンス・バッファを内蔵 (4.096V)
  - ▶ 電源デカップリング・コンデンサを内蔵
  - ▶ 250kSPS でチャンネルあたり 27mW (消費電力はスループットに比例)
- ▶ 最小限の外部シグナル・コンディショニング
- ▶ シームレス・ハイ・ダイナミック・レンジ
  - ▶ サンプルごと、チャンネルごとにゲイン範囲を自動設定
  - ▶ ppm レベルの INL を維持
- ▶ チャンネルごとの SoftSpan 入力レンジ (バイポーラまたはユニポーラ)
  - ▶ ±40V、±25V、±20V、±12.5V、±10V、±6.25V、±5V、±2.5V
  - ▶ 0V~40V、25V、20V、12.5V、10V、6.25V、5V、2.5V

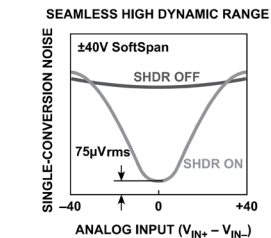
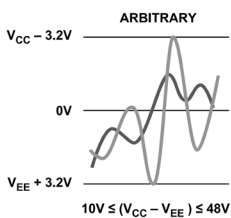
- ▶ レール to レールの入力オーバードライブ耐性
- ▶ 高性能
  - ▶ INL : ±160μV (代表値、±40V レンジ)
  - ▶ S/N 比 : 94.6dB、シングル変換 (代表値、±40V レンジ)
  - ▶ DR : 98.1dB、シングル変換 (代表値、±40V レンジ)
  - ▶ THD : -117dB (代表値、±40V レンジ)
  - ▶ CMRR : 120dB (代表値)
- ▶ デジタルの柔軟性
  - ▶ SPI CMOS (0.9V~5.25V) および LVDS シリアル入出力
  - ▶ 16 ビットのデジタル平均化によるオーバーサンプリング (オプション)
  - ▶ オフセット、ゲイン、位相の補正 (オプション)
- ▶ 7.00mm × 7.00mm、64 ボール BGA のフル・ソリューション・フットプリント

## アプリケーション

- ▶ 自動試験装置 (ATE)
- ▶ アビオニクス (航空電子機器) および航空宇宙
- ▶ 計測器および制御システム
- ▶ 半導体製造
- ▶ 試験および計測

## 機能ブロック図

### DIFFERENTIAL INPUTS IN+/IN- WITH WIDE INPUT COMMON MODE RANGE



### EXAMPLE USE CASES

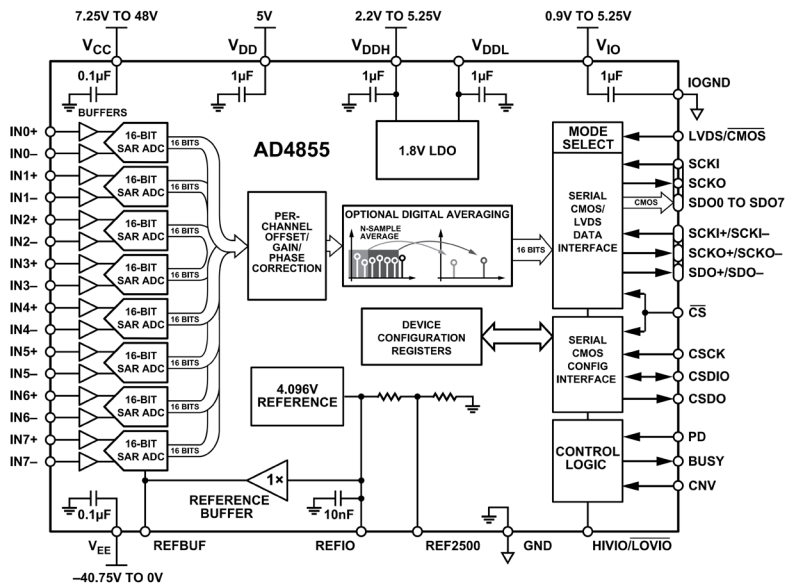
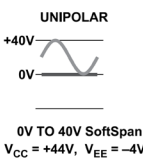
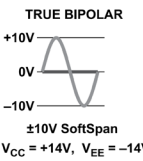
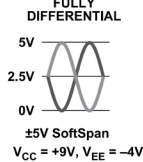


図 1. 機能ブロック図 (アナログ入力信号での使用例を图示)

## Rev. 0

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

## 目次

特長.....	1	レジスタの詳細.....	54
アプリケーション.....	1	SPI 設定 A レジスタ.....	54
機能ブロック図.....	1	SPI 設定 B レジスタ.....	55
概要.....	3	デバイス設定レジスタ.....	55
関連製品.....	3	デバイス・タイプ・レジスタ.....	55
仕様.....	4	製品 ID ロー・レジスタ.....	56
タイミング仕様.....	13	製品 ID ハイ・レジスタ.....	56
絶対最大定格.....	18	デバイス・グレード・レジスタ.....	56
ジャンクション温度.....	18	スクラッチ・パッド・レジスタ.....	56
熱特性.....	18	SPI リビジョン・レジスタ.....	57
静電放電 (ESD) 定格.....	18	ベンダ ID ロー・レジスタ.....	57
ESD に関する注意.....	18	ベンダ ID ハイ・レジスタ.....	57
ピン配置およびピン機能の説明.....	19	ループ設定 A レジスタ.....	57
代表的な性能特性.....	22	ループ設定 B レジスタ.....	58
用語の定義.....	29	SPI 設定 C レジスタ.....	58
動作原理.....	30	SPI ステータス・レジスタ.....	59
概要.....	30	SPI 設定 D レジスタ.....	59
コンバータの動作.....	30	デバイス・ステータス・レジスタ.....	60
伝達関数.....	30	チャンネル・オーバーレンジ・ステータス・レジスタ.....	61
SoftSpan.....	31	チャンネル・アンダーレンジ・ステータス・レジスタ.....	61
シームレス・ハイ・ダイナミック・レンジ.....	31	レジスタ・マップ CRC.....	62
デジタル処理機能.....	32	デバイス制御レジスタ.....	62
アプリケーション情報.....	36	パケット・フォーマット・レジスタ.....	63
バッファされたアナログ入力.....	36	オーバーサンプル制御レジスタ.....	63
アナログ入力駆動回路.....	36	シームレス・ハイ・ダイナミック・レンジ・レジスタ.....	64
アナログ入力のオーバードライブ耐性.....	36	チャンネル・スリープ・レジスタ.....	65
アナログ入力のフィルタ処理.....	37	チャンネル 0 SoftSpan レジスタ.....	65
DAS リファレンス.....	37	チャンネル 0 オフセット・レジスタ.....	66
電力に関する考慮事項.....	38	チャンネル 0 ゲイン・レジスタ.....	66
タイミングと制御.....	39	チャンネル 0 位相レジスタ.....	66
デジタル・インターフェース.....	41	チャンネル 0 オーバーレンジ制限レジスタ.....	67
CMOS 変換データ出力モード.....	41	チャンネル 0 アンダーレンジ制限レジスタ.....	67
LVDS 変換データ出力モード.....	42	チャンネル 0 テスト・パターン・レジスタ.....	67
パケット・フォーマット.....	44	外形寸法.....	68
SPI レジスタ設定バス.....	47	オーダー・ガイド.....	68
レジスタの一覧.....	50	評価用ボード.....	68

## 改訂履歴

8/2024—Revision 0: Initial Version

## 概要

AD4855 は、8 チャンネルすべてでバッファ付きの同時サンプリングが可能な 20 ビット 250kSPS のデータ・アキュイジション・システム (DAS) で、同相電圧範囲の広い差動入力を備えています。その機能アーキテクチャを図 1 に示します。5V の低電圧かつ柔軟な入力バッファの電源で動作し、高精度、低ドリフトの内蔵リファレンスおよびリファレンス・バッファを用いている AD4855 は、各チャンネルの SoftSpan レンジを個別に設定できるため、アプリケーション固有の信号振幅に対応可能で、追加の外部シグナル・コンディショニングを最小限に抑えることができます。シングル変換のダイナミック・レンジを更に拡大するために、AD4855 はシームレス・ハイ・ダイナミック・レンジ (SHDR) 技術を採用しています。これを有効にすると、チャンネルの入力信号経路ゲインがサンプルごとに自動的に最適化されるため、直線性に影響を及ぼすことなく各サンプルのコンバータ・ノイズを最小限に抑えることができます。

AD4855 は、11MHz の帯域幅、ピコアンペアの入力アナログ・バッファ、広い入力同相電圧範囲、120dB の同相モード除去比 (CMRR) を備えているため、DAS は IN<sub>x+</sub> および IN<sub>x-</sub> での任意の振幅の入力信号を直接デジタル化できます。その入力信号の柔軟性により、±160μV の積分非直線性 (INL)、16 ビットでのノー・ミス・コード、94.6dB の S/N 比 (SNR)、98.1dB のダイナミック・レンジと相まって、AD4855 は、高い正確性、スループット、および精度をコンパクトなソリューション・フットプリントで実現するアプリケーションに最適な選択肢となっています。16 ビットのオーバーサンプリングを有効化すれば、S/N 比およびダイナミック・レンジを更に向上できます。オプションでチャンネルごとにオフセット、ゲイン、位相を調整できるため、DAS の上流で生じるシステムレベルの誤差を補正し、また、除去することが可能です。

AD4855 は、シリアル・ペリフェラル・インターフェース (SPI) レジスタ設定バス (0.9V~5.25V) を備えており、低電圧差動シグナリング・バス (LVDS) と相補型金属酸化膜半導体 (CMOS) 変換データ出力バスの両方に対応できます。これらのバスの選択には LVDS/CMOS ピンを使用します。CMOS モードでは 1~8 本のデータ出力ラインを使用できるため、バスの幅およびスループットを最適化できます。

7.00mm × 7.00mm、64 ボールのボール・グリッド・アレイ (BGA) を採用した AD4855 には、重要な電源およびリファレンスのパイパス・コンデンサが内蔵されているため、ソリューション全体のフットプリントと部品数を最小限に抑えることができ、アプリケーションのプリント回路基板 (PCB) レイアウトによる影響を低減できます。本デバイスは、拡張工業用温度範囲 -40°C ~ +125°C にわたって動作します。

このデータシートでは、LVDS/CMOS などの多機能ピンについて、ピン名全体を表記する場合と、ピンが持つ機能の 1 つを表記する場合があることに注意してください。例えば、LVDS 機能のみが関連する場合は、LVDS と表記されます。

## 関連製品

- ▶ 電圧リファレンス : [LTC6655-4.096](#) または [ADR4540](#)
- ▶ 電源ソリューション : [LT1761](#)、[LT8330](#)、[LT3042](#)

仕様

$V_{EE} = -40.75V \sim 0V$ 、 $V_{CC} = 7.25V \sim 48V$ 、 $(V_{CC} - V_{EE}) = 10V \sim 48V$ 、 $V_{DD} = 5V$ 、 $V_{DDH} = 2.5V$ 、 $1.8V$  の低ドロップアウト (LDO) レギュレータをイネーブル、 $V_{IO} = 0.9V \sim 5.25V$ 。特に指定のない限り、全チャンネルがサンプリング周波数 ( $f_s$ ) = 250kSPS で変換、内蔵リファレンスおよびリファレンス・バッファをイネーブル、全 SoftSpan レンジ、SoftSpan 15 および SoftSpan 13 では完全差動入力信号駆動、その他のバイポーラまたはユニポーラの SoftSpan レンジでは真のバイポーラまたはユニポーラ信号駆動、すべての仕様は  $T_{MIN} \sim T_{MAX}$ 。代表値は  $T_A = 25^\circ C$  での値です。

表 1. 仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION		16			Bits
ANALOG INPUTS					
Absolute Input Voltage	$V_{INX+}^1, V_{INX-}^2$ to $V_{CC}$ and $V_{EE}$	$V_{EE} + 3.2$		$V_{CC} - 3.2$	V
Differential Input Range	$(V_{INX+} - V_{INX-})$ , $V_{REF}^3 = V_{REFBUF}^4/1.024$				
	SoftSpan 15: $\pm 10 \times V_{REF}$ range	$-10 \times V_{REF}$		$+10 \times V_{REF}$	V
	SoftSpan 14: 0 V to $10 \times V_{REF}$ range	0		$10 \times V_{REF}$	V
	SoftSpan 13: $\pm 6.25 \times V_{REF}$ range	$-6.25 \times V_{REF}$		$+6.25 \times V_{REF}$	V
	SoftSpan 12: 0 V to $6.25 \times V_{REF}$ range	0		$6.25 \times V_{REF}$	V
	SoftSpan 11: $\pm 5 \times V_{REF}$ range	$-5 \times V_{REF}$		$+5 \times V_{REF}$	V
	SoftSpan 10: 0 V to $5 \times V_{REF}$ range	0		$5 \times V_{REF}$	V
	SoftSpan 9: $\pm 3.125 \times V_{REF}$ range	$-3.125 \times V_{REF}$		$+3.125 \times V_{REF}$	V
	SoftSpan 8: 0 V to $3.125 \times V_{REF}$ range	0		$3.125 \times V_{REF}$	V
	SoftSpan 7: $\pm 2.5 \times V_{REF}$ range	$-2.5 \times V_{REF}$		$+2.5 \times V_{REF}$	V
	SoftSpan 6: 0 V to $2.5 \times V_{REF}$ range	0		$2.5 \times V_{REF}$	V
	SoftSpan 5: $\pm 1.5625 \times V_{REF}$ range	$-1.5625 \times V_{REF}$		$+1.5625 \times V_{REF}$	V
	SoftSpan 4: 0 V to $1.5625 \times V_{REF}$ range	0		$1.5625 \times V_{REF}$	V
	SoftSpan 3: $\pm 1.25 \times V_{REF}$ range	$-1.25 \times V_{REF}$		$+1.25 \times V_{REF}$	V
	SoftSpan 2: 0 V to $1.25 \times V_{REF}$ range	0		$1.25 \times V_{REF}$	V
	SoftSpan 1: $\pm 0.625 \times V_{REF}$ range	$-0.625 \times V_{REF}$		$+0.625 \times V_{REF}$	V
	SoftSpan 0: 0 V to $0.625 \times V_{REF}$ range	0		$0.625 \times V_{REF}$	V
Common-Mode Input Range	$V_{CM}^5 = (V_{INX+} + V_{INX-})/2$	$V_{EE} + 3.2$		$V_{CC} - 3.2$	V
CMRR	$V_{CM} = 36$ V p-p, 200 Hz sine, SHDR on	100	120		dB
Differential Input Overdrive Tolerance <sup>6</sup>	$(V_{INX+} - V_{INX-})$	$-(V_{CC} - V_{EE})$		$(V_{CC} - V_{EE})$	V
Input Overdrive Current Tolerance <sup>6</sup>	$V_{INX+}, V_{INX-} > V_{CC}$			10	mA
	$V_{INX+}, V_{INX-} < V_{EE}$	0			mA
Input Leakage Current	$V_{INX+}, V_{INX-} = V_{CC}$ to $V_{EE}$	-40	$\pm 0.075$	+40	nA
Input Resistance	$R_{INX+}^7, R_{INX-}^8$ for each pin		1000		GΩ
Input Capacitance	$C_{INX+}^9, C_{INX-}^{10}$ for each pin		4		pF
DC ACCURACY					
No Missing Codes		16			Bits
INL Error	SHDR on				
	SoftSpan 15 and SoftSpan 14: $\pm 40$ V and 0 V to 40 V ranges	-1220	$\pm 160$	+1220	$\mu V$
	SoftSpan 13 and SoftSpan 12: $\pm 25$ V and 0 V to 25 V ranges	-763	$\pm 100$	+763	$\mu V$
	SoftSpan 11 and SoftSpan 10: $\pm 20$ V and 0 V to 20 V ranges	-610	$\pm 100$	+610	$\mu V$
	SoftSpan 9 and SoftSpan 8: $\pm 12.5$ V and 0 V to 12.5 V ranges	-381	$\pm 50$	+381	$\mu V$
	SoftSpan 7 and SoftSpan 6: $\pm 10$ V and 0 V to 10 V ranges	-305	$\pm 50$	+305	$\mu V$
	SoftSpan 5 and SoftSpan 4: $\pm 6.25$ V and 0 V to 6.25 V ranges	-190	$\pm 25$	+190	$\mu V$



仕様

表 1. 仕様 (続き)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Differential Nonlinearity (DNL) Error	SoftSpan 3 and SoftSpan 2: $\pm 5$ V and 0 V to 5 V ranges	-152	$\pm 25$	+152	$\mu$ V
	SoftSpan 1 and SoftSpan 0: $\pm 2.5$ V and 0 V to 2.5 V ranges	-76	$\pm 15$	+76	$\mu$ V
		-0.9	$\pm 0.2$		LSB
	Transition Noise <sup>11</sup>		73		$\mu$ V RMS
			461		$\mu$ V RMS
			287		$\mu$ V RMS
			241		$\mu$ V RMS
			155		$\mu$ V RMS
			133		$\mu$ V RMS
			94		$\mu$ V RMS
Zero-Scale Error		-1300	$-0.5 \times \text{LSB}^{12}$	+1300	$\mu$ V
Zero-Scale Error Drift			$\pm 1.5$		$\mu$ V/ $^{\circ}$ C
Full-Scale Error <sup>13</sup>	$V_{\text{REFIO}} = 4.096$ V, REFIO overdriven <sup>14</sup>	-0.035	$\pm 0.01$	+0.035	%FS
Full-Scale Error Drift <sup>13</sup>	$V_{\text{REFIO}} = 4.096$ V, REFIO overdriven <sup>14</sup>		$\pm 1.5$		ppm/ $^{\circ}$ C
AC ACCURACY <sup>15</sup>					
Dynamic Range	SHDR on/off				
	SoftSpan 15: $\pm 40$ V range		98.1/93.7		dB
	SoftSpan 14: 0 V to 40 V range		97.6/89.1		dB
	SoftSpan 13: $\pm 25$ V range		97.9/93.8		dB
	SoftSpan 12: 0 V to 25 V range		96.7/89.1		dB
	SoftSpan 11: $\pm 20$ V range		97.6/93.5		dB
	SoftSpan 10: 0 V to 20 V range		96.0/88.7		dB
	SoftSpan 9: $\pm 12.5$ V range		96.7/93.3		dB
	SoftSpan 8: 0 V to 12.5 V range		93.7/88.5		dB
	SoftSpan 7: $\pm 10$ V range		95.9/92.9		dB
	SoftSpan 6: 0 V to 10 V range		92.4/88.0		dB
	SoftSpan 5: $\pm 6.25$ V range		93.7/92.2		dB
	SoftSpan 4: 0 V to 6.25 V range		89.1/87.1		dB
	SoftSpan 3: $\pm 5$ V range		92.3/91.6		dB
	SoftSpan 2: 0 V to 5 V range		87.3/86.4		dB
	SoftSpan 1: $\pm 2.5$ V range		87.3/87.3		dB
	SoftSpan 0: 0 V to 2.5 V range		81.6/81.6		dB
Oversampled Dynamic Range <sup>16</sup>	OSR = 2, SoftSpan 0		Dynamic Range + 3		dB
	OSR = 2, SoftSpan 15		98.1		dB
	OSR = 1024, all SoftSpans		98.1		dB

## 仕様

表 1. 仕様 (続き)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Signal-to-Noise-and-Distortion (SINAD) Ratio	SHDR on, input frequency ( $f_{IN}$ ) = 1 kHz, -1 dBFS				
	SoftSpan 15: $\pm 40$ V range	90.1	94.6		dB
	SoftSpan 14: 0 V to 40 V range	85.1	90.9		dB
	SoftSpan 13: $\pm 25$ V range	91.5	94.7		dB
	SoftSpan 12: 0 V to 25 V range	86.1	90.9		dB
	SoftSpan 11: $\pm 20$ V range	92.3	94.9		dB
	SoftSpan 10: 0 V to 20 V range	86.9	90.9		dB
	SoftSpan 9: $\pm 12.5$ V range	92.8	94.5		dB
	SoftSpan 8: 0 V to 12.5 V range	87.8	90.5		dB
	SoftSpan 7: $\pm 10$ V range	92.6	94.2		dB
	SoftSpan 6: 0 V to 10 V range	87.7	90		dB
	SoftSpan 5: $\pm 6.25$ V range	91.4	92.8		dB
	SoftSpan 4: 0 V to 6.25 V range	86.5	88.1		dB
	SoftSpan 3: $\pm 5$ V range	90.4	91.7		dB
	SoftSpan 2: 0 V to 5 V range	85.2	86.8		dB
	SoftSpan 1: $\pm 2.5$ V range	85.2	86.8		dB
	SoftSpan 0: 0 V to 2.5 V range	79.7	81.4		dB
	SHDR off, $f_{IN}$ = 1 kHz, -1 dBFS				
	SoftSpan 15: $\pm 40$ V range	92	93.4		dB
	SoftSpan 14: 0 V to 40 V range	86.8	88.7		dB
	SoftSpan 13: $\pm 25$ V range	92	93.4		dB
	SoftSpan 12: 0 V to 25 V range	86.9	88.7		dB
	SoftSpan 11: $\pm 20$ V range	91.7	93.2		dB
	SoftSpan 10: 0 V to 20 V range	86.6	88.3		dB
	SoftSpan 9: $\pm 12.5$ V range	91.6	93		dB
	SoftSpan 8: 0 V to 12.5 V range	86.5	88.2		dB
	SoftSpan 7: $\pm 10$ V range	91.2	92.6		dB
	SoftSpan 6: 0 V to 10 V range	85.9	87.7		dB
	SoftSpan 5: $\pm 6.25$ V range	90.4	91.7		dB
	SoftSpan 4: 0 V to 6.25 V range	85.2	86.7		dB
	SoftSpan 3: $\pm 5$ V range	89.7	91.1		dB
	SoftSpan 2: 0 V to 5 V range	84.5	86.1		dB
	SoftSpan 1: $\pm 2.5$ V range	85.2	86.8		dB
	SoftSpan 0: 0 V to 2.5 V range	79.7	81.4		dB
Signal-to-Noise Ratio (SNR)	SHDR on, $f_{IN}$ = 1 kHz, -1 dBFS				
	SoftSpan 15: $\pm 40$ V range	90.1	94.6		dB
	SoftSpan 14: 0 V to 40 V range	85.1	90.9		dB
	SoftSpan 13: $\pm 25$ V range	91.5	94.7		dB
	SoftSpan 12: 0 V to 25 V range	86.1	90.9		dB
	SoftSpan 11: $\pm 20$ V range	92.3	94.9		dB
	SoftSpan 10: 0 V to 20 V range	86.9	90.9		dB
	SoftSpan 9: $\pm 12.5$ V range	92.8	94.5		dB
	SoftSpan 8: 0 V to 12.5 V range	87.8	90.5		dB
	SoftSpan 7: $\pm 10$ V range	92.6	94.2		dB
	SoftSpan 6: 0 V to 10 V range	87.7	90.0		dB
	SoftSpan 5: $\pm 6.25$ V range	91.4	92.8		dB
	SoftSpan 4: 0 V to 6.25 V range	86.5	88.1		dB
	SoftSpan 3: $\pm 5$ V range	90.4	91.7		dB

仕様

表 1. 仕様 (続き)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Total Harmonic Distortion (THD)	SoftSpan 2: 0 V to 5 V range	85.2	86.8		dB
	SoftSpan 1: $\pm 2.5$ V range	85.2	86.8		dB
	SoftSpan 0: 0 V to 2.5 V range	79.7	81.4		dB
	SHDR off, $f_{IN} = 1$ kHz, $-1$ dBFS				
	SoftSpan 15: $\pm 40$ V range	92.0	93.4		dB
	SoftSpan 14: 0 V to 40 V range	86.8	88.7		dB
	SoftSpan 13: $\pm 25$ V range	92.0	93.4		dB
	SoftSpan 12: 0 V to 25 V range	86.9	88.7		dB
	SoftSpan 11: $\pm 20$ V range	91.7	93.2		dB
	SoftSpan 10: 0 V to 20 V range	86.6	88.3		dB
	SoftSpan 9: $\pm 12.5$ V range	91.6	93.0		dB
	SoftSpan 8: 0 V to 12.5 V range	86.5	88.2		dB
	SoftSpan 7: $\pm 10$ V range	91.2	92.6		dB
	SoftSpan 6: 0 V to 10 V range	85.9	87.7		dB
	SoftSpan 5: $\pm 6.25$ V range	90.4	91.7		dB
	SoftSpan 4: 0 V to 6.25 V range	85.2	86.7		dB
	SoftSpan 3: $\pm 5$ V range	89.7	91.1		dB
	SoftSpan 2: 0 V to 5 V range	84.5	86.1		dB
	SoftSpan 1: $\pm 2.5$ V range	85.2	86.8		dB
	SoftSpan 0: 0 V to 2.5 V range	79.7	81.4		dB
	$f_{IN} = 1$ kHz, $-1$ dBFS				
	SoftSpan 15: $\pm 40$ V range		-117	-99	dB
	SoftSpan 14: 0 V to 40 V range		-109	-95	dB
	SoftSpan 13: $\pm 25$ V range		-117	-100	dB
	SoftSpan 12: 0 V to 25 V range		-111	-98	dB
	SoftSpan 11: $\pm 20$ V range		-114	-99	dB
SoftSpan 10: 0 V to 20 V range		-112	-99	dB	
SoftSpan 9: $\pm 12.5$ V range		-114	-100	dB	
SoftSpan 8: 0 V to 12.5 V range		-113	-100	dB	
SoftSpan 7: $\pm 10$ V range		-115	-100	dB	
SoftSpan 6: 0 V to 10 V range		-113	-100	dB	
SoftSpan 5: $\pm 6.25$ V range		-115	-99	dB	
SoftSpan 4: 0 V to 6.25 V range		-113	-99	dB	
SoftSpan 3: $\pm 5$ V range		-114	-97	dB	
SoftSpan 2: 0 V to 5 V range		-113	-97	dB	
SoftSpan 1: $\pm 2.5$ V range		-109	-92	dB	
SoftSpan 0: 0 V to 2.5 V range		-110	-92	dB	
$f_{IN} = 1$ kHz, $-1$ dBFS					
Spurious-Free Dynamic Range (SFDR)	SoftSpan 15: $\pm 40$ V range	101	119		dB
	SoftSpan 14: 0 V to 40 V range	99	113		dB
	SoftSpan 13: $\pm 25$ V range	101	119		dB
	SoftSpan 12: 0 V to 25 V range	103	115		dB
	SoftSpan 11: $\pm 20$ V range	103	119		dB
	SoftSpan 10: 0 V to 20 V range	103	116		dB
	SoftSpan 9: $\pm 12.5$ V range	104	119		dB
	SoftSpan 8: 0 V to 12.5 V range	104	116		dB
	SoftSpan 7: $\pm 10$ V range	105	119		dB
	SoftSpan 6: 0 V to 10 V range	105	116		dB

仕様

表 1. 仕様 (続き)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
	SoftSpan 5: $\pm 6.25$ V range	103	118		dB
	SoftSpan 4: 0 V to 6.25 V range	103	117		dB
	SoftSpan 3: $\pm 5$ V range	101	117		dB
	SoftSpan 2: 0 V to 5 V range	101	117		dB
	SoftSpan 1: $\pm 2.5$ V range	96	111		dB
	SoftSpan 0: 0 V to 2.5 V range	96	113		dB
Channel-to-Channel Crosstalk	All channels converting <sup>17</sup>		-120		dB
-3 dB Small-Signal Input Bandwidth			11		MHz
Aperture Delay			1		ns
Aperture Delay Matching			300		ps
Aperture Jitter			1		ps RMS
Full-Scale Input Step Settling Time	Full-scale step, 50 ppm settling		300		ns
<b>INTERNAL REFERENCE ENABLED</b>					
Internal Reference Output Voltage ( $V_{REFIO}$ )	$T_A = 25^\circ\text{C}$	4.093	4.096	4.099	V
Internal Reference Temperature Coefficient <sup>18</sup>		-10	$\pm 2$	+10	ppm/ $^\circ\text{C}$
Internal Reference Line Regulation	$V_{DD} = 4.75$ V to 5.25 V		50		$\mu\text{V/V}$
REFIO Output Resistance			58		$\Omega$
REFIO Output Capacitance			10		nF
<b>INTERNAL REFERENCE DISABLED</b>					
REFIO Input Voltage ( $V_{REFIO}$ )	REFIO overdriven <sup>14</sup>	4.071	4.096	4.121	V
REFIO Input Resistance			38		k $\Omega$
REFIO Input Capacitance			10		nF
<b>REFERENCE BUFFER ENABLED</b>					
Reference Buffer Offset Voltage ( $V_{OS}$ )	$V_{OS} = (V_{REFBUF} - V_{REFIO}), T_A = 25^\circ\text{C}$	-100	$\pm 20$	+100	$\mu\text{V}$
Reference Buffer Offset Voltage Drift			$\pm 0.5$		$\mu\text{V}/^\circ\text{C}$
<b>REFERENCE BUFFER DISABLED</b>					
REFBUF Input Voltage ( $V_{REFBUF}$ )	REFBUF overdriven <sup>19</sup>	4.071	4.096	4.121	V
REFBUF Input Current ( $I_{REFBUF}$ ) <sup>20</sup>	$V_{REFBUF} = 4.096$ V, $f_S = 250$ kSPS		2.5	3.4	mA
	$V_{REFBUF} = 4.096$ V, not converting		2.2		mA
<b>SCALED REFERENCE OUTPUT</b>					
REF2500 Output Voltage ( $V_{REF2500}$ )	$T_A = 25^\circ\text{C}$	2.497	2.5	2.503	V
REF2500 Temperature Coefficient <sup>18</sup>		-10	$\pm 2$	+10	ppm/ $^\circ\text{C}$
REF2500 Output Resistance			26		k $\Omega$
<b>CMOS DIGITAL INPUTS</b>					
Input Voltage High ( $V_{IH}$ )					
CNV		0.8			V
HIVIO/ $\overline{\text{LOVIO}}$		4			V

仕様

表 1. 仕様 (続き)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
All Other Pins		$0.85 \times V_{IO}$			V
Input Voltage Low ( $V_{IL}$ )					
CNV				0.4	V
HIVIO/ $\overline{LOVIO}$				1	V
All Other Pins				$0.15 \times V_{IO}$	V
Digital Input Current ( $I_{IN}$ )					
CNV		-100		+100	$\mu$ A
HIVIO/ $\overline{LOVIO}$		-10		+10	$\mu$ A
All Other Pins		-10		+10	$\mu$ A
Digital Input Capacitance ( $C_{IN}$ )			2		pF
CMOS DIGITAL OUTPUTS					
Output Voltage High ( $V_{OH}$ )	Source current ( $I_{SOURCE}$ ) = 500 $\mu$ A	$V_{IO} - 0.2$			V
Output Voltage Low ( $V_{OL}$ )	Sink current ( $I_{SINK}$ ) = 500 $\mu$ A			0.2	V
High-Z Output Leakage Current ( $I_{OZ}$ )		-10		+10	$\mu$ A
LVDS DIGITAL INPUTS					
Differential Input Voltage ( $V_{ID}$ )		$\pm 200$	$\pm 350$	$\pm 600$	mV
Differential Termination Resistance ( $R_{ID}$ )	$\overline{CS} = 0$ V, $V_{ICM} = 1.2$ V, termination enabled <sup>21</sup>	95	107	120	$\Omega$
	$\overline{CS} = V_{IO}$ or termination disabled <sup>21</sup>		10		M $\Omega$
Common-Mode Input Voltage ( $V_{ICM}$ )	$1.71$ V $\leq V_{IO} < 2.5$ V	0.3	1.2	$V_{IO} - 0.3$	V
	$2.5$ V $\leq V_{IO} \leq 5.25$ V	0.3	1.2	2.2	V
Common-Mode Input Current ( $I_{ICM}$ )		-10		+10	$\mu$ A
LVDS DIGITAL OUTPUTS					
Differential Output Voltage ( $V_{OD}$ )	100 $\Omega$ differential termination, full-bias mode <sup>21</sup>	$\pm 260$	$\pm 330$	$\pm 400$	mV
	100 $\Omega$ differential termination, half-bias mode <sup>21</sup>	$\pm 135$	$\pm 185$	$\pm 235$	mV
Common-Mode Output Voltage ( $V_{OCM}$ )	100 $\Omega$ differential termination	1.1	1.25	1.4	V
High-Z Output Leakage Current ( $I_{OZ}$ )		-10		+10	$\mu$ A
POWER SUPPLY VOLTAGES					
$V_{CC}$		7.25		48	V
$V_{EE}$		-40.75		0	V
$V_{CC} - V_{EE}$		10		48	V
$V_{DD}$		4.75	5.0	5.25	V
$V_{DDH}$	Disables 1.8 V LDO regulator		0		V
	Enables 1.8 V LDO regulator	2.2		5.25	V
$V_{DDL}$	Supplied externally, 1.8 V LDO regulator disabled	1.71	1.8	1.89	V
	Supplied by 1.8 V LDO regulator, no external connection		1.8		V
$V_{IO}$					
CMOS Conversion Data Output	HIVIO/ $\overline{LOVIO} = V_{DD}$	1.71		5.25	V
	HIVIO/ $\overline{LOVIO} = GND$	0.9		1.89	V
LVDS Conversion Data Output	HIVIO/ $\overline{LOVIO} = V_{DD}$	1.71		5.25	V
	HIVIO/ $\overline{LOVIO} = GND$	1.71		1.89	V

## 仕様

表 1. 仕様 (続き)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
<b>POWER SUPPLY CURRENTS</b>					
CMOS Conversion Data Output					
Operating Mode <sup>22</sup>					
25 pF load on CMOS outputs					
$f_s = 250$ kSPS, all channels converting					
$V_{CC}$ Current ( $I_{V_{CC}}$ )	$V_{CC} = +24$ V, $V_{EE} = -24$ V		10.7	14.1	mA
	$V_{CC} = +15$ V, $V_{EE} = -15$ V		10.3		mA
	$V_{CC} = +8.2$ V, $V_{EE} = -3.2$ V		9.8		mA
$V_{EE}$ Current ( $I_{V_{EE}}$ )	$V_{CC} = +24$ V, $V_{EE} = -24$ V	-12	-8.7		mA
	$V_{CC} = +15$ V, $V_{EE} = -15$ V		-8.2		mA
	$V_{CC} = +8.2$ V, $V_{EE} = -3.2$ V		-7.6		mA
$V_{DD}$ Current ( $I_{V_{DD}}$ )	Reference and reference buffer enabled		12.2	18.7	mA
	$V_{REFIO} = 4.096$ V, REFIO overdriven <sup>14</sup>		10.2		mA
	$V_{REFBUF} = 4.096$ V, REFBUF overdriven <sup>19</sup>		1.9		mA
$V_{DDH}$ Current ( $I_{V_{DDH}}$ )	$V_{DDH} = 2.5$ V, 1.8 V LDO regulator enabled		15	20.5	mA
$V_{DDL}$ Current ( $I_{V_{DDL}}$ )	$V_{DDH} = GND$ , 1.8 V LDO regulator disabled, $V_{DDL} = 1.8$ V		14.5	20	mA
$V_{IO}$ Current ( $I_{V_{IO}}$ )	$V_{IO} = 2.5$ V		1.4	1.9	mA
Acquisition Mode					
$I_{V_{CC}}$	$V_{CC} = +24$ V, $V_{EE} = -24$ V		9.4		mA
$I_{V_{EE}}$	$V_{CC} = +24$ V, $V_{EE} = -24$ V		-7.4		mA
$I_{V_{DD}}$	Reference and reference buffer enabled		10.8		mA
	$V_{REFIO} = 4.096$ V, REFIO overdriven <sup>14</sup>		8.8		mA
	$V_{REFBUF} = 4.096$ V, REFBUF overdriven <sup>19</sup>		1.4		mA
$I_{V_{DDH}}$	$V_{DDH} = 2.5$ V, 1.8 V LDO regulator enabled		72		$\mu$ A
$I_{V_{DDL}}$	$V_{DDH} = GND$ , 1.8 V LDO regulator disabled, $V_{DDL} = 1.8$ V		16		$\mu$ A
$I_{V_{IO}}$	$V_{IO} = 2.5$ V		1		$\mu$ A
Nap Mode					
$I_{V_{CC}}$	$V_{CC} = +24$ V, $V_{EE} = -24$ V		4.5		mA
$I_{V_{EE}}$	$V_{CC} = +24$ V, $V_{EE} = -24$ V		-3.3		mA
$I_{V_{DD}}$	Reference and reference buffer enabled		10.3		mA
	$V_{REFIO} = 4.096$ V, REFIO overdriven <sup>14</sup>		8.3		mA
	$V_{REFBUF} = 4.096$ V, REFBUF overdriven <sup>19</sup>		1.0		mA
$I_{V_{DDH}}$	$V_{DDH} = 2.5$ V, 1.8 V LDO regulator enabled		72		$\mu$ A
$I_{V_{DDL}}$	$V_{DDH} = GND$ , 1.8 V LDO regulator disabled, $V_{DDL} = 1.8$ V		16		$\mu$ A
$I_{V_{IO}}$	$V_{IO} = 2.5$ V		1		$\mu$ A
Power-Down Mode					
$I_{V_{CC}}$	$V_{CC} = +24$ V, $V_{EE} = -24$ V		18		$\mu$ A
$I_{V_{EE}}$	$V_{CC} = +24$ V, $V_{EE} = -24$ V		-4		$\mu$ A
$I_{V_{DD}}$			130		$\mu$ A
$I_{V_{DDH}}$	$V_{DDH} = 2.5$ V, 1.8 V LDO regulator enabled		30		$\mu$ A
$I_{V_{DDL}}$	$V_{DDH} = GND$ , 1.8 V LDO regulator disabled, $V_{DDL} = 1.8$ V		16		$\mu$ A
$I_{V_{IO}}$	$V_{IO} = 2.5$ V		1		$\mu$ A
LVDS Conversion Data Output					
Operating Mode					
100 $\Omega$ differential load on LVDS outputs					
$f_s = 250$ kSPS, all channels converting					
$I_{V_{CC}}$	$V_{CC} = +24$ V, $V_{EE} = -24$ V		10.7	14.1	mA
	$V_{CC} = +15$ V, $V_{EE} = -15$ V		10.3		mA
	$V_{CC} = +8.2$ V, $V_{EE} = -3.2$ V		9.8		mA
$I_{V_{EE}}$	$V_{CC} = +24$ V, $V_{EE} = -24$ V	-12	-8.7		mA
	$V_{CC} = +15$ V, $V_{EE} = -15$ V		-8.2		mA
	$V_{CC} = +8.2$ V, $V_{EE} = -3.2$ V		-7.6		mA
$I_{V_{DD}}$	Reference and reference buffer enabled		13.7	20.4	mA



仕様

表 1. 仕様 (続き)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
$I_{V_{DDH}}$	$V_{REFIO} = 4.096\text{ V}$ , REFIO overdriven <sup>14</sup>		11.7		mA
	$V_{REFBUF} = 4.096\text{ V}$ , REFBUF overdriven <sup>19</sup>		3.4		mA
	$V_{DDH} = 2.5\text{ V}$ , 1.8 V LDO regulator enabled		23.5	31	mA
$I_{V_{DDL}}$	$V_{DDH} = \text{GND}$ , 1.8 V LDO regulator disabled, $V_{DDL} = 1.8\text{ V}$		23	30.5	mA
$I_{V_{IO}}$	$V_{IO} = 2.5\text{ V}$		22	165	$\mu\text{A}$
Acquisition Mode					
$I_{V_{CC}}$	$V_{CC} = +24\text{ V}$ , $V_{EE} = -24\text{ V}$		9.4		mA
$I_{V_{EE}}$	$V_{CC} = +24\text{ V}$ , $V_{EE} = -24\text{ V}$		-7.4		mA
$I_{V_{DD}}$	Reference and reference buffer enabled		11.6		mA
$I_{V_{DDH}}$	$V_{REFIO} = 4.096\text{ V}$ , REFIO overdriven <sup>14</sup>		9.6		mA
	$V_{REFBUF} = 4.096\text{ V}$ , REFBUF overdriven <sup>19</sup>		2.2		mA
	$V_{DDH} = 2.5\text{ V}$ , 1.8 V LDO regulator enabled		8.4		mA
$I_{V_{DDL}}$	$V_{DDH} = \text{GND}$ , 1.8 V LDO regulator disabled, $V_{DDL} = 1.8\text{ V}$		8.3		mA
$I_{V_{IO}}$	$V_{IO} = 2.5\text{ V}$		1		$\mu\text{A}$
Nap Mode					
$I_{V_{CC}}$	$V_{CC} = +24\text{ V}$ , $V_{EE} = -24\text{ V}$		4.5		mA
$I_{V_{EE}}$	$V_{CC} = +24\text{ V}$ , $V_{EE} = -24\text{ V}$		-3.3		mA
$I_{V_{DD}}$	Reference and reference buffer enabled		11.1		mA
$I_{V_{DDH}}$	$V_{REFIO} = 4.096\text{ V}$ , REFIO overdriven <sup>14</sup>		9.1		mA
	$V_{REFBUF} = 4.096\text{ V}$ , REFBUF overdriven <sup>19</sup>		1.8		mA
	$V_{DDH} = 2.5\text{ V}$ , 1.8 V LDO regulator enabled		8.4		mA
$I_{V_{DDL}}$	$V_{DDH} = \text{GND}$ , 1.8 V LDO regulator disabled, $V_{DDL} = 1.8\text{ V}$		8.3		mA
$I_{V_{IO}}$	$V_{IO} = 2.5\text{ V}$		1		$\mu\text{A}$
Power-Down Mode					
$I_{V_{CC}}$	$V_{CC} = +24\text{ V}$ , $V_{EE} = -24\text{ V}$		18		$\mu\text{A}$
$I_{V_{EE}}$	$V_{CC} = +24\text{ V}$ , $V_{EE} = -24\text{ V}$		-4		$\mu\text{A}$
$I_{V_{DD}}$			130		$\mu\text{A}$
$I_{V_{DDH}}$	$V_{DDH} = 2.5\text{ V}$ , 1.8 V LDO regulator enabled		30		$\mu\text{A}$
$I_{V_{DDL}}$	$V_{DDH} = \text{GND}$ , 1.8 V LDO regulator disabled, $V_{DDL} = 1.8\text{ V}$		16		$\mu\text{A}$
$I_{V_{IO}}$	$V_{IO} = 2.5\text{ V}$		1		$\mu\text{A}$
POWER DISSIPATION	Reference and reference buffer enabled, $V_{DDH} = 2.5\text{ V}$ , 1.8 V LDO regulator enabled, $V_{IO} = 2.5\text{ V}$				
CMOS Conversion Data Output Operation Mode	25 pF load on CMOS outputs $f_S = 250\text{ kSPS}$ , all channels converting				
	$V_{CC} = +24\text{ V}$ , $V_{EE} = -24\text{ V}$		568	776	mW
	$V_{CC} = +15\text{ V}$ , $V_{EE} = -15\text{ V}$		380		mW
	$V_{CC} = +8.2\text{ V}$ , $V_{EE} = -3.2\text{ V}$		207		mW
Acquisition Mode	$V_{CC} = +24\text{ V}$ , $V_{EE} = -24\text{ V}$		457		mW
Nap Mode	$V_{CC} = +24\text{ V}$ , $V_{EE} = -24\text{ V}$		239		mW
Power-Down Mode	$V_{CC} = +24\text{ V}$ , $V_{EE} = -24\text{ V}$		1.3		mW
LVDS Conversion Data Output Operation Mode	100 $\Omega$ differential load on LVDS outputs $f_S = 250\text{ kSPS}$ , all channels converting				
	$V_{CC} = +24\text{ V}$ , $V_{EE} = -24\text{ V}$		593	806	mW
	$V_{CC} = +15\text{ V}$ , $V_{EE} = -15\text{ V}$		405		mW
	$V_{CC} = +8.2\text{ V}$ , $V_{EE} = -3.2\text{ V}$		232		mW
Acquisition Mode	$V_{CC} = +24\text{ V}$ , $V_{EE} = -24\text{ V}$		482		mW
Nap Mode	$V_{CC} = +24\text{ V}$ , $V_{EE} = -24\text{ V}$		264		mW
Power-Down Mode	$V_{CC} = +24\text{ V}$ , $V_{EE} = -24\text{ V}$		1.3		mW

仕様

表 1. 仕様 (続き)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
OPERATING TEMPERATURE RANGE <sup>23</sup>					
$T_{MIN}$		-40			°C
$T_{MAX}$				+125	°C

<sup>1</sup> 正のアナログ入力ピン電圧。

<sup>2</sup> 負のアナログ入力ピン電圧。

<sup>3</sup> REFBUF ピン電圧は(1/1.024)でスケールリング、公称値は 4V。

<sup>4</sup> REFBUF ピンの電圧、公称値は 4.096V。

<sup>5</sup> 正のアナログ入力ピンと負のアナログ入力ピンの同相電圧。

<sup>6</sup> いずれかのチャンネルでこの制限値を超えると他のチャンネルの変換結果が破損する可能性があります。10mA 以下のチャンネルで  $V_{CC}$  より高い電圧にアナログ入力を駆動しても、他のチャンネルの変換結果には影響しません。 $V_{EE}$  未満の電圧にアナログ入力を駆動すると、他のチャンネルの変換結果を破損する可能性があります。詳細については、[アナログ入力のオーバードライブ耐性](#)のセクションを参照してください。デバイス信頼性に関するピンの電圧および電流の制限値については、[絶対最大定格](#)のセクションを参照してください。

<sup>7</sup> 正のアナログ入力ピンの抵抗。

<sup>8</sup> 負のアナログ入力ピンの抵抗。

<sup>9</sup> 正のアナログ入力ピンの容量。

<sup>10</sup> 負のアナログ入力ピンの容量。

<sup>11</sup> [図 18](#) に、SHDR をオンにした場合とオフにした場合の、入力換算遷移ノイズと差動入力レベルの関係を表すグラフを示します。

<sup>12</sup> [表 12](#) に、LSB と SoftSpan の関係を示します。

<sup>13</sup> これらの仕様値は、内部バンドギャップ・リファレンスをパワー・ダウンした状態で外部電源  $V_{REFIO} = 4.096V$  を用いて測定したものです。仕様値には、内部バンドギャップに関連する公称値や温度ドリフト項は含まれていません。

<sup>14</sup> REFIO がオーバードライブ状態の場合、[デバイス制御レジスタ](#)を用いて内部バンドギャップ・リファレンスを無効にする必要があります。

<sup>15</sup> dB 単位で表記されているすべての仕様値は、クロストークおよび THD を除き、関連する SoftSpan 入力レンジのフルスケール入力を基準とします。クロストークは、クロストーク注入信号の振幅を基準とし、THD は基本入力信号の振幅を基準とします。

<sup>16</sup> [図 34](#) に、ダイナミック・レンジとオーバーサンプリング比 (OSR) の関係を表すグラフを示します。

<sup>17</sup> 注入チャンネルの周波数 ( $f_{IN}$ ) が 100kHz でのサイン波と、レシーバ・チャンネルの周波数 ( $f_{RCV}$ ) が 1kHz での第二サイン波。

<sup>18</sup> 温度係数は、出力電圧の最大変化分を仕様規定された温度範囲 ( $T_{MAX} - T_{MIN}$ ) で除算することによって計算されます。

<sup>19</sup> REFBUF がオーバードライブ状態の場合、[デバイス制御レジスタ](#)を用いて内部バンドギャップ・リファレンスおよびリファレンス・パッファを無効にする必要があります。

<sup>20</sup>  $I_{REFBUF}$  は、サンプル・レートおよびアクティブ・チャンネル数に比例して変化します。

<sup>21</sup> [デバイス制御レジスタ](#)を用いて LVDS 終端抵抗および半バイアス・モードを有効化または無効化します。

<sup>22</sup> CMOS 動作モードの電流とサンプル・レートの関係を表すグラフを[図 33](#) に示します。

<sup>23</sup> デバイスの信頼性に関するジャンクション温度の制限値については、[絶対最大定格](#)のセクションおよび[ジャンクション温度](#)のセクションを参照してください。

仕様

タイミング仕様

$V_{EE} = -40.75V \sim 0V$ 、 $V_{CC} = 7.25V \sim 48V$ 、 $(V_{CC} - V_{EE}) = 10V \sim 48V$ 、 $V_{DD} = 5V$ 、 $V_{DDH} = 2.5V$ 、 $1.8V$  の LDO レギュレータをイネーブル、 $V_{IO} = 0.9V \sim 5.25V$ 。特に指定のない限り、全チャンネルがサンプリング周波数 ( $f_S$ ) = 250kSPS で変換、内蔵リファレンスおよびリファレンス・バッファをイネーブル、全 SoftSpan レンジ、SoftSpan 15 および SoftSpan 13 では完全差動入力信号駆動、その他のバイポーラまたはユニポーラの SoftSpan レンジでは真のバイポーラまたはユニポーラ信号駆動、すべての仕様は  $T_{MIN} \sim T_{MAX}$ 。代表値は  $T_A = 25^\circ C$  での値です。インターフェース・タイミングのテストは、CMOS 出力に 25pF の負荷容量、LVDS 出力差動ペア間に 100Ω の差動終端抵抗を配置し、LVDS 入力差動ペア間の内部終端抵抗をイネーブル、LVDS フルバイアス・モードを有効化、LVDS 入力差動ペアの  $V_{ICM} = 1.2V$  および  $V_{ID} = \pm 350mV$  として行いました。

表 2. 共通タイミング

Parameter	Symbol	Min	Typ	Max	Unit
Sampling Frequency	$f_S$	0		250	kSPS
Time Between Conversions	$t_{CYC}$	4000			ns
Conversion Time	$t_{CONV}$	605	665	725	ns
Acquisition Phase <sup>1</sup>	$t_{ACQ}$	3465			ns
CNV High Time	$t_{CNVH}$	40			ns
CNV Low Time	$t_{CNVL}$	750			ns
CNV Rising Edge to BUSY Rising Edge Delay	$t_{DCNVBUSY}$			15	ns
Data Valid to BUSY Falling Edge Delay	$t_{DSDOBUSY}$	2			ns
Last SCKI Edge to CNV Rising Edge	$t_{SCKICNV}$	20			ns
PD High Time	$t_{PDH}$	40			ns
PD Low Time	$t_{PDL}$	40			ns
Device Wake Time to Ready to Convert	$t_{WAKE}$			1	ms
Device Power-On-Reset Time	$t_{POR}$			1	ms

<sup>1</sup> アクイジション・フェーズとは、DAS が 250kSPS のスループット・レートで動作している場合に、ADC が新しい入力値を取得するために使用できる時間です。

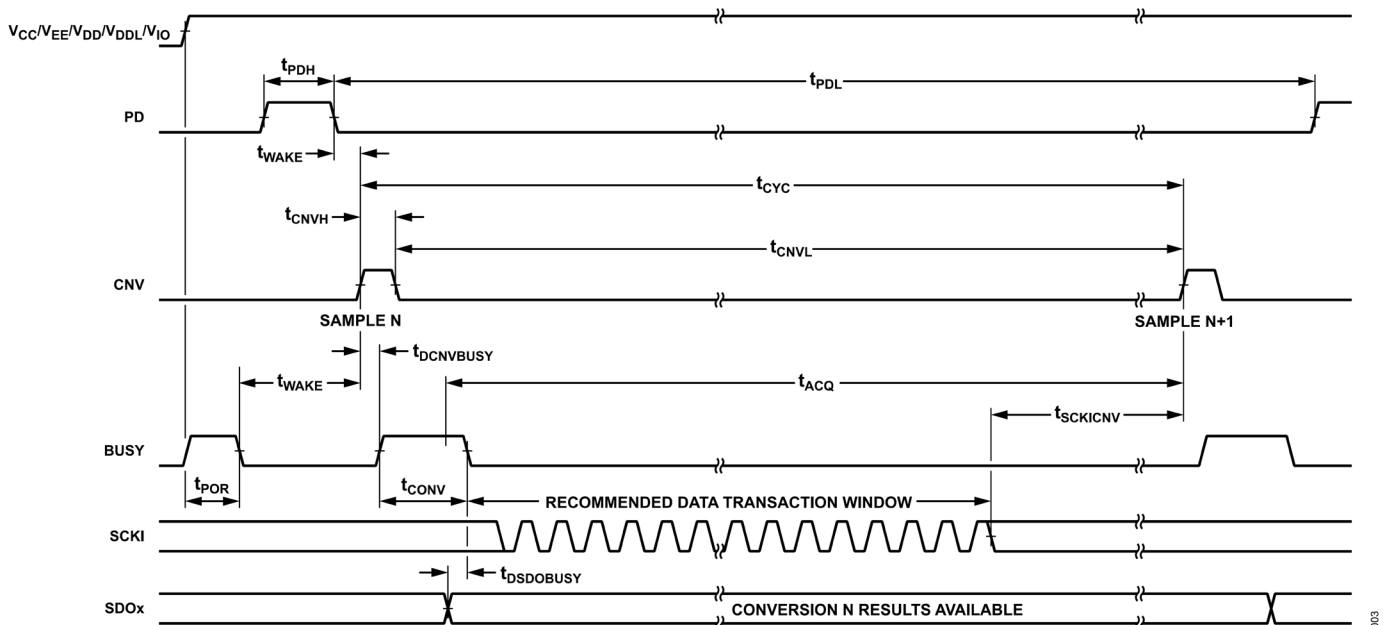


図 2. 共通タイミング

仕様

表 3. SPI レジスタ設定バスの読出し/書込みタイミング

Parameter	Symbol	Min	Typ	Max	Unit
$\overline{\text{CS}}$ Low Time	$t_{\text{CSL}}$	15			ns
$\overline{\text{CS}}$ High Time	$t_{\text{CSH}}$	15			ns
$\overline{\text{CS}}$ Falling Edge to First CSCK Rising Edge	$t_{\text{CSCKCS}}$	15			ns
CSCK Period	$t_{\text{CSCK}}$	40			ns
CSCK Low Time	$t_{\text{CSCKL}}$	16			ns
CSCK High Time	$t_{\text{CSCKH}}$	16			ns
Last CSCK Edge to $\overline{\text{CS}}$ Rising Edge	$t_{\text{CSCKCS}}$	15			ns
CSDIO Valid Setup Time to CSCK Rising Edge	$t_{\text{SCSDIOI}}$	4			ns
CSDIO Valid Hold Time from CSCK Rising Edge	$t_{\text{HCSDIOI}}$	1			ns
CSCK 16th Rising Edge to CSDIO 3-Wire Output State Delay	$t_{\text{DIO}}$	2		10	ns
CSCK Falling Edge to CSDIO Data Valid Delay	$t_{\text{DCSDIOO}}$			11	ns
CSCK Falling Edge to CSDIO Data Remains Valid	$t_{\text{HCSDIOO}}$	1			ns
CSCK Falling Edge to CSDO Data Valid Delay	$t_{\text{DCSDO}}$			11	ns
CSCK Falling Edge to CSDO Data Remains Valid	$t_{\text{HCSDO}}$	1			ns
$\overline{\text{CS}}$ Falling Edge to 4-Wire Bus Low Impedance Delay	$t_{\text{DCSEN}}$			15	ns
$\overline{\text{CS}}$ Rising Edge to Bus High Impedance Delay	$t_{\text{DCSDIS}}$			15	ns

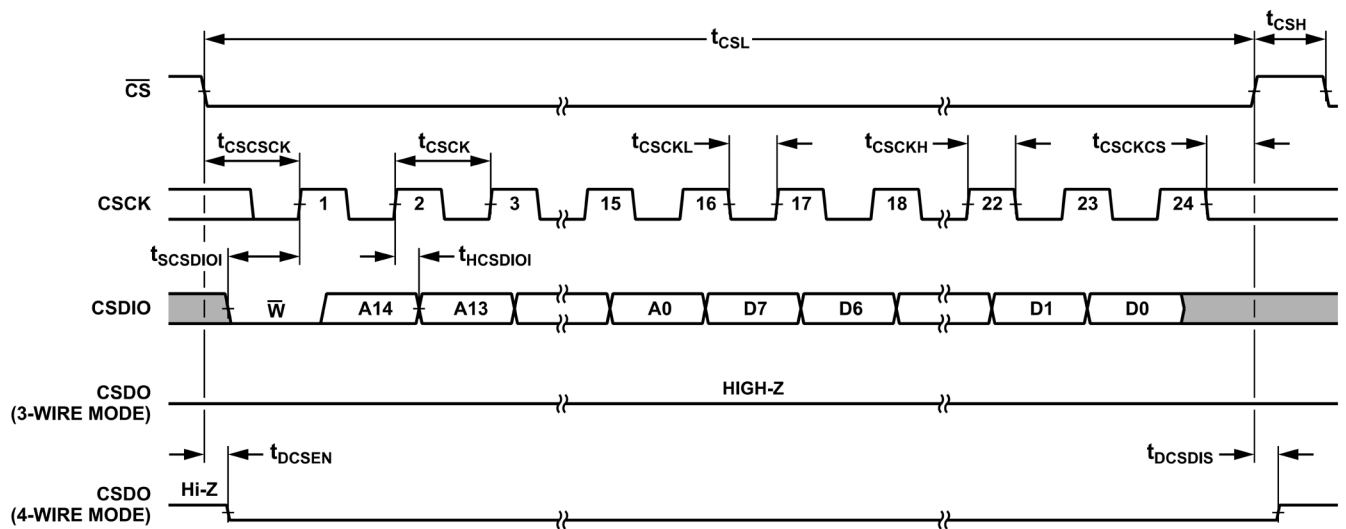


図 3. SPI レジスタ設定バスの書込みタイミング

004

仕様

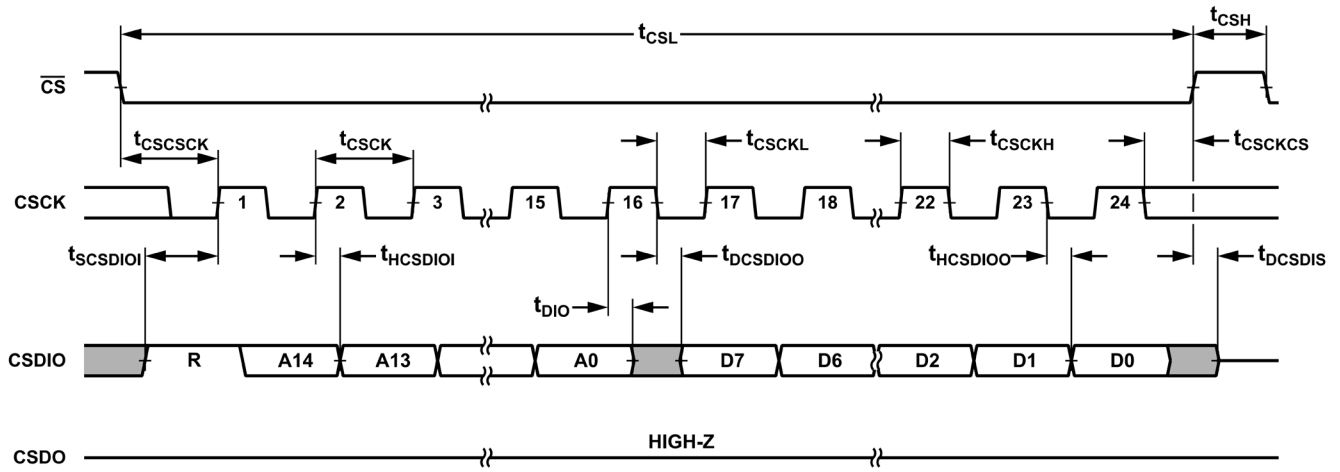


図 4. SPI レジスタ設定バスの 3 線式読出しタイミング

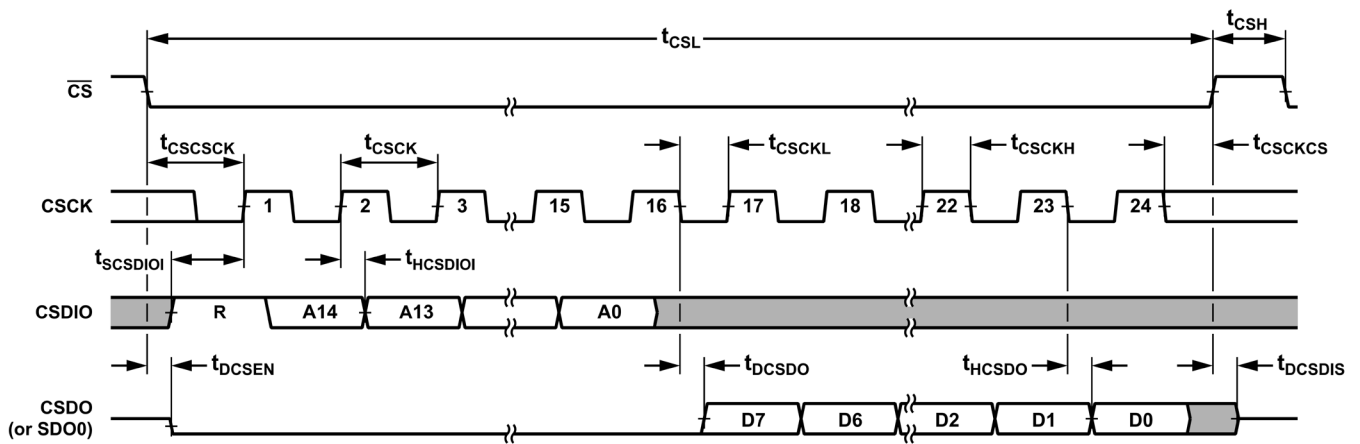


図 5. SPI レジスタ設定バスの 4 線式読出しタイミング

仕様

表 4. CMOS 変換データ出力タイミング

Parameter	Symbol	Min	Typ	Max	Unit
SCKI Period	$t_{SCKI}$	10			ns
SCKI High Time	$t_{SCKIH}$	4			ns
SCKI Low Time	$t_{SCKIL}$	4			ns
SCKI Rising Edge to SDOx Data Valid Delay	$t_{DSDO}$			7.5	ns
SCKI Rising Edge to SDOx Remains Valid	$t_{HSDO}$	1.5			ns
Skew Between SDOx Data and SCKO	$t_{SKEW}$	-1	0	+1	ns
$\overline{CS}$ High Time	$t_{CSH}$	15			ns
$\overline{CS}$ Low Time	$t_{CSL}$	15			ns
$\overline{CS}$ Falling Edge to Bus Low Impedance Delay	$t_{DCSEN}$			15	ns
$\overline{CS}$ Rising Edge to Bus High Impedance Delay	$t_{DCSDIS}$			15	ns
$\overline{CS}$ Falling Edge to First SCKI Rising Edge	$t_{CSSCKI}$	15			ns
Last SCKI Edge to $\overline{CS}$ Rising Edge	$t_{SCKICS}$	15			ns
Last SCKI Edge to CNV Rising Edge	$t_{SCKICNV}$	20			ns

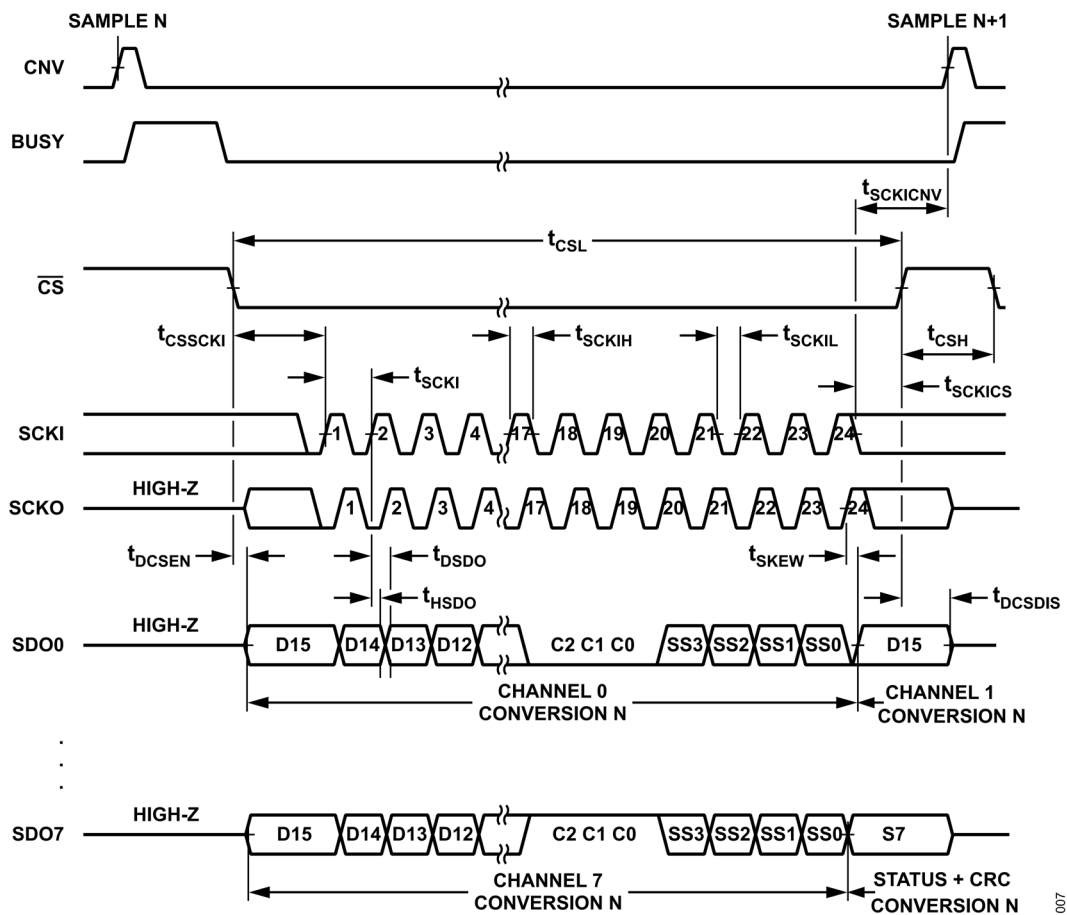


図 6. CMOS 変換データ・バスのタイミング



仕様

表 5. LVDS 変換データ出力タイミング

Parameter	Symbol	Min	Typ	Max	Unit
SCKI Period	$t_{SCKI}$	2.5			ns
SCKI High Time	$t_{SCKIH}$	0.75			ns
SCKI Low Time	$t_{SCKIL}$	0.75			ns
SCKI Edge to SDO Data Valid Delay	$t_{DSDO}$			7.5	ns
SCKI Edge to SDO Data Remains Valid	$t_{HSDO}$	1.5			
SDO to SCKO Skew	$t_{SKEW}$	-0.25	0	+0.25	ns
$\overline{CS}$ High Time	$t_{CSH}$	15			ns
$\overline{CS}$ Low Time	$t_{CSL}$	75			ns
$\overline{CS}$ Falling Edge to Bus Low Impedance Delay	$t_{DCSEN}$			75	ns
$\overline{CS}$ Rising Edge to Bus High Impedance Delay	$t_{DCSDIS}$			15	ns
$\overline{CS}$ Falling Edge to First SCKI Rising Edge	$t_{CS SCKI}$	75			
Last SCKI Falling Edge to $\overline{CS}$ Rising Edge	$t_{SCKICS}$	15			
Last SCKI Edge to CNV Rising Edge	$t_{SCKICNV}$	20			ns

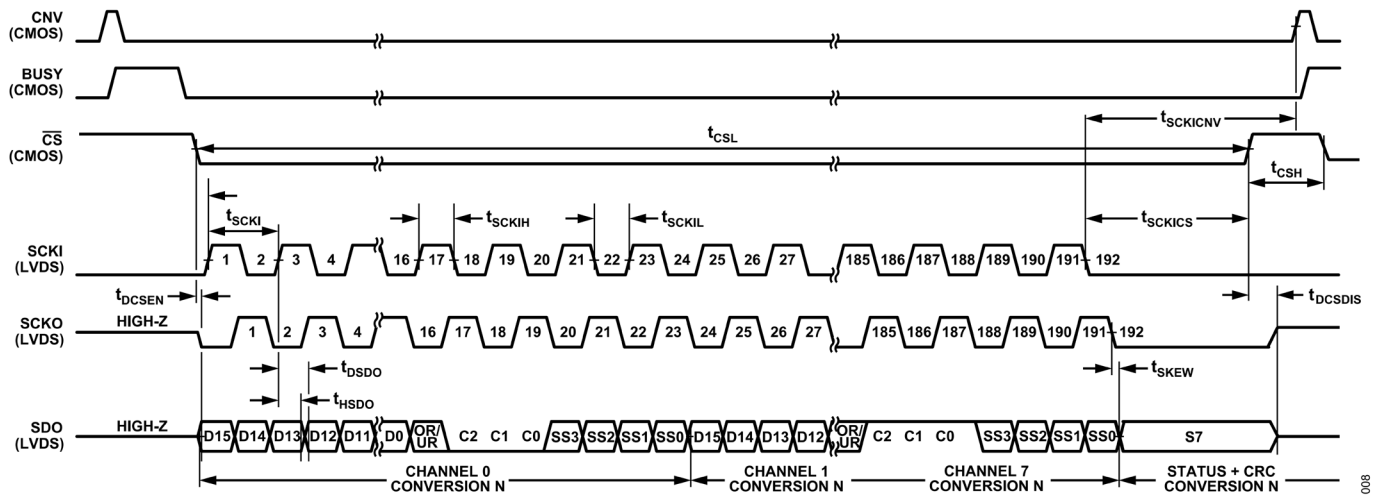


図 7. LVDS 変換データ・バスのタイミング

## 絶対最大定格

表 6. 絶対最大定格

Parameter	Rating
Analog Input and Output Voltages	
IN0+ to IN7+ and IN0- to IN7-	(V <sub>EE</sub> - 0.3 V) to (V <sub>CC</sub> + 0.3 V)
REFIO, REFBUF, and REF2500 to GND	-0.3 V to (V <sub>DD</sub> + 0.3 V)
Supply Voltages	
V <sub>CC</sub> to GND	-0.3 V to (V <sub>EE</sub> + 50.4 V)
V <sub>EE</sub> to GND	(V <sub>CC</sub> - 50.4 V) to +0.3 V
V <sub>CC</sub> to V <sub>EE</sub>	50.4 V
V <sub>DD</sub> and V <sub>DDH</sub> to GND	-0.3 V to +6 V
V <sub>DDL</sub> to GND	-0.3 V to +2.1 V
V <sub>IO</sub> to GND <sup>1</sup>	
HIVIO/ $\overline{\text{LOVIO}}$ = GND	-0.3 V to +2.1 V
HIVIO/ $\overline{\text{LOVIO}}$ = V <sub>DD</sub>	-0.3 V to +6 V
I <sub>OGND</sub> to GND	-0.3 V to +0.3 V
Digital Input Voltages	
CNV and HIVIO/ $\overline{\text{LOVIO}}$ to GND	-0.3 V to (V <sub>DD</sub> + 0.3 V)
All Other Inputs to GND	-0.3 V to (V <sub>IO</sub> + 0.3 V)
Digital Output Voltages	
	-0.3 V to (V <sub>IO</sub> + 0.3 V)
Transient Latchup Currents <sup>2</sup>	
IN0+ to IN7+ and IN0- to IN7-	
V <sub>CC</sub> - V <sub>EE</sub> ≤ 44 V	±100 mA
V <sub>CC</sub> - V <sub>EE</sub> > 44 V	±10 mA
All other inputs and outputs	±100 mA
Temperature	
Storage Range	-65°C to +150°C
Operating Junction Range <sup>3</sup>	-40°C to +105°C
Maximum Reflow (Package)	260°C

<sup>1</sup> V<sub>IO</sub>の絶対最大定格は、HIVIO/ $\overline{\text{LOVIO}}$ ピンの選択状態によって異なります。

<sup>2</sup> フォルト状態時にラッチアップ電流をこれらのレベルに制限するために V<sub>CC</sub> - V<sub>EE</sub> > 44V とするようなアプリケーションでは、INx+ピンと INx-ピンの各々に直列に外部抵抗を追加することを推奨します。詳細については、アナログ入力のオーバードライブ耐性のセクションを参照してください。

<sup>3</sup> デバイス寿命を低下させない連続動作時の最大ジャンクション温度は 105°C です。詳細についてはジャンクション温度のセクションを参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## ジャンクション温度

デバイス寿命を低下させない連続動作時の最大ジャンクション温度は 105°C です。-40°C ~ +125°C でサポートされているデバイス仕様については、最大 125°C のジャンクション温度での動作もサポートされています。105°C を超える温度で動作すること

による動作寿命の低下を防ぐためには、次式で定められる補償時間 ( $t_{COMP}$ ) の間、デバイスは 105°C 未満の温度で動作する必要があります。

$$t_{COMP} = (AF_T > 105 - 1) / (1 - AF_T < 105) \quad (1)$$

ここで、AF<sub>T</sub> > 105 および AF<sub>T</sub> < 105 は加速係数で、これはジャンクション動作温度の関数です。

例えば、デバイスが 115°C で 1 時間動作した場合でも、補償時間である 3.2 時間の間 95°C で動作すれば、想定されるデバイス寿命は維持されます。

## 熱特性

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ<sub>JA</sub> は、1 立方フィートの密閉容器内で測定された、自然対流下でのジャンクションと周囲環境の間の熱抵抗です。θ<sub>JCT</sub> はジャンクションとケース上部の間の熱抵抗、θ<sub>JCB</sub> はジャンクションとケース底部の間の熱抵抗です。

表 7. 熱抵抗

Package Type	θ <sub>JA</sub>	θ <sub>JCT</sub>	θ <sub>JCB</sub>	Unit
05-08-7086	26.4	13.0	4.9	°C/W

## 静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘起帯電デバイス・モデル (FICDM)。

## AD4855 の ESD 定格

表 8. AD4855、64 ボール BGA

ESD Model	Withstand Threshold (V)	Class
HBM	±4000	3A
FICDM	±750	C4

## ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

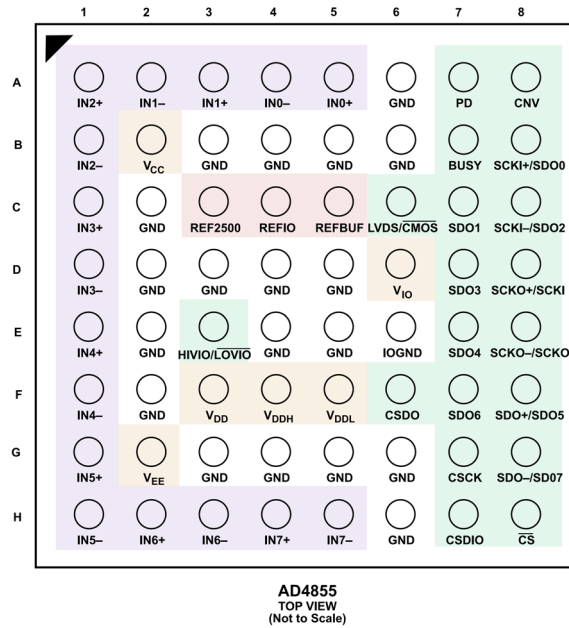


図 8. ピン配置

表 9. 共通ピンの機能の説明

ピン番号	記号	タイプ <sup>1</sup>	説明
A5 and A4, A3 and A2, A1 and B1, C1 and D1, E1 and F1, G1 and H1, H2 and H3, H4 and H5	IN0+ and IN0- to IN7+ and IN7-	AI	チャンネル 0 からチャンネル 7 の正および負のアナログ入力。コンバータはすべてのチャンネルに対して同時に ( $V_{INk+} - V_{INk-}$ ) のサンプリングとデジタル化を行います。入力同相電圧範囲が広く、同相モード除去が高いため、入力は任意の信号振幅を受け入れることができます。フルスケール差動入力範囲は、各チャンネルの SoftSpan 設定で決まります。
A6, B3 to B6, C2, D2 to D5, E2, E4, E5, F2, G3 to G6, H6	GND	P	電源グラウンド。GND ピンはすべて強固なグラウンド・プレーンに半田付けします。
A7	PD	DI	パワー・ダウン入力。PD ピンをハイにすると、デバイスがパワー・ダウンします。BUSY ピンがハイの間に PD ピンがハイになった場合、パワー・ダウンは BUSY ピンがローになってから開始されます。変換を介さずに PD ピンを 2 回ハイにすると、POR イベントと同等のグローバル・デバイス・リセットが開始されます。ロジック・レベルは $V_{IO}$ 電源によって決まります。
A8	CNV	DI	変換入力。CNV ピンの立上がりエッジによって新たな変換が始まります。指定されたデバイス性能レベルを実現するには、この信号が低ジッタであることが必要です。CNV のハイおよびローの閾値電圧は、それぞれ 0.8V および 0.4V です。
B2	$V_{CC}$	P	アナログ入力バッファの正側電源。 $V_{CC}$ ピンは、GND ピン基準で 7.25V~48V、 $V_{EE}$ ピン基準で 10V~48V の外部電源に接続します。 $V_{CC}$ ピンは、0.1 $\mu$ F のセラミック・コンデンサにより GND ピンに内部でバイパスされています。
B7	BUSY	DO	ビジー出力。BUSY ピンは、各変換（またはオーバーサンプリング・ウィンドウ）の開始時にハイになり、変換（またはオーバーサンプリング・ウィンドウ）が終了するとローに戻ります。また、BUSY ピンは、パワーオンリセットの開始時にもハイになり、パワーオンリセットが終了するとローに戻ります。ロジック・レベルは $V_{IO}$ 電源によって決まります。
C3	REF2500	AO	2.5V にスケールリングされたリファレンス出力。REF2500 ピンは、REFIO ピンの電圧を高精度にスケールリングした電圧を出力します。その公称値は $V_{REFIO} \times (2.500/4.096)$ です。REF2500 を外部接続する場合の推奨使用事例と注意事項については、 <a href="#">DAS リファレンスのセクション</a> を参照してください。
C4	REFIO	AI or AO	バンドギャップ・リファレンス出力およびリファレンス・バッファ入力。内部バンドギャップ・リファレンスの REFIO ピンでの公称出力値は 4.096V です。REFIO ピンは、バンドギャップ出力ノイズをフィルタ除去するため、10nF のセラミック・コンデンサにより GND ピンに内部でバイパスされています。REFIO ピンが外部リファレンス電圧 4.096V でオーバードライブされる場合は、 <a href="#">デバイス制御レジスタ</a> を介して内蔵リファレンスを無効化します。REFIO ピンを外部接続する場合の推奨使用事例と注意事項については、 <a href="#">DAS リファレンスのセクション</a> を参照してください。

ピン配置およびピン機能の説明

表 9. LFCSP のピン機能の説明 (続き)

ピン番号	記号	タイプ <sup>1</sup>	説明
C5	REFBUF	AI or AO	リファレンス・バッファ出力。内蔵のユニティゲイン・リファレンス・バッファは、コンバータのメイン・リファレンス電圧 $V_{REFBUF} = V_{REFIO}$ を REFBUF ピンに生成します。内部バンドギャップ・リファレンスを用いた場合、その公称値は 4.096V です。REFBUF ピンが外部リファレンス電圧 4.096V でオーバードライブされる場合、 <b>デバイス制御レジスタ</b> を介して内蔵リファレンス・バッファおよびバンドギャップ・リファレンスを無効化すると共に、外付けの 47μF セラミック・コンデンサを用いて REFBUF ピンを REFBUF ピンの近くの GND (ピン B4) にバイパスします。REFBUF ピンを外部接続する場合の推奨使用事例と注意事項については、 <b>DAS リファレンスのセクション</b> を参照してください。
C6	LVDS/ $\overline{\text{CMOS}}$	DI	変換データ・バス・モードの選択。LVDS/ $\overline{\text{CMOS}}$ ピンを $V_{IO}$ ピンに接続すると LVDS 変換データ出力モードが選択できます。また、GND ピンに接続すると CMOS 変換データ出力モードが選択できます。LVDS/ $\overline{\text{CMOS}}$ ピンの状態は、SPI レジスタ設定バスの動作には影響しません。ロジック・レベルは、 $V_{IO}$ 電源によって決まります。
D6 <sup>2</sup>	$V_{IO}$	P	デジタル入出力電源。 $V_{IO}$ ピンは、GND ピンを基準として 0.9V~5.25V の外部電源に接続します。HIVIO/ $\overline{\text{LOVIO}}$ ピンは、アプリケーションの $V_{IO}$ レベルに応じて正しく接続する必要があります。HIVIO/ $\overline{\text{LOVIO}}$ ピンは、 $1.71V \leq V_{IO} \leq 5.25V$ のアプリケーションでは $V_{DD}$ ピンに接続し、 $0.9V \leq V_{IO} \leq 1.89V$ のアプリケーションでは GND ピンに接続します。 $1.71V \leq V_{IO} \leq 1.89V$ のアプリケーションではどちらにも接続できます。 $V_{IO}$ ピンは、1μF のセラミック・コンデンサにより IOGND ピンに内部でバイパスされています。
E3 <sup>2</sup>	HIVIO/ $\overline{\text{LOVIO}}$	DI	$V_{IO}$ の電圧モードの選択。HIVIO/ $\overline{\text{LOVIO}}$ ピンは、 $1.71V \leq V_{IO} \leq 5.25V$ のアプリケーションでは $V_{DD}$ ピンに接続し、 $0.9V \leq V_{IO} \leq 1.89V$ のアプリケーションでは GND ピンに接続します。 $1.71V \leq V_{IO} \leq 1.89V$ のアプリケーションではどちらにも接続できます。ロジック・レベルは $V_{DD}$ 電源によって決まります。
E6	IOGND	P	デジタル入出力電源のグラウンド。IOGND ピンは GND ピンと同じグラウンド・プレーンに半田付けします。
F3	$V_{DD}$	P	5V 電源。 $V_{DD}$ ピンは外部 5V 電源に接続します。 $V_{DD}$ ピンは、1μF のセラミック・コンデンサにより GND ピンに内部でバイパスされています。
F4	$V_{DDH}$	P	1.8V LDO レギュレータの電源。1.8V 内部 LDO レギュレータを用いて $V_{DDL}$ ピンに給電するには、 $V_{DDH}$ ピンを $V_{DD}$ ピンに接続します。あるいは 2.2V~5.25V の別の外部電源に接続します。内部 LDO レギュレータを無効化するには、 <b>図 61</b> に示すように $V_{DDH}$ ピンを GND ピンに接続します。 $V_{DDH}$ ピンは、1μF のセラミック・コンデンサにより GND ピンに内部でバイパスされています。
F5	$V_{DDL}$	P	1.8V 電源。1.8V 内部 LDO レギュレータを用いて $V_{DDL}$ ピンに給電するには、 $V_{DDH}$ ピンを $V_{DD}$ ピンに接続します。あるいは、2.2V~5.25V の別の外部電源に接続します。この場合、 $V_{DDL}$ には外部接続しません。 $V_{DDL}$ ピンに外部から給電するには、 <b>図 61</b> に示すように、 $V_{DDH}$ ピンを GND ピンに接続して内部 LDO レギュレータを無効化し、 $V_{DDL}$ ピンを外部 1.8V 電源に接続します。 $V_{DDL}$ ピンは、1μF のセラミック・コンデンサにより GND ピンに内部でバイパスされています。
F6	CSDO	DO	SPI レジスタ設定バスのデータ出力。3 線式の SPI レジスタ設定バス動作時には、CSDO ピンは高インピーダンスを維持します。4 線式バス動作時には、CSDO ピンは読出しトランザクション中にシリアル・データを出します。ロジック・レベルは $V_{IO}$ 電源によって決まります。
G2	$V_{EE}$	P	アナログ入力バッファの負側電源。 $V_{EE}$ ピンは、GND ピン基準で 0V~40.75V、 $V_{CC}$ ピン基準で -10V~48V の外部電源に接続します。 $V_{EE}$ ピンは、0.1μF のセラミック・コンデンサにより GND ピンに内部でバイパスされています。
G7	CSCK	DI	SPI レジスタ設定バスのクロック入力。CSCK ピンの駆動は SPI レジスタ設定バスのクロックで行います。CSCK ピンは、ハイまたはローのどちらでもアイドル状態になることができます。ロジック・レベルは $V_{IO}$ 電源によって決まります。
H7	CSDIO	DI and DO	SPI レジスタ設定バスのデータ入出力。3 線式と 4 線式のどちらの SPI レジスタ設定バス動作時でも、CSDIO ピンはシリアル入力データを受け入れます。3 線式バス動作時には、CSDIO ピンは読出しトランザクション中にシリアル・データの出力も行います。ロジック・レベルは $V_{IO}$ 電源によって決まります。
H8	$\overline{\text{CS}}$	DI	チップ・セレクト入力。SPI レジスタ設定バスおよび変換データ・バスは、 $\overline{\text{CS}}$ ピンがローの場合に有効化され、 $\overline{\text{CS}}$ ピンがハイの場合には無効化されて高インピーダンスになります。ロジック・レベルは $V_{IO}$ 電源によって決まります。

<sup>1</sup> AI はアナログ入力、AO はアナログ出力、P は電源、DI はデジタル入力、DO はデジタル出力です。

<sup>2</sup>  $V_{IO}$  電源および関連するデジタル入出力の最大動作定格と絶対最大定格は、HIVIO/ $\overline{\text{LOVIO}}$ ピンの状態によって定義されます。

## ピン配置およびピン機能の説明

表 10. CMOS 変換データ・バスのピン機能の説明

ピン番号	記号	タイプ <sup>1</sup>	説明
B8, C7, C8, D7, E7, F7, F8, G8	SDO0 to SDO7	DO	チャンネル 0 からチャンネル 7 の CMOS 変換データ出力。変換結果およびオプションのチャンネル・ステータス情報は、SCKI ピンに同期してこれらのピンから出力されます。SDO0 ピンは、4 線式読出し動作時に SPI レジスタ設定バスのシリアル・データを出力するよう、 <b>SPI 設定 D レジスタ</b> を通じて設定することもできます。ロジック・レベルは V <sub>IO</sub> 電源によって決まります。
D8	SCKI	DI	CMOS 変換データ・クロック入力。SCKI ピンの駆動は CMOS 変換データ・バスのクロックで行います。SCKI ピンは、ハイまたはローのどちらでもアイドル状態になることができます。ロジック・レベルは V <sub>IO</sub> 電源によって決まります。
E8	SCKO	DO	CMOS 変換データ・クロック出力。SCKO ピンは、SDO0 ピン～SDO7 ピンのシリアル出力データにスキューマッチした SCKI ピンのコピーを出力します。 <b>デバイス制御レジスタ</b> を通じてクロック・エコーが無効化されている場合、SCKO ピンは高インピーダンスになります。ロジック・レベルは、V <sub>IO</sub> 電源によって決まります。

<sup>1</sup> AI はアナログ入力、AO はアナログ出力、P は電源、DI はデジタル入力、DO はデジタル出力です。

表 11. LVDS 変換データ・バスのピン機能の説明

ピン番号	記号	タイプ <sup>1</sup>	説明
B8 and C8	SCKI+ and SCKI-	DI	LVDS 変換データ・クロック入力。SCKI+ピンおよび SCKI-ピンの差動駆動は LVDS 変換データ・バスのクロックで行います。SCKI+ピンと SCKI-ピンはロー状態でアイドルリングされます ( $\overline{CS}$ を遷移している場合を含む)。 $\overline{CS}$ ピンがローの場合、SCKI+ピンおよび SCKI-ピンはデフォルトで 100Ω 差動抵抗により内部終端されています。この終端は、 <b>デバイス制御レジスタ</b> を介して無効化できます。
C7, D7, E7, F7	SDO1, SDO3, SDO4, SDO6	DO	CMOS 変換データ出力。LVDS 変換データ出力モードでは、SDO1、SDO3、SDO4、SDO6 の各ピンは高インピーダンスになります。
D8 and E8	SCKO+ and SCKO-	DO	LVDS 変換データ・クロック出力。SCKO+および SCKO-ピンは、SDO+および SDO-ピン上のシリアル出力データとスキューマッチされた SCKI+および SCKI-ピンのコピーを出力します。SCKO+と SCKO-の出力ペアは、レシーバ・フィールド・プログラマブル・ゲート・アレイ (FPGA) で 100Ω の抵抗を用いて差動終端する必要があります。クロック・エコーが <b>デバイス制御レジスタ</b> を介して無効化される場合、これらのピンは高インピーダンスになります。
F8 and G8	SDO+ and SDO-	DO	LVDS 変換データ出力。変換結果およびオプションのチャンネル・ステータス情報は、SCKI+および SCKI-ピンに同期して、これらのピンに出力されます。SDO+と SDO-の出力ペアは、レシーバ (FPGA) で 100Ω の抵抗を用いて差動終端する必要があります。

<sup>1</sup> AI はアナログ入力、AO はアナログ出力、P は電源、DI はデジタル入力、DO はデジタル出力です。

代表的な性能特性

特に指定のない限り、 $V_{EE} = -24V$ 、 $V_{CC} = +24V$ 、 $V_{DD} = +5V$ 、 $V_{DDH} = +2.5V$ 、1.8V LDO レギュレータを有効化、 $V_{IO} = +2.5V$ 、 $f_s = 250kSPS$ 、内蔵リファレンスおよびリファレンス・バッファを有効化、SoftSpan 15 および SoftSpan 13 では完全差動入力信号駆動、その他のバイポーラまたはユニポーラの SoftSpan レンジでは真のバイポーラまたはユニポーラ信号駆動、 $T_A = 25^\circ C$ 。

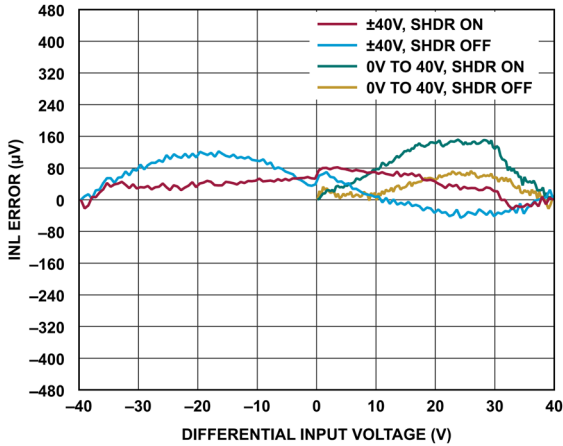


図 9. INL 誤差と差動入力電圧の関係 (SoftSpan 15~SoftSpan 14)

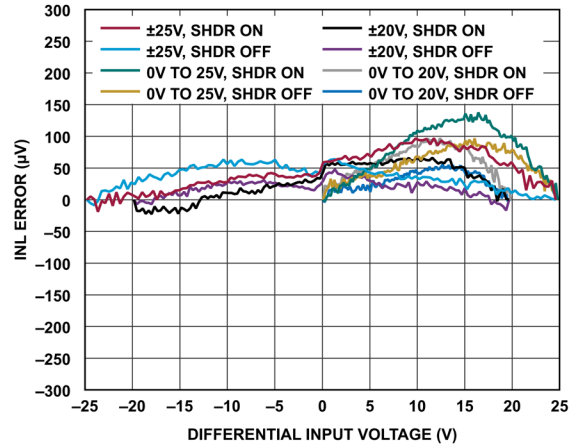


図 12. INL 誤差と差動入力電圧の関係 (SoftSpan 13~SoftSpan 10)

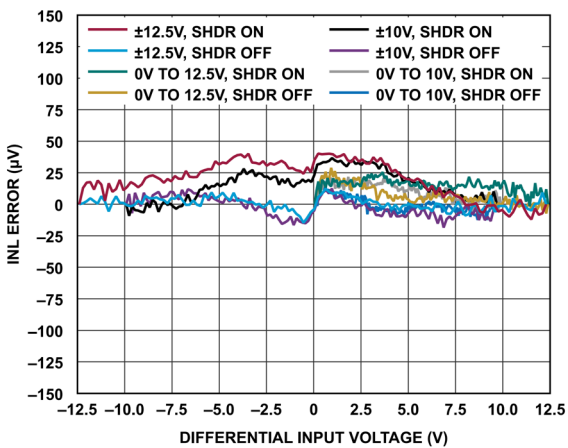


図 10. INL 誤差と差動入力電圧の関係 (SoftSpan 9~SoftSpan 6)

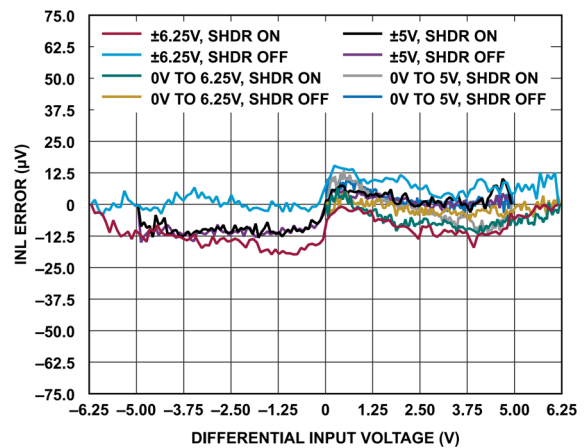


図 13. INL 誤差と差動入力電圧の関係 (SoftSpan 5~SoftSpan 2)

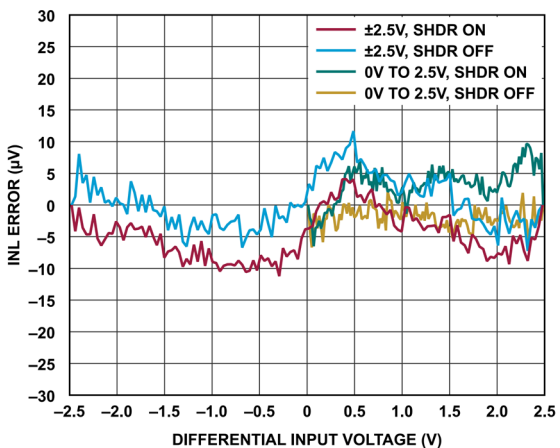


図 11. INL 誤差と差動入力電圧の関係 (SoftSpan 1~SoftSpan 0)

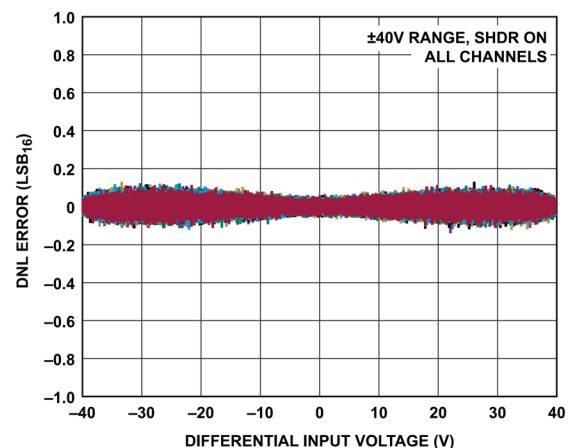


図 14. DNL 誤差と差動入力電圧の関係



代表的な性能特性

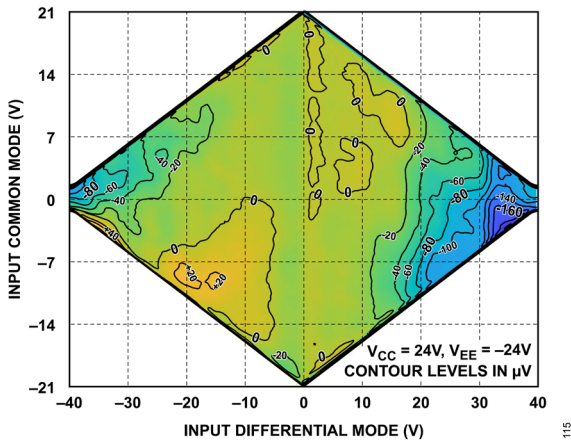


図 15. INL 誤差と入力同相モードおよび入力差動電圧の関係

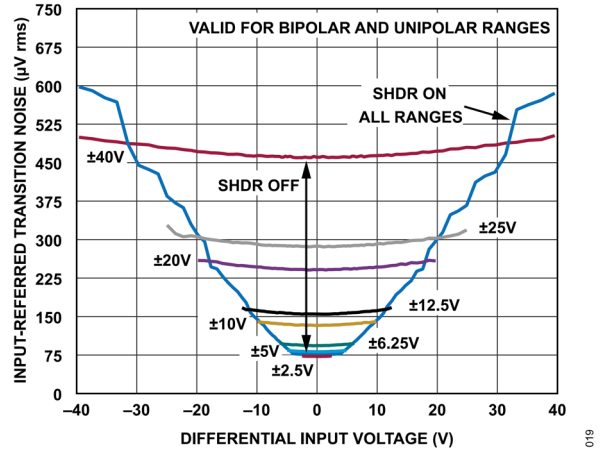


図 18. 入力換算遷移ノイズと差動入力電圧の関係

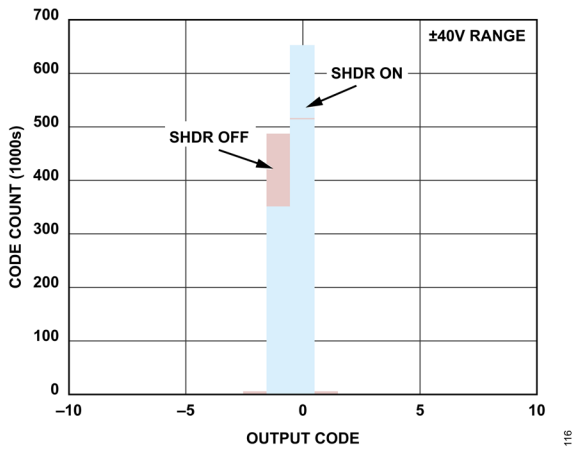


図 16. DC コードのヒストグラム (ゼロスケール付近)

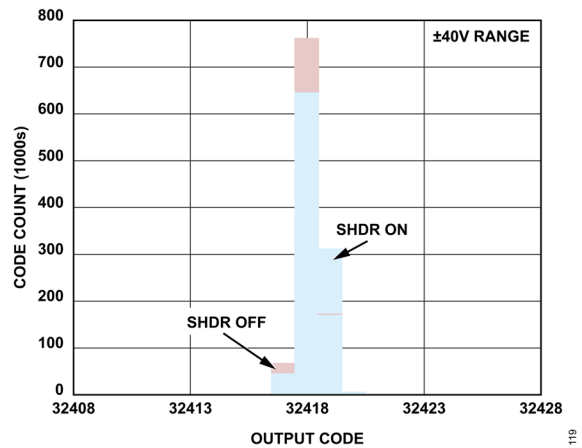


図 19. DC コードのヒストグラム (フルスケール付近)

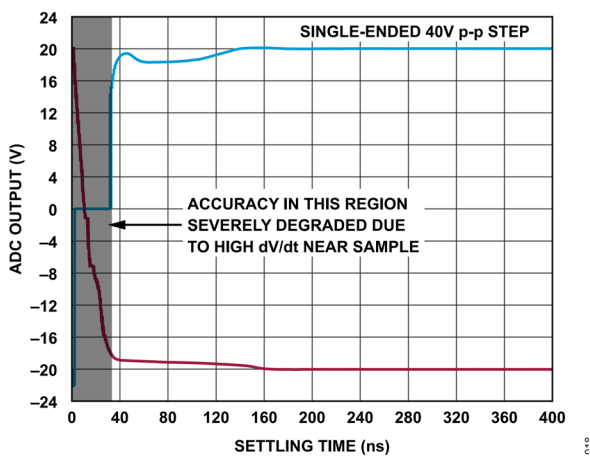


図 17. 入カステップ応答 (大信号セトリング)

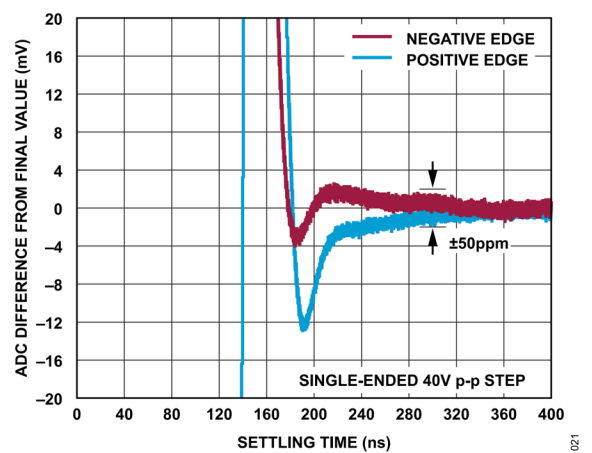


図 20. 入カステップ応答 (微細セトリング)

代表的な性能特性

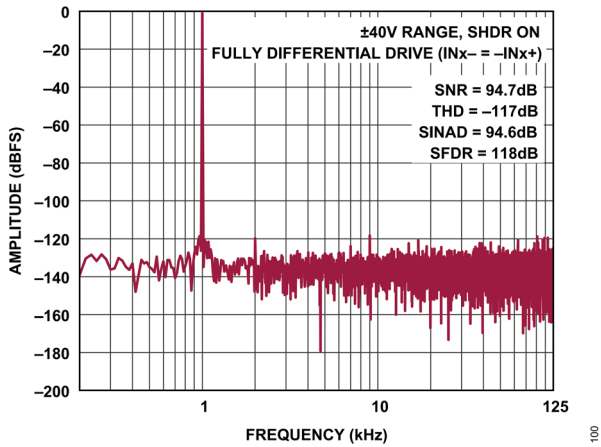


図 21. FFT (250kSPS、 $f_{IN} = 1\text{kHz}$ 、 $\pm 40\text{V}$  レンジ)

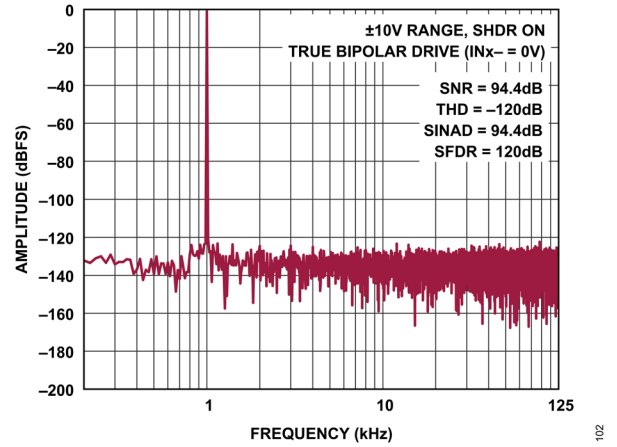


図 24. FFT (250kSPS、 $f_{IN} = 1\text{kHz}$ 、 $\pm 10\text{V}$  レンジ)

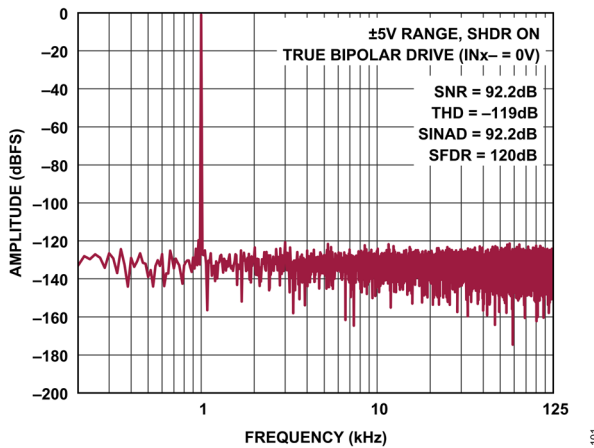


図 22. FFT (250kSPS、 $f_{IN} = 1\text{kHz}$ 、 $\pm 5\text{V}$  レンジ)

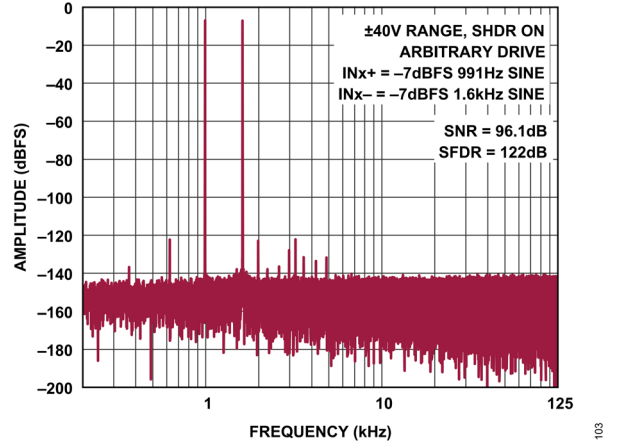


図 25. FFT (250kSPS、 $f_{INx+} = 991\text{Hz}$ 、 $f_{INx-} = 1.6\text{kHz}$ 、 $\pm 40\text{V}$  レンジ)

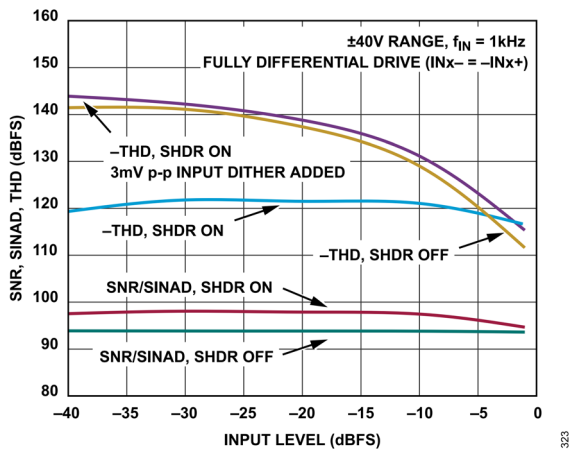


図 23. SNR、SINAD、THD と入力レベルの関係

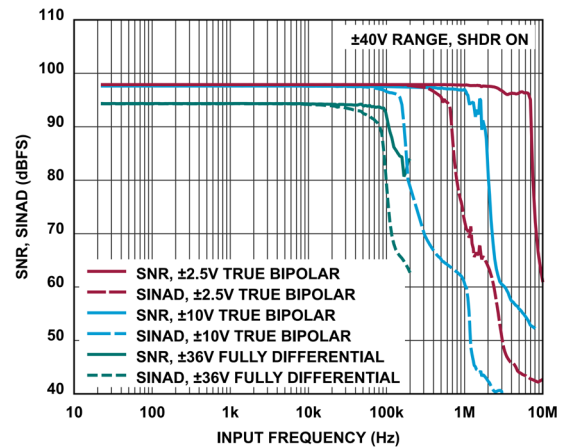


図 26. SNR および SINAD と入力周波数の関係

代表的な性能特性

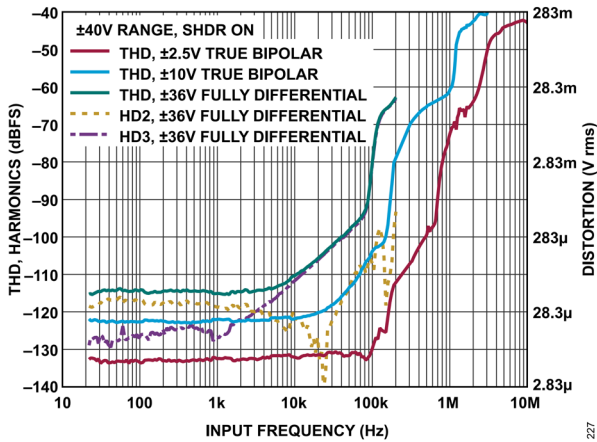


図 27. THD、高調波および歪みと入力周波数の関係

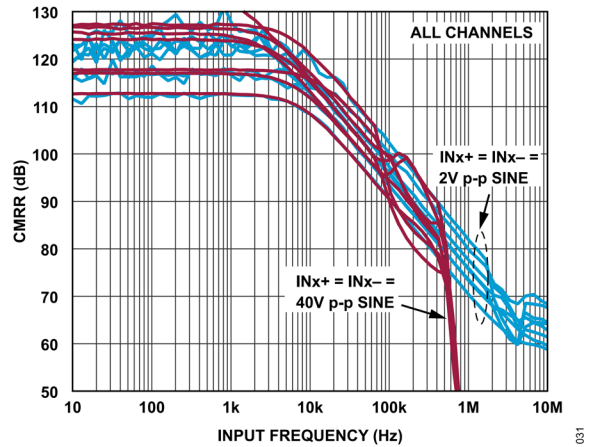


図 30. CMRR と入力周波数の関係

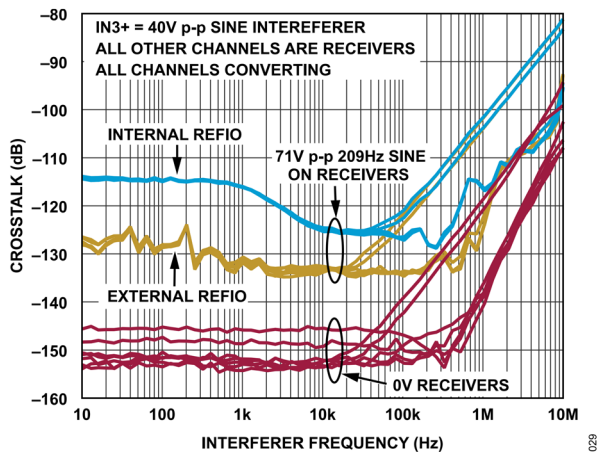


図 28. クロストークと干渉周波数の関係

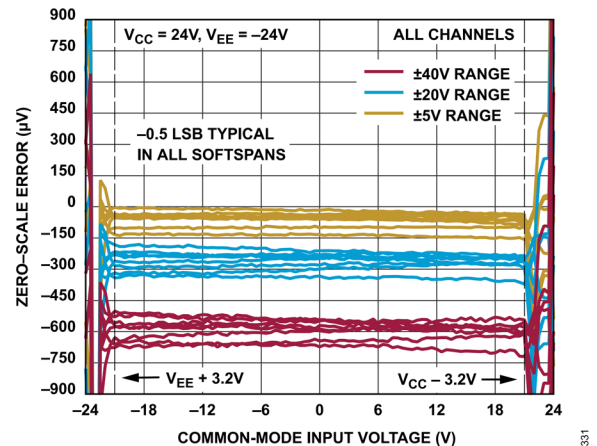


図 31. ゼロスケール誤差と同相モード入力電圧の関係

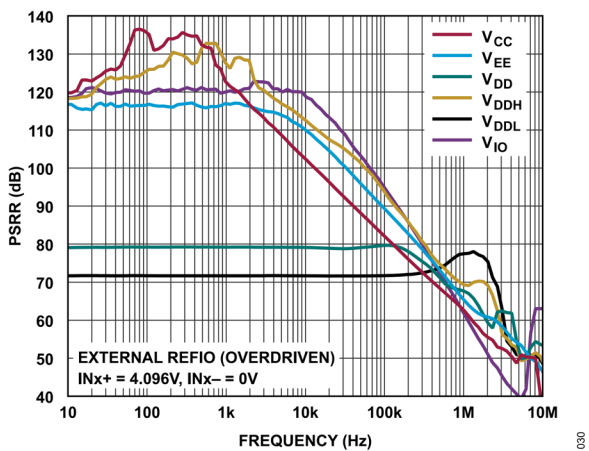


図 29. 電源電圧変動除去比 (PSRR) と周波数の関係

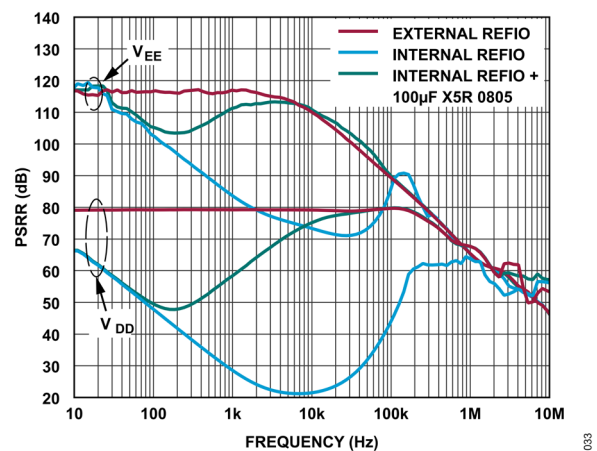


図 32. PSRR と周波数の関係  
(内蔵リファレンスおよび外部リファレンス)

代表的な性能特性

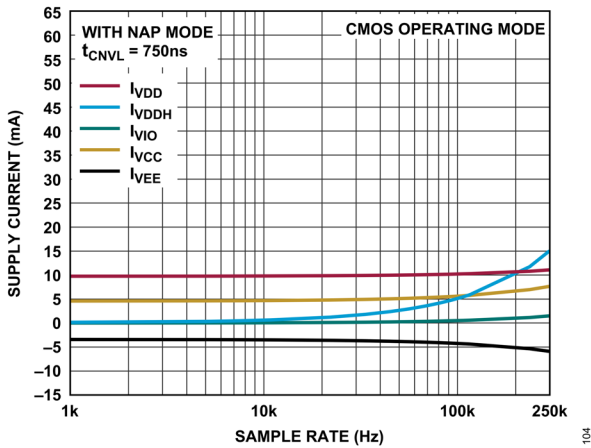


図 33. 電源電流とサンプル・レートの関係

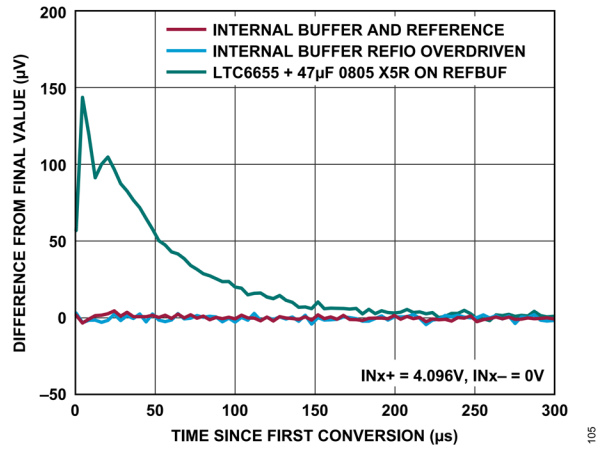


図 36. バースト変換応答 ( $f_s = 250\text{kSPS}$ )

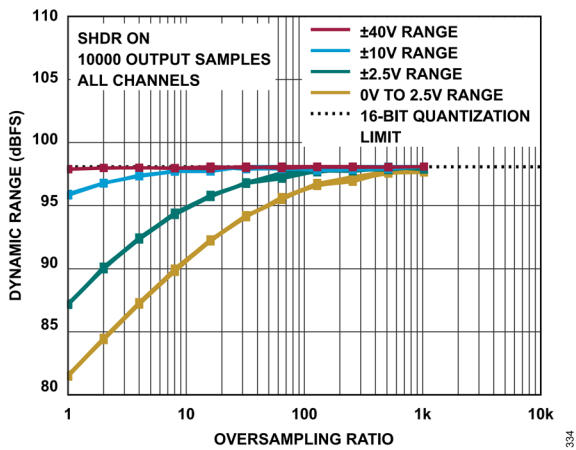


図 34. ダイナミック・レンジとオーバーサンプリング比の関係

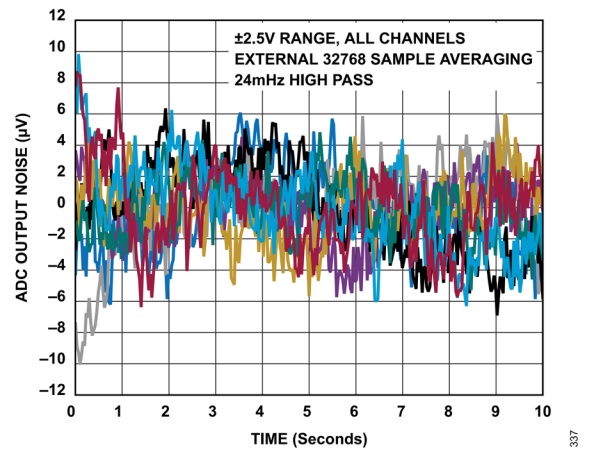


図 37. 10 秒間の低周波ノイズ

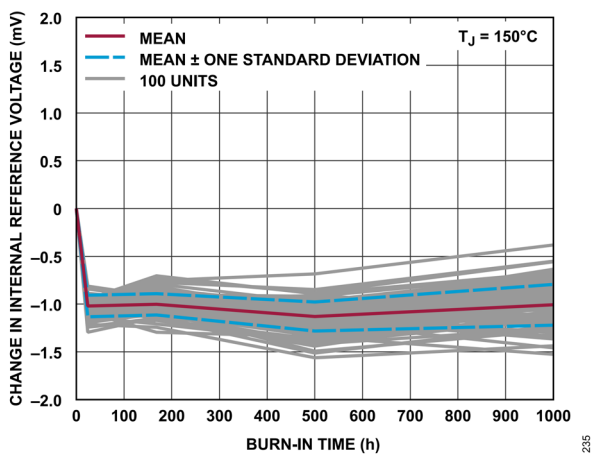


図 35. 内蔵リファレンス電圧の変化とバーンイン時間の関係

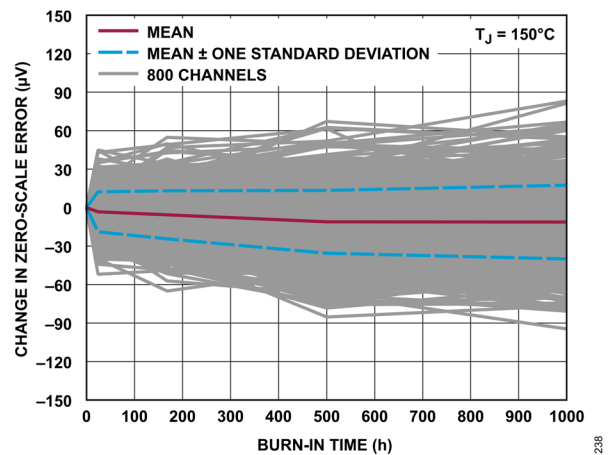


図 38. ゼロスケール誤差の変化とバーンイン時間の関係

代表的な性能特性

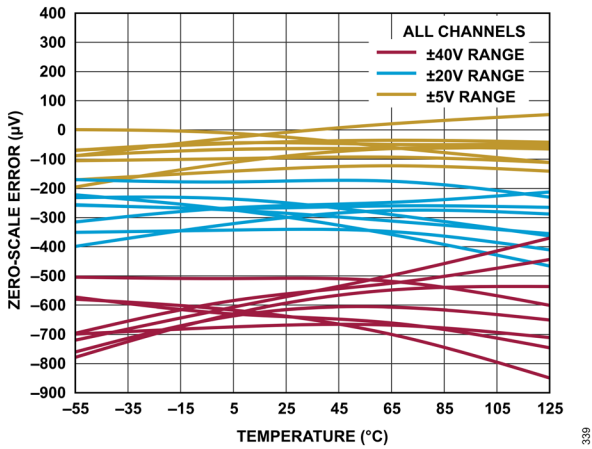


図 39. ゼロスケール誤差と温度の関係

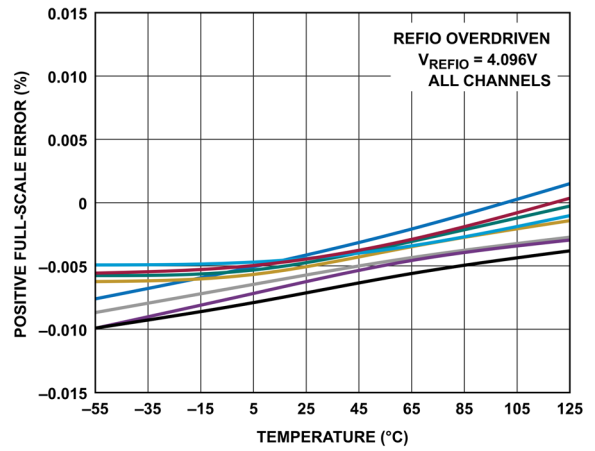


図 42. 正側フルスケール誤差と温度の関係

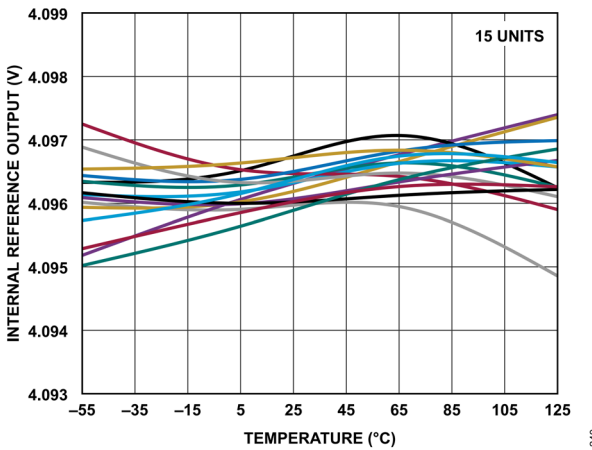


図 40. 内蔵リファレンス出力と温度の関係

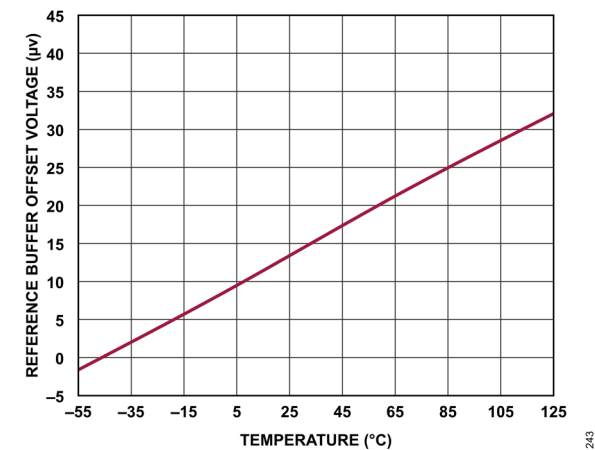


図 43. リファレンス・バッファのオフセット電圧と温度の関係

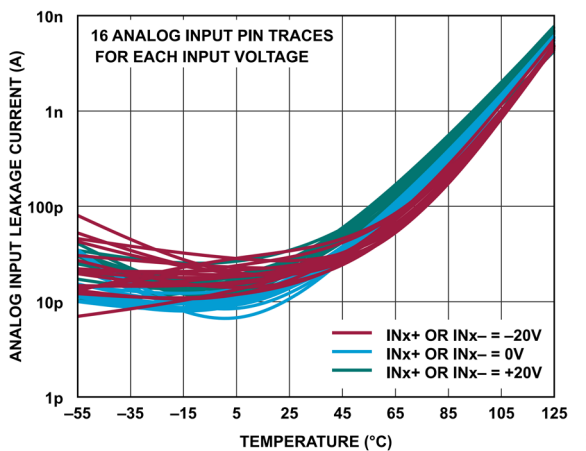


図 41. アナログ入力リーク電流と温度の関係

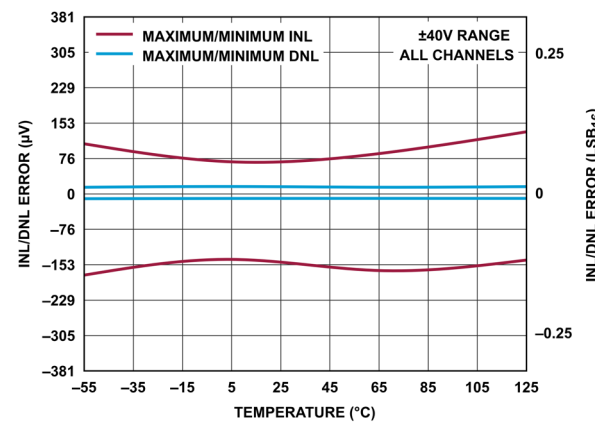


図 44. INL/DNL 誤差と温度の関係

代表的な性能特性

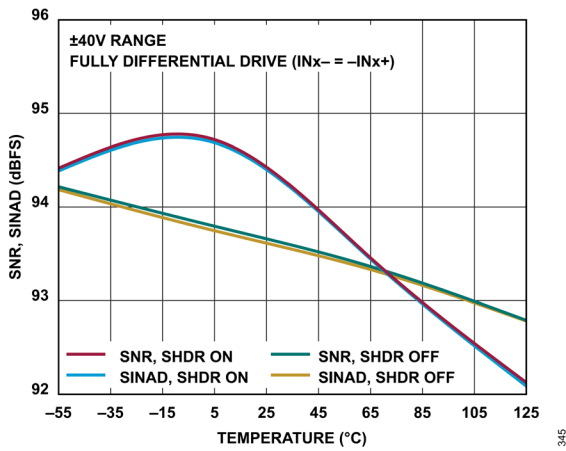


図 45. S/N 比および SINAD と温度の関係

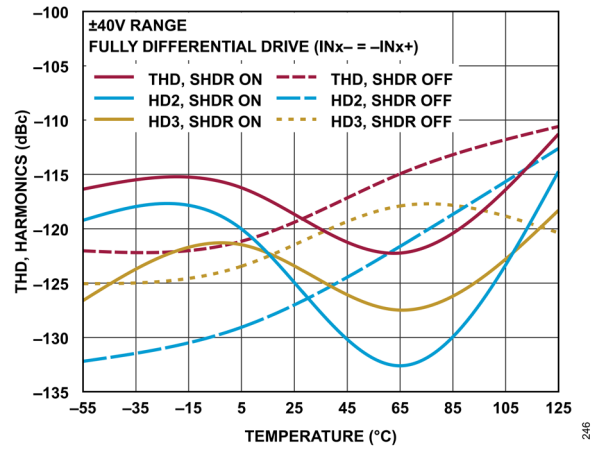


図 47. THD (高調波) と温度の関係

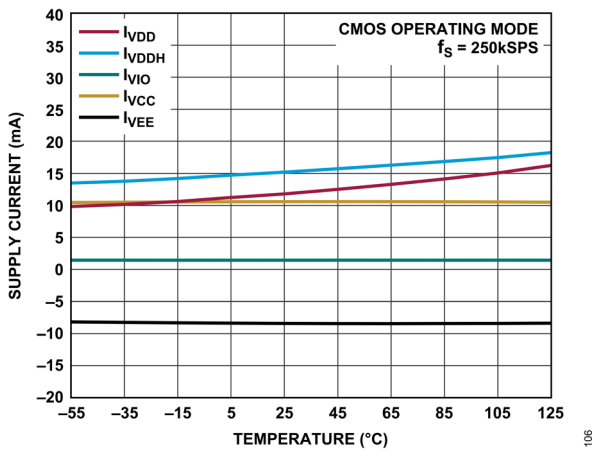


図 46. 電源電流と温度の関係

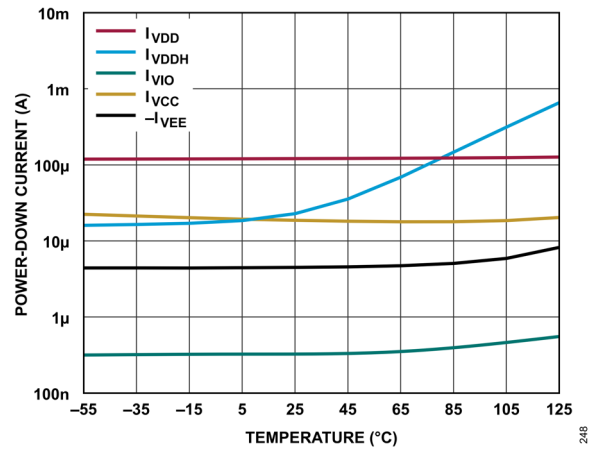


図 48. パワーダウン電流と温度の関係



## 用語の定義

### 積分非直線性 (INL) 誤差

INL は、ADC の伝達関数の両端を結ぶ直線と個々のコードとの偏差です。伝達関数の両端は、最初のコード遷移の前の  $\frac{1}{2}$ LSB と最後のコード遷移の後の  $\frac{1}{2}$ LSB です。偏差は各々のコードの中央から真の直線までの距離として測定されます。

### 微分非直線性 (DNL) 誤差

理想的な ADC では、コード遷移は 1LSB ごとに生じます。DNL とは、この理想値からの最大偏差のことです。DNL はノー・ミス・コードが確保される分解能で仕様規定されます。

### ゼロスケール誤差

バイポーラ SoftSpan レンジとユニポーラ SoftSpan レンジのどちらの場合も、ゼロスケール誤差は、0V の理想的なゼロスケール入力電圧と 0LSB のゼロスケール出力コードを生成する実際の入力電圧との偏差です。

### フルスケール誤差

バイポーラ SoftSpan レンジの場合、フルスケール誤差は、最初のコード遷移および最後のコード遷移と理想値との最大偏差です。これにはゼロスケール誤差やリファレンス・バッファの影響が含まれます。

ユニポーラ SoftSpan レンジの場合、フルスケール誤差は、最後のコード遷移と理想値との最大偏差です。これにはゼロスケール誤差やリファレンス・バッファの影響が含まれます。

### 有効ビット数 (ENOB)

ENOB は、サイン波入力による分解能の測定値です。これは SINAD と次式のような関係があります。

$$\text{ENOB} = (\text{SINAD}_{\text{dB}} - 1.76)/6.02$$

ENOB の単位はビットです。

### ダイナミック・レンジ

ダイナミック・レンジは、フルスケールのサイン波の実効値振幅と合計実効値ノイズとの比で、単位はデシベル (dB) です。すべてのノイズ・ソースと DNL アーティファクトが含まれるように、 $-60\text{dBFS}$  の入力信号で測定します。

### S/N 比 (SNR)

S/N 比は、フルスケール・サイン波の実効値振幅とナイキスト周波数を下回るその他すべてのスペクトル成分 (最初の 5 つの高調波および DC を除く) の実効値総和との比です。SNR 値の単位は、デシベル (dB) です。

### 信号/ノイズ+歪み (SINAD) 比

SINAD は、フルスケール・サイン波の実効値振幅とナイキスト周波数を下回るその他すべてのスペクトル成分 (高調波を含むが DC は除く) の実効値総和との比です。SINAD 値の単位は、デシベル (dB) です。

### 全高調波歪み (THD)

THD は、最初の 5 つの高調波成分の実効値総和と基本波入力信号の実効値振幅との比で、単位はデシベル (dB) です。

### スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDR は、フルスケール入力信号の実効値振幅とピーク・スプリアス信号との差で、単位はデシベル (dB) です。

### チャンネル間クロストーク

チャンネル間クロストークは、1 つの干渉注入チャンネルに周波数  $f_{\text{INJ}}$  のサイン波を印加し、すべてのレシーバ・チャンネルに別の周波数 ( $f_{\text{RCV}}$ ) のサイン波を印加することで測定されます。クロストークは、 $f_{\text{INJ}}$  におけるスペクトル・トーンの実効値総和と、レシーバ・チャンネルと注入チャンネルにおける 5 次までの相互変調積との比です。チャンネル間クロストークの単位はデシベル (dB) です。測定中、すべてのチャンネルは、内蔵リファレンスとリファレンス・バッファを有効にし、 $f_s = 250\text{kSPS}$  で変換を行っています。

### アパーチャ遅延

アパーチャ遅延は、アキュジション性能の尺度です。これは、CNV 入力の立上がりエッジから、入力信号が変換のために保持されるまでの時間です。

### 過渡応答

過渡応答は、ADC が  $50\text{ppm}$  のセトリング精度でフルスケール入力ステップを達成するのに必要な時間です。

### 同相モード除去比 (CMRR)

CMRR は、アナログ入力同相電圧に印加される周波数 ( $f$ ) のサイン波の実効値振幅とその周波数 ( $f$ ) での ADC 出力データの実効値振幅との比です。CMRR 値の単位は、デシベル (dB) です。

### 電源電圧変動除去比 (PSRR)

PSRR は、電源電圧に印加される周波数 ( $f$ ) のサイン波の実効値振幅とその周波数 ( $f$ ) での ADC 出力データの実効値振幅との比です。PSRR 値の単位は、デシベル (dB) です。

動作原理

概要

AD4855 は、8 チャンネルすべてでバッファ付きの同時サンプリングが可能な 16 ビット 250kSPS の DAS で、同相電圧範囲の広い差動入力を備えています。その機能アーキテクチャを図 1 に示します。5V の低電圧かつ柔軟な入力バッファの電源で動作し、高精度、低ドリフトの内蔵リファレンスおよびリファレンス・バッファを用いている AD4855 は、各チャンネルの SoftSpan レンジを個別に設定できるため、アプリケーション固有の信号振幅に対応可能で、追加の外部シグナル・コンディショニングを最小限に抑えることができます。シングル変換のダイナミック・レンジを更に拡大するために、AD4855 は SHDR 技術を採用しています。これを有効にすると、チャンネルの入力信号経路ゲインがサンプルごとに自動的に最適化されるため、直線性に影響を及ぼすことなく各サンプルのコンバータ・ノイズを最小限に抑えることができます。

AD4855 は、11MHz の帯域幅、ピコアンペアの入力アナログ・バッファ、広い入力同相電圧範囲、120dB の CMRR を備えているため、DAS は INx+ および INx- での任意の振幅の入力信号を直接デジタル化できます。その入力信号の柔軟性により、±160μV の INL、16 ビットでのノー・ミス・コード、94.6dB の S/N 比、98.1dB のダイナミック・レンジと相まって、AD4855 は、高い正確性、スループット、および精度をコンパクトなソリューション・フットプリントで実現するアプリケーションに最適な選択肢となっています。

AD4855 アナログ入力バッファの絶対入力範囲は、(V<sub>EE</sub> + 3.2V) ~ (V<sub>CC</sub> - 3.2V) です。バッファの電源である V<sub>CC</sub> と V<sub>EE</sub> には柔軟性があるため、アプリケーション固有の信号振幅条件に一致するよう選択でき、シグナル・コンディショニングを追加する必要はありません。これらの電源は、グラウンド周辺に非対称にバイアスでき、V<sub>EE</sub> ピンを GND に直接接続する機能があります。

AD4855 のデジタル機能には、オプションで、S/N 比とダイナミック・レンジを更に向上できる 16 ビット・オーバーサンプリング機能と、DAS の上流で生じるシステムレベルの誤差を補正できるチャンネルごとのオフセット、ゲイン、位相の調整機能があります。

AD4855 には、専用の SPI レジスタ設定バス (0.9V ~ 5.25V) と、ピン選択可能なシリアル LVDS および CMOS 変換データ出力バスが備わっています。CMOS モードでは 1 本から 8 本のデータ出力を使用できるため、バスの幅とスループットを最適化できます。

8 チャンネルを 250kSPS で同時に変換する場合、AD4855 のチャンネルあたりの消費電力は 27mW (代表値) です。オプションのナップ・モードおよびパワーダウン・モードを用いると、非アクティブ時の消費電力を更に低減できます。

コンバータの動作

AD4855 は 2 つのフェーズで動作します。アクイジション・フェーズでは、各チャンネルのサンプル&ホールド回路のサンプリング・コンデンサがそれぞれのアナログ入力バッファに接続され (図 53 参照)、差動入力電圧 (V<sub>INx+</sub> - V<sub>INx-</sub>) をトラッキングします。CNV ピンの立上がりエッジで、すべてのサンプル & ホールド回路がトラック・モードからホールド・モードに移り、すべてのチャンネルの入力信号が同時にサンプリングさ

れ変換が開始されます。変換フェーズの間に、各チャンネルのサンプリング・コンデンサを、16 ビット電荷再分配型コンデンサ D/A コンバータ (CDAC) に接続します。CDAC は、逐次比較アルゴリズムを通じてシーケンス処理され、サンプリングされた入力電圧は、差動コンパレータを用いて、チャンネルの SoftSpan フルスケール・レンジのバイナリ重み付け部分 (V<sub>FSR</sub>/2、V<sub>FSR</sub>/4、…、V<sub>FSR</sub>/2<sup>16</sup> など) と効率的に比較されます。このプロセスの終了後、CDAC 出力は、各チャンネルでサンプリングされたアナログ入力を近似したものとなります。この方法ですべてのチャンネルが変換されると、ADC の制御ロジックは、シリアル伝送を行うために、各チャンネルから 16 ビットのデジタル出力コードを準備します。

伝達関数

AD4855 は、各チャンネルのフルスケール電圧範囲を 2<sup>16</sup> 個の離散的なレベルにデジタル化します。ADC のメインのリファレンス電圧である V<sub>REFBUF</sub> に加え、各チャンネルの SoftSpan 設定によって、その差動入力電圧範囲、LSB サイズ、変換結果のバイナリ形式が表 12 に示すように決まります。変換結果は、バイポーラ SoftSpan レンジの場合はすべて 2 の補数のバイナリ形式で出力され、ユニポーラ SoftSpan レンジの場合はすべてストレート・バイナリ形式で出力されます。理想的なバイポーラ入力伝達関数を図 49 に示します。また、理想的なユニポーラ入力伝達関数を図 50 に示します。

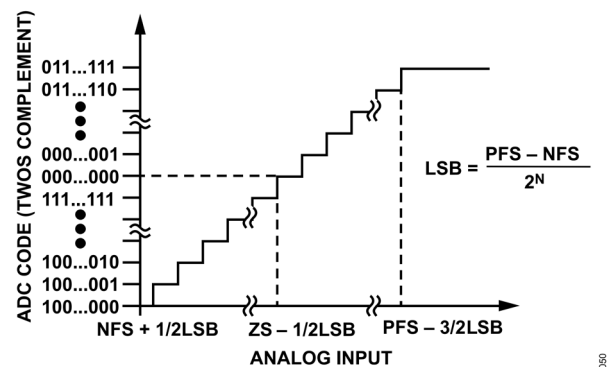


図 49. AD4855 の理想的なバイポーラ入力伝達関数、N = 16 ビット

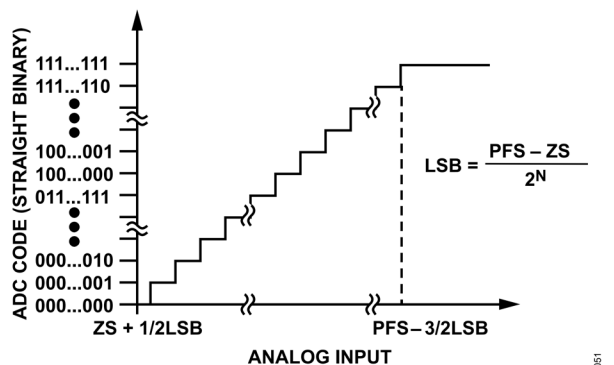


図 50. AD4855 の理想的なユニポーラ入力伝達関数、N = 16 ビット

動作原理

表 12. SoftSpan レンジの特性

SoftSpan	Differential Input Voltage Range ( $V_{INx+} - V_{INx-}$ )	Ideal Ranges ( $V_{REFBUF} = 4.096\text{ V}$ )			
		Negative Full Scale (V)	Zero Scale (V)	Positive Full Scale (V)	LSB ( $\mu\text{V}$ )
Bipolar (Twos Complement Output Code)					
15	$\pm 10 \times (V_{REFBUF}/1.024)$	-40	0	+40	1220.703
13	$\pm 6.25 \times (V_{REFBUF}/1.024)$	-25	0	+25	762.939
11	$\pm 5 \times (V_{REFBUF}/1.024)$	-20	0	+20	610.352
9	$\pm 3.125 \times (V_{REFBUF}/1.024)$	-12.5	0	+12.5	381.470
7	$\pm 2.5 \times (V_{REFBUF}/1.024)$	-10	0	+10	305.176
5	$\pm 1.5625 \times (V_{REFBUF}/1.024)$	-6.25	0	+6.25	190.735
3	$\pm 1.25 \times (V_{REFBUF}/1.024)$	-5	0	+5	152.588
1	$\pm 0.625 \times (V_{REFBUF}/1.024)$	-2.5	0	+2.5	76.294
Unipolar (Straight Binary Output Code)					
14	0 to $10 \times (V_{REFBUF}/1.024)$		0	40	610.352
12	0 to $6.25 \times (V_{REFBUF}/1.024)$		0	25	381.470
10	0 to $5 \times (V_{REFBUF}/1.024)$		0	20	305.176
8	0 to $3.125 \times (V_{REFBUF}/1.024)$		0	12.5	190.735
6	0 to $2.5 \times (V_{REFBUF}/1.024)$		0	10	152.588
4	0 to $1.5625 \times (V_{REFBUF}/1.024)$		0	6.25	95.367
2	0 to $1.25 \times (V_{REFBUF}/1.024)$		0	5	76.294
0	0 to $0.625 \times (V_{REFBUF}/1.024)$		0	2.5	38.147

SoftSpan

AD4855 の各チャンネルは、表 12 に示すように、16 通りの SoftSpan レンジのいずれかに個別に設定できます。デジタル化するのに必要な差動アナログ入力 ( $V_{INx+} - V_{INx-}$ ) の範囲に応じて、各チャンネルの SoftSpan レンジを選択します。すべてのチャンネルは、公称 $\pm 40\text{V}$  のバイポーラ入力範囲に対応する、SoftSpan 15 にデフォルト設定されています。チャンネルを別のレンジに設定するには、表 13 に示す対応レジスタ・アドレスに 4 ビットの SoftSpan コードを書き込みます。

表 13. チャンネル別の SoftSpan レジスタ

Register Name	Register Address
CH0_SOFTSPAN	0x2A
CH1_SOFTSPAN	0x3C
CH2_SOFTSPAN	0x4E
CH3_SOFTSPAN	0x60
CH4_SOFTSPAN	0x72
CH5_SOFTSPAN	0x84
CH6_SOFTSPAN	0x96
CH7_SOFTSPAN	0xA8

選択された SoftSpan レンジに関わりなく、 $INx+$  および  $INx-$  のアナログ入力は、広い同相モード入力範囲と高い CMRR を備えているため、各ピンが  $(V_{EE} + 3.2\text{V}) \sim (V_{CC} - 3.2\text{V})$  の範囲にある限り、互いに任意の関係で振動できます。

シームレス・ハイ・ダイナミック・レンジ

SHDR は、サンプルごとに可能な限り最小の入力換算変換ノイズを実現する、アナログ・デバイセズ独自の技術です。

SHDR が無効化されている場合、各チャンネルの SoftSpan レンジが、そのチャンネルのすべてのサンプルに適用される固定コンバータ・アナログ信号ゲインを自動的に定義します。この固定ゲインは、選択された SoftSpan の最大信号レベルでチャンネルが飽和することのないよう、十分に低いことが必要です。固定ゲインにより、全サンプルに対し入力換算ノイズのレベルは一定となります。

SHDR が有効化されている場合、コンバータは、各サンプルの差動電圧に基づいて、アナログ信号ゲインを動的に調整します。差動電圧の大きさが選択された SoftSpan レンジの最大値に近い場合、採用されるゲインは、SHDR を無効化した場合に用いられる値と同じになります。しかし、差動電圧の大きさがこれより小さいサンプルの場合には、コンバータは自動的にゲインを増加させ、これらのサンプルに対してより低い入力換算変換ノイズを実現し、ダイナミック・レンジを向上させます。

すべての変換結果は、選択された SoftSpan レンジ形式で報告され、このモードを採用するために追加の出力データ操作を行う必要はありません。図 18 に、SHDR をオンにした場合とオフにした場合のコンバータの入力換算遷移ノイズの比較を示します。表 1 に示すように、SHDR を有効化するとシングル変換のダイナミック・レンジが最大で 4.4dB 向上します。

シームレス・ハイ・ダイナミック・レンジは、全チャンネルに対しデフォルトで有効化されています。1 つのチャンネルについて SHDR を無効化するには、SEAMLESS\_HDR レジスタの対応する制御ビットをクリアします。

## 動作原理

## デジタル処理機能

AD4855には、オーバーサンプリングおよびオフセット、ゲイン、位相の補正など、変換結果に適用できるいくつかのデジタル・データ・ポストプロセス機能があります。これらの機能は、[レジスタの一覧](#)のセクションで説明する AD4855 制御レジスタを用いて設定できます。

## オーバーサンプリング・モード

デフォルトでは、AD4855は、非オーバーサンプリング・モードで動作します。[図 6](#)と[図 7](#)に示すように、このモードでは、各変換の開始時に BUSY ラインがローからハイに遷移し、SDO0～SDO7 ライン (CMOS) または SDO ライン (LVDS) は、BUSY ラインの立下がりエッジ直前の各変換の終了時に、各チャンネルからの最新の交換結果で更新されます。

オーバーサンプリング・モードが有効化されている場合、AD4855は、各チャンネルの複数の変換結果のデジタル平均を計算します。このモードでは、すべてのチャンネルが 1 つの共通オーバーサンプリング比を共有し、各チャンネルの平均された結果だけが AD4855 からの読出しに使用されます。オーバーサンプリングは、出力データワードごとにより低いノイズとより高いダイナミック・レンジが要求されるアプリケーションで有用で、AD4855では 16 ビットの出力分解能と低い平均出力データ・レートでこれに対応しています。オーバーサンプリング・モードでは、オプションのデジタル位相補正にも対応していません ([デジタル位相補正](#)のセクションを参照)。

オーバーサンプリング・モードを用いるには、チャンネルごとに、デジタル平均化をする変換結果の数に対応したオーバーサンプリング比を、[表 43](#)から選択します。選択した 4 ビットの OS\_RATIO を OVERSAMPLE レジスタにプログラムすると共に、OS\_EN ビットを 0 にクリアします。次に、選択した OS\_RATIO で OVERSAMPLE レジスタをプログラムし直すと共に、OS\_EN ビットを 1 に設定します。このシーケンスにより、確実に、次の CNV 立上がりエッジがオーバーサンプリング・モードの最初のサンプルとみなされます。

[図 51](#)に示すように、オーバーサンプリング・モードでは、BUSY ラインが、オーバーサンプリング・ウィンドウの最初の変換の開始時にローからハイに遷移し、ウィンドウの最後の変換が終了するまでハイを維持します。BUSY ラインがハイを維持していても、オーバーサンプリング・ウィンドウ内で各変換を開始するために、依然として個別の CNV 立上がりエッジが必要とされます。各アナログ入力チャンネルを平均化した結果は、BUSY ラインの立下がりエッジ直前の各オーバーサンプリング・ウィンドウの終了時に、SDO0～SDO7 のライン (CMOS) または SDO ライン (LVDS) で更新されます。

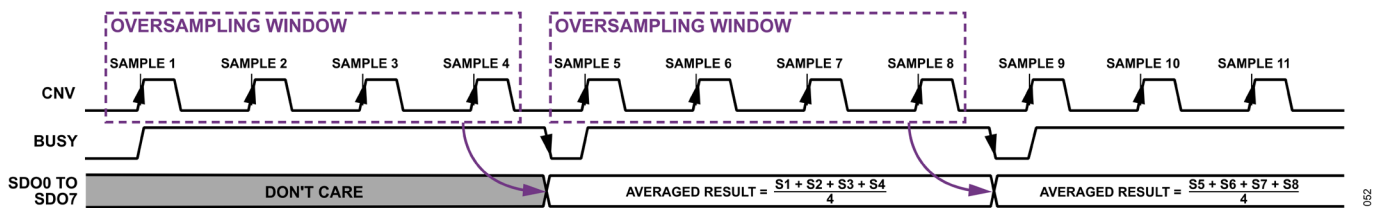


図 51. オーバーサンプリング比が 4 (OS\_RATIO = 0x1) の場合のオーバーサンプリング・モード



## 動作原理

## デジタル・オフセット補正

AD4855 の各チャンネルは、20 ビットの符号付きデジタル・オフセット補正値をそれぞれの変換結果に加えるよう、個別にプログラムできます。この機能を使用すると、DAS のアナログ入力の上流で発生する固定オフセット誤差を補正できます。デフォルトのオフセット補正は、全チャンネルに対しゼロです。ゼロ以外の値を使用するには、次式を用いて 16 ビットの符号付きオフセット補正  $CHx\_OFFSET$  を計算します。

$$\text{Digital Offset Correction } (\mu V) = CHx\_OFFSET \times LSB \text{ Size } (\mu V) \quad (2)$$

ここで、 $LSB \text{ Size}$  は、表 12 に示すように、チャンネル  $SoftSpan$  レンジの関数です。表 14 に示した対応する  $CHx\_OFFSET$  レジスタに、16 ビットの符号付きオフセット補正をプログラムします。

オフセット補正は、出力コードが飽和する前に、チャンネルの変換結果に追加されます。コードの飽和が発生するのは、ユニポーラ  $SoftSpan$  レンジの場合はゼロスケールと正側フルスケール、バイポーラ  $SoftSpan$  レンジの場合は負側と正側のフルスケールです。オフセット補正は出力コードの飽和の前に行われるため、使用するデジタル・オフセットの大きさと極性に応じて、負側または正側のフルスケール付近にアーティファクトが生じる可能性があります。AD4855 では、表 12 に示す  $SoftSpan$  レンジ制限値を約 5% 超えるアナログ入力範囲を追加します。この追加アナログ入力範囲は、出力コード飽和のために通常は観測できませんが、デジタル・オフセット項とゲイン補正項を組み合わせることで観測できます。

表 14. チャンネルごとのオフセット補正レジスタ

Register Name	Register Addresses
CH0_OFFSET	0x2B to 0x2D
CH1_OFFSET	0x3D to 0x3F
CH2_OFFSET	0x4F to 0x51
CH3_OFFSET	0x61 to 0x63
CH4_OFFSET	0x73 to 0x75
CH5_OFFSET	0x85 to 0x87
CH6_OFFSET	0x97 to 0x99
CH7_OFFSET	0xA9 to 0xAB

## デジタル・ゲイン補正

AD4855 の各チャンネルは、デジタル・ゲイン補正係数をそれぞれの変換結果に適用するよう、個別にプログラムできます。この機能を使用すると、DAS のアナログ入力の上流で発生する固定ゲイン誤差を補正できます。デフォルトのゲイン補正係数は、全チャンネルに対し 1.00000 です。1 以外の係数を使用するには、次式を用いて 16 ビットの符号なしゲイン補正  $CHx\_GAIN$  を計算します。

$$\text{Digital Gain Correction} = \frac{CHx\_GAIN}{0x8000} \quad (3)$$

表 15 に示した対応する  $CHx\_GAIN$  レジスタに、この式で計算した値をプログラムします。ゲイン補正係数の範囲は 0~1.99997

で、これは 0x0000~0xFFFF の  $CHx\_GAIN$  の範囲に対応します。またデフォルト値 1.00000 は  $CHx\_GAIN = 0x8000$  に相当します。

ゲイン補正がチャンネルの変換結果に適用されるのは、デジタル・オフセット補正の後、かつ出力コード飽和の前です。コードの飽和が発生するのは、ユニポーラ  $SoftSpan$  レンジの場合はゼロスケールと正側フルスケール、バイポーラ  $SoftSpan$  レンジの場合は負側と正側のフルスケールです。ゲイン補正は出力コードの飽和の前に行われるため、使用するデジタル・ゲインの大きさに応じて、負側または正側のフルスケール付近にアーティファクトが生じる可能性があります。AD4855 では、表 12 に示す  $SoftSpan$  レンジ制限値を約 5% 超えるアナログ入力範囲を追加します。この追加アナログ入力範囲は、出力コード飽和のために通常は観測できませんが、デジタル・オフセット項とゲイン補正項を組み合わせることで観測できます。

表 15. チャンネルごとのゲイン補正レジスタ

Register Name	Register Addresses
CH0_GAIN	0x2E to 0x2F
CH1_GAIN	0x40 to 0x41
CH2_GAIN	0x52 to 0x53
CH3_GAIN	0x64 to 0x65
CH4_GAIN	0x76 to 0x77
CH5_GAIN	0x88 to 0x89
CH6_GAIN	0x9A to 0x9B
CH7_GAIN	0xAC to 0xAD

## デジタル位相補正

オーバーサンプリング・モードで動作している間、AD4855 の各チャンネルは、オーバーサンプルされたデジタル平均値にデジタル位相補正項を加えるよう、個別にプログラムできます。この機能を使用すると、DAS のアナログ入力の上流で発生する位相誤差を補正できます。全チャンネルのデフォルト位相補正はゼロです。そのため、すべてのチャンネルのデジタル平均値は、図 51 に示すように、位相の揃った同じサンプル・グループ（例えば、サンプル 1~サンプル 4、サンプル 5~サンプル 8、サンプル 9~サンプル 12 など）を用いて計算されます。

デジタル位相補正を使用するには、（整数回の変換サイクルにおける）目的の 16 ビット符号なし位相補正項を、表 16 に示した対応する  $CHx\_PHASE$  レジスタにプログラムします。許容される最大位相補正は、オーバーサンプリング比での変換数より 1 つ少ない値です。図 52 と図 51 を比較すると、ゼロでない位相のチャンネルのオーバーサンプルされたデジタル平均は、オーバーサンプリングの開始時を基準として整数回の変換サイクル分だけシフトされています。全チャンネルのオーバーサンプルされた平均データは、全チャンネルの値が利用可能になった後、BUSY ラインの立下がりエッジ直前に、SDO0~SDO7 のライン（CMOS）または SDO ライン（LVDS）で更新されます。図 52 の全チャンネルの平均結果は、 $CH7\_PHASE = 0x0001$  の設定となっているため、図 51 よりも 1 変換サイクル分だけ後に更新されます。

動作原理

表 16. チャンネルごとの位相補正レジスタ

Register Name	Register Addresses
CH0_PHASE	0x30 to 0x31
CH1_PHASE	0x42 to 0x43
CH2_PHASE	0x54 to 0x55
CH3_PHASE	0x66 to 0x67
CH4_PHASE	0x78 to 0x79
CH5_PHASE	0x8A to 0x8B
CH6_PHASE	0x9C to 0x9D
CH7_PHASE	0xAE to 0xAF

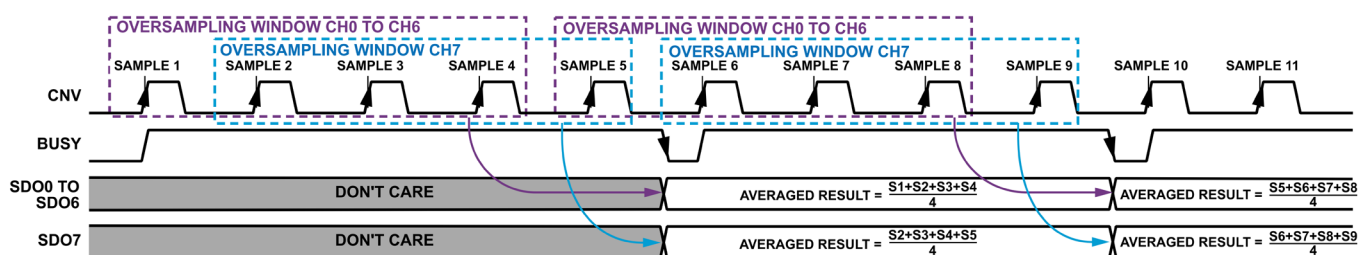


図 52. オーバーサンプリング比が 4 (OS\_RATIO = 0x1) の場合のオーバーサンプリング・モード、チャンネル 7 の平均が 1 サンプル分だけ位相シフト (CH7\_PHASE = 0x0001)

## 動作原理

## チャンネルのオーバーレンジおよびアンダーレンジ制限値

AD4855 の各チャンネルに関するすべての変換結果は、16 ビットの符号付きオーバーレンジ制限値 CHx\_OR (表 17) およびアンダーレンジ制限値 CHx\_UR (表 18) と比較されます。レンジから外れた変換結果が検出されると、CH\_OR\_STATUS レジスタまたは CH\_UR\_STATUS レジスタの対応するフラグが設定されます。この制限値チェックは、オーバーサンプリング・モード時に特に有用です (オーバーサンプリング・モードのセクションを参照)。それは、何らかのレンジ外の変換結果がオーバーサンプルされたデジタル平均に影響したかどうかを、デジタル・ホストが判定できるためです。デフォルトのオーバーレンジ制限値およびアンダーレンジ制限値は、それぞれ、バイポーラ入力レンジの正側フルスケールおよび負側フルスケールです。その他の制限値を使用する場合は、目的の 16 ビット符号付きコード制限値を、表 17 および表 18 に示した対応する CHx\_OR レジスタおよび CHx\_UR レジスタにプログラムします。

表 17. チャンネルごとのオーバーレンジ制限レジスタ

Register Name	Register Addresses
CH0_OR	0x32 to 0x34
CH1_OR	0x44 to 0x46
CH2_OR	0x56 to 0x58
CH3_OR	0x68 to 0x6A
CH4_OR	0x7A to 0x7C
CH5_OR	0x8C to 0x8E
CH6_OR	0x9E to 0xA0
CH7_OR	0xB0 to 0xB2

表 18. チャンネルごとのアンダーレンジ制限レジスタ

Register Name	Register Addresses
CH0_UR	0x35 to 0x37
CH1_UR	0x47 to 0x49
CH2_UR	0x59 to 0x5B
CH3_UR	0x6B to 0x6D
CH4_UR	0x7D to 0x7F
CH5_UR	0x8F to 0x91
CH6_UR	0xA1 to 0xA3
CH7_UR	0xB3 to 0xB5



アプリケーション情報

バッファされたアナログ入力

AD4855の各チャンネルは、広い同相モード入力範囲にわたり、アナログ入力ピン間の電圧差 ( $V_{INx+} - V_{INx-}$ ) を同時にサンプリングします。一方、高い CMRR は、両方の入力に共通な不要信号を減衰させます。広い同相モード入力範囲と高い CMRR のため、各ピンが  $(V_{EE} + 3.2V) \sim (V_{CC} - 3.2V)$  の間にある限り、 $INx+$  と  $INx-$  の両アナログ入力は互いに任意の関係で振動できます。AD4855のこの機能により、従来のアナログ入力信号クラス (擬似差動ユニポーラ、擬似差動で真のバイポーラ、完全差動など) を含む、広範な信号振幅を受け入れることができるため、シグナル・チェーン設計が簡素化されます。

バッファ電源  $V_{CC}$  および  $V_{EE}$  の動作範囲が広いため、入力同相モードの柔軟性は更に高いものになっています。  $10V \leq (V_{CC} - V_{EE}) \leq 48V$  の電圧差制限が満たされる限り、 $V_{CC}$  電源と  $V_{EE}$  電源は、 $V_{EE}$  ピンを直接グラウンドに接続することも含め、それぞれの許容動作範囲内の任意の電圧に個別にバイアスできます。この機能により、AD4855の絶対入力範囲は、特定のアプリケーション要件に応じて調整できます。

すべての SoftSpan レンジにおいて、各チャンネルのアナログ入力は、図 53 に示す等価回路でモデル化できます。アキュイジションの開始時に、サンプリング・コンデンサ ( $C_{SAMP}$ ) が、サンプリング・スイッチを介して統合バッファ (BUFFER+ および BUFFER-) に接続されます。このサンプリング電圧は変換プロセスの間にリセットされるため、新しい変換ごとに再度取得する必要があります。図 17 および図 20 に示すように、この広帯域アナログ入力バッファは、逐次変換の間にトランジエント・ステップ・セトリングがある入力信号を取得するのに最適です。最高性能を実現するには、サンプリング時のアナログ入力信号のスルー・レートを  $100V/\mu s$  未満に制限してください。

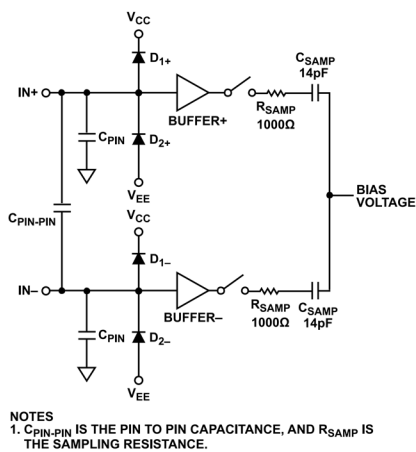


図 53. 差動アナログ入力の等価回路 (シングル・チャンネル)

入力と  $V_{CC}$  電源および  $V_{EE}$  電源の間にあるダイオード ( $Dx+$  と  $Dx-$ ) は、入力の ESD 保護のためです。アナログ入力が電源電圧の範囲内であれば、AD4855の DC リーク電流はわずか  $75pA$  (代表値) であり、ESD 保護ダイオードがオンになることはありません。この保護機能は、外部オペアンプ・バッファに比べ大きな利点を持っています。外部オペアンプ・バッファでは多くの場合、トランジエント時にオンになるダイオード保護を備えています。それにより入力信号経路に電流が注入され信号電圧が乱されてしまいます。

アナログ入力駆動回路

バッファ入力段は、サンプリング・プロセスからトランジエントを高度にアイソレーションします。インピーダンスが  $10k\Omega$  未満の大半のセンサー、シグナル・コンディショニング・アンプ、フィルタ・ネットワークは、受動的な  $4pF$  のアナログ入力コンデンサ ( $C_{PIN}$ ) を直接駆動できます。インピーダンスがより高くセトリングが低速の回路の場合は、アナログ入力ピンと GND ピン間に  $680pF$  のコンデンサを追加することで、AD4855の DC 精度を完全に維持できます。

AD4855のユニティゲイン・バッファの高い入力インピーダンスにより、入力駆動条件は緩和されます。また、この高いインピーダンスにより、アンチエイリアスなどの目的で、 $k\Omega$  レベルのインピーダンスや任意に遅い時定数を持つ RC フィルタをオプションで追加できます。駆動能力に制限のあるマイクロパワー・オペアンプも、高いインピーダンス・アナログ入力を直接駆動する際には最適です。

AD4855には、 $120dB$  (代表値) のチャンネル間で内蔵クロストーク・アイソレーションを実現する独自の回路を特徴としています。このレベルのアイソレーションを確保するには、PCB レイアウトに注意を払う必要があります。入力信号の配線パターンは短くし、十分なシールドを確保して外部結合を最小限に抑えます。AD4855の異なるチャンネルの入力ピン間の容量性結合は数十フェムトファラッドで、これは PCB 設計が良くない場合に生じる可能性のある結合より数桁も小さい値です。低ソース抵抗や高ソース容量とすることは、外部の容量性結合クロストークの低減に寄与します。シングルエンド入力駆動とすることで、外部クロストーク・アイソレーションを増加できます。他のすべての入力ピンが接地されるか、または低インピーダンス・ソースにあり、この接地がチャンネル間のシールドとして機能するためです。

アナログ入力のオーバードライブ耐性

$10mA$  以下のチャンネルで  $V_{CC}$  電源より高い電圧にアナログ入力を駆動しても、他のチャンネルの変換結果には影響しません。このオーバードライブ電流の約 70% は  $V_{CC}$  ピンから出力され、残りの 30% は  $V_{EE}$  ピンから出力されます。 $V_{EE}$  からの電流は、 $V_{CC} - V_{EE}$  の電圧降下により熱を発生するため、絶対最大動作ジャンクション温度について考慮に入れる必要があります。 $V_{EE}$  電源より低い電圧にアナログ入力を駆動すると、他のチャンネルの変換結果が損なわれる可能性があります。

フォルト状態時のラッチアップ電流を  $\pm 10mA$  未満に制限するために、 $(V_{CC} - V_{EE}) > 44V$  となるアプリケーションでは、図 54 に示すように、 $INx+$  ピンと  $INx-$  ピンのそれぞれに外部抵抗 (例えば  $100\Omega \sim 1000\Omega$ ) を直列に接続することを推奨します。これらの抵抗は、AD4855の通常動作ではトランスペアレントです。デバイスの信頼性に関するピンの電圧および電流の制限値については、表 6 の絶対最大定格を参照してください。

$V_{CC}$  より高い電圧あるいは  $V_{EE}$  より低い電圧に入力を駆動すると、これらのピンを駆動する外部電源からの通常電流が逆流するおそれがあります。

アプリケーション情報

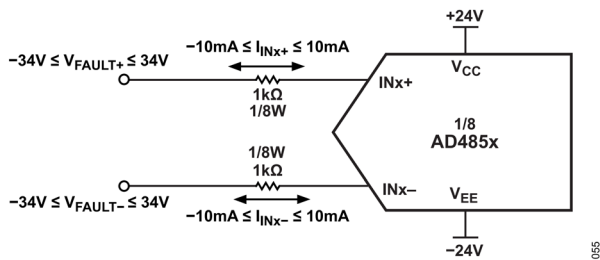


図 54. フォルト状態時の外部直列抵抗 (AD4855 の通常動作ではトランスパアレント) によるラッチアップ電流の制限

アナログ入力のフィルタ処理

真の高インピーダンス・アナログ入力、広い範囲の受動または能動シグナル・コンディショニング・フィルタに対応できます。バッファされた DAS 入力のアナログ帯域幅は 11MHz で、外部フィルタに対して特別な帯域幅条件を課すことはありません。そのため、任意の外部入力フィルタを DAS とは無関係に最適化して、シグナル・チェーンのノイズと干渉を除去できます。一般的なフィルタ構成は、図 55 に示すように、サンプリング周波数の半分の位置に極を持つ単純なアンチエイリアス/ノイズ除去 RC フィルタです。

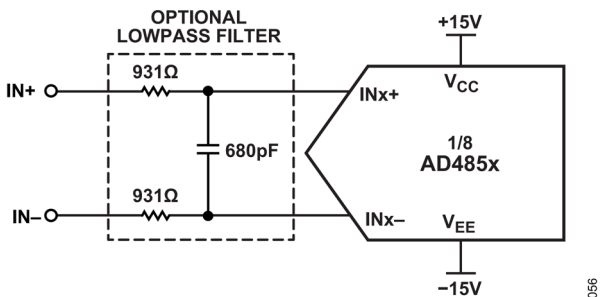


図 55. AD4855 の差動入力フィルタの例

RC フィルタのコンデンサと抵抗は歪みを増大させる可能性があるため、高品質のものを使用してください。NPO/COG タイプの誘電体を使用したセラミック・コンデンサは、優れた直線性を持っています。表面実装型カーボン抵抗は、自己発熱によって、また半田付けで生じる損傷によって歪みが生じるおそれがあります。表面実装型金属皮膜抵抗は、いずれの問題に対してもはるかに耐性があります。

DAS リファレンス

AD4855 は以下の 3 つのリファレンス構成に対応しています。

- ▶ 内蔵バンドギャップ・リファレンスおよびリファレンス・バッファ
- ▶ 外部リファレンスおよび内蔵リファレンス・バッファ
- ▶ 外部リファレンスおよび外部リファレンス・バッファ

ほとんどのアプリケーションでは、AD4855 のデフォルト設定である、内蔵バンドギャップ・リファレンスおよびリファレンス・バッファを使用します。より高い初期精度やより低いリファレンス温度ドリフトが必要なアプリケーションでは、内蔵バンドギャップ・リファレンスを無効化し、外部リファレンスで REFIO ピンをオーバードライブします。この構成 (外部リファレンスおよび内蔵リファレンス・バッファ) では、内蔵リ

ファレンス・バッファが保持され、ADC の変換トランジェントから外部リファレンスをアイソレーションできるため、1 つの高精度外部リファレンスを複数のデバイスで共有する場合に理想的です。最後の構成 (外部リファレンスおよび外部リファレンス・バッファ) では、内蔵バンドギャップ・リファレンスと内蔵リファレンス・バッファが無効化され、REFBUF ピンが外部リファレンスでオーバードライブされます。

内蔵バッファを使用した内蔵リファレンス

AD4855 には低ノイズ、低ドリフト (最大 10ppm/°C) の温度補償済みバンドギャップ・リファレンスがあります。これは出荷時に 4.096V に調整されています。このリファレンス出力は、内蔵リファレンス・バッファへの入力として機能する REFIO ピンに接続されます (図 56 参照)。REFIO ピンは、バンドギャップ・リファレンスの広帯域ノイズをフィルタ除去するため、10nF のセラミック・コンデンサにより GND ピンに内部でバイパスされています。高精度のユニティゲイン・リファレンス・バッファは、コンバータのメイン・リファレンス電圧 (VREFBUF = VREFIO) を REFBUF ピンに生成します。内蔵バンドギャップ・リファレンスを用いた場合、その公称値は 4.096V です。

内蔵バンドギャップ・リファレンスの PSRR と周波数の関係を、図 32 に示します。最高性能を発揮するために、VDD ピンへの給電は、LT3042 などの高 PSRR、低ノイズの LDO レギュレータを用います。オプションとして、REFIO ピンと GND ピン B4 の間に外付けの 100μF、X5R、0805 コンデンサを追加すると、100Hz~1MHz の周波数で内蔵リファレンスの PSRR を大幅に向上できます。

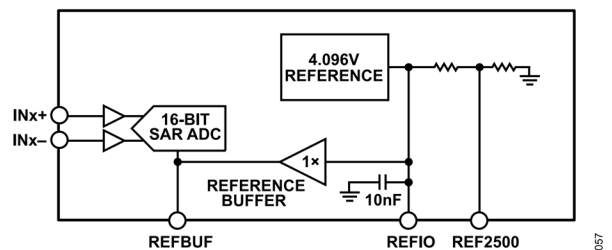


図 56. 内蔵バッファを使用した内蔵リファレンスの構成

内蔵バッファを使用した外部リファレンス

更に高い初期精度や更に低いリファレンス温度ドリフトが必要な場合は、図 57 に示すように REFIO ピンを外部リファレンスでオーバードライブできます。LTC6655-4.096 は、小型、低消費電力、高精度であるため、AD4855 と併用して REFIO ピンをオーバードライブするのに最適です。10μF、X5R、0805 セラミック・コンデンサを REFIO ピンの近くに接続して、LTC6655-4.096 を GND ピン B4 にバイパスすることを推奨します。この構成では、DEVICE\_CTRL レジスタを介して内蔵バンドギャップ・リファレンスを無効化します。

この構成は内蔵リファレンス・バッファを保持するため、外部リファレンスを ADC の変換トランジェントからアイソレーションできます。この構成は、1 つの高精度外部リファレンスを複数のデバイスで共有する場合に最適です。また、内蔵リファレンス・バッファの過渡応答のセクションで説明するように、バースト・サンプリングを行う場合にも最適な過渡応答性能を示します。

アプリケーション情報

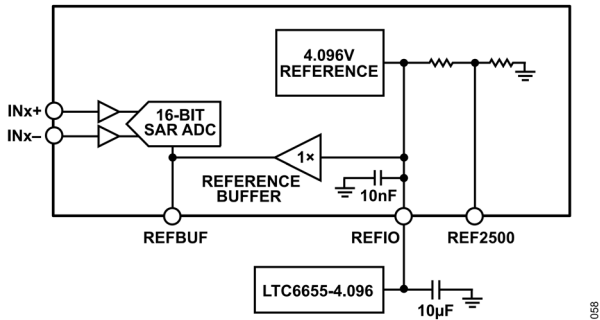


図 57. 内蔵バッファを使用した外部リファレンスの構成

内蔵バッファを無効化した外部リファレンス

外部リファレンスを使用するアプリケーションでは、使用事例として内蔵バッファを使用した外部リファレンスの構成を推奨します（内蔵バッファを使用した外部リファレンスのセクションを参照）。必要となる場合はまれですが、AD4855 は図 58 に示す外部リファレンスを使用して REFBUF ピンを直接オーバードライブする構成に対応しています。LTC6655-4.096 は、小型、低消費電力、高精度であるため、AD4855 と併用して REFBUF ピンをオーバードライブするのに最適です。47µF、X5R、0805 セラミック・コンデンサを REFBUF ピンの近くに接続して、LTC6655-4.096 を GND ピン B4 にバイパスすると、トランジエント変換電流を吸収し、ノイズを最小限に抑えることができます。この構成では、DEVICE\_CTRL レジスタを通じて内蔵バンドギャップ・リファレンスと内蔵リファレンス・バッファを無効化し、REFIO ピンを GND ピンに接続します。

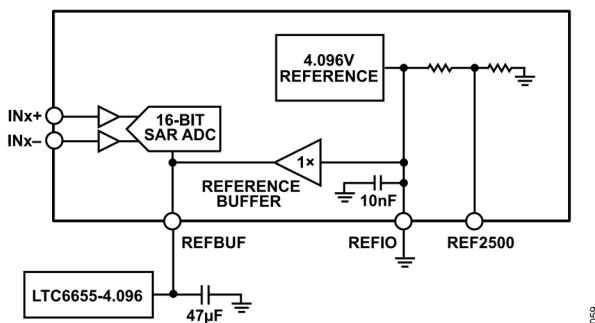


図 58. 内蔵バッファを無効化した外部リファレンス構成

AD4855 コンバータは、各変換サイクルの間に REFBUF ピンから電荷 (Q<sub>CONV</sub>) を引き出します。内蔵リファレンス・バッファは、この電荷を最も効率的に供給するよう設計されており、V<sub>REFBUF</sub> の変動は最小限に抑えられます。内蔵バッファが無効化されている場合、REFBUF ピンの外部リファレンス回路がこの電荷を供給する必要があります。短い時間スケールでは、電荷は外部のバイパス・コンデンサから供給されますが、より長い時間スケールでは、すべての電荷は外部リファレンスから供給されます。この電荷の引出し量は、I<sub>REFBUF</sub> = Q<sub>CONV</sub> × f<sub>s</sub> の DC 電流に相当し、そのためサンプル・レートに比例します。長時間のアイドルングの後にバースト・サンプリングが行われるアプリケーションでは（図 59 参照）、I<sub>REFBUF</sub> は約 2.2mA から 2.5mA に素早く遷移します (V<sub>REFBUF</sub> = 4.096V、f<sub>s</sub> = 250kSPS)。この電流ステップにより、外部リファレンスには考慮すべき過渡応答が生じます。これは、V<sub>REFBUF</sub> の変動がコンバータの精度に影響

するためです。外部リファレンスを用いて REFBUF ピンをオーバードライブする場合は、セトリングが高速な LTC6655 ファミリのリファレンスを推奨します。

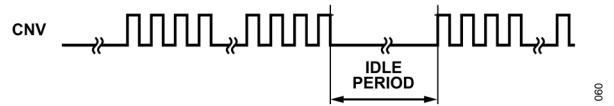


図 59. バースト・サンプリングを示す CNV 波形

内蔵リファレンス・バッファの過渡応答

バースト・サンプリングを行うアプリケーションで最高の性能を発揮するには、内蔵リファレンス・バッファを用います。内蔵リファレンス・バッファには、アイドル期間後のバースト変換にตอบสนองした V<sub>REFBUF</sub> の変動を最小限に抑える、独自の設計が組み込まれています。図 60 では、サポートする 3 種のリファレンス構成について、DC 入力レベルを用いて AD4855 のバースト変換応答を比較しています。最初の構成では、図 56 に示す内蔵リファレンスおよびリファレンス・バッファを用いています。2 番目の構成では、図 57 に示すように、LTC6655-4.096 で REFIO ピンを外部からオーバードライブした内蔵リファレンス・バッファを用いています。3 番目の構成では、図 58 に示すように、内蔵リファレンス・バッファを無効化し、LTC6655-4.096 で REFBUF ピンを外部からオーバードライブする構成を用いています。

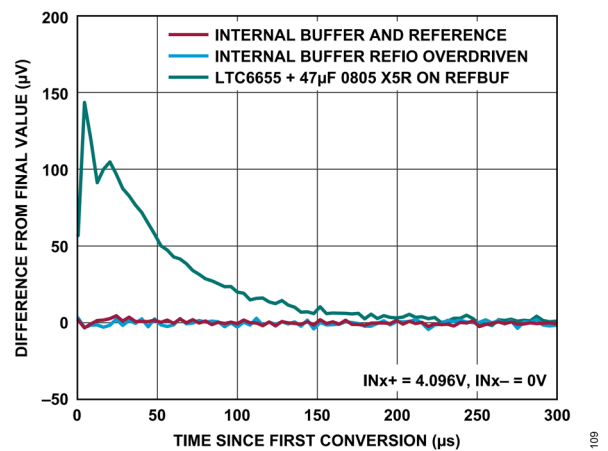


図 60. AD4855 のバースト変換応答 (f<sub>s</sub> = 250kSPS)

電力に関する考慮事項

AD4855 には次の 5 つの電源が必要です。

- ▶ V<sub>CC</sub> および V<sub>EE</sub>。正側および負側のアナログ入力バッファ電源です。
- ▶ V<sub>DD</sub>。5V のコア電源です。
- ▶ V<sub>DDH</sub> (または V<sub>DDL</sub>)。1.8V LDO (または 1.8V コア) の電源です。
- ▶ V<sub>IO</sub>。デジタル入出力電源です。

5 つの電源はすべて、バイパス・コンデンサを内蔵しており、追加のバイパスは不要であり推奨しません。



アプリケーション情報

V<sub>CC</sub> 電源および V<sub>EE</sub> 電源は、V<sub>EE</sub> 電源を直接グラウンドに接続できることも含め、それぞれの許容動作範囲内の任意の電圧に個別にバイアスできます。この機能により、AD4855の絶対入力範囲は、アプリケーション固有の要件に応じて調整できます。

推奨する使用事例では、図 1 に示すように、V<sub>DDL</sub> ピンは 1.8V 内部 LDO レギュレータの電源から給電されます。V<sub>DDH</sub> ピンは V<sub>DD</sub> ピンに接続するか、2.2V~5.25V の別の外部電源に接続します。この場合、V<sub>DDL</sub> ピンと外部との接続は行いません。V<sub>DDL</sub> ピンに外部から給電するには、図 61 に示すように、V<sub>DDH</sub> ピンを GND ピンに接続して内部 LDO レギュレータを無効化し、V<sub>DDL</sub> ピンを 1.8V 外部電源に接続します。

V<sub>IO</sub> 電源は柔軟性があるため、AD4855 は、2.5V および 3.3V のシステムを含め、0.9V~5.25V (HIVIO/LOVIO ピンのロジック状態で制御) で動作する CMOS ロジックで通信できます。LVDS データ出力モードを使用する場合は、V<sub>IO</sub> 電源の範囲は、1.71V~5.25V (HIVIO/LOVIO ピンのロジック状態で制御) です。詳細については表 1 および表 9 を参照してください。

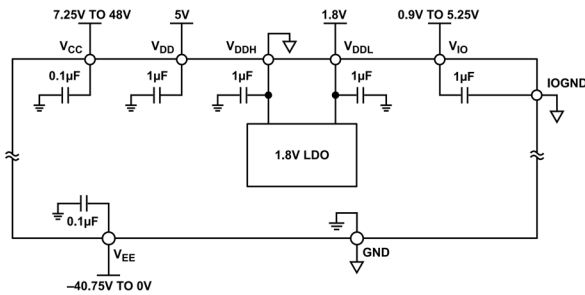


図 61. V<sub>DDL</sub> が外部給電される場合の AD4855 の電源ピン

電源シーケンス

AD4855 には、電源シーケンスに関して特定の条件はありません。絶対最大定格のセクションに記載されている最大電圧の関係を遵守してください。AD4855 には、POR 回路が内蔵されており、初期パワー・アップ時および、V<sub>DD</sub> 電源が 3.4V 未満に低下した場合、あるいは V<sub>DDL</sub> 電源が 1.2V 未満に低下した場合にコンバータをリセットします。電源電圧が公称の電源電圧範囲に戻ると、POR 回路は DAS を再度初期化します。POR イベントが終了したことを示す BUSY ラインの立下がりエッジ後も、少なくとも最大 t<sub>WAKE</sub> (t<sub>WAKE,MAX</sub>) = 1ms まで、変換を開始しないでください。この時間より前に変換を開始しても、有効な結果とはなりません。

タイミングと制御

AD4855 のサンプリングと変換は、CNV ピンによって制御されます。CNV ピンの立下がりエッジで、すべてのチャンネルのサンプル&ホールド回路がトラック・モードからホールド・モードに遷移し、すべてのチャンネルの入力信号が同時にサンプリングされ、変換が開始されます。変換が開始されると、DAS をリセットする以外に早期に終了させることはできません (リセット・タイミングのセクションを参照)。最高性能を発揮す

るために、CNV ピンはノイズのない低ジッタの信号で駆動し、また、CNV ピンの立下がりエッジを誘発するデータ入出力ライン上の遷移が生じないようにします。更に、CNV ピンの立下がりエッジの前後 100ns の間は、アナログ入力の高いスルー・レートを避けてください。コンバータのステータスは、BUSY 出力によって示されます。これは各変換の開始時にローからハイに遷移し、変換が完了するまでハイのままになります。CNV ピンがハイに駆動されて変換が開始した後は、内部変換プロセスの間の外部からの擾乱を最小限に抑えるため、40ns 後から 60ns 後の間、または BUSY ラインの立下がりエッジの後に、ローに戻る必要があります。サンプリング・レートを下げて、消費電力の低減を利用するのに必要な CNV タイミングについては、ナップ・モードのセクションで説明します。

AD4855 には内蔵クロックがあり、250kSPS での変換時に 725ns の最大変換時間と 3465ns の最小アキュイジション時間を確保できるよう調整されています。AD4855 のアーキテクチャにより、コンバータは図 2 に示すように、以前のサンプリングが終了する前に次のサンプルの取得を始めることができます。最小アキュイジション時間はサンプリング周波数によって異なります。

ナップ・モード

変換の終了後に AD4855 をナップ・モードにすることで、変換と変換の間の消費電力を削減できます。このモードでは、アナログ入力信号のサンプリングに関連した回路を含め、デバイスの一部の回路がオフになります。ナップ・モードを有効にするには、図 62 に示すように、変換と変換の間で CNV ピンをハイのままにします。ナップ・モードになった後、新しい変換を開始するには、CNV ピンをローにし、750ns 以上それを保持してから再度ハイにします。ナップ・モードを使用する場合の変換アキュイジション・タイムは、CNV ピンのロー時間で設定されます。

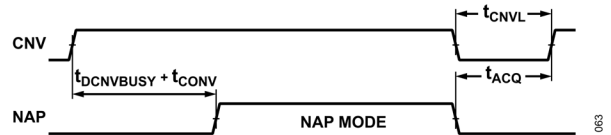


図 62. AD4855 のナップ・モードのタイミング

パワーダウン・モード

PD ピンがハイに駆動されている場合、あるいは、デバイス設定レジスタの PWR\_MODE ビット (ビット[1:0]) が 0x3 に設定されている場合、AD4855 はパワー・ダウンされ、以降の変換要求は無視されます。変換中に PD ピンの切り替え、または PWR\_MODE ビットの変更が行われた場合、変換が完了すると、デバイスはパワー・ダウンされます。このモードでは、AD4855 はわずかなスタンバイ電流を消費するだけなので、消費電力は 1.3mW (代表値) となります。パワーダウン・モードを終了するには、PD ピンをローにし、少なくとも t<sub>WAKE,MAX</sub> = 1ms だけ待機してから、変換を開始します。この時間より前に変換を開始しても、有効な結果とはなりません。

## アプリケーション情報

## チャンネル・スリープ

AD4855の各チャンネルは、消費電力を削減するため、個別にスリープ・モードにすることができます。スリープ・モードが有効化されている場合、チャンネルの入力バッファとADCは低消費電力のスタンバイ状態になり、変換要求は無視されます。デフォルトでは、全チャンネルのスリープ・モードが無効化されています。1つのチャンネルについてスリープ・モードを有効化するには、CH\_SLEEPレジスタの対応する制御ビットを設定します。

## リセット・タイミング

AD4855のグローバル・リセットは、PORイベントに相当し、電源の再投入を行うことなく実行できます。この機能は、システム全体を既知の同期状態にリセットする必要があるシステムレベルのイベントから回復する際に有用です。グローバル・リセットを開始するには、図 63 に示すように、変換を介さずにPDピンを2回ハイに駆動します。あるいは、変換を介さずに、デバイス設定レジスタのPWR\_MODEビット（ビット[1:0]）を用いてパワーダウン・モードの開始、終了、再度開始を行うことで、同等のグローバル・リセットをトリガできます。

リセット・イベントは、PDピンの2番目の立上がりエッジでトリガされ、内部タイマーに基づき非同期で終了します。リセットにより、すべてのシリアル・データ出力レジスタはクリアされ、すべてのデバイス状態はそれぞれのPORデフォルト状態に復元されます。リセットが変換中にトリガされた場合、変換は直ちに停止されます。PDピンがハイになることに関連した公称パワーダウン動作は、リセットの影響を受けません。PDピンがローになると、 $t_{WAKE,MAX} = 1ms$ 以上の待機時間の後、変換が開始されます。この時間より前に変換を開始しても、有効な結果とはなりません。

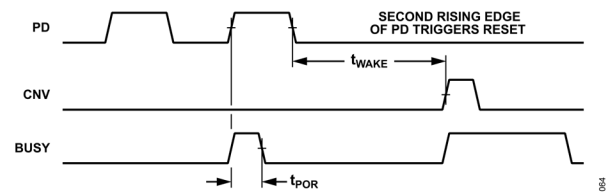


図 63. AD4855 のリセット・タイミング

### デジタル・インターフェース

AD4855はCMOS (図 64 参照) と LVDS (図 69 参照) の両方のシリアル変換データ出力インターフェースに対応しており、LVDS/CMOSピンを用いて選択できます。V<sub>IO</sub> 電源は柔軟性があるため、AD4855 は、0.9V~5.25V (HIVIO/LOVIOピンのロジック状態で制御) で動作する CMOS ロジックで通信でき、一方、LVDS インターフェースでは低ノイズのデジタル・システムに対応できます。CMOS 変換データ出力モードでは、アプリケーションは 1 レーンから 8 レーンのシリアル・データ出力を使用できるため、最適なバス幅と変換データ・スループットを実現できます。

### CMOS 変換データ出力モード

図 64 および図 65 に示すように、シリアル CMOS 変換データ出力バスは、以下のラインで構成されています。

- ▶ 1つのシリアル・クロック入力 (SCKI)
- ▶ 1つのシリアル・クロック出力 (SCKO)
- ▶ 8つのシリアル・データ出力レーン (SDO0~SDO7)

このバスを介した AD4855 との通信は、事前に定められたデータ・トランザクション・ウィンドウの間に行われます。ウィンドウ内で、デバイスは、SDO0 レーン~SDO7 レーンの、変換結果またはオーバーサンプリング結果、オプションのチャンネル構成、デバイス・ステータス情報を含む、ユーザ設定可能なパケットを出力します。8 番目のチャンネル・パケットに続き、診断およびエラー・チェックのために、デバイス・ステータスと 16 ビットの巡回冗長検査 (CRC) を含む 9 番目のパケットを読み出すことができます。AD4855 では、16 ビット長から 24 ビット長のユーザ選択可能な 2 つのパケット・サイズをサポートしていません (パケット・フォーマットのセクションを参照)。

次の変換を開始する前に、SCKI 信号の最後のエッジから CNV 信号の立上がりエッジまでに 20ns (t<sub>SCKICNV,MIN</sub>) 以上の時間を確保して、データ・トランザクションを終了します (図 64 参照)。次の変換が開始した後もパケットを読み出すことは可能ですが、これを行うと変換精度が低下するため推奨できません。

BUSY ピンの立下がりエッジの直前に、SDO0 レーン~SDO7 レーンは、それぞれアナログ入力チャンネル 0~チャンネル 7 の最新の変換結果またはオーバーサンプリング結果に更新されます。SCKI 信号の立上がりエッジは、クロックに同期してデータを SDO0 レーン~SDO7 レーンにシリアルに出力します。SCKO 信号は SCKI 信号のエコーですが、SDO0 レーン~SDO7 レーンのデータとスキューマッチしています。CMOS モードでは、SCKI 信号はハイとローのどちらでもアイドル状態になることができます。CMOS 変換データ出力バスが有効化されるのは CS 信号がローの場合です。CS がハイの場合は無効化され高インピーダンスになり、バスは複数のデバイスで共有できます。

AD4855 を標準的な SPI ホストとインターフェースする場合は、SCKI 信号の立上がりエッジ時にレシーバで出力データを取り込みます。これ以外のアプリケーション、例えば、AD4855 を FPGA とインターフェースする場合などでは、SCKO 信号を用いて、SDO0 レーン~SDO7 レーンのシリアル出力データをレシーバで取り込むことができます。SCKO 信号を用いてデータを取り込むと、温度や電源による遅延の変動に対し、堅牢性が増加します。

図 64 および図 66 に示すように、各 SDO レーンは、順次巡回する方法で、すべてのアナログ入力チャンネルにパケットを出力します。例えば、SDO0 レーンの最初のパケット出力はアナログ入力チャンネル 0 に対応し、それに続いて、チャンネル 1~チャンネル 7 のパケットが出力されます。最後に、デバイス・ステータスと 16 ビット CRC を含むパケットが読み出せます。その後 SDO0 レーンのデータ出力はチャンネル 0 に戻り、このパターンが限りなく繰り返されます。その他の SDO レーンも同様の巡回パターンに従います。ただし、各レーンの最初のパケットは、それぞれの関連するアナログ入力チャンネルに対応します。チャンネルあたり 250kSPS のスループットを完全に実現するには、データ・パケットが 8 個すべての SDO データ出力レーンから並列に取り込まれることができます。フル・スループットを必要としないアプリケーションでは、データ・トランザクション・ウィンドウ内で印加される SCKI パルスの数を増加することで、使用する物理的な SDO レーンの数減らしてすべてのデータ・パケットを読み出すことができます。

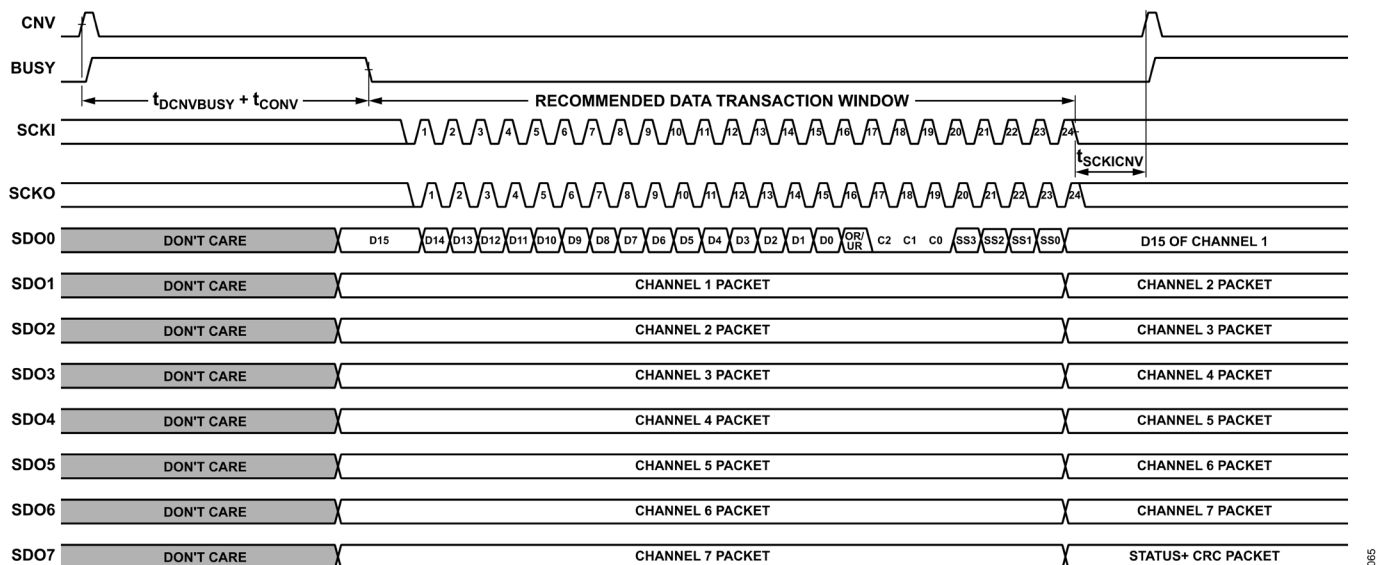


図 64. CMOS 変換データ・バスのタイミング (PACKET\_SIZE = 0x1, OS\_EN = 0, TEST\_PAT = 0)

デジタル・インターフェース

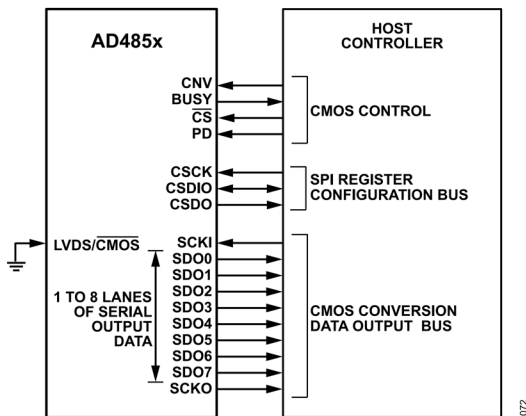


図 65. AD4855 の CMOS 変換データ出力モード

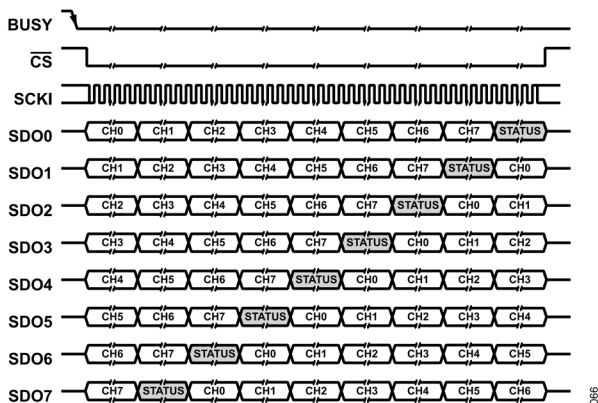


図 66. 印加する SCKI パルスの数を増加して、少ない SDO レーンですべてのデータを読み出すことが可能

LVDS 変換データ出力モード

LVDS 変換データ出力モードにおいて、情報は、(LVDS+ - LVDS-)としてビットが差分エンコードされた正と負の信号ペアを用いて伝達されます。これらの信号は通常、特性インピーダンスが 100Ω の差動伝送ラインを用いて配信されます。論理 1 と論理 0 は、形式上、それぞれ+350mV と-350mV の差動電圧で表されます。

図 69 に示すように、シリアル LVDS 変換データ出力バスは、次のラインで構成されます。

- ▶ SCKI+および SCKI-。差動シリアル・クロック入力ペアです。
- ▶ SCKO+および SCKO-。差動シリアル・クロック出力ペアです。
- ▶ SDO+および SDO-。差動シリアル・データ出力ペアです。

このバスを介した AD4855 との通信は、事前に定められたデータ・トランザクション・ウィンドウの間に行われます。ウィンドウ内で、デバイスは、SDO ラインにおける変換結果またはオーバーサンプリング結果、オプションのチャンネル構成、デバイス・ステータス情報を含む、ユーザ設定可能なデータ・パッケージを出力します。8 番目のチャンネル・パッケージに続き、診断およびエラー・チェックのために、デバイス・ステータスと 16 ビット CRC を含む 9 番目のパッケージを読み出すことができます。AD4855 では、20 ビット長から 32 ビット長のユーザ選択可能な 2 つのパッケージ・サイズをサポートしています (パッケージ・フォーマットのセクションを参照)。

図 69 に示すように、次の変換を開始する前に、20ns (tSCKICNV,MIN) 以上の時間を確保して、データ・トランザクションを終了します。次の変換が始まった後もデータを読み出すことは可能ですが、これを行うと変換精度が低下するため推奨できません。

BUSY 信号の立下がりエッジの直前に、SDO ラインは、アナログ入力チャンネル 0 の最新の変換結果またはオーバーサンプリング結果に更新されます。SCKI 信号の立下がりエッジと立下がりエッジの両方で、クロックに同期して SDO ラインにデータがシリアルに出力されます。また、SCKI 信号は、SDO ラインのデータにスキューマッチして SCKO 信号にエコーされます。

可能であれば、SCKO ラインの立下がりエッジと立下がりエッジを使用して、ダブル・データ・レート (DDR) のシリアル出力データを SDO ラインで取り込むことを推奨します。こうすることで、電源や温度による遅延変動に対する堅牢性を最大にできるためです。CS 信号がローになると、LVDS バスは有効化されます。CS 信号がハイの場合は、LVDS バスは無効化されて高インピーダンスになり、バスは複数のデバイスで共有できます。LVDS の信号処理は高速であるため、LVDS バスの共有は慎重に検討する必要があります。共有バスに課せられる伝送ラインの制限により、実現可能な最大バス・クロック速度が制限される可能性があります。CS 信号がローの場合、LVDS の入力は 100Ω の差動抵抗で内部終端されますが、出力は、レシーバ (FPGA) で 100Ω の抵抗を用いて差動終端する必要があります。LVDS 出力モードでは、SCKI ラインは、CS 信号を遷移させる場合を含め、ロー状態にアイドルリングする必要があります。

図 68 および図 69 に示すように、SDO ラインは、順次巡回する方法で、すべてのアナログ入力チャンネルにデータ・パッケージを出力します。例えば、SDO ラインの最初のデータ出力はアナログ入力チャンネル 0 に対応し、それに続いて、チャンネル 1 からチャンネル 7 までのデータ出力が出力されます。最後に、デバイス・ステータスと 16 ビット CRC を含むデータ・パッケージを読み出せます。その後 SDO ラインのデータ出力はチャンネル 0 に戻り、このパターンが限りなく繰り返されます。



デジタル・インターフェース

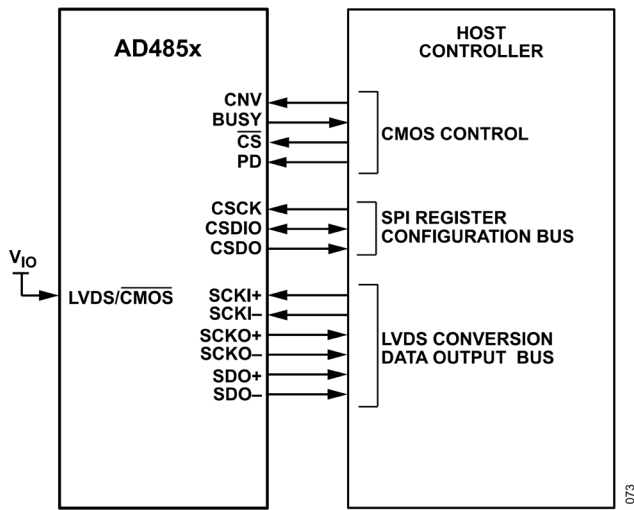


図 67. AD4855 の LVDS 変換データ出力モード

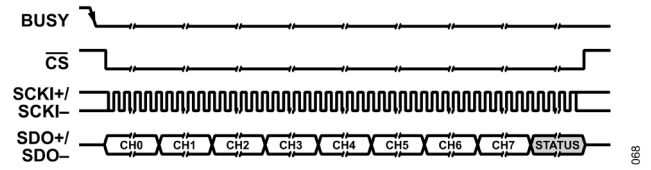


図 68. すべてのパケットが SDO+および SDO-にシーケンシャルに出力

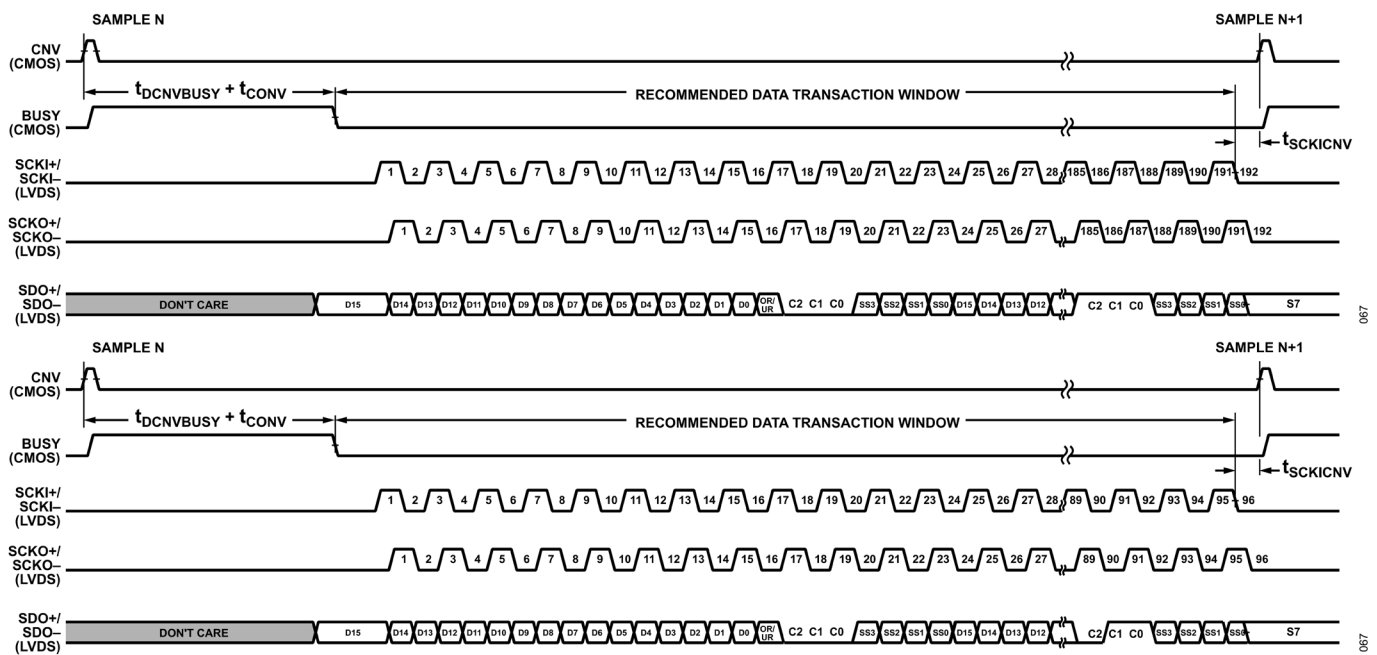


図 69. LVDS シリアル変換データ・バスのタイミング (PACKET\_SIZE = 0x1、OS\_EN = 0、TEST\_PAT = 0)

デジタル・インターフェース

パケット・フォーマット

CMOS および LVDS の変換データ出力バスで供給されるデータは、図 66 および図 68 に示すように、8 個のチャンネル・パケットに加え 9 番目にステータス・パケットを組み合わせたものとなっています。パケット・データのフォーマットは、パケット・サイズ、オーバーサンプリング・モード、テスト・パターン構成によって異なります。AD4855 では、ユーザ選択可能な 2 つのパケット・サイズ (16 ビット、24 ビット) をサポートしています。デフォルトのパケット・サイズは 24 ビットです。

非オーバーサンプリング・パケット・フォーマット

非オーバーサンプリング・モードに設定された AD4855 では、図 70 に示すチャンネルおよびステータス・パケット・データ・フォーマットが使用できます。これらのパケット・オプション

から選択するには、PACKET レジスタの PACKET\_SIZE ビットを用います。チャンネル・パケットには、16 ビットの変換結果の他、変換結果のオーバーレンジまたはアンダーレンジを報告するかのオプション、チャンネル番号指定、チャンネルの SoftSpan 指定が含まれます。ステータス・パケットには、DEVICE\_STATUS レジスタの状態に関する情報と、8 個のチャンネル・パケットと 9 番目のステータス・パケットの全データについて計算された 16 ビット CRC が含まれます。

次の CRC 多項式を使用してチェックサムを計算します。

$$x^{16} + x^{14} + x^{13} + x^{12} + x^{10} + x^8 + x^6 + x^4 + x^3 + x + 1 \tag{4}$$

ここで、CRC 計算の初期値は、すべてのトランザクションで 0x0000 です。

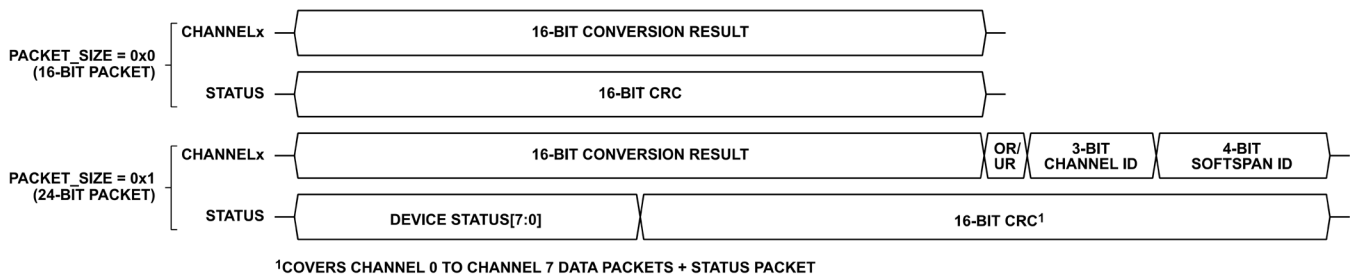


図 70. 非オーバーサンプリング・モード (OS\_EN = 0) でのチャンネルおよびステータス・パケット・データのフォーマット (テスト・パターン出力は無効化 (TEST\_PAT = 0))

デジタル・インターフェース

オーバーサンプリング・パケット・フォーマット

オーバーサンプリング・モードに設定された AD4855 では、図 71 に示すチャンネルおよびステータス・パケット・データ・フォーマットが使用できます。これらのパケット・オプションから選択するには、パケット・フォーマット・レジスタの PACKET\_SIZE ビット (ビット[1:0]) を用います。チャンネル・パケットには、16 ビットの平均変換結果の他、平均結果に含まれる変換のオーバーレンジまたはアンダーレンジを報告するかのオプション、チャンネル番号指定、チャンネルの SoftSpan 指定が含まれます。ステータス・パケットには、デバイス・ス

テータス・レジスタの状態に関する情報と、8 個のチャンネル・パケットと 9 番目のステータス・パケットの全データについて計算された 16 ビット CRC が含まれます。

次の CRC 多項式を使用してチェックサムを計算します。

$$x^{16} + x^{14} + x^{13} + x^{12} + x^{10} + x^8 + x^6 + x^4 + x^3 + x + 1 \tag{5}$$

ここで、CRC 計算の初期値は、すべてのトランザクションで 0x0000 です。

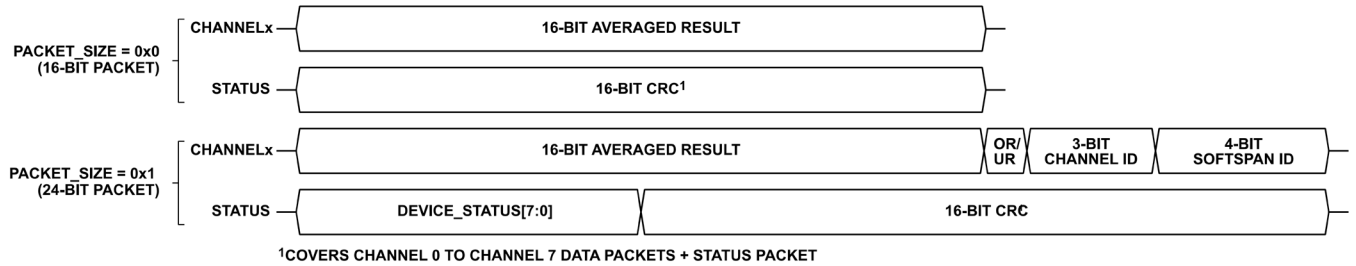


図 71. オーバーサンプリング・モード (OS\_EN = 1) でのチャンネルおよびステータス・パケット・データのフォーマット (テスト・パターン出力は無効化 (TEST\_PAT = 0) )

デジタル・インターフェース

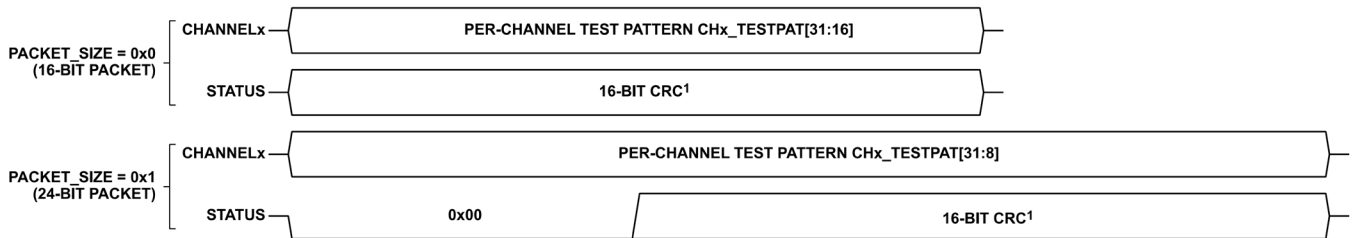
テスト・パターン・パケット・フォーマット

AD4855には、CMOSまたはLVDS変換データ出力バス動作を検証するために使用できるテスト・パターン・データ出力オプションがあります。このモードを有効化するには、**パケット・フォーマット・レジスタ**のTEST\_PATビット（ビット2）を1に設定します。テスト・パターン・データ出力が有効化されている場合、**図 72**に示すチャンネルおよびステータス・パケット・データ・フォーマットが使用できます。これらのパケット・オプションから選択するには、**パケット・フォーマット・レジスタ**のPACKET\_SIZEビット（ビット[1:0]）を用います。このモードのチャンネル・パケット・データは、**表 19**に示すように、CHx\_TESTPATレジスタのデータで定義されます。デフォルト状態では、CHx\_TESTPATレジスタの最上位ニブルにチャンネル番号指定が入り、その後に0xACE3C2Aの固定パターンが続きます。これらのレジスタは、アプリケーションに必要なテスト・パターンに合うよう更新してください。ステータス・パ

ケットには、8個のチャンネル・パケットと9番目のステータス・パケットの全データについて計算された16ビットCRCが含まれます。

表 19. チャンネルごとのテスト・パターン・レジスタ

Register Name	Register Addresses	Default Pattern
CH0_TESTPAT	0x38 to 0x3B	0x0ACE3C2A
CH1_TESTPAT	0x4A to 0x4D	0x1ACE3C2A
CH2_TESTPAT	0x5C to 0x5F	0x2ACE3C2A
CH3_TESTPAT	0x6E to 0x71	0x3ACE3C2A
CH4_TESTPAT	0x80 to 0x83	0x4ACE3C2A
CH5_TESTPAT	0x92 to 0x95	0x5ACE3C2A
CH6_TESTPAT	0xA4 to 0xA7	0x6ACE3C2A
CH7_TESTPAT	0xB6 to 0xB9	0x7ACE3C2A



<sup>1</sup>COVERS CHANNEL 0 TO CHANNEL 7 DATA PACKETS + STATUS PACKET

図 72. テスト・パターン出力を有効化した場合（TEST\_PAT = 1）のチャンネルおよびステータス・パケット・データのフォーマット

## デジタル・インターフェース

## SPI レジスタ設定バス

SPI レジスタ設定バスにより、デジタル・ホストは AD4855 のメモリ・マップ・レジスタとの間で読書きを行うことができます。このバスは、CMOS または LVDS 変換データ出力バスとは無関係です。

デバイスのパワー・アップ時またはグローバル・リセット時には、SPI レジスタ設定バスは、CSCK ピン、CSDIO ピン、 $\overline{\text{CS}}$  ピンで構成される 3 線式動作にデフォルト設定されます。4 線式モードを有効化するには、SPI 設定 A レジスタの CSDO\_EN ビット (ビット 4) を 1 に設定します。4 線式モードの SPI シリアル・データは、デフォルトで CSDO ラインに出力されますが、SPI 設定 D レジスタの CSDO\_ON\_SDO0 ビット (ビット 0) を 1 に設定すれば SDO0 レーンに出力できます。

基本的な SPI フレームは、 $\overline{\text{CS}}$  の立下がりエッジで始まり、16 ビットの命令フェーズと可変長データ・フェーズが続き、 $\overline{\text{CS}}$  の立下がりエッジで終了します。CSDIO レーンの入力データは、CSCK ラインの立下がりエッジでラッチされ、CSCK の立下がりエッジで、CSDIO レーン (3 線式モード) または CSDO ライン (4 線式モード) にシフト・アウトされます。データは、すべての SPI トランザクションで MSB ファーストに揃えられます。

## 命令フェーズ

どの SPI フレームも  $\overline{\text{CS}}$  の立下がりエッジで始まり、その直後に命令フェーズが続きます。命令フェーズは、読出し/書込み (R/ $\overline{\text{W}}$ ) ビットと、それに続く 15 ビットのレジスタ・アドレス・ワードで構成されます。図 73 および図 74 に示すように、R/ $\overline{\text{W}}$  ビットをハイに設定すると読出し命令が開始され、ローに設定すると書込み命令が開始されます。レジスタ・アドレス・ワードはアクセス先のレジスタ・アドレスを指定します。

AD4855 では 2 つの命令モードをサポートしています。ストリーミング命令モードでは、可変長データ・フェーズの間に複数の隣接アドレスにアクセスでき、 $\overline{\text{CS}}$  の立下がりエッジで終了しませんが (ストリーミング命令モードのセクションを参照)。非スト

リーミング命令モードでは、各命令の後に 1 バイト (およびオプションの CRC バイト) のデータ・フェーズが続き、命令ごとに 1 つのアドレスにアクセスできます (非ストリーミング命令モードのセクションを参照)。このモードでは、命令フェーズおよびデータ・フェーズの複数のペアが 1 つの SPI フレームで供給されます。

## データ・フェーズ

データ・フェーズの間、レジスタ・データは、CSCK ラインの立下がりエッジで CSDIO ライン (3 線式モード) または CSDO ライン (4 線式モード) にシフト・アウトされ、レジスタの読出しが行われます。CSCK ラインの立下がりエッジでは、レジスタ・データは CSDIO ラインにラッチされ、レジスタの書込みが行われます。レジスタの内容は、レジスタ書込みの間に完全なバイトが受信されるたびに更新されます。SPI バスの CRC チェックが有効化されている場合、レジスタが更新されるのは、各データ・バイトに続いて有効な CRC チェックサム・バイトが受信された場合のみです (SPI バスの CRC チェック機能のセクションを参照)。

## 3 線式 SPI 動作

デバイスのパワー・アップ時またはグローバル・リセット後は、SPI レジスタ設定バスは、CSCK ピン、CSDIO ピン、 $\overline{\text{CS}}$  ピンで構成される 3 線式動作にデフォルト設定されます。図 73 に示すタイミング図は、この動作モードでのシングルバイトの SPI 読出しおよび書込みトランザクションを示したものです。

書込みトランザクション時、CSDIO ピンは、命令フェーズとデータ・フェーズのどちらにおいても、シリアル・データ入力として機能します。読出しトランザクション時は、CSDIO ピンは、命令フェーズにおいてはシリアル・データ入力、データ・フェーズにおいてはシリアル・データ出力として機能します。入力から出力への遷移は、命令フェーズの最後の CSCK 立下がりエッジの後に生じます。3 線式モードを用いることで、AD4855 とデジタル・ホストの間の配線に必要なデジタル線は 3 本で済みます。

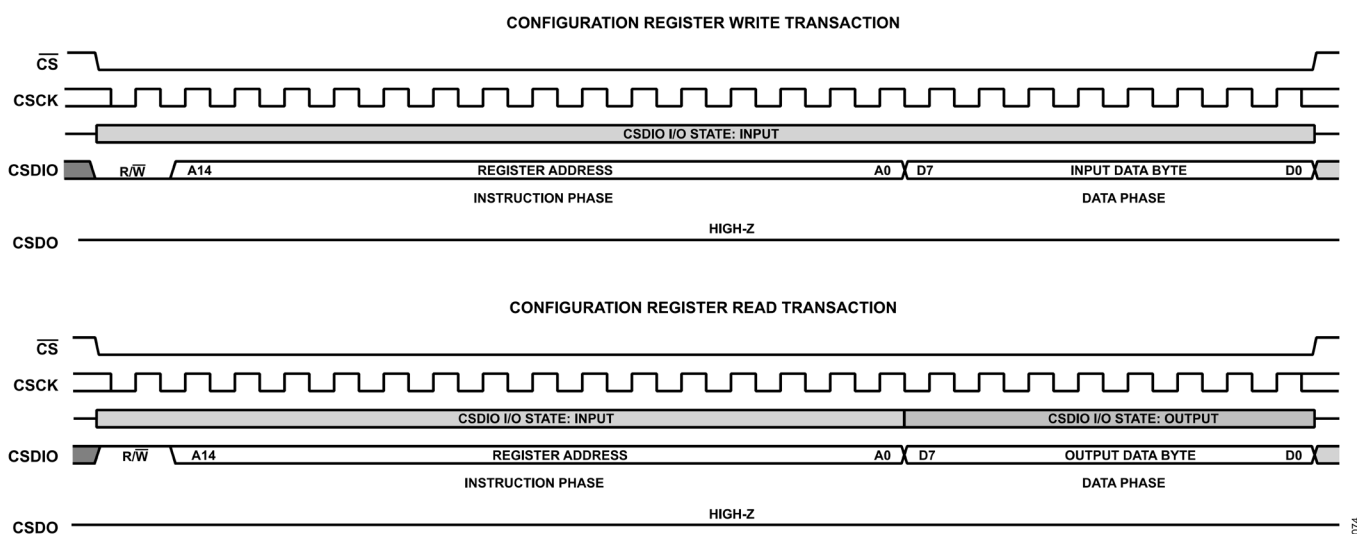


図 73. 3 線式 SPI レジスタ設定バスのフレーム

デジタル・インターフェース

4 線式 SPI 動作

SPI レジスタ設定バスの 4 線式動作を有効にするには、SPI 設定 A レジスタの CSDO\_EN ビット (ビット 4) を 1 に設定します。4 線式モードでは、SPI シリアル・データは、デフォルトで CSDO ピンに出力されますが (図 74 参照)、SPI 設定 D レジスタの CSDO\_ON\_SDO0 ビット (ビット 0) を 1 に設定すれば

SDO0 ピンに出力することもできます。このオプションにより、AD4855 とホスト・コントローラの間に必要なデータ・ラインの数を減らすことができます。4 線式バス動作では、CSDIO ピンは常にシリアル・データ入力として機能し、CSDO ピンまたは SDO0 ピンのいずれかがシリアル・データ出力として機能します。

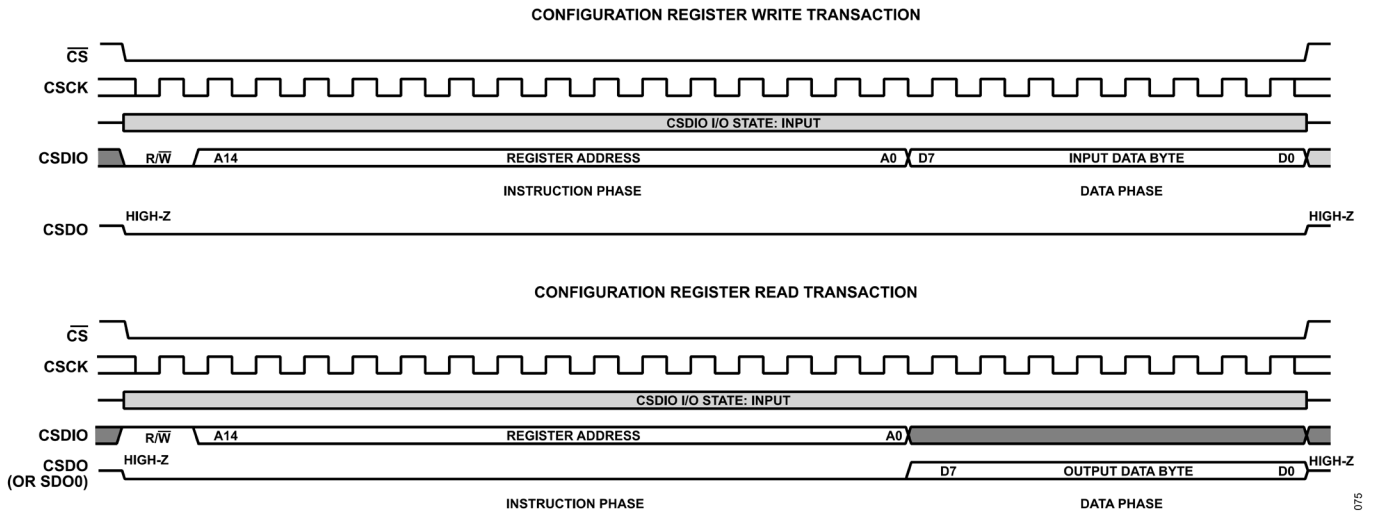


図 74. 4 線式 SPI レジスタ設定バスのフレーム

## デジタル・インターフェース

### ストリーミング命令モード

SPI 設定 B レジスタの INST\_MODE ビット (ビット 7) を 0 に設定すると、ストリーミング・モードが有効になります。ストリーミング・モードでは、SPI フレームごとに 1 つの命令フェーズ (命令フェーズのセクションを参照) のみが受け入れられ、その後に複数のデータ・フェーズ (データ・フェーズのセクションを参照) が続き、レジスタごとに 1 つのフェーズがアクセスされます。

読出しまたは書込み中のレジスタ・アドレスは、各データ・フェーズの後に自動的にインクリメント (ADDR\_DIR ビット・ハイ、SPI 設定 A レジスタのビット 5) またはデクリメント (ADDR\_DIR ビット・ロー、SPI 設定 A レジスタのビット 5) されます。ストリーミング・モードにより、AD4855 のメモリ・マップの隣接する大量のレジスタ・アドレスに効率的にアクセスできます。また、このモードはデフォルトで有効化されています。

昇順アドレス・オプションを選択した場合、アドレスは、LOOP\_SIZE ビット (ループ設定 A レジスタのビット [7:0]) で定義される回数だけ自動的にインクリメントします。アドレスが 0xB9 に達すると、後続のバイト・アクセス時にアドレス 0x00 から続行します。

降順アドレス・オプションを選択した場合、アドレスは、LOOP\_SIZE ビット (ループ設定 A レジスタのビット [7:0]) で定義される回数だけ自動的にデクリメントします。アドレスが 0x00 に達すると、後続のバイト・アクセス時にアドレス 0xB9 から続行します。

デフォルトでは、LOOP\_SIZE ビット (ループ設定 A レジスタのビット [7:0]) は、 $\overline{CS}$  ピンの立上がりエッジごとに 0 にリセットされます。そのため、ユーザ設定値が保持されるのは 1 つの SPI フレームの間のみです。永続的なループが必要な場合は、KEEP\_LOOP\_SIZE ビット (ループ設定 B レジスタのビット 2) を 1 に設定します。

ストリーミング・モードでは 1 フレームにつき 1 つの命令フェーズしかないため、所定の SPI フレーム内のすべての SPI トランザクションは、すべて読出し、またはすべて書込みのいずれかになります。

### 非ストリーミング命令モード

INST\_MODE ビット (SPI 設定 B レジスタのビット 7) を 1 に設定すると、非ストリーミング命令モードが選択されます。非ストリーミング命令モードでは、1 つの SPI フレームで 1 つまたは複数の SPI トランザクションを供給できます。各トランザクションには、読出しまたは書込みのいずれかが実行されるのか、およびアクセスされるのはどのアドレスかを示す、命令フェーズが含まれます。SPI フレームでアドレスが隣接するレジスタと独占的に読み書きができるストリーミング・モードとは異なり、非ストリーミング命令モードでは、デジタル・ホストは 1 つの SPI フレーム内でレジスタ・アドレスが隣接していないレジスタと迅速に読み書きができます。

### SPI バスの CRC チェック機能

AD4855 のレジスタ・バス・データには、8 ビット CRC に基づくエラー・チェック機能がオプションで備わっています。CRC が有効化されている場合、各レジスタの読出しトランザクションまたは書込みトランザクションのデータ・フェーズに 8 ビット・チェックサム・コードが追加されます。チェックサムの値は、読出しあるいは書込みが行われるデータから計算されるため、AD4855 とデジタル・ホストは、データの破損が生じたかどうかを検知できます。チェックサムが対応するレジスタのデータに一致しない場合、そのレジスタの読出しまたは書込みは無効とみなされます。

次の CRC 多項式をいいて、チェックサムを計算します。

$$x^8 + x^2 + x + 1 \quad (6)$$

CRC 計算の初期値は、すべてのトランザクションで 0xA5 です。



## レジスタの一覧

AD4855 には、デバイスを設定しその状態をモニタするために使用するプログラマブルなユーザ・レジスタが備わっています。これらのレジスタには、SPI レジスタ設定バスを用いてアクセスできます（SPI レジスタ設定バスのセクションを参照）。表 20 に、AD4855 の完全なレジスタ・マップと、各シングルバイト・レジスタに含まれるビット・フィールドの概要を示します。この表で指定されていないレジスタ・アドレスは予約済みです。レジスタの詳細のセクションでは、各レジスタについてより詳細に説明しています。レジスタの詳細はチャンネル 0 について説明していますが、この説明は後続のチャンネル 1～チャンネル 7 のすべてのチャンネル・レジスタに適用できます。リセットの状態は、デバイス・リセット後のレジスタおよびビット・フィールドのデフォルト状態を示しています。アクセス・モードは、ビットが読み出し専用（R）、読み出しまたは書き込み（R/W）、あるいは一回読み出しまたは書き込み後にクリア（R/WIC）のどれであることを示しています。

表 20. レジスタの一覧

Addr	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
0x00	SPI_CONFIG_A	[7:0]	SW_RST_M SB	RESERVED	ADDR_DIR	CSDO_EN	RESERVED			SW_RST_L SB	0x00	R/W	
0x01	SPI_CONFIG_B	[7:0]	INST_MOD E	RESERVED								0x00	R/W
0x02	DEVICE_CONFIG	[7:0]	RESERVED						PWR_MODE		0xF0	R/W	
0x03	DEVICE_TYPE	[7:0]	RESERVED				DEVICE_TYPE				0x07	R	
0x04	PRODUCT_ID_L	[7:0]	PRODUCT_ID[7:0]								0x63	R	
0x05	PRODUCT_ID_H	[7:0]	PRODUCT_ID[15:8]								0x00	R	
0x06	DEVICE_GRADE	[7:0]	DEVICE_GRADE				DEVICE_REVISION				0x00	R	
0x0A	SCRATCH_PAD	[7:0]	SCRATCH_VALUE								0x00	R/W	
0x0B	SPI_REVISION	[7:0]	SPI_TYPE			VERSION						0x83	R
0x0C	VENDOR_ID_L	[7:0]	VENDOR_ID[7:0]								0x56	R	
0x0D	VENDOR_ID_H	[7:0]	VENDOR_ID[15:8]								0x04	R	
0x0E	LOOP_CONFIG_A	[7:0]	LOOP_SIZE								0x00	R/W	
0x0F	LOOP_CONFIG_B	[7:0]	RESERVED					KEEP_LOOP_SIZE	RESERVED		0x00	R/W	
0x10	SPI_CONFIG_C	[7:0]	CRC_ENABLE		RESERVED				CRC_ENABLE_N		0x03	R/W	
0x11	SPI_STATUS	[7:0]	NOT_RDY_ERR	RESERVED		CLK_COUNT_ERR	CRC_ERR	WRITE_INVALID	RESERVED	ADDR_INVALID	0x00	R/W	
0x14	SPI_CONFIG_D	[7:0]	RESERVED						CSDO_ON_SDO0		0x00	R/W	
0x20	DEVICE_STATUS	[7:0]	DEVICE_READY_FLAG	RESET_FLAG	FUSE_CRC_FLAG	REGMAP_CRC_FLAG	SPI_FLAG	CH_ORUR_FLAG	PD_FLAG	SLEEP_FLAG	0x40	R/W	
0x21	CH_OR_STATUS	[7:0]	CH7_OR_FLAG	CH6_OR_FLAG	CH5_OR_FLAG	CH4_OR_FLAG	CH3_OR_FLAG	CH2_OR_FLAG	CH1_OR_FLAG	CH0_OR_FLAG	0x00	R/W	
0x22	CH_UR_STATUS	[7:0]	CH7_UR_FLAG	CH6_UR_FLAG	CH5_UR_FLAG	CH4_UR_FLAG	CH3_UR_FLAG	CH2_UR_FLAG	CH1_UR_FLAG	CH0_UR_FLAG	0x00	R/W	
0x23	REGMAP_CRC	[7:0]	REGMAP_CRC[7:0]								0x00	R/W	
0x24		[15:8]	REGMAP_CRC[15:8]								0x00	R/W	
0x25	DEVICE_CTRL	[7:0]	TEST_CRS	RESERVED		LVDS_TERM	LVDS_HALF_BIAS	REFBUF_PD	REF_SEL	SCKO_ECHO	0x11	R/W	
0x26	PACKET	[7:0]	RESERVED				TEST_PAT		PACKET_SIZE		0x01	R/W	
0x27	OVERSAMPLE	[7:0]	OS_EN	RESERVED			OS_RATIO				0x00	R/W	
0x28	SEAMLESS_HDR	[7:0]	CH7_SHDR_EN	CH6_SHDR_EN	CH5_SHDR_EN	CH4_SHDR_EN	CH3_SHDR_EN	CH2_SHDR_EN	CH1_SHDR_EN	CH0_SHDR_EN	0xFF	R/W	
0x29	CH_SLEEP	[7:0]	CH7_SLEEP	CH6_SLEEP	CH5_SLEEP	CH4_SLEEP	CH3_SLEEP	CH2_SLEEP	CH1_SLEEP	CH0_SLEEP	0x00	R/W	
0x2A	CH0_SOFTSPAN	[7:0]	RESERVED				CH0_SOFTSPAN				0x0F	R/W	
0x2B	CH0_OFFSET	[7:0]	RESERVED				RESERVED				0x00	R/W	
0x2C		[15:8]	CH0_OFFSET[7:0]								0x00	R/W	
0x2D		[23:16]	CH0_OFFSET[15:8]								0x00	R/W	

## レジスタの一覧

表 20. レジスタの一覧 (続き)

Addr	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x2E	CH0_GAIN	[7:0]					CH0_GAIN[7:0]				0x00	R/W
0x2F		[15:8]					CH0_GAIN[15:8]				0x80	R/W
0x30	CH0_PHASE	[7:0]					CH0_PHASE[7:0]				0x00	R/W
0x31		[15:8]					CH0_PHASE[15:8]				0x00	R/W
0x32	CH0_OR	[7:0]		RESERVED				RESERVED			0x00	R/W
0x33		[15:8]					CH0_OR[7:0]				0xFF	R/W
0x34		[23:16]					CH0_OR[15:8]				0x7F	R/W
0x35	CH0_UR	[7:0]		RESERVED				RESERVED			0x00	R/W
0x36		[15:8]					CH0_UR[7:0]				0x00	R/W
0x37		[23:16]					CH0_UR[15:8]				0x80	R/W
0x38	CH0_TESTPAT	[7:0]					CH0_TESTPAT[7:0]				0x2A	R/W
0x39		[15:8]					CH0_TESTPAT[15:8]				0x3C	R/W
0x3A		[23:16]					CH0_TESTPAT[23:16]				0xCE	R/W
0x3B		[31:24]					CH0_TESTPAT[31:24]				0x0A	R/W
0x3C	CH1_SOFTSPAN	[7:0]		RESERVED				CH1_SOFTSPAN			0x0F	R/W
0x3D	CH1_OFFSET	[7:0]		RESERVED				RESERVED			0x00	R/W
0x3E		[15:8]					CH1_OFFSET[7:0]				0x00	R/W
0x3F		[23:16]					CH1_OFFSET[15:8]				0x00	R/W
0x40	CH1_GAIN	[7:0]					CH1_GAIN[7:0]				0x00	R/W
0x41		[15:8]					CH1_GAIN[15:8]				0x80	R/W
0x42	CH1_PHASE	[7:0]					CH1_PHASE[7:0]				0x00	R/W
0x43		[15:8]					CH1_PHASE[15:8]				0x00	R/W
0x44	CH1_OR	[7:0]		RESERVED				RESERVED			0x00	R/W
0x45		[15:8]					CH1_OR[7:0]				0xFF	R/W
0x46		[23:16]					CH1_OR[15:8]				0x7F	R/W
0x47	CH1_UR	[7:0]		RESERVED				RESERVED			0x00	R/W
0x48		[15:8]					CH1_UR[7:0]				0x00	R/W
0x49		[23:16]					CH1_UR[15:8]				0x80	R/W
0x4A	CH1_TESTPAT	[7:0]					CH1_TESTPAT[7:0]				0x2A	R/W
0x4B		[15:8]					CH1_TESTPAT[15:8]				0x3C	R/W
0x4C		[23:16]					CH1_TESTPAT[23:16]				0xCE	R/W
0x4D		[31:24]					CH1_TESTPAT[31:24]				0x1A	R/W
0x4E	CH2_SOFTSPAN	[7:0]		RESERVED				CH2_SOFTSPAN			0x0F	R/W
0x4F	CH2_OFFSET	[7:0]		RESERVED				RESERVED			0x00	R/W
0x50		[15:8]					CH2_OFFSET[7:0]				0x00	R/W
0x51		[23:16]					CH2_OFFSET[15:8]				0x00	R/W
0x52	CH2_GAIN	[7:0]					CH2_GAIN[7:0]				0x00	R/W
0x53		[15:8]					CH2_GAIN[15:8]				0x80	R/W
0x54	CH2_PHASE	[7:0]					CH2_PHASE[7:0]				0x00	R/W
0x55		[15:8]					CH2_PHASE[15:8]				0x00	R/W
0x56	CH2_OR	[7:0]		RESERVED				RESERVED			0x00	R/W
0x57		[15:8]					CH2_OR[7:0]				0xFF	R/W
0x58		[23:16]					CH2_OR[15:8]				0x7F	R/W
0x59	CH2_UR	[7:0]		RESERVED				RESERVED			0x00	R/W
0x5A		[15:8]					CH2_UR[7:0]				0x00	R/W
0x5B		[23:16]					CH2_UR[15:8]				0x80	R/W

## レジスタの一覧

表 20. レジスタの一覧 (続き)

Addr	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x5C	CH2_TESTPAT	[7:0]				CH2_TESTPAT[7:0]					0x2A	R/W
0x5D		[15:8]				CH2_TESTPAT[15:8]					0x3C	R/W
0x5E		[23:16]				CH2_TESTPAT[23:16]					0xCE	R/W
0x5F		[31:24]				CH2_TESTPAT[31:24]					0x2A	R/W
0x60	CH3_SOFTSPAN	[7:0]		RESERVED				CH3_SOFTSPAN			0x0F	R/W
0x61	CH3_OFFSET	[7:0]		RESERVED				RESERVED			0x00	R/W
0x62		[15:8]				CH3_OFFSET[7:0]					0x00	R/W
0x63		[23:16]				CH3_OFFSET[15:8]					0x00	R/W
0x64	CH3_GAIN	[7:0]				CH3_GAIN[7:0]					0x00	R/W
0x65		[15:8]				CH3_GAIN[15:8]					0x80	R/W
0x66	CH3_PHASE	[7:0]				CH3_PHASE[7:0]					0x00	R/W
0x67		[15:8]				CH3_PHASE[15:8]					0x00	R/W
0x68	CH3_OR	[7:0]		RESERVED				RESERVED			0x00	R/W
0x69		[15:8]				CH3_OR[7:0]					0xFF	R/W
0x6A		[23:16]				CH3_OR[15:8]					0x7F	R/W
0x6B	CH3_UR	[7:0]		RESERVED				RESERVED			0x00	R/W
0x6C		[15:8]				CH3_UR[7:0]					0x00	R/W
0x6D		[23:16]				CH3_UR[15:8]					0x80	R/W
0x6E	CH3_TESTPAT	[7:0]				CH3_TESTPAT[7:0]					0x2A	R/W
0x6F		[15:8]				CH3_TESTPAT[15:8]					0x3C	R/W
0x70		[23:16]				CH3_TESTPAT[23:16]					0xCE	R/W
0x71		[31:24]				CH3_TESTPAT[31:24]					0x3A	R/W
0x72	CH4_SOFTSPAN	[7:0]		RESERVED				CH4_SOFTSPAN			0x0F	R/W
0x73	CH4_OFFSET	[7:0]		RESERVED				RESERVED			0x00	R/W
0x74		[15:8]				CH4_OFFSET[7:0]					0x00	R/W
0x75		[23:16]				CH4_OFFSET[15:8]					0x00	R/W
0x76	CH4_GAIN	[7:0]				CH4_GAIN[7:0]					0x00	R/W
0x77		[15:8]				CH4_GAIN[15:8]					0x80	R/W
0x78	CH4_PHASE	[7:0]				CH4_PHASE[7:0]					0x00	R/W
0x79		[15:8]				CH4_PHASE[15:8]					0x00	R/W
0x7A	CH4_OR	[7:0]		RESERVED				RESERVED			0x00	R/W
0x7B		[15:8]				CH4_OR[7:0]					0xFF	R/W
0x7C		[23:16]				CH4_OR[15:8]					0x7F	R/W
0x7D	CH4_UR	[7:0]		RESERVED				RESERVED			0x00	R/W
0x7E		[15:8]				CH4_UR[7:0]					0x00	R/W
0x7F		[23:16]				CH4_UR[15:8]					0x80	R/W
0x80	CH4_TESTPAT	[7:0]				CH4_TESTPAT[7:0]					0x2A	R/W
0x81		[15:8]				CH4_TESTPAT[15:8]					0x3C	R/W
0x82		[23:16]				CH4_TESTPAT[23:16]					0xCE	R/W
0x83		[31:24]				CH4_TESTPAT[31:24]					0x4A	R/W
0x84	CH5_SOFTSPAN	[7:0]		RESERVED				CH5_SOFTSPAN			0x0F	R/W
0x85	CH5_OFFSET	[7:0]		RESERVED				RESERVED			0x00	R/W
0x86		[15:8]				CH5_OFFSET[7:0]					0x00	R/W
0x87		[23:16]				CH5_OFFSET[15:8]					0x00	R/W
0x88	CH5_GAIN	[7:0]				CH5_GAIN[7:0]					0x00	R/W
0x89		[15:8]				CH5_GAIN[15:8]					0x80	R/W
0x8A	CH5_PHASE	[7:0]				CH5_PHASE[7:0]					0x00	R/W

## レジスタの一覧

表 20. レジスタの一覧（続き）

Addr	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x8B		[15:8]					CH5_PHASE[15:8]				0x00	R/W
0x8C	CH5_OR	[7:0]		RESERVED				RESERVED			0x00	R/W
0x8D		[15:8]					CH5_OR[7:0]				0xFF	R/W
0x8E		[23:16]					CH5_OR[15:8]				0x7F	R/W
0x8F	CH5_UR	[7:0]		RESERVED				RESERVED			0x00	R/W
0x90		[15:8]					CH5_UR[7:0]				0x00	R/W
0x91		[23:16]					CH5_UR[15:8]				0x80	R/W
0x92	CH5_TESTPAT	[7:0]					CH5_TESTPAT[7:0]				0x2A	R/W
0x93		[15:8]					CH5_TESTPAT[15:8]				0x3C	R/W
0x94		[23:16]					CH5_TESTPAT[23:16]				0xCE	R/W
0x95		[31:24]					CH5_TESTPAT[31:24]				0x5A	R/W
0x96	CH6_SOFTSPAN	[7:0]		RESERVED				CH6_SOFTSPAN			0x0F	R/W
0x97	CH6_OFFSET	[7:0]		RESERVED				RESERVED			0x00	R/W
0x98		[15:8]					CH6_OFFSET[7:0]				0x00	R/W
0x99		[23:16]					CH6_OFFSET[15:8]				0x00	R/W
0x9A	CH6_GAIN	[7:0]					CH6_GAIN[7:0]				0x00	R/W
0x9B		[15:8]					CH6_GAIN[15:8]				0x80	R/W
0x9C	CH6_PHASE	[7:0]					CH6_PHASE[7:0]				0x00	R/W
0x9D		[15:8]					CH6_PHASE[15:8]				0x00	R/W
0x9E	CH6_OR	[7:0]		RESERVED				RESERVED			0x00	R/W
0x9F		[15:8]					CH6_OR[7:0]				0xFF	R/W
0xA0		[23:16]					CH6_OR[15:8]				0x7F	R/W
0xA1	CH6_UR	[7:0]		RESERVED				RESERVED			0x00	R/W
0xA2		[15:8]					CH6_UR[7:0]				0x00	R/W
0xA3		[23:16]					CH6_UR[15:8]				0x80	R/W
0xA4	CH6_TESTPAT	[7:0]					CH6_TESTPAT[7:0]				0x2A	R/W
0xA5		[15:8]					CH6_TESTPAT[15:8]				0x3C	R/W
0xA6		[23:16]					CH6_TESTPAT[23:16]				0xCE	R/W
0xA7		[31:24]					CH6_TESTPAT[31:24]				0x6A	R/W
0xA8	CH7_SOFTSPAN	[7:0]		RESERVED				CH7_SOFTSPAN			0x0F	R/W
0xA9	CH7_OFFSET	[7:0]		RESERVED				RESERVED			0x00	R/W
0xAA		[15:8]					CH7_OFFSET[7:0]				0x00	R/W
0xAB		[23:16]					CH7_OFFSET[15:8]				0x00	R/W
0xAC	CH7_GAIN	[7:0]					CH7_GAIN[7:0]				0x00	R/W
0xAD		[15:8]					CH7_GAIN[15:8]				0x80	R/W
0xAE	CH7_PHASE	[7:0]					CH7_PHASE[7:0]				0x00	R/W
0xAF		[15:8]					CH7_PHASE[15:8]				0x00	R/W
0xB0	CH7_OR	[7:0]		RESERVED				RESERVED			0x00	R/W
0xB1		[15:8]					CH7_OR[7:0]				0xFF	R/W
0xB2		[23:16]					CH7_OR[15:8]				0x7F	R/W
0xB3	CH7_UR	[7:0]		RESERVED				RESERVED			0x00	R/W
0xB4		[15:8]					CH7_UR[7:0]				0x00	R/W
0xB5		[23:16]					CH7_UR[15:8]				0x80	R/W
0xB6	CH7_TESTPAT	[7:0]					CH7_TESTPAT[7:0]				0x2A	R/W
0xB7		[15:8]					CH7_TESTPAT[15:8]				0x3C	R/W
0xB8		[23:16]					CH7_TESTPAT[23:16]				0xCE	R/W
0xB9		[31:24]					CH7_TESTPAT[31:24]				0x7A	R/W

レジスタの詳細  
SPI 設定 A レジスタ

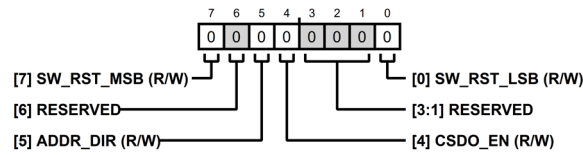


図 75. アドレス：0x00、リセット：0x00、レジスタ名：SPI\_CONFIG\_A

表 21. SPI\_CONFIG\_A のビット説明

ビット	ビット名	説明	リセット	アクセス
7	SW_RST_MSB	ソフトウェア・リセット (MSB)。1 回のレジスタ書込みにより SW_RST_MSB および SW_RST_LSB の両方を 1 に設定すると、AD4855 のソフトウェア・リセットが開始されます。このソフトウェア・リセットは、すべてのレジスタをデフォルト状態にリセットします。ただし、SPI_CONFIG_A レジスタの ADDR_DIR ビットおよび CSDO_EN ビットは除きます。	0x0	R/W
6	RESERVED	予約済み。	0x0	R
5	ADDR_DIR	アドレス方向。複数バイトの読出しまたは書込みトランザクション時に、SPI レジスタ設定バスでレジスタのアドレス指定を降順で行うか昇順で行うかを選択します (ストリーミング命令モードのセクションを参照)。 0：降順アドレス指定。レジスタ・アドレスは、データ・バイトごとに 1 ずつデクリメントします。 1：昇順アドレス指定。レジスタ・アドレスは、データ・バイトごとに 1 ずつインクリメントします。	0x0	R/W
4	CSDO_EN	CSDO ピン・イネーブル。SPI レジスタ設定バスの 3 線式動作または 4 線式動作を選択します (3 線式 SPI 動作のセクションと 4 線式 SPI 動作のセクションを参照)。 0：CSDO を無効化。SPI バスは 3 線式モードで動作し、データの入出力は CSDIO で行われます。CSDO は使用されず、高インピーダンスを維持します。 1：CSDO を有効化。SPI バスは 4 線式モードで動作し、データ入力は CSDIO、データ出力は CSDO (あるいは SPI_CONFIG_D レジスタの CSDO_ON_SDO0 が 1 に設定されている場合は SDO0) で行われます。	0x0	R/W
[3:1]	RESERVED	予約済み。	0x0	R
0	SW_RST_LSB	ソフトウェア・リセット (LSB)。1 回のレジスタ書込みにより SW_RST_MSB および SW_RST_LSB の両方を 1 に設定すると、AD4855 のソフトウェア・リセットが開始されます。このソフトウェア・リセットは、すべてのレジスタをデフォルト状態にリセットします。ただし、SPI_CONFIG_A レジスタの ADDR_DIR ビットおよび CSDO_EN ビットは除きます。	0x0	R/W

レジスタの詳細

SPI 設定 B レジスタ

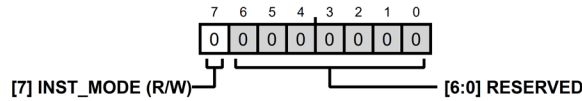


図 76. アドレス：0x01、リセット：0x00、レジスタ名：SPI\_CONFIG\_B

表 22. SPI\_CONFIG\_B のビット説明

ビット	ビット名	説明	リセット	アクセス
7	INST_MODE	命令モード。SPI レジスタ設定バスをストリーミング命令モードとするか非ストリーミング命令モードとするかを選択します（ストリーミング命令モードのセクションと非ストリーミング命令モードのセクションを参照）。 0：ストリーミング命令モード。SPI バスは、複数バイトの読出しまたは書込みトランザクションに対応します。レジスタ・アドレスは、SPI 設定 A レジスタの ADDR_DIR ビット（ビット 5）に基づき、連続データ・バイトごとに自動的に更新されます。 1：非ストリーミング命令モード。SPI バスは、シングルバイトの読出しまたは書込みトランザクションに対応します。	0x0	R/W
[6:0]	RESERVED	予約済み。	0x0	R

デバイス設定レジスタ

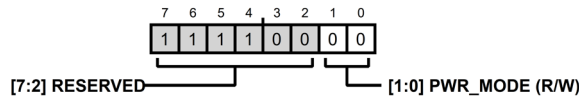


図 77. アドレス：0x02、リセット：0xF0、レジスタ名：DEVICE\_CONFIG

表 23. DEVICE\_CONFIG のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x3C	R
[1:0]	PWR_MODE	消費電力モード。PD ピン機能に代わるソフトウェア制御可能な機能。 00：通常動作モード。 11：パワーダウン・モード。PD ピンをハイ・ステートに駆動した場合と同じ効果を持ちます。	0x0	R/W

デバイス・タイプ・レジスタ

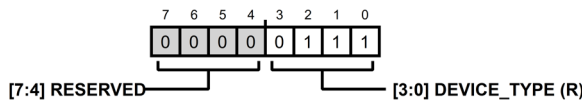


図 78. アドレス：0x03、リセット：0x07、レジスタ名：DEVICE\_TYPE

表 24. DEVICE\_TYPE のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	DEVICE_TYPE	デバイス・タイプ。AD4855 を高精度 ADC 製品として識別します。	0x7	R

## レジスタの詳細

## 製品 ID ロー・レジスタ

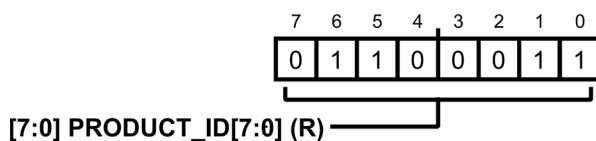


図 79. アドレス：0x04、リセット：0x63、レジスタ名：PRODUCT\_ID\_L

表 25. PRODUCT\_ID\_L のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[7:0]	製品識別。AD4855 の PRODUCT_ID の 1 バイトです。	0x63	R

## 製品 ID ハイ・レジスタ

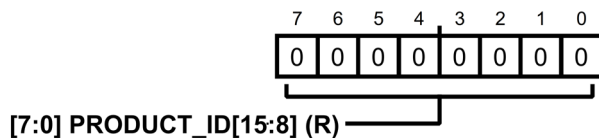


図 80. アドレス：0x05、リセット：0x00、レジスタ名：PRODUCT\_ID\_H

表 26. PRODUCT\_ID\_H のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[15:8]	製品識別。AD4855 の PRODUCT_ID の 1 バイトです。	0x0	R

## デバイス・グレード・レジスタ

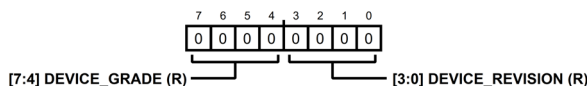


図 81. アドレス：0x06、リセット：0x00、レジスタ名：DEVICE\_GRADE

表 27. DEVICE\_GRADE のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	DEVICE_GRADE	デバイスの性能グレード。AD4855 の性能グレードを識別します。	0x0	R
[3:0]	DEVICE_REVISION	デバイスのハードウェア・リビジョン。AD4855 のハードウェア・リビジョンを識別します。	0x0	R

## スクラッチ・パッド・レジスタ

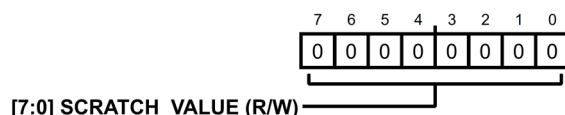


図 82. アドレス：0x0A、リセット：0x00、レジスタ名：SCRATCH\_PAD

表 28. SCRATCH\_PAD のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SCRATCH_VALUE	ソフトウェア・スクラッチパッド。ソフトウェアは、デバイスに副次的な作用を及ぼすことなく、この場所で読み書きができます。このレジスタは、SPI レジスタ設定バスの通信をテストするために使用します。	0x0	R/W



## レジスタの詳細

## SPI リビジョン・レジスタ

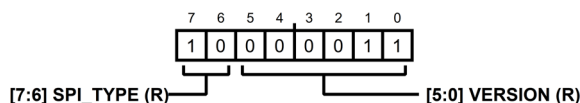


図 83. アドレス：0x0B、リセット：0x83、レジスタ名：SPI\_REVISION

表 29. SPI\_REVISION のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	SPI_TYPE	SPI タイプ。AD4855 がサポートする ADI SPI タイプを識別します。	0x2	R
[5:0]	VERSION	SPI のバージョン。AD4855 がサポートする ADI SPI のバージョンを識別します。	0x3	R

## ベンダ ID ロー・レジスタ

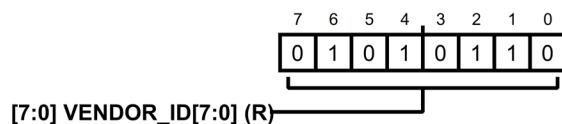


図 84. アドレス：0x0C、リセット：0x56、レジスタ名：VENDOR\_ID\_L

表 30. VENDOR\_ID\_L のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VENDOR_ID[7:0]	ベンダ ID。ADI VENDOR_ID の 1 バイトです。この値は、アナログ・デバイセズのすべての高精度 ADC に共通です。	0x56	R

## ベンダ ID ハイ・レジスタ

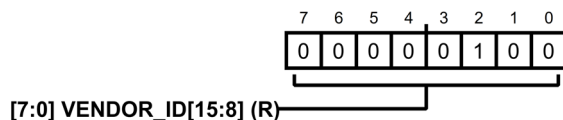


図 85. アドレス：0x0D、リセット：0x04、レジスタ名：VENDOR\_ID\_H

表 31. VENDOR\_ID\_H のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VENDOR_ID[15:8]	ベンダ ID。ADI VENDOR_ID の 1 バイトです。この値は、アナログ・デバイセズのすべての高精度 ADC に共通です。	0x4	R

## ループ設定 A レジスタ

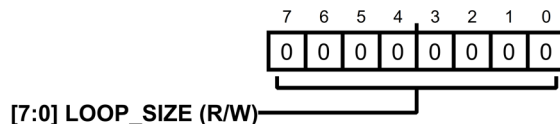


図 86. アドレス：0x0E、リセット：0x00、レジスタ名：LOOP\_CONFIG\_A

表 32. LOOP\_CONFIG\_A のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LOOP_SIZE	ループ・サイズ。ストリーミング命令モードが有効な場合（ <a href="#">ストリーミング命令モードのセクション</a> を参照）、LOOP_SIZE の値は、開始アドレスにループ・バックするまでにシーケンシャルに読みまたは書き込みが行われるデータ・バイトの数を定義します。この方法で最大 255 バイトを繰り返しループさせることができます。デフォルト値 0x00 は、ループを無効化します。この場合、アドレス指定はレジスタ・マップの上限値または下限値に戻ります。	0x0	R/W

レジスタの詳細

ループ設定 B レジスタ

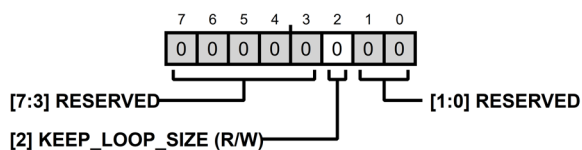


図 87. アドレス : 0x0F、リセット : 0x00、レジスタ名 : LOOP\_CONFIG\_B

表 33. LOOP\_CONFIG\_B のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予約済み。	0x0	R
2	KEEP_LOOP_SIZE	ループ・サイズの保持。現在のストリーミング SPI レジスタ設定バス・トランザクションの完了時に、ループ設定 A レジスタの LOOP_SIZE ビット (ビット[7:0]) をリセットするか保持するかを選択します。 0 : $\overline{CS}$ の立上がりエッジで LOOP_SIZE を 0x00 にリセットします。 1 : LOOP_SIZE をリセットしません。	0x0	R/W
[1:0]	RESERVED	予約済み。	0x0	R

SPI 設定 C レジスタ

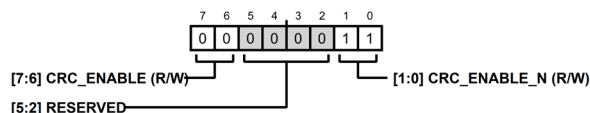


図 88. アドレス : 0x10、リセット : 0x03、レジスタ名 : SPI\_CONFIG\_C

表 34. SPI\_CONFIG\_C のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	CRC_ENABLE	CRC イネーブル。CRC_ENABLE = 0x1 かつ CRC_ENABLE_N = 0x2 の場合、SPI レジスタ設定バスのトランザクション時に、オプションの CRC チェックを有効化します。これらのビットの値をこれ以外に組み合わせた場合、SPI CRC チェックは無効化されます。	0x0	R/W
[5:2]	RESERVED	予約済み。	0x0	R
[1:0]	CRC_ENABLE_N	CRC イネーブルの反転値。CRC_ENABLE = 0x1 かつ CRC_ENABLE_N = 0x2 の場合、SPI レジスタ設定バスのトランザクション時に、オプションの CRC チェックを有効化します。これらのビットの値をこれ以外に組み合わせた場合、SPI CRC チェックは無効化されます。	0x3	R/W

レジスタの詳細

SPI ステータス・レジスタ

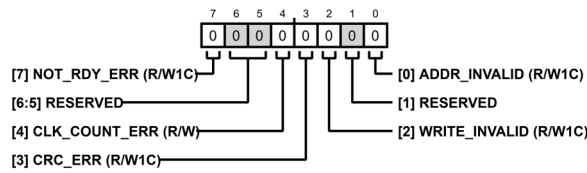


図 89. アドレス : 0x11、リセット : 0x00、レジスタ名 : SPI\_STATUS

表 35. SPI\_STATUS のビット説明

ビット	ビット名	説明	リセット	アクセス
7	NOT_RDY_ERR	トランザクション・エラーに対する準備が未了。このフラグが 1 に設定されるのは、AD4855 の応答準備ができる前、例えば、AD4855 のパワーオンリセットの初期化シーケンスが正常に終了する前に、SPI レジスタ設定バスのトランザクションが開始された場合です。	0x0	R/W1C
[6:5]	RESERVED	予約済み。	0x0	R
4	CLK_COUNT_ERR	クロック・カウント・エラー。このフラグが 1 に設定されるのは、SPI レジスタ設定バスのトランザクションが不正な CSCK エッジ数を示した場合、例えば、SPI フレームがデータ・バイトの途中で終了した場合です。	0x0	R/W
3	CRC_ERR	CRC エラー。このフラグが 1 に設定されるのは、CRC チェックが有効となっているときに AD4855 が計算値に一致しないチェックサムを受け取った場合です。	0x0	R/W1C
2	WRITE_INVALID	無効書込みエラー。このビットが 1 に設定されるのは、読出し専用ビットのみを含むレジスタにデジタル・ホストが書込みをしようとした場合です。	0x0	R/W1C
1	RESERVED	予約済み。	0x0	R
0	ADDR_INVALID	無効レジスタ・アドレス・エラー。このフラグが 1 に設定されるのは、デジタル・ホストが未定義のレジスタ・アドレスとの間で読出しや書込みを行おうとした場合です。	0x0	R/W1C

SPI 設定 D レジスタ

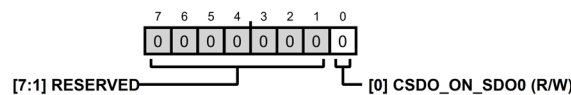


図 90. アドレス : 0x14、リセット : 0x00、レジスタ名 : SPI\_CONFIG\_D

表 36. SPI\_CONFIG\_D のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	CSDO_ON_SDO0	CSDO のデータを SDO0 に出力。4 線式 SPI レジスタ設定バスの出力データを CSDO に出力するか SDO0 に出力するかを選択します (4 線式 SPI 動作のセクションを参照)。 0 : 4 線式 SPI バス・データを CSDO に出力。 1 : 4 線式 SPI バス・データを SDO0 に出力。	0x0	R/W

レジスタの詳細

デバイス・ステータス・レジスタ

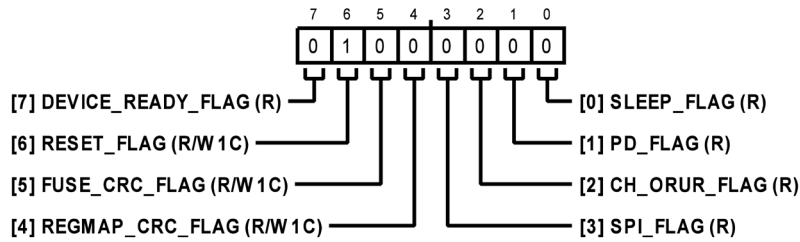


図 91. アドレス：0x20、リセット：0x40、レジスタ名：DEVICE\_STATUS

表 37. DEVICE\_STATUS のビット説明

ビット	ビット名	説明	リセット	アクセス
7	DEVICE_READY_FLAG	デバイス・レディ・フラグ。AD4855 の内部状態は、アルファ粒子やシステム電源のグリッチなどによる破損の可能性に備えて常にモニタされています。このフラグが 1 に設定されるのは、BUSY の立下がりエッジで、パワーオンリセットの初期化シーケンスが正常に終了した場合です。この時点以降に値が 0 となった場合は、内部デバイス状態に、ユーザ始動によるグローバル・リセットが必要なエラーが生じたことを示しています（ <a href="#">リセット・タイミング</a> のセクションを参照）。	0x0	R
6	RESET_FLAG	リセット・フラグ。このフラグは、リセット・イベントの開始時に 1 に設定されます。	0x1	R/W1C
5	FUSE_CRC_FLAG	ヒューズ CRC フラグ。AD4855 の内部状態は、アルファ粒子やシステム電源のグリッチなどによる破損の可能性に備えて常にモニタされています。いかなる時点でもこのフラグが 1 に設定された場合は、ユーザ始動によるグローバル・リセットが必要なエラーが検出されたことを示します（ <a href="#">リセット・タイミング</a> のセクションを参照）。	0x0	R/W1C
4	REGMAP_CRC_FLAG	レジスタ・マップ CRC フラグ。AD4855 のレジスタ・マップの状態は、アルファ粒子やシステム電源のグリッチなどによる破損の可能性に備えて常にモニタされています。いかなる時点でもこのフラグが 1 に設定された場合は、CRC エラーが検出されたことを示し、デジタル・ホストはレジスタ・マップのエラーをチェックする必要があります。 <a href="#">レジスタ・マップ CRC</a> レジスタが適切な CRC コードでプログラムされていない場合は、このフラグを無視します。	0x0	R/W1C
3	SPI_FLAG	SPI フラグ。このフラグは、 <a href="#">SPI ステータス・レジスタ</a> のすべてのビットの論理 OR です。	0x0	R
2	CH_ORUR_FLAG	チャンネル・オーバーレンジ／アンダーレンジ・フラグ。このフラグは、 <a href="#">チャンネル・オーバーレンジ・ステータス・レジスタ</a> と <a href="#">チャンネル・アンダーレンジ・ステータス・レジスタ</a> のすべてのビットの論理 OR です。	0x0	R
1	PD_FLAG	パワー・ダウン・フラグ。このフラグが 1 に設定されるのは、AD4855 が現在パワーダウン・モードになっている場合です。	0x0	R
0	SLEEP_FLAG	チャンネル・スリープ・フラグ。このフラグは、 <a href="#">チャンネル・スリープ・レジスタ</a> のすべてのビットの論理 OR です。	0x0	R

レジスタの詳細

チャンネル・オーバーレンジ・ステータス・レジスタ

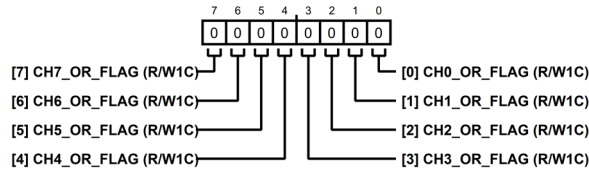


図 92. アドレス：0x21、リセット：0x00、レジスタ名：CH\_OR\_STATUS

表 38. CH\_OR\_STATUS のビット説明

ビット	ビット名	説明	リセット	アクセス
7	CH7_OR_FLAG	チャンネル7のオーバーレンジ・フラグ。チャンネル7の変換結果がCH7_ORレジスタで設定されているオーバーレンジ制限値を超えると、このフラグが1に設定されます。	0x0	R/W1C
6	CH6_OR_FLAG	チャンネル6のオーバーレンジ・フラグ。チャンネル6の変換結果がCH6_ORレジスタで設定されているオーバーレンジ制限値を超えると、このフラグが1に設定されます。	0x0	R/W1C
5	CH5_OR_FLAG	チャンネル5のオーバーレンジ・フラグ。チャンネル5の変換結果がCH5_ORレジスタで設定されているオーバーレンジ制限値を超えると、このフラグが1に設定されます。	0x0	R/W1C
4	CH4_OR_FLAG	チャンネル4のオーバーレンジ・フラグ。チャンネル4の変換結果がCH4_ORレジスタで設定されているオーバーレンジ制限値を超えると、このフラグが1に設定されます。	0x0	R/W1C
3	CH3_OR_FLAG	チャンネル3のオーバーレンジ・フラグ。チャンネル3の変換結果がCH3_ORレジスタで設定されているオーバーレンジ制限値を超えると、このフラグが1に設定されます。	0x0	R/W1C
2	CH2_OR_FLAG	チャンネル2のオーバーレンジ・フラグ。チャンネル2の変換結果がCH2_ORレジスタで設定されているオーバーレンジ制限値を超えると、このフラグが1に設定されます。	0x0	R/W1C
1	CH1_OR_FLAG	チャンネル1のオーバーレンジ・フラグ。チャンネル1の変換結果がCH1_ORレジスタで設定されているオーバーレンジ制限値を超えると、このフラグが1に設定されます。	0x0	R/W1C
0	CH0_OR_FLAG	チャンネル0のオーバーレンジ・フラグ。チャンネル0の変換結果がCH0_ORレジスタで設定されているオーバーレンジ制限値を超えると、このフラグが1に設定されます。	0x0	R/W1C

チャンネル・アンダーレンジ・ステータス・レジスタ

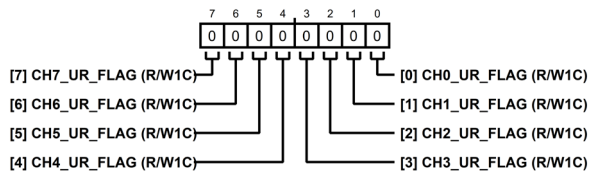


図 93. アドレス：0x22、リセット：0x00、レジスタ名：CH\_UR\_STATUS

表 39. CH\_UR\_STATUS のビット説明

ビット	ビット名	説明	リセット	アクセス
7	CH7_UR_FLAG	チャンネル7のアンダーレンジ・フラグ。チャンネル7の変換結果がCH7_URレジスタで設定されているアンダーレンジ制限値を超えると、このフラグが1に設定されます。	0x0	R/W1C
6	CH6_UR_FLAG	チャンネル6のアンダーレンジ・フラグ。チャンネル6の変換結果がCH6_URレジスタで設定されているアンダーレンジ制限値を超えると、このフラグが1に設定されます。	0x0	R/W1C
5	CH5_UR_FLAG	チャンネル5のアンダーレンジ・フラグ。チャンネル5の変換結果がCH5_URレジスタで設定されているアンダーレンジ制限値を超えると、このフラグが1に設定されます。	0x0	R/W1C
4	CH4_UR_FLAG	チャンネル4のアンダーレンジ・フラグ。チャンネル4の変換結果がCH4_URレジスタで設定されているアンダーレンジ制限値を超えると、このフラグが1に設定されます。	0x0	R/W1C

レジスタの詳細

表 39. CH\_UR\_STATUS のビット説明 (続き)

ビット	ビット名	説明	リセット	アクセス
3	CH3_UR_FLAG	チャンネル3のアンダーレンジ・フラグ。チャンネル3の変換結果がCH3_URレジスタで設定されているアンダーレンジ制限値を超えると、このフラグが1に設定されます。	0x0	R/W1C
2	CH2_UR_FLAG	チャンネル2のアンダーレンジ・フラグ。チャンネル2の変換結果がCH2_URレジスタで設定されているアンダーレンジ制限値を超えると、このフラグが1に設定されます。	0x0	R/W1C
1	CH1_UR_FLAG	チャンネル1のアンダーレンジ・フラグ。チャンネル1の変換結果がCH1_URレジスタで設定されているアンダーレンジ制限値を超えると、このフラグが1に設定されます。	0x0	R/W1C
0	CH0_UR_FLAG	チャンネル0のアンダーレンジ・フラグ。チャンネル0の変換結果がCH0_URレジスタで設定されているアンダーレンジ制限値を超えると、このフラグが1に設定されます。	0x0	R/W1C

レジスタ・マップCRC

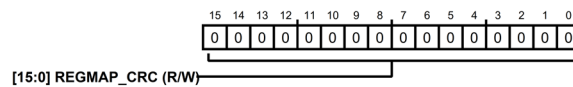


図 94. アドレス：0x23～アドレス：0x24、リセット：0x0000、レジスタ名：REGMAP\_CRC

表 40. REGMAP\_CRC のビット説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	REGMAP_CRC	レジスタ・マップのCRC。アドレス0xB9からアドレス0x25までをカバーする、ユーザ計算によるCRCチェックサムです。アルファ粒子やシステム電源のグリッチなどによる破損の可能性に備えて、AD4855のレジスタ・マップの状態を常時モニタするために用いることができます。チェックサムを計算するには、次のCRC多項式を使用します。 $x^{16} + x^{14} + x^{13} + x^{12} + x^{10} + x^8 + x^6 + x^4 + x^3 + x + 1$ ここで、CRC計算の初期値は0xFFFFです。	0x0	R/W

デバイス制御レジスタ

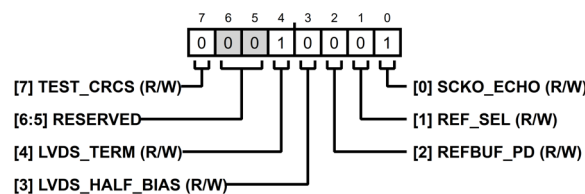


図 95. アドレス：0x25、リセット：0x11、レジスタ名：DEVICE\_CTRL

表 41. DEVICE\_CTRL のビット説明

ビット	ビット名	説明	リセット	アクセス
7	TEST_CRCS	CRCエンジンのテスト。シミュレーションされたビット・エラーをFUSE CRCエンジンおよびREGMAP CRCエンジンに取り込むために変換を実行する間、1に設定されます。CRCエンジンの機能を検証するには、 <b>デバイス・ステータス・レジスタ</b> のFUSE_CRC_FLAGビット（ビット5）とREGMAP_CRC_FLAGビット（ビット4）の両方が1に設定されていることを確認します。	0x0	R/W
[6:5]	RESERVED	予約済み。	0x0	R
4	LVDS_TERM	LVDSの終端を有効化。1に設定すると、LVDS入力ペアの内部終端抵抗が有効化されます。	0x1	R/W



レジスタの詳細

表 41. DEVICE\_CTRL のビット説明 (続き)

ビット	ビット名	説明	リセット	アクセス
3	LVDS_HALF_BIAS	LVDS のハーフバイアスを有効化。1 に設定すると、LVDS 出力ペアのハーフバイアス出力駆動モードが有効化されます。	0x0	R/W
2	REFBUF_PD	リファレンス・バッファのパワー・ダウン。1 に設定すると、内蔵リファレンス・バッファをパワー・ダウンします。パワー・ダウンした場合、図 58 に示すように、外部リファレンスを REFBUF ピンに接続できます。	0x0	R/W
1	REF_SEL	リファレンスの選択。外部リファレンスと内蔵リファレンスのどちらを使用するかを選択します。 0：内蔵リファレンス。内蔵リファレンスを有効化します。 1：外部リファレンス。内蔵リファレンスをパワー・ダウンします。外部リファレンスは、図 57 に示すように、REFIO ピンに接続します。	0x0	R/W
0	SCKO_ECHO	SCKO エコーを有効化。1 に設定すると、SCKO は SCKI 信号のエコーとなります。	0x1	R/W

パケット・フォーマット・レジスタ

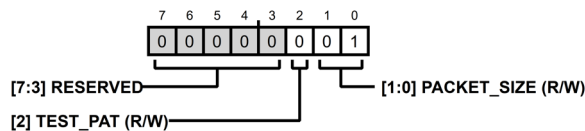


図 96. アドレス：0x26、リセット：0x01、レジスタ名：PACKET

表 42. PACKET のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予約済み。	0x0	R
2	TEST_PAT	テスト・パターンを有効化。1 に設定するとテスト・パターンの出力データを有効化できます。有効化されると、通常の変換データ出力パケットは、各チャンネルの CHx_TESTPAT レジスタの上位ビットで定義された固定データで置き換えられます (テスト・パターン・パケット・フォーマットのセクションを参照)。この機能を用いると、CMOS または LVDS の変換データ出力バスの通信を検証できます。	0x0	R/W
[1:0]	PACKET_SIZE	パケット・サイズ。CMOS または LVDS の変換データ出力バスのパケット・サイズを、16 ビットまたは 24 ビットの中から選択します。各パケット・サイズのパケット・データ・フォーマット設定は、AD4855 が非オーバーサンプリング・モードとオーバーサンプリング・モードのどちらで動作しているか、および、テスト・パターン・データ出力が有効化されているかどうかによって異なります (パケット・フォーマットのセクションとテスト・パターン・パケット・フォーマットのセクションを参照)。 00：16 ビットのパケット・サイズ。 01：24 ビットのパケット・サイズ。 10：予約済み、使用不可。 11：予約済み、使用不可。	0x1	R/W

オーバーサンプル制御レジスタ

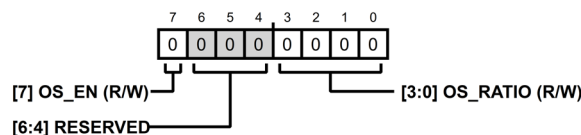


図 97. アドレス：0x27、リセット：0x00、レジスタ名：OVERSAMPLE

表 43. OVERSAMPLE のビット説明

ビット	ビット名	説明	リセット	アクセス
7	OS_EN	オーバーサンプルの有効化。オーバーサンプリング・モードか非オーバーサンプリング・モードかを選択します (オーバーサンプリング・モードのセクションを参照)。 0：オーバーサンプリングを無効化。オーバーサンプリング比を変更する前にオーバーサンプリングを無効化します。 1：オーバーサンプリングを有効化。	0x0	R/W

レジスタの詳細

表 43. OVERSAMPLE のビット説明 (続き)

ビット	ビット名	説明	リセット	アクセス
[6:4]	RESERVED	予約済み。	0x0	R
[3:0]	OS_RATIO	オーバーサンプリング比。オーバーサンプリングが有効化されている場合、各チャンネルでデジタル的に平均化処理を行う変換結果の数を選択します (オーバーサンプリング・モードのセクションを参照)。 0000 : 2 個の変換結果を平均化。 0001 : 4 個の変換結果を平均化。 0010 : 8 個の変換結果を平均化。 0011 : 16 個の変換結果を平均化。 0100 : 32 個の変換結果を平均化。 0101 : 64 個の変換結果を平均化。 0110 : 128 個の変換結果を平均化。 0111 : 256 個の変換結果を平均化。 1000 : 512 個の変換結果を平均化。 1001 : 1024 個の変換結果を平均化。 1010 : 2048 個の変換結果を平均化。 1011 : 4096 個の変換結果を平均化。 1100 : 8192 個の変換結果を平均化。 1101 : 16384 個の変換結果を平均化。 1110 : 32768 個の変換結果を平均化。 1111 : 65536 個の変換結果を平均化。	0x0	R/W

シームレス・ハイ・ダイナミック・レンジ・レジスタ

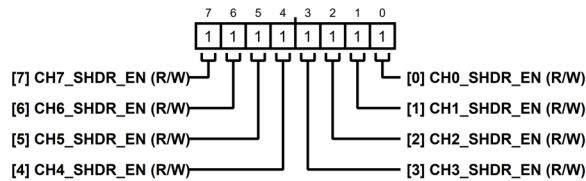


図 98. アドレス : 0x28、リセット : 0xFF、レジスタ名 : SEAMLESS\_HDR

表 44. SEAMLESS\_HDR のビット説明

ビット	ビット名	説明	リセット	アクセス
7	CH7_SHDR_EN	チャンネル 7 の SHDR を有効化 1 に設定すると、このチャンネルの SHDR が有効化されます。	0x1	R/W
6	CH6_SHDR_EN	チャンネル 6 の SHDR を有効化 1 に設定すると、このチャンネルの SHDR が有効化されます。	0x1	R/W
5	CH5_SHDR_EN	チャンネル 5 の SHDR を有効化 1 に設定すると、このチャンネルの SHDR が有効化されます。	0x1	R/W
4	CH4_SHDR_EN	チャンネル 4 の SHDR を有効化 1 に設定すると、このチャンネルの SHDR が有効化されます。	0x1	R/W
3	CH3_SHDR_EN	チャンネル 3 の SHDR を有効化 1 に設定すると、このチャンネルの SHDR が有効化されます。	0x1	R/W
2	CH2_SHDR_EN	チャンネル 2 の SHDR を有効化 1 に設定すると、このチャンネルの SHDR が有効化されます。	0x1	R/W
1	CH1_SHDR_EN	チャンネル 1 の SHDR を有効化 1 に設定すると、このチャンネルの SHDR が有効化されます。	0x1	R/W
0	CH0_SHDR_EN	チャンネル 0 の SHDR を有効化 1 に設定すると、このチャンネルの SHDR が有効化されます。	0x1	R/W

レジスタの詳細

チャンネル・スリープ・レジスタ

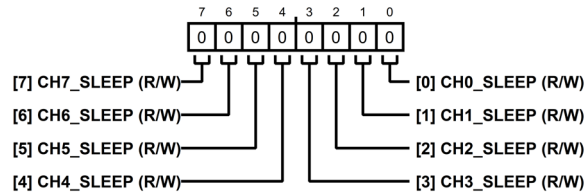


図 99. アドレス：0x29、リセット：0x00、レジスタ名：CH\_SLEEP

表 45. CH\_SLEEP のビット説明

ビット	ビット名	説明	リセット	アクセス
7	CH7_SLEEP	チャンネル 7 のスリープ。1 に設定するとチャンネルがスリープ状態になり、消費電力を節約できます。チャンネルは変換要求を無視します。	0x0	R/W
6	CH6_SLEEP	チャンネル 6 のスリープ。1 に設定するとチャンネルがスリープ状態になり、消費電力を節約できます。チャンネルは変換要求を無視します。	0x0	R/W
5	CH5_SLEEP	チャンネル 5 のスリープ。1 に設定するとチャンネルがスリープ状態になり、消費電力を節約できます。チャンネルは変換要求を無視します。	0x0	R/W
4	CH4_SLEEP	チャンネル 4 のスリープ。1 に設定するとチャンネルがスリープ状態になり、消費電力を節約できます。チャンネルは変換要求を無視します。	0x0	R/W
3	CH3_SLEEP	チャンネル 3 のスリープ。1 に設定するとチャンネルがスリープ状態になり、消費電力を節約できます。チャンネルは変換要求を無視します。	0x0	R/W
2	CH2_SLEEP	チャンネル 2 のスリープ。1 に設定するとチャンネルがスリープ状態になり、消費電力を節約できます。チャンネルは変換要求を無視します。	0x0	R/W
1	CH1_SLEEP	チャンネル 1 のスリープ。1 に設定するとチャンネルがスリープ状態になり、消費電力を節約できます。チャンネルは変換要求を無視します。	0x0	R/W
0	CH0_SLEEP	チャンネル 0 のスリープ。1 に設定するとチャンネルがスリープ状態になり、消費電力を節約できます。チャンネルは変換要求を無視します。	0x0	R/W

チャンネル 0 SoftSpan レジスタ

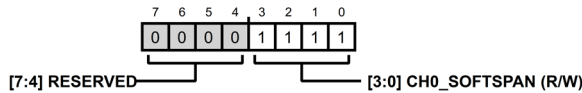


図 100. アドレス：0x2A、リセット：0x0F、レジスタ名：CH0\_SOFTSPAN

表 46. CH0\_SOFTSPAN のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	CH0_SOFTSPAN	チャンネル 0 の SoftSpan。このチャンネルの SoftSpan レンジを選択します (SoftSpan のセクションを参照)。 0000 : 0V~2.5V のレンジ。 0001 : ±2.5V のレンジ。 0010 : 0V~5V のレンジ。 0011 : ±5V のレンジ。 0100 : 0V~6.25V のレンジ。 0101 : ±6.25V のレンジ。 0110 : 0V~10V のレンジ。 0111 : ±10V のレンジ。 1000 : 0V~12.5V のレンジ。 1001 : ±12.5V のレンジ。 1010 : 0V~20V のレンジ。 1011 : ±20V のレンジ。 1100 : 0V~25V のレンジ。 1101 : ±25V のレンジ。 1110 : 0V~40V のレンジ。 1111 : ±40V のレンジ。	0xF	R/W

レジスタの詳細

チャンネル 0 オフセット・レジスタ

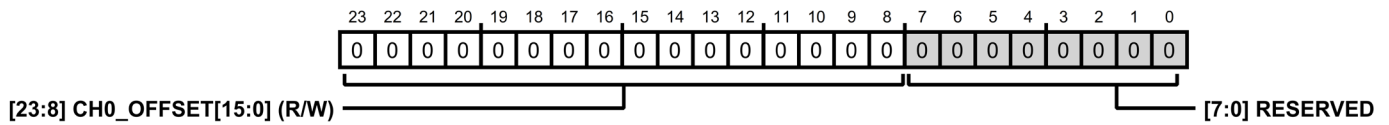


図 101. アドレス：0x2B～アドレス：0x2D、リセット：0x000000、レジスタ名：CH0\_OFFSET

表 47. CH0\_OFFSET のビット説明

ビット	ビット名	説明	リセット	アクセス
[23:8]	CH0_OFFSET[15:0]	チャンネル 0 のオフセット。このチャンネルの各変換結果に加算される、16 ビットの符号付きデジタル・オフセット補正值（デジタル・オフセット補正のセクションを参照）。オフセットのデフォルト状態は、ゼロ・オフセット補正に対応しています。	0x0	R/W
[7:0]	RESERVED	予約済み。	0x0	R

チャンネル 0 ゲイン・レジスタ

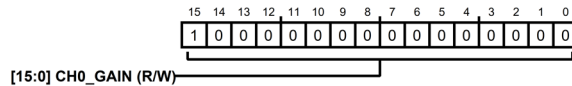


図 102. アドレス：0x2E～アドレス：0x2F、リセット：0x8000、レジスタ名：CH0\_GAIN

表 48. CH0\_GAIN のビット説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	CH0_GAIN	チャンネル 0 のゲイン。このチャンネルの各変換結果に適用される、16 ビットの符号なしデジタル・ゲイン補正係数（デジタル・ゲイン補正のセクションを参照）。デフォルト状態は、1.00000 の係数に対応しています。	0x8000	R/W

チャンネル 0 位相レジスタ

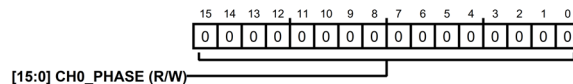


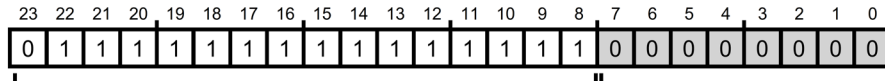
図 103. アドレス：0x30～アドレス：0x31、リセット：0x0000、レジスタ名：CH0\_PHASE

表 49. CH0\_PHASE のビット説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	CH0_PHASE	チャンネル 0 の位相。このチャンネルに適用される、16 ビットの符号なし位相補正項。このレジスタは、オーバーサンプリング・モードで動作している場合にのみ、意味を持ちます（オーバーサンプリング・モードのセクションとデジタル位相補正のセクションを参照）。	0x0	R/W

レジスタの詳細

チャンネル 0 オーバーレンジ制限レジスタ



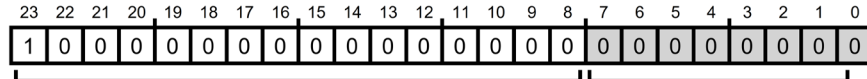
[23:8] CH0\_OR[15:0] (R/W) [7:0] RESERVED

図 104. アドレス : 0x32~0x34、リセット : 0x7FFF00、レジスタ名 : CH0\_OR

表 50. CH0\_OR のビット説明

ビット	ビット名	説明	リセット	アクセス
[23:8]	CH0_OR[15:0]	チャンネル0のオーバーレンジ制限値。チャンネル0の変換結果が、この16ビットの符号付きデジタル・オーバーレンジ閾値より大きい場合、 <a href="#">チャンネル・オーバーレンジ・ステータス・レジスタ</a> のCH0_OR_FLAGビット（ビット0）が1に設定されます。	0x7FFF	R/W
[7:0]	RESERVED	予約済み。	0x0	R

チャンネル 0 アンダーレンジ制限レジスタ



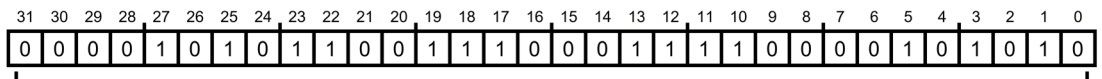
[23:8] CH0\_UR[15:0] (R/W) [7:0] RESERVED

図 105. アドレス : 0x35~0x37、リセット : 0x800000、レジスタ名 : CH0\_UR

表 51. CH0\_UR のビット説明

ビット	ビット名	説明	リセット	アクセス
[23:8]	CH0_UR[15:0]	チャンネル0のアンダーレンジ制限値。チャンネル0の変換結果が、この16ビットの符号付きデジタル・アンダーレンジ閾値より小さい場合、 <a href="#">チャンネル・アンダーレンジ・ステータス・レジスタ</a> のCH0_UR_FLAGビット（ビット0）が1に設定されます。	0x8000	R/W
[7:0]	RESERVED	予約済み。	0x0	R

チャンネル 0 テスト・パターン・レジスタ



[31:0] CH0\_TESTPAT (R/W)

図 106. アドレス : 0x38~アドレス : 0x3B、リセット : 0x0ACE3C2A、レジスタ名 : CH0\_TESTPAT

表 52. CH0\_TESTPAT のビット説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	CH0_TESTPAT	チャンネル0のテスト・パターン。テスト・パターン出力が有効化されている場合（ <a href="#">テスト・パターン・パケット・フォーマット</a> のセクションを参照）、チャンネル0の通常の変換データ出力パケットは、CH0_TESTPATで定義される固定データに置き換えられます。CHx_TESTPATレジスタの最上位ニブルのリセット状態は、チャンネルの数値に対応します（つまり、チャンネル0では0x0、チャンネル1では0x1など）。	0xACE3C2A	R/W

外形寸法

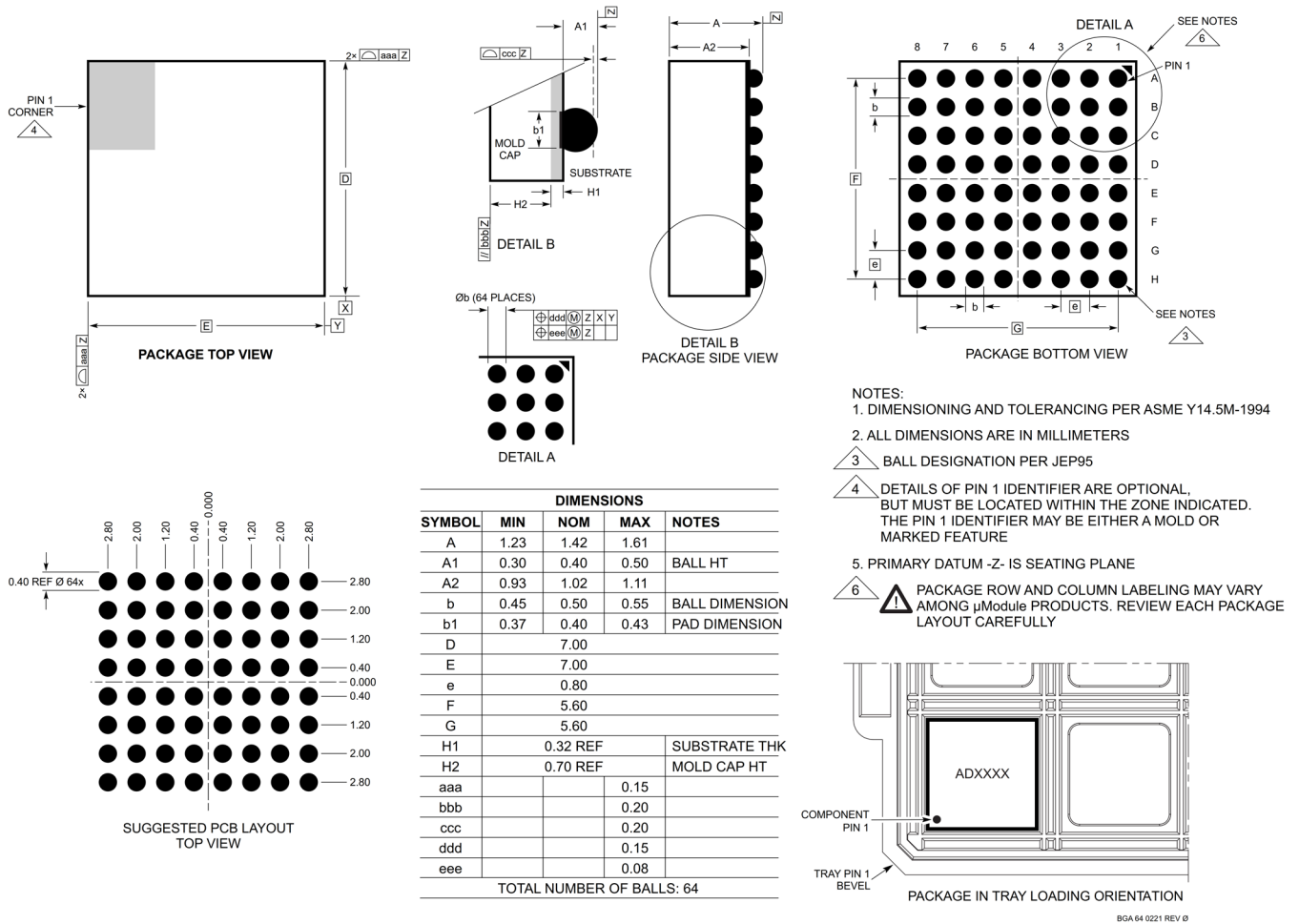


図 107. 64 ボール BGA パッケージ  
 7mm × 7mm × 1.42mm  
 (05-08-7086)  
 単位 : mm

更新 : 2023 年 11 月 17 日

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Packing Quantity	Package Option
AD4855BBCZ	-40°C to +125°C	64-Lead BGA (7 mm × 7 mm × 1.42 mm)	Tray, 416	05-08-7086
AD4855BBCZ-RL-13	-40°C to +125°C	64-Lead BGA (7 mm × 7 mm × 1.42 mm)	Reel, 2000	05-08-7086

<sup>1</sup> Z = RoHS 準拠製品。

評価用ボード

Model <sup>1,2</sup>	Description
EVAL-AD4857FMCZ	AD4857 Evaluation Board

<sup>1</sup> Z = RoHS 準拠製品。

<sup>2</sup> EVAL-AD4857FMCZ は AD4855 を評価するために使用できます。