

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2023年7月19日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年7月19日

製品名：AD4697/AD4698

対象となるデータシートのリビジョン(Rev)：Rev.A

訂正箇所：39ページ、右の段、下から7行目

## 【誤】

・ ・ BSY\_ALT\_GP0 の ビジー・インジケータ がイネーブルされます  
(表 51 参照)。

## 【正】

・ ・ BSY\_ALT\_GP0 の アラート・インジケータ がイネーブルされます  
(表 51 参照)。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2023年7月19日現在、アナログ・デバイセズ株式会社で確認した誤りを  
記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年7月19日

製品名：AD4697/AD4698

対象となるデータシートのリビジョン(Rev)：Rev.A

訂正箇所：42ページ、右の段、上から9行目

**【誤】**

**図 77**に、すべてのチャンネルの OSR が N に設定されている  
場合のタイミング例を示します。

**【正】**

**図 79**に、すべてのチャンネルの OSR が N に設定されている  
場合のタイミング例を示します。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2023年7月19日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。  
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年7月19日

製品名：AD4697/AD4698

対象となるデータシートのリビジョン(Rev)：Rev.A

訂正箇所：42ページ、右の段、詳細シーケンサの項、2番目の段落、上から6行目

【誤】

・・・4個のスロットがイネーブルされてIN6、IN5、IN6、IN3に割り当てられ、・・・

【正】

・・・4個のスロットがイネーブルされてIN6、IN1、IN6、IN3に割り当てられ、・・・

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2023年7月19日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。  
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年7月19日

製品名：AD4697/AD4698

対象となるデータシートのリビジョン(Rev)：Rev.A

訂正箇所：50ページ、図92の説明

**【誤】**

図 92. 単一命令モードの SPI フレーム、MB\_STRICT = 1、昇順アドレス

**【正】**

図 92. 単一命令モードの SPI フレーム、MB\_STRICT = 1、降順アドレス



この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2023年7月19日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。  
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年7月19日

製品名：AD4697/AD4698

対象となるデータシートのリビジョン(Rev)：Rev.A

訂正箇所：102ページ、表 50. GPIO\_CTRL のビットの説明内、ビット3 GPO3\_EN の説明欄、一番下の行

【誤】

1：GP3での汎用出力機能を無効化。

【正】

1：GP3での汎用出力機能を有効化。



# データシート AD4697/AD4698

## Easy Drive機能を備えた16ビット、8チャンネル500kSPS/1MSPSのマルチプレクスSAR ADC

### 特長

- ▶ Easy Drive
  - ▶ アナログ入力条件およびリファレンス駆動条件の緩和
  - ▶ リファレンス・バッファ内蔵 (WLCSPのみ)
  - ▶ アナログ入力ごとに最大5mAの過電圧保護
  - ▶ 長いアキュイジション・フェーズ：1MSPSでサイクル時間の71.5% (715ns/1000ns) 以上
- ▶ 高性能
  - ▶ サンプリング・レート：500kSPS (AD4697) または 1MSPS (AD4698)
  - ▶ INL：最大±1LSB
  - ▶ 16ビットのノー・ミス・コードを確保
  - ▶ SINAD： $f_{IN} = 1\text{kHz}$ で93dB (代表値)
  - ▶ オーバーサンプリング・ダイナミック・レンジ：111.2dB、OSR = 64
- ▶ 小フットプリント、高チャンネル密度
  - ▶ 24ピン、4.00mm x 4.00mm LFCSP
  - ▶ 36ピン、2.960mm x 2.960mm WLCSP
  - ▶ Easy Drive機能により、より少ない部品数でシステム・レベル設計を支援
- ▶ 強化されたデジタル機能
  - ▶ 最初の変換から高精度、遅延またはパイプライン遅延なし
  - ▶ 高速変換とデュアル/クワッドSDOモードで低SPIクロック・レートを実現
  - ▶ カスタマイズ可能なチャンネル・シーケンサ
  - ▶ オーバーサンプリングおよびデシメーション機能内蔵
  - ▶ 閾値検出アラート
  - ▶ オフセットおよびゲイン補正
  - ▶ 自律的変換 (自動サイクル) モード
  - ▶ 1.14V~1.98VのロジックSPI
- ▶ 低消費電力
  - ▶  $f_S = 1\text{MSPS}$ で8mW、 $f_S = 500\text{kSPS}$ で4mW
  - ▶ 内部LDOがディスエーブルの場合、スタンバイ時の消費電力が4μW
  - ▶ 内部LDOにより3.15V~5.5Vのアナログ単電源動作が可能
- ▶ 広い動作温度範囲：-40°C~+125°C

- ▶ 電子テストおよび計測
- ▶ ATE (自動試験装置)
- ▶ 計測器およびプロセス制御
- ▶ バッテリ駆動装置

### 概要

AD4697/AD4698は、小型で正確度の高い低消費電力8チャンネル、16ビット、500kSPS/1MSPS、マルチプレクス入力の高精度逐次比較レジスタ (SAR) A/Dコンバータ (ADC) で、Easy Drive機能と幅広いデジタル機能を備えています。

AD4697/AD4698は、スペースに制約のあるマルチチャンネル高精度データ・アキュイジション・システムやモニタリング回路での使用に最適です。AD4697/AD4698は、ノー・ミス・コードの真の16ビットSAR ADCコアの他、低クロストークの8チャンネル・マルチプレクサ、柔軟性のあるチャンネル・シーケンサ、アナログ入力ごとの過電圧保護クランプ回路、オーバーサンプリングおよびデシメーション機能、閾値検出およびアラート・インジケータ、自律的変換 (自動サイクル) モードを備えています。

AD4697/AD4698のEasy Drive機能は、アナログ・フロントエンド (AFE) およびリファレンス回路の駆動条件を緩和します。アナログ入力高インピーダンス・モードおよびリファレンス入力高インピーダンス・モードでは、専用的高速ADCドライバとリファレンス・バッファが不要となり、システム設計が簡素化され、部品数が低減し、チャンネル密度が増加します。AD4697/AD4698のWLCSPオプションには内部リファレンス・バッファがあり、真のバッファ付きリファレンス入力が可能です。

アナログ入力ごとの入力過電圧保護クランプは、AD4697/AD4698を過電圧イベントから保護し、1つのチャンネルでの過電圧イベントによって他のチャンネルの性能が低下するのを防ぎます (図27参照)。

高度なデジタル機能を通じて、AD4697/AD4698は様々な低消費電力デジタル・ホストに対応可能です。シリアル・ペリフェラル・インターフェース (SPI) の低クロック・レート条件、カスタマイズ可能な内蔵チャンネル・シーケンサ、オーバーサンプリングおよびデシメーション機能により、デジタル・ホスト・システムにかかる負荷が軽減されます。自動サイクル・モードおよび閾値検出機能によって、変換を自律的に実施し、チャンネル固有の閾値に基づいてアラートを生成することで、低消費電力の割込み駆動ファームウェアを設計できます。

AD4697/AD4698は4.00mm x 4.00mmの24ピン・リード・フレーム・チップ・スケール・パッケージ (LFCSP) および2.960mm x 2.960mmの36ピン・ウェーハ・レベル・チップ・スケール・パッケージ (WLCSP) を採用しています。すべてのパッケージは-40°C~+125°Cで動作するよう仕様規定されています。

### アプリケーション

- ▶ フォトダイオード・モニタリング
- ▶ 医療用計測機器
- ▶ バイタル・サイン・モニタリング

### Rev. A

文書に関するご意見

テクニカルサポート

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。

※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

## 目次

特長.....	1	デジタル・インターフェース.....	46
アプリケーション.....	1	レジスタ設定モード.....	46
概要.....	1	変換モード.....	53
機能ブロック図.....	4	自動サイクル・モード.....	62
仕様.....	5	汎用ピン.....	64
タイミング仕様.....	10	GPIO.....	65
絶対最大定格.....	12	デバイスのリセット.....	65
熱抵抗.....	12	アプリケーション情報.....	69
静電放電 (ESD) 定格.....	12	アナログ・フロントエンド設計.....	70
ESDに関する注意.....	12	アナログ入力過電圧保護.....	73
ピン配置およびピン機能の説明.....	13	リファレンス回路設計.....	73
代表的な性能特性.....	16	リファレンス・バッファの起動の最適化.....	75
用語の定義.....	26	コードと電圧の間の変換.....	76
動作原理.....	27	ノイズ低減のためのオーバーサンプリング.....	76
概要.....	27	デジタル・インターフェース動作.....	76
コンバータの動作.....	27	デバイス設定の推奨事項.....	84
伝達関数.....	29	実効チャンネル・サンプリング・レート.....	85
アナログ入力.....	31	レイアウトのガイドライン.....	88
入力過電圧保護クランプ.....	34	AD4697/AD4698の性能評価.....	88
温度センサー.....	35	レジスタの情報.....	89
電圧リファレンス入力.....	35	レジスタの概要.....	89
電源.....	36	レジスタの詳細.....	90
オーバーサンプリングおよびデシメーション.....	37	外形寸法.....	107
オフセットおよびゲイン補正.....	38	オーダー・ガイド.....	107
閾値検出とアラート・インジケータ.....	38	評価用ボード.....	108
ビジー・インジケータ.....	41		
チャンネル・シーケンシング・モード.....	41		

## 改訂履歴

## 7/2022—Rev. 0 to Rev. A

Added AD4697 36-Ball WLCSP (Universal).....	1
Changes to General Description Section.....	1
Change to Standby Power Dissipation, Internal LDO Enabled Parameter, Table 1.....	5
Changes to Table 6 Title.....	12
Changes to Figure 3 and Table 8 Title.....	14
Changes to Figure 43.....	22
Changes to Overvoltage Reduced Current Mode Section.....	35
Changes to Internal Reference Buffer Section.....	37
Change to Alert Indicator on General-Purpose Pins Section.....	40
Change to Busy Indicator on General-Purpose Pins Section.....	42
Changes to Figure 77.....	45
Changes to Checksum Protection Section.....	51
Change to Serial Data Output Modes Section.....	55
Changes to General-Purpose Pins Section.....	65
Changes to Analog Front-End Noise in Pseudobipolar Mode Section.....	73

## 目次

Changes to Reference Circuitry Design Section .....	74
Change to Reference Circuit Design for Driving REF Input Section .....	75
Changes to Reference Circuit Design for Internal Reference Buffer Section and Figure 117 .....	76
Changes to SPI Peripheral Connections Section and Figure 120.....	78
Changes to SPI Peripheral Synchronization in Conversion Mode Section and Figure 125 .....	79
Change to SPI Peripheral Synchronization in Autocycle Mode Section.....	83
Change to Conversion Mode SPI Clock Frequency Requirements Section .....	84
Changes to Ordering Guide .....	108
Added Evaluation Boards.....	109

**4/2022–Revision 0: Initial Version**

機能ブロック図

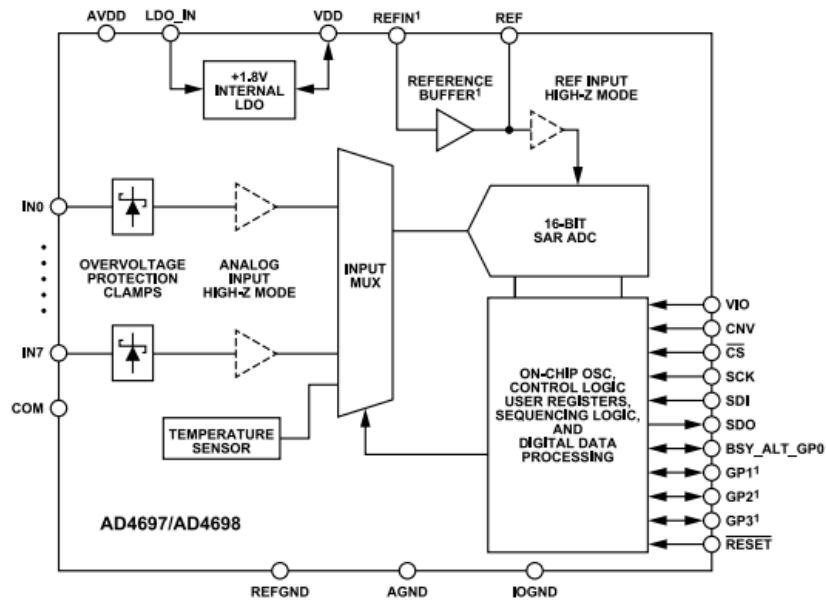


図 1.

## 仕様

特に指定のない限り、AVDD = 3.15V~5.5V、LDO\_IN = 2.4V~5.5V（内部低ドロップアウト（LDO）イネーブル）、LDO\_IN = AGND（内部LDOディスエーブル）、VDD = 1.71V~1.89V（内部LDOディスエーブル）、VIO = 1.14V~1.98V、AGND = REFGND = IOGND = 0V、リファレンス電圧 ( $V_{REF}$ ) = 2.4V~5.1V、REF =  $V_{REF}$ （内部リファレンス・バッファ・ディスエーブル）、REFIN = VREF（内部リファレンス・バッファ・イネーブル）、リファレンス・バッファ・ブースト・モード有効、サンプリング・レート ( $f_s$ ) = 1MSPS（AD4698）、 $f_s = 500$ kSPS（AD4697）、入力周波数 ( $f_{IN}$ ) = 1kHz、デジタル出力負荷容量 = 20pF、自動サイクル・モード無効、アナログ入力高インピーダンス・モード有効、リファレンス入力高インピーダンス・モード有効、ビジー・インジケータおよびアラート・インジケータは汎用ピンではイネーブルされていない、アクティブ過電圧保護クランプなし、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 。

表 1.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
RESOLUTION		16			Bits
ANALOG INPUT <sup>1,2</sup>					
Input Voltage Range	正側ADC入力電圧 (IN+) – 負側ADC入力電圧 (IN-)				
Unipolar Mode		0		+ $V_{REF}$	V
Pseudobipolar Mode		- $V_{REF}/2$		+ $V_{REF}/2$	V
Operating Input Voltage					
IN+ – REFGND	IN- = REFGND	0		+ $V_{REF}$	V
IN- – REFGND	IN- = COM、奇数番号入力	-0.1		$V_{REF} + 0.1$	V
IN- – REFGND	IN- = COM、奇数番号入力 ユニポーラ・モード	-0.1		$V_{REF} + 0.1$	V
IN- – REFGND	IN- = COM、奇数番号入力 疑似バイポーラ・モード	$V_{REF}/2 - 0.1$	$V_{REF}/2$	$V_{REF}/2 + 0.1$	V
Common-Mode Rejection Ratio (CMRR)	$f_{IN} = 250$ kHz、IN- = COM、奇数番号入力		69.5		dB
Analog Input Leakage Current <sup>3</sup>			10		nA
SAMPLING DYNAMICS					
Sample Rate	自動サイクル・モード無効				
AD4697				500	kSPS
AD4698				1	MSPS
Autocycle Sample Period	自動サイクル・モード有効				
AC_CYC = 0x0		8.5	10	11.5	$\mu\text{s}$
AC_CYC = 0x1		17	20	23	$\mu\text{s}$
AC_CYC = 0x2		34	40	46	$\mu\text{s}$
AC_CYC = 0x3		68	80	92	$\mu\text{s}$
AC_CYC = 0x4		85	100	115	$\mu\text{s}$
AC_CYC = 0x5		170	200	230	$\mu\text{s}$
AC_CYC = 0x6		340	400	460	$\mu\text{s}$
AC_CYC = 0x7		680	800	920	$\mu\text{s}$
Aperture Delay			2		ns
Aperture Jitter			0.5		ps rms
DC ACCURACY					
No Missing Codes		16			Bits
Integral Nonlinearity Error (INL)	$V_{REF} = 5$ Vオーバーサンプリング比 (OSR) = 1 LFCSP, $T_A = -40^\circ\text{C}$ to $+125^\circ$ WLCSP, $T_A = 0^\circ\text{C}$ to $+70^\circ\text{C}$ WLCSP, $T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$	-1	$\pm 0.4$	+1	LSB
WLCSP, $T_A = 0^\circ\text{C}$ to $+70^\circ\text{C}$		-2	$\pm 0.4$	+2	LSB
WLCSP, $T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$		-2.5	$\pm 0.4$	+2.5	LSB
Differential Nonlinearity Error (DNL)	$V_{REF} = 5$ V, OSR = 1	-0.6	$\pm 0.3$	+0.6	LSB
Transition Noise	$V_{REF} = 5$ V		0.5		LSB rms
Offset Error <sup>4</sup>	$V_{REF} = 5$ V $T_A = 25^\circ\text{C}$		$\pm 0.03$		mV
$T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$		-0.43		+0.43	mV
Offset Error Match <sup>4</sup>	$V_{REF} = 5$ V $T_A = 25^\circ\text{C}$		$\pm 0.025$		mV
$T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$		-0.23		+0.23	mV
Gain Error <sup>4</sup>	$V_{REF} = 5$ V				

仕様

表 1.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
Gain Error Match <sup>4</sup>	T <sub>A</sub> = 25°C		±0.001		%FS5
	T <sub>A</sub> = -40°C to +125°C	-0.025		+0.025	%FS
	V <sub>REF</sub> = 5 V				
	T <sub>A</sub> = 25°C		±0.002		%FS
	T <sub>A</sub> = -40°C to +125°C	-0.012		+0.012	%FS
AC PERFORMANCE					
Dynamic Range	V <sub>REF</sub> = 5 V				
	OSR = 1		93.4		dB
	OSR = 4		99.3		dB
	OSR = 16		105.3		dB
	OSR = 64		111.2		dB
Input RMS Noise	OSR = 1		37.8		µV rms
	OSR = 4		19.2		µV rms
	OSR = 16		9.6		µV rms
	OSR = 64		4.9		µV rms
1/f Noise	帯域幅 = 0.1Hz~10Hz		5		µV p-p
Signal-to-Noise Ratio (SNR)	V <sub>REF</sub> = 5 V, f <sub>IN</sub> = 1 kHz	91.25	93		dB
	V <sub>REF</sub> = 4.096 V, f <sub>IN</sub> = 1 kHz		91.3		dB
	V <sub>REF</sub> = 2.5 V, f <sub>IN</sub> = 1 kHz		87		dB
Total Harmonic Distortion (THD)	V <sub>REF</sub> = 5 V, f <sub>IN</sub> = 1 kHz		-117		dB
	V <sub>REF</sub> = 4.096 V, f <sub>IN</sub> = 1 kHz		-117.5		dB
	V <sub>REF</sub> = 2.5 V, f <sub>IN</sub> = 1 kHz		-119		dB
Signal-to-Noise-and-Distortion (SINAD)					
LFCSP	V <sub>REF</sub> = 5 V, f <sub>IN</sub> = 1 kHz	91.1	93		dB
	V <sub>REF</sub> = 4.096 V, f <sub>IN</sub> = 1 kHz		91.3		dB
	V <sub>REF</sub> = 2.5 V, f <sub>IN</sub> = 1 kHz		87		dB
WLCSP	V <sub>REF</sub> = 5 V, f <sub>IN</sub> = 1 kHz	89	93		dB
Spurious-Free Dynamic Range (SFDR)	V <sub>REF</sub> = 5 V		121		dB
Channel to Channel Isolation	f <sub>IN</sub> = 100 kHz				
	LFCSP		-126		dB
	WLCSP		-130		dB
Channel to Channel Memory	f <sub>IN</sub> = 100 kHz, f <sub>S</sub> = 1 MSPS		-100		dB
	f <sub>IN</sub> = 100 kHz, f <sub>S</sub> = 500 kSPS		-110		dB
-3 dB Input Bandwidth			11.7		MHz
REFERENCE INPUT6					
VREF Range	REF入力、内部リファレンス・バッファをディスエーブル	2.4		AVDD + 0.25	V
	REFIN入力、内部リファレンス・バッファをディスエーブル		REF		V
	REFIN入力、内部リファレンス・バッファをイネーブル	2.4		AVDD - 0.3	V
REF Leakage Current	V <sub>REF</sub> = 5 V				
LFCSP	アクティブ過電圧保護クランプなし		165		nA
	全クランプがアクティブ、過電圧減少電流モード無効		200		µA
	全クランプがアクティブ、過電圧減少電流モード有効		4		µA
WLCSP	内部リファレンス・バッファをディスエーブル		165		nA
REF Average Input Current	V <sub>REF</sub> = AVDD = 5V、内部リファレンス・バッファをディスエーブル				
Reference High-Z Mode Disabled	f <sub>S</sub> = 10kSPS、ユニポーラ・モード		3.3		µA

仕様

表 1.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
Reference High-Z Mode Enabled	f <sub>S</sub> = 500kSPS、ユニポーラ・モード		160		μA
	f <sub>S</sub> = 1MSPS、ユニポーラ・モード		320		μA
	f <sub>S</sub> = 10kSPS、疑似バイポーラ・モード		4.0		μA
	f <sub>S</sub> = 500kSPS、疑似バイポーラ・モード		195		μA
	f <sub>S</sub> = 1MSPS、疑似バイポーラ・モード		390		μA
	f <sub>S</sub> = 10kSPS、ユニポーラ・モード		0.3		μA
	f <sub>S</sub> = 500kSPS、ユニポーラ・モード		6		μA
	f <sub>S</sub> = 1MSPS、ユニポーラ・モード		12		μA
	f <sub>S</sub> = 10kSPS、疑似バイポーラ・モード		0.4		μA
	f <sub>S</sub> = 500kSPS、疑似バイポーラ・モード		11		μA
	f <sub>S</sub> = 1MSPS、疑似バイポーラ・モード		22		μA
REFIN Current	VREF = 5 V				
Internal Reference Buffer Enabled	アクティブ過電圧保護クランプなし		16		nA
	全クランプがアクティブ、過電圧減少電流モード無効		200		μA
	全クランプがアクティブ、過電圧減少電流モード有効		4.5		μA
REFIN Input Capacitance	WLCSP、内部リファレンス・バッファをイネーブル		50		pF
Internal Reference Buffer Output Current Limit	リファレンス・バッファ・ブースト・モード無効		3.5		mA
	リファレンス・バッファ・ブースト・モード有効		11		mA
Internal Reference Buffer Turn-On Time <sup>7</sup> (t <sub>REFBUF</sub> )	VREF = 5 V				
	Reference Buffer Boost Mode Disabled	REFデカップリング・コンデンサ (C <sub>REF</sub> = 1μF)		10	ms
	Reference Buffer Boost Mode Enabled	C <sub>REF</sub> = 10 μF		80	
C <sub>REF</sub> = 1 μF			1.2		ms
	C <sub>REF</sub> = 10 μF		10		ms
TEMPERATURE SENSOR					
Temperature Sensor Voltage	T <sub>A</sub> = 25°C		680 m		V
	T <sub>A</sub> = 0°C		725		mV
Temperature Sensitivity	T <sub>A</sub> = -40°C to +125°C		-1.8		mV/°C
OVERVOLTAGE CLAMP					
External Series Resistance (R <sub>EXT</sub> ) <sup>8</sup>	安定したクランプ動作の場合 過電圧減少電流モード無効 過電圧減少電流モード有効	500		2000	Ω
				1000	Ω
External Series Capacitance (C <sub>EXT</sub> ) <sup>8</sup>	安定したクランプ動作の場合				pF
Clamp Input Current	アクティブ・クランプごと			5	mA
Clamp Activation Voltage				V <sub>REF</sub> + 0.55	V
Clamp Deactivation Voltage		V <sub>REF</sub> + 0.1			V
Input Clamping Voltage			V <sub>REF</sub> + 0.2		V
Activation Time			50		ns
Deactivation Time			100		ns
DIGITAL INPUTS					
Logic Levels					
Input Low Voltage (V <sub>IL</sub> )		-0.3		+0.3 × V <sub>IO</sub>	V
Input High Voltage (V <sub>IH</sub> )		0.7 × V <sub>IO</sub>		3.6	V
Input Current (I <sub>L</sub> )		-1		+1	μA
Input Pin Capacitance			5		pF
DIGITAL OUTPUTS					



## 仕様

表 1.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
Conversion Mode Data Format	ユニポーラ・モード 疑似バイポーラ・モード		Straight binary Twos complement		
Logic Levels					
Output Low Voltage ( $V_{OL}$ )	デジタル出力電流 = +500 $\mu$ A			0.4	V
Output High Voltage ( $V_{OH}$ )	デジタル出力電流 = -500 $\mu$ A	$V_{IO} - 0.3$			V
<b>POWER REQUIREMENTS</b>					
AVDD to AGND		3.15		5.5	V
LDO_IN to AGND	内部LDOをイネーブル	2.4		5.5	V
	内部LDOをディスエーブル		0		V
VDD to AGND	内部LDOをディスエーブル	1.71	1.8	1.89	V
VIO to IOGND		1.14		1.98	V
<b>POWER SUPPLY CURRENT<sup>9</sup></b>					
Standby Current					
AVDD	AVDD = 5 V 内部リファレンス・バッファをディスエーブル		160		nA
	内部リファレンス・バッファをイネーブル		450		$\mu$ A
LDO_IN	LDO_IN = 5 V 内部LDOをイネーブル		9		$\mu$ A
	内部LDOをディスエーブル		0.3		$\mu$ A
VDD	VDD = 1.8V、内部LDOをディスエーブル				
	内部リファレンス・バッファをディスエーブル		1.5		$\mu$ A
	内部リファレンス・バッファをイネーブル		5		$\mu$ A
VIO	VIO = 1.8 V		250		nA
AVDD Current (Conversion Mode)	AVDD = 5 V				
Internal Reference Buffer Disabled, Reference High-Z Mode Disabled, Analog Input High-Z Mode Disabled	$f_S = 10$ kSPS		680		nA
	$f_S = 500$ kSPS		26		$\mu$ A
	$f_S = 1$ MSPS		52		$\mu$ A
Internal Reference Buffer Disabled, Reference High-Z Mode Enabled, Analog Input High-Z Mode Enabled	$f_S = 10$ kSPS		13		$\mu$ A
	$f_S = 500$ kSPS		0.64	0.73	mA
	$f_S = 1$ MSPS		1.28	1.46	mA
Internal Reference Buffer Enabled, Reference High-Z Mode Enabled, Analog Input High-Z Mode Enabled	$f_S = 10$ kSPS, REFIN = 4.096 V		450		$\mu$ A
	$f_S = 500$ kSPS, REFIN = 4.096 V		1	1.14	mA
	$f_S = 1$ MSPS, REFIN = 4.096 V		1.5	1.78	mA
LDO_IN Current (Conversion Mode)	LDO_IN = 5V、内部LDOをイネーブル				
Reference High-Z Mode Disabled, Analog Input High-Z Mode Disabled	$f_S = 10$ kSPS		52		$\mu$ A
	$f_S = 500$ kSPS		2		mA
	$f_S = 1$ MSPS		4		mA
Reference High-Z Mode Enabled, Analog Input High-Z Mode Enabled	$f_S = 10$ kSPS		64		$\mu$ A
	$f_S = 500$ kSPS		2.6	3.3	mA
	$f_S = 1$ MSPS		5.2	6.6	mA
VDD Current (Conversion Mode)	VDD = 1.8V、内部LDOをディスエーブル				
Reference High-Z Mode Disabled, Analog Input High-Z Mode Disabled	$f_S = 10$ kSPS		42		$\mu$ A
	$f_S = 500$ kSPS		2		mA

## 仕様

表 1.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
Reference High-Z Mode Enabled, Analog Input High-Z Mode Enabled	$f_s = 1$ MSPS		4		mA
	$f_s = 10$ kSPS		53		$\mu$ A
VIO Dynamic Current	$f_s = 500$ kSPS		2.5	3.2	mA
	$f_s = 1$ MSPS		5	6.4	mA
Register Configuration Mode	VIO = 1.8 V ストリーミング・モード、SCK周波数 (fSCK) = 50MHz		125		$\mu$ A
Conversion Mode	ステータス・ビットをイネーブル				
	$f_s = 10$ kSPS		3.5		$\mu$ A
	$f_s = 500$ kSPS		162		$\mu$ A
	$f_s = 1$ MSPS		325	360	$\mu$ A
POWER DISSIPATION9	AVDD = 5 V, VIO = 1.8 V				
Standby Power Dissipation					
Internal LDO Disabled	VDD = 1.8V、内部リファレンス・バッファをデ ィスエーブル		4		$\mu$ W
	VDD = 1.8V、内部リファレンス・バッファをイ ネーブル		2.3		mW
Internal LDO Enabled	LDO_IN = 5V、内部リファレンス・バッファをデ ィスエーブル		46		$\mu$ W
	LDO_IN = 5V、内部リファレンス・バッファをイ ネーブル		2.3		mW
Power Dissipation, Internal LDO Disabled	LDO_IN = AGND, VDD = 1.8 V				
Internal Reference Buffer Disabled, Reference High-Z Mode Disabled, Analog Input High-Z Mode Disabled	$f_s = 10$ kSPS		85		$\mu$ W
	$f_s = 500$ kSPS		4		mW
	$f_s = 1$ MSPS		8		mW
Internal Reference Buffer Disabled, Reference High-Z Mode Enabled, Analog Input High-Z Mode Enabled	$f_s = 10$ kSPS		170		$\mu$ W
	$f_s = 500$ kSPS		8	9.8	mW
	$f_s = 1$ MSPS		16	19.5	mW
Internal Reference Buffer Enabled, Reference High-Z Mode Enabled, Analog Input High-Z Mode Enabled	$f_s = 10$ kSPS, REFIN = 4.096 V		2.4		mW
	$f_s = 500$ kSPS, REFIN = 4.096 V		9.8	11.8	mW
	$f_s = 1$ MSPS, REFIN = 4.096 V		17.1	21.1	mW
Power Dissipation, Internal LDO Enabled	LDO_IN = 5 V				
Internal Reference Buffer Disabled, Reference High-Z Mode Disabled, Analog Input High-Z Mode Disabled	$f_s = 10$ kSPS		270		$\mu$ W
	$f_s = 500$ kSPS		10.5		mW
	$f_s = 1$ MSPS		21		mW
Internal Reference Buffer Disabled, Reference High-Z Mode Enabled, Analog Input High-Z Mode Enabled	$f_s = 10$ kSPS		395		$\mu$ W
	$f_s = 500$ kSPS		16.5	20.5	mW
	$f_s = 1$ MSPS		33	41.0	mW
Internal Reference Buffer Enabled, Reference High-Z Mode Enabled, Analog Input High-Z Mode Enabled	$f_s = 10$ kSPS, REFIN = 4.096 V		2.6		mW
	$f_s = 500$ kSPS, REFIN = 4.096 V		18.3	22.5	mW
	$f_s = 1$ MSPS, REFIN = 4.096 V		34.1	42.6	mW

仕様

表 1.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
Autocycle Mode Power Dissipation	LDO_IN = 5V、内部LDOをイネーブル、自動サイクル・モード有効 AC_CYC = 0x0 AC_CYC = 0x7		2.3 0.2		mW mW
TEMPERATURE RANGE Specified Performance	T <sub>MIN</sub> to T <sub>MAX</sub>		-40		+125

- ユニポーラ・モード、疑似バイポーラ・モード、チャンネル・ピン割当てオプションの詳細については、[チャンネル設定オプション](#)のセクションを参照してください。
- IN+とIN-は、内部マルチプレクサを通じてAD4697/AD4698 ADCコアの正側および負側の入力部に接続されるアナログ入力を表します ([マルチプレクサ](#)のセクションおよび[チャンネル設定オプション](#)のセクションを参照)。
- アナログ入力リーク電流の仕様値は、ADCが変換を実行しておらず、アナログ入力電圧が既にセトリングしている期間におけるアナログ入力ピンの入力電流を指します。
- オフセット誤差とゲイン誤差の仕様値は、オフセット補正レジスタおよびゲイン補正レジスタがデフォルト値 (オフセット補正およびゲイン補正を行わない) に設定されている場合のもので、詳細については[オフセットおよびゲイン補正](#)のセクションを参照してください。
- %FSはADCのフルスケールに対する百分率です (フルスケールの定義については[伝達関数](#)のセクションを参照)。
- REFINピンと内部リファレンス・バッファは、AD4697/AD4698のWLCSPモデルでのみ使用できます。そのため、REFINまたは内部リファレンス・バッファに関するすべての仕様および条件は、WLCSPモデルにのみ関係します。
- リファレンス・バッファのターンオン時間の仕様は、リファレンス・バッファがイネーブルされてからREF電圧が0.01%の精度にセトリングするまでの時間を指します ([内部リファレンス・バッファ](#)のセクションを参照)。
- R<sub>EXT</sub>およびC<sub>EXT</sub>は、アナログ入力部に推奨される外付けRCフィルタを構成する抵抗とコンデンサを指します ([外付けRCフィルタ](#)のセクションを参照)。
- アナログ入力高インピーダンス・モードが有効化されている場合の電源電流と消費電力の仕様値では、アナログ入力高インピーダンス・モードが全チャンネルについて有効になるように設定されています。消費電力は、アナログ入力高インピーダンス・モードを有効にして実行される変換の割合に比例します。

タイミング仕様

特に指定のない限り、AVDD = 3.15V~5.5V、LDO\_IN = 2.4V~5.5V (内部LDOイネーブル)、LDO\_IN = AGND (内部LDOディスエーブル)、VDD = 1.71V~1.89V (内部LDOディスエーブル)、VIO = 1.14V~1.98V、AGND = REFVDD = IOGND = 0V、VREF = 2.4V~5.1V、fs = 1MSPS (AD4698)、fs = 500kSPS (AD4697)、デジタル出力負荷容量 = 20pF、自動サイクル・モード無効、アクティブ過電圧保護クランプなし、TA = -40°C~+125°C。

表 2.

Parameter <sup>1</sup>	Symbol	Min	Typ	Max	Unit
Conversion Time	t <sub>CONVERT</sub>		380	415	ns
Acquisition Time	t <sub>ACQ</sub>				
Two-Cycle Command Mode, Standard Sequencer, or Advanced Sequencer Enabled					
fs = 1 MSPS		715			ns
fs = 500 kSPS		1715			ns
Single-Cycle Command Mode <sup>2</sup> Enabled					
CNV Period (Time Between Conversions)	t <sub>CYC</sub>				
fs = 1 MSPS, Autocycle Mode Disabled		1000			ns
fs = 500 kSPS, Autocycle Mode Disabled		2000			ns
Autocycle Mode Enabled					
AC_CYC = 0x0		8.5	10	11.5	μs
AC_CYC = 0x1		17	20	23	μs
AC_CYC = 0x2		34	40	46	μs
AC_CYC = 0x3		68	80	92	μs
AC_CYC = 0x4		85	100	115	μs
AC_CYC = 0x5		170	200	230	μs
AC_CYC = 0x6		340	400	460	μs
AC_CYC = 0x7		680	800	920	μs
CNV High Time	t <sub>CNVH</sub>	10			ns
CNV Low Time	t <sub>CNVL</sub>	80			ns

## 仕様

表2. (続き)

Parameter <sup>1</sup>	Symbol	Min	Typ	Max	Unit
$\overline{\text{CS}}$ High Time	$t_{\text{CSBH}}$	5			ns
$\overline{\text{CS}}$ Low to Digital Interface Ready Delay	$t_{\text{EN}}$			15	ns
$\overline{\text{CS}}$ High to SDO High Impedance Delay	$t_{\text{CSBDIS}}$			15	ns
SCK Period	$t_{\text{SCK}}$				
Register Configuration Mode		40			ns
Conversion Mode		12.5			ns
SCK Low Time	$t_{\text{SCKL}}$				
Register Configuration Mode		16			ns
Conversion Mode		5			ns
SCK High Time	$t_{\text{SCKH}}$				
Register Configuration Mode		16			ns
Conversion Mode		5			ns
SDI Data Setup Time Prior to SCK Rising Edge	$t_{\text{SSDI}}$	2			ns
SDI Data Hold Time After SCK Rising Edge	$t_{\text{HSDI}}$	2			ns
SCK Falling Edge to Data Remains Valid Delay	$t_{\text{HSDO}}$	1.5			ns
SCK Falling Edge to Data Valid Delay	$t_{\text{DSDO}}$			10.5	ns
Last SCK Edge to CNV Rising Edge Delay	$t_{\text{SCKCNV}}$	80			ns
Last SCK Rising Edge to $\overline{\text{CS}}$ Rising Edge Delay	$t_{\text{SCKCSB}}$	1			ns
CNV Rising Edge to Busy Indicator Rising Edge (Busy Indicator Enabled on General-Purpose Pin)	$t_{\text{CNVBSY}}$			20	ns
CNV Rising Edge to Alert Indicator Transition (Alert Indicator Enabled on General-Purpose Pin)	$t_{\text{CNVALT}}$			425	ns
Busy Indicator Low Time, Autocycle Mode Enabled (Busy Indicator Enabled on General-Purpose Pin)	$t_{\text{ACBSY}}$				
AC_CYC = 0x0		8			$\mu\text{s}$
AC_CYC = 0x1		16.5			$\mu\text{s}$
AC_CYC = 0x2		33.5			$\mu\text{s}$
AC_CYC = 0x3		67.5			$\mu\text{s}$
AC_CYC = 0x4		84.5			$\mu\text{s}$
AC_CYC = 0x5		169			$\mu\text{s}$
AC_CYC = 0x6		339			$\mu\text{s}$
AC_CYC = 0x7		679			$\mu\text{s}$
Register Configuration Mode Setup Time	$t_{\text{REGCONFIG}}$	20			ns
RESET Low Time	$t_{\text{RESETL}}$	10			ns
Hardware Reset Delay (VDD Always Supplied)	$t_{\text{HWR\_DELAY}}$	310			$\mu\text{s}$
Software Reset Delay	$t_{\text{SWR\_DELAY}}$	310			$\mu\text{s}$
VDD Power-On Reset Delay	$t_{\text{POR\_VDD}}$		2		ms
VIO Power-On Reset Delay (VDD Supplied Externally)	$t_{\text{POR\_VIO1}}$		1.3		ms
LDO_IN Power-On Reset Delay	$t_{\text{POR\_LDO}}$		3.2		ms
VIO Power-On Reset Delay (VDD Supplied by Internal LDO)	$t_{\text{POR\_VIO2}}$		3		ms
LDO Wake-Up Command Power-On Reset Delay	$t_{\text{WAKEUP\_SW}}$		3		ms
Hardware Reset Delay (Internal LDO Disabled)	$t_{\text{WAKEUP\_HW}}$		3		ms

1 すべての仕様値に対し、AVDDとREFの入力の相対電圧は、表1のリファレンスおよび電源条件の各セクションで仕様規定されている動作条件に従います。

2 単一サイクル・コマンド・モードのアクイジション時間は、サンプリング・レートとSCK周波数に依存します (単一サイクル・コマンド・モードのセクションを参照)。

## 絶対最大定格

表 3.

Parameter	Rating
Analog Inputs	
INn <sup>1</sup> , COM to REFGND	-0.3 V to REF + 0.3 V
Reference Inputs	
REF, REFIN to AGND, REFGND, IOGND	-0.3 V to +6 V
REF to REFIN	-6.3 V to +6.3 V
Supply Inputs	
AVDD, LDO_IN to AGND, REFGND, IOGND	-0.3 V to +6 V
VDD, VIO to AGND, REFGND, IOGND	-0.3 V to +2.1 V
AVDD to LDO_IN	-6.3 V to +6.3 V
AVDD, LDO_IN to REF	-6.3 V to +6.3 V
VDD, VIO to AVDD, LDO_IN, REF	-6.3 V to +2.4 V
VDD to VIO	-2.4 V to +2.4 V
Ground	
AGND, IOGND to REFGND	-0.3 V to +0.3 V
AGND to IOGND	-0.3 V to +0.3 V
Digital Inputs <sup>2</sup> to IOGND	-0.3 V to +6 V
Digital Outputs <sup>2</sup> to IOGND	-0.3 V to VIO + 0.3 V
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
Lead Temperature Soldering	260°C reflow, as per JEDEC J-STD-020

1 INnは、ピンIN0～ピンIN7のアナログ入力を指します。

2 デジタル入力ピンとデジタル出力ピンの一覧については、[ピン配置およびピン機能の説明](#)のセクションを参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。長時間にわたり最大動作条件を超えて動作させると、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCBの熱設計には、細心の注意を払う必要があります。

$\theta_{JA}$ は最も厳しい条件で仕様規定されたもので、1立方フィートの密閉容器内で測定された、自然対流でのジャンクションと周囲の間の熱抵抗です。 $\theta_{JC}$ は、ジャンクションとケースの間の熱抵抗です。

表4に仕様規定されている熱抵抗値は、JEDEC仕様に基づいて計算されており、JESD51-12に準拠して使用します。最も厳しい条件でのジャンクション温度が記載されています。

$\theta_{JA}$ は、アプリケーションとボード・レイアウトに大きく依存します。最大消費電力が大きいアプリケーションでは、ボードの熱設計に細心の注意が必要です。 $\theta_{JA}$ 値は、PCBの材料、レイアウト、環境条件に応じて異なる場合があります。

表 4. 熱抵抗

Package Type	$\theta_{JA}$ <sup>1</sup>	$\theta_{JC}$ <sup>2</sup>	Unit
CP-24-8	41.8	15	°C/W
CB-36-5	41.8	0.1	°C/W

1 シミュレーション値は、JEDEC自然対流環境での9個のサーマル・ビアを備えたJEDEC 2S2P熱テスト・ボードに基づいたものです。JEDEC JESD-51を参照してください。

2 シミュレーション値は、冷却板が直接取り付けられたパッケージ上面について測定されたものです。

## 静電放電（ESD）定格

以下のESD情報は、ESDに敏感なデバイスをESDに対して保護された環境においてのみ取り扱う場合のものです。

ANSI/ESDA/JEDEC JS-001準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002準拠の電界誘起帯電デバイス・モデル（FICDM）。

## AD4697/AD4698のESD定格

表 5. AD4697/AD4698、24ピンLFCSP

ESD Model	Withstand Threshold (kV)	Class
HBM	4	2
FICDM	1.25	C3

表 6. AD4697/AD4698、36ピンWLCSP

ESD Model	Withstand Threshold (kV)	Class
HBM	3	2
FICDM	1	C3

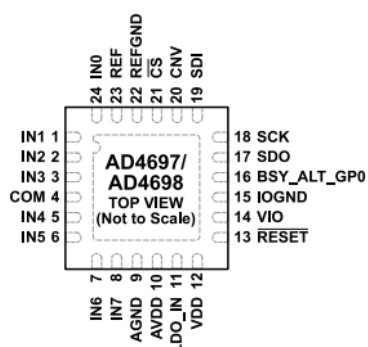
## ESDに関する注意



## ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能の説明



NOTES  
 1. EXPOSED PAD. THE EXPOSED PAD IS NOT CONNECTED INTERNALLY. FOR INCREASED RELIABILITY OF THE SOLDER JOINTS, IT IS RECOMMENDED THAT THE PAD BE SOLDERED TO THE SYSTEM GROUND PLANE.

図 2. AD4697/AD4698 LFCSPのピン配置

表 7. AD4697/AD4698 LFCSPのピン機能の説明

番号	記号	タイプ <sup>1</sup>	説明
1	IN1	AI	アナログ入力1。
2	IN2	AI	アナログ入力2。
3	IN3	AI	アナログ入力3。
4	COM	AI	共通のチャンネル入力。IN0~IN7は、ADCコアのCOMと対をなし、それらの間の差動電圧をサンプルすることもできます。COMは、形式上は、信号グラウンド（ユニポーラ・モード）またはVREF/2（疑似バイポーラ・モード）に接続します。入力のペアリング、ユニポーラ・モード、疑似バイポーラ・モードの詳細については、 <a href="#">チャンネル設定オプション</a> のセクションを参照してください。
5	IN4	AI	アナログ入力4。
6	IN5	AI	アナログ入力5。
7	IN6	AI	アナログ入力6。
8	IN7	AI	アナログ入力7。
9	AGND	P	アナログ電源のグラウンド。AVDD、LDO_IN、VDDはAGNDを基準とします。
10	AVDD	P	アナログ電源。AVDDの公称値は3.15V~5.5Vです。AVDDは100nFのコンデンサを局所的に用いてAGNDとデカップリングします。
11	LDO_IN	P	内部LDO入力。LDO_INの公称値は、内部LDOがイネーブル時に、2.4V~5.5Vです。LDO_INは100nFのコンデンサを局所的に用いてAGNDとデカップリングします。VDDに外部1.8Vレールで給電する場合、LDO_INはAGNDに接続します。詳細については、 <a href="#">内部LDO</a> のセクションを参照してください。
12	VDD	P	ADCコア電源。VDDは公称1.8Vです。VDDは100nFのコンデンサを局所的に用いてAGNDとデカップリングします。内部LDOがイネーブルされている場合、VDDは内部で生成されます。外部レールでVDDに給電する場合は、内部LDOはディスエーブルします。
13	$\overline{\text{RESET}}$	DI	ハードウェア・リセット入力。 $\overline{\text{RESET}}$ をローに駆動するとデバイスのハードウェア・リセットを実行し、レジスタの状態をデフォルト値にリセットすることができます（ <a href="#">デバイスのリセット</a> のセクションを参照）。
14	VIO	P	入出力インターフェースのデジタル電源。VIOは、設計上はホスト・インターフェースと同じ電源（例えば1.2V~1.8V）です。VIOは100nFのコンデンサを局所的に用いてIOGNDとデカップリングします。
15	IOGND	P	入出力インターフェースのデジタル電源のグラウンド。VIOはIOGNDを基準とします。
16	BSY_AL T_GP0	DI/DO	汎用ピン0。LFCSPオプションでは、BSY_ALT_GP0は、汎用入出力（GPIO）、閾値検出アラート・インジケータ、ビジー・インジケータ、またはデュアルSDOモードの二次シリアル・データ出力として機能するよう設定できます（ <a href="#">汎用ピン</a> のセクションを参照）。
17	SDO	DO	シリアル・データ出力。デバイスがレジスタ設定モードに設定されている場合、SPI読出しトランザクションの間にSDOを使用して設定レジスタのデータを読み出すことができます。デバイスが変換モードに設定されている場合は、SDOを使用して変換結果を読み出すことができます。データ出力は、SCKの立下がりエッジに同期しています。
18	SCK	DI	シリアル・データ・クロック入力。SCKは、デバイスがレジスタ設定モードまたは変換モードに設定されている場合に、データをSDOにクロック・アウトするため、およびSDIにクロック・インするために使用されます。
19	SDI	DI	シリアル・データ入力。デバイスがレジスタ設定モードに設定されている場合、SDIを使用すると、SPIの読出しトランザクションおよび書込みトランザクションを実行して設定レジスタの読書きを行うことができます。変換モードでは、SDIは表18に示すように、デジタル・ホストから5ビットのコマンドを受け取ります。
20	CNV	DI	変換入力。デバイスが変換モードに設定されている場合、CNVの立下がりエッジによって選択したアナログ入力の変換が開始されます。AD4697/AD4698では、CNVをCSIに接続することで4線式SPIとインターフェース接続できます。

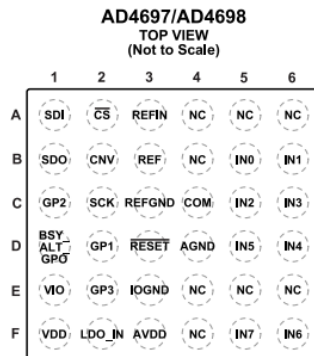


ピン配置およびピン機能の説明

表 7. AD4697/AD4698 LFCSPのピン機能の説明

番号	記号	タイプ <sup>1</sup>	説明
21	$\overline{CS}$	DI	詳細については、 <a href="#">デジタル・インターフェース動作</a> のセクションを参照してください。 チップ・セレクト入力。レジスタ設定モードに設定されている場合、 $\overline{CS}$ は、設定レジスタの読書きを行うSPIの読出しトランザクションおよび書込みトランザクションをフレーム化します。デバイスが変換モードに設定されている場合は、 $\overline{CS}$ は、変換全体を通じてローを維持するか、変換結果をリードバックするSPIトランザクションをフレーム化します。AD4697/AD4698では、CNVを $\overline{CS}$ に接続することで4線式SPIとインターフェース接続できます。詳細については、 <a href="#">デジタル・インターフェース動作</a> のセクションを参照してください。
22	REFGND	P	リファレンス・グラウンド。REFはREFGNDを基準とします。IN0～IN7は、ADCコアのREFGNDと対をなし、それらの間の差動電圧をサンプルすることもできます。入力のペアリングの詳細については、 <a href="#">チャンネル設定オプション</a> のセクションを参照してください。
23	REF	AI	リファレンス入力。V <sub>REF</sub> は、外部の2.4V～5.1V高精度リファレンス電圧から供給する必要があります。最適な動作のためには、1μF以上のコンデンサを使用してREFピンをデカップリングする必要があります。詳細については、 <a href="#">電圧リファレンス入力</a> のセクションを参照してください。
24	IN0	AI	アナログ入力0。
25	EPAD	NC	露出パッド。露出パッドは内部で接続されていません。ハンダ接続の信頼性を向上させるため、このパッドをシステムのグラウンド・プレーンにハンダ付けすることを推奨します。

1 AIはアナログ入力、Pは電源、DIはデジタル入力、DOはデジタル出力、NCは内部接続なしを意味します。



NOTES  
1. NC = NO CONNECT. THESE PINS SHOULD BE LEFT OPEN OR CONNECTED TO AGND.

図 3. AD4697/AD4698 WLCSPのピン配置

表 8. AD4697/AD4698 WLCSPのピン機能の説明

ボール番号	記号	タイプ <sup>1</sup>	説明
A1	SDI	DI	シリアル・データ入力。デバイスがレジスタ設定モードに設定されている場合、SDIを使用すると、SPIの読出しトランザクションおよび書込みトランザクションを実行して設定レジスタの読書きを行うことができます。変換モードでは、SDIは表18に示すように、デジタル・ホストから5ビットのコマンドを受け取ります。
A2	$\overline{CS}$	DI	チップ・セレクト入力。レジスタ設定モードに設定されている場合、 $\overline{CS}$ は、設定レジスタの読書きを行うSPIの読出しトランザクションおよび書込みトランザクションをフレーム化します。デバイスが変換モードに設定されている場合は、 $\overline{CS}$ は、変換全体を通じてローを維持するか、変換結果をリードバックするSPIトランザクションをフレーム化します。AD4697/AD4698では、CNVを $\overline{CS}$ に接続することで4線式SPIとインターフェース接続できます。詳細については、 <a href="#">デジタル・インターフェース動作</a> のセクションを参照してください。
A3	REFIN	AI	内部リファレンス・バッファ入力。内部リファレンス・バッファを使用することで、リファレンス電圧源をバッファし、REFピンを内部で駆動することができます。内部リファレンス・バッファがイネーブルされている場合、REFINピンは外部の2.4V～5.1V高精度リファレンス源で駆動する必要があります。内部リファレンス・バッファを使用しない場合、REFINはREFに接続する必要があります。詳細については、 <a href="#">内部リファレンス・バッファ</a> のセクションを参照してください。
A4	NC	NC	接続なし。このピンは開放のままにするかAGNDに接続してください。
A5	NC	NC	接続なし。このピンは開放のままにするかAGNDに接続してください。
A6	NC	NC	接続なし。このピンは開放のままにするかAGNDに接続してください。
B1	SDO	DO	シリアル・データ出力。デバイスがレジスタ設定モードに設定されている場合、SPI読出しトランザクションの間にSDOを使用して設定レジスタのデータを読み出すことができます。デバイスが変換モードに設定されている場合は、SDOを使用して変換結果を読み出すことができます。データ出力は、SCKの立下がりエッジに同期しています。

## ピン配置およびピン機能の説明

表 8. AD4697/AD4698 WLCSPのピン機能の説明

ボール番号	記号	タイプ <sup>1</sup>	説明
B2	CNV	DI	変換入力。デバイスが変換モードに設定されている場合、CNVの立上がりエッジによって選択したアナログ入力の変換が開始されます。AD4697/AD4698では、CNVをCSに接続することで4線式SPIとインターフェース接続できます。詳細については、 <a href="#">デジタル・インターフェース動作</a> のセクションを参照してください。
B3	REF	AI	リファレンス入力。V <sub>REF</sub> は、外部の2.4V~5.1V高精度リファレンス電圧から供給する必要があります。最適な動作のためには、1μF以上のコンデンサを使用してREFピンをデカップリングする必要があります。詳細については、 <a href="#">電圧リファレンス入力</a> のセクションを参照してください。
B4	NC	NC	接続なし。このピンは開放のままにするかAGNDに接続してください。
B5	IN0	AI	アナログ入力0。
B6	IN1	AI	アナログ入力1。
C1	GP2	DI/DO	汎用ピン2。汎用出力、閾値検出アラート・インジケータ、またはクワッドSDOモードの3つ目のシリアル・データ出力として機能するよう設定できます（ <a href="#">汎用ピン</a> のセクションを参照）。
C2	SCK	DI	シリアル・データ・クロック入力。SCKは、デバイスがレジスタ設定モードまたは変換モードに設定されている場合に、データをSDOにクロック・アウトするため、およびSDIにクロック・インするために使用されます。
C3	REFGND	P	リファレンス・グラウンド。REFはREGNDを基準とします。IN0~IN7は、ADCコアのREFGNDと対をなし、それらの間の差動電圧をサンプルすることもできます。入力のペアリングの詳細については、 <a href="#">チャンネル設定オプション</a> のセクションを参照してください。
C4	COM	AI	共通のチャンネル入力。IN0~IN7は、ADCコアのCOMと対をなし、それらの間の差動電圧をサンプルすることもできます。COMは、形式上は、信号グラウンド（ユニポーラ・モード）またはV <sub>REF</sub> /2（疑似バイポーラ・モード）に接続します。入力のペアリング、ユニポーラ・モード、疑似バイポーラ・モードの詳細については、 <a href="#">チャンネル設定オプション</a> のセクションを参照してください。
C5	IN2	AI	アナログ入力2。
C6	IN3	AI	アナログ入力3。
D1	BSY_ALT T_GP0	DI/DO	汎用ピン0。WLCSPオプションでは、BSY_ALT_GP0は、GPIO、閾値検出アラート・インジケータ、またはビジー・インジケータとして機能するよう設定できます（ <a href="#">汎用ピン</a> のセクションを参照）。
D2	GP1	DI/DO	汎用ピン1。汎用出力、またはデュアルおよびクワッドSDOモードの2つ目のシリアル・データ出力として機能するよう設定できます（ <a href="#">汎用ピン</a> のセクションを参照）。
D3	<u>RESET</u>	DI	ハードウェア・リセット入力。 <u>RESET</u> をローに駆動するとデバイスのハードウェア・リセットを実行し、レジスタの状態をデフォルト値にリセットすることができます（ <a href="#">デバイスのリセット</a> のセクションを参照）。
D4	AGND	P	アナログ電源のグラウンド。AVDD、LDO_IN、VDDはAGNDを基準とします。
D5	IN5	AI	アナログ入力5。
D6	IN4	AI	アナログ入力4。
E1	VIO	P	入出力インターフェースのデジタル電源。VIOは、設計上はホスト・インターフェースと同じ電源（例えば1.2V~1.8V）です。VIOは100nFのコンデンサを局所的に用いてIOGNDとデカップリングします。
E2	GP3	DI/DO	汎用ピン3。汎用出力、ビジー・インジケータ、またはクワッドSDOモードの4つ目のシリアル・データ出力として機能するよう設定できます（ <a href="#">汎用ピン</a> のセクションを参照）。
E3	IOGND	P	入出力インターフェースのデジタル電源のグラウンド。VIOはIOGNDを基準とします。
E4	NC	NC	接続なし。このピンは開放のままにするかAGNDに接続してください。
E5	NC	NC	接続なし。このピンは開放のままにするかAGNDに接続してください。
E6	NC	NC	接続なし。このピンは開放のままにするかAGNDに接続してください。
F1	VDD	P	ADCコアの電源。VDDは公称1.8Vです。VDDは100nFのコンデンサを局所的に用いてAGNDとデカップリングします。内部LDOがイネーブルされている場合、VDDは内部で生成されます。外部レールでVDDに給電する場合は、内部LDOはディスエーブルします。
F2	LDO_IN	P	内部LDO入力。LDO_INの公称値は、内部LDOがイネーブル時に、2.4V~5.5Vです。LDO_INは100nFのコンデンサを局所的に用いてAGNDとデカップリングします。VDDに外部1.8Vレールで給電する場合、LDO_INはAGNDに接続します。詳細については、 <a href="#">内部LDO</a> のセクションを参照してください。
F3	AVDD	P	アナログ電源。AVDDの公称値は3.15V~5.5Vです。AVDDは100nFのコンデンサを局所的に用いてAGNDとデカップリングします。
F4	NC	NC	接続なし。このピンは開放のままにするかAGNDに接続してください。
F5	IN7	AI	アナログ入力7。
F6	IN6	AI	アナログ入力6。

1 DIはデジタル入力、AIはアナログ出力、NCは接続なし、DOはデジタル出力、Pは電源を意味します。



代表的な性能特性

特に指定のない限り、 $V_{DD} = LDO\_IN = 5V$ 、 $V_{IO} = 1.8V$ 、 $V_{REF} = 5V$ 、 $f_{SCK} = 50MHz$ 、ユニポーラ・モード、アナログ入力高インピーダンス・モード有効、内部LDO有効、 $f_s = 1MSPS$  (AD4698)、 $f_s = 500kSPS$  (AD4697)、アクティブ・クランプなし、自動サイクル・モード無効、 $OSR = 1$ 、 $T_A = 25^\circ C$ 。

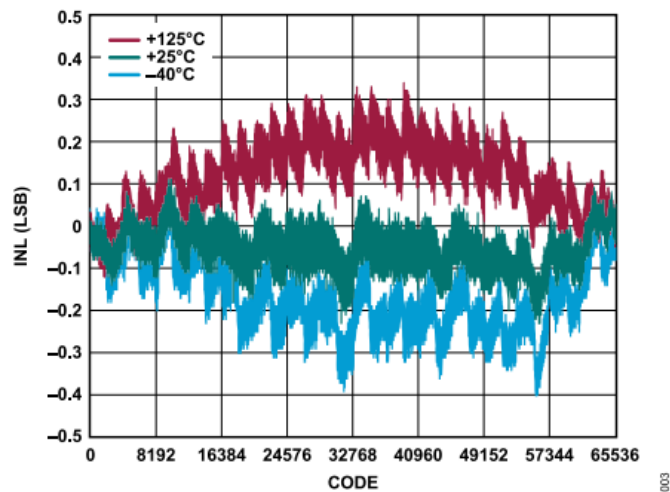


図 4. INLとコードの関係、 $V_{REF} = 5V$

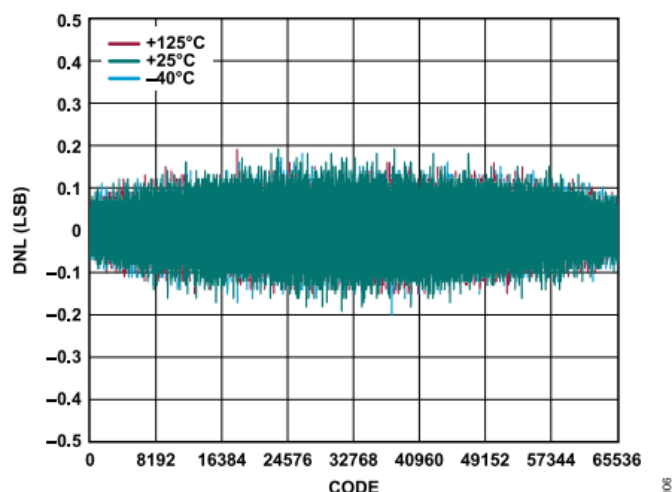


図 7. DNLとコードの関係、 $V_{REF} = 5V$

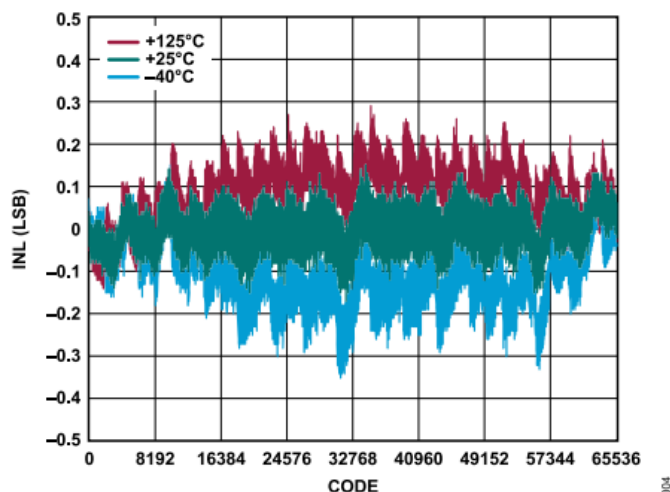


図 5. INLとコードの関係、 $V_{REF} = 4.096V$

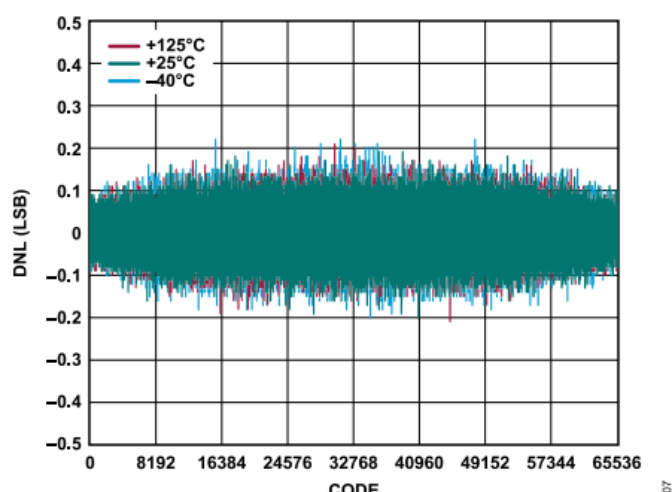


図 8. DNLとコードの関係、 $V_{REF} = 4.096V$

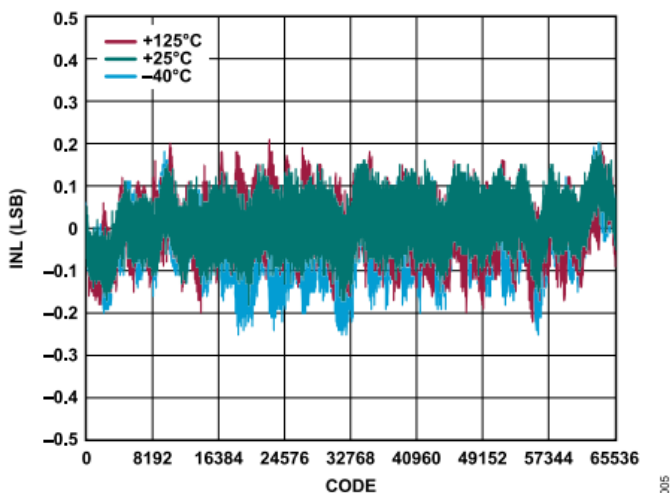


図 6. INLとコードの関係、 $V_{REF} = 2.5V$

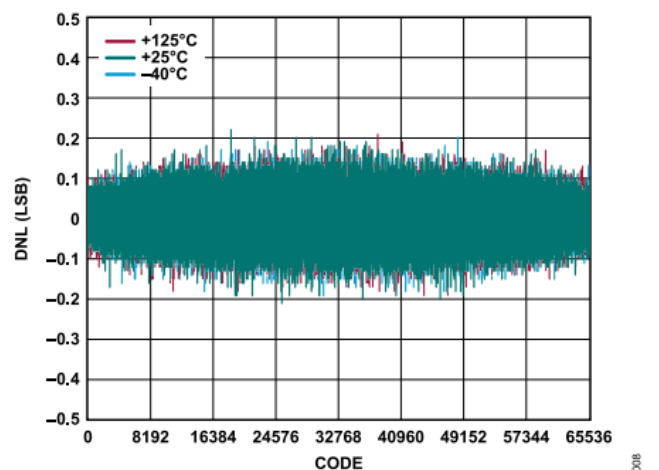


図 9. DNLとコードの関係、 $V_{REF} = 2.5V$

代表的な性能特性

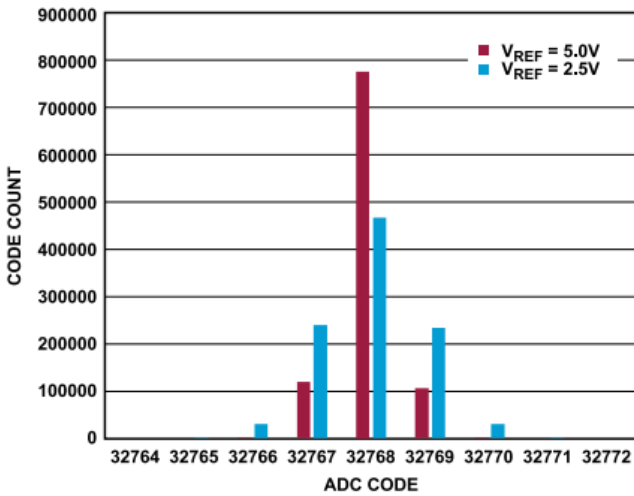


図 10. コード中心でのDC入力のヒストグラム、OSR = 1

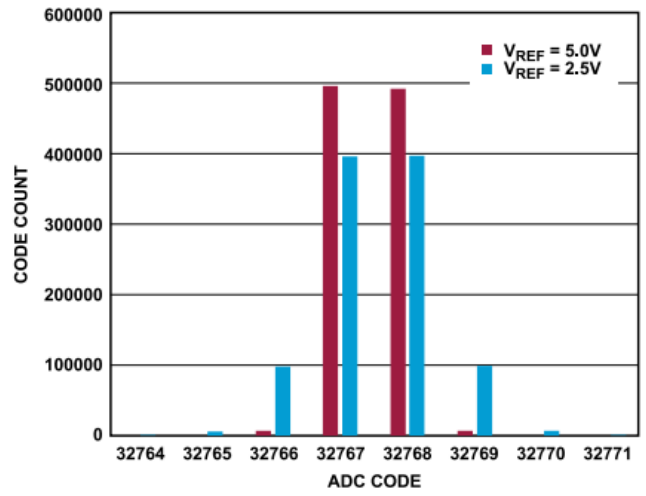


図 13. コード遷移でのDC入力のヒストグラム、OSR = 1

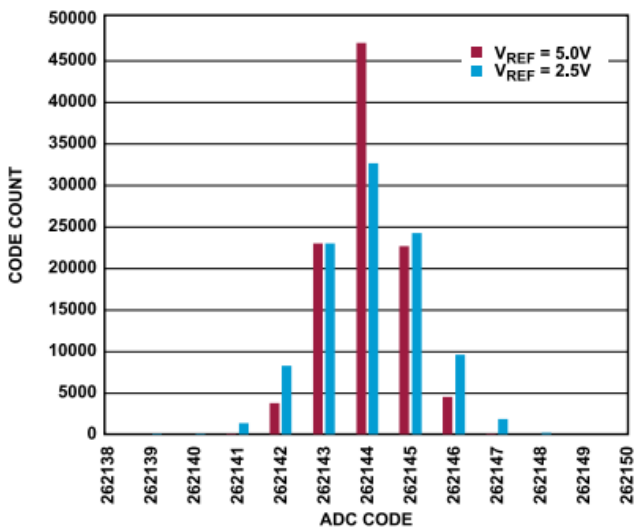


図 11. コード中心でのDC入力のヒストグラム、OSR = 64

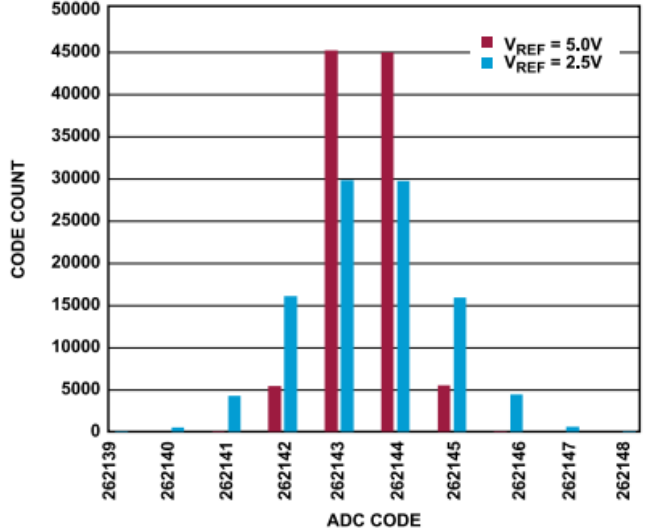


図 14. コード遷移でのDC入力のヒストグラム、OSR = 64

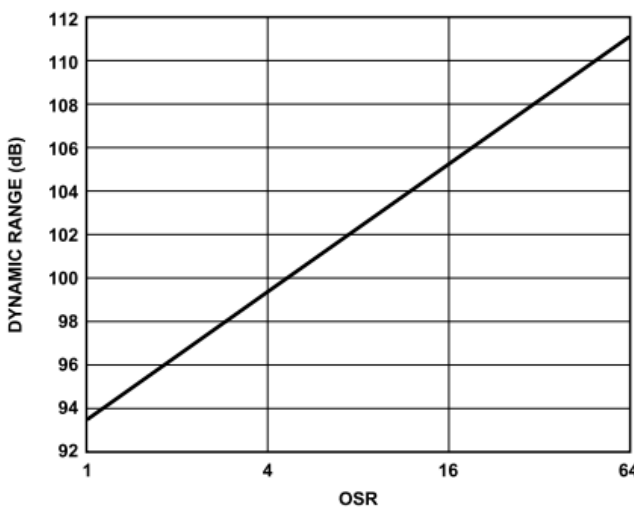


図 12. ダイナミック・レンジとOSRの関係

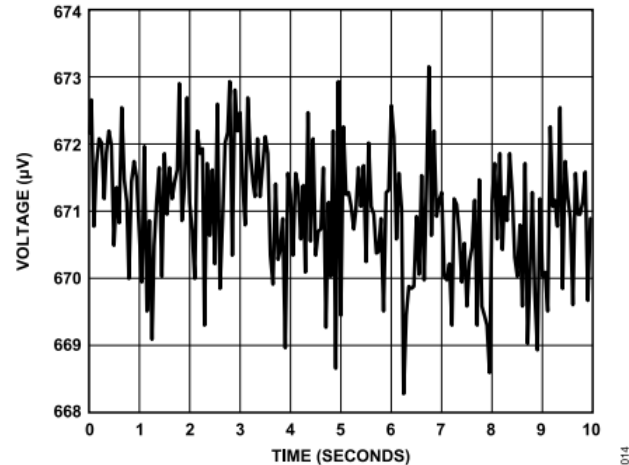


図 15. 1/fノイズ (0.1Hz~10Hz帯域幅)、50kSPS、1回の読出しで2500個のサンプルを平均化

代表的な性能特性

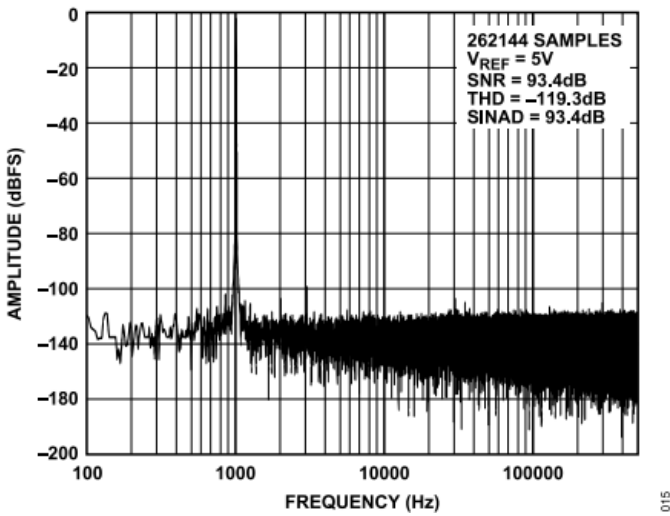


図 16. 高速フーリエ変換 (FFT)、 $f_{IN} = 1\text{kHz}$ 、 $V_{REF} = 5\text{V}$ 、 $OSR = 1$

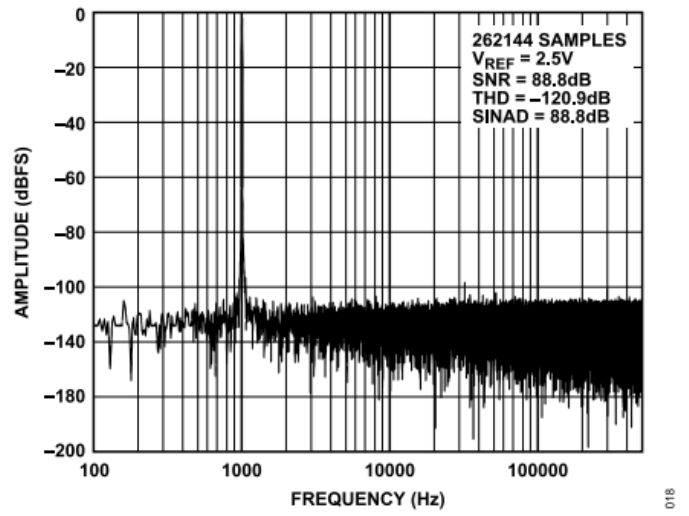


図 19. FFT、 $f_{IN} = 1\text{kHz}$ 、 $V_{REF} = 2.5\text{V}$ 、 $OSR = 1$

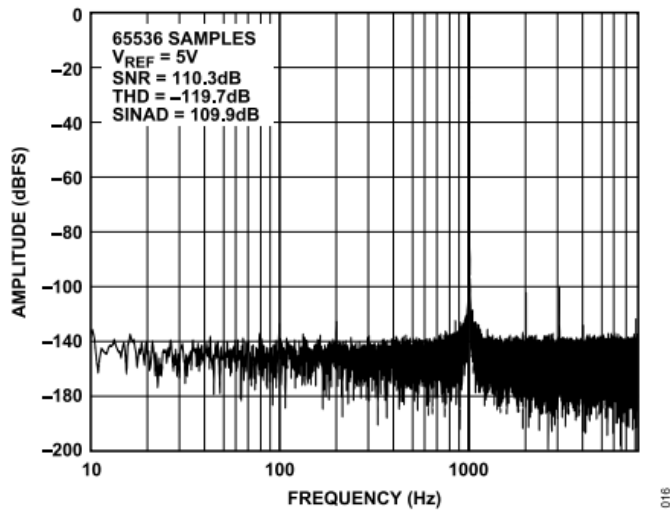


図 17. FFT、 $f_{IN} = 1\text{kHz}$ 、 $V_{REF} = 5\text{V}$ 、 $OSR = 64$

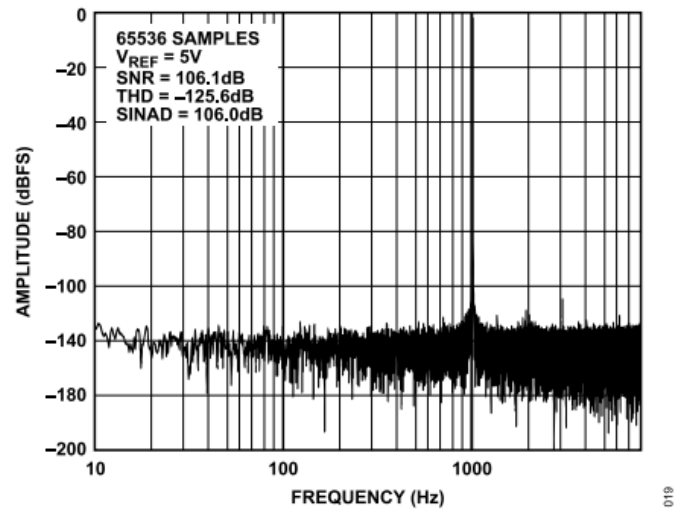


図 20. FFT、 $f_{IN} = 1\text{kHz}$ 、 $V_{REF} = 2.5\text{V}$ 、 $OSR = 64$

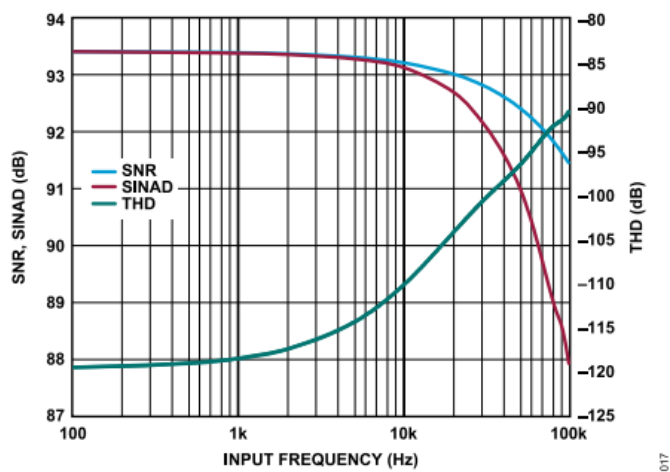


図 18. SNR、SINAD、THDと入力周波数の関係

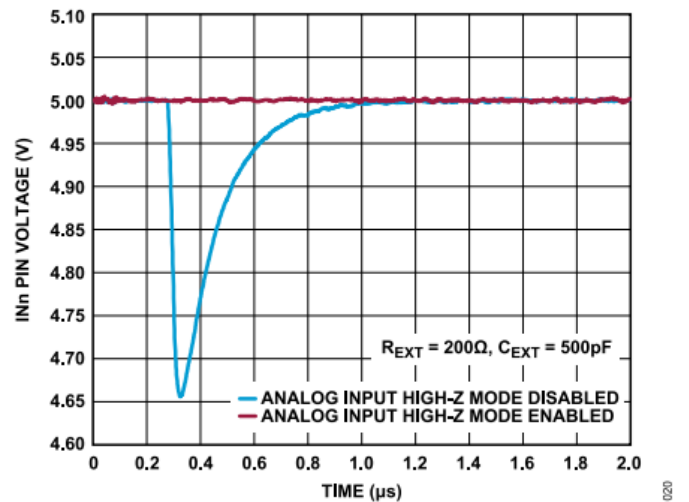


図 21. アナログ入力高インピーダンス・モードが無効の場合と有効の場合のアナログ入力電圧ステップ

代表的な性能特性

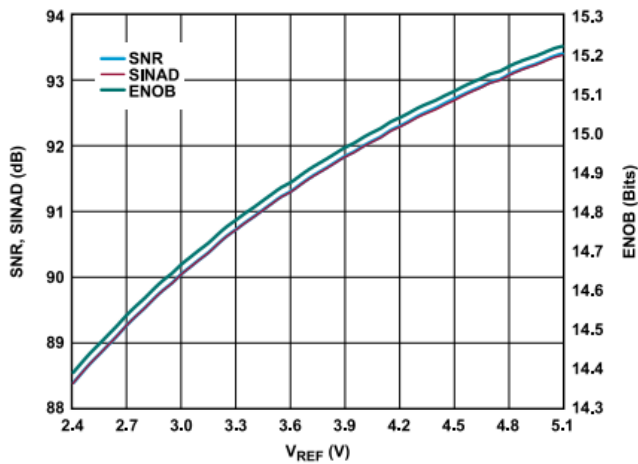


図 22. SNR、SINAD、有効ビット数 (ENOB) と  $V_{REF}$  の関係、 $f_{IN} = 1\text{kHz}$

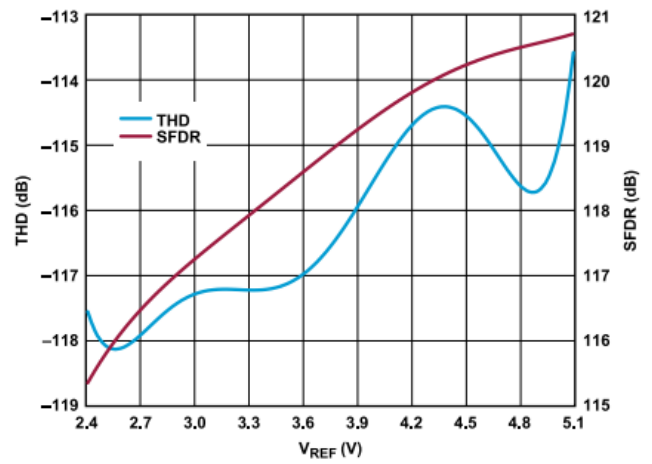


図 25. THD、SFDR と  $V_{REF}$  の関係、 $f_{IN} = 1\text{kHz}$

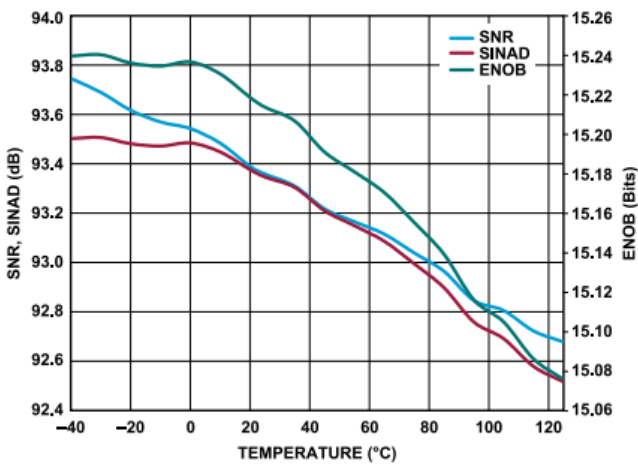


図 23. SNR、SINAD、ENOB と温度の関係、 $f_{IN} = 1\text{kHz}$

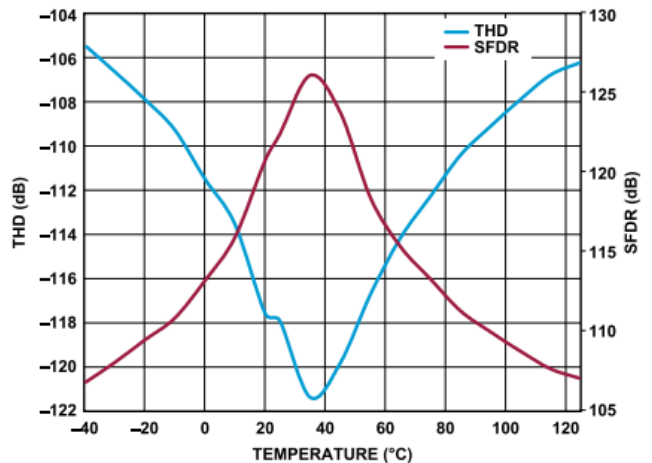


図 26. THD、SFDR と温度の関係、 $f_{IN} = 1\text{kHz}$

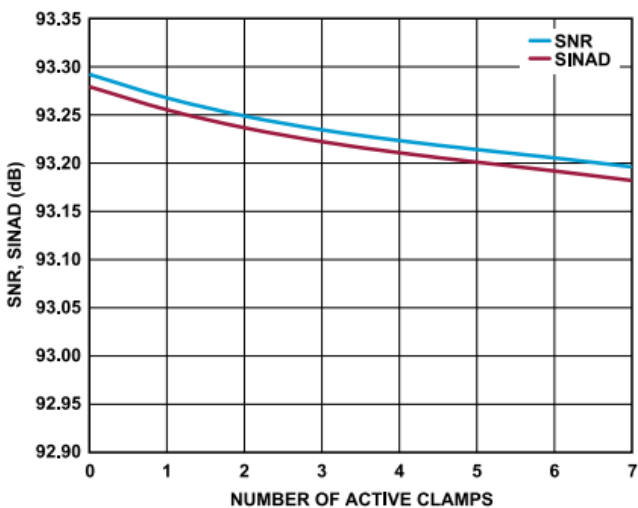


図 24. SNR、SINAD とアクティブ・クランプ数の関係、減少電流モード無効

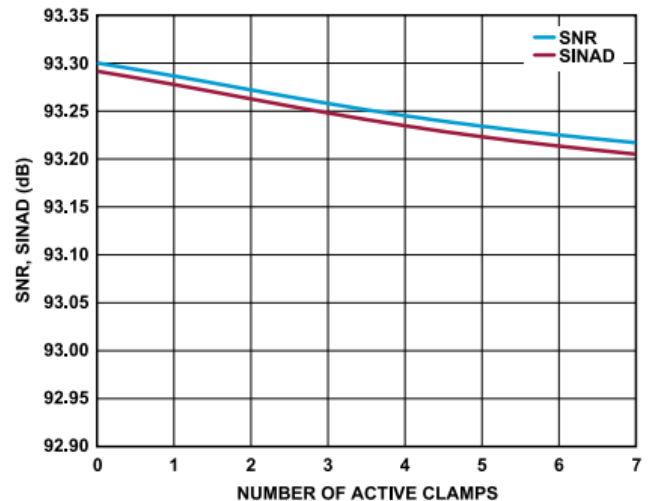


図 27. SNR、SINAD とアクティブ・クランプ数の関係、減少電流モード有効

代表的な性能特性

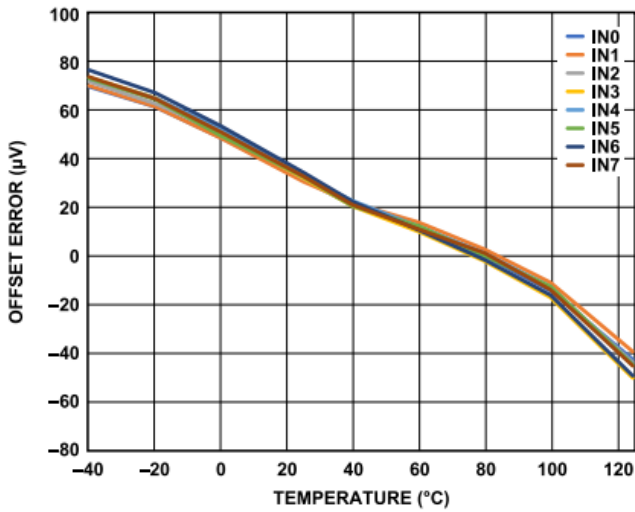


図 28. オフセット誤差と温度の関係

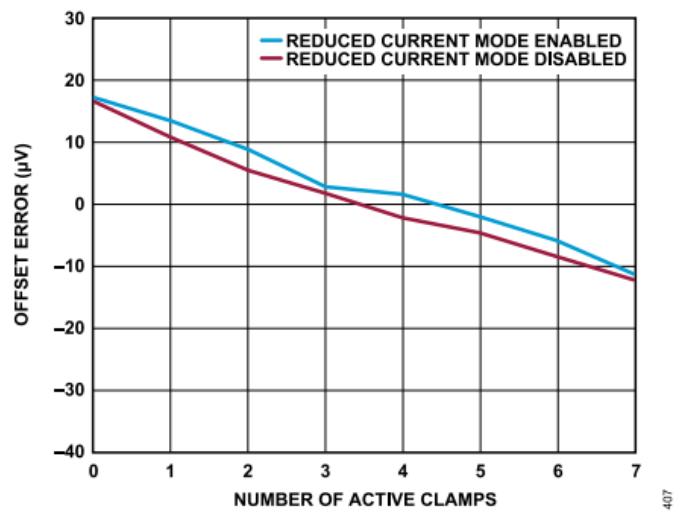


図 31. オフセット誤差とアクティブ・クランプ数の関係、クランプ電流 = 5mA

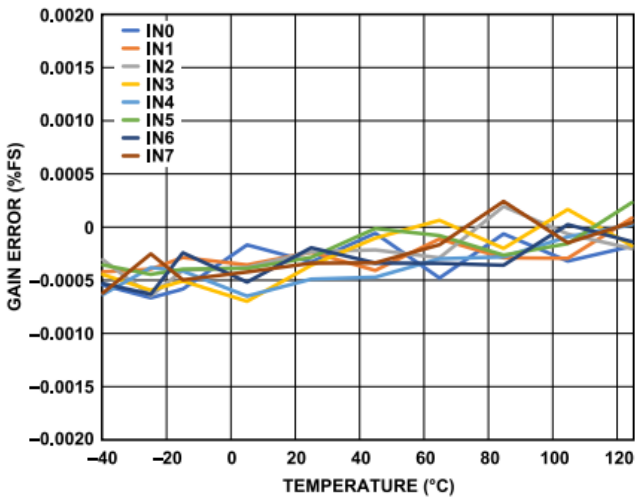


図 29. ゲイン誤差と温度の関係、内部リファレンス・バッファをディスエーブル

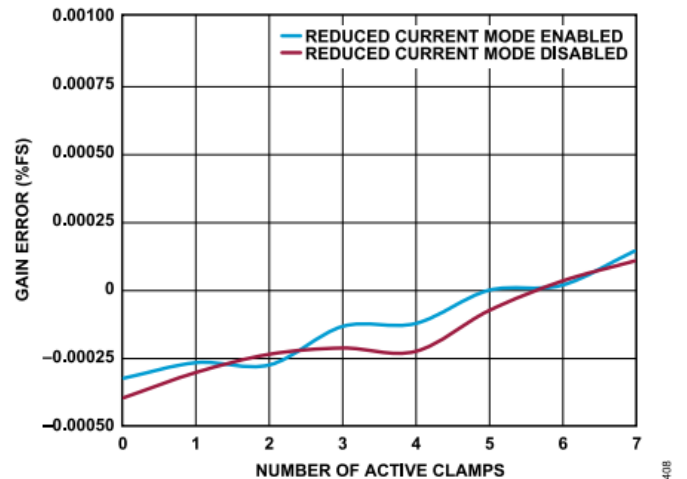


図 32. ゲイン誤差とアクティブ・クランプ数の関係、クランプ電流 = 5mA、内部リファレンス・バッファをディスエーブル

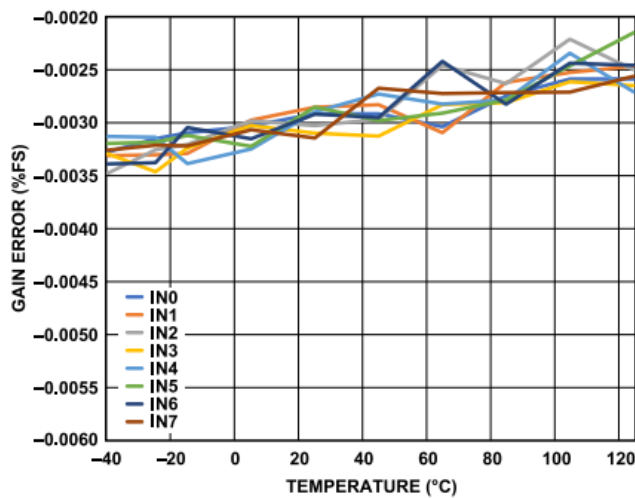


図 30. ゲイン誤差と温度の関係、内部リファレンス・バッファをイネーブル

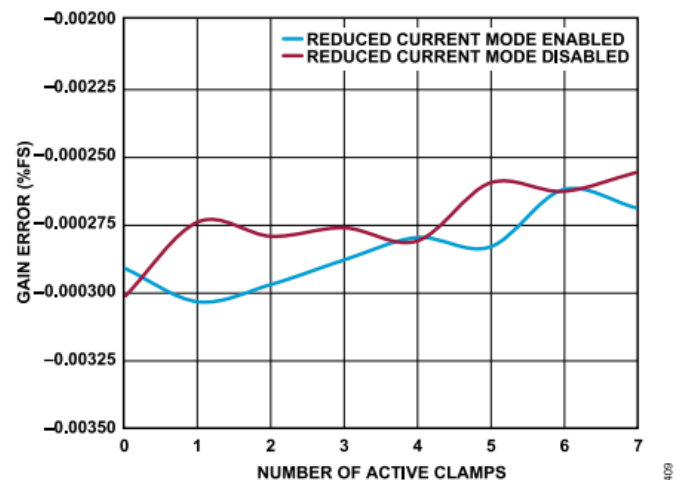


図 33. ゲイン誤差とアクティブ・クランプ数の関係、クランプ電流 = 5mA、内部リファレンス・バッファをイネーブル

代表的な性能特性

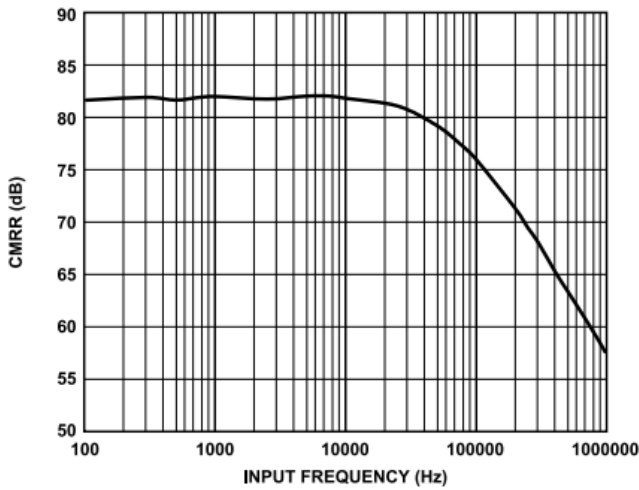


図 34. CMRRと入力周波数の関係

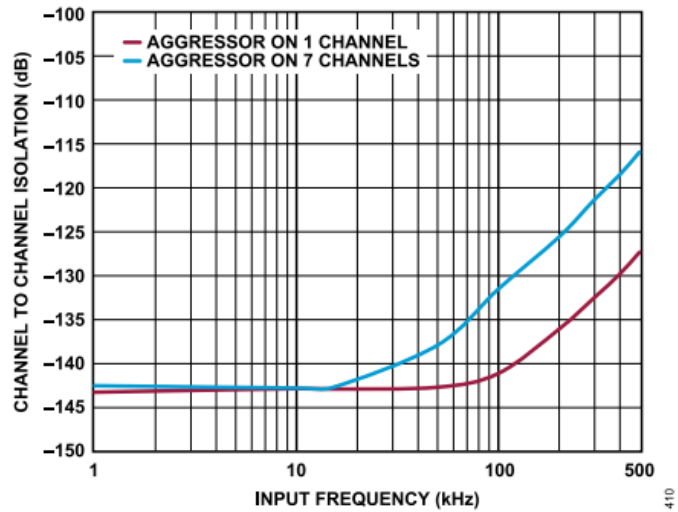


図 37. チャンネル間絶縁と入力周波数の関係

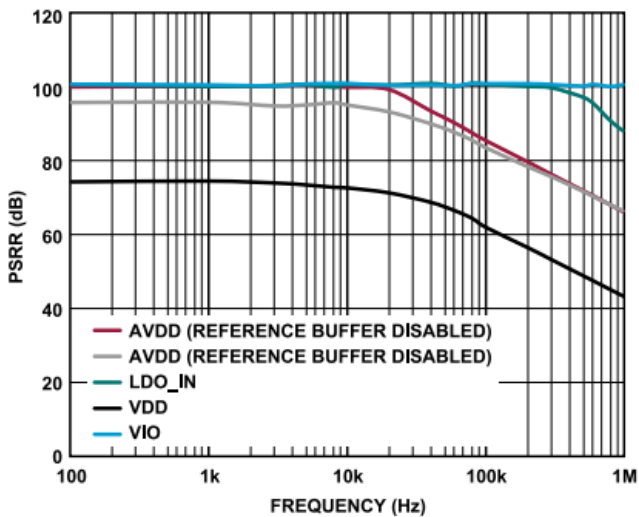


図 35. PSRRと周波数の関係

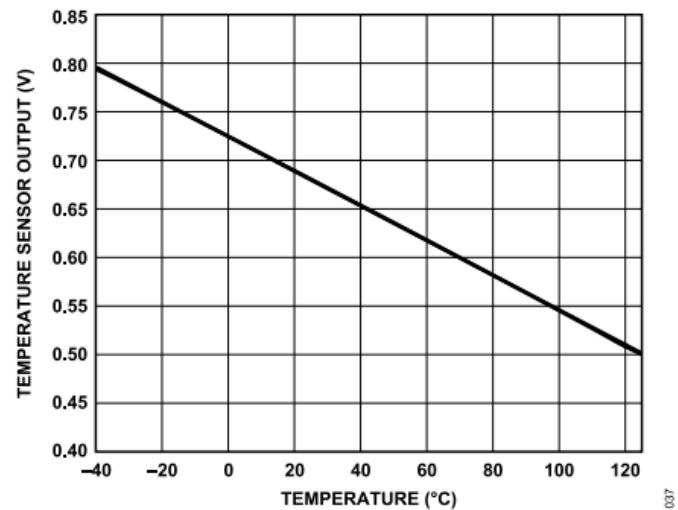


図 38. 温度センサー出力と温度の関係

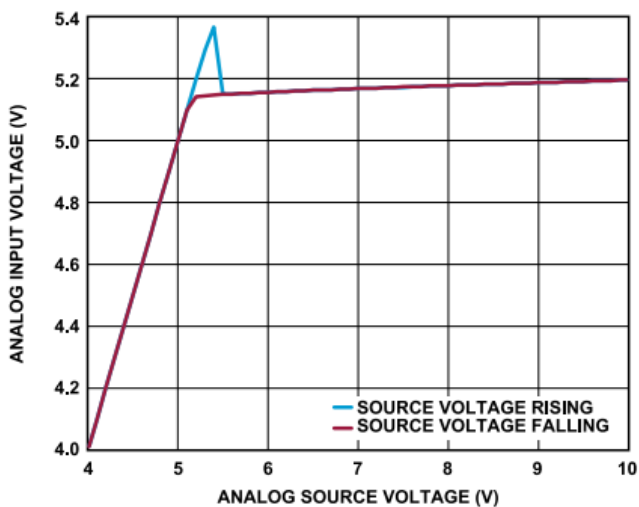


図 36. アナログ入力電圧とアナログ・ソース電圧の関係、 $R_{EXT} = 1k\Omega$ 、 $V_{REF} = 5V$

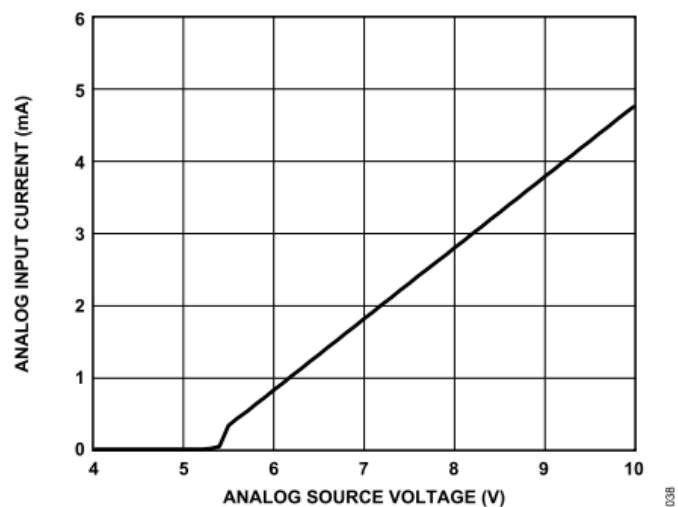


図 39. アナログ入力電流とアナログ・ソース電圧の関係、 $R_{EXT} = 1k\Omega$ 、 $V_{REF} = 5V$



代表的な性能特性

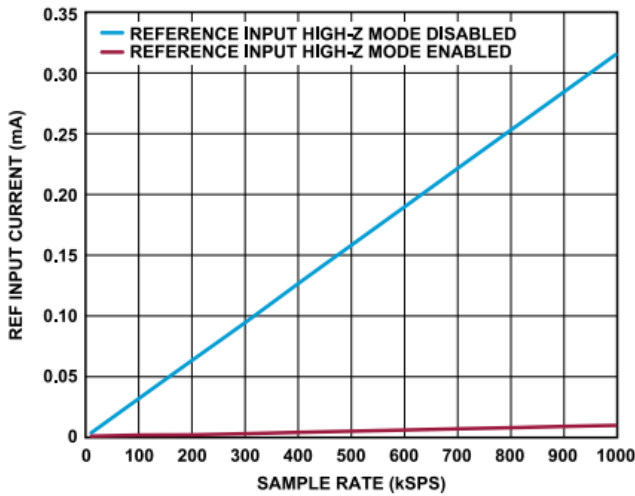


図 40. REF入力電流とサンプリング電流の関係、 $V_{REF} = 5V$

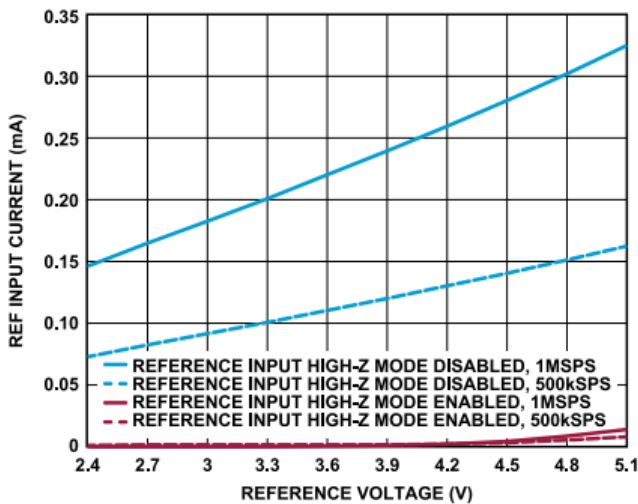


図 41. REF入力電流とリファレンス電圧の関係、 $f_s = 1MSPS$ および500kSPS

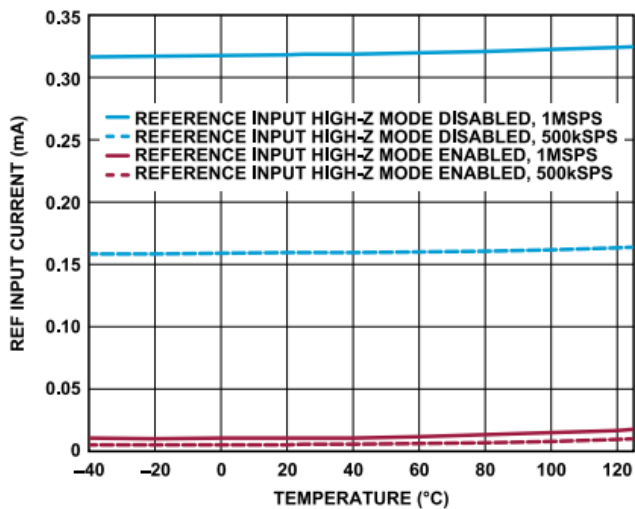


図 42. REF入力電流と温度の関係、 $V_{REF} = 5V$ 、CNV信号の周波数( $f_{CNV}$ ) = 1MSPS

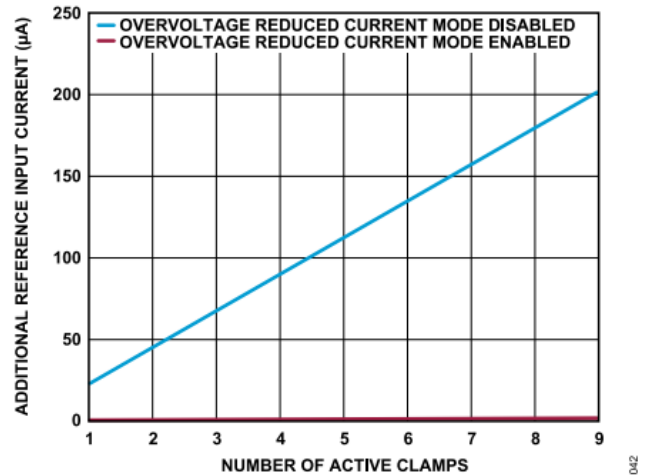


図 43. 追加リファレンス入力電流とアクティブ・クランプ数の関係、クランプ電流 = 5mA、 $V_{REF} = 5V$

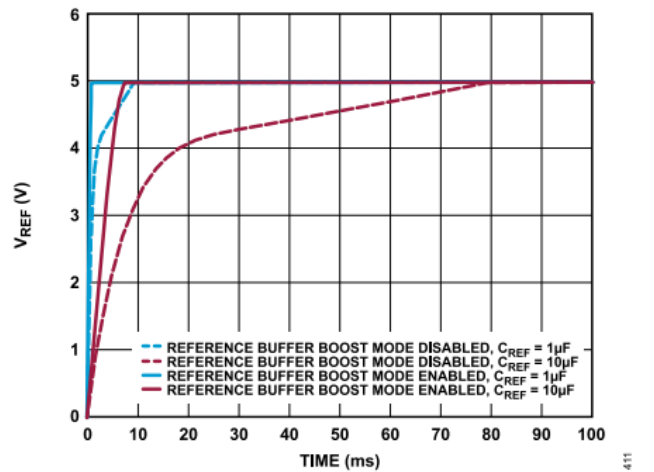


図 44. 異なるリファレンス・バッファ・ブースト・モード設定および $C_{REF}$ に対する $V_{REF}$ と時間の関係

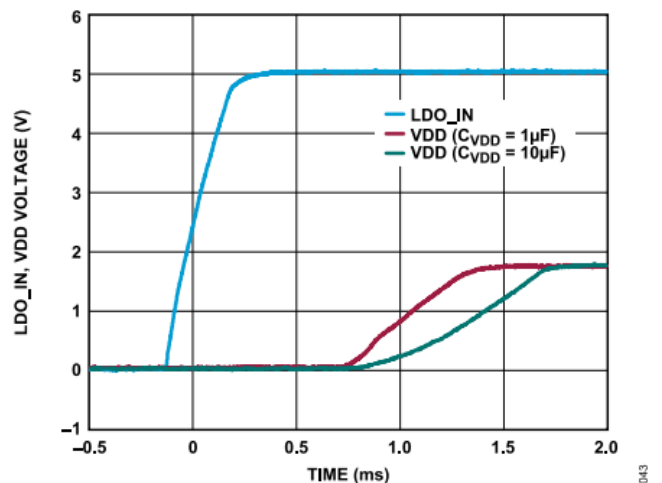


図 45. LDO\_IN、VDD電圧と時間およびVDDデカップリング容量( $C_{VDD}$ )の関係

代表的な性能特性

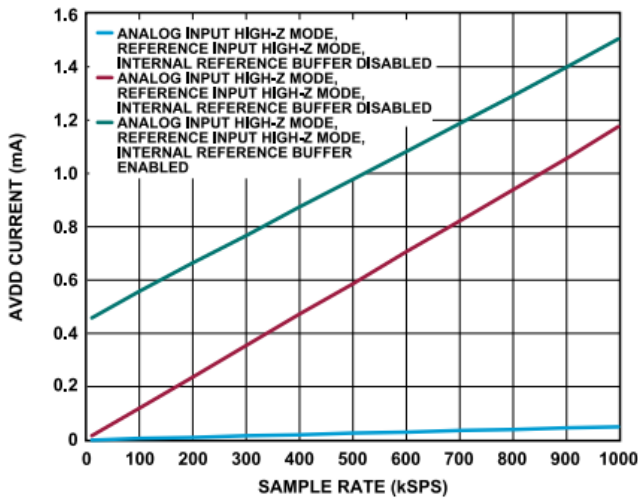


図 46. AVDD電流とサンプリング・レートの関係

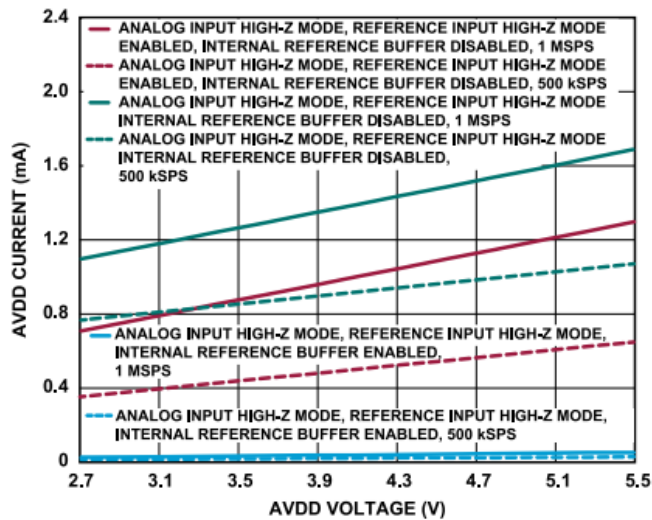


図 47. AVDD電流とAVDD電圧の関係

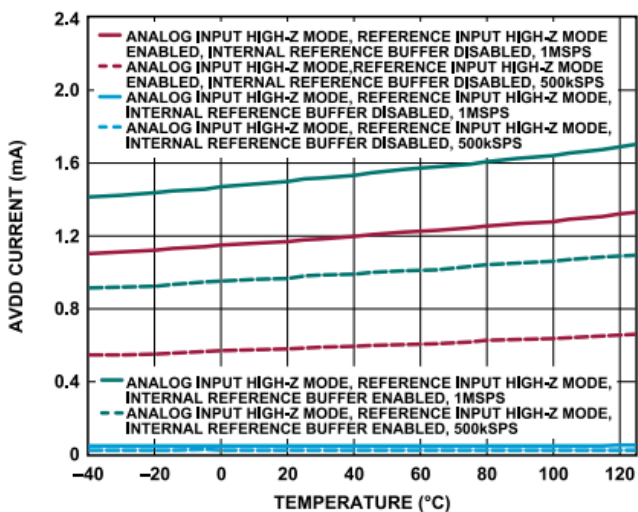


図 48. AVDD電流と温度の関係

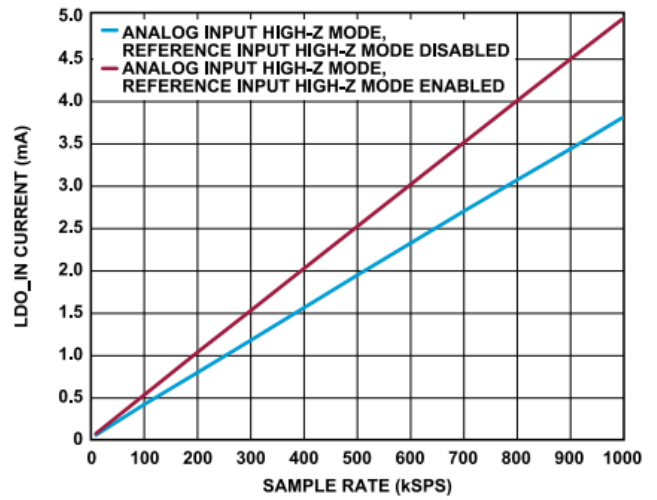


図 49. LDO\_IN電流とサンプリング・レートの関係、内部LDOをイネーブ

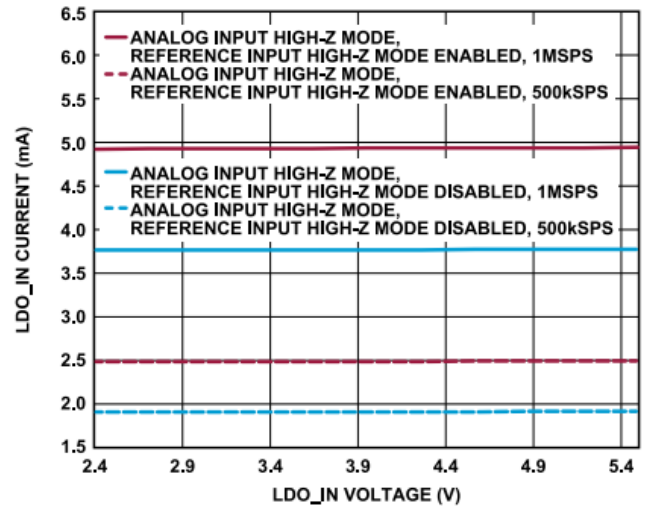


図 50. LDO\_IN電流とLDO\_IN電圧の関係、内部LDOをイネーブ

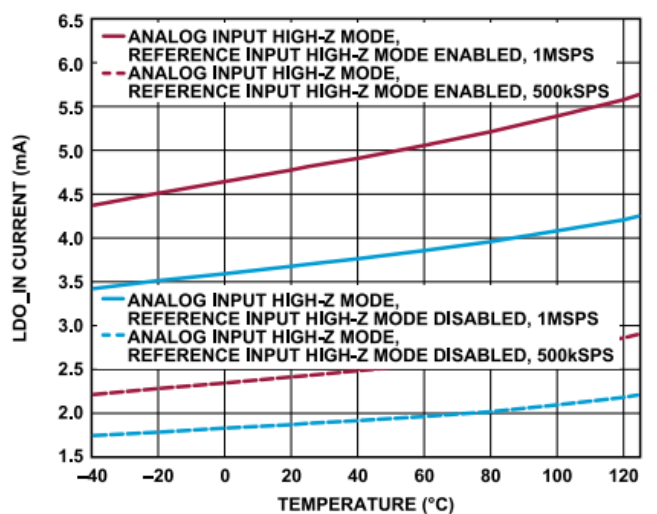


図 51. LDO\_IN電流と温度の関係、内部LDOをイネーブ



代表的な性能特性

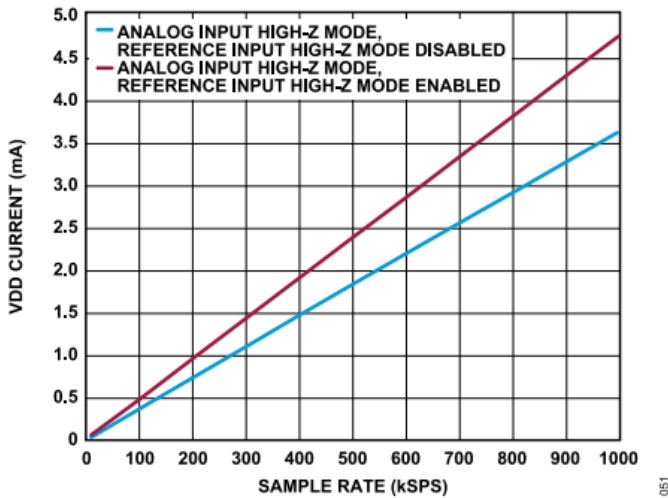


図 52. VDD電流とサンプリング・レートの関係、内部LDOをディスエーブル

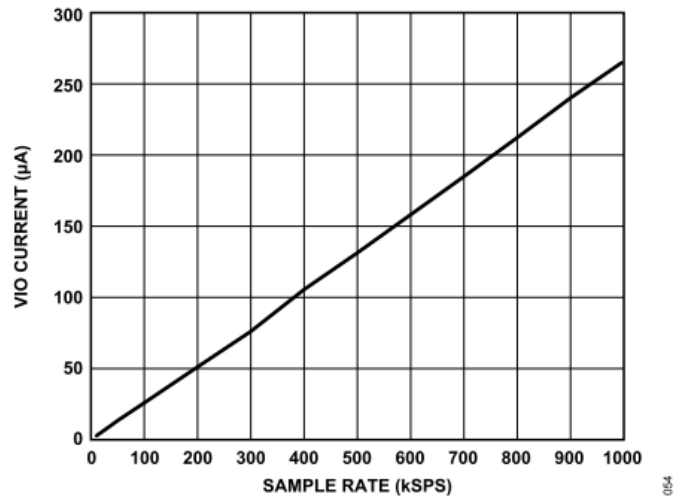


図 55. VIO電流とサンプリング・レートの関係、変換モード、OSR = 1

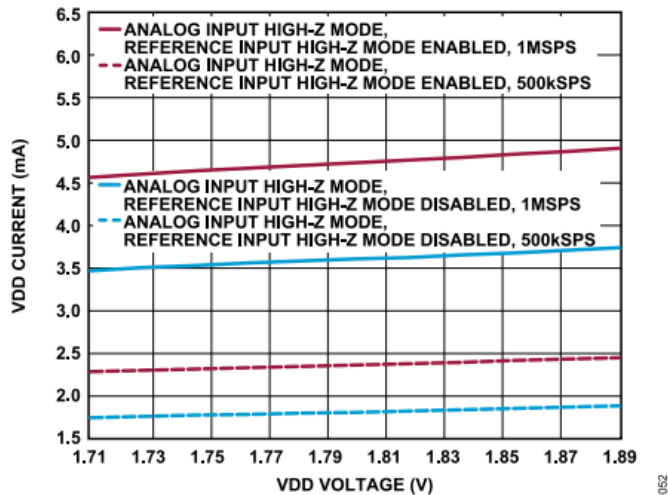


図 53. VDD電流とVDD電圧の関係、内部LDOをディスエーブル

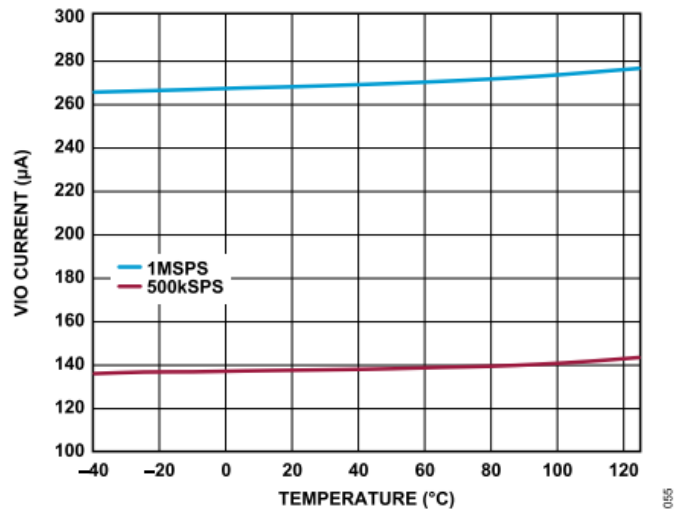


図 56. VIO電流と温度の関係、変換モード、OSR = 1

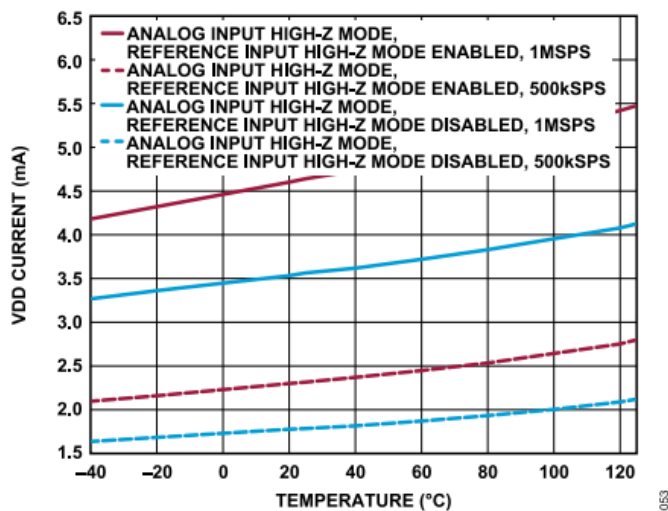


図 54. VDD電流と温度の関係、内部LDOをディスエーブル

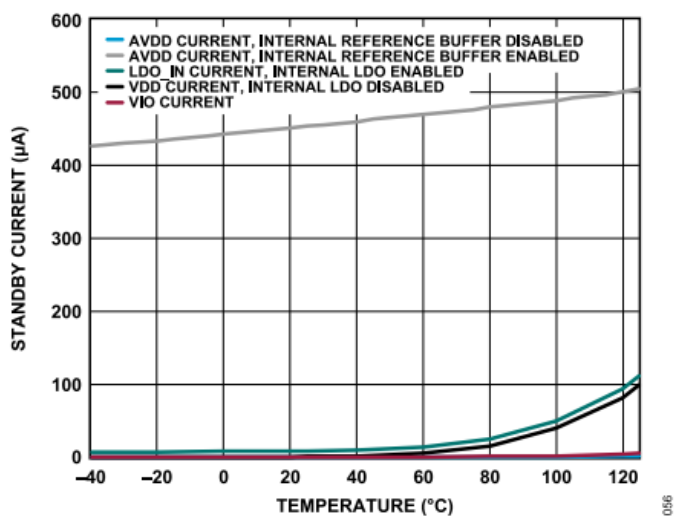


図 57. スタンバイ電流と温度の関係

代表的な性能特性

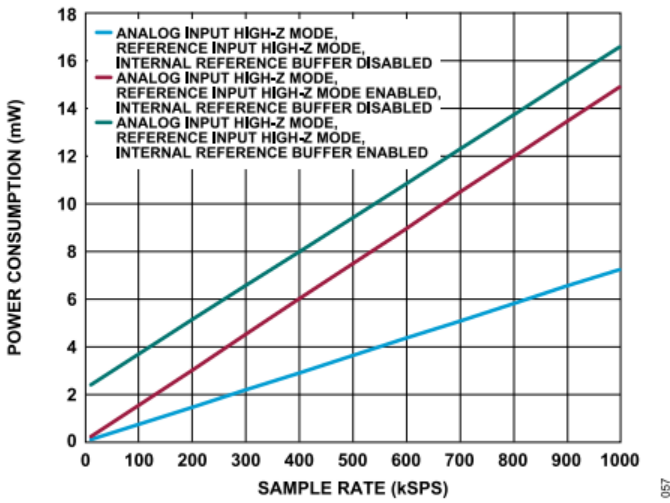


図 58. 消費電力とサンプリング・レートの関係、内部LDOをディスエーブル

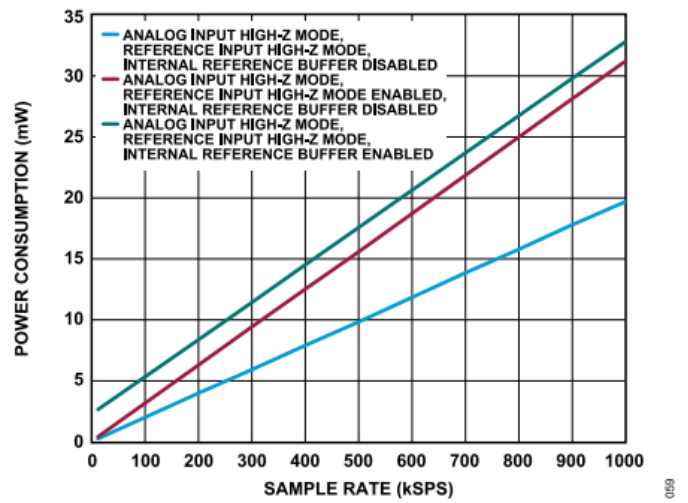


図 61. 消費電力とサンプリング・レートの関係、内部LDOをイネーブル

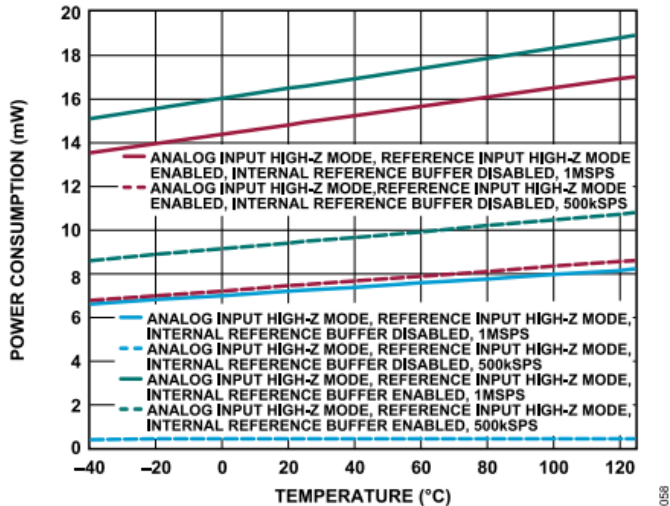


図 59. 消費電力と温度の関係、内部LDOをディスエーブル、 $f_s = 1\text{MSPS}$ および $500\text{kSPS}$

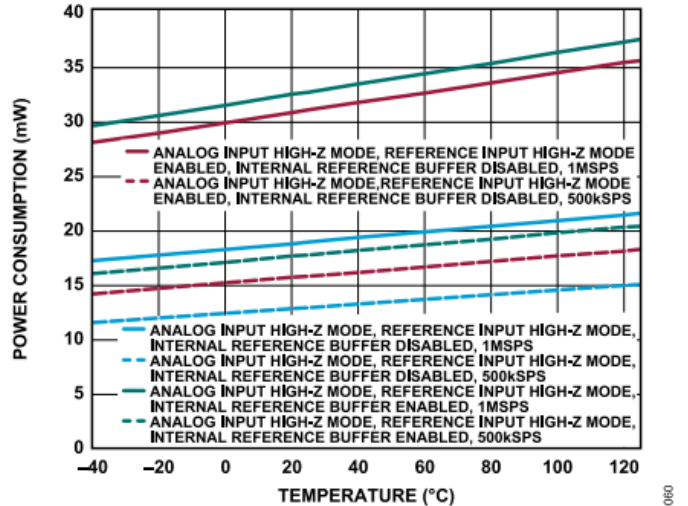


図 62. 消費電力と温度の関係、内部LDOをイネーブル、 $f_s = 1\text{MSPS}$ および $500\text{kSPS}$

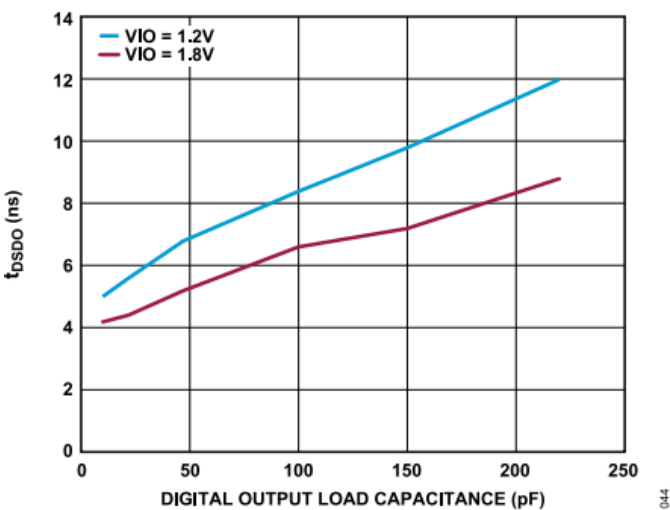


図 60.  $t_{\text{DSDO}}$ とデジタル出力負荷容量の関係

## 用語の定義

### 積分非直線性誤差 (INL)

INLはADC伝達関数の両端を結ぶ直線からの最大偏差を表します。伝達関数の両端は、ゼロ・スケール（最初のコード遷移より $\frac{1}{2}$ LSB下の点）とフルスケール（最後のコード遷移より $\frac{1}{2}$ LSB上の点）です。

### 微分非直線性誤差 (DNL)

理想的なADCでは、コード遷移は1LSBだけ離れた位置で発生します。DNLとは、この理想値からの最大偏差のことです。DNLはノイズ・ミス・コードが確保される分解能で仕様規定されます。

### オフセット誤差

オフセット誤差は、 $-FSR$ と $-FSR + 1$ の間で測定された遷移と理想的な遷移との差で、単位はボルトです。 $-FSR$ と $-FSR + 1$ の間での理想的な遷移は、IN-の電圧より $\frac{1}{2}$ LSB上のアナログ入力レベルで発生します（伝達関数のセクションを参照）。

### オフセット誤差マッチング

オフセット誤差マッチングは、任意の2入力チャンネル間のオフセット誤差の差を表します。

### ゲイン誤差

ゲイン誤差は、 $+FSR - 1$ と $+FSR$ の間で測定された遷移と理想的な遷移との差で、単位はフルスケールに対する百分率（%FS）です。 $+FSR - 1$ と $+FSR$ の間での理想的な遷移は、公称フルスケールより $\frac{1}{2}$ LSB下のアナログ入力レベルで発生します（伝達関数のセクションを参照）。

### ゲイン誤差マッチング

ゲイン誤差マッチングは、任意の2入力チャンネル間のオフセット誤差の差を表します。

### スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDRは、入力信号の実効値振幅とピーク・スプリアス信号との差で、単位はデシベル（dB）です。

### 有効ビット数 (ENOB)

ENOBは、サイン波入力による分解能の測定値で、SINADと次式の関係があります。

$$ENOB = (SINAD - 1.76)/6.02$$

ENOBの単位はビットです。

### ノイズ・フリー・コードの分解能

ノイズ・フリー・コードの分解能は、個別のコードをそのビット数を超えては明確に分解できない場合のビット数です。分解能は次式で計算します。

$$\text{ノイズ・フリー・コードの分解能} = \log_2 (2^N / \text{ピークtoピーク・ノイズ})$$

ノイズ・フリー・コードの分解能の単位はビットです。

### ダイナミック・レンジ

ダイナミック・レンジは、入力を短絡して測定した合計実効値ノ

イズに対するフルスケールの実効値の比率です。ダイナミック・レンジの単位はdBで、すべてのノイズ源とDNLアーティファクトが含まれるように、 $-60$ dBFSの信号で測定します。

### S/N比 (SNR)

S/N比は、ナイキスト周波数を下回るすべてのスペクトル成分（高調波成分と直流成分を除く）の実効値の総和に対する実際の入力信号の実効値の比です。S/N比の単位はdBです。

### 信号/ノイズ + 歪み比 (SINAD)

SINADは、A/Dコンバータ出力での信号と（ノイズ+歪み）の比の測定値です。信号は基本波の実効値振幅で表します。ノイズは $1/2$ サンプリング周波数（ $f_s/2$ ）までの非基本波の総和で表します（DCを除く）。

### チャンネル間メモリ

チャンネル間メモリは、チャンネル・シーケンスでのチャンネル間の切り替え時に発生するクロストークのレベルを表す尺度です。100kHzのフルスケール信号を1つのアナログ入力チャンネルに加え、別のアナログ入力チャンネルにDC電圧を加えて、各変換の間にこの2つのチャンネルを繰り返し切り替えることで測定が行われます。チャンネル間メモリは、DCチャンネルのデータから計測された100kHzのスペクトル成分の大きさです。

### チャンネル間アイソレーション

チャンネル間アイソレーションは、非アクティブなチャンネルの信号からアクティブなチャンネルへのクロストークのレベルを表す尺度です。チャンネル間アイソレーションを測定するには、1つのアナログ入力チャンネルにDC入力に加え、それ以外のすべてのアナログ入力チャンネルに100kHzのフルスケール・サイン波を加えて、DC入力チャンネルのみで変換を実行します。チャンネル間アイソレーションは、DCチャンネルのデータから計測された100kHzのスペクトル成分の大きさです。

### 全高調波歪み (THD)

THDは、高調波の実効値の総和と基本波の比で、次式で定義されます。

$$THD(dB) = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1} \quad (1)$$

ここで、

$V_1$ は基本波の実効値振幅、

$V_2$ 、 $V_3$ 、 $V_4$ 、 $V_5$ 、 $V_6$ は、第2高調波から第6高調波までの実効値振幅です。

### アパーチャ遅延

アパーチャ遅延はアキュジション性能の尺度です。アパーチャ遅延は、CNV入力の立上がりエッジから、入力信号が変換のために保持されるまでの時間です。

## 動作原理

### 概要

AD4697/AD4698は、低消費電力、8チャンネル、16ビット、500kSPS/1MSPSのマルチプレクス高精度SAR ADCです。

AD4697/AD4698は、長時間のアイドルリング後でも最初の変換から有効な結果を提供します。

AD4697/AD4698には、周辺機器の回路の設計条件を簡素化すると共に、低消費電力でチャンネル密度の高い高性能データ・アキュジション・システムの設計を容易にする機能が備わっています。これらの機能には次のものがあります。

- ▶ ノー・ミス・コードの16ビットSAR ADCコア
- ▶ 低クロストーク・マルチプレクサによる8個のマルチプレクス・アナログ入力
- ▶ 柔軟性の高いチャンネル・シーケンシング・モード
- ▶ アナログ入力とリファレンスの高インピーダンス・モード
- ▶ 内部リファレンス・バッファ（WLCSPオプションのみ）
- ▶ 温度センサー
- ▶ アナログ入力ごとの入力過電圧保護クランプ
- ▶ アナログ入力ごとにプログラム可能な閾値検出
- ▶ 自律的に変換を実行するための自動サイクル・モード
- ▶ アナログ入力ごとの一次オフセットおよびゲイン補正
- ▶ アナログ入力ごとのオーバーサンプリングおよびデシメーション・オプション

チャンネル間のマルチプレクス時には、アナログ入力高インピーダンス・モード機能により、アナログ入力部に発生する非直線性電圧ステップが削減されます。アナログ入力高インピーダンス・モードでは、アナログ・フロントエンド回路のセトリング条件と帯域幅条件が緩和され、帯域幅の狭い低消費電力アンプでアナログ入力を直接駆動できます。

リファレンス入力高インピーダンス・モード機能は、ADCコアが変換を実行している間のREF入力電流を大幅に減少させ、リファレンス回路の駆動条件を緩和します。この機能により、従来のSAR ADCよりも低消費電力のリファレンスと小さいリファレンス・デカップリング・コンデンサ（1 $\mu$ F）が使用できます。

WLCSPオプションでは、低消費電力リファレンスに直接インターフェースするための高入力インピーダンス内部リファレンス・バッファも備わっています。

各アナログ入力には入力過電圧保護クランプが備わっており、デバイスを過電圧イベントから保護します。クランプの回路は堅牢で、また、1つのアナログ入力の過電圧イベントがそれ以外のアナログ入力の性能に大きな影響を及ぼすことのないようにします。

AD4697/AD4698には様々なチャンネル・シーケンシング・モードがあり、アナログ入力チャンネルのシーケンスで変換を実行する際の柔軟な手段を提供します。標準シーケンサと詳細シーケンサでは、チャンネル・シーケンスを再プログラムし変換の発生時に自動的に実行できます。2サイクル・コマンド・モードと単一サイクル・コマンド・モードは、デジタル・ホストがSPIコマンドを使用して手動でチャンネルを選択できるようにします。

AD4697/AD4698には、強化されたデジタル・インターフェースがあり、これを使用すると、デバイスのレジスタ内容にアクセスし

て変換を開始し結果を読み出すと共に、付加されたユーティリティを利用することができます。レジスタ設定モードを使用すると、レジスタの内容を読み書きできます。変換モードを使用すると、変換を開始し、変換結果をリードバックできます。

AD4697/AD4698の変換時間は短いため、フル・スループットで動作する場合でも、低いシリアル・クロック・レートで変換をリードバックできます。AD4697/AD4698は4線式SPIプロトコルに対応し、また、デュアルSDOモードおよびクワッドSDOモードのオプションもあるため、変換結果をシフトして複数のデータ出力に並行して出力することで、SCKレートを低くすることができます。

変換と変換の間はADCコアがパワーダウンするため、AD4697/AD4698の消費電力はスループットに比例します。例えば、10kSPSで動作している場合、AD4697/AD4698の消費電力は通常85 $\mu$ Wであり（内部LDO、アナログ入力高インピーダンス・モード、リファレンス入力高インピーダンス・モードが無効）、バッテリー駆動アプリケーションに最適です。

AD4697/AD4698は24ピンの4.00mm  $\times$  4.00mm LFCSPパッケージまたは36ピンの2.960mm  $\times$  2.960mm WLCSPパッケージを採用しています。

### コンバータの動作

AD4697/AD4698にはSARベースのADCコアがあり、電荷再分配方式のD/Aコンバータ（DAC）を使用して印加された入力電圧を出力コードに量子化します。図63にAD4697/AD4698 SAR ADCコアの簡略化した回路図を示します。

アナログ入力と温度センサーは、図63においてSWMUX+およびSWMUX-と表記された内蔵の低クロストーク・マルチプレクサを介して、コンデンサ・アレイ入力（ADCIN+およびADCIN-）に接続されます。マルチプレクサ・スイッチは、内部チャンネル・シーケンシング・ロジックで制御され、変換ごとに更新されます（マルチプレクサのセクションとチャンネル・シーケンシング・モードのセクションを参照）。

AD4697/AD4698 SAR ADCの変換ルーチンは、アキュジション・フェーズと変換フェーズからなっています。ADCは変換フェーズが始まるまでアキュジション・フェーズを維持します。アキュジション・フェーズの間、コンデンサ・アレイには、内蔵マルチプレクサによって選択されたアナログ入力チャンネルの電圧が加わります。変換フェーズの間は、ADCコアがこの入力電圧をサンプリングし、対応する出力コード結果を生成します。図64に、AD4697/AD4698 ADCコアによって生成された変換結果のデータ処理経路を示します。

変換フェーズを開始するには、AD4697/AD4698は変換モードである必要があります（変換モードのセクションを参照）。レジスタ設定モードでは、SAR ADCコアはアキュジション・フェーズのままです。

アキュジション・フェーズ中、コンパレータの入力に接続されたコンデンサ・アレイの端子は、SW+スイッチとSW-スイッチを介してREFGNDに接続されます。アレイ内の各コンデンサのスイッチはすべて、ADCIN+およびADCIN-に接続され、ADCIN+およびADCIN-はSWMUX+およびSWMUX-を介して選択されたアナログ入力チャンネルに接続されています。アキュジション・フェーズは、変換フェーズが開始されると直ちに終了します。

変換フェーズは、CNV入力の立上がりエッジで開始されます（変



動作原理

換モードの場合のみ)。変換フェーズが開始すると、 $SW+$ 、 $SW-$ 、 $SW_{MUX+}$ 、 $SW_{MUX-}$ が最初に開き、コンデンサ・アレイのアナログ入力電圧をサンプリングします。次にこの2つのコンデンサ・アレイは $ADCIN+$ および $ADCIN-$ から切り離され、 $REFGND$ に接続されます。サンプリングされた電圧はコンパレータの入力に印加され、コンパレータはアンバランスとなります。ADCの制御ロジックは、コンデンサ・アレイの各エレメントを $REFGND$ と $REF$ の間で順次切り替えることで、アレイ内の各コンデンサのビット・トライアルをMSBから順に実行します。各ビット・トライアル中、コンパレータの入力はバイナリの重み付けされた電圧ステップ ( $V_{REF}/2$ 、 $V_{REF}/4$ 、...、 $V_{REF}/65,536$ ) によって変化し、制御ロジックはコンパレータをバランス状態に戻すよう作用します。コンパレータの状態は、最終的な変換結果を生成できるよう、ビット・トライアルごとに記録されます。変換フェーズは、すべてのビット・トライアルが完了し、変換結果の準備が整ったら終了します。

SAR ADCコアは、変換フェーズごとに1つの出力コードを生成します。アクティブなチャンネルのOSR設定が1より大きい場合は、複数の出力コードが平均されてオーバーサンプリングされたADCの結果を生成します (伝達関数のセクションとオーバーサンプリングおよびデシメーションのセクションを参照)。

表2に示す変換時間の仕様値 ( $t_{CONVERT}$ ) は、 $CNV$ の立上がりエッジと変換フェーズの終了の間の遅延を示すものです。変換フェーズ中、変換が完了しSPIを通じて読み出せるようになったら、ADCはデジタル・ホストと通信を行うためにビジー・インジケータを生成します (ビジー・インジケータのセクションを参照)。有効化されている場合、ビジー・インジケータは変換フェーズの開始時にハイに遷移し、変換フェーズが終了するとローに遷移します。

各アキュイジション・フェーズの終了とそれに続くアキュイジション・フェーズの開始の間の遅延は、選択するチャンネル・シーケンシング・モードによって異なります。2サイクル・コマンド・モードが有効化され、標準シーケンサまたは詳細シーケンサがイネーブルの場合、内部の制御ロジックが次のアキュイジション・フェーズの開始タイミングを決定します。単一サイクル・コマンド・モードが有効となっている場合は、5ビットのチャンネル・コマンドをSPI経由で受信するまで、ADCコアはアキュイジション・フェーズに入ることができません (単一サイクル・コマンド・モードのセクションを参照)。

表2に示す最小アキュイジション時間の仕様値 ( $t_{ACQ}$ ) は、AD4697/AD4698が最大サンプリング・レートで動作している場合に、アキュイジション・フェーズになっている時間の最小量を示すものです。

アナログ入力高インピーダンス・モードが無効化されている場合、アナログ入力をコンデンサ・アレイに接続するスイッチは、アキュイジション・フェーズが開始されると直ちにクローズします。アナログ入力高インピーダンス・モードが有効化されている場合は、これらのスイッチはアキュイジション・フェーズの途中でクローズしますが、その結果生じる電圧キックバックは、大幅に減少します。その結果、アナログ入力高インピーダンス・モードが有効となっている場合、アナログ・フロントエンド回路のセトリング時間と帯域幅の条件は緩和されます (図21およびシングル・セトリング条件のセクションを参照)。

AD4697/AD4698 ADCコアは内部クロックで制御され、SPIシリアル・クロック (SCK) は変換プロセスには不要です。

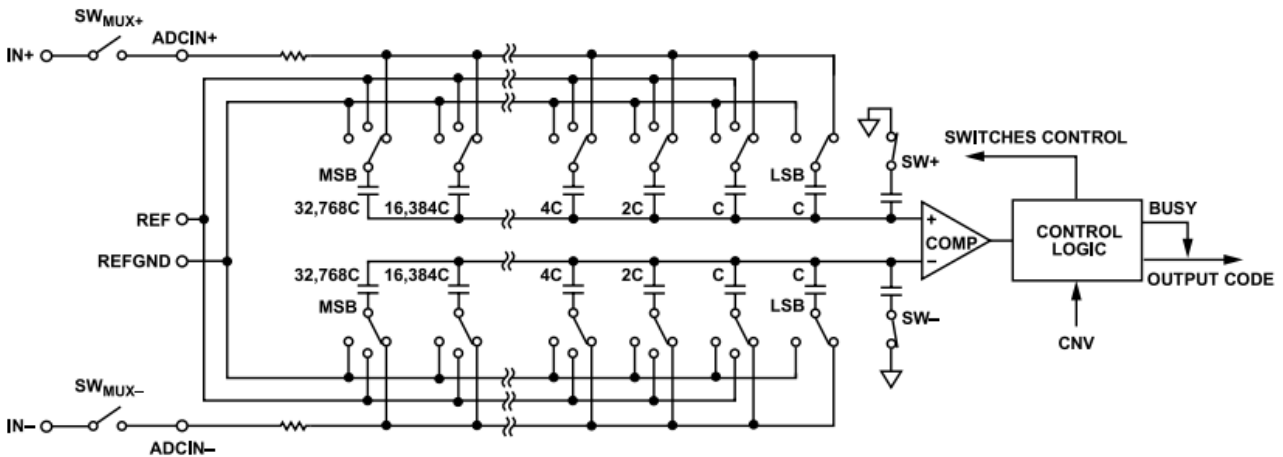


図 63. ADCの簡略化した回路図

064

## 動作原理

### 伝達関数

図64にAD4697/AD4698のデータ処理経路を示します。SAR ADC コアは、変換周期ごとに1つの16ビット出力コードを生成します。選択したアナログ入力チャンネルのOSR設定によって、平均化処理を行う連続する16ビット出力コード結果の数が決まり、更に変換モードでオフセット補正とゲイン補正の設定が適用されて、SPIを介して読み出される最終結果が生成されます（オーバーサンプリングおよびデシメーションのセクションおよびオフセットおよびゲイン補正のセクションを参照）。

変換結果の長さはOSR設定によって決まります。変換結果の分解能は、16ビット～19ビットの範囲で、これは1～64のOSRに対応しています（オーバーサンプリングおよびデシメーションのセクションを参照）。

変換結果のコード化形式は、選択した極性モードによって決まります。ユニポーラ・モードに設定されたチャンネルでは、結果は

ストレート・バイナリ形式となり、疑似バイポーラ・モードに設定されたチャンネルでは2の補数形式となります（チャンネル設定オプションのセクションを参照）。

AD4697/AD4698にはチャンネルごとにオフセット補正とゲイン補正が備わっており、これらは一次のシステム誤差を補償するように設定できます。オフセットおよびゲイン補正レジスタによって、ADCの伝達関数はデジタル的に変更されます（オフセットおよびゲイン補正のセクションを参照）。

理想的な伝達関数を図65に示します。出力コードおよび入力電圧とV<sub>REF</sub>、OSR、極性モード、オフセットおよびゲイン補正設定の関係は、コードと電圧の間の変換のセクションで説明します。表9～表12に、様々な電圧入力とそれに対応する結果の例を、各OSRと極性モードのオプションについて示します（理想的なADC伝達関数を仮定し、オフセットおよびゲイン補正値はデフォルト値に設定されていると想定）。

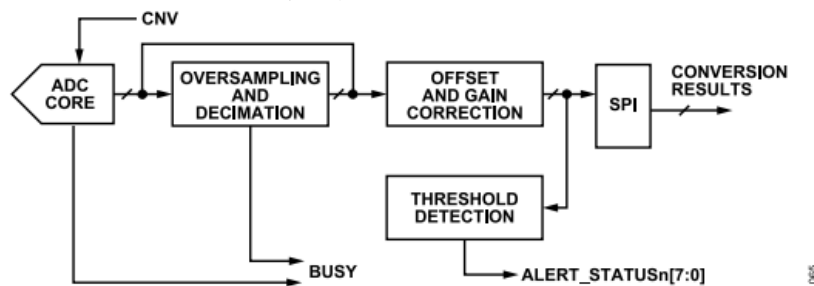


図 64. ADCのデータ処理経路

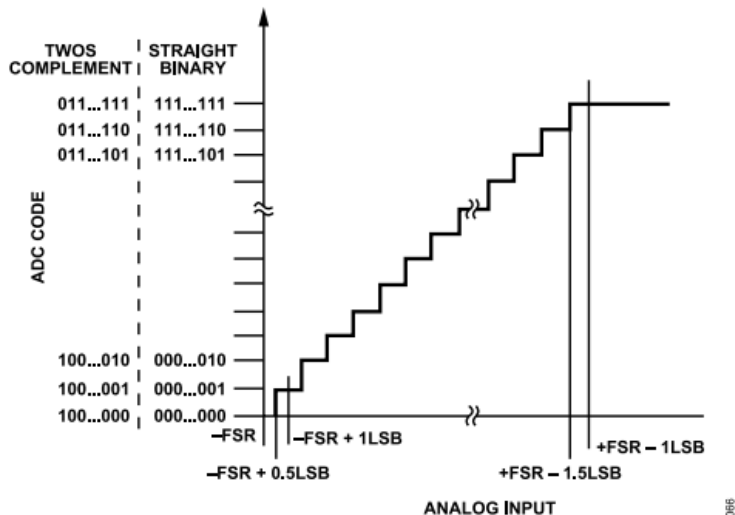


図 65. ADCの理想的な伝達関数（FSRはフルスケール範囲）

## 動作原理

表 9. 出力コードと理想的な入力電圧、VREF = 5V、OSR = 1

Description	Input Voltage in Unipolar Mode	Digital Output Code (Straight Binary)	Input Voltage in Pseudobipolar Mode	Digital Output Code (Twos Complement)
FSR - 1 LSB	4.999924 V	0xFFFF	+2.499924 V	0x7FFF
Midscale + 1 LSB	2.500076 V	0x8001	+76.3 $\mu$ V	0x0001
Midscale	2.5 V	0x8000	0 V	0x0000
Midscale - 1 LSB	2.499924 V	0x7FFF	-76.3 $\mu$ V	0xFFFF
-FSR + 1 LSB	76.3 $\mu$ V	0x0001	-2.499924 V	0x8001
-FSR	0 V	0x0000	-2.5 V	0x8000

表 10. 出力コードと理想的な入力電圧、VREF = 5V、OSR = 4

Description	Input Voltage in Unipolar Mode	Digital Output Code (Straight Binary)	Input Voltage in Pseudobipolar Mode	Digital Output Code (Twos Complement)
FSR - 1 LSB	4.999962 V	0x1FFFF	+2.499962 V	0x0FFFF
Midscale + 1 LSB	2.500038 V	0x10001	+38.1 $\mu$ V	0x00001
Midscale	2.5 V	0x10000	0 V	0x00000
Midscale - 1 LSB	2.499962 V	0x0FFFF	-38.1 $\mu$ V	0x1FFFF
-FSR + 1 LSB	38.1 $\mu$ V	0x00001	-2.499962 V	0x10001
-FSR	0 V	0x00000	-2.5 V	0x10000

表 11. 出力コードと理想的な入力電圧、VREF = 5V、OSR = 16

Description	Input Voltage in Unipolar Mode	Digital Output Code (Straight Binary)	Input Voltage in Pseudobipolar Mode	Digital Output Code (Twos Complement)
FSR - 1 LSB	4.999981 V	0x3FFFF	+2.499981 V	0x1FFFF
Midscale + 1 LSB	2.500019 V	0x20001	+19.1 $\mu$ V	0x00001
Midscale	2.5 V	0x20000	0 V	0x00000
Midscale - 1 LSB	2.499981 V	0x1FFFF	-19.1 $\mu$ V	0x3FFFF
-FSR + 1 LSB	19.1 $\mu$ V	0x00001	-2.499981 V	0x20001
-FSR	0 V	0x00000	-2.5 V	0x20000

表 12. 出力コードと理想的な入力電圧、VREF = 5V、OSR = 64

Description	Input Voltage in Unipolar Mode	Digital Output Code (Straight Binary)	Input Voltage in Pseudobipolar Mode	Digital Output Code (Twos Complement)
FSR - 1 LSB	4.999910 V	0x7FFFF	+2.499910 V	0x3FFFF
Midscale + 1 LSB	2.500010 V	0x40001	+9.54 $\mu$ V	0x00001
Midscale	2.5 V	0x40000	0 V	0x00000
Midscale - 1 LSB	2.499990 V	0x3FFFF	-9.54 $\mu$ V	0x7FFFF
-FSR + 1 LSB	9.54 $\mu$ V	0x00001	-2.499990 V	0x40001
-FSR	0 V	0x00000	-2.5 V	0x40000

## 動作原理

## アナログ入力

図66に、AD4697/AD4698のアナログ入力（IN0～IN7およびCOM）の等価回路を示します。

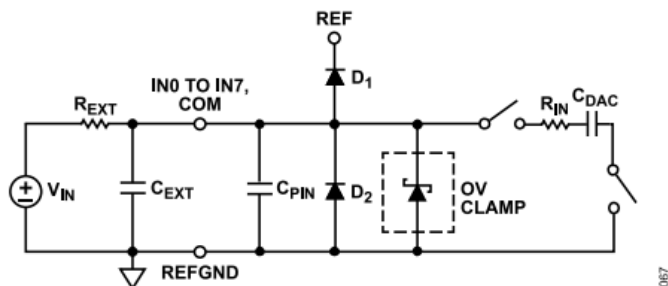


図 66. アナログ入力の等価回路

低クロストークのアナログ・マルチプレクサが、アナログ入力ピンからADCコア入力に信号を伝送します。アナログ入力のインピーダンスは、ピン容量（ $C_{PIN}$ ）と、 $R_{IN}$ および $C_{DAC}$ を直列接続して形成された回路を並列に組み合わせたものとしてモデル化されています。 $R_{IN}$ は、ADC入力の直列抵抗とマルチプレクサのスイッチ抵抗を表し、代表値は $240\Omega$ です。 $C_{DAC}$ は、図63に示すADCサンプリング容量性DACを表し、代表値は $60pF$ です。

各アナログ入力には固有の過電圧保護クランプ回路があり、図66では「OV CLAMP」と表示されています。このクランプは、アナログ入力にDC過電圧状態にならないよう保護するもので、追加の保護ダイオードを外付けする必要はありません。過電圧保護クランプの詳細については、[入力過電圧保護クランプ](#)のセクションを参照してください。

図66の $R_{EXT}$ と $C_{EXT}$ は、外付けのRCローパス・フィルタを表し、入力信号の帯域幅を制限するためにシステム設計に組み込まれます。 $R_{EXT}$ は、アナログ入力の過電圧保護機能を向上するために使用される場合もあります。 $R_{EXT}$ と $C_{EXT}$ の機能の詳細は、[外付けRCフィルタ](#)のセクションを参照してください。

## マルチプレクサ

AD4697/AD4698には、柔軟性の高い低クロストークのアナログ・マルチプレクサがあり、8個のアナログ入力と内部温度センサーから選択したものを16ビットの疑似差動SAR ADCコアの入力に接続できます。図67に、内部マルチプレクサの簡略化した回路図を示します。図63と図67の $SW_{MUX+}$ スイッチおよび $SW_{MUX-}$ スイッチは、選択したチャンネルをADC入力（図63で $ADCIN+$ および $ADCIN-$ と表示）に接続するマルチプレクサ・スイッチを表します。 $SW_{MUX+}$ および $SW_{MUX-}$ はブレークビフォアマークで、内部チャンネル・シーケンシング・ロジックにより制御されます（[チャンネル・シーケンシング・モード](#)のセクションを参照）。

このマルチプレクサによって、柔軟なアナログ入力チャンネル設定が可能となります。 $SW_{MUX-}$ の位置はユーザ設定可能で、図67に示すどのピンにも割り当てることができます（[チャンネル設定オプション](#)のセクションを参照）。

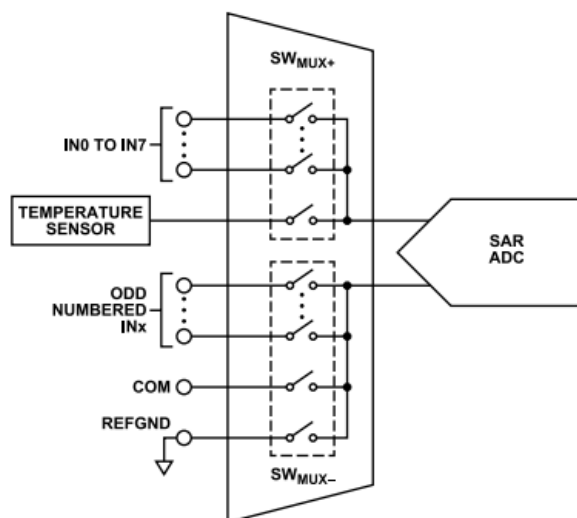


図 67. マルチプレクサの簡略化した回路図

## チャンネル設定オプション

AD4697/AD4698には、いくつかのチャンネル設定オプションが備わっているため、デバイスは多様な信号とインターフェース接続できます。チャンネル設定は、8個のアナログ入力（IN0～IN7）のそれぞれについて個別にプログラムできます。

チャンネル構成の設定には、ピン・ペアリング割当てや信号極性モードなどがあります。ピン・ペアリング・オプションは、 $SW_{MUX-}$ のポジションを $SW_{MUX+}$ のポジションごとに割り当て、どの信号をSAR ADCコアの負側（図63の $ADCIN-$ ）に伝送するかを決定します。信号極性モードは、 $ADCIN-$ の電圧範囲を設定します。図68に、異なるチャンネル設定オプションでのピン・ペアリングと電圧範囲を示します。

ピン・ペアリング割当てオプションには次のようなものがあります。

- ▶ 図68、IN0～IN7がREFGNDとペアリング
- ▶ 図69、IN0～IN7がCOMとペアリング
- ▶ 図70、偶数番号の入力が次に大きな奇数番号の入力とペアリング（例えば、IN0がIN1とペアリング、IN2がIN3とペアリング、など）。

2つの信号極性モードは、ユニポーラ・モードおよび疑似バイポーラ・モードと呼ばれます。チャンネルがユニポーラ・モードの場合、 $ADCIN-$ に伝送される信号は公称0Vです（REFGND基準）。チャンネルが疑似バイポーラ・モードの場合、 $ADCIN-$ に伝送される信号は公称 $V_{REF}/2V$ です（REFGND基準）。ユニポーラおよび疑似バイポーラ・モードに対する有効な動作入力電圧仕様値は、表1に示されています。

入力がユニポーラ・モードに設定されている場合、その出力コードはストレート・バイナリ形式です。入力が疑似バイポーラ・モードに設定されている場合、その出力コードは2の補数形式です。ユニポーラ・モードと疑似バイポーラ・モードの出力コード形式の例については、[伝達関数](#)のセクションを参照してください。

ピン・ペアリングの割当ては、 $CONFIG\_INn$ レジスタの $IN\_PAIR$ ビット・フィールドで選択されます。信号極性モードは、 $CONFIG\_INn$ レジスタの $IN\_MODE$ ビットで選択されます。



## 動作原理

偶数番号の入力がそれに対応する奇数番号の入力にペアリングされている場合、いずれかのチャンネル・シーケンシング・モードを通じて奇数番号入力を選択することは、機能的には偶数番号入力を選択することと同じです。偶数番号入力は常にADCIN+に接続され、奇数番号入力は常にADCIN-に接続されます。そして、偶数番号入力のCONFIG\_INnレジスタの設定のみが適用されます。入力をチャンネル・ペアの一部として割り当てる場合、チャンネル・シーケンスには偶数番号入力のみを含めることを推奨します。

標準シーケンサがイネーブルとなっている場合、ピン・ペアリング割り当て設定は8個のアナログ入力すべてについて同じで、CONFIG\_IN0レジスタのIN\_PAIRビット・フィールドで設定されます。詳細シーケンサ、2サイクル・コマンド・モード、または単一サイクル・コマンド・モードがイネーブルとなっている場合は、ピン・ペアリング割り当て設定は8個のアナログ入力すべてに対し独立で、各入力に対応するCONFIG\_INnレジスタのIN\_PAIRビット・フィールドで設定されます。各アナログ入力の極性モード設定は、チャンネル・シーケンシング・モードによらず常に、対応するCONFIG\_INnレジスタのIN\_MODEビットで設定されます。

なお、疑似バイポーラ・モードは、REFGNDのピン・ペアリング割り当てが選択されているチャンネルに対しては使用できません。チャンネル・ピン・ペアリング割り当てがREFGNDに設定されている場合、IN\_PAIRビット・フィールドの状態は無視されます。

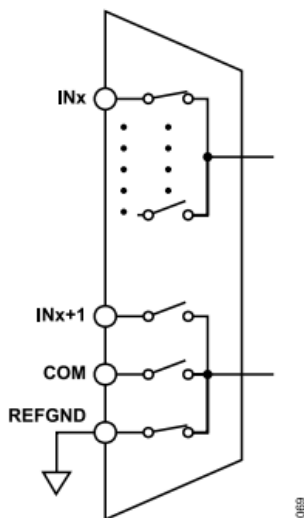


図 68. INxをREFGNDにペアリング

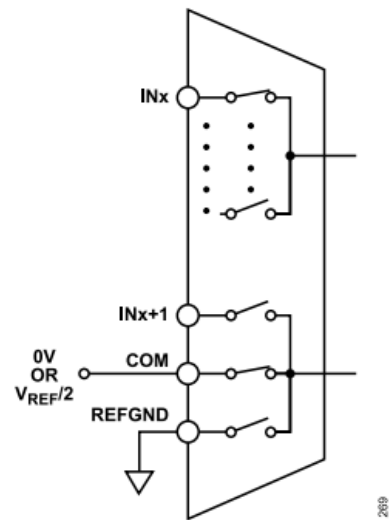


図 69. INxをCOMにペアリング

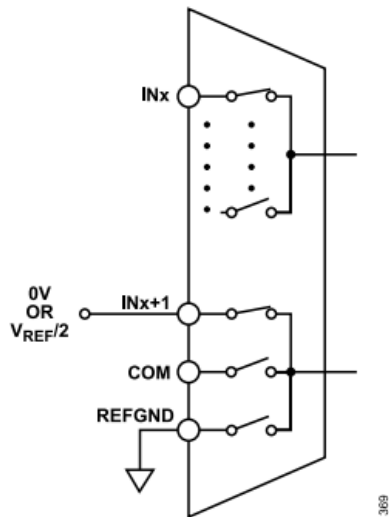


図 70. 偶数チャンネルと奇数チャンネルをペアリング

## アナログ入力高インピーダンス・モード

一般的な高分解能マルチプレクスSAR ADCで最高のデータシート性能を引き出すためには、システム設計者は多くの場合、専用の広帯域幅低ノイズのADCドライバ・アンプをアナログ・シグナル・コンディショニング回路とADC入力の上に配置して、変換と変換の間にアナログ入力で発生する電圧キックバックを安定させる必要があります。AD4697/AD4698のアナログ入力高インピーダンス・モードは、アナログ入力を駆動するAFE回路の設計条件を簡素化し、小フットプリントで高チャンネル密度の高精度マルチプレクスSAR ADCシグナル・チェーンの設計を容易なものにします。

アナログ入力高インピーダンス・モードは、ADCとマルチプレクサ・スイッチがADCのアクイジション・フェーズの開始時に再接続する際にアナログ入力で発生する電圧キックバックの大きさを大幅に低減します（シグナル・セトリング条件のセクションを参照）。図21に、0Vに駆動される別のアナログ入力から5Vに駆動されるアナログ入力に切り替わった後に発生する電圧キックバックを、アナログ入力高インピーダンス・モードが有効の場合と無効の場合について示します。

動作原理

電圧キックバックが減少すると、AD4697/AD4698のアナログ入力の実効入力インピーダンスが増加し、目的のセトリング精度と性能を達成するためのAFE回路の帯域幅条件が緩和されます。

AD4697/AD4698の帯域幅条件が緩和されることで、互換性のあるアンプと外付けRCフィルタ部品の選択幅が広がるため、AFE回路設計が簡素化されます。そのため、アナログ入力高インピーダンス・モードによって、チャンネルごとに専用のADCドライバ・アンプを配置する必要がなくなり、システムのフットプリントと消費電力を大きく削減できます。

アナログ入力高インピーダンス・モードは、フロントエンド・アンプとAD4697/AD4698アナログ入力間の直列抵抗を原因とする性能劣化も抑制します。それによって、外付けRCフィルタの抵抗(図66と図112のREXT)を一般的なマルチプレクスSAR ADCに比べ大きなものとして行うことができます。大きなREXTと小さなCEXTを使用することで、歪み性能に大きな影響を及ぼすことなく、アンプの安定性に関する問題を緩和できます。

図71と図72は、低消費電力狭帯域幅アンプ(ADA4077-1)が、AD4697/AD4698のアナログ入力高インピーダンス・モードを利用することで、低ノイズ広帯域幅ADCドライバ・アンプ

(ADA4807-1)と同じAC性能を達成できることを示しています。

図71と図72は、様々な外付けRCフィルタ部品を用いてADA4077-1およびADA4807-1と組み合わせたAD4697/AD4698のSNRとTHD性能を、アナログ入力高インピーダンス・モードを有効化した場合と無効化した場合について示したものです。図73に、図71と図72の性能メトリクスを測定するために使用した回路構成を示します。標準シーケンサは、変換ごとに2つのAD4697/AD4698チャンネルを切り替えるよう設定されています。チャンネルは、1kHzの逆位相フルスケール・サイン波で駆動されています。

ADA4807-1は低ノイズ広帯域幅アンプで、高精度SAR ADCを駆動するために通常推奨されるものです。また、ADA4077-1は高精度低ドリフトのアンプで、比較的狭い帯域幅となっています。表13に、ADA4807-1とADA4077-1の-3dB帯域幅、入力電圧ノイズ、電源電流の各仕様値を示します。アナログ入力高インピーダンス・モードが無効化されている場合、変換と変換間の電圧キックバックを安定化できないため、ADA4077-1のTHD性能は低下します。アナログ入力高インピーダンス・モードが有効化されている場合、ADA4077-1は、帯域幅が比較的狭いにもかかわらず、ADA4807-1と同等のTHD性能を達成できます。図73に示す例では、アナログ入力高インピーダンス・モードによって、8個のアナログ入力チャンネルごとにADA4807-1またはこれと同等のADCドライバ・アンプを必要とすることがなくなり、そのため、スタンバイ時のシステムの消費電流は約8mA減少し、ソリューション全体のフットプリントは大幅に縮小します。

表26に、各種目標サンプリング・レートと入力信号帯域幅に対し、AD4697/AD4698と併用するために推奨されるアンプおよび外付けRCフィルタ部品の一覧を示します。

アナログ入力高インピーダンス・モードは、CONFIG\_INnレジスタのAINHIZ\_ENビットで有効化できます。標準シーケンサがイネーブルの場合、アナログ入力高インピーダンス・モードは8個のアナログ入力すべてに対し有効化または無効化され、CONFIG\_IN0レジスタのAINHIZ\_ENビットで設定されます。詳細シーケンサがイネーブルの場合または、2サイクル・コマンド・モードまたは単一サイクル・コマンド・モードを使用している場合は、アナログ入力高インピーダンス・モードは8個のアナログ

入力すべてに対し、個別に有効化または無効化され、入力ごとに、対応するCONFIG\_INnレジスタのAINHIZ\_ENビットで設定されます。温度センサーをサンプリングする場合は、アナログ入力高インピーダンス・モードは常に有効化されます。

リファレンス入力高インピーダンス・モードを有効にする場合は、アナログ入力高インピーダンス・モードを有効にする必要があります。いずれかのアナログ入力チャンネルでアナログ入力高インピーダンス・モードが無効となっている場合は、リファレンス入力高インピーダンス・モードも無効とする必要があります。

表 13. 併用アンプの仕様

Amplifier	Input Voltage Noise	-3 dB Bandwidth	Supply Current per Amplifier
ADA4807-1/ ADA4807-2/ ADA4807-4	3.1 nV/√Hz	180 MHz	1.0 mA
ADA4077-1/ ADA4077-2/ ADA4077-4	6.9 nV/√Hz	5.9 MHz	400 μA

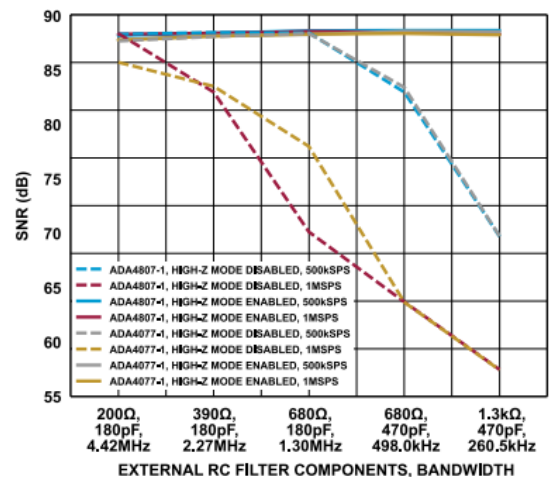


図 71. 様々なアンプのSNRと外付けRCフィルタ部品および帯域幅の関係 (VREF = 5V, fIN = 1kHz)

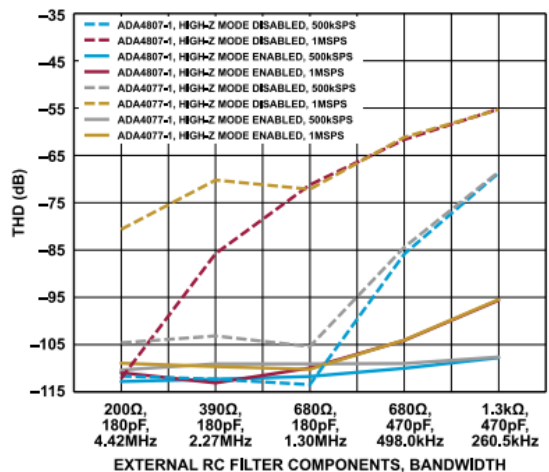


図 72. 様々なアンプのTHDと外付けRCフィルタ部品および帯域幅の関係 (VREF = 5V, fIN = 1kHz)

## 動作原理

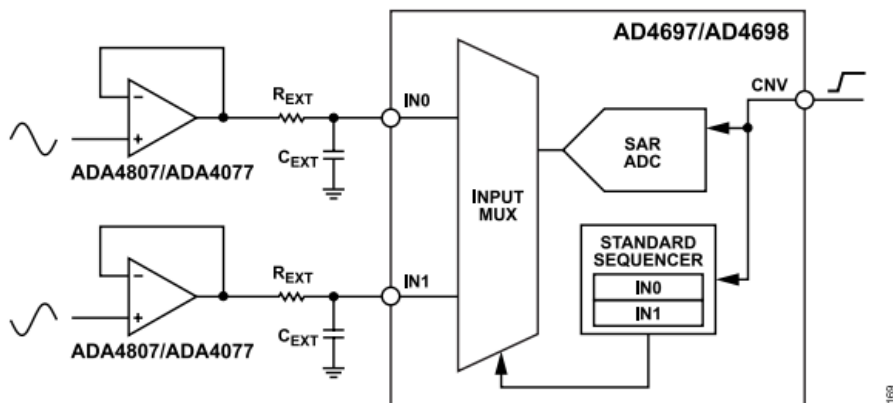


図 73. アンプおよびRCフィルタの性能とアナログ入力高インピーダンス・モードの関係を測定するための試験回路

## 入力過電圧保護クランプ

AD4697/AD4698には、IN0～IN7およびCOMに過電圧保護クランプがあり、長時間のDC過電圧イベントからのデバイスの損傷リスクを抑制します。これらのクランプにより、入力駆動回路の正側電源レールが $V_{REF}$ より大きいようなシステムでも、クランプ用ダイオードを外付けする必要がなくなります（図112を参照）。

表1に、過電圧保護クランプのアクティブ化電圧、非アクティブ化電圧、クランピング電圧を示します。表36と表39には、過電圧状態でのクランプの代表的な作用を示します。クランプ回路がアクティブになるのは、アナログ入力電圧がアクティブ化電圧を超えた場合です。クランプ回路が非アクティブになるのは、入力電圧が非アクティブ化電圧を下回った場合です。クランプがアクティブになっている間、ステータス・レジスタにフラグがセットされ、これはデジタル・ホストが読み出せます。各クランプのステータスの読出しオプションについての詳細は、[過電圧クランプ・フラグ](#)のセクションを参照してください。

入力過電圧イベントによってリファレンス源が妨害される程度が、過電圧保護クランプにより抑制されます。アクティブな場合、クランプはアナログ入力の電圧を仕様規定されたクランプ電圧に制限し、入力電流をアナログ入力とREF入力を接続するESDダイオード（図66のD<sub>i</sub>）を通さずに、グラウンドに流します。これによって、1つのアナログ入力の過電圧状態が別のアナログ入力またはリファレンスを共有する別のデバイスの性能を低下させることを防ぎます。図43に、1つのクランプ入力電流とその結果生じる追加リファレンス入力電流の関係を示します。

図24、図27、および図31～図33は、1つのアナログ入力チャンネルのオフセット誤差、ゲイン誤差、AC性能と、その他の入力のアクティブな過電圧保護クランプ数の関係を示したものです。

各過電圧保護クランプ回路は、5mAの最大持続電流に対応します。9個のクランプ回路はすべて、デバイスに損傷を与えることなく同時に5mAをシンクできます。クランプ電流は、 $V_{REF}$ 、外付け直列抵抗（図66の $R_{EXT}$ など）、AFE回路の出力電圧の関数です。過電圧イベント中に過剰なクランプ電流を防止するために $R_{EXT}$ を選択する方法についての詳細は、[入力過電圧保護クランプ](#)のセクションを参照してください。

## 過電圧減少電流モード

過電圧減少電流モードは、過電圧イベント中に追加されるリファ

レンス電流を更に減少させます。図43は、過電圧減少電流モードを有効にした場合と無効にした場合における、様々なクランプ入力電流に対して引き出される追加リファレンス入力電流の差を示したものです。

過電圧減少電流モードは、REF\_CTRLレジスタのOV\_MODEビットが0に設定されている場合に有効化されます。過電圧減少電流モードはデフォルトで有効化されています。

過電圧減少電流モードを有効化すると、 $R_{EXT}$ の許容可能な最大値が変わり、安定したクランプ動作が実現できます。外付けRCフィルタとクランプ動作の関係についての詳細は、[過電圧保護クランプの安定性](#)のセクションを参照してください。

## 過電圧保護クランプの安定性

アナログ入力の過電圧イベントが問題とはならないアプリケーション、またはクランプの安定性が問題とはならないようなアプリケーションでは、 $R_{EXT}$ および $C_{EXT}$ の値がこのセクションで説明するガイドラインに沿うものである必要はありません。

過電圧保護クランプ回路の安定性は、外付けRCフィルタの部品値と、過電圧減少電流モードが有効か無効かによって異なります。クランプが不安定な場合、過電圧保護イベント中にクランプがアクティブ状態と非アクティブ状態の間を切り替わります。この不安定性は、オーバードライブされた入力とリファレンスの両方にわずかな変調電流が流入する原因となり、リファレンス回路に適切な負荷レギュレーションがなく追加リファレンス電流に対応して安定したリファレンス電圧を維持できない場合、その他のアナログ入力の変換時に測定誤差を生じる可能性があります。表1と図43に、アクティブなクランプごとの追加リファレンス入力（REF）を示します。

安定したクランプ動作を確保するには、外付けRCフィルタの $C_{EXT}$ （図66を参照）は500pF以上であることが必要です。 $R_{EXT}$ の最大値は、過電圧減少電流モードが有効な場合は1k $\Omega$ 、過電圧減少電流モードが無効な場合は2k $\Omega$ です。



## 動作原理

### 過電圧クランプ・フラグ

AD4697/AD4698は、過電圧保護クランプのステータスを確認するための手段をいくつか備えています。

CLAMP\_STATUSレジスタのINX\_CLAMP\_FLAGビットは、IN0～IN7の過電圧保護クランプのステータスを示します。各INX\_CLAMP\_FLAGビットは、対応する入力クランプ回路がアクティブになるとアサートされ、対応する入力クランプ回路が非アクティブになるとデアサートされます。ステータス・レジスタのCLAMP\_FLAGビットは、IN0～IN7のいずれかの組み合わせの過電圧クランプがアクティブになるとアサートされます（いずれかのINX\_CLAMP\_FLAGビットがアサートされている場合）。このビットはスティッキーで、すべてのクランプが非アクティブなときに読み出された場合のみ、クリアされます。

ステータス・レジスタのCOM\_CLAMP\_FLAGビットは、COM入力の過電圧保護クランプがアクティブになるとアサートされ、COM入力の過電圧保護クランプが非アクティブになるとデアサートされます。これらのビットは、レジスタ設定モード時に読み出すことで、各過電圧入力クランプ回路のその時点のステータスを確認できます。

オプション・ステータス・ビットのOV\_ALTフラグを使用すると、変換の実行中にすべての過電圧保護クランプのステータスを確認できます。OV\_ALTフラグは、CLAMP\_STATUSレジスタの8個のINX\_CLAMP\_FLAGビットのビットごとの論理和です。また、OV\_ALTフラグは、過電圧クランプ・フラグと汎用閾値アラート・インジケータの論理和として設定することもできます（[閾値検出とアラート・インジケータ](#)のセクションを参照）。OV\_ALTフラグの設定についての詳細は、[ステータス・ビット](#)のセクションを参照してください。

### 温度センサー

AD4697/AD4698には、ダイの温度を出力電圧に変換する温度センサーが備わっています。この出力電圧はSAR ADCコアによってサンプリングされ、出力コードに変換されます。測定されたダイ温度 (T) と温度センサーの出力電圧 ( $V_{TEMP}$ ) の関係性は、形式的に次式で表されます。

$$V_{TEMP} = \left(-1.8 \frac{mV}{^{\circ}C} \times T\right) + 725 \text{ mV} \quad (2)$$

$V_{TEMP}$ は、ADCによってアナログ入力と同じ伝達関数を用いて16ビットの出力コード ( $C_{TEMP}$ ) に変換されます。 $V_{TEMP}$ は次式により $C_{TEMP}$ から計算できます。

$$V_{TEMP} = C_{TEMP} \times \frac{V_{REF}}{2^{16}} \quad (3)$$

逆に、ダイ温度 (T) の測定値は、次式を用いて $V_{TEMP}$ から計算できます。

$$T = \frac{V_{TEMP} - 725 \text{ mV}}{-1.8 \text{ mV}/^{\circ}C} \quad (4)$$

温度センサーの感度は、デバイス温度の変化に対する出力電圧の変化を測定して求め、代表値は $-1.8 \text{ mV}/^{\circ}C$ です。 $0^{\circ}C$ での温度センサーの出力は $725 \text{ mV}$  (代表値) です。したがって、 $V_{TEMP}$ の範囲

(代表値) は、 $-40^{\circ}C \sim 125^{\circ}C$ の温度範囲に対し $797 \text{ mV} \sim 500 \text{ mV}$ です。

温度センサーが選択されている場合は、マルチプレクサの $SW_{MUX+}$ スイッチ (図67を参照) が温度センサー出力を選択し、 $SW_{MUX-}$ スイッチがREFGNDを選択します。そして、SAR ADCコアが $V_{TEMP}$ をサンプリングして対応する出力コードを生成します。温度センサーのA/D変換では、 $OSR = 1$ のユニポーラ・モードで設定されたアナログ入力と同じ伝達関数が使用されます ([伝達関数のセクション](#)を参照)。

標準シーケンサまたは詳細シーケンサがイネーブルされ、TEMP\_CTRLレジスタのTEMP\_ENビットが1に設定されている場合、温度センサーは、事前にプログラムされたチャンネル・シーケンスの終了時にサンプリングされます。

2サイクル・コマンド・モードまたは単一サイクル・コマンド・モードを使用している場合、温度センサーは、アナログ入力を選択されている場合と同様、SCKの最初の5個の立上がりエッジでSDIにコード $0x0F$ を書き込むことで選択できます (表18を参照)。

温度センサーがイネーブルになっている場合、アナログ入力高インピーダンス・モードは常に有効化され、OSRは常に1です。温度センサーには閾値検出アラートはありません。

### 電圧リファレンス入力

VREFにより、ADCのフルスケール電圧が設定されます ([伝達関数のセクション](#)を参照)。ADCコアは、変換プロセスのビット・トライアルの間にリファレンス入力 (REF) の電圧をサンプリングし、出力コードの結果を定めます。AD4697/AD4698は、 $2.4 \text{ V} \sim 5.1 \text{ V}$ のリファレンス電圧に対応します。

AD4697/AD4698は、選択したリファレンス電圧で最高の性能が発揮できるよう設定する必要があります。REF\_CTRLレジスタのVREF\_SETビット・フィールドには、表46に示すように、VREFの範囲に関し5通りのオプションがあります。この値は、REFピンに加わるVREF電圧と一致するようプログラムする必要があります。

一般的なSAR ADCに共通する課題は、高精度のVREFを維持しながらSARのビット・トライアル中にREF入力が動的に流入電流を引き出せるだけの、十分な駆動能力を持つリファレンス回路を設計することにあります。VREFの偏差は、ゲイン誤差や歪みが増大するなど、ADCの精度や性能の低下につながります。REF入力は、入力がSARプロセスの様々なタイミングで外付けリファレンス回路から電荷を引き出す際に、動的な負荷となります。このプロセスでは通常、十分な負荷レギュレーション機能と駆動能力を持つ電圧リファレンスを使用すること、または、REF入力を駆動するための専用のリファレンス・バッファを大きなリファレンス・デカップリング・コンデンサと共に使用することが必要です。リファレンス回路部品の適切な選択についての詳細は、[リファレンス回路設計](#)のセクションを参照してください。

AD4697/AD4698には、付随するリファレンス回路の設計を簡素化し、小型の低消費電力システムの設計を容易にする機能が組み込まれています。リファレンス入力高インピーダンス・モードは、REF入力電流を約95%減少させるため、性能に影響を及ぼすことなく、REF入力を駆動する電圧リファレンスとアンプの選択の幅を拡大できます ([リファレンス入力高インピーダンス・モード](#)のセクションを参照)。内部リファレンス・バッファ (WLCSPO) オプ

## 動作原理

ションのみ)では、真のバッファ付きリファレンス入力も可能です(内部リファレンス・バッファのセクションを参照)。

平均REF入力電流はサンプリング・レートに比例します(表1および図40を参照)。

### リファレンス入力高インピーダンス・モード

リファレンス入力高インピーダンス・モードが有効化されている場合、平均REF電流は320 $\mu$ A/MSPSから11 $\mu$ A/MSPSへ約95%減少します(表1参照)。このREF電流の減少により、AD4697/AD4698は、性能を低下させることなくリファレンス源とREF入力間の直列抵抗の増加を許容できます。そのため、リファレンス入力高インピーダンス・モードでは、より高い負荷レギュレーション仕様値で電圧リファレンスを使用でき、専用のリファレンス・バッファを必要とすることなく直接REF入力を駆動できます。

REF入力にはリファレンス・デカップリング・コンデンサ( $C_{REF}$ )が必要です。リファレンス入力高インピーダンス・モードが無効な場合、 $C_{REF}$ は10 $\mu$ F以上であることが必要です。リファレンス入力高インピーダンス・モードが有効な場合は、 $C_{REF}$ は1 $\mu$ Fという小さな値にすることができます。

その他のリファレンス回路設計の推奨事項については、[リファレンス回路設計](#)のセクションを参照してください。

リファレンス入力高インピーダンス・モードの有効化および無効化は、REF\_CTRLレジスタのREFHIZ\_ENビットの値を設定することで行うことができます。リファレンス入力高インピーダンス・モードはデフォルトで有効になっています。

リファレンス入力高インピーダンス・モードを有効にする場合は、アナログ入力高インピーダンス・モードを有効にする必要があります。いずれかのアナログ入力チャンネルでアナログ入力高インピーダンス・モードが無効となっている場合は、リファレンス入力高インピーダンス・モードも無効とする必要があります。

### 内部リファレンス・バッファ

内部リファレンス・バッファ(AD4697/AD4698のWLCSPオプションでのみ利用可)は、真のバッファ付きリファレンス入力(REFIN)を提供します。内部リファレンス・バッファは、バッファを備えていない低消費電力のリファレンス源を用いるアプリケーションの場合や、複数のデバイスが共通のリファレンス源を共有する場合に便利です。[内部リファレンス・バッファのためのリファレンス回路設計](#)のセクションで説明するように、カットオフ周波数が非常に低いRCローパス・フィルタを内部リファレンス・バッファ入力に配置すると、リファレンス源からの広帯域ノイズを大幅に低減できます。

内部リファレンス・バッファがイネーブルされている場合、許容できる最大 $V_{REF}$ は $AVDD - 0.3V$ です(表1参照)。

内部リファレンス・バッファを使用しない場合は、REFINをREFに接続してください。

内部リファレンス・バッファがイネーブルされている場合、AD4697/AD4698は $AVDD$ 電源から更に約450 $\mu$ Aの電流を引き出します。ただし、それでもこの追加電源電流は通常、SAR ADCのリファレンス入力を駆動するために一般的に必要とされる専用の外部リファレンス・バッファの電流値より低い値です。表1に、内部リファレンス・バッファをディスエーブルした場合とイネーブルした場合の消費電力を示します。

AD4697/AD4698の内部リファレンス・バッファの簡略化した回路図を、[図74](#)に示します。内部リファレンス・バッファは、REF\_CTRLレジスタのREFBUF\_ENビットを1に設定することでイネーブルできます。内部リファレンス・バッファを使用する場合は、リファレンス入力高インピーダンス・モードを有効にする必要があります(REFHIZ\_EN=1)。内部リファレンス・バッファはデフォルトではディスエーブルされています。

内部リファレンス・バッファがディスエーブルされている場合、REF\_CTRLレジスタのREFBUF\_BPビットをセットすると、REFINピンとREFピンを( $SW_{BP}$ を介して)接続することで、内部リファレンス・バッファをバイパスできます。内部リファレンス・バッファがイネーブルされている場合(REFBUF\_EN=1)、REFBUF\_BPビットの値は無視され、 $SW_{BP}$ は常時オープンになります。REFBUF\_BPビットが1に設定されている場合は、AD4697/AD4698を変換モードで使用しないでください。

内部リファレンス・バッファのターンオン時間の仕様(表1の $t_{REFBUF}$ )は、リファレンス・バッファがイネーブルされてからREFピン電圧が0Vから $V_{REF}$ に0.01%以内の精度で遷移するまでの遅延です。 $t_{REFBUF}$ は $C_{REF}$ に比例します。[図44](#)に、リファレンス・バッファが駆動する $V_{REF}$ と時間および $C_{REF}$ の関係を示します。内部リファレンス・バッファにはブースト・モードがあり、内部リファレンス・バッファの出力電流を増加させることでイネーブル時の内部リファレンス・バッファ・ターンオン時間を短縮できます([リファレンス・バッファの起動の最適化](#)のセクションを参照)。リファレンス・バッファ・ブースト・モードを有効化するには、REF\_CTRLレジスタのREFBUF\_BOOSTビットを1に設定します。リファレンス・バッファ・ブースト・モードはデフォルトでは無効化されています。

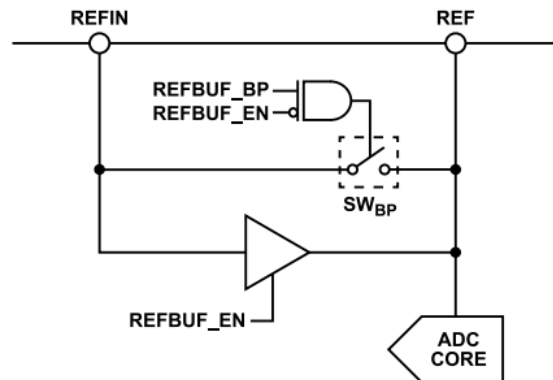


図 74. 内部リファレンス・バッファの簡略化した回路図

## 電源

AD4697/AD4698には、アナログ電源( $AVDD$ )、ADCコア電源( $VDD$ )、デジタル入出力インターフェース電源( $VIO$ )の3つの電源ピンがあります。また、AD4697/AD4698には内部LDOもあり、これを用いると、より幅広い電源電圧で $VDD$ レールを供給できます(または、LDO\_INを $AVDD$ に接続することで単電源システムで使用できます)。表1に、仕様規定された電源電圧条件を示します。

$AVDD$ の範囲は3.15V~5.5Vで、マルチプレクサ、アナログ入力高インピーダンス・モードおよびリファレンス入力高インピーダンス・モード回路、内部リファレンス・バッファ(WLCSPオプションのみ)などの、AD4697/AD4698のAFE機能に電力を供給しま

## 動作原理

す。内部リファレンス・バッファがディスエーブルされREF入力  
が直接駆動されている場合は、AVDDはREF-0.25Vという低電圧  
が可能です。内部リファレンス・バッファがイネーブルされV<sub>REF</sub>  
がREFINで供給されている場合は、AVDDにはREFIN+0.3V以上  
が必要です（表1参照）。

VDDは公称1.8Vで、ADCコアとデバイス・レジスタ・メモリの両  
方に電力を供給します。最初に電力がVDDに供給されると、ADC  
コアが初期化され、デバイス・レジスタの内容がデフォルト状態  
に設定されます（レジスタの情報のセクションを参照）。

VIOの範囲は1.14V~1.98Vで、デジタル・インターフェース・ピ  
ンの入出力レベルを設定します。VIOによって、1.2V~1.8Vのデ  
ジタル・コントローラ・ロジック・レベルとの直接的なインター  
フェース接続が可能になります（詳細はデジタル・インターフェ  
ースのセクションを参照）。

AVDD、LDO\_IN、VDDとAGNDの間、およびVIOとIOGNDの間  
は、100nF以上のコンデンサでデカップリングしてください。  
AVDDとLDO\_INを短絡すると、両方のピンで1つのデカップリン  
グ・コンデンサを用いることができます。内部LDOを使用しない  
場合は、LDO\_INのデカップリングは不要です。

内部LDOのセクションで説明するように、内部LDOを用いる場  
合、適切なデバイス動作を実現するために、VDDピンに100nF以  
上のデカップリング・コンデンサが必要です。

AD4697/AD4698は、VIO、VDD、AVDD（および内部LDOがイネ  
ーブルの場合はLDO\_IN）の間の電源シーケンスには依存しませ  
ん。VIOとVDDが最初に給電されると、パワーオン・リセット  
（POR）が起動します（デバイスのリセットのセクションを参  
照）。また、AD4697/AD4698は広い周波数範囲にわたって電源の  
リップルによる影響を受けません（図35を参照）。

### 内部LDO

AD4697/AD4698への電力供給に必要なシステム電源レールの数を  
最小限に抑えるために、内部LDOを使用してVDD電圧を内部供給  
することができます。LDO\_INをAVDDに接続すると、単一電源  
でデバイス全体に給電することができます（VIOは除く、これは  
デジタル・ホストの入出力電圧で給電する必要があります）。

内部LDOをイネーブルするには、LDO\_INを2.4V以上に駆動し、  
VIOが既に給電されている必要があります。内部LDOをイネー  
ブルするには、セットアップ・レジスタのLDO\_ENビットを1に設定  
します。デバイスのパワーアップ時とデバイス・リセット後は、  
内部LDOはデフォルトでイネーブルされます。

内部LDOの出力はVDDピンに接続されます。内部LDOがイネー  
ブル時、その出力はVDDを内部で駆動します。内部LDOがディス  
エーブル時、その出力はディスエーブルされ高インピーダンスにな  
ります。

内部LDOには出力デカップリング・コンデンサが必要です。内部  
LDOを使用する場合、図112に示すように、VDDピンとAGNDピ  
ンの間に100nF~10μFのデカップリング・コンデンサを接続して  
ください。

内部LDO出力でVIOに直接給電することはできません。VIOに  
は、デジタル・ホストまたはその他のシステム電源レールで給電  
する必要があります。

内部LDOを使用している場合、VDD電源電圧は、LDO\_INとVIO

が給電されたときに、内部LDO出力によって自動的に駆動されま  
す。内部LDOを使用しない場合、LDO\_INはAGNDに接続し、  
VDDには外部から供給することが必要です。

内部LDO出力は、VDDが別の1.8V電源で駆動されている場合、ま  
たはVDDが偶然AGNDに短絡された場合にも耐えられるよう設計  
されています。VDDが他のレールや負荷とは確実に切断されてい  
るようにすることを推奨します。内部LDOは、他のデバイスに電  
源供給することは目的としていません。VDDに外部から給電する  
場合は、LDO\_IN入力がAGNDに短絡されている場合でも、セッ  
トアップ・レジスタのLDO\_ENビットをクリアすることを推奨し  
ます（デバイス設定の推奨事項のセクションを参照してくださ  
い）。

内部LDOをディスエーブルすると、AVDD、LDO\_IN、またはVIO  
レールをディスエーブルせずにAD4697/AD4698を低消費電力状態  
にすることができます。VDDが外部電源から給電されていない場  
合に内部LDOがディスエーブルされると、ADCコアはシャットダ  
ウンし、設定レジスタの内容は消去されます。内部LDOは、SPI  
を介したウェイクアップ・コマンド、またはハードウェア・リセ  
ットにより再度イネーブルできます。ウェイクアップ・コマンド  
は0x81で、ソフトウェア・リセットを実行することと同等です  
（ハードウェア・リセットとソフトウェア・リセットの詳細につ  
いては、デバイスのリセットのセクションを参照してくださ  
い）。デジタル・インターフェースでは、ウェイクアップ・コマ  
ンドを受けられるようVIOが引き続き給電されていることが必要  
です。また、内部LDOは、VIOが仕様規定された範囲にない場合  
はイネーブルされません（表1を参照）。

### オーバーサンプリングおよびデシメーション

AD4697/AD4698には、オーバーサンプリングおよびデシメーシ  
ョン・エンジンがあり、連続的なADCサンプルを平均化して、オー  
バーサンプリングの結果を高い実効分解能と低い実効ノイズで生  
成します（表1を参照）。

各アナログ入力チャンネルは、OSRを1、4、16、または64として設  
定できます表21と表22、および伝達関数のセクションで示すよう  
に、OSRが4、16、または64のチャンネルに対して生成された変換  
結果は、17ビット、18ビット、または19ビットの長さとなります。

チャンネル・シーケンシング・ロジックによって所定のアナログ  
入力チャンネルが選択されている場合、マルチプレクサは、指定  
された数の変換が実行されるまでそのチャンネルを選択し続けます。  
そして、それらの変換の各結果が共に平均化されて1つの出力  
コードが生成されます。例えば、IN0のOSRが64に設定されている  
場合、1つの平均化された結果は、64番目のCNV立上がりエッジ後  
に生成されます（AD4697/AD4698が変換モードになっている場  
合）。チャンネルのOSRを1に設定することは、そのチャンネルに  
ついてはオーバーサンプリングを行わないことに相当します。

ビジー・インジケータがBSY\_ALT\_GP0ピンまたはシリアル・デ  
ータ出力でイネーブルされている場合、このインジケータはデー  
タ・レディ信号として作用し、オーバーサンプリング結果が使用  
可能となった場合にのみローに遷移します（ビジー・インジケ  
ータのセクションを参照）。図78は、あるチャンネルのOSRが1より  
大きい値に設定されている場合の、ビジー・インジケータの相対  
的なタイミングを示すものです。

所定のチャンネルの実効的なサンプリング周期は、表2の変換周  
期（t<sub>cv</sub>）にそのOSRを乗じた値に等しくなります。図78は、



## 動作原理

CNV信号の相対的なタイミングとオーバーサンプリング結果の可用性を示しています。チャンネルごとに必要な特定の実効サンプリング・レートを達成するチャンネル・シーケンスを設計する場合、各チャンネルのOSRを考慮してください（[実効チャンネル・サンプリング・レートのセクション](#)を参照）。

OSRは、CONFIG\_INnレジスタのOSR\_SETビット・フィールドで設定されます（[表54](#)を参照）。

標準シーケンサがイネーブルの場合、全アナログ入力チャンネルのOSRは同じで、CONFIG\_IN0レジスタのOSR\_SETビット・フィールドで設定されます。詳細シーケンサがイネーブルの場合、8個のアナログ入力チャンネルはそれぞれ、対応するCONFIG\_INnレジスタのOSR\_SETビット・フィールドを使用して別々のOSR設定に設定できます。

2サイクル・コマンド・モードまたは単一サイクル・コマンド・モードでは、オーバーサンプリングは使用できません。2サイクル・コマンド・モードまたは単一サイクル・コマンド・モードを使用する場合は、すべてのアクティブ・チャンネルのOSR\_SETビット・フィールドを0x0に設定してください。

自動サイクル・モードがイネーブルの場合、変換信号はAD4697/AD4698によって内部で生成され、オーバーサンプリング・エンジンはOSR変換周期の間待機し続けてから出力結果を生成します。

### オフセットおよびゲイン補正

AD4697/AD4698にはオフセットとゲインの誤差補正機能があり、AFEのシグナル・チェーン全体にわたって一次の非理想特性を補正できます。オフセットおよびゲイン誤差補正は、ADCの伝達関数全体のオフセットとゲインをデジタル的に調整します（[伝達関数のセクション](#)を参照）。

最終的な出力コードは次式を用いて計算されます。

$$OUT = (IN + B) \times M \quad (5)$$

ここで、  
OUTは最終的な出力コード結果、  
INはADCが生成する結果（オーバーサンプリング後）、  
Bはオフセット補正值、  
Mはゲイン補正值です。

各アナログ入力のゲイン補正值（M）は、対応するGAIN\_INnレジスタのゲイン・ビット・フィールドで設定されます。ゲイン・ビット・フィールドは16ビット幅のストレート・バイナリ形式です。ゲイン補正值の範囲は0~1.99997で、次式から計算されません。

$$M = Gain \div 2^{15} \quad (6)$$

ここで、Gainは、ゲイン・ビット・フィールドに書き込まれている値です。

各アナログ入力のオフセット補正值（B）は、対応するOFFSET\_INnレジスタのオフセット・ビット・フィールドで設定されます。オフセット・ビット・フィールドは16ビット幅で、正負のオフセット補正ができるよう2の補数形式となっています。オフセット補正值の範囲は、すべてのOSRオプションに対し

±FSR/8です。つまり、オフセット・ビット・フィールドのMSBは、常にADCの結果の(MSB-3)ビットに対応します。例えば、所定のアナログ入力チャンネルのOSRが1の場合、オフセット補正值はOFFSETのビット [15:3] に相当し、OSRが64の場合のオフセット補正值は、OFFSETのビット [15:0] となります。[表14](#)に、各OSRオプションのオフセット補正值を示します。

オフセットおよびゲイン補正は、すべてのアナログ入力チャンネルに対し常に有効となっています。所定のアナログ入力のOFFSETフィールドが0x0000となっている場合、オフセット補正值は0で、これはオフセット補正を適用しないのと同じことです。所定のアナログ入力のGAINビット・フィールドが0x8000となっている場合、ゲイン補正值は1で、これはゲイン補正を適用しないのと同じことです。

表 14. オーバーサンプリング比とオフセット補正值の関係

Oversample Ratio	Offset Correction Value (B)
1	OFFSET, Bits[15:3]
4	OFFSET, Bits[15:2]
16	OFFSET, Bits[15:1]
64	OFFSET, Bits[15:0]

### 閾値検出とアラート・インジケータ

AD4697/AD4698には、アラート・インジケータを備えた閾値検出機能があり、変換結果がユーザ定義の上限および下限から逸脱した場合に、デジタル・ホスト・システムにそれを通知します。

CONFIG\_INnレジスタのTD\_ENビットで、対応するアナログ入力の閾値検出が有効化または無効化されます。標準シーケンサがイネーブルの場合、閾値検出は、CONFIG\_IN0レジスタのTD\_ENビットで全アナログ入力に対し有効化または無効化されます。詳細シーケンサ、2サイクル・コマンド・モード、または単一サイクル・コマンド・モードがイネーブルの場合、閾値検出は、対応する各CONFIG\_INnレジスタのTD\_ENビットで、アナログ入力ごとに個別に有効化または無効化されます。

閾値検出が所定のアナログ入力に対し有効化されている場合、そのアナログ入力に対し生成されたADCの結果は、上限閾値および下限閾値と比較されます。上限および下限閾値は、8個のアナログ入力ごとに個別に割り当てることができます。8個のアナログ入力の上限および下限閾値は、UPPER\_INnレジスタおよびLOWER\_INnレジスタの上限ビット・フィールドと下限ビット・フィールドで設定されます。上限ビット・フィールドおよび下限ビット・フィールドは12ビット幅で、すべてのOSRオプションに対しADC結果の12MSBに対応します。例えば、上限ビット・フィールドを0xFFFFに設定すると、そのチャンネルのOSRが1の場合は上限閾値0xFFF0に対応し、そのチャンネルのOSRが64の場合は0x7FF80に対応します（[オーバーサンプリングおよびデシメーションのセクション](#)を参照）。

アナログ入力がユニポーラ・モードに設定されている場合、対応する上限および下限ビット・フィールドはストレート・バイナリ形式となります。アナログ入力が疑似バイポーラ・モードに設定されている場合は、対応する上限および下限ビット・フィールドは2の補数形式となります。



## 動作原理

### アラート・インジケータ・レジスタ

ALERT\_STATUS1レジスタとALERT\_STATUS2レジスタには、8個のアナログ入力すべてに対し、上限アラート・インジケータ (HI\_INn) と下限アラート・インジケータ (LO\_INn) があります。ステータス・レジスタのTD\_ALERTビットは、HI\_INnビットとLO\_INnビットの論理和です。ADCの結果が上限閾値以上の場合、対応するHI\_INnフラグが1にセットされます。ADCの結果が下限閾値以下の場合、対応するLO\_INnフラグが1にセットされます。INnアナログ入力のOSRが1より大きい場合、それに対応するHI\_INnフラグとLO\_INnフラグの状態は、オーバーサンプリング結果が生成されると更新されます。

TD\_ALERTビットを読み出すと、いずれかの上限閾値または下限閾値から逸脱しているかどうかデジタル・ホストに通知され、HI\_INnビットとLO\_INnビットを読み出すと、どのチャンネルでどのタイプの閾値からの逸脱があったかが通知されます。これらのアラート・インジケータ・ビットを含むレジスタから読み出しを行うには、AD4697/AD4698がレジスタ制御モードになっていることが必要ですが、TD\_ALERTの状態は、ステータス・ビットまたは汎用ピンを介して読み出すこともできます（これらのオプションが有効になっている場合。ステータス・ビットのセクションおよび汎用ピンのアラート・インジケータのセクションを参照）。

HI\_INnとLO\_INnのビットは、読み出されるとクリアされ、SPI読出しトランザクションを通じて読み出されると自動的に0にリセットされます（レジスタ設定モードの場合）。

セットアップ・レジスタのALERT\_MODEビットが0に設定されている場合、HI\_INnとLO\_INnのビットは、ユーザ・プログラマブルなヒステリシス設定に基づいて自動的にクリアされます。8個のHYST\_INnレジスタのヒステリシス・ビット・フィールドが、対応するアナログ入力のヒステリシス値を設定します。アナログ入力ごとに異なるヒステリシス値でプログラムできます。このオプションが選択されている場合、各HI\_INnビットは、対応するアナログ入力が生じた変換結果が上限閾値からヒステリシス値を差し引いた値より小さい場合に、自動的にクリアされます。各LO\_INnビットは、対応するアナログ入力が生じた変換結果が下限閾値にヒステリシス値を加えた値より大きい場合に、自動的に

クリアされます。図75に、対応するアナログ入力チャンネルで変換結果が生成されたとき、ALERT\_MODEが0および1に設定されている場合に、どのようにHI\_INnとLO\_INnのビットがセットされクリアされるかを示します。ALERT\_MODEはデフォルトでは0に設定されています。

### 汎用ピンのアラート・インジケータ

アラート・インジケータが汎用ピンでイネーブルとなっている場合、TD\_ALERTビットの状態はBSY\_ALT\_GP0またはGP2ピンで駆動されるため、変換を中断せずに閾値超えを検知できます。汎用ピンでのアラート・インジケータに自動サイクル・モードを組み合わせると、デジタル・ホスト・シリアル・インターフェースは閾値超えが検知されるまでアイドルのままとなります（自動サイクル・モードのセクションを参照）。

図94～図99に、CNV立上がりエッジからアラート・インジケータの状態が更新され汎用ピンで駆動されるまでの相対的なタイミングを示します。

AD4697/AD4698のWLCSPオプションでは、アラート・インジケータはBSY\_ALT\_GP0ピンまたはGP2ピンのいずれかでイネーブルできます。GP\_MODEモード・レジスタのALERT\_GP\_SELビットで、どちらの汎用ピンをアラート・インジケータに設定するかを選択できます。GP\_MODEモード・レジスタのALERT\_GP\_ENビットを1に設定すると、選択した汎用ピンのアラート・インジケータがイネーブルされます（表51参照）。

AD4697/AD4698のLFCSPオプションでは、BSY\_ALT\_GP0ピンでのみアラート・インジケータをイネーブルでき、ALERT\_GP\_SELビットの状態はデバイス動作には影響しません。GP\_MODEモード・レジスタのALERT\_GP\_ENビットを1に設定するとBSY\_ALT\_GP0のビジー・インジケータがイネーブルされます（表51参照）。

BSY\_ALT\_GP0およびGP2ピンは、アラート・インジケータ以外の機能を実行するようにも設定できるため、アラート・インジケータとして設定するには、これより優先度の高いその他の機能をすべて無効にする必要があります。汎用ピンの設定に関する詳細は、汎用ピンのセクションを参照してください。

動作原理

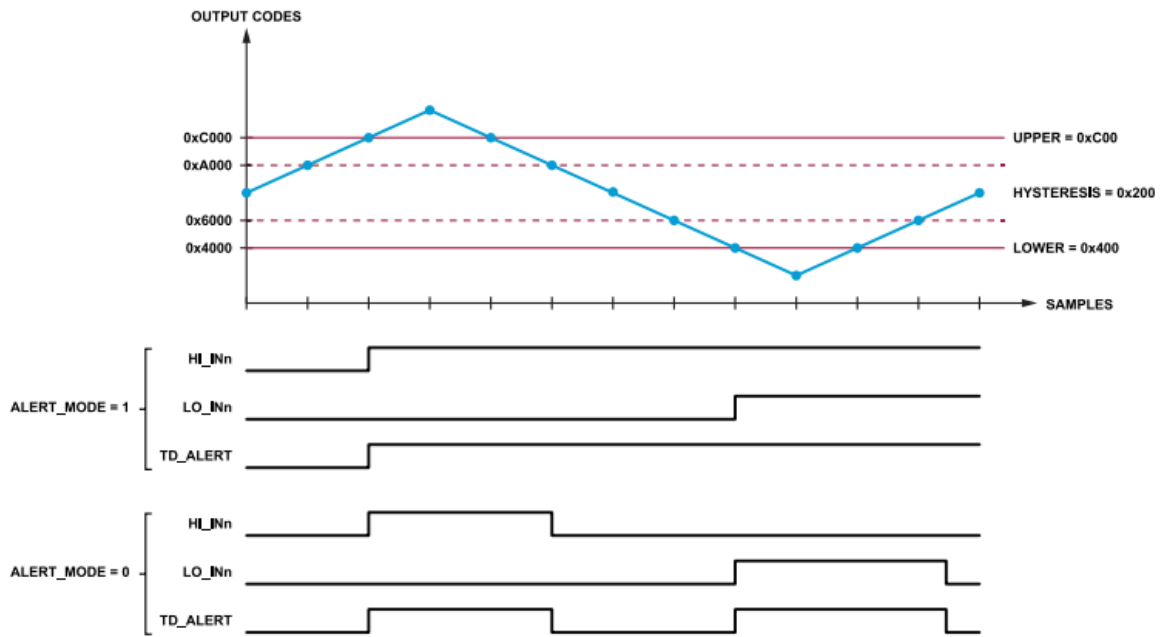


図 75. ヒステリシスを有効にした場合と無効にした場合のアラート・インジケータの動作 (ユニポーラ・モード、OSR = 1)

## 動作原理

### ビジー・インジケータ

ビジー・インジケータは、データ・レディ信号として作用し、これを使用するとデジタル・ホストの割込みサービス・ルーチンをトリガして、ADC結果を読み出すSPIトランザクションを始動できます（**変換モード**のセクションと**変換モードでのSPIペリフェラル同期**のセクションを参照）。ビジー・インジケータは、シリアル・データ出力と一部の汎用ピンでイネーブルできます。

### シリアル・データ出力のビジー・インジケータ

ビジー・インジケータがシリアル・データ出力でイネーブルされている場合、シリアル・データ出力は、ADCが変換フェーズにある間は高インピーダンスになり、ADCの結果がレディになると低インピーダンスになります。セットアップ・レジスタのSDO\_STATEビットを1に設定すると、シリアル・データ出力でビジー・インジケータをイネーブルできます。

図94～図99に、シリアル・データ出力のビジー・インジケータに対するCNV立上がりエッジの相対的なタイミングを示します。

SDO\_MODEビット・フィールドで選択されたシリアル・データ出力モードによって、シリアル・データ出力に割り当てられるピンが決まります（**シリアル・データ出力モード**のセクションを参照）。SDO\_STATEが1に設定されている場合、ビジー・インジケータは、シリアル・データ出力として割り当てられたすべてのピンでイネーブルになります。単一SDOモードが選択されている場合、ビジー・インジケータは、SDOでのみ出力されます。デュアルSDOモードまたはクワッドSDOモードが選択されている場合、ビジー・インジケータは、表19に示す関連汎用ピンでも出力されます。

シリアル・データ出力でビジー・インジケータがイネーブルされている場合、使用するそれぞれのピンにプルアップ抵抗（最小2kΩ）を配置し、ADCの結果がレディ状態となるまで確実にシリアル・データ出力ラインがハイとなるようにします。

シリアル・データ出力は、 $\overline{CS}$ ピンがハイに駆動されている場合は常に、強制的に高インピーダンス状態になります。ADCの結果がレディ状態のときに $\overline{CS}$ ピンがハイであれば、シリアル・データ出力は、 $\overline{CS}$ ピンがローになるまで高インピーダンスを維持します（**デジタル・インターフェース**のセクションを参照）。

### 汎用ピンのビジー・インジケータ

ビジー・インジケータが汎用ピンでイネーブルされている場合、選択した汎用ピンは、ADCが変換フェーズにある間はハイになり、ADCの結果がレディになるとローになります。GP\_MODEモード・レジスタのBUSY\_GP\_ENビットを1に設定すると、選択した汎用ピンでビジー・インジケータがイネーブルされます。

図94～図99に、ビジー・インジケータの立上がりおよび立下がりエッジに対するCNV立上がりエッジの相対的なタイミングを示します。

AD4697/AD4698のWLCSPオプションでは、ビジー・インジケータはBSY\_ALT\_GP0またはGP3ピンのいずれかでイネーブルできます。GP\_MODEモード・レジスタのBUSY\_GP\_SELビットで、どちらの汎用ピンをビジー・インジケータに設定するかを選択できます。GP\_MODEモード・レジスタのBUSY\_GP\_ENビットを1に設定すると、選択した汎用ピンでビジー・インジケータがイネーブルされます。

AD4697/AD4698のLFCSPオプションでは、BSY\_ALT\_GP0ピンでのみビジー・インジケータをイネーブルでき、BUSY\_GP\_SELビットの状態はデバイス動作には影響しません。GP\_MODEモード・レジスタのBUSY\_GP\_ENビットを1に設定すると、BSY\_ALT\_GP0ピンでビジー・インジケータがイネーブルされます。

汎用ピンがビジー・インジケータとして割り当てられている場合、 $\overline{CS}$ ピンがハイになっても、汎用ピンは強制的に高インピーダンスにされることはありません。そのため、デジタル・ホストは、ビジー・インジケータの立下がりエッジが認識されるまで、シリアル・インターフェースを完全にディスエーブルのままにしておくことができます（**変換モードでのSPIペリフェラル同期**のセクションを参照）。

BSY\_ALT\_GP0およびGP3ピンは、ビジー・インジケータ以外の機能を実行するようにも設定できるため、ビジー・インジケータとして設定するには、これより優先度の高いその他の機能をすべて無効にする必要があります。汎用ピンの設定に関する詳細は、**汎用ピン**のセクションを参照してください。

### チャンネル・シーケンシング・モード

変換モードでは、**コンバータの動作**のセクションで説明するように、AD4697/AD4698のマルチプレクサ・チャンネルは、ADCコアのアクイジション・フェーズの開始時に、変換周期ごとに更新されます。マルチプレクサは内部のチャンネル・シーケンシング・ロジックで制御され、また、チャンネル・シーケンスをプログラムするには4通りのオプションがあります。

標準シーケンサと詳細シーケンサは、事前にプログラムされているチャンネル・シーケンスの進行を自動化します。標準シーケンサまたは詳細シーケンサのどちらかがイネーブルとなっている場合、デジタル・ホストは、SPIを介して変換結果を読み出す間にチャンネル・シーケンシング命令を発する必要がなくなり、デジタル・リソースの条件が緩和されます。

2サイクル・コマンド・モードと単一サイクル・コマンド・モードの場合、デジタル・ホストは、変換データのリードバック・フレームの間にシリアル・インターフェースで書き込まれる5ビット・コマンドを通じて、チャンネル・シーケンスを直接制御できます。2サイクル・コマンド・モードと単一サイクル・コマンド・モードを使用することで、制御ループ・アプリケーションなど、動的で適応型のチャンネル・シーケンシング条件が課せられたシステムが可能となります。

図76～図80に、チャンネル・シーケンシング設定とCNV信号を基準とした、AD4697/AD4698のマルチプレクサ・チャンネル選択、ADCサンプリング、変換データ出力の変換モードでのタイミング例を示します。「BUSY」のラベルが付いた信号はビジー・インジケータを示し、**ビジー・インジケータ**のセクションで説明されているように、BSY\_ALT\_GP0ピン、GP3ピン、またはシリアル・データ出力でイネーブルできます。「SDOx」のラベルが付いた信号は、**シリアル・データ出力モード**のセクションで説明されているように、SDOピンの他、デュアルSDOモードまたはクワッドSDOモードがイネーブルの場合に追加されるシリアル・データ出力信号を示します。

表15に、4つのチャンネル・シーケンシング・モードを選択するために使用する設定を示します。STD\_SEQ\_ENビットとNUM\_SLOTS\_ASビット・フィールドは、どちらもSEQ\_CTRLレジスタにあります。CYC\_CTRLビットはセットアップ・レジスタにあります。

## 動作原理

チャンネル設定オプションのセクションに記されているように、偶数番号と奇数番号の入力がペアとなっている場合、4つのチャンネル・シーケンシング・モードのいずれかを使用して奇数番号入力を選択すると、その代わりに偶数番号入力を選択された場合と同じ動作となります。そのため、チャンネル・シーケンスには偶数番号の入力のみを含めるよう推奨します。

表 15. チャンネル・シーケンシング・モードのレジスタ設定

Channel Sequencing Mode	STD_SEQ_EN	NUM_SLOTS_AS	CYC_CTRL
Standard Sequencer	1	Don't care	0
Advanced Sequencer	0	0x01 to 0x7F	0
Two-Cycle Command	0	0x00	0
Single-Cycle Command	0	0x00	1

### 標準シーケンサ

標準シーケンサは、事前にプログラムされた一連のイネーブル・チャンネルを通じて、進行を自動化します。標準シーケンサは、4つのチャンネル・シーケンシング・モードの中で最も単純なもので、固定された静的なチャンネル・シーケンスのシステムに最適です。

標準シーケンサは、イネーブルされたチャンネルを昇順に進行し、デバイスが変換モードを終了するまで、そのシーケンスを繰り返します。マルチプレクサ・チャンネルは、変換結果がレディ状態になるたびに、その次にイネーブルされたチャンネルに更新されます。図76に、どのチャンネルでもオーバーサンプリングが行われないシーケンスにおいて、標準シーケンサ、3個のアナログ入力 (IN0、IN2、IN7)、温度センサーがイネーブルされている場合の例を示します。

STD\_SEQ\_CONFIGレジスタのビットは、標準シーケンサがイネーブルされている場合にどのチャンネルをチャンネル・シーケンスに含めるかを制御します。STD\_SEQ\_CONFIGレジスタの各ビットは、8個のアナログ入力の1つに対応し、各チャンネルは、対応するビットが1に設定された場合、イネーブルになります。TEMP\_CTRLレジスタのTEMP\_ENビットが1に設定されている場合、シーケンスの最後に温度センサーも追加されます。例えば、図76では、STD\_SEQ\_CONFIGレジスタにプログラムされた値が0x0085で、TEMP\_ENビットが1に設定されています。

標準シーケンサをイネーブルするには、SEQ\_CTRLレジスタのSTD\_SEQ\_ENビットを1に設定し、セットアップ・レジスタのCYC\_CTRLビットを0に設定します (表15を参照)。標準シーケンサはデフォルトでイネーブルされています。

AD4697/AD4698がレジスタ設定モードになっており、SEQ\_CTRLレジスタのSTD\_SEQ\_ENビットが1に設定されている場合、マルチプレクサは自動的に、シーケンスの最初のイネーブル・チャンネルをADCコア入力に接続します。それによって、ADCはデバイスが変換モードに入る前でもそのチャンネルで信号を取得できます。

標準シーケンサがイネーブルの場合、CONFIG\_IN0レジスタのコントロール・ビットが、IN0～IN7のすべてのアナログ入力の設定を決定します (極性モードを除きます。このモードは、各INnアナログ入力について、対応するCONFIG\_INnレジスタのIN\_MODEビットで個別に設定されます)。そのため、アナログ入力はすべ

て、ピン・ペアリング・オプション、アナログ入力高インピーダンス・モード有効化設定、OSR設定、閾値有効化設定が同じになります。

マルチプレクサは、選択されたチャンネルのOSR設定によって定められた必要な変換数が完了するまで、シーケンスの次のチャンネルには進みません。例えば、OSRが16に設定されている場合、変換結果がレディ状態となりマルチプレクサがシーケンスの次のチャンネルを選択するまでに、16個のCNV立上がりエッジが必要です。図77に、すべてのチャンネルのOSRがNに設定されている場合のタイミング例を示します。詳細については、オーバーサンプリングおよびデシメーションのセクションを参照してください。

標準シーケンサがイネーブルの場合、イネーブルされた各アナログ入力はシーケンスの繰り返しごとに1回サンプリングされます。つまり、各アナログ入力の実効サンプリング・レートは等しくなります。詳細については、実効チャンネル・サンプリング・レートのセクションを参照してください。

### 詳細シーケンサ

詳細シーケンサは、チャンネルの順番が完全にカスタマイズ可能な事前プログラムされたチャンネル・シーケンスを通じて、進行を自動化します。詳細シーケンサは、最小のデジタル・オーバーヘッドで柔軟性に優れたチャンネル・シーケンスを可能にします。

詳細シーケンサは、一式のチャンネル・スロットを段階的に進行します。ここで、各スロットは8個のアナログ入力のいずれかに割り当てられ、シーケンスは2スロット～128スロットとなります。このシーケンスは、イネーブルされたスロットをスロット0から昇順で進行し、デバイスが変換モードを終了するまで繰り返されます。図77に、詳細シーケンサがイネーブルされ、4個のスロットがイネーブルされてIN6、IN5、IN6、IN3に割り当てられ、温度センサーがイネーブルとなっている場合の例を示します (いずれのチャンネルにもオーバーサンプリングはなし)。

シーケンスのスロット数は、SEQ\_CTRLレジスタのNUM\_SLOTS\_ASフィールドで設定されます。各チャンネル・スロットの割当ては、AS\_SLOTnレジスタ (レジスタ・アドレス0x100～レジスタ・アドレス0x17F) のSLOT\_INXフィールドで設定されます。ここで、AS\_SLOT0はスロット0、AS\_SLOT1はスロット1に対応し、以下同様に対応します。表60に、8個のアナログ入力それぞれのSLOT\_INXの値を示します。

TEMP\_CTRLレジスタのTEMP\_ENビットが1に設定されている場合、シーケンスの最後に温度センサーが追加されます。温度センサーは、AS\_SLOTnレジスタのSLOT\_INXビット・フィールドでは選択できません。

詳細シーケンサをイネーブルするには、STD\_SEQ\_ENビットを0、CYC\_CTRLビットを0、NUM\_SLOTS\_ASビット・フィールドを1～127の任意の値に設定します (表15を参照)。

AD4697/AD4698がレジスタ設定モードになっており、SEQ\_CTRLレジスタのSTD\_SEQ\_ENビットが0に設定されている場合、マルチプレクサは自動的に、AS\_SLOT0レジスタで指定されたチャンネルをADCコア入力に接続します。それによって、ADCはデバイスが変換モードに入る前でもそのチャンネルで信号を取得できます。



## 動作原理

詳細シーケンサがイネーブルの場合、各チャンネルの構成設定は対応するCONFIG\_INnレジスタで行われます。そのため、すべてのアナログ入力、チャンネル設定オプション、アナログ入力高インピーダンス・モード有効化設定、OSR設定、閾値有効化設定が異なる可能性があります。変換モードに入り変換を開始する前に、CONFIG\_INnレジスタを設定してください。

マルチプレクサは、選択されたチャンネルのOSR設定によって定められた必要な変換数が完了するまで、シーケンスの次のチャンネルには進みません。シーケンスの1つのチャンネルのOSRが1以外の値に設定されている場合（対応するCONFIG\_INnレジスタのOSR\_SETフィールドが0x0に設定されていない場合）、詳細シーケンサはシーケンスの次のチャンネルには進まず、ビジー・インジケータは、必要な数の変換が完了するまでローに遷移しません。例えば、OSRが16に設定されている場合、変換結果がレディ状態となりマルチプレクサがシーケンスの次のチャンネルを選択するまでに、16個のCNV立上がりエッジが必要です。図78に、IN0のOSRがNに設定されている場合のタイミング例を示します。詳細については、[オーバーサンプリングおよびデシメーション](#)のセクションを参照してください。

詳細シーケンサがイネーブルの場合、チャンネル・シーケンスは、チャンネルごとに異なる実効サンプリング・レートを実現できるよう設定できます。詳細については、[実効チャンネル・サンプリング・レート](#)のセクションを参照してください。

### 2サイクル・コマンド・モード

2サイクル・コマンド・モードを使用すると、デジタル・ホスト・システムがシーケンスの次のチャンネルをその場で手動制御できるようになり、変換を中断することなく動的なチャンネル・シーケンシングが可能となります。

2サイクル・コマンド・モードでは、チャンネル・シーケンスは、変換結果のリードバック・フレームの間にデジタル・ホストから送信される5ビットのコマンドで決まります。この5ビット・コマンドは、フレームの最初の5個のSCK立上がりエッジでSDIにクロック・インされ、フレームの6個目のSCK立下がりエッジでメモリにラッチされます。有効なチャンネル・コマンドが受信されると、そのチャンネルの変換結果は2変換周期後に読出し可能となります。図79に、2サイクル・コマンド・モードにおける、5ビット・コマンド（CMDと表示）と対応するアキュイジション・フェーズ、変換フェーズ、変換結果リードバックの相対的なタイミングを示します。

5ビットのチャンネル・コマンドがラッチされてから、マルチプレクサ・スイッチが対応するチャンネルを選択しADC変換フェーズを開始するため、2サイクル・コマンド・モードではすべてのチャンネルのアキュイジション時間が最も長くなります。

表18に、IN0～IN7または温度センサーを選択するための有効なコマンドを示します。表18に挙げたもの以外のコマンドは無動作（NOOP）コマンドとして処理され、マルチプレクサはその前のチャンネルを繰り返すこととなります。

2サイクル・コマンド・モードが有効になっている場合、最初に選択されるアナログ入力チャンネルは、AS\_SLOT0レジスタで指定されているものです。チャンネルは、有効なコマンド・コードを受信した場合にのみ更新されます。

2サイクル・コマンド・モードを有効化するには、STD\_SEQ\_ENビットを0、NUM\_SLOTS\_ASビット・フィールドを0x00、CYC\_CTRLビットを0に設定します（表15を参照）。

AD4697/AD4698がレジスタ設定モードになっており、SEQ\_CTRLレジスタのSTD\_SEQ\_ENビットが0に設定されている場合、マルチプレクサは自動的に、AS\_SLOT0レジスタで指定されたチャンネルをADCコア入力に接続します。それによって、ADCはデバイスが変換モードに入る前でもそのチャンネルで信号を取得できます。

2サイクル・コマンド・モードが有効となっている場合、各チャンネルの構成設定は対応するCONFIG\_INnレジスタで行われます。そのため、すべてのアナログ入力、チャンネル設定オプション、アナログ入力高インピーダンス・モード有効化設定、閾値有効化設定が異なる可能性があります。変換モードに入り変換を開始する前に、CONFIG\_INnレジスタを設定してください。

2サイクル・コマンド・モードが有効な場合、オーバーサンプリングは使用できません。すべてのアナログ入力のOSRを1に設定してから、2サイクル・コマンド・モードを有効化して変換モードを開始してください（[オーバーサンプリングおよびデシメーション](#)のセクションを参照）。

### 単一サイクル・コマンド・モード

単一サイクル・コマンド・モードを使用すると、デジタル・ホスト・システムがシーケンスの次のチャンネルをその場で手動制御できるようになり、変換を中断することなく動的なチャンネル・シーケンシングが可能となります。

単一サイクル・コマンド・モードでは、チャンネル・シーケンスは、変換結果のリードバック・フレームの間にデジタル・ホストから送信される5ビットのコマンドで決まります。この5ビット・コマンドは、フレームの最初の5個のSCK立上がりエッジでSDIにクロック・インされ、フレームの6個目のSCK立下がりエッジでメモリにラッチされます。

有効なチャンネル・コマンドが受信されると、そのチャンネルの変換結果はわずか1回の変換周期後に読出し可能となります。図80に、単一サイクル・コマンド・モードにおける、5ビット・コマンド（CMDと表示）と対応するアキュイジション・フェーズ、変換フェーズ、変換結果リードバックの相対的なタイミングを示します。

単一サイクル・コマンド・モードでは、5ビット・コマンドがメモリにラッチされると直ちにマルチプレクサ・スイッチが指定されたチャンネルを選択するため、5ビットのチャンネル・コマンドと対応するADCデータ間の遅延は最小限に抑えられます。そのため、アキュイジション時間は、デジタル・ホストが5ビット・コマンドの書込みをどれだけ高速に終了できるかに依存します。図100に、単一サイクル・コマンド・モードが有効な場合の変換モードのタイミング図を示します。また、表2に、関連するタイミング仕様を示します。単一サイクル・コマンド・モードの $t_{ACQ}$ は、 $t_{CYC}$ およびSCK周期（ $t_{SCK}$ ）の関数で、次式を用いて計算できます。

$$t_{ACQ} = t_{CYC} - (5.5 \times t_{SCK}) \quad (7)$$

## 動作原理

表18に、IN0～IN7または温度センサーを選択するための有効なコマンドを示します。表18に挙げたもの以外のコマンドはNOOPコマンドとして処理され、マルチプレクサはその前のチャンネルを繰り返すこととなります。

単一サイクル・コマンド・モードが有効になっている場合、最初に選択されるアナログ入力チャンネルは、AS\_SLOT0レジスタで指定されているものです。チャンネルは、有効なコマンドを受信した後でのみ更新されます。

単一サイクル・コマンド・モードを有効化するには、STD\_SEQ\_ENビットを0、NUM\_SLOTS\_ASビット・フィールドを0x00、CYC\_CTRLビットを1に設定します（表15を参照）。

単一サイクル・コマンド・モードが有効となっている場合、各チャンネルの設定は対応するCONFIG\_INnレジスタで行われます。そのため、すべてのアナログ入力は、チャンネル設定オプション、アナログ入力高インピーダンス・モード有効化設定、閾値有効化設定が異なる可能性があります。変換モードに入り変換を開始する前に、CONFIG\_INnレジスタを設定してください。

単一サイクル・コマンド・モードが有効な場合、オーバーサンプリングは使用できません。すべてのアナログ入力のOSRを1に設定してから、単一サイクル・コマンド・モードを有効化して変換モードを開始してください（オーバーサンプリングおよびデシメーションのセクションを参照）。

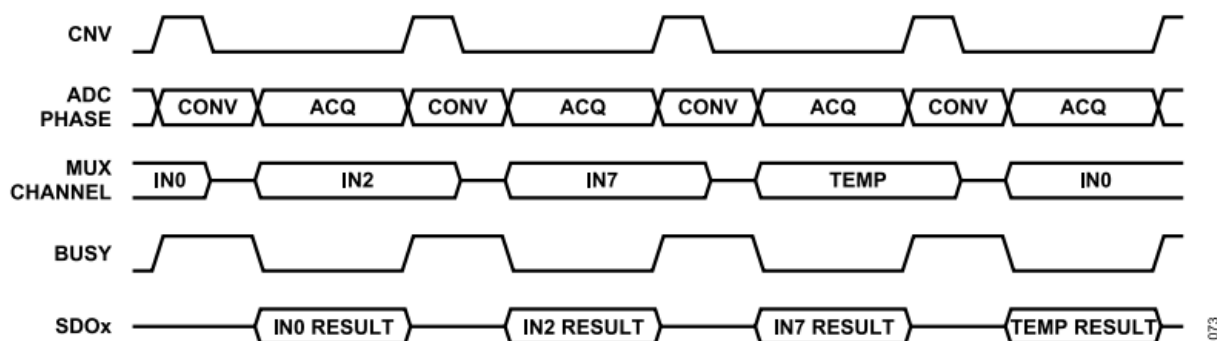


図 76. OSR = 1 の場合の標準シーケンスの例

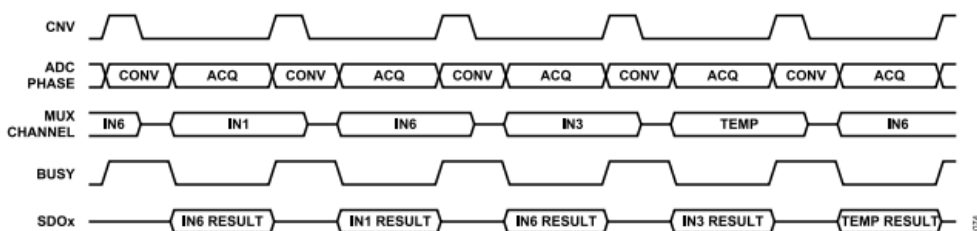


図 77. 全チャンネルについてOSR = 1 の場合の詳細シーケンスの例

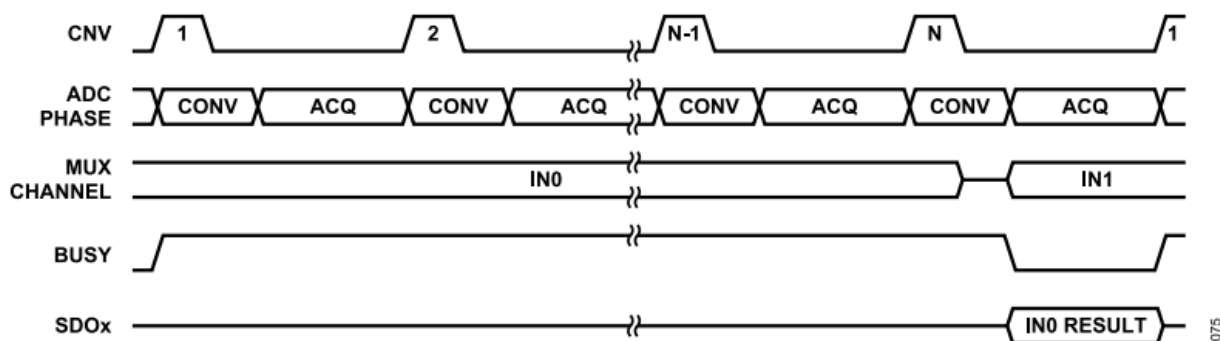
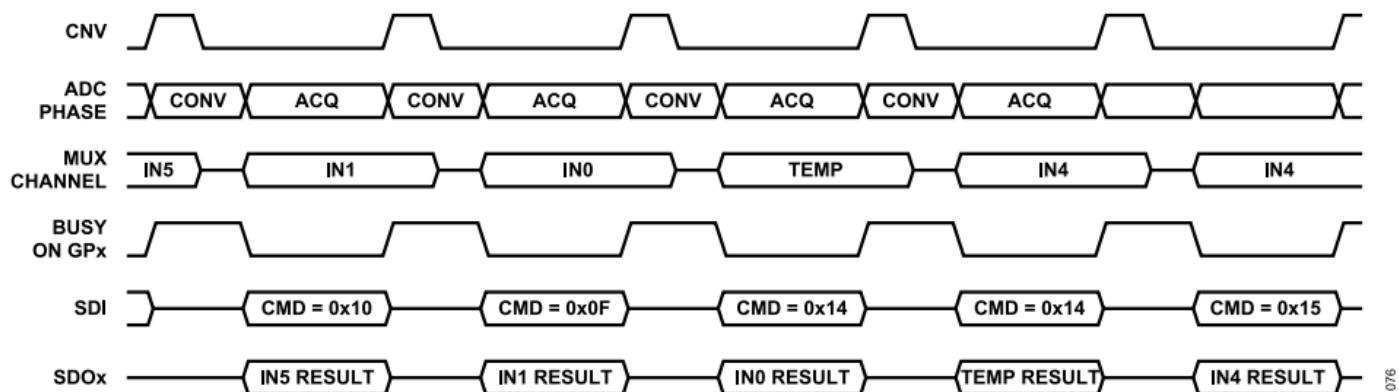


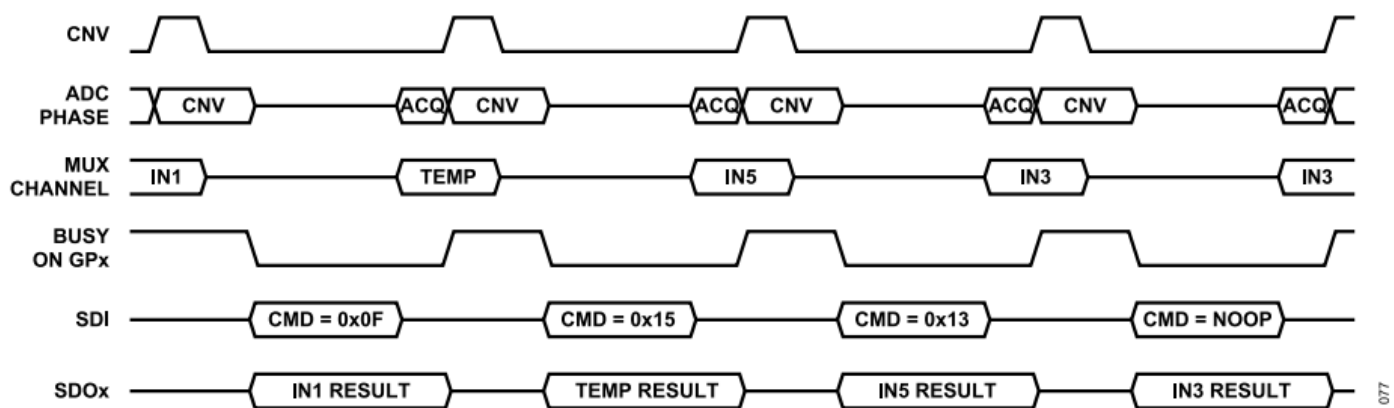
図 78. IN0のOSR = Nの場合の標準シーケンスおよび詳細シーケンスのSPIフレーム

動作原理



076

図 79. 2サイクル・コマンド・モードのタイミング



077

図 80. 単一サイクル・コマンド・モードのタイミング



## デジタル・インターフェース

AD4697/AD4698のデジタル・インターフェースには、4線式SPI、変換開始入力 (CNV)、アクティブ・ロー・リセット入力 (RESET)、汎用ピンとして機能するBSY\_ALT\_GP0があります。また、WLCSPオプションでは、3個の汎用ピン (GP1、GP2、GP3) が追加されています。

AD4697/AD4698デジタル・インターフェースの動作モードには、レジスタ設定モードと変換モードの2つがあります。レジスタ設定モードでは、SPIを使用して設定レジスタとの間で読書きを行います。変換モードでは、SPIを使用して変換結果とオプションのステータス・ビットの読出しを行います。これらの動作モードの詳細については、[レジスタ設定](#)のセクションと[変換モード](#)のセクションを参照してください。

インターフェースのロジック・レベルはVIO電圧で設定され、1.2V~1.8Vのロジック・システムに対応します。AD4697/AD4698はSPIモード3を使用します (クロック・フェーズ (CPHA) = クロック極性 (CPOL) = 1)。

## レジスタ設定モード

レジスタ設定モードの場合、デジタル・ホストはSPIを通じて、AD4697/AD4698の設定レジスタとの間で読書きを行うことができます。レジスタの読出し命令および書込み命令を実行するには、デバイスがレジスタ設定モードになっている必要があります。レジスタ設定モードは、デバイスのパワーアップ時とリセット時のデフォルトの動作モードです。

レジスタ設定モードのプロトコルは柔軟で、設定レジスタ・マップの大きなブロックに効率的にアクセスできるよう設定できます。各SPIフレームは、少なくとも1つの命令フェーズ、少なくとも1つのデータ・フェーズ、およびオプションの8ビット巡回冗長検査 (CRC) チェックサム (チェックサム保護のセクションを参照) で構成されています。データはMSBファーストでSPIを通じて伝送されます。命令フェーズからチェックサム保護までのセクションで説明されているように、命令フェーズとデータ・フェーズの形式および順序はユーザによる設定が可能です。図81に、命令フェーズ、データ・フェーズ、オプションのCRCチェックサムで構成される基本SPIフレームの例を示します。

$\overline{CS}$ の立下がりエッジでSPIフレームが開始され、このSPIフレームはその後の $\overline{CS}$ 立上がりエッジで終了します。データはSCKの立上がりエッジでSDIにラッチされ、SCKの立下がりエッジでSDOにシフト・アウトされます。すべてのSPIトランザクションで、データはMSBファーストに揃えられています。

図93に、デバイスがレジスタ設定モードになっている場合の、SPIを介したレジスタ読出し動作と書込み動作の詳細なタイミング図を示します。図93に示したタイミング仕様については、表2を参照してください。

AD4697/AD4698の設定レジスタのアドレスと機能についての詳細な説明は、[レジスタの詳細](#)のセクションを参照してください。

5ビットのレジスタ設定モード・コマンドによって、デバイスは変換モードからレジスタ設定モードに切り替わります ([レジスタ設定モード・コマンド](#)のセクションを参照)。

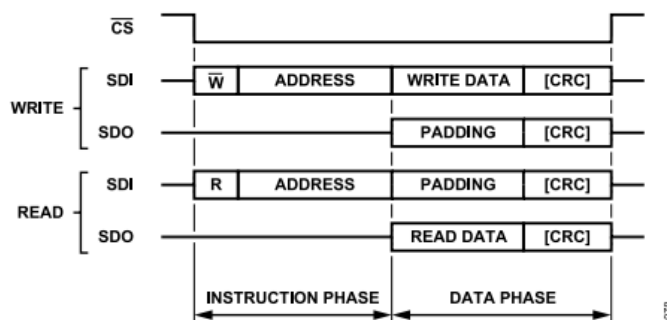


図 81. 基本SPIフレーム

## 命令フェーズ

各SPIフレームは命令フェーズから始まります。命令フェーズは、 $\overline{CS}$ 立下がりエッジの直後に続きます (図81を参照)。命令フェーズは、読出し/書込み (R/W) ビットの後にレジスタ・アドレス・ワードが続く形式となっています。R/Wビットをハイに設定すると読出し命令が開始され、R/Wビットをローに設定すると書込み命令が開始されます。レジスタ・アドレス・ワードはアクセス先のレジスタ・アドレスを指定します。レジスタ・アドレス・ワードのデフォルト長は15ビット (長アドレス指定) ですが、SPI\_CONFIG\_BレジスタのADDR\_LENビットを使用すると7ビット長 (短アドレス指定) に変更できます。

単一命令モードを使用すると、SPIフレーム内の各レジスタ読出しトランザクションまたは書込みトランザクションは、命令フェーズで開始されます。ストリーミング・モードを使用すると、1式の連続するレジスタにアクセスするために必要な命令フェーズは、SPIフレームごとに1つだけです。これらのモードを選択して使用方法については、[単一命令モード](#)のセクションと[ストリーミング・モード](#)のセクションを参照してください。

## データ・フェーズ

データ・フェーズの間、レジスタのデータは、SCKの立下がりエッジでSDOからシフト・アウトされるか (レジスタ読出しの場合)、SCKの立上がりエッジでSDIにラッチされます (レジスタ書込みの場合)。データ・フェーズには、レジスタ全体のデータ、またはレジスタの個々のバイトを含めることができます ([複数バイト・レジスタ・アクセス](#)のセクションを参照)。

CRCが無効の場合、レジスタの内容は、データ・フェーズの最後のSCK立上がりエッジの直後に更新されます。CRCが有効の場合、レジスタの内容は、チェックサムの最後のSCK立上がりエッジの直後に更新されます (チェックサム値がデータ・フェーズのデータと一致する場合)。

## アドレス方向オプション

アドレス方向オプションは、単一のデータ・フェーズで複数バイトのデータにアクセスする場合 (例えば、複数バイトのレジスタにアクセスする場合やストリーミング・モードが有効となっている場合)、アドレスを自動的にインクリメントするかデクリメントするかを決定します。図82と図83に、両方のアドレス方向オプションのSPIフレームを示します。

2つのアドレス方向オプションの選択は、SPI\_CONFIG\_AレジスタのADDR\_DIRビットで行います。ADDR\_DIRビットが0に設定されている場合、降順のアドレス・オプションが選択され、バイト

## デジタル・インターフェース

にアクセスするごとにアドレスはデクリメントされます。ADDR\_DIRビットが1に設定されている場合、昇順のアドレス・オプションが選択され、バイトにアクセスするごとにアドレスはインクリメントされます。デフォルトでは降順のアドレス・オプションが選択されます。

## 複数バイト・レジスタ・アクセス

一部のAD4697/AD4698設定レジスタでは、メモリ内の隣接するアドレス位置に複数バイトのデータが格納されている場合があります。これらのレジスタを複数バイト・レジスタと呼びます。各複数バイト・レジスタのアドレスは、その最下位バイトのアドレスで定義されますが、複数バイト・レジスタの内容は、複数のレジスタ・アドレスにわたって展開します。例えば、STD\_SEQ\_CONFIGレジスタ（アドレス0x024）は2バイト長で、最下位バイトのアドレスは0x024、最上位バイトのアドレスは0x025です。表31では、レジスタが単一バイトか複数バイトかが示されています。

SPI\_CONFIG\_CレジスタのMB\_STRICTビットの状態により、複数バイト・レジスタを1つのレジスタ・アドレスを持つ単一ユニットのメモリとして処理するか、個々にレジスタ・アドレスを持つそれぞれが1バイト長の複数レジスタとして処理するかを決定します。

MB\_STRICTビットが0に設定されている場合、複数バイト・レジスタの各バイトを個別に読み書きする必要がありますが、それによって、デジタル・ホストは複数バイト・レジスタの他のバイトにアクセスすることなく、1つのバイトにアクセスできます。この設定では、SPIフレームのすべてのデータ・フェーズは、複数バイト・レジスタ全体ではなく単一バイトで構成され、複数バイト・レジスタ内の各バイトは直接アドレス指定できます。新しいデータがそのバイト全体に供給される限り、いずれのバイトの内容もSPI書き込みトランザクションで更新されます。図85と図90に、MB\_STRICT = 0の場合に、複数バイト・レジスタ（アドレス =

0x0043）の各バイトが、ストリーミング・モードおよび単一命令モードにおいて複数のSPIトランザクションで読み書きされる例を示します。

MB\_STRICTビットが1に設定されている場合、複数バイト・レジスタのすべてのバイトを同じSPIトランザクションで読み書きする必要があります。この設定では、複数バイト・レジスタへのアクセス時、データ・フェーズにはすべてのバイトが含まれます。デジタル・ホストが複数バイト・レジスタ全体に対する読み書きはできない場合、SPIトランザクションは無効とみなされ、SPI\_STATUSレジスタのMB\_ERRORフラグが1にセットされます。この設定により、複数バイト・レジスタに関連するすべてのモードまたはイネーブル・ビットは、確実に同時に更新されるようになります。MB\_STRICTビットはデフォルトで1に設定されています。

MB\_STRICTビットが1に設定されている場合、複数バイト・レジスタの各バイトが読み書きされる順序は、選択されたアドレス方向オプションによって決まります（アドレス方向オプションのセクションを参照）。降順のアドレス・オプションが選択されている場合、データ・フェーズで最初に読み書きされるバイトは、複数バイト・レジスタの最上位バイトで、後続の各バイトは、次の最下位アドレスのデータに対応します。昇順のアドレス・オプションが選択されている場合、データ・フェーズで最初に読み書きされるバイトは、複数バイト・レジスタの最下位バイトで、後続の各バイトは、次の最上位アドレスのデータに対応します。図82と図83は、両アドレス方向オプションについて、複数バイト・レジスタの一般的な読み書きトランザクションを示したものです。

CRCが有効な場合、チェックサムは各SPIトランザクションのデータ・フェーズに従います。MB\_STRICTビットが0に設定されている場合、複数バイト・レジスタの各バイトが読み書きされた後にチェックサムが発生します（図85および図90を参照）。

MB\_STRICTビットが1に設定されている場合は、複数バイト・レジスタの全バイトが読み書きされた後のみチェックサムが発生します（図86および図91を参照）。

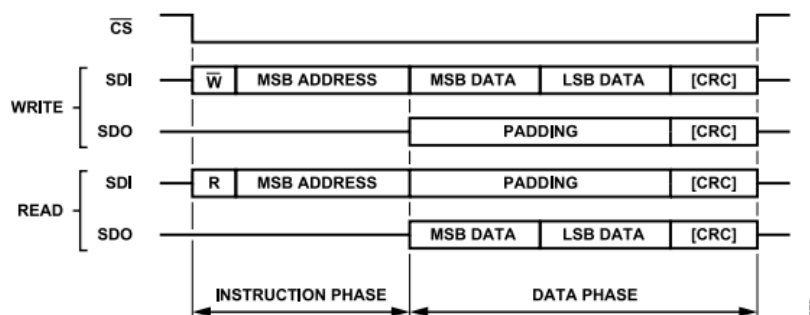


図 82. MB\_STRICT = 1で降順アドレスの場合の複数バイト・レジスタ・アクセス

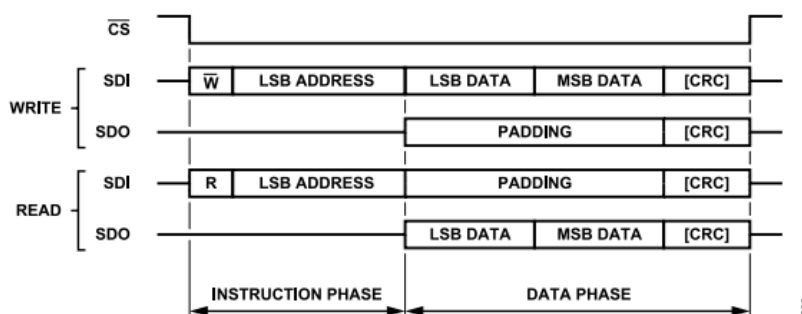


図 83. MB\_STRICT = 1で昇順アドレスの場合の複数バイト・レジスタ・アクセス

## デジタル・インターフェース

## ストリーミング・モード

SPI\_CONFIG\_BレジスタのINST\_MODEビットが0に設定されている場合、ストリーミング・モードが有効となります。ストリーミング・モードでは、SPIフレームあたり1つの命令フェーズのみが必要で、読書きされるレジスタ・アドレスは各データ・フェーズの後に自動更新されます（選択したアドレス方向オプションに基づく）。命令フェーズの後、読書きされるレジスタごとに、SPIフレームの末尾まで複数のデータ・フェーズが続きます。ストリーミング・モードによって、詳細シーケンサのロット・レジスタ（AS\_SLOTn）を更新して詳細シーケンサを設定する場合のように、大規模な連続セクションの設定レジスタ・マップに効率的にアクセスできるようになります。

図84に、ストリーミング・モードを選択して複数レジスタの読書きトランザクションを実行するための一般的なSPIフレームを示します。ストリーミング・モードでは1フレームにつき1つの命令フェーズしかないため、所定のSPIフレーム内のすべてのSPIトランザクションは、すべて読出し、またはすべて書込みのどちらかです。チェックサムは、CRCが有効な場合のみ各データ・フェーズに含まれます（**チェックサム保護**のセクションを参照）。

図85～図87に、両アドレス方向オプションおよび両MB\_STRICTオプションでのレジスタ・マップの様々な部分にアクセスする例を示します（**複数バイト・レジスタ・アクセス**のセクションを参照）。

ストリーミング・モードがアクティブな場合、指定された数のレジスタがループされ、1つのSPIフレーム内で同じレジスタに複数回繰り返しアクセスできます。LOOP\_MODEレジスタのLOOP\_COUNTビット・フィールドによって、レジスタ・アドレスが開始アドレス（命令フェーズで指定されたアドレス）にリセットされるまでにアクセスされるレジスタ数が決まります。MB\_STRICTビットが1に設定されている場合、複数バイト・レジスタは、ループ時に1つのレジスタとみなされます。MB\_STRICTビットが0に設定されている場合は、複数バイト・レジスタのそれぞれのバイトがループ時に1つのレジスタとみなされます。図88に、ループを使用してALERT\_STATUS1レジスタおよびALERT\_STATUS2レジスタから繰り返し読出しを行う例を示します。

LOOP\_COUNTビット・フィールドが0x0に設定されると、ループ

は無効化されます。ループが無効化され、降順アドレス・オプションが選択されている場合、アドレスは0x0000に達するまでデクリメントされ、その後のバイト・アクセス時に、使用可能な最大のレジスタ・アドレス（アドレス0x013F）に設定されます。ループが無効化され、昇順アドレス・オプションが選択されている場合、アドレスは使用可能な最大レジスタ・アドレス（アドレス0x013F）に達するまでインクリメントされ、その後のバイト・アクセス時に、アドレス0x0000に設定されます。ループはデフォルトでは無効化されています。

なお、7ビットのアドレス指定を使用している場合でも、0xFFより大きいアドレスのレジスタは、引き続きストリーミング・モードでアクセスできます。ただし、これらのレジスタにアクセスする場合は、15ビットのアドレス指定を使用する方が効率的です。

## 単一命令モード

SPI\_CONFIG\_BレジスタのINST\_MODEビットが1に設定されている場合、単一命令モードが有効となります。単一命令モードでは、SPI読出しトランザクションまたは書込みトランザクションのそれぞれに命令フェーズがあり、トランザクションが読出しか書込みか、および、どのアドレスにアクセスするかが指定されます。新たなSPIフレームを開始せずに隣接アドレスのレジスタに対して独占的に読書きを行うことができるストリーミング・モードとは異なり、単一命令モードでは、デジタル・ホストは1つのSPIフレーム内の隣接しないレジスタ・アドレスのレジスタに対して手早く読書きを行うことができます。

図89に、単一命令モードを選択して複数レジスタの読書きトランザクションを実行するための一般的なSPIフレームを示します。チェックサムは、CRCが有効な場合のみ各データ・フェーズに含まれます（**チェックサム保護**のセクションを参照）。

図90に、UPPER\_IN1レジスタの最上位バイトおよび最下位バイトに対して読書きを行う例を示します（MB\_STRICT=0）。図91と図92には、同じフレーム内でUPPER\_IN1レジスタからの読出しとUPPER\_IN0レジスタへの書込みを行う例を両方のアドレス方向オプションについて示します（MB\_STRICT=1）。なお、UPPER\_INnレジスタは複数バイト・レジスタで、MB\_STRICTが1に設定されている場合、どちらのバイトも1つのデータ・フェーズで読出しまたは書込みを行う必要があります（**複数バイト・レジスタ・アクセス**のセクションを参照）。

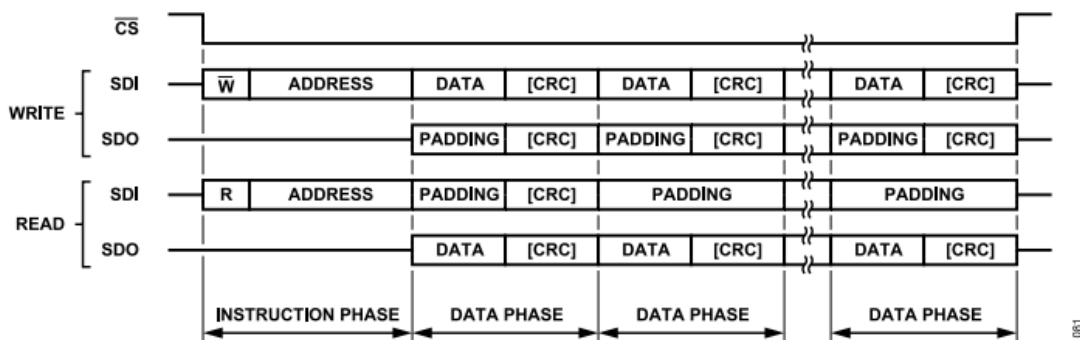


図 84. ストリーミング・モードのSPIフレーム

デジタル・インターフェース

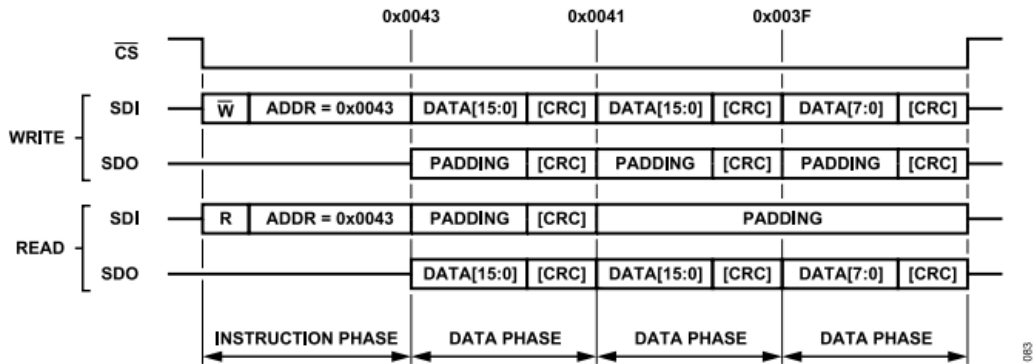


図 85. ストリーミング・モードのSPIフレーム、ループ無効、降順アドレス、MB\_STRICT = 0

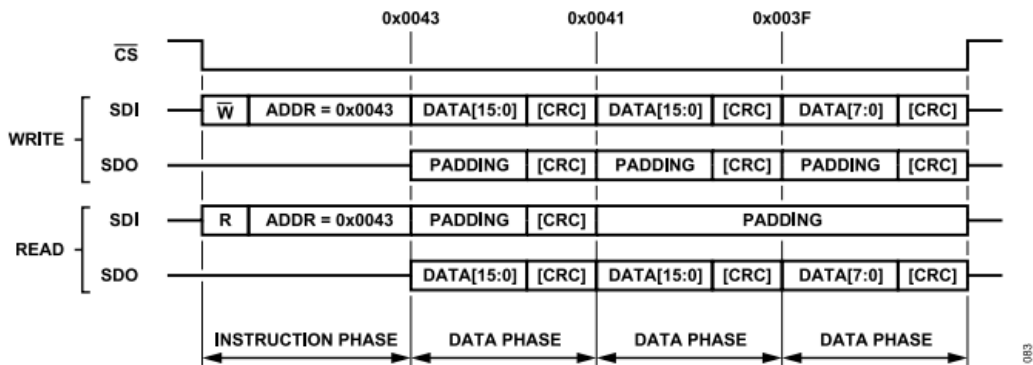


図 86. ストリーミング・モードのSPIフレーム、ループ無効、降順アドレス、MB\_STRICT = 1

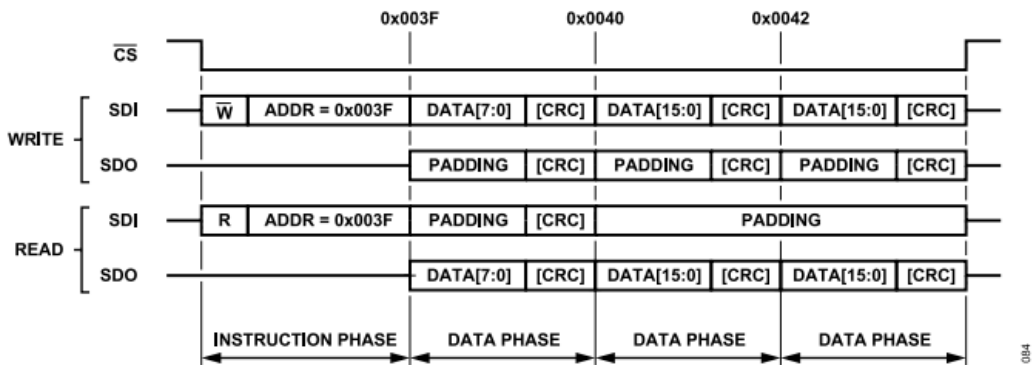


図 87. ストリーミング・モードのSPIフレーム、ループ無効、昇順アドレス、MB\_STRICT = 1

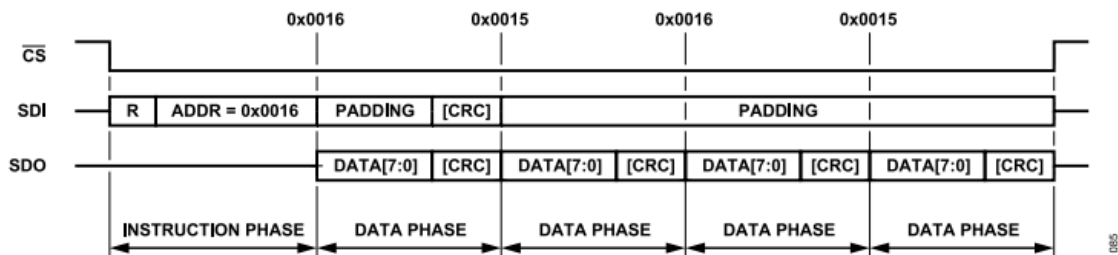


図 88. ストリーミング・モードのSPIフレーム、ループ有効、LOOP\_COUNT = 2、降順アドレス



## デジタル・インターフェース

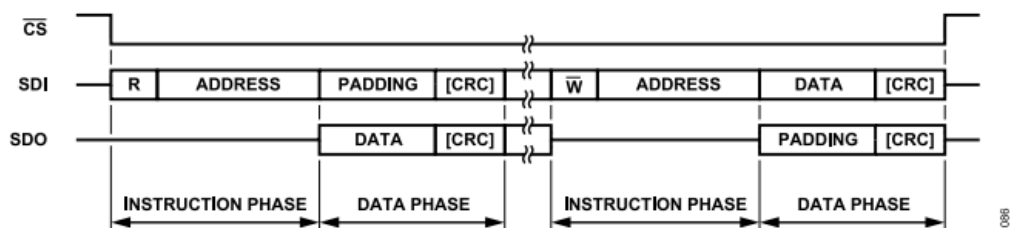


図 89. 単一命令モードのSPIフレーム

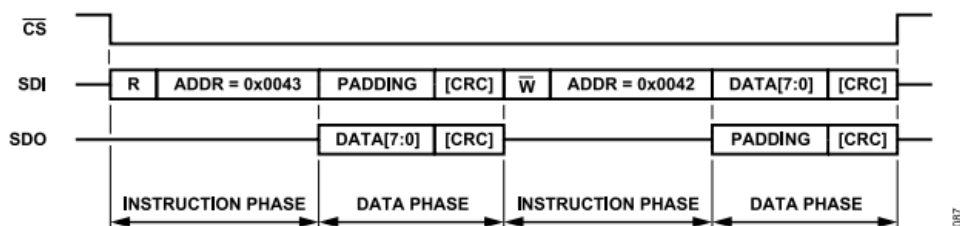


図 90. 単一命令モードのSPIフレーム、MB\_STRICT = 0

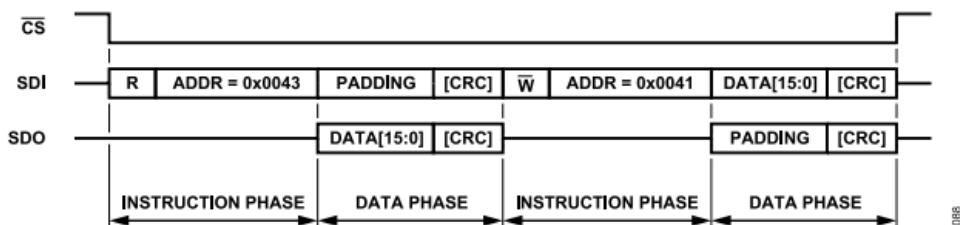


図 91. 単一命令モードのSPIフレーム、MB\_STRICT = 1、降順アドレス

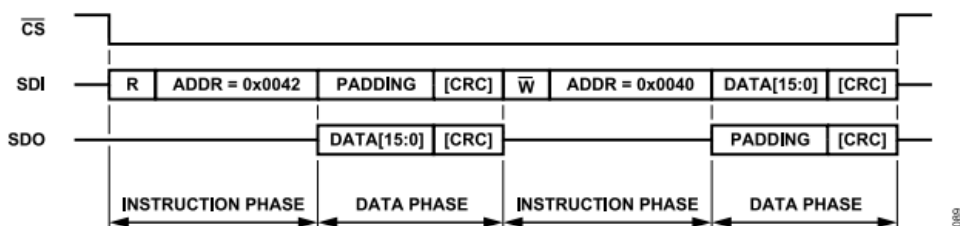


図 92. 単一命令モードのSPIフレーム、MB\_STRICT = 1、昇順アドレス

## チェックサム保護

AD4697/AD4698のレジスタ設定モードでは、8ビットCRCに基づくエラー・チェック機能のオプションがあります。CRCが有効化されている場合、各レジスタの読出しトランザクションまたは書き込みトランザクションのデータ・フェーズに8ビット・チェックサム・コードが追加されます。チェックサムの値は、SPIで読み出されたデータまたは書き込まれたデータで計算されます。そのため、AD4697/AD4698とデジタル・ホストは破損されたデータを検出できます。チェックサムが対応するレジスタのデータに一致しない場合、そのレジスタの読出しまたは書き込みは無効とみなされます。

図84に、ストリーミング・モードを選択してレジスタの読書きを実行するための一般的なSPIフレームを、CRCチェックサムを含めて示します。図89には、単一命令モードを選択してレジスタの読書きを実行するための一般的なSPIフレームを、CRCチェックサムを含めて示します。なお、図84と図89の両方に示されているSDIのチェックサムは、デジタル・ホストからAD4697/AD4698に送られる点に注意してください。デジタル・ホストは、図示したSPI読書きトランザクションの間に有効なチェックサムを送信する必要があります。唯一の例外は、ストリーミング・モードを選択して

複数のレジスタ読出しを実行している場合です。この場合、デジタル・ホストは最初のトランザクションでのSDIのCRCを送信するだけで済みます (図84を参照)

AD4697/AD4698が、対応するSPIトランザクションに一致しないチェックサムを受信した場合は、そのトランザクションは無効とみなされ、SPIステータス・レジスタのCRC\_ERRORビットが1にセットされます。CRC\_ERRORビットは1を書き込んでクリアするビットで (R/WIC)、クリアするには1を書き込む必要があります。

書き込みトランザクションが無効とみなされる場合、レジスタの内容は更新されません。読出しトランザクションが無効とみなされる場合は、デジタル・ホストは、受信したレジスタ・データを無視して、再度レジスタ読出しトランザクションを試行する必要があります。読出し後クリアされるビットも、レジスタ読出しトランザクションが無効とみなされる場合は、クリアされません (例えば、ALERT\_STATUSnレジスタのHL\_INnビットおよびLO\_INnビット)。

ストリーミング・モードとCRCが共に有効化されていて、所定のSPIトランザクションで無効なチェックサムが受信された場合、そのSPIフレームの後のすべてのSPIトランザクションが無効とみなされます (CSがハイになるまで)。

## デジタル・インターフェース

CRCは、SPI\_CONFIG\_CレジスタのCRC\_ENおよびCRC\_EN\_Nビット・フィールドで有効化されます。CRCを有効化するには、CRC\_ENを0x1、CRC\_EN\_Nを0x2に設定する必要があります。それ以外のCRC\_ENとCRC\_EN\_Nの組み合わせでは、CRCは無効化されます。

AD4697/AD4698では、CRCが有効化されるとチェックサムが直ちに各SPIトランザクションに含まれるものと想定されています。CRCを有効にするようSPI\_CONFIG\_Cレジスタに書き込みを行ってからその他のレジスタへの書き込みを行い、CRCが有効化されていることを前提にSPI\_CONFIG\_Cレジスタを読み出してください。ホストがCRC\_ENおよびCRC\_EN\_Nビット・フィールドの正しい状態と有効なチェックサムを受信した場合、CRCは有効化され、ホストは残りの設定レジスタの設定を開始できます。

AD4697/AD4698は次のCRC多項式を使用します。

$$x^8 + x^2 + x + 1 \quad (8)$$

CRCの計算は、データ・ラインがローにスタックされているかどうかを検知するために、非ゼロの値をシードとしています。表16に、可能なタイプの各SPIトランザクションに対するデータとシード値を示します。

表 16. SPIのモードおよびトランザクションに対するCRC入力値

SPI Transaction Type	Pin	Single Instruction Mode or First CRC with Streaming Mode	Subsequent CRCs with Streaming Mode
Write	SDI	SPI data = instruction phase bits, data phase bits Seed = 0xA5	SPI data = data phase bits Seed = least significant byte of current register address
	SDO	SPI data = instruction phase bits, data phase bits Seed = 0xA5	SPI data = data phase bits Seed = least significant byte of current register address
Read	SDI	SPI data = instruction phase bits, padding bits Seed = 0xA5	Not applicable
	SDO	SPI data = instruction phase bits, data phase bits Seed = 0xA5	SPI data = data phase bits Seed = least significant byte of current register address

単一命令モードでは、シードはすべてのCRCについて0xA5です。ストリーミング・モードでは、フレームの最初のCRCのシードはやはり0xA5ですが、フレーム内のその他のCRCのシードは、アクセスするレジスタ・アドレスの最下位バイトです。MB\_STRICTが1に設定され、複数バイト・レジスタにアクセスする場合、シードに使用されるレジスタ・アドレスは、選択したアドレス方向オプションによって異なります。降順アドレスでは最上位バイトのアドレスが使用され、昇順アドレスでは最下位バイトのアドレスが使用されます。例えば、図86と図87の両方において、2番目のデータ・フェーズにはUPPER\_IN0レジスタの値が含まれますが、チェックサムに使用するシードは、降順アドレス・オプション（図86）の場合は0x41、昇順アドレス・オプションの場合（図87）の場合は0x40です。

## デジタル・インターフェース

## レジスタの読出しと書き込みのタイミング図

AD4697/AD4698がレジスタ設定モードの場合の、SPIのタイミング図を図93に示します。図93に示したタイミング仕様については表2を参照してください。

レジスタの読出しと書き込みのトランザクションは、 $\overline{\text{CS}}$ でフレーム化されます。 $\overline{\text{CS}}$ がハイの間、SCKエッジは無視され、SDOは高インピーダンスになります。 $\overline{\text{CS}}$ の立下がりエッジでSPIフレームが始まり、SDIのデータはSCKの立上がりエッジでラッチされ、この間データはSCKの立下がりエッジでSDOにシフト・アウトされます。 $\overline{\text{CS}}$ の立上がりエッジでSPIフレームは終了し、SDOは高インピーダンスにされます。

$\overline{\text{CS}}$ 立下がりエッジ直後のSPIフレームの最初のフェーズは、命令フェーズです。命令フェーズの後にデータ・フェーズが続きます。SPI読出しトランザクションでは、データ・フェーズ中にレジスタの内容がSDOからシフト・アウトされます。SPI書き込みトランザクションでは、データ・フェーズ中にレジスタの内容がSDIにラッチされます。SPIフレームごとの命令フェーズとデータ・フェーズの順序に関する詳細は、ストリーミング・モードおよび単一命令モードのセクションを参照してください。

命令フェーズのアドレスの長さ（図93ではMと表示）は、SPI\_CONFIG\_BレジスタのADDR\_LENビットで設定できます（命令フェーズのセクションを参照）。

データ・フェーズの長さ（図93ではNと表示）は、CRCが有効化されているかどうかと、アクセス先のレジスタ長によって異なります（チェックサム保護および複数バイト・レジスタ・アクセスのセクションを参照）。

レジスタ設定モードの場合、AD4697/AD4698はCNVの状態は無視します。変換モードの起動のセクションで、AD4697/AD4698を変換モードにするための処理を説明します。

## 変換モードの起動

AD4697/AD4698を変換モードにするには、セットアップ・レジスタのSPI\_MODEビットを1に設定します。SPI\_MODEビットが1に設定されると、SPIフレームは直ちに終了し、デバイスは変換モードに入ります。その後のレジスタの読書きは、デバイスが再度レジスタ設定モードになるまで、行うことはできません。

デジタル・ホストは、レジスタ書き込みの最後のSCK立上がりエッジからCNV立上がりエッジで変換が開始されるまで、 $t_{\text{SCKCNV}}$ で指定される時間だけ遅延させることが必要です（表2および図93を参照）。

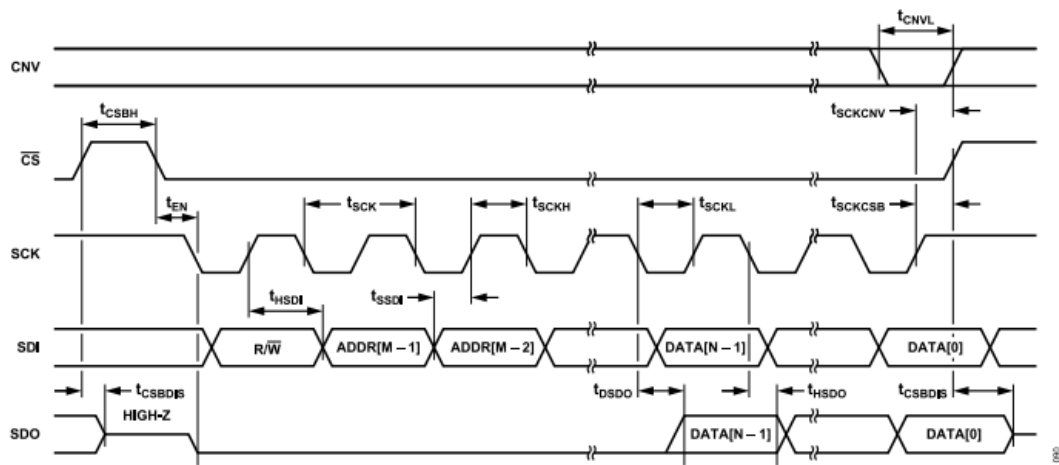


図 93. レジスタ設定モードのタイミング図



## デジタル・インターフェース

## 変換モード

AD4697/AD4698が変換モードの場合、CNV立上がりエッジによって選択したチャンネルでの変換が開始され、チャンネル・シーケンシング・ロジックに従ってマルチプレクサが次のチャンネルに更新されます（[コンバータの動作およびチャンネル・シーケンシング・モード](#)のセクションを参照）。デバイスは、セットアップ・レジスタのSPI\_MODEビットが1に設定されると、変換モードに入ります。

変換モードでは、SPIを使用してADCの結果の読出しと、[表18](#)に示す5ビットSDIコマンドの書込みを行います。[図94](#)～[図101](#)に、変換の実行に関するSPIフレームのタイミング図を示します。CNVピンとCSピンを互いに接続することで、1つの4線式SPIポートとインターフェース接続できるようになります（[図101](#)を参照）。ADCの各結果は、次のCNV立上がりエッジが発生するまで使用できます。

5個のステータス・ビットをオプションでADCデータに追加することができます。これらのステータス・ビットには、チャンネル情報、過電圧クランプ・フラグ、閾値検出アラート・インジケータが含まれます。ステータス・ビットの説明とそれらをイネーブルにする方法については、[ステータス・ビット](#)のセクションを参照してください。

変換モードでは、汎用ピンを追加のシリアル・データ出力として割り当てると、次の変換が生じる前にADC結果とオプションのステータス・ビットをシフト・アウトするために必要なSCK周波数を低減することができます。AD4697/AD4698の両方のパッケージ・オプションで使用できるオプションと、これらのモードを有効化する方法については、[シリアル・データ出力モード](#)のセクションを参照してください。

汎用ピンは、ビジー・インジケータまたは閾値検出アラート・インジケータとして割り当てられることもできます。[図94](#)～[図101](#)に、CNV信号と、汎用ピンに割り当てられている場合のビジー・インジケータおよびアラート・インジケータの相対的なタイミングを示します。汎用ピンを目的の機能に設定する方法については、汎用ピンのセクションを参照してください。

表 17. ステータス・ビットの名前と説明

Status Word Index	Bit Name	Description
Bit 4	OV_ALT	Active high. Indicates the status of the overvoltage protection clamp flag and (if enabled) the status of the threshold detection alert indicator.
Bits[3:0]	INX	Indicates what analog input channel the ADC data corresponds to (IN0 to IN7).

表 18. 変換モードのコマンド

Channel Sequencing Mode	5-Bit SDI Command (CMD)	Description
Two-Cycle Command Mode and Single-Cycle Command Mode	0x00 to 0x09, 0x0B to 0x0E	NOOP
	0x0A	Register configuration mode command
	0x0F	Temperature sensor channel selection
	0x10 to 0x17 and 0x18 to 0x1F	IN0 to IN7 channel selection
Standard Sequencer and Advanced Sequencer	0x00 to 0x09, 0x0B to 0x1F	NOOP
	0x0A	Register configuration mode command

自動サイクル・モードが有効化されている場合、AD4697/AD4698は固有の内部変換開始信号を生成し、デジタル・ホストからのCNV信号がなくても自律的に変換を実行します（[自動サイクル・モード](#)のセクションを参照）。

## ステータス・ビット

5個一組のステータス・ビットを各変換結果の末尾に追加することができます。ステータス・ビットによって、デジタル・ホストはA/D変換を中断することなく、アナログ入力の状態をモニタできます。[表17](#)に、ステータス・ビットの名前と説明を示します。

デフォルトでは、OV\_ALTステータス・ビットは過電圧クランプ・フラグのステータスを示します（ステータス・レジスタのCLAMP\_FLAGビットとCOM\_CLAMP\_FLAGビットのビットワイズ論理和）。GP\_MODEレジスタのOV\_ALT\_MODEビットが1に設定されている場合、OV\_ALTステータス・ビットは、CLAMP\_FLAGビットと閾値検出アラート・インジケータ（ステータス・レジスタのTD\_ALERTビット）の論理和です。デジタル・ホストはOV\_ALTビットの状態をモニタして範囲を逸脱するイベントを検出し、これに応答することができます。

INXビットは、変換結果が8個のアナログ入力のどれに対応するかを示します。INXビットの値の範囲は0～7（0x0～0x7）で、それぞれIN0～IN7に対応します。INXの値が15の場合は温度センサーに対応します。INXビットをデジタル・ホストが使用することで、ADCデータをアナログ入力チャンネルのシーケンスと揃えることができます。

ステータス・ビットを有効にするには、セットアップ・レジスタのSTATUS\_ENビットを1に設定します。デフォルトではステータス・ビットは無効化されています。ステータス・ビットが有効化されている場合、シリアル・データ出力ワードは24ビットに拡大し、ビット20～ビット24にステータス・ビットが含まれます（[表21](#)、[表22](#)、[表23](#)を参照）。

## デジタル・インターフェース

### シリアル・データ出力モード

AD4697/AD4698のデジタル・インターフェースによって、ADCデータを複数のシリアル・データ出力にクロック・アウトすることができます。それによって、ADCの結果全体にアクセスするために必要なSCK周期の数を削減でき、SCK周波数を下げることができます。シリアル・データ出力モードには、シングルSDOモード、デュアルSDOモード、クワッドSDOモードの3つがあります。シングルSDOモードでは、ADCの結果はSDOにのみシフト・アウトされます。デュアルSDOモードおよびクワッドSDOモードでは、ADCの結果はSDOピンおよび汎用ピンに並列にシフト・アウトされます。

表19に、シリアル・データ出力モードごとに、それぞれのシリアル・データ出力信号で使用できるピンを示します。表21と表22に、シリアル・データ出力モード、ステータス・ビット、OSRオプションのすべての組み合わせについて、変換結果の形式を示します。表21、表22、表23で空白のセルの値は、変換モードのタイミング図のセクションで説明するように、SDO\_STATEの設定によって異なります。

シリアル・データ出力モードは、デバイスが変換モードになっている場合のみ適用されます。レジスタ設定モードでは、レジスタ読出しデータは、常にシリアルでSDOにのみシフト・アウトされます。

セットアップ・レジスタのSDO\_MODEビット・フィールドで、どのシリアル・データ出力モードが選択されているかが定められます。表20に、SDO\_MODEの値と対応するシリアル・データ出力モードを示します。クワッドSDOモードは、AD4697/AD4698のWLCSPオプションでのみ使用できます。

表 19. シリアル・データ出力モードのピン割当て

Mode	Signal	LFCSP Pins	WLCSP Pins
Single-SDO Mode	SDO0	SDO	SDO
Dual-SDO Mode	SDO1 SDO0	BSY_ALT_GP0 SDO	GP1 SDO
Quad-SDO Mode	SDO3 SDO2 SDO1 SDO0	Not applicable Not applicable Not applicable Not applicable	GP3 GP2 GP1 SDO

表 20. SDO\_MODEの値とシリアル・データ出力モードの関係

SDO_MODE	LFCSP Mode	WLCSP Mode
0x0	Single-SDO	Single-SDO
0x1	Dual-SDO	Dual-SDO
0x2	Single-SDO	Quad-SDO
0x3	Single-SDO	Single-SDO

表 21. シングルSDOモードのデータ出力形式

OSR Setting	Status Bits	Signal	SCK Falling Edge Number															
			1	2	3	...	15	16	17	18	19	20	21	22	23	24		
1	Disabled	SDO0	D15	D14	D13	...	D1	D0										
4	Disabled	SDO0	D16	D15	D14	...	D2	D1	D0									
16	Disabled	SDO0	D17	D16	D15	...	D3	D2	D1	D0								
64	Disabled	SDO0	D18	D17	D16	...	D4	D3	D2	D1	D0							
1	Enabled	SDO0	D15	D14	D15	...	D1	D0	0	0	0	OV_ALT	INX, Bit 3	INX, Bit 2	INX, Bit 1	INX, Bit 0		
4	Enabled	SDO0	D16	D15	D16	...	D2	D1	D0	0	0	OV_ALT	INX, Bit 3	INX, Bit 2	INX, Bit 1	INX, Bit 0		
16	Enabled	SDO0	D17	D16	D17	...	D3	D2	D1	D0	0	OV_ALT	INX, Bit 3	INX, Bit 2	INX, Bit 1	INX, Bit 0		
64	Enabled	SDO0	D18	D17	D16	...	D4	D3	D2	D1	D0	OV_ALT	INX, Bit 3	INX, Bit 2	INX, Bit 1	INX, Bit 0		

表 22. デュアルSDOモードのデータ出力形式

OSR Setting	Status Bits	Signal	SCK Falling Edge Number													
			1	2	3	4	5	6	7	8	9	10	11	12		
1	Disabled	SDO1	D15	D13	D11	D9	D7	D5	D3	D1						
		SDO0	D14	D12	D10	D8	D6	D4	D2	D0						
4	Disabled	SDO1	D16	D14	D12	D10	D8	D6	D4	D2	D0					
		SDO0	D15	D13	D11	D9	D7	D5	D3	D1						
16	Disabled	SDO1	D17	D15	D13	D11	D9	D7	D5	D3	D1					
		SDO0	D16	D14	D12	D10	D8	D6	D4	D2	D0					
64	Disabled	SDO1	D18	D16	D14	D12	D10	D8	D6	D4	D2	D0				
		SDO0	D17	D15	D13	D11	D9	D7	D5	D3	D1					
1	Enabled	SDO1	D15	D13	D11	D9	D7	D5	D3	D1	0	0		INX, Bit 3	INX, Bit 2	
		SDO0	D14	D12	D10	D8	D6	D4	D2	D0	0	OV_ALT		INX, Bit 1	INX, Bit 0	
4	Enabled	SDO1	D16	D14	D12	D10	D8	D6	D4	D2	D0	0		INX, Bit 3	INX, Bit 2	
		SDO0	D15	D13	D11	D9	D7	D5	D3	D1	0	OV_ALT		INX, Bit 1	INX, Bit 0	
16	Enabled	SDO1	D17	D15	D13	D11	D9	D7	D5	D3	D1	0		INX, Bit 3	INX, Bit 2	

デジタル・インターフェース

表 22. デュアルSDOモードのデータ出力形式 (続き)

OSR Setting	Status Bits	Signal	SCK Falling Edge Number											
			1	2	3	4	5	6	7	8	9	10	11	12
64	Enabled	SDO0	D16	D14	D12	D10	D8	D6	D4	D2	D0	OV_ALT	INX, Bit 1	INX, Bit 0
		SDO1	D18	D16	D14	D12	D10	D8	D6	D4	D2	D0	INX, Bit 3	INX, Bit 2
		SDO0	D17	D15	D13	D11	D9	D7	D5	D3	D1	OV_ALT	INX, Bit 1	INX, Bit 0

表 23. クワッドSDOモードのデータ出力形式

OSR Setting	Status Bits	Signal	SCK Falling Edge Number					
			1	2	3	4	5	6
1	Disabled	SDO3	D15	D11	D7	D3		
		SDO2	D14	D10	D6	D2		
		SDO1	D13	D9	D5	D1		
		SDO0	D12	D8	D4	D0		
4	Disabled	SDO3	D16	D12	D8	D4	D0	
		SDO2	D15	D11	D7	D3		
		SDO1	D14	D10	D6	D2		
		SDO0	D13	D9	D5	D1		
16	Disabled	SDO3	D17	D13	D9	D5	D1	
		SDO2	D16	D12	D8	D4	D0	
		SDO1	D15	D11	D7	D3		
		SDO0	D14	D10	D6	D2		
64	Disabled	SDO3	D18	D14	D10	D6	D2	
		SDO2	D17	D13	D9	D5	D1	
		SDO1	D16	D12	D8	D4	D0	
		SDO0	D15	D11	D7	D3		
1	Enabled	SDO3	D15	D11	D7	D3	0	INX, Bit 3
		SDO2	D14	D10	D6	D2	0	INX, Bit 2
		SDO1	D13	D9	D5	D1	0	INX, Bit 1
		SDO0	D12	D8	D4	D0	OV_ALT	INX, Bit 0
4	Enabled	SDO3	D16	D12	D8	D4	D0	INX, Bit 3
		SDO2	D15	D11	D7	D3	0	INX, Bit 2
		SDO1	D14	D10	D6	D2	0	INX, Bit 1
		SDO0	D13	D9	D5	D1	OV_ALT	INX, Bit 0
16	Enabled	SDO3	D17	D13	D9	D5	D1	INX, Bit 3
		SDO2	D16	D12	D8	D4	D0	INX, Bit 2
		SDO1	D15	D11	D7	D3	0	INX, Bit 1
		SDO0	D14	D10	D6	D2	OV_ALT	INX, Bit 0
64	Enabled	SDO3	D18	D14	D10	D6	D2	INX, Bit 3
		SDO2	D17	D13	D9	D5	D1	INX, Bit 2
		SDO1	D16	D12	D8	D4	D0	INX, Bit 1
		SDO0	D15	D11	D7	D3	OV_ALT	INX, Bit 0

## デジタル・インターフェース

## 変換モードのタイミング図

図94～図101に、AD4697/AD4698が各シリアル・データ出力モード・オプションで変換モードになっている場合の、A/D変換を実行するための詳細なタイミング図を示します（自動サイクル・モードは無効）。

デバイスが変換モードの場合、CNV立上がりエッジで変換が開始され、変換フェーズに入ります（コンバータの動作のセクションを参照）。変換が開始されると、CNVの状態に関係なく、完了するまで変換が継続されます。標準シーケンサ、詳細シーケンサ、または2サイクル・コマンド・モードが有効となっている場合は、デバイスがアキュイジション・フェーズに入ってから変換フェーズが完了します。単一サイクル・コマンド・モードが有効の場合、デバイスがアキュイジション・フェーズに入るのは、SPIフレームの6個目のSCK立上がりエッジの後です。図94～図99および図101に、標準シーケンサ、詳細シーケンサ、または2サイクル・コマンド・モードが有効な場合の $t_{ACQ}$ を示します。図100には、単一サイクル・コマンド・モードが有効となっている場合の $t_{ACQ}$ を示します。

$\overline{CS}$ は変換結果データをフレーム化します。 $\overline{CS}$ がハイの間、SCKエッジは無視され、シリアル・データ出力に割り当てられたすべてのピンは高インピーダンスになります。 $\overline{CS}$ がローの間、データは、SCK立下がりエッジで少なくとも1つのシリアル・データ出力にMSBファーストでクロック・アウトされ、SCK立上がりエッジでSDIにラッチされます。

CNVと $\overline{CS}$ は互いに接続でき、ホストSPIのチップ・セレクトで駆動することで、AD4697/AD4698とインターフェース接続するために必要なデジタル信号の数を最小限に抑えることができます（SPIペリフェラルの接続のセクションを参照）。図101に、CNVと $\overline{CS}$ の信号を連結して4線式SPIとインターフェース接続するAD4697/AD4698のタイミング図を示します。

変換フェーズは、デジタル・ホストが最初のSCK立下がりエッジを供給する前に完了している必要があります。デジタル・ホストは、ビジー・インジケータの立下がりエッジを使用すると、変換フェーズの終了を検出しADCの結果のクロック・アウトを開始できます。それ以外の場合は、デジタル・ホストは、CNVの立上がりエッジと最初のSCK立下がりエッジとの間に、表2の変換時間仕様（ $t_{CONVERT}$ ）で指定された遅延を含める必要があります。

表18に示す5ビットSDIコマンドは、SPIフレーム内の最初の5個のSCK立上がりエッジでSDIにラッチされます。レジスタ設定モード・コマンドは、AD4697/AD4698に変換モードを終了しレジスタ設定モードになるよう指示します（レジスタ設定モード・コマンドのセクションを参照）。表18のチャンネル選択コマンドを使用するのは、2サイクル・コマンド・モードまたは単一サイクル・コマンド・モードが有効となっている場合のみです。これらのコマンドは、標準シーケンサまたは詳細シーケンサが有効な場合はNOOPコマンドと解釈されます（チャンネル・シーケンシング・モードのセクションを参照）。

最高の性能を確保するため、最後のSCKエッジと次のCNV立上がりエッジの間には十分な遅延があり、変換時間が終了するまでSCK動作が行われないことが必要です（表2および図94～図101の $t_{SCKCNV}$ を参照）。

セットアップ・レジスタのSDO\_STATEビットによって、変換モードSPIフレームの開始時と終了時のシリアル・データ出力の動作

が決まります。SDO\_STATEビットが0に設定されている場合、シリアル・データ出力は、次の変換結果のMSBがクロック・アウトされるまでその最終値を維持します。すべての結果がシフト・アウトされた後、追加のSCK立下がりエッジが複数発生した場合でも、シリアル・データ出力はこの状態を維持します。シリアル・データ出力は、 $\overline{CS}$ がハイになった場合に高インピーダンスになりますが、 $\overline{CS}$ が再びローになると以前の状態に復帰します。図94、図96、図98に、SDO\_STATEが0に設定されている場合のシリアル・データ出力の動作を示します。SDO\_STATEはデフォルトで0に設定されています。

SDO\_STATEが1に設定されている場合、ビジー・インジケータがシリアル・データ出力でイネーブルされます（ビジー・インジケータのセクションを参照）。結果の最終ビットが既にクロック・アウトされた後、あるいはCNVまたは $\overline{CS}$ がハイになっているときにSCK立下がりエッジが発生すると、シリアル・データ出力は強制的に高インピーダンスになります。CNV立上がりエッジで変換が開始すると、変換フェーズが完了しその結果がSPIを通じて読み出せるようになるまで、シリアル・データ出力は高インピーダンスを維持します。データが読み出せるようになると、シリアル・データ出力はローに駆動されます。その時点で選択されているチャンネルのOSRが1より大きい場合、オーバーサンプリングされた結果が読み出せるようになった後に、シリアル・データ出力はローに駆動されます。なお、シリアル・データ出力にビジー・インジケータが出力されるためには、 $\overline{CS}$ がローに駆動されている必要があることに注意してください。

ビジー・インジケータが1つの汎用ピンでイネーブルされている場合、その選択された汎用ピンは、CNV立上がりエッジ後にハイに駆動され、変換が終了するとローに駆動されます（汎用ピンのビジー・インジケータのセクションを参照）。図94～図100でBUSYと記された信号は、ビジー・インジケータとして割り当てられた汎用ピンを示します。チャンネル・シーケンシング・モードのセクションの図78は、OSR設定が1および1より大きい場合のCNV立上がりエッジとビジー・インジケータの相対的なタイミングを示しています。

ある汎用ピンで閾値検出アラート・インジケータがイネーブルされている場合、その選択された汎用ピンはステータス・レジスタのTD\_ALERTビットの値を反映します。図94～図99でALERTと記された信号は、アラート・インジケータとして割り当てられた汎用ピンを示します。チャンネル・シーケンシング・モードのセクションの図78は、OSR設定が1および1より大きい場合のCNV立上がりエッジとアラート・インジケータの相対的なタイミングを示しています。

## レジスタ設定モード・コマンド

レジスタ設定モード・コマンドは、SDIに書き込まれる5ビットのコマンドで、変換モードを終了してレジスタ設定モードに入るようデバイスに指示します。レジスタ設定モード・コマンドは0x0Aです。図102に、レジスタ設定モード・コマンドとレジスタ設定モードに入るAD4697/AD4698の相対的なタイミングを示します。

レジスタ設定モード・コマンドは、変換後の最初の5個のSCK立上がりエッジでSDIにクロック・インされます。レジスタ設定モード・コマンドが受信されると、 $\overline{CS}$ の後続の立上がりエッジによって、AD4697/AD4698がレジスタ設定モードになります。デジタル・ホストは、5個のSCK立下がりエッジと $\overline{CS}$ 立上がりエッジの

デジタル・インターフェース

間の経過時間である、 $t_{REGCONFIG}$ の遅延時間だけ待機する必要があります (図102および表2を参照)。

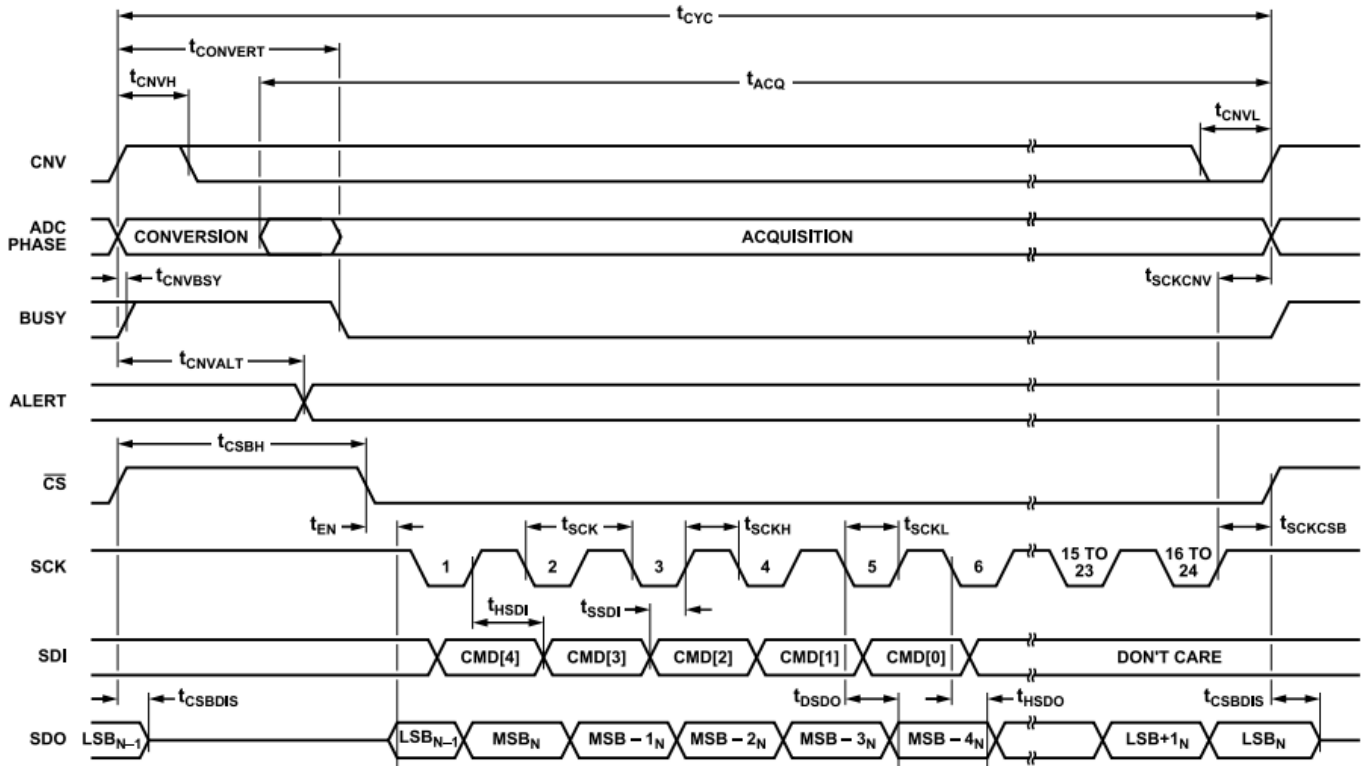


図 94. 変換モードのタイミング図、シングルSDOモード、SDO\_STATE = 0

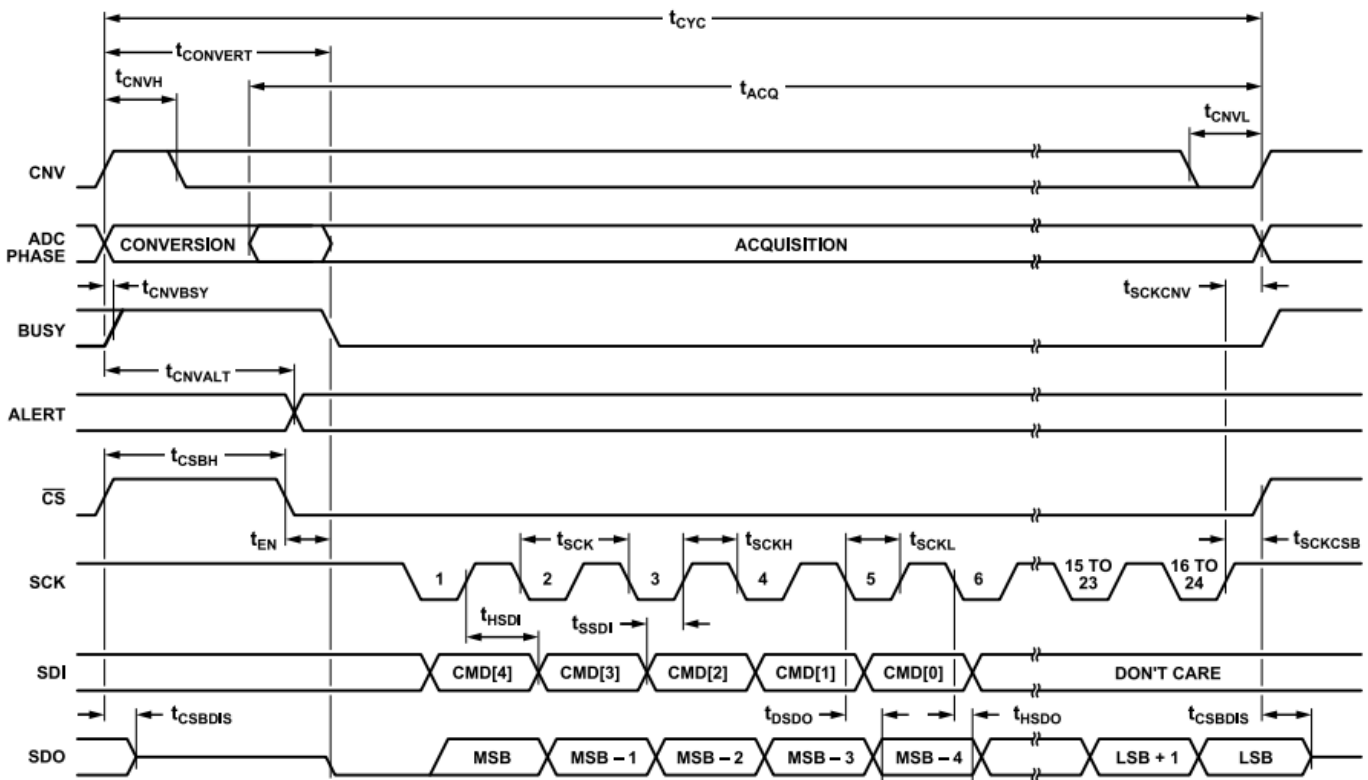


図 95. 変換モードのタイミング図、シングルSDOモード、SDO\_STATE = 1



デジタル・インターフェース

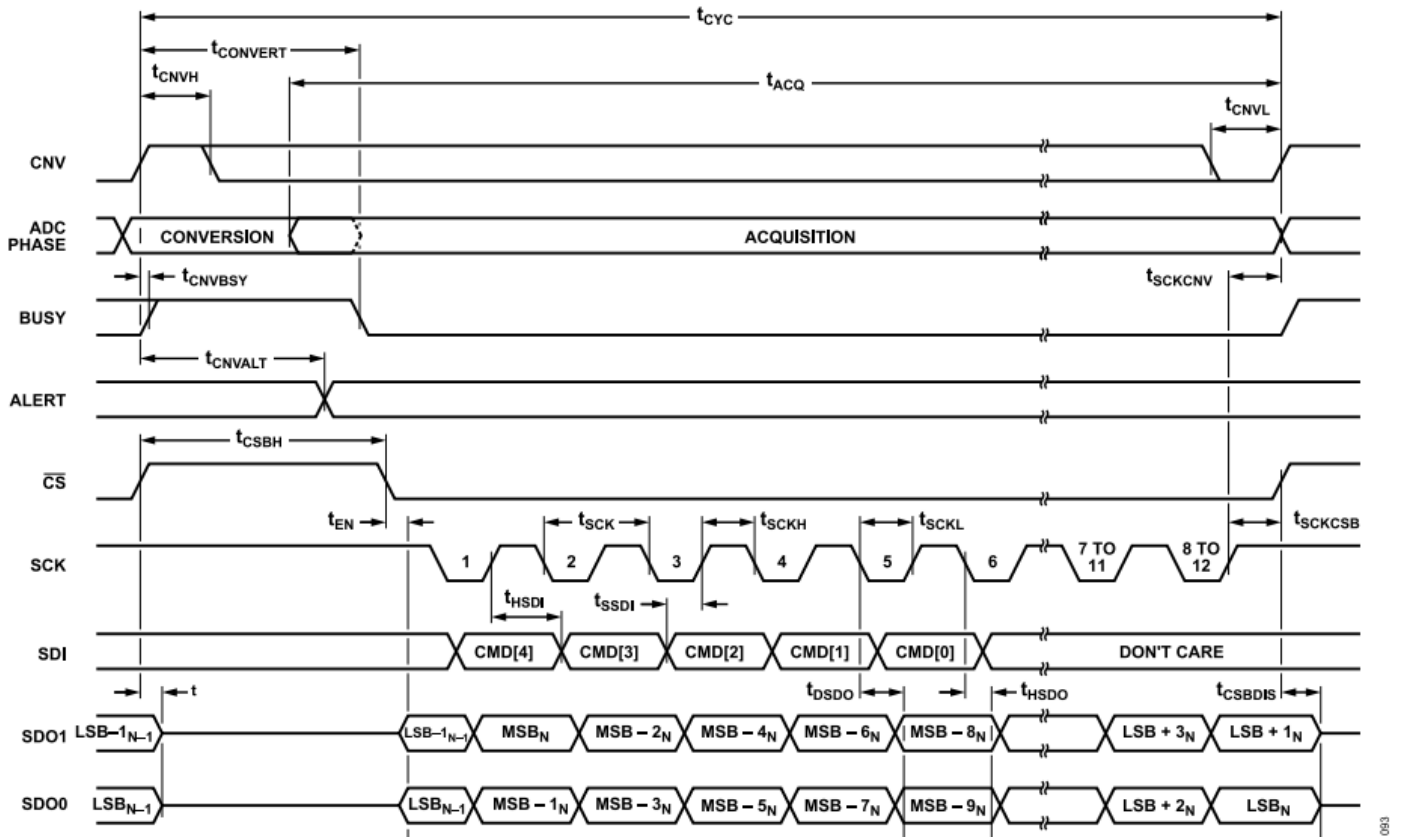


図 96. 変換モードのタイミング図、デュアルSDOモード、SDO\_STATE = 0

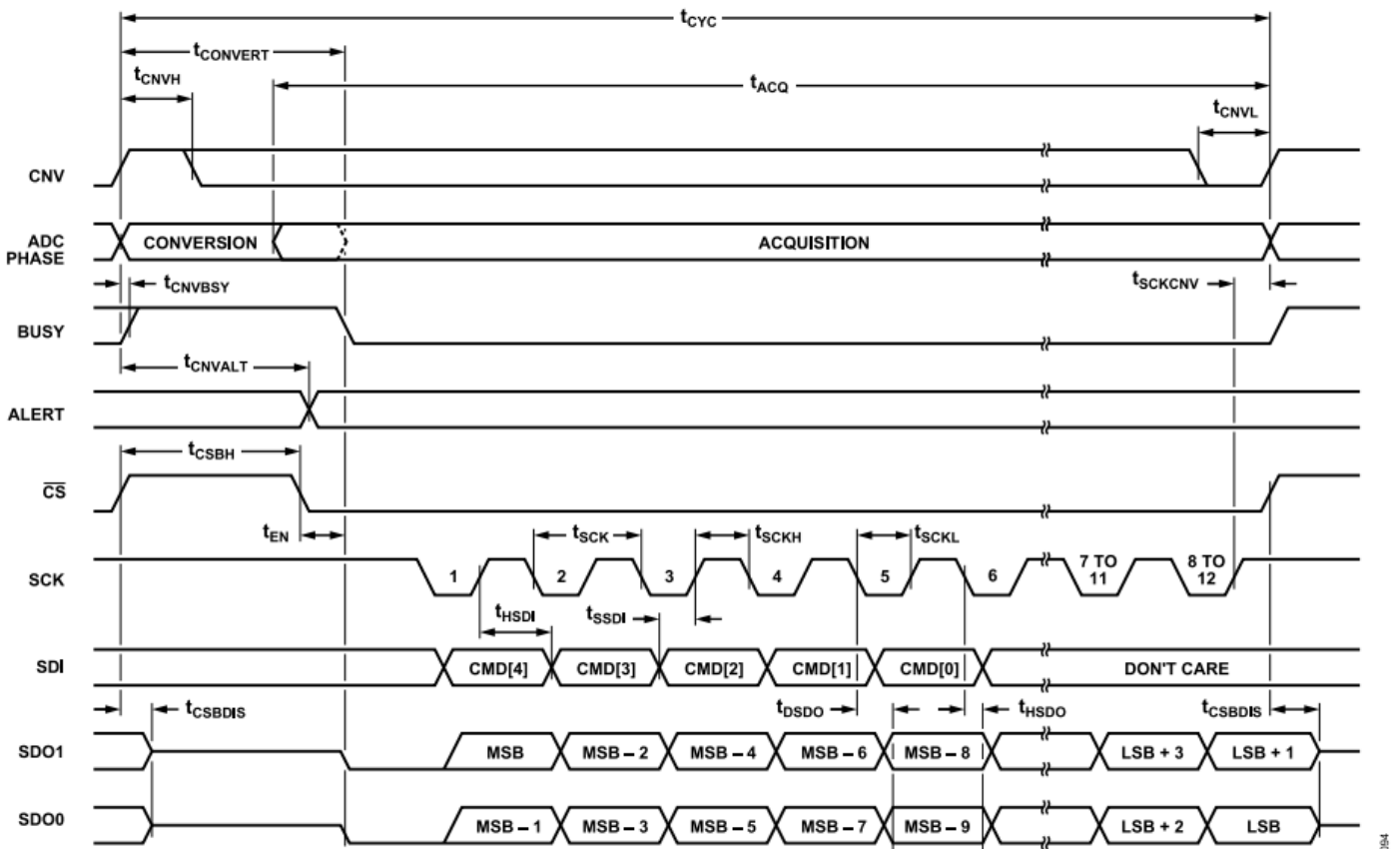


図 97. 変換モードのタイミング図、デュアルSDOモード、SDO\_STATE = 1



デジタル・インターフェース

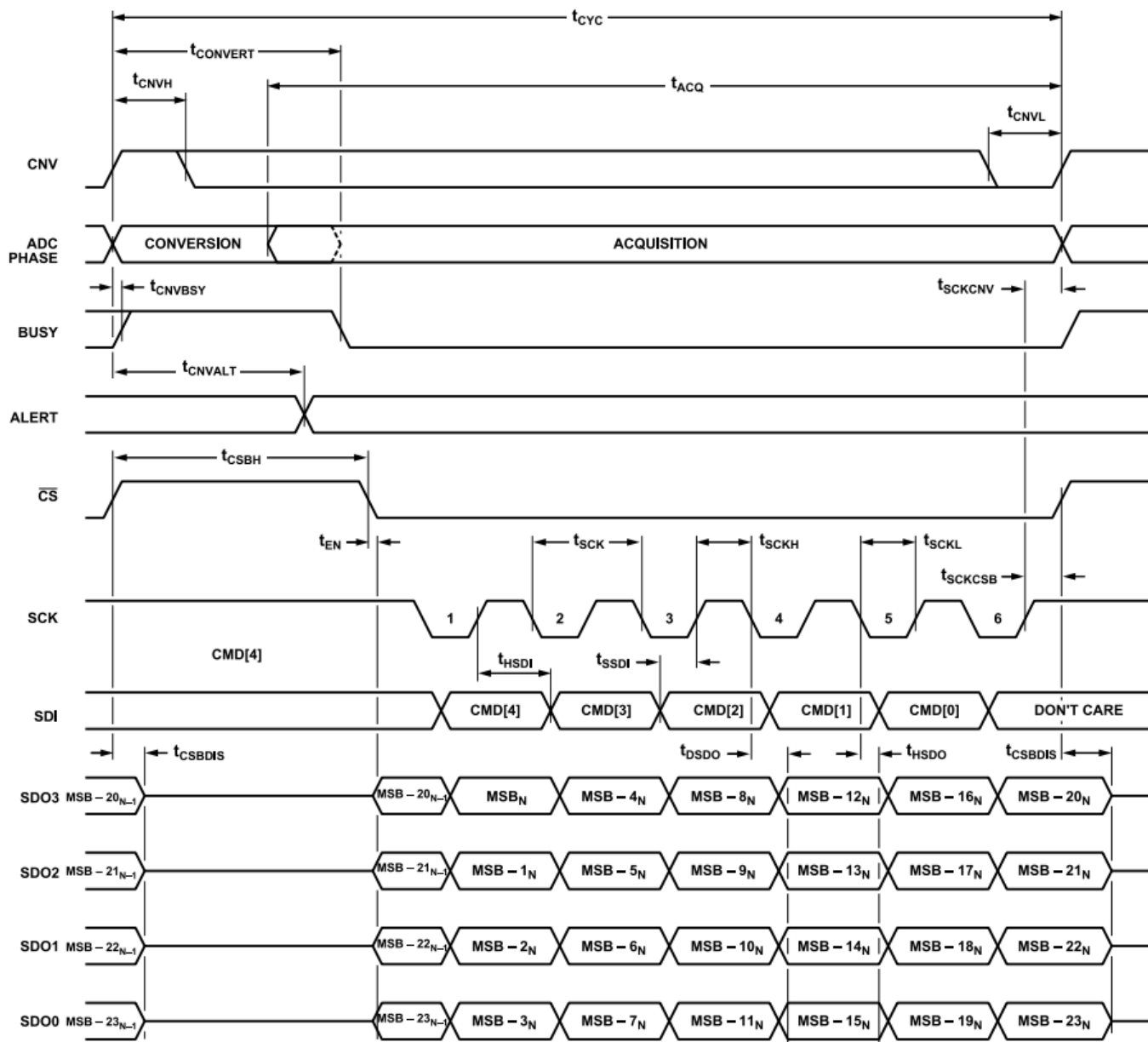


図 98. 変換モードのタイミング図、クワッドSDOモード、SDO\_STATE = 0

413

デジタル・インターフェース

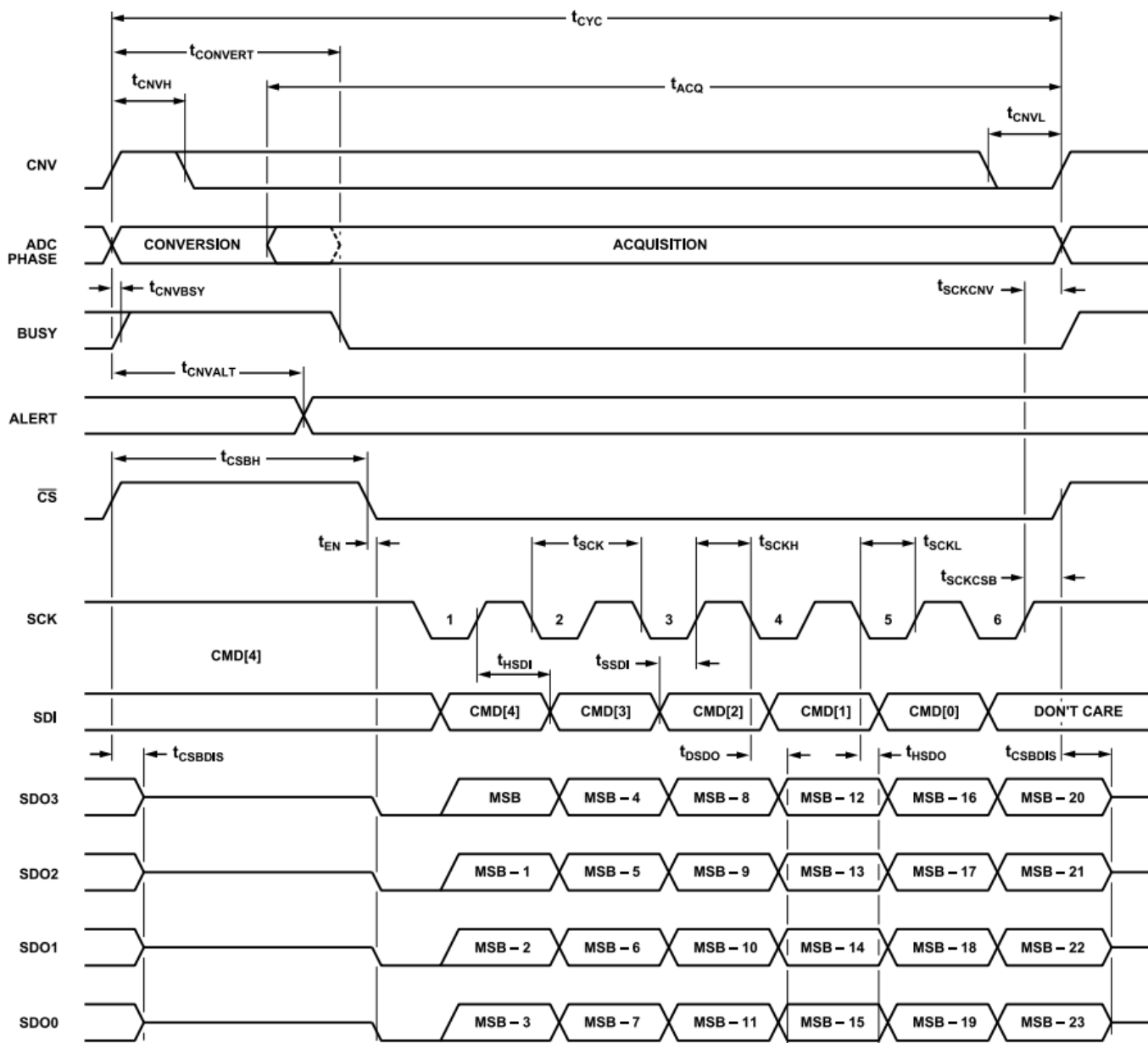


図 99. 変換モードのタイミング図、クワッドSDOモード、SDO\_STATE = 1

414

デジタル・インターフェース

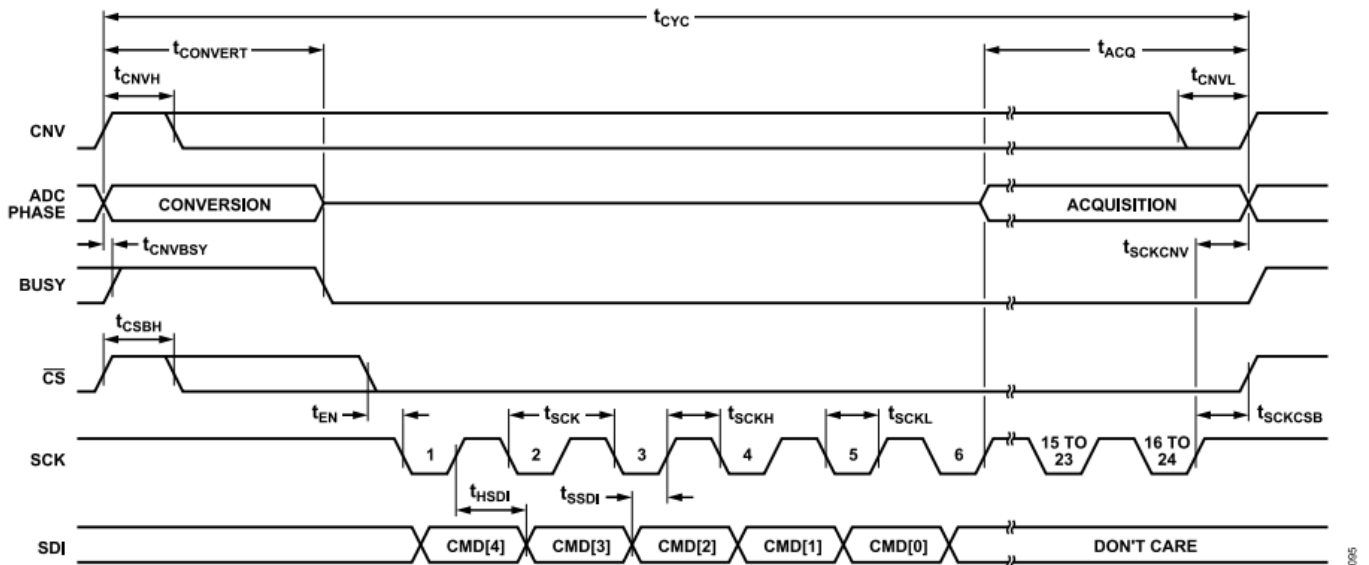


図 100. 変換モードのタイミング図、単一サイクル・コマンド・モード有効

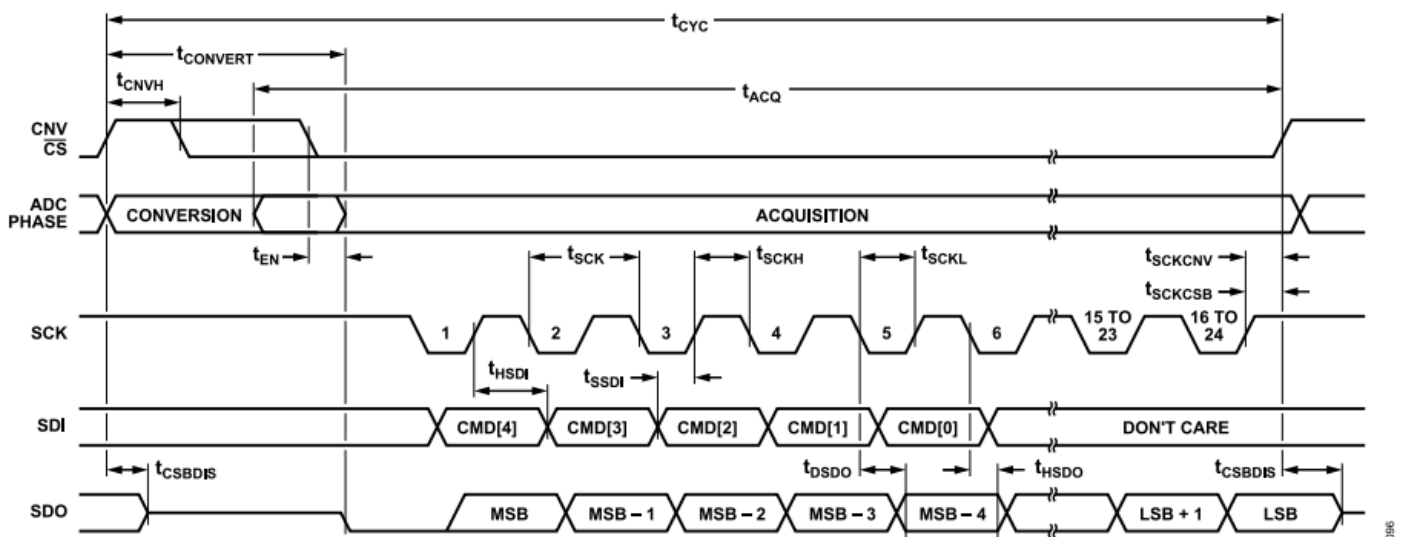


図 101. 4線式SPIでの変換モードのタイミング図、シングルSDOモード、SDO\_STATE = 1

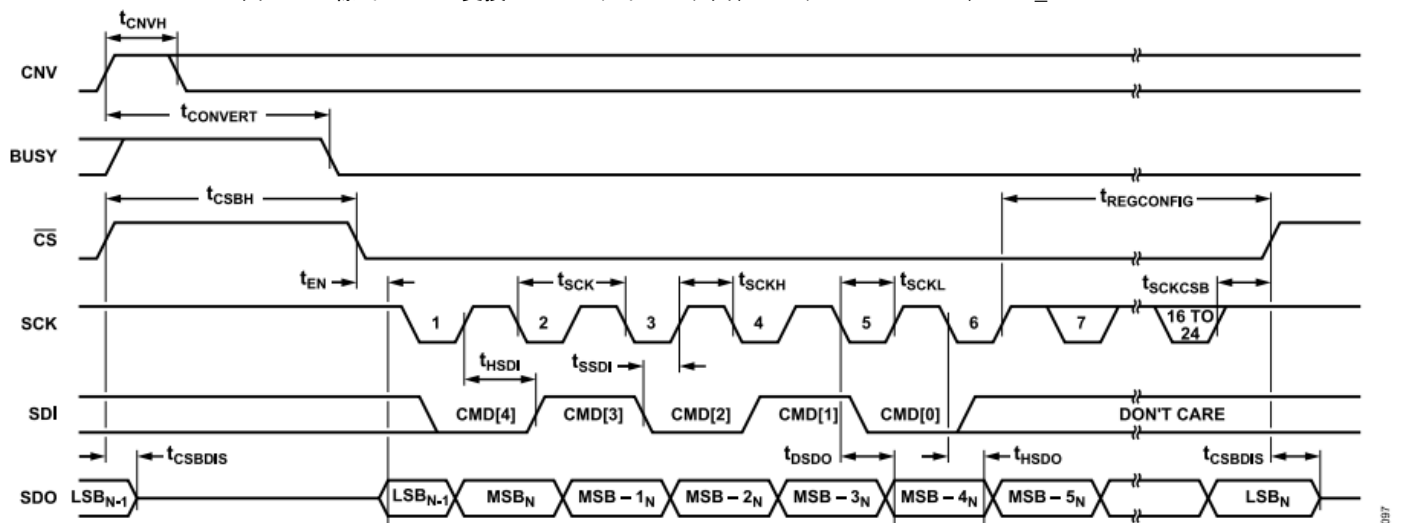


図 102. 変換モードのタイミング図、レジスタ設定モード・コマンド

## デジタル・インターフェース

## 自動サイクル・モード

AD4697/AD4698は、システム監視に最適な動作モードである、ユーザ・プログラムによるチャンネル・シーケンスで自律的に変換を行うように設定できます。自動サイクル・モードが有効化されている場合、AD4697/AD4698は、変換開始信号として作用する内部クロックを生成し、デジタル・ホストがCNV信号を生成する必要はありません。内部変換開始クロックは、AD4697/AD4698が変換モードに入るとイネーブルされ、AD4697/AD4698がレジスタ設定モードに入るとディスエーブルされます。そのため、変換が発生するのは、AD4697/AD4698が変換モードになっている場合のみです。

自動サイクル・モードは、ビジー・インジケータ、閾値検出アラート、標準または詳細シーケンスと共に使用することで、デジタル・ホスト・システムのオーバーヘッドを緩和できます。閾値検出アラート・インジケータは、汎用ピンに割り当てることで、事前定義された領域外イベントを示す割込みとして使用することができます。閾値検出の割込みサービス・ルーチンにはSPI命令をトリガするオプションがあり、最新の変換結果をリードバックして変換モードを終了し、アラート・インジケータ・レジスタ (ALERT\_STATUS1~ALERT\_STATUS2) を使用して特定のタイプの領域外イベントを判定します。

自動サイクル・モードは、標準シーケンスおよび詳細シーケンスで使用することを目的としています。自動サイクル・モードには、2サイクル・コマンド・モードおよび単一サイクル・コマンド・モードで使用できるオプションがありますが、デジタル・ホストは、選択しているチャンネルに5ビットのSDIコマンドを送信する必要があります。

自動サイクル・モードは、AC\_CTRLレジスタのAC\_ENビットが1に設定されている場合に有効化されます。内部変換開始信号の周期については8通りの選択肢があります。変換開始信号の周期は、AC\_CTRLレジスタのAC\_CYCビット・フィールドで選択されます。表24に、変換周期と対応するサンプリング・レートをAC\_CYC値ごとに示します。

既存の自動サイクル・モードを終了しレジスタ設定モードに入った場合、自動サイクル・モードに戻る前にはAD4697/AD4698をリセットすることを推奨します。

表 24. 自動サイクル・モードの変換周期オプション

AC_CYC, Bits[2:0] Value	Conversion Period (μs)	Sample Rate (kSPS)
0x0	10	100
0x1	20	50

表 24. 自動サイクル・モードの変換周期オプション (続き)

AC_CYC, Bits[2:0] Value	Conversion Period (μs)	Sample Rate (kSPS)
0x2	40	25
0x3	80	12.5
0x4	100	10
0x5	200	5
0x6	400	2.5
0x7	800	1.25

自動サイクル・モードが有効となっている場合のSPIトランザクションは、変換モードのタイミング仕様を遵守する必要がある点に注意してください (変換モードのセクションおよび表2を参照)。図125に、推奨する汎用ピン割当てを使用し自動サイクル・モードを有効にしてデジタル・ホストをAD4697/AD4698と同期させる場合のタイミング図を示します。アラート・インジケータまたはビジー・インジケータを汎用ピンに割り当てることで、デジタル・ホストがSPIトランザクションを開始するタイミングを決定できます。ただし、汎用ピンを分けてアラート・インジケータとビジー・インジケータを割り当てることのできるのは、WLCSPオプションのみです。ビジー・インジケータおよびアラート・インジケータを出力するよう汎用ピンを設定する方法については、汎用ピンのセクションを参照してください。

図103に示すように、自動サイクル・モードを使用する場合のSPIトランザクションは、tCONVERTの時間が経過するまで開始することはできません。デジタル・ホストが確実に内部変換開始クロックに同期するようにするには、ビジー・インジケータまたはアラート・インジケータを使用する必要があります (自動サイクル・モードにおけるSPIペリフェラルの同期のセクションを参照)。次の変換が開始される前に目的のSPIトランザクションを完了するには、SCKのレートが十分に高速であることも必要です (変換モードのSPIクロック周波数条件のセクションを参照)。

自動サイクル・モードが有効となっている場合、tACBSYの仕様値によって変換と変換の間でビジー・インジケータがローになっている時間が決まります。tsCKCNVの仕様値からは、SPIトランザクションの最後のSCK立上がりエッジから次の変換の開始までに必要な時間が決まります。

tCNVALTの仕様値は、変換の開始からアラート・インジケータの状態が更新されるまでの遅延を示しています。アラート・インジケータの立上がりエッジは、AD4697/AD4698のインターフェースがSPIトランザクションを受け入れられるようになっていることを直接意味するものではありませんが、tcycの残り時間が経過する前にSPIトランザクションが完了している場合は、そのトランザクションをトリガする割込みとして使用できます。

デジタル・インターフェース

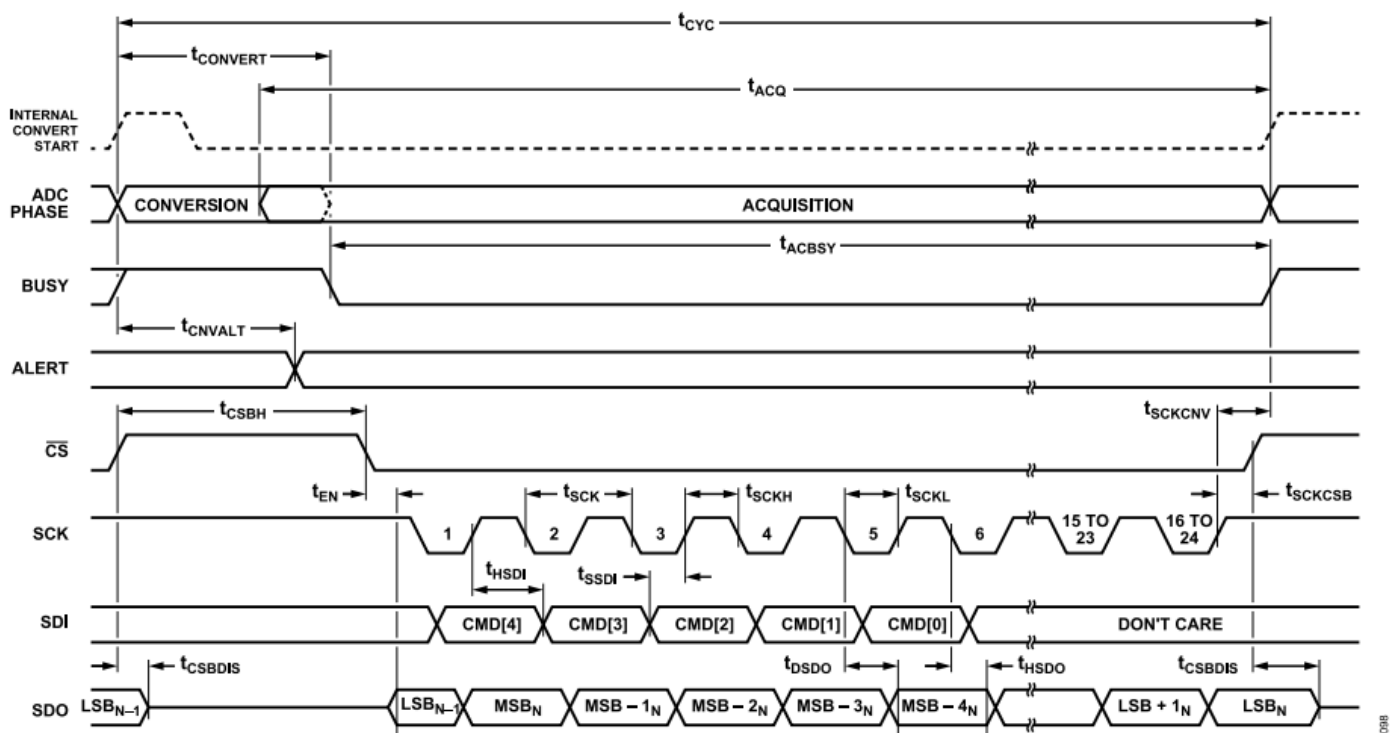


図 103. 自動サイクル・モード有効時の変換モードのタイミング図 (シングルSDOモード、SDO\_STATE = 0)



## デジタル・インターフェース

## 汎用ピン

表25に、AD4697/AD4698のLFCSPオプションおよびWLCSPオプションでの汎用ピンで使用可能な機能とそれらの機能の相対的な優先度（数字の小さい方が高優先度）を示します。汎用ピンに目的の機能を設定するには、それより優先度の高い機能をすべて無効にする必要があります。ビジー・インジケータのセクション、閾値検出とアラート・インジケータのセクション、シリアル・データ出力モードのセクション、GPIOのセクションでは、汎用ピンが表25に示す各機能に設定されている場合の汎用ピンの動作を説明しています。

AD4697/AD4698のLFCSPオプションには、BSY\_ALT\_GP0という

汎用ピンがあります。AD4697/AD4698のWLCSPオプションには、BSY\_ALT\_GP0、GP1、GP2、GP3の4つの汎用ピンがあります。WLCSPではSDO1信号として使用することができない点を除けば、LFCSPオプションとWLCSPオプションのBSY\_ALT\_GP0ピンで使用できる機能は同じです（表20および表25を参照）。

汎用ピンが汎用入力以外の機能に設定されている場合、汎用ピンはデジタル出力として機能します。汎用ピンがデジタル出力に設定されているときに他のデバイスがこの汎用ピンを駆動しようとした場合、競合が発生し、AD4697/AD4698が損傷する可能性があります。デフォルトではAD4697/AD4698のすべての汎用ピンはデジタル入力に設定されています。

表 25. 汎用ピンの機能とその優先度

Package	Pin	Function Priority			
		1 (Highest Priority)	2	3	4 (Lowest Priority)
LFCSP	BSY_ALT_GP0	SDO1 signal (dual-SDO mode)	Alert indicator	Busy indicator	GPIO
WLCSP	BSY_ALT_GP0	Alert indicator	Busy indicator	GPIO	
	GP1	SDO1 (dual-SDO and quad-SDO mode)	GPIO		
	GP2	SDO2 (quad-SDO mode)	Alert indicator	GPIO	
	GP3	SDO3 (quad-SDO mode)	Busy indicator	GPIO	

## デジタル・インターフェース

### GPIO

GPIO\_CTRLレジスタのGPIIn\_ENビットおよびGPOn\_ENビットを使用すると、汎用ピンごとにGPIOに設定できます（表50参照）。汎用ピンは、対応するGPIIn\_ENビットが1に設定されている場合は入力、対応するGPOn\_ENビットが1に設定されている場合は出力として設定されます。

AD4697/AD4698のGPIO機能によって、デジタル・ホストはその他のデジタル・ホストのGPIOピンを使用するのではなくAD4697/AD4698のSPIを通じて、システム内の他のデバイスのロジック入力を制御したりロジック出力をモニタしたりできます。必要なデジタル・アイソレーション・チャンネルの数を減らすことができるため、GPIO機能は、デジタル的に絶縁されたアプリケーションで特に有効です。

汎用ピンが汎用入力に設定されている場合、汎用ピンはシステム内の他のデバイスのロジック出力に接続でき、デジタル・ホストはGPIO\_STATEレジスタを読み出して汎用ピンの状態をモニタできます。GPIO\_STATEレジスタのGPI\_READビット・フィールドが、各汎用入力の状態を示します（表52を参照）。汎用入力のロジック入力閾値は、表1においてV<sub>IL</sub>およびV<sub>IH</sub>で仕様規定されています。

汎用ピンが汎用出力に設定されている場合、汎用ピンは他のマルチプレクサやプログラマブル・ゲイン・アンプなどシステム内の他のデバイスのロジック入力に接続でき、デジタル・ホストはGPIO\_STATEレジスタに書き込みを行ってこの信号の状態を設定できます。GPIO\_STATEレジスタのGPO\_WRITEビット・フィールドが、汎用出力の状態を制御します（表52を参照）。汎用出力のロジック出力閾値は、表1においてV<sub>OL</sub>およびV<sub>OH</sub>で仕様規定されています。

LFCSPオプションにはGP1、GP2、GP3ピンがないため、対応するGPI\_READビットは0にハードコードされており、対応するGPO\_WRITEビットに書き込みを行っても無効です。

### デバイスのリセット

デバイス・リセットにより、AD4697/AD4698の設定レジスタが再初期化されます。AD4697/AD4698には、ハードウェア・リセット、ソフトウェア・リセット、PORなど、デバイスをリセットするためのオプションがいくつかあります。

ハードウェア・リセット、ソフトウェア・リセット、PORはすべて、ステータス・レジスタのRESET\_FLAGビットをアサートします。RESET\_FLAGビットは読み出し後クリアするビットで、ステータス・レジスタからの有効な読み出し後は自動的に0に設定されます。RESET\_FLAGビットは、デバイスがデバイス・リセットを実行したことを確認するため、またはリセットが意図せずに実行された場合にそれを確認するために、デジタル・ホストが使用できます。

どのデバイス・リセット方法でも、リセット命令が開始されてからAD4697/AD4698のSPIがデジタル・ホストからの通信を受信する準備が整うまで、一定の遅延時間が必要です。これらのデバイス・リセット遅延は図104～図111および表2に示されています。デジタル・ホストが、デバイスの準備が整う前にSPI読み出しまたは書き込みトランザクションを実行しようとすると、トランザクションは無効とみなされ、SPI\_STATUSレジスタのNOT\_RDY\_ERRORビットが1に設定されます。NOT\_RDY\_ERRORビットはR/WICビ

ットで、リセットされるのは有効なレジスタ書き込みトランザクションで1に設定された場合のみです。

### ハードウェア・リセット

ハードウェア・リセットは、 $\overline{\text{RESET}}$ の立下がりエッジで開始されます。図104に、ハードウェア・リセットを実行するためのタイミング図を示します。t<sub>RESETL</sub>は、 $\overline{\text{RESET}}$ がローとなっていることが必要な最小時間量で、t<sub>HWR\_DELAY</sub>は、 $\overline{\text{RESET}}$ の立下がりエッジからSPIフレームの開始までにデジタル・ホストが待機する必要がある時間です（表2参照）。

内部LDOがVDDを供給し、ハードウェア・リセットの前にディセーブルされている場合、内部LDOはハードウェア・リセットによってイネーブルされ、内部LDOの出力がVDDの必要最低電圧に達するだけの追加遅延が必要となります（パワーオン・リセット（POR）のセクションを参照）。

### ソフトウェア・リセット

ソフトウェア・リセットを開始するには、SPI\_CONFIG\_AレジスタのSW\_RST\_MSBビットとSW\_RST\_LSBビットを1に設定します。ソフトウェア・リセットは、SPI\_CONFIG\_Aレジスタを除き、レジスタの情報のセクションに示されているすべての設定レジスタの状態をデフォルト値に再初期化します。ソフトウェア・リセットが完了すると、SW\_RST\_MSBビットとSW\_RST\_LSBビットは自動的にクリアされます。図105に、ソフトウェア・リセットを実行するためのタイミング条件を示します。t<sub>SWR\_DELAY</sub>は、ソフトウェア・リセットから新しいSPIフレームの開始までにデジタル・ホストが待機する必要がある時間です（表2参照）。

### パワーオン・リセット（POR）

PORは、VDDまたはVIOが最初に供給されたときに開始されます。PORイベントが検知されると、AD4697/AD4698の設定レジスタはデフォルト値に初期化されますが、それでもなお、POR後にはハードウェア・リセットまたはソフトウェア・リセットを実行することを推奨します。

図106に、VIOが既に供給されている場合のVDD PORのタイミング図を示します。t<sub>POR\_VDD</sub>は、VDDが最初に供給されてからSPIフレームが開始されるまでにデジタル・ホストが待機する必要がある時間です（表2参照）。図107に、VDDが既に供給されている場合のVIO PORのタイミング図を示します。t<sub>POR\_VIO1</sub>は、VIOが最初に供給されてからSPIフレームが開始されるまでにデジタル・ホストが待機する必要がある時間です（表2参照）。

VDDが内部LDOから供給されている場合、VDD PORは、内部LDO出力が少なくとも最小VDD仕様値までVDDを駆動した場合にトリガされます。内部LDO出力がイネーブルされるのは、LDO\_INとVIOが共に供給された場合と、セットアップ・レジスタのLDO\_ENビットが1に設定されている場合のみです（内部LDOのセクションを参照）。

図108に、VIOが既に供給されている場合のLDO\_IN PORのタイミング図を示します。t<sub>POR\_LDO</sub>は、LDO\_INが最初に供給されてからSPIフレームが開始されるまでにデジタル・ホストが待機する必要がある時間です。

## デジタル・インターフェース

図109に、内部LDOがVDDを供給するために使用されている場合のVIO PORのタイミング図を示します。tPOR\_VIO2は、VIOが供給されてからSPIフレームが開始されるまでにデジタル・ホストが待機する必要のある時間です。

内部LDOがVDDを供給している場合、PORが発生するのは、内部LDOがLDOウェイクアップ・コマンドによって、または内部LDOがそれ以前にディスエーブルされている場合（LDO\_EN bit = 0）はハードウェア・リセットによって、イネーブルされた場合です。図110に、内部LDOがLDOウェイクアップ・コマンドによってイネーブルされている場合のPORのタイミング図を示します。tWAKEUP\_SWは、LDOウェイクアップ・コマンドから新しいSPIフレーム

ームが開始されるまでにデジタル・ホストが待機する必要のある時間です。

図111に、内部LDOがハードウェア・リセットによってイネーブルされている場合のPORのタイミング図を示します。tWAKEUP\_HWは、ハードウェア・リセットからSPIフレームが開始されるまでにデジタル・ホストが待機する必要のある時間です。

tPOR\_LDO、tPOR\_VIO2、tWAKEUP\_HW、tWAKEUP\_SWはすべて、VDDデカップリング・コンデンサ（C<sub>VDD</sub>）によって異なります。C<sub>VDD</sub>の値を大きくすると、内部LDOの出力電圧がVDD PORをトリガする最小VDD電源電圧に到達するまでの時間が長くなります。表2に、C<sub>VDD</sub> = 1μFの場合のリセット遅延の代表的な仕様値を示します。

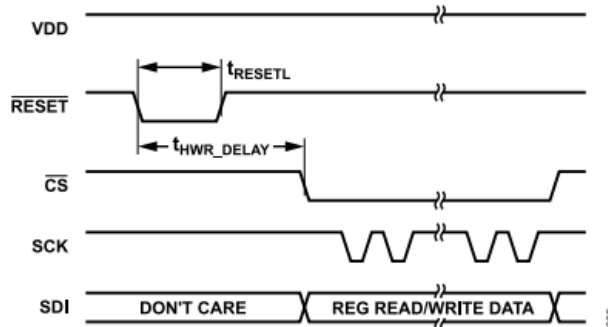


図 104. ハードウェア・リセットのタイミング図

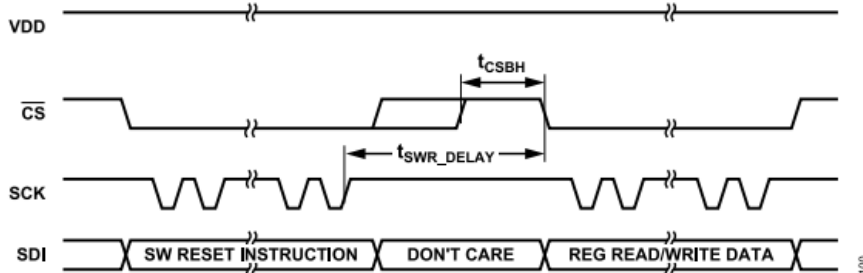


図 105. ソフトウェア・リセットのタイミング図

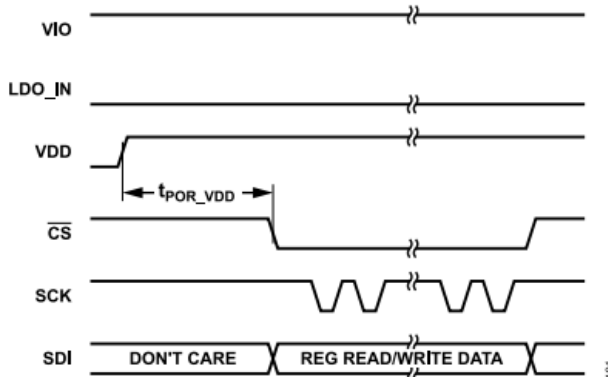


図 106. VDD PORのタイミング図

デジタル・インターフェース

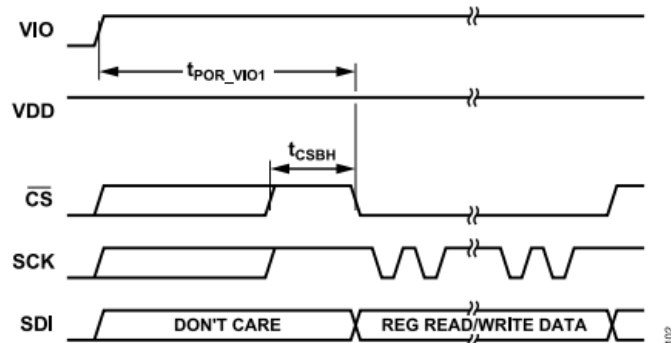


図 107. VIO PORのタイミング図 (VDDは外部供給)

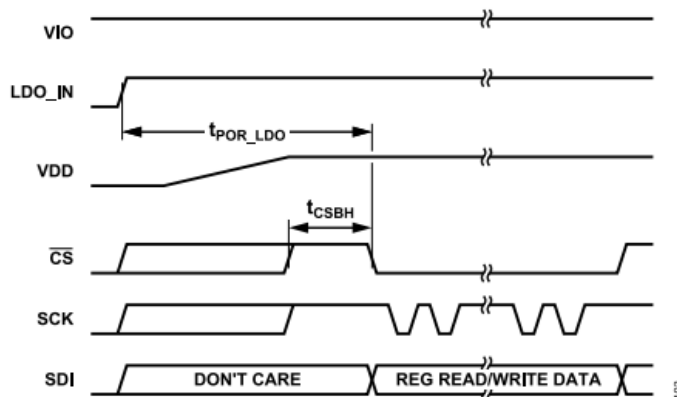


図 108. LDO\_IN PORのタイミング図 (内部LDOがVDDを供給)

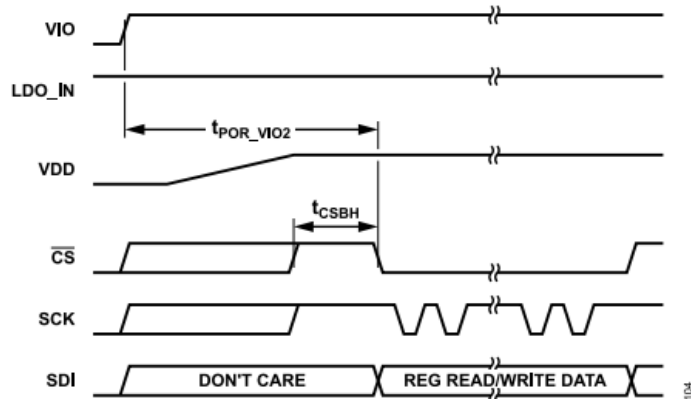


図 109. VIO PORのタイミング図 (内部LDOがVDDを供給)

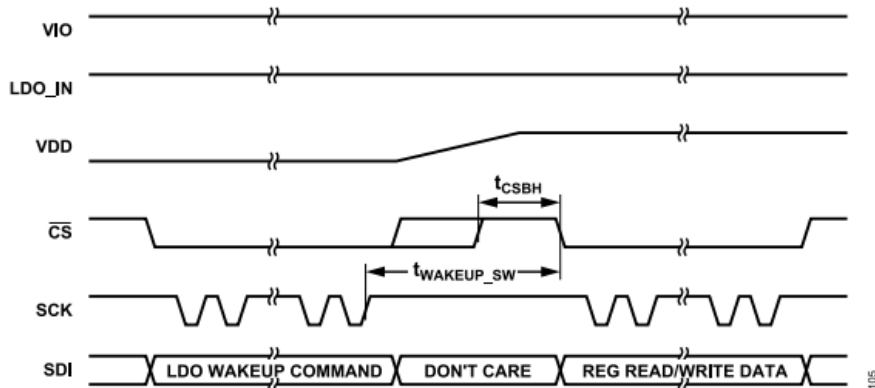


図 110. LDOウェイクアップ・コマンドPORのタイミング図

## デジタル・インターフェース

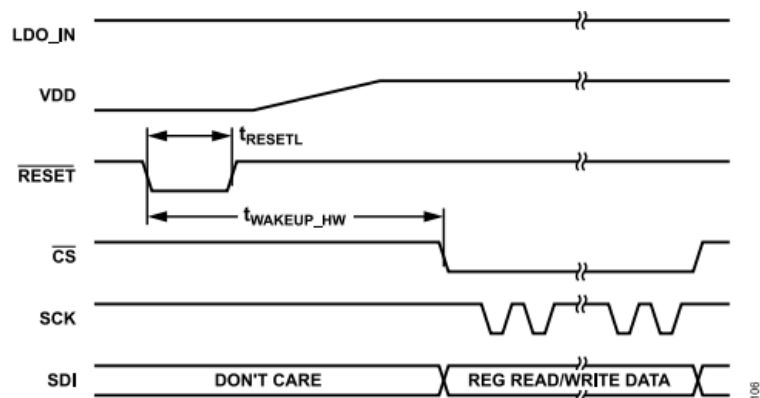


図 111. LDOがハードウェア・リセットによってイネーブルされている場合のPORのタイミング図



アプリケーション情報

図112に、AD4697/AD4698の付随回路の推奨接続図を示します。

AD4697/AD4698の付随回路には、電源、電圧リファレンス回路、AFEシグナル・コンディショニング、SPI対応デジタル・コントロ

ーラ（他にオプションのデジタル・アイソレーション）が含まれます。以下のセクションでは、一般的なアプリケーション条件に基づいてAD4697/AD4698の付随回路を選択し接続するための推奨事項や提案事項を説明します。

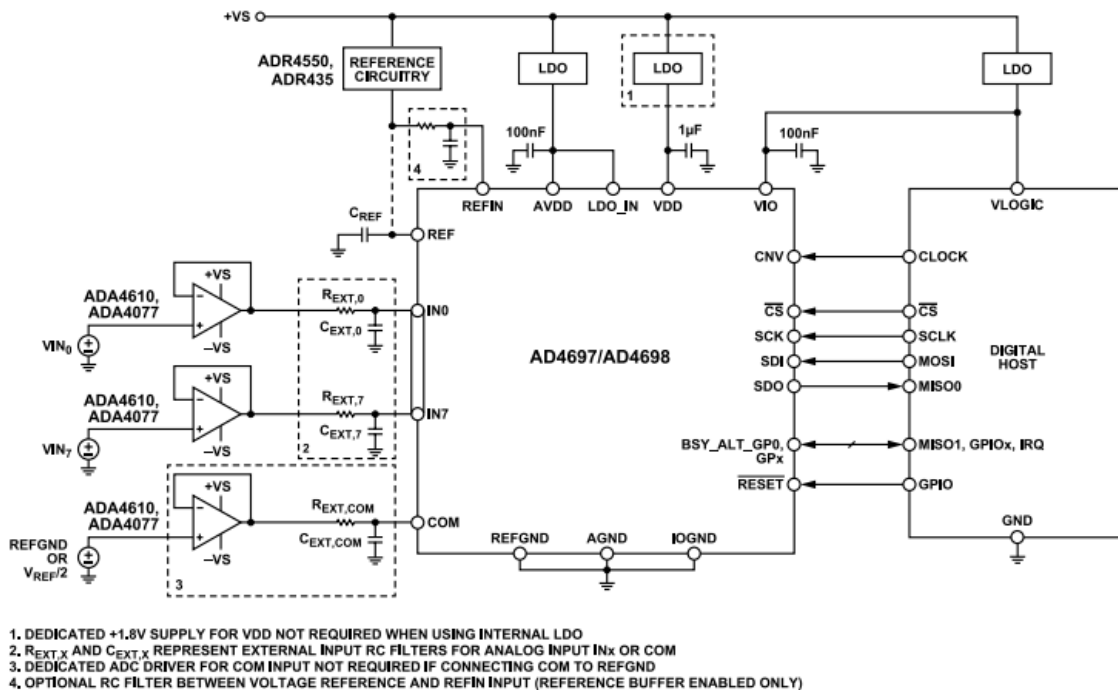


図 112. 代表的な接続図

## アプリケーション情報

## アナログ・フロントエンド設計

通常、AD4697/AD4698のAFE付随回路には、測定対象信号とAD4697/AD4698のアナログ入力の間で配置される、外付けRCフィルタとADCドライバまたは高精度オペアンプが含まれます。

AD4697/AD4698のアナログ入力を駆動するAFE回路の部品選択および設計は、システムの全体性能に直接影響します。AFEは、システムの目標ノイズ、精度、歪み、最終アプリケーションのセトリング条件を考慮して設計する必要があります。以下のセクションでは、これらの条件に基づいてAFE回路とシグナル・コンディショニング回路を設計するための推奨事項について説明します。

## 外付けRCフィルタ

外付けRCローパス・フィルタは、外付けの抵抗とコンデンサ（[図66](#)と[図112](#)において $R_{EXT}$ および $C_{EXT}$ と表示）で構成されます。これらの部品は、AFE回路からの広帯域ノイズを削減し、アナログ入力で発生する非線形の電圧キックバックを抑制し、また、アナログ入力を過電圧イベントから保護するように作用します。こうした機能のために適切な値の $R_{EXT}$ と $C_{EXT}$ を選択する方法については、[アナログ・フロントエンドのノイズに関する考慮事項](#)のセクション、[シグナル・セトリング条件](#)のセクション、[アナログ入力過電圧保護](#)のセクションで説明します。

$C_{EXT}$ は歪みアーティファクトを抑制するためにNP0セラミック・コンデンサとし、PCBレイアウトは $C_{EXT}$ とアナログ入力ピンの間の寄生インピーダンスを最小限に抑えるようにしてください。詳細については、[レイアウトのガイドライン](#)のセクションを参照してください。

## シグナル・セトリング条件

[コンバータの動作](#)のセクションと[アナログ入力](#)のセクションで説明しているように、AD4697/AD4698のアナログ入力（ $IN0 \sim IN7$ およびCOM）は、内部のアナログ・マルチプレクサを通じてADCコア入力に接続されています。

[図66](#)に示すように、ADCコアの容量性DACは、スイッチ付き容量性負荷で代用できます。

変換フェーズの開始時、マルチプレクサ・スイッチは切断され、その時点で選択されているアナログ入力チャンネルの電圧が容量性DACでサンプリングされます。アキュイジション・フェーズの間は、マルチプレクサ・スイッチ（ $SW_{MUX+}$ および $SW_{MUX-}$ ）が閉じて、次に選択するアナログ入力チャンネルを容量性DACに接続します。これらのスイッチが閉じるとき、容量性DACの電圧と選択したアナログ入力ピンの電圧の差が原因となって、電圧グリッチ（一般にはキックバックと呼ばれます）が発生します。

AD4697/AD4698の仕様規定された性能を実現するには、次の変換フェーズ（次のCNV立上がりエッジ）までに、このキックバックがADCコアの半LSB以内までセトリングする必要があります。キックバック電圧がセトリングするレートは、AFE回路のトランジエント特性と帯域幅によって異なります。そのため、信号のセトリング条件によって、許容可能な最小限のAFE帯域幅が決まり、ドライバ・アンプと外付けRCフィルタの選択に制約を加えています。

[表26](#)に、異なるサンプリング・レートと信号帯域幅について、推奨するアンプと外付けRCフィルタ部品の一覧を示します。[アナログ入力高インピーダンス・モード](#)のセクションの[図71](#)と[図72](#)には、異なるアンプと外付けRC部品値での、SNRとTHDの性能が示されています。

アナログ入力高インピーダンス・モードは、電圧キックバックの大きさを最小限に抑制することで、AFEの帯域幅条件を大幅に緩和しています。[図21](#)に、アナログ入力高インピーダンス・モードが無効な場合と有効な場合でのキックバックの大きさの違いを示します。

## アナログ・フロントエンドのノイズに関する考慮事項

AFEのノイズの大きさは、AD4697/AD4698のシグナル・チェーン全体のダイナミック・レンジとSNR性能に直接影響します。システム全体の目標ノイズ仕様を達成できるAFEの部品と構成を選択してください。

[図113](#)に、代表的なアナログ・フロントエンド・ドライバ回路の主要ノイズ源を図示します。

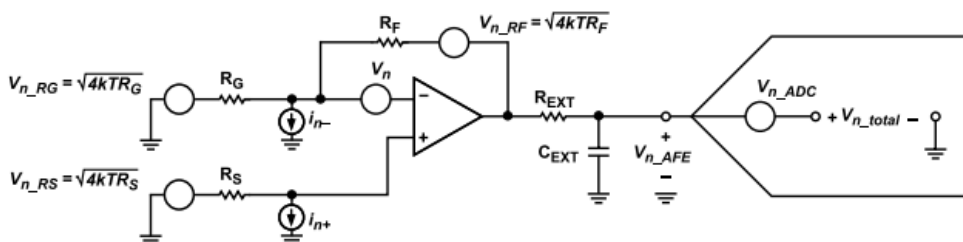


図 113. 代表的なADC AFE回路のノイズ源

## アプリケーション情報

すべてのノイズ源がガウシアンで無相関であると仮定すると、システム全体の実効値ノイズ ( $v_{n\_total}$ ) は次式で計算されます。

$$v_{n\_TOTAL} = \sqrt{v_{n\_AFE}^2 + v_{n\_ADC}^2} \quad (9)$$

ここで、

$v_{n\_AFE}$ は、AFEの出力換算 (RTO) 実効値ノイズ、

$v_{n\_ADC}$ は、AD4697/AD4698の入力換算実効値ノイズです。

推定されるシステム・ダイナミック・レンジ ( $DR_{TOTAL}$ ) は、システム実効値ノイズとフルスケール入力範囲の指標となります。

$$DR_{TOTAL} = 20 \log \left( \frac{V_{REF}/(2\sqrt{2})}{v_{n\_TOTAL}} \right) \quad (10)$$

AD4697/AD4698の入力換算実効値ノイズ仕様値 ( $v_{n\_ADC}$ ) は 37.8  $\mu$ V rms (代表値) です (表1参照)。図114に、 $v_{n\_ADC} = 37.8 \mu$ V rms、 $V_{REF} = 5$ Vでの代表的なシステム・ダイナミック・レンジと  $v_{n\_AFE}$ の関係を示します。 $v_{n\_AFE}$ が13  $\mu$ V rms未満の場合、システム全体のダイナミック・レンジは、AD4697/AD4698のダイナミック・レンジ仕様値 (表1参照) の0.5dB以内に収まっています。

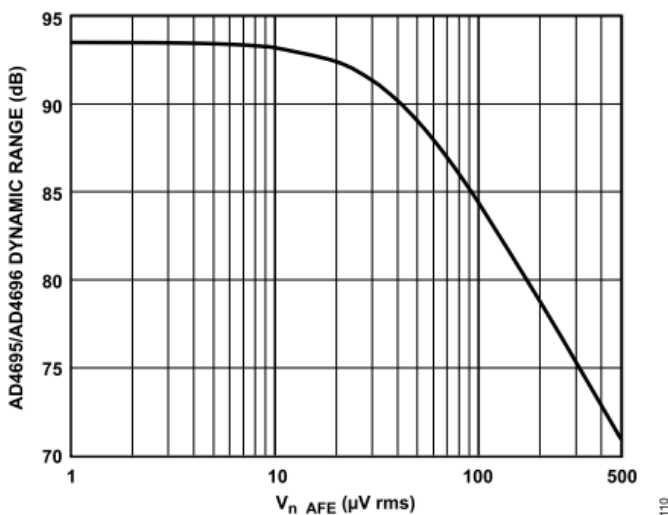


図 114. AD4697/AD4698の代表的なダイナミック・レンジと  $v_{n\_AFE}$ の関係、 $V_{REF} = 5$ V

$$v_{n\_AFE} = ENBW_{RC} \times \sqrt{4kTR_F + \left(1 + \frac{R_F}{R_G}\right)^2 \left(4kTR_S + (i_{n+} \times R_S)^2 + v_n^2\right) + \left(\frac{R_F}{R_G}\right)^2 4kTR_G + (i_{n-} \times R_F)^2} \quad (12)$$

AFEのRTOノイズ ( $v_{n\_AFE}$ ) は、AFE内の各構成要素の実効値ノイズに等しく、外付けRCフィルタ (図66および外付けRCフィルタのセクションの $R_{EXT}$ と $C_{EXT}$ ) の出力に換算されます。RCフィルタの帯域幅がアンプ回路の帯域幅より大幅に小さいと仮定すると、次の式に示すように、 $v_{n\_AFE}$ は、これらの各要素のノイズ・スペクトル密度 (アンプ出力換算) にRCフィルタの実効ノイズ帯域幅 ( $ENBW_{RC}$ ) を乗じたものと等しくなります。

ここで、

$k$ はボルツマン定数、

$T$ は絶対温度 (ケルビン)、

$R_F$ および $R_G$ は帰還回路ネットワークの抵抗 (図113参照)、

$R_S$ はソース抵抗 (図113参照)

$i_{n+}$ と $i_{n-}$ はアンプ入力電流のノイズ・スペクトル密度 (pA/ $\sqrt$ Hz)、

$v_n$ は、アンプ入力の電圧ノイズ・スペクトル密度 (nV/ $\sqrt$ Hz) です。

$v_{n\_AFE}$ の詳細な導出方法とアナログ・フロントエンド部品および構成の関係については、MT-049とMT-050を参照してください。

$$ENBW_{RC} = \sqrt{\frac{\pi}{2}} \times \frac{1}{2\pi R_{EXT} C_{EXT}} \quad (11)$$

## アプリケーション情報

## 疑似バイポーラ・モードでのアナログ・フロントエンドのノイズ

疑似バイポーラ・モードでチャンネルを設定している場合、通常は、負側入力を  $V_{REF}/2V$  に駆動するために2つめのAFE回路が必要です（[チャンネル設定オプション](#)のセクションを参照）。この場合、追加のAFEのRTO実効値ノイズ ( $v_{n\_AFE2}$ ) を二乗和平方根 (rss) の式に追加して、システム全体の实効値ノイズを計算します。

$$v_{n\_TOTAL} = \sqrt{v_{n\_AFE1}^2 + v_{n\_AFE2}^2 + v_{n\_ADC}^2} \quad (13)$$

AD4697/AD4698のアナログ入力のセトリング条件があるため、RCフィルタの帯域幅および  $R_{EXT}$  と  $C_{EXT}$  の値は任意に低く設定することはできない点に注意してください。目標サンプリング・レートに対して最適なRCフィルタ部品を選択するためのガイドラインについては、[シグナル・セトリング条件](#)のセクションを参照してください。

## ドライバ・アンプ選択のガイドライン

最終システムの条件に基づいてAD4697/AD4698のAFEで使用されるアンプを選択するためのガイドラインを以下に列挙します。

[アナログ・フロントエンドのノイズに関する考慮事項](#)のセクションで説明しているように、目的の実効値ノイズとダイナミック・レンジ性能を実現するには、アンプの電圧と電流のノイズ仕様値が十分に低いことが必要です。

アンプの歪み性能は、目的のTHD性能を実現するのに十分なものであることが必要です。AD4697/AD4698のTHDに関するデータシ

ートの仕様値を満たすためには、アンプ回路の歪み仕様がそれと同等かそれ以下であることが必要です。

[シグナル・セトリング条件](#)のセクションで説明しているように、アンプの小信号帯域幅は、2つのアナログ入力チャンネル間の切り替え時に発生する電圧ステップを適切にセトリングするために必要な最小帯域幅より十分大きいことが必要です。

また、アンプには、フルスケール信号をAD4697/AD4698のアナログ入力に適切に出力するための十分な供給ヘッドルームがあることが必要です（[表1](#)の入力電圧範囲の仕様を参照）。所定のチャンネルで必要とされるフルスケール・レンジに対応するために必要な電源電圧を決定するには、アンプのデータシートの入力ヘッドルーム条件を参照してください。

[ADA4805-1](#)、[ADA4807-1](#)、およびそれらのデュアル・アンプ・モデルとクワッド・アンプ・モデルは、極めて低ノイズ、低歪み、広帯域幅であるため、AC波形を取得するチャンネルにとって最適なアンプです。

[ADA4610-1](#)、[ADA4077-1](#)、およびそれらのデュアル・アンプ・モデルとクワッド・アンプ・モデルは、高分解能を必要とするDCまたは低周波数信号をモニタリングするチャンネルにとって最適なアンプです。[ADA4610-1](#)、[ADA4077-1](#)、または同様の帯域幅仕様を持つアンプで直接駆動する場合には、適切なセトリング性能を確保するために、AD4697/AD4698のアナログ入力チャンネルでアナログ入力高インピーダンス・モードを有効化することを推奨します（[シグナル・セトリング条件](#)のセクションと[アナログ入力高インピーダンス・モード](#)のセクションを参照）。

表 26. 推奨するアンプと外付けRCフィルタの部品の選択

Input Signal Bandwidth (kHz)	Sample Rate	Amplifier	$R_{EXT}$ ( $\Omega$ )	$C_{EXT}$ (pF)
≤10	≤1 MSPS	<a href="#">ADA4805-1/ADA4805-2</a>	390	180
		<a href="#">ADA4807-1/ADA4807-2/ADA4807-4</a>	390	180
		<a href="#">ADA4610-1/ADA4610-2/ADA4610-4</a>	680	180
		<a href="#">ADA4077-1/ADA4077-2/ADA4077-4</a>	680	180
	≤500 kSPS	<a href="#">ADA4805-1/ADA4805-2</a>	680	180
		<a href="#">ADA4807-1/ADA4807-2/ADA4807-4</a>	680	180
		<a href="#">ADA4610-1/ADA4610-2/ADA4610-4</a>	680	470
		<a href="#">ADA4077-1/ADA4077-2/ADA4077-4</a>	680	470
>10	≤1 MSPS	<a href="#">ADA4805-1/ADA4805-2</a>	200	180
		<a href="#">ADA4807-1/ADA4807-2/ADA4807-4</a>	200	180
		<a href="#">ADA4896-2</a>	200	180
	≤500 kSPS	<a href="#">ADA4805-1/ADA4805-2</a>	390	180
		<a href="#">ADA4807-1/ADA4807-2/ADA4807-4</a>	390	180
		<a href="#">ADA4896-2</a>	390	180

## アプリケーション情報

## アナログ入力過電圧保護

外付けRCフィルタの外付け抵抗 (図66、図112、図115の $R_{EXT}$ ) は、アナログ入力を過電圧から保護する入力過電圧保護クランプとして機能します (入力過電圧保護クランプのセクションを参照)。

過電圧イベントは、 $IN_0 \sim IN_7$  または  $COM$  の入力電圧がクランプ・アクティブ化電圧仕様値 (図115の $V_{ACT}$ ) を超えたために過電圧保護クランプがアクティブになるようなイベントとして定義されます。 $V_{ACT}$  電圧の最大仕様値は  $V_{REF} + 0.55V$  です (表1参照)。

該当のチャンネルのクランプは、アクティブになると供給源からの電流をグラウンドにシンクし (図115の $I_{CLAMP}$ を参照)、その結果、 $R_{EXT}$  で電圧降下が発生します。AD4697/AD4698の過電圧保護クランプは、最大で5mAまでの $I_{CLAMP}$ 電流に対応します (表1参照)。そのため、 $R_{EXT}$ は、アナログ入力ピンの電圧を印加電圧 ( $V_{IN}$ ) から分離します。対象となるアナログ入力でサポートできる $V_{IN}$ の最大電圧値は、 $V_{REF}$ および $R_{EXT}$ の関数です。次の関係式を使用すると、 $V_{REF}$ と最大予想 $V_{IN}$ 電圧値が与えられた場合に、クランプ電流を最大サポート電流 (5mA) に制限するために必要な $R_{EXT}$ の値が求められます。

$$R_{EXT} = \frac{V_{IN,MAX} - V_{REF}}{5 \text{ mA}} (\Omega) \quad (14)$$

例えば、アナログ入力源が、7.5Vまで振幅する可能性があり、 $V_{REF} = 5V$ の場合、クランプ電流を5mAに制限するには、 $R_{EXT}$ を約500 $\Omega$ とする必要があります。クランプ電流制限に基づいてこの抵抗の大きさを定めた場合、適切な入力帯域幅を確実に実現できるよう、 $C_{EXT}$ は慎重に選択する必要があります (詳細については、アナログ・フロントエンドのノイズに関する考慮事項のセクションとシグナル・セトリング条件のセクションを参照)。

$R_{EXT}$ の値は、必要に応じ、過電圧保護クランプ回路の安定性を確保できるよう選択する必要もあります。詳細については、過電圧保護クランプの安定性のセクションを参照してください。

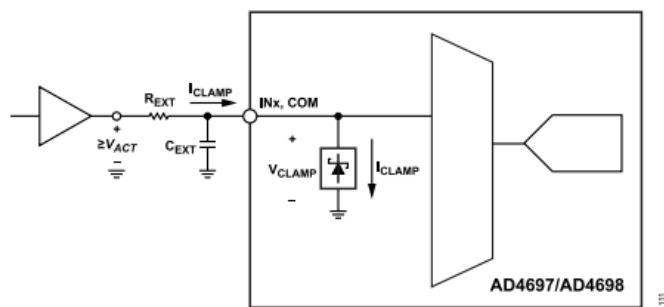


図 115. アナログ入力過電圧イベント

## リファレンス回路設計

AD4697/AD4698の $V_{REF}$ により、ADCコアのフルスケール・レンジが設定され、所定のアナログ入力電圧に対する結果の出力コードが定まります (伝達関数のセクションを参照)。そのため、 $V_{REF}$ の電圧値は、システム全体の精度とAC性能に直接影響します。AD4697/AD4698のリファレンス付随回路は、最終アプリケーションに対して適切なノイズ性能、精度、ドリフト、シグナル・セトリング特性を備えている必要があります。

$REF$ 入力は動的な電流負荷で、ADCコアの変換フェーズの間にリファレンス回路から電荷を引き出します。また、リファレンス回路はADCが変換を実行している間に安定した $V_{REF}$ を維持できることが必要です。

AD4697/AD4698のリファレンス入力高インピーダンス・モードは、有効化された場合、 $REF$ 入力の平均電流の大きさを大幅に削減します。AD4697/AD4698の $WLCSP$ オプションには、内部リファレンス・バッファのオプションもあり、真のバッファ付き高インピーダンス入力が可能です。リファレンス入力高インピーダンス・モードおよび内部リファレンス・バッファによって、リファレンス回路の駆動条件が大きく緩和されるため、システム設計においてDC精度、消費電力、システムのフットプリントなどの目標を優先させることができます。

図116に、AD4697/AD4698の付随リファレンス回路の代表的な接続図を示します。リファレンス回路は、電圧リファレンス、 $C_{REF}$ 、すべての付随リファレンス・バッファまたはアナログ・ローパス・フィルタで構成されます。リファレンス・バッファが必要となるのは、選択した電圧リファレンスに、目的のADCサンプリング・レートで $REF$ 入力を駆動できる適切な負荷レギュレーションがない場合です (REF入力駆動のためのリファレンス回路設計のセクションを参照)。

$C_{REF}$ は、ADCコアが変換フェーズの一部としてビット・トライアルを実行するために必要な電荷を供給し、また、他のリファレンス回路からのノイズを除去します。 $C_{REF}$ は、ADCのビット・トライアルの間に $V_{REF}$ に偏差が生じるのを防ぐだけの大きさであることが必要です。リファレンス入力高インピーダンス・モードが有効な場合、 $REF$ 入力から引き出される電荷の量は大幅に削減されるため、 $C_{REF}$ の最小容量を小さくできます。リファレンス入力高インピーダンス・モードが無効な場合は、 $C_{REF}$ を10 $\mu F$ とすることを推奨します。リファレンス入力高インピーダンス・モードが有効な場合には、 $C_{REF}$ を1 $\mu F$ とすることを推奨します。 $C_{REF}$ は、リファレンス入力高インピーダンス・モードまたは内部リファレンス・バッファが有効化されているか否かにかかわらず必要です。

AD4697/AD4698の $REF$ 入力に関するリファレンス回路のPCBレイアウトは、最高性能を確保する上で重要です。レイアウトのガイドラインのセクションで、リファレンス回路部品のレイアウトに関する推奨事項およびガイドラインを説明します。



## アプリケーション情報

### REF入力駆動のためのリファレンス回路設計

図116に、AD4697/AD4698のREF入力を駆動するリファレンス回路の代表的な接続図を示します。

REF入力を駆動するデバイスは、リファレンス入力電流によってV<sub>REF</sub>に偏差が生じ、目標とするシステム性能が阻害されてしまうことのないよう、出力インピーダンスが十分に低いことが必要です。データシートの性能を達成するには、V<sub>REF</sub>は半LSB以内にとどまることが必要です。したがって、REF入力を駆動するデバイスの最大出力インピーダンス (R<sub>O\_MAX</sub>) は、次式となります。

$$R_{O\_MAX} = \frac{V_{REF}/2(16+1)}{I_{REF}} \quad (15)$$

ここで、I<sub>REF</sub>は、平均のREF入力電流です。

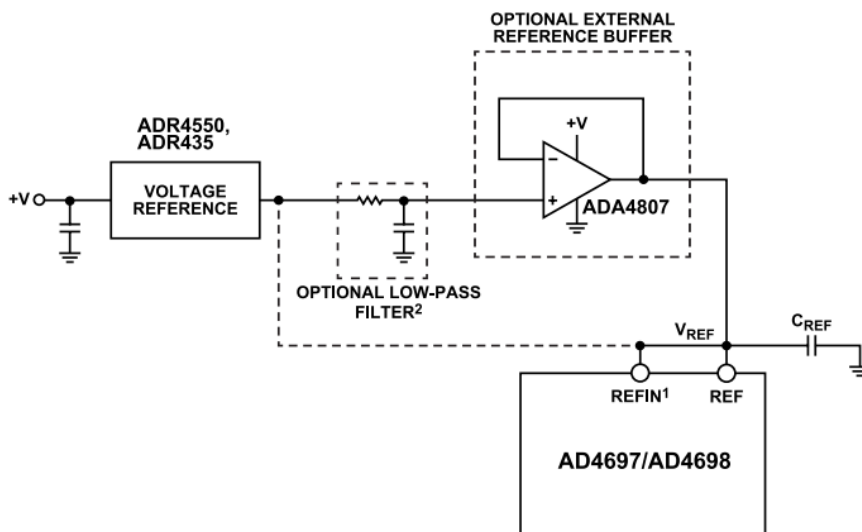
大半の電圧リファレンスは負荷レギュレーションをppm/mA単位で仕様規定しています。これは、次式を用いて実効出力インピーダンスに変換できます。

$$L_{MAX} = 1000 \times \frac{R_{O\_MAX}}{V_{REF}} \quad (16)$$

ここで、L<sub>MAX</sub>は、ppm/mAを単位とした電圧リファレンスに対する負荷レギュレーション仕様値で、計算したR<sub>O\_MAX</sub>に対応します。

I<sub>REF</sub>は、リファレンス入力高インピーダンス・モードが有効な場合は1MSPSで11μA (代表値)、リファレンス入力高インピーダンス・モードが無効な場合は1MSPSで320μAです (ユニポーラ・モードの場合)。I<sub>REF</sub>は、ADCのサンプリング・レートに比例して増加します (表1および図40を参照)。そのため、リファレンス回路の出力インピーダンスと負荷レギュレーションの条件は、サンプリング・レートが低くなるほど緩和されます。表27に、リファレンス入力高インピーダンス・モードが無効な場合と有効な場合について、V<sub>REF</sub> = 5Vで異なるサンプリング・レートに対する、R<sub>O\_MAX</sub>およびL<sub>MAX</sub>の計算値を示します。また、表27には、これらの条件ごとに推奨される電圧リファレンスとディスクリート・リファレンス・バッファも示します。

なお、AD4697/AD4698のWLCSPオプションでREF入力を駆動する場合は、内部リファレンス・バッファを無効化する必要があり、リファレンス・バッファのバイパス・スイッチはオープンにする必要があります (図74のSW<sub>BP</sub>を参照)。内部リファレンス・バッファはデフォルトで無効化されており (REFBUF\_EN = 0)、また、SW<sub>BP</sub>はデフォルトでオープンになっています (REFBUF\_BP = 0)。



<sup>1</sup>WHEN DRIVING REF DIRECTLY ON WLCSP OPTION, SHORT REFIN TO REF AND ENSURE THE INTERNAL REFERENCE BUFFER AND REFERENCE BUFFER BYPASS OPTION ARE DISABLED. (REFBUF\_EN = REFBUF\_BP = 0)

<sup>2</sup>ADDITIONAL LOW-PASS FILTERING MUST NOT BE IMPLEMENTED WITHOUT A REFERENCE BUFFER. <sup>112</sup>

図 116. REF入力駆動のための代表的な接続図

表 27. リファレンス回路の推奨事項、REF入力

Sample Rate	Reference Input		I <sub>REF</sub> (μA)	R <sub>O_MAX</sub> (Ω)	L <sub>MAX</sub> (ppm/mA)	Recommended Voltage References and Reference Buffers
	High-Z Mode					
1 MSPS	Disabled		320	0.12	24	ADR4550 with ADA4807-1, ADR445 with ADA4807-1, ADR435
1 MSPS	Enabled		12	3.2	640	ADR4550, ADR445, ADR435
500 kSPS	Disabled		160	0.24	48	ADR445 with ADA4807-1, ADR4550, ADR435
500 kSPS	Enabled		6	6.4	320	ADR4550, ADR445, ADR435



## アプリケーション情報

## 内部リファレンス・バッファのためのリファレンス回路設計

REFINはAD4697/AD4698内部リファレンス・バッファへの入力です（WLCSPオプションでのみ使用可能）。内部リファレンス・バッファにより、真の高インピーダンス入力が提供され、高精度電圧リファレンスをAD4697/AD4698に直接インターフェース接続できます。

図117に、内部リファレンス・バッファを使用して外部リファレンス回路とインターフェース接続するための代表的な接続図を示します。V<sub>REF</sub>はREFIN入力を駆動し、REF入力はC<sub>REF</sub>にのみ接続されています。

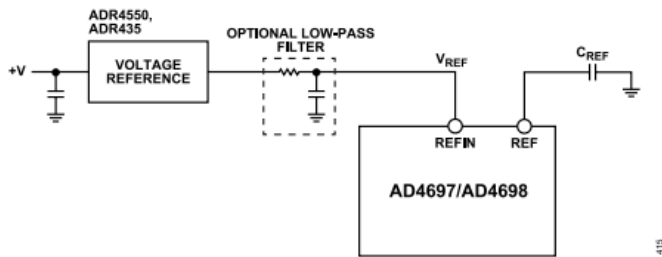


図 117. REFIN入力駆動のための代表的な接続図

内部リファレンス・バッファが有効となっている場合、REFIN入力の代表的な入力リーク電流は16nAです（表1参照）。REF入力駆動のためのリファレンス回路設計のセクションのR<sub>O\_MAX</sub>およびL<sub>MAX</sub>に対する式を4.096Vのリファレンスについて用いると、半LSBの精度は2.3kΩの等価直列抵抗で確保できます。オプションのローパス・フィルタを電圧リファレンス出力とREFIN入力の間に配置すると、接続した電圧リファレンスの出力インピーダンスと組み合わせたフィルタの等価直列抵抗がV<sub>REF</sub>の適切な精度を維持する限り、広帯域ノイズを低減できます。

内部リファレンス・バッファを使用する場合は、リファレンス入力高インピーダンス・モードを有効にする必要があります（REFHIZ\_EN = 1）。内部リファレンス・バッファはデフォルトで無効化されており、デバイスのパワーアップ時とデバイス・リセット後は有効化する必要があります。REFBUF\_ENを1に設定して内部リファレンス・バッファを最初に有効化した場合、内部リファレンス・バッファはC<sub>REF</sub>がV<sub>REF</sub>の電圧に達するまでこれを充電します。起動時に内部リファレンス・バッファがV<sub>REF</sub>をセトリグするために必要な時間を定めるAD4697/AD4698の構成設定の説明については、リファレンス・バッファの起動の最適化のセクションを参照してください。

内部リファレンス・バッファはAD4697/AD4698のAVDD電源から供給され、内部リファレンス・バッファが有効化されている場合、V<sub>REF</sub>は最大でAVDD - 0.3Vであることが必要です（表1参照）。

## リファレンス・バッファの起動の最適化

AD4697/AD4698の内部リファレンス・バッファを使用する場合、REF入力は外部リファレンス回路から切り離され、外部リファレンス・デカップリング・コンデンサにのみ接続します（図117のC<sub>REF</sub>を参照）。内部リファレンス・バッファが無効になると、C<sub>REF</sub>は徐々に放電します。その結果、内部リファレンス・バッファが最初に有効化されたときに、C<sub>REF</sub>の両端の電圧がREFIN電圧に等しくない場合、内部リファレンス・バッファの出力電流は、C<sub>REF</sub>に十分な電荷を供給するまではスパイク上に突出します。

C<sub>REF</sub>の充電プロセスは、適切な変換を行うことができるようになるまでの時間遅延とAVDD電源電流のスパイクの両方を招きません。内部リファレンス・バッファ有効化する場合の遅延とピーク電源電流を最善のものにするための推奨事項を以下に説明します。

表1に示す内部リファレンス・バッファのターンオン時間は、内部リファレンス・バッファがREFピンを0VからV<sub>REF</sub>まで0.01%の精度で駆動するのに必要な時間として定義されます。C<sub>REF</sub>の容量値とV<sub>REF</sub>の電圧値が大きいほど、より多くの電荷をC<sub>REF</sub>に注入する必要があります。そのため、内部リファレンス・バッファのターンオン時間はC<sub>REF</sub>とV<sub>REF</sub>に比例します。図44に、V<sub>REF</sub> = 4.096Vの場合についていくつかの一般的なC<sub>REF</sub>値に対する代表的なリファレンス・バッファ出力のセトリグを示します。

内部リファレンス・バッファはAVDD電源からのみ給電されません。内部リファレンス・バッファがC<sub>REF</sub>に電流を供給している間、等量の電流がAVDDから引き出されます。そのため、内部リファレンス・バッファの出力電流が大きいほど、内部リファレンス・バッファのターンオン時間は減少しますが、REFピン電圧がV<sub>REF</sub>に安定するまでのピークAVDD電流は増加します。AD4697/AD4698は、内部リファレンス・バッファがターンオン時間またはピーク消費電流のいずれかを最適なものにできるためのオプションをいくつか備えています。

## バイパス・オプションを使用したリファレンス・バッファの起動

内部リファレンス・バッファを最初に有効化する場合（パワーアップ時など）は、AVDDピーク電流を低減するために内部リファレンス・バッファ・バイパス・オプションを使用することを推奨します。内部リファレンス・バッファ・バイパス・オプションでは、内部リファレンス・バッファを有効化することなくREFINをREFに接続するため、REFINを駆動する電圧リファレンスがC<sub>REF</sub>をV<sub>REF</sub>まで充電します。その間内部リファレンス・バッファは無効化されています。このオプションにより、REF入力の電圧は内部リファレンス・バッファが有効になる前に目標のV<sub>REF</sub>に近づいているため、内部リファレンス・バッファのピーク出力電流の大きさは低減し、それによりピークAVDD電流も減少します。

デバイスの最初のパワーオン後に内部リファレンス・バッファ・バイパス・オプションを用いてC<sub>REF</sub>を充電する場合、次の手順を実行します。

1. REF\_CTRLレジスタでREFBUF\_ENビットを0、REFBUF\_BPビットを1に設定し、SW\_BPをクローズして内部リファレンス・バッファをバイパスします（デバイスのパワーアップ時、REFBUF\_ENは0に設定されています）。
2. その他のデバイス設定レジスタを設定してから内部リファレンス・バッファを有効化して、電圧リファレンス回路にC<sub>REF</sub>を充電する時間を与えます。
3. REF\_CTRLレジスタでREFBUF\_ENビットを1、REFBUF\_BPビットを0に設定し、SW\_BPをオープンして内部リファレンス・バッファを有効化します。

内部リファレンス・バッファ・バイパス・オプションは、消費電力を削減するために、AD4697/AD4698が長時間アイドル状態（あるいは変換を行っていない状態）にある場合にも推奨します。このオプションを用いることで、目標のV<sub>REF</sub>を維持しながら

## アプリケーション情報

内部リファレンス・バッファの電源オン/オフが可能となるためです。内部リファレンス・バッファの電源オン/オフ・スキームを実行する手順は次のとおりです。

1. REFBUF\_ENを0、REFBUF\_BPを1に設定して、ADCがアイドルリング時に内部リファレンス・バッファを無効化しバイパスします。
2. REFBUF\_ENを1、REFBUF\_BPを0に設定して、ADCが変換を行う必要がある場合に内部リファレンス・バッファを有効化し再接続します。

### ブースト・モードを使用したリファレンス・バッファの起動

リファレンス・バッファ・ブースト・モードでは、内部リファレンス・バッファの最大出力電流が増加します。そのため、内部リファレンス・バッファが $C_{REF}$ を目標の $V_{REF}$ まで充電するのに必要な時間を短縮できます。図44に、 $C_{REF}$ の一般的な値に対して、ブースト・モードを有効化した場合と無効化した場合の $C_{REF}$ の充電時間を示します。

内部リファレンス・バッファ・ブースト・モードでは、 $C_{REF}$ の充電の間、ピーク $AVDD$ 電源電流が増加します。可能な最高速のデバイス起動を必要とし $AVDD$ ピーク電源電流の増加に耐えられるシステムでは、内部リファレンス・バッファを有効化すると同時に内部リファレンス・バッファ・ブースト・モードも有効化することを推奨します (REFBUF\_EN = REFBUF\_BOOST = 1)。

### コードと電圧間の交換

伝達関数のセクションでは、AD4697/AD4698のADCコアによってサンプリングされるアナログ入力電圧とその結果の出力コードの間の理想的な伝達関数について説明しています。取り得る出力コード値 ( $CODE_{OUT}$ ) のそれぞれに対応するアナログ入力電圧 ( $V_{INx}$ ) は、次式のように、 $V_{REF}$ 電圧および選択したチャンネルのOSR設定と極性モードの関数です。

$$V_{INx} = LSB \times CODE_{OUT} = \frac{V_{REF}}{2^N} \times CODE_{OUT} \quad (17)$$

ここで、  
LSBはLSBの大きさ、  
Nは出力コードの分解能です。

AD4697/AD4698のADCコアは16ビットの結果 ( $N = 16$ ) を出力しますが、出力コードの分解能は、対象チャンネルについて選択されたOSR (DR) の関数です。

$$N = 16 + \log_4(OSR) \quad (18)$$

OSRは1、4、16、または64に設定できますが、これはそれぞれ、16、17、18、19の出力コード分解能に対応します。表9～表12に、各OSRに対する負および正のフルスケール出力コード値を示します。チャンネルごとのOSRの設定に関する詳細は、[オーバーサンプリングおよびデシメーション](#)のセクションを参照してください。

選択したチャンネルの極性モードによって、 $CODE_{OUT}$ が使用するのがストレート・バイナリ形式か2の補数形式かが決まります。ユニポーラ・モードが選択されている場合、 $CODE_{OUT}$ はストレート・バイナリで、そのため、符号なしの整数値となります。疑似バイポーラ・モードが選択されている場合、 $CODE_{OUT}$ は2の補数

エンコードを使用し、そのため、符号付きの整数値となります。各チャンネルの極性モード設定の詳細については、[チャンネル設定オプション](#)のセクションを参照してください。

各チャンネルのオフセット補正とゲイン補正の設定によってAD4697/AD4698の伝達関数を変更され、観測された伝達関数が理想値から外れる原因となる、システムの一次の不正確さを補正します。システム・キャリブレーション時に各チャンネルのオフセット・フィールドおよびゲイン・フィールドを更新してください。オフセット・フィールドおよびゲイン・フィールドによってAD4697/AD4698の伝達関数がどのように変更されるかについては、[オフセットおよびゲイン補正](#)のセクションを参照してください。

### ノイズ低減のためのオーバーサンプリング

AD4697/AD4698には、デジタル・ドメインでのシステムの全実効ガウシアン・ノイズを低減する手段として、オーバーサンプリングおよびデシメーション機能が内蔵されています ([オーバーサンプリングおよびデシメーション](#)のセクションを参照)。AFEノイズがガウシアンと仮定すると、オーバーサンプリング後の実効システム・ノイズ ( $V_{n\_OSR}$ ) は次式で表されます。

$$V_{n\_OSR} = \frac{V_{n\_TOTAL}}{\sqrt{OSR}} \quad (19)$$

ここで、  
 $V_{n\_TOTAL}$ は、RTOシステム・ノイズ ([アナログ・フロントエンドのノイズに関する考慮事項](#)のセクションで定義)、  
OSRは対象のアナログ入力チャンネルのオーバーサンプリング比の設定値です。

OSRが1に設定されている場合、オーバーサンプリングは行われず、実効ノイズは $V_{n\_TOTAL}$ のままです。OSRの設定値を4、16、64にすると、ノイズはそれぞれ、2、4、8分の1に減少します。

その結果、オーバーサンプリングを使用した場合のダイナミック・レンジ ( $DR_{OSR}$ ) は次のようになります。

$$DR_{OSR} = DR_{total} + 10\log(OSR) \quad (20)$$

ここで、 $DR_{total}$ は、OSRが1の場合のシステム・ダイナミック・レンジ ([アナログ・フロントエンドのノイズに関する考慮事項](#)のセクションで定義) です。

システムの有効ビット数 (ENOB) は、ノイズが半減するごとに1だけ増加します。そのため、OSRが4倍になるごとにENOBは1だけ増加します。これを反映して、AD4697/AD4698のチャンネルでOSR設定が4、16、または64の場合、そのチャンネルの変換結果の分解能は、それぞれ、17、18、19ビットに拡大します ([伝達関数のセクション](#)と[シリアル・データ出力モード](#)のセクションを参照)。

なお、オーバーサンプリングとデシメーションは、均一に分布したガウシアン・ノイズ源の電圧ノイズのみを低減し、その他の種類のノイズ源 (1/fノイズなど) には影響しない点に注意してください。

### デジタル・インターフェース動作

図112に、デジタル・ホストに接続されたAD4697/AD4698のデジ

## アプリケーション情報

タル・インターフェースの代表的な接続図を示します。

AD4697/AD4698は1つの4線式SPI互換ホストで動作させることができますが、一部の機能には、GPIOやタイマーなどのデジタル・リソースを追加する必要があります。

以下のセクションでは、AD4697/AD4698のインターフェースおよび機能セットと相互作用するデジタル・インターフェース接続と動作について、推奨事項を説明します。

## ADC変換開始信号オプション

CNV入力、エッジでトリガされる割込みピンに似たもので、AD4697/AD4698のADCコアに変換を実行するよう指示を出します（コンバータの動作のセクションを参照）。CNV入力は、AD4697/AD4698が変換モードにある場合のみアクティブになり、レジスタ設定モードの場合は無視されます。CNV入力を駆動する信号の周期によって、AD4697/AD4698のサンプリング・レートが設定され、この周期は、表2および図94～図101のtcycの仕様値に従う必要があります。

ADCコアは、選択したチャンネルのアナログ入力電圧をCNVの立上がりエッジでサンプリングします。そのため、目標の入力周波数で必要なノイズ性能を達成するためには、CNV入力を駆動する信号は、ジッタが十分小さく、エッジ・レートが高いことが必要です。AD4697/AD4698のCNV入力をデジタル・ホストに接続するパターンのレイアウトはできるだけ短くし、使用するビアも最低限にして、パターンのインピーダンスを最小限に抑える必要があります（レイアウトのガイドラインのセクションを参照）。

変換モードでは、デジタル・ホストのSPIペリフェラルは、CNV信号に同期し、変換モードのタイミング図のセクションで指定したタイミング条件に従う必要があります。適切なSPIタイミングを維持するための推奨事項については、変換モードでのSPIペリフェラル同期のセクションを参照してください。

組み込みクロック分周器やタイマー・ペリフェラルは、通常、システム・クロックの整数分周を出力します。組み込みクロック分周器ペリフェラルを使用する場合、デジタル・ホストのクロック出力をCNVに接続し、クロック出力周波数を目的のサンプリング・レートに設定します。クロック出力は、AD4697/AD4698が変換モードの間はイネーブルする必要がありますが、レジスタ設定モードの間はイネーブルとディスエーブルのどちらにすることもできます。

CNV入力は、ホストSPIペリフェラルの $\overline{\text{CS}}$ の立上がりエッジのタイミングが確定的で周期的である場合は、その $\overline{\text{CS}}$ 出力に接続できます（図121参照）。なお、OSRが1より大きい設定の場合、結果をSPIで読み出せるようになるまでには、複数のCNV立上がりエッジが必要です（オーバーサンプリングおよびデシメーションのセクションを参照）。オーバーサンプリングのデータがレディ状態になる前に、SPIはCNV/ $\overline{\text{CS}}$ フレーム中ですべて0を出力します。

CMOSクロック・ドライバを組み合わせた外部水晶発振器もCNV入力を駆動できます。このオプションでは、発振器の出力とAD4697/AD4698からのビジー・インジケータはどちらも、デジタル・ホストに接続され、タイマーまたは割込みトリガとして使用してCNV信号とSPIマスタ・ペリフェラルとの同期を実現する必要があります（変換モードでのSPIペリフェラル同期のセクションを参照）。

なお、自動サイクル・モードのセクションで説明しているよう

に、自動サイクル・モードが有効化されている場合は、CNV入力は無視され、変換はAD4697/AD4698の内部タイマーでトリガされます。自動サイクル・モードだけを使用する場合は、CNV入力をIOGNDに接続する必要があります。自動サイクル・モードを使用する場合に、AD4697/AD4698をSPIマスタ・ペリフェラルと同期させるには、ビジー・インジケータが必要です（自動サイクル・モードにおけるSPIペリフェラルの同期のセクションを参照）。

## SPIペリフェラルの接続

AD4697/AD4698には複数のシリアル・データ出力モードがあり、変換結果を1つ、2つ、または4つのメイン入力下位出力（MISO）ラインで出力できます（シリアル・データ出力モードのセクションを参照）。シングルSDOモードが選択されている場合、SDOピンのみがシリアル・データ出力として機能します。デュアルSDOモードまたはクワッドSDOモードが選択されている場合、汎用ピンが追加のシリアル・データ出力として割り当てられ、複数のデータ・レーンを担います。

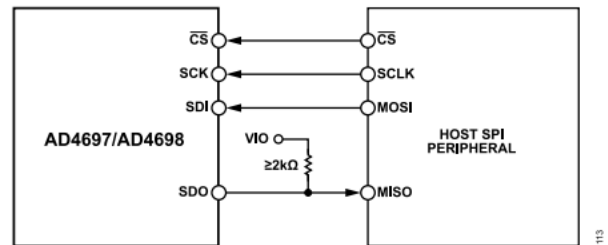


図 118. AD4697/AD4698のSPI接続図（シングルSDOモード）

図118に、シングルSDOモードに設定されている場合に、AD4697/AD4698のSPIをデジタル・ホストのSPIペリフェラルにインターフェース接続するための接続図を示します。ビジー・インジケータがSDOでイネーブルとなっている場合は特に、SDOラインのVIOにプルアップ抵抗（最小2kΩ）を接続することを推奨します（シリアル・データ出力のビジー・インジケータのセクションを参照）。

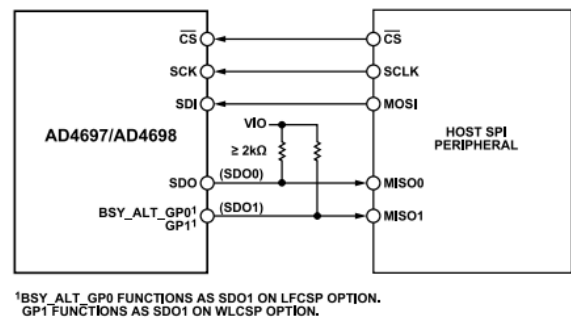


図 119. AD4697/AD4698のSPI接続図（デュアルSDOモード）

図119に、デュアルSDOモードに設定されている場合に、AD4697/AD4698のSPIをデジタル・ホストのSPIペリフェラルにインターフェース接続するための接続図を示します。

BSY\_ALT\_GP0はデジタル・ホストの2番目のMISO入力（MISO1）に接続します。ビジー・インジケータがシリアル・データ出力でイネーブルとなっている場合は特に、SDO0ラインとSDO1ラインのどちらにもプルアップ抵抗を接続することを推奨します（シリアル・データ出力のビジー・インジケータのセクションを参照）。



## アプリケーション情報

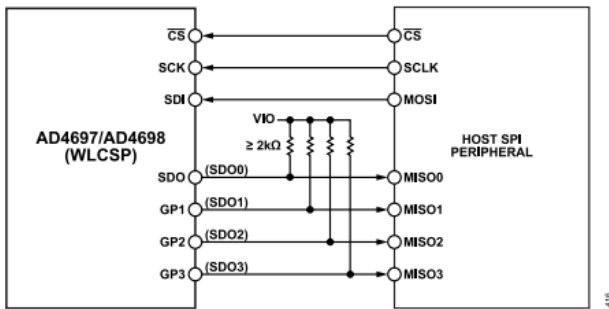


図 120. AD4697/AD4698のSPI接続図 (クワッドSDOモード)

図120に、クワッドSDOモードに設定されている場合に、AD4697/AD4698のSPIをデジタル・ホストのSPIペリフェラルにインターフェース接続するための接続図を示します (WLCSPオプションでのみ有効)。表19には、デュアルSDOモードおよびクワッドSDOモードについてLFCSPオプションとWLCSPオプションでの汎用ピンの割当てを示します。SDO1、SDO2、SDO3に割り当てられたピンはデジタル・ホストの追加のMISO入力 (それぞれMISO1、MISO2、MISO3) に接続します。

ビジー・インジケータがSDOでイネーブルとなっている場合は特に、表19に示すシリアル・データ出力に割り当てられたすべてのピンにプルアップ抵抗を接続することを推奨します (シリアル・データ出力のビジー・インジケータのセクションを参照)。ホストSPIペリフェラルの出力が動作時にトライステートまたは不定となると予想される場合は、CS、SCK、SDIの各ラインにもプルアップ抵抗を接続することを推奨します。プルアップ抵抗の具体的な値は、各ラインのエッジのレート条件とパターン容量に基づいて決定する必要があります。

## 変換モードでのSPIペリフェラル同期

AD4697/AD4698には、レジスタの内容とADCの結果にアクセスできるSPIモード3の4線式SPIがあります。AD4697/AD4698を動作させるには、デジタル・ホストには最低でも4線式SPI対応のペリフェラルがあることが必要です (SPIペリフェラルの接続のセクションを参照)。

変換モードでは、SPIは、 $t_{\text{CONVERT}}$ が経過してから開始し、次のCNV立上がりエッジの前 $t_{\text{SCKCNV}}$ の時間以内に終了する必要があります (表2および変換モードのタイミング図のセクションのタイミング図を参照)。変換モードのタイミング条件が確実に満たされるようにするため、デジタル・ホストのSPIペリフェラルは、CNV信号を生成するクロック源またはAD4697/AD4698からのビジー・インジケータ出力のいずれかに同期する必要があります。すべての変換モード結果が次の変換フレームが開始される前に確実にクロック・アウトされるよう、SCKの周波数が十分高いことも必要です (変換モードのSPIクロック周波数条件のセクションを参照)。

図121に、AD4697/AD4698を4線式SPIのみで動作させるための簡略化した接続図とソフトウェア・アーキテクチャを示します。CNV入力は、デジタル・ホストのSPIペリフェラルからのCS出力で駆動されます。図121の構成は、アプリケーションに必要なジッタを実現するために、CS信号が周期的で立上がりエッジ・タイミングが確定的であることが必要です。SPIフレームは、タイマー・ペリフェラルに同期する必要があり、CS出力は明確なデュリティ・サイクルを持つことが必要です。図101に、図121の構成を

使用したSPIのタイミング図を示します。

図122は、デジタル・ホストのカウントダウン・タイマー・ペリフェラルを使用してホストSPIペリフェラルをCNV信号源に同期させるための、簡略化した接続図とソフトウェア・アーキテクチャです。カウントダウン・タイマーは、CNVの立上がりエッジでトリガし、 $t_{\text{CONVERT}}$ が経過するまで待機した後、転送を実行するようSPIペリフェラルを呼び出す割り込みサービス・ルーチンをトリガします。カウントダウン・タイマーは整数値 (カウント) でプログラムされます。この値は、SPIの転送割り込みルーチンを呼び出すまでに待機するための、システム・クロック (SYS\_CLK) の周期数を指定するものです。表2に示す最大 $t_{\text{CONVERT}}$ 仕様値に相当する遅延を設定することを推奨します。実際には、大半のデジタル・ホストには、割り込みサービス・ルーチン・トリガから実行までの間に一定の遅延があります。そのため、CNVの立上がりエッジからSPI転送の開始までの遅延は増加します。対象となるアプリケーションに最適なカウント値を決定するには、デジタル・ホストの仕様を参照してください。

図123は、AD4697/AD4698のビジー・インジケータを使用してホストSPIペリフェラルをADC変換タイミングに同期させるための簡略化した接続図とソフトウェア・アーキテクチャです。ビジー・インジケータは、汎用ピンのビジー・インジケータのセクションで説明しているように、BSY\_ALT\_GP0ピンまたはGP3ピンでイネーブルする必要があり、デジタル・ホストは、割り込みサービス・ルーチンのトリガとして設定できるデジタル入力を備えている必要があります。ビジー・インジケータはデジタル・ホストの割り込み入力に接続し、割り込みはビジー・インジケータの立上がりエッジでトリガするよう設定します。ビジー・インジケータの立上がりエッジは、データ・レディ信号と解釈されるため、デジタル・ホストは、ビジー・インジケータの立上がりエッジとSPIフレームの開始との間に更に遅延を追加する必要はありません。

図123の構成は、オーバーサンプリングを使用する場合に推奨します。ビジー・インジケータは、オーバーサンプリングされた結果がレディ状態となるまではローにならず、それ以外の場合であれば追加ロジックなしに発生する、冗長なSPI転送の数が減少するためです (図78参照)。

図124は、AD4697/AD4698の閾値検出アラート・インジケータを使用してホストSPIペリフェラルをADC変換タイミングに同期させるための簡略化した接続図とソフトウェア・アーキテクチャです。アラート・インジケータは、汎用ピンのアラート・インジケータのセクションで説明しているように、BSY\_ALT\_GP0ピンまたはGP2ピンでイネーブルされている必要があります。図124の構成は、ユーザ定義の領域外状態が発生するまでADCが継続的に変換を行う間SPIがアイドル状態となっているような、自律的な変換アプリケーションに最適です。アラート・インジケータは、ADCの変換フェーズの最後に更新されます。そのため、SPIフレームが次の変換の開始までに終了できる場合は、そのSPIフレームを開始するトリガとして使用できます。通常、アラート・インジケータの立上がりエッジで呼び出された割り込みサービス・ルーチンは、SPIを呼び出して変換結果を読み出し、SDIを介してレジスタ設定モード・コマンドを送信してAD4697/AD4698をレジスタ設定モードにします。

AD4697/AD4698のWLCSPモデルでは、ビジー・インジケータとアラート・インジケータは同時にデジタル・ホストに接続できます。図125に、ビジー・インジケータとアラート・インジケータ

アプリケーション情報

を使用するための簡略化した接続図とソフトウェア・アーキテクチャを示します。アラート・インジケータは、個別の割込みサービス・ルーチンに供給することも、ビジー・インジケータの割込みサービス・ルーチンのゲートとして機能して領域外状態が満たされるまでSPIがAD4697/AD4698のSPIからの読出しを行わないようにすることもできます。

図124と図125の構成は、AD4697/AD4698を自動サイクル・モードで動作させる場合に最適です。この構成によって、デジタル・ホストは領域外状態が生じるまで完全にアイドル状態となることができ、デジタル・ホストが内部変換タイミングと同期している状態を確実に維持できるためです（自動サイクル・モードにおけるSPIペリフェラルの同期のセクションを参照）。

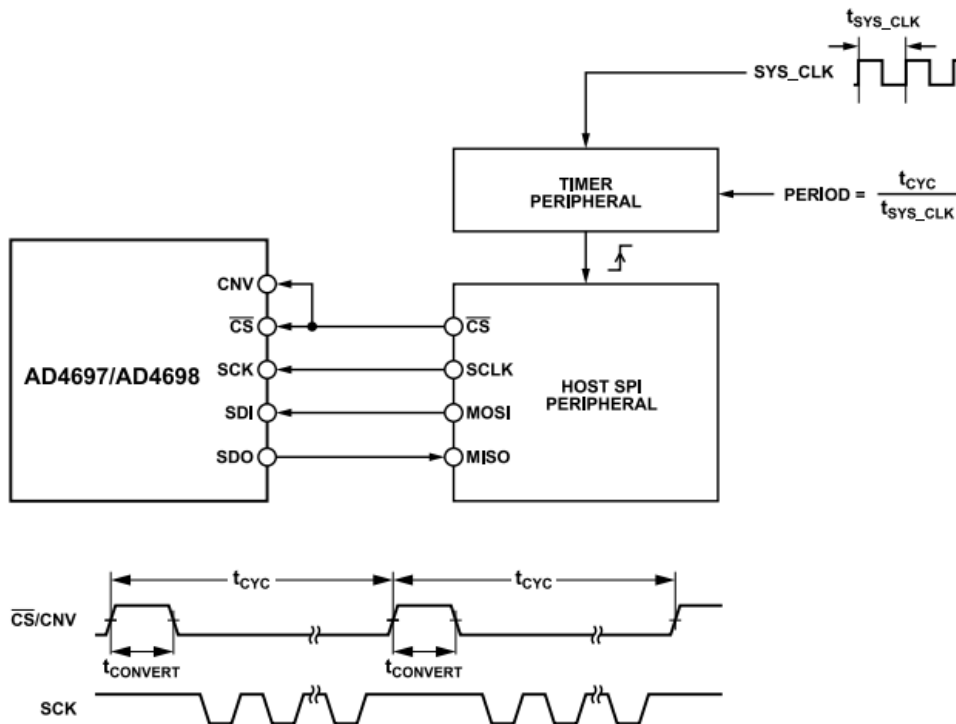


図 121. 4線式SPIの動作図

115

アプリケーション情報

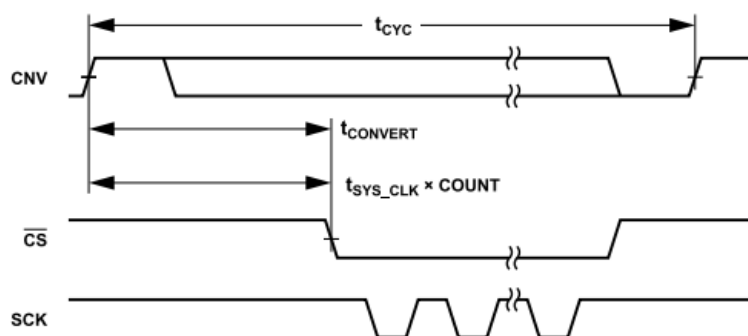
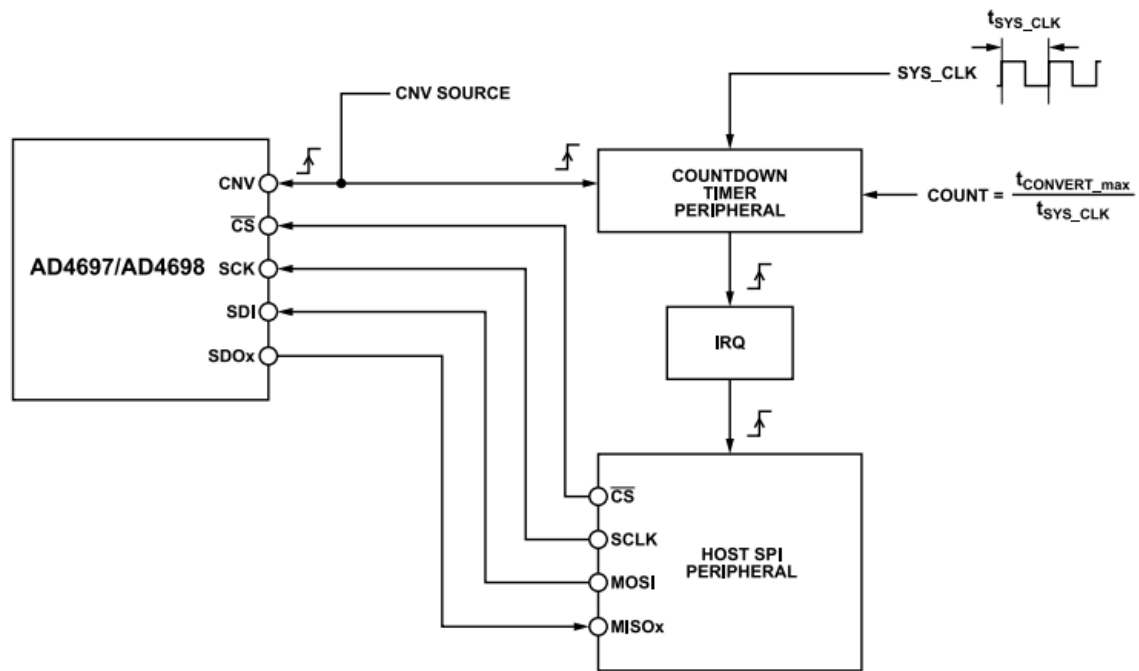


図 122. カウントダウン・タイマー・ペリフェラルとのSPI同期



アプリケーション情報

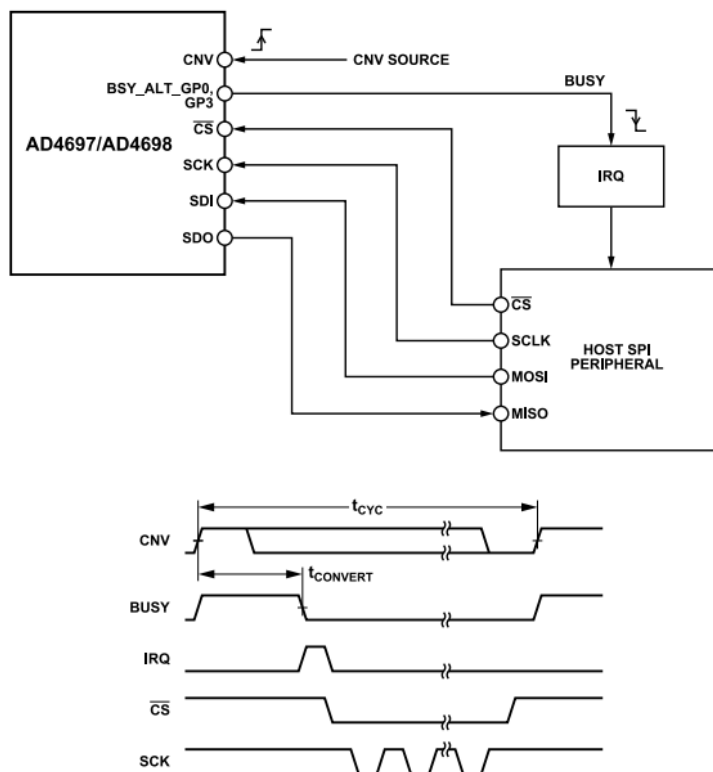


図 123. ビジー・インジケータとのSPI同期

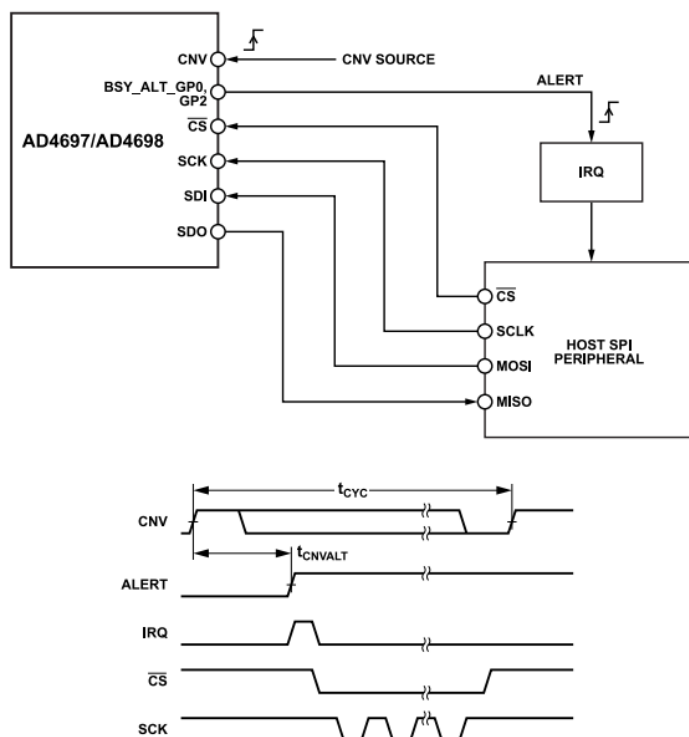


図 124. アラート・インジケータとのSPI同期

## アプリケーション情報

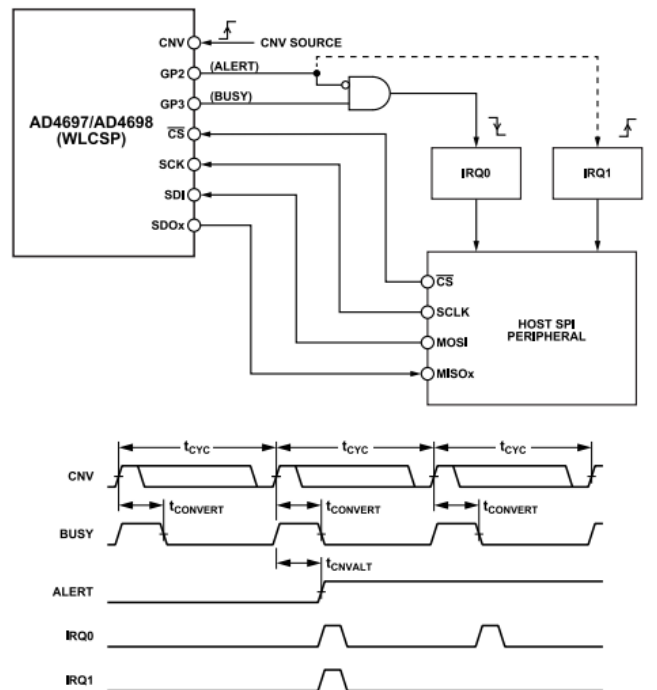


図 125. ビジー・インジケータおよびアラート・インジケータとのSPI同期

## 自動サイクル・モードにおけるSPIペリフェラルの同期

AD4697/AD4698が変換モードになったときに自動サイクル・モードが有効な場合、内部発振器によってADCコアに対する変換開始命令が生成されます（自動サイクル・モードのセクションを参照）。そのため、自動サイクル・モードは、閾値検出とアラート・インジケータのセクションで説明しているように、ユーザ定義の閾値検出イベントが発生するまでデジタル・ホストがアイドルリング状態またはスリープ状態になっている、自律的な変換アプリケーションに最適です。

デジタル・ホストのSPIは、AD4697/AD4698が変換フェーズにとどまっている間はデータの読書きを行うことはできません。自動サイクル・モードでは、変換開始信号が内部で生成されるため、デジタル・ホストは汎用ピンを通じてビジー・インジケータまたはアラート・インジケータを参照し、AD4697/AD4698とデジタル・ホストのSPIを同期させて、ADCの変換フェーズの間でSPIフレームが発生するようにする必要があります。図103に、自動サイクル・モードが有効な場合のビジー・インジケータとアラート・インジケータに関して必要な、SPIフレーム・タイミングを示します。

図124と図125に示す構成は、自動サイクル・モードを使用してAD4697/AD4698の内部変換タイミングとホストSPIペリフェラルの間で同期を実現する場合に推奨されます。

ビジー・インジケータを使用すると、割り込みサービス・ルーチンをトリガして最新の変換結果を読み出し、5ビットのSDIコマンドを送出できます（表18参照）。ビジー・インジケータは各変換フェーズの終了時にローに遷移し、次の各変換フェーズの開始時にハイに遷移します。図103と表2の $t_{SCKCNV}$ の仕様を満たすためには、デジタル・ホストがビジー・インジケータの立下がりエッジに続いてSPIフレームを開始する必要があり、SCKレートは、次のビジー・インジケータの立下がりエッジの少なくとも80ns前にSPI

フレームを完了できるように、十分に高速である必要があります（変換モードのSPIクロック周波数条件のセクションを参照）。ビジー・インジケータの立下がりエッジと立下がりエッジの間の時間間隔は、表2の $t_{ACBSY}$ の仕様で定められています。

アラート・インジケータは、デジタル・ホストの割り込みサービス・ルーチンのためのワンショット・トリガとして使用でき、それによって、ホストSPIペリフェラルにレジスタ設定モード・コマンドを送出し、アラート・レジスタをポーリングするよう命令できます（図124参照）。変換フェーズの終了後、アラート・インジケータの状態は更新されます。そのため、アラート・インジケータの立下がりエッジによって、AD4697/AD4698のSPIがSPIフレームに対する用意ができていないことをデジタル・ホストに通知できます。ただし、アラート・インジケータは、所定のチャンネルで閾値超えが検出された場合にのみ遷移するだけです。そのため、デジタル・ホストは、変換結果がアラート・インジケータをハイにする原因となるものでない限り、その変換結果を読み出すことはできません（汎用ピンのアラート・インジケータのセクションを参照）。

WLCSPオプションでは、ビジー・インジケータとアラート・インジケータは複数の汎用ピンで同時に出力できます（図125参照）。この構成では、アラート・インジケータを使用してビジー・インジケータに対しゲート動作を行うことも、ホストSPIペリフェラルへのイネーブル信号として機能することもできますが、それと同時に、ビジー・インジケータを使用して引き続きSPI読み出しとAD4697/AD4698内部変換タイミングを同期させることもできます。

変換モードでのSPIペリフェラル同期のセクションで説明しているように、デジタル・ホストは、次の変換が開始されるまでにSPIフレームを完了する必要があります。選択したサンプリング・レートに対する適切なSPI転送レートを実現するための、最低SCK周波数および全体的なシステム遅延に関するガイドラインについて

## アプリケーション情報

は、[図103](#)および変換モードのSPIクロック周波数条件のセクションを参照してください。

## 変換モードのSPIクロック周波数条件

目的のサンプルの変換結果は、次の変換フェーズが始まるまで読み出すことができます。そのため、SCK周波数は、次のCNVの立上がりエッジの前（または自動サイクル・モードが有効となっている場合は内部変換開始信号の前）にAD4697/AD4698のSPIからデータを読み出せるよう、十分高速であることが必要です。

必要とされる最低SCK周波数は、使用するサンプリング・レート、SPIフレームの長さ（ビット単位）、使用するシリアル・データ出力モードの関数です。サンプリング・レートが高速になると、変換と変換の間の時間が短くなるため、SCK周波数を高くする必要があります。デュアルSDOモードおよびクワッドSDOモードでは、SCK周期あたりのSPIビット出力数が2倍および4倍になるため、対象となるサンプリング・レートに必要なSCK周波数は大幅に減少します（[シリアル・データ出力モードのセクション](#)を参照）。

変換モードのフレームあたりに必要なSCK周期の数（ $N_{SCK}$ ）は、次式のように、フレームあたりのビット数（ $N_{BITS}$ ）とシリアル・データ出力の数（ $N_{SDO}$ ）の関数です。

$$N_{SCK} = N_{BITS} / N_{SDO} \quad (21)$$

$N_{BITS}$ は、使用する最大OSRと、ステータス・ビットがイネーブルかどうかにかかわらず依存します（[表21](#)および[表22](#)を参照）。 $N_{SDO}$ は、シングルSDOモードの場合は1、デュアルSDOモードの場合は2、クワッドSDOの場合は4です（クワッドSDOモードはAD4697/AD4698のWLCSPオプションでのみ使用できます）。

[変換モードのタイミング図](#)のセクションでは、変換モードにおけるSPIフレームのタイミング図が示されています。変換モードのSPIフレームは、 $t_{CONVERT}$ の時間が経過するまで開始することはありません。また、最小 $t_{SCKCNV}$ 仕様を満たすよう早く終了する必要があります（[表2](#)参照）。変換モードにおいて、SPIフレームを終了するために費やすことのできる時間量（ $t_{FRAME}$ ）は、次式から計算できます。

$$t_{FRAME} = t_{CYC} - t_{CONVERT} - t_{SCKCNV} = \frac{1}{f_{CNV}} - t_{CONVERT} - t_{SCKCNV} \quad (22)$$

ここで、 $t_{CYC}$ はサンプリング周期、 $t_{CONVERT}$ は $t_{CONVERT}$ の最大仕様値（[表2](#)参照）、 $t_{SCKCNV}$ は、SCKの立上がりエッジからCNVの立上がりエッジまでの遅延の仕様値（[表2](#)参照）。

$f_{SCK}$ は次式で表されるように、 $t_{FRAME}$ および $N_{SCK}$ の関数です。

$$f_{SCK} = N_{SCK} / t_{FRAME} = \frac{N_{BITS}}{N_{SDO} \times (t_{CYC} - t_{CONVERT} - t_{SCKCNV})} \quad (23)$$

[表28](#)に、OSRを1に設定し、ステータス・ビットをディスエーブルにした場合とイネーブルにした場合について、いくつかのサンプリング・レートに必要な最小SCK周波数の例をシリアル・データ出力モードごとに示します。

単一サイクル・コマンド・モードが有効な場合、マルチプレクサは、5ビットのチャンネル・コマンドがSDIにクロック・インされるまでチャンネルを更新しません。そのため、単一サイクル・コマンド・モードが有効化されている場合、SCK周波数は $t_{ACQ}$ には影響しません（[単一サイクル・コマンド・モードのセクション](#)を参照）。

自動サイクル・モードが有効な場合、 $t_{CYC}$ は内部変換開始信号によって決まります。この周期はAC\_CYCビット・フィールドで設定されます。また、デジタル・ホストはビジー・インジケータまたはアラート・インジケータを使用して、SPIフレームを内部変換タイミングと同期させる必要があります（[自動サイクル・モードにおけるSPIペリフェラルの同期](#)のセクションを参照）。

デジタル・ホストのSPIペリフェラルは、変換モードのSPIフレームごとに必要なSCK周期より多くの周期を提供する場合があります。LSBがクロック・アウトされた後に追加のSCK立上がりエッジが生じた場合のSDOの動作は、SDO\_STATEビットの設定によって異なります。SDO\_STATE=0の場合、SDOは追加の立上がりエッジが生じて、そのままの状態を維持します。SDO\_STATE=1の場合、追加のSCK立上がりエッジが生じると、SDOは高インピーダンスに遷移します。

最小のSCK周期は、変換モードの場合よりもレジスタ設定モードの場合の方が長いことに注意してください（[表2](#)の $t_{SCK}$ を参照）。変換モードでは、最小の $t_{SCK}$ は12.5nsで、これは80MHzの最大 $f_{SCK}$ に対応したものです。レジスタ設定モードでは、最小の $t_{SCK}$ は40nsで、これは25MHzの最大 $f_{SCK}$ に対応したものです。そのため、変換モードのSCK周波数が25MHzを超える必要があるアプリケーションでは、AD4697/AD4698がレジスタ設定モードになっている間のホストSPIペリフェラルのシリアル・クロック・レートは、上記に従ってプログラムするようにしてください。

## アプリケーション情報

表 28. 最小 $f_{\text{SCK}}$ 条件とサンプリング・レートおよびシリアル・データ出力モードの関係 (OSR = 1)

Sample Rate (kSPS)	Status Bits <sup>1</sup>	Single-SDO Mode	Dual-SDO Mode	Quad-SDO Mode
1000 (AD4698 Only)	Disabled	32 MHz	16 MHz	8 MHz
1000 (AD4698 Only)	Enabled	48 MHz	24 MHz	12 MHz
500	Disabled	11 MHz	5.5 MHz	2.75 MHz
500	Enabled	16 MHz	8 MHz	4 MHz
100	Disabled	2 MHz	1 MHz	500 kHz
100	Enabled	2.6 MHz	1.3 MHz	650 kHz

<sup>1</sup> 表28の計算では、ステータス・ビットがディスエーブルの場合は $N_{\text{BITS}} = 16$ 、ステータス・ビットがイネーブルの場合は $N_{\text{BITS}} = 24$ です。

## RESETの接続に関する推奨事項

RESET入力により、デジタル・ホストは、GPIOを使用して完全なデバイス・リセットをトリガできます (ハードウェア・リセットのセクションを参照)。RESET入力はアクティブ・ローで、ハードウェア・リセットを開始するにはローに駆動する必要があります。AD4697/AD4698は、RESET入力がハイに駆動されるまでリセット状態を維持します。

ハードウェア・リセットは、AD4697/AD4698の動作のためには必要ありません。SPIにはソフトウェア・リセットのオプションがあるためです (ソフトウェア・リセットのセクションを参照)。ハードウェア・リセット機能を使用しないシステムでは、デバイス動作の間は確実にハイになっているように、RESET入力をVIOに接続してください。

ハードウェア・リセットを使用するためには、RESET入力をGPIOまたはそれと等価なデジタル・ホストのデジタル出力に接続します。RESETを駆動する信号は、アイドル時はハイとなっている必要があります。デジタル・ホストの出力が定義された状態になるまでRESET入力が確実にハイになっているよう、RESET入力にはVIOに対し弱いプルアップ抵抗を配置することを推奨します。ハードウェア・リセットを実行するためのホストのファームウェア機能は、図104のタイミング条件に従い、RESETをパルス的にローにする必要があります。

## デバイス設定の推奨事項

レジスタの情報のセクションで説明する設定レジスタを通じてAD4697/AD4698の目的の機能や設定値を設定する場合の推奨事項を以下に説明します。

SPIを通じて設定レジスタにアクセスするには、AD4697/AD4698がレジスタ設定モードであることが必要です。AD4697/AD4698は、デバイスのパワーアップ時とデバイス・リセット後に、レジスタ設定モードになります。設定レジスタの設定値は、変換モードに入り変換を実行する前に、指定アプリケーションに対し適切にプログラムする必要があります。

デバイスのパワーアップ時は、デバイスのリセットのセクションで説明しているように、ハードウェア・リセットまたはソフトウェア・リセットを実行することを推奨します。

まず、SPI\_CONFIG\_A、SPI\_CONFIG\_B、SPI\_CONFIG\_Cの各レジスタの内容を目的の設定値にプログラムし、AD4697/AD4698のSPIプロトコルが確実にデジタル・ホストに対応するよう設定します (レジスタ設定モードのセクションを参照)。スクラッチ・パッド・レジスタ (SCRATCH\_PAD) を使用すると、デバイス設定

に影響することなくテスト値を書き込みそれをリードバックすることで、デジタル・ホストはAD4697/AD4698との通信を検証できます。

内部リファレンス・バッファを使用する場合 (WLCSPのみ)、REF\_CTRLレジスタの内容をできるだけ早く設定して、内部リファレンス・バッファの出力が安定化できるだけの時間を与えた上で、その他のレジスタの設定を行うことを推奨します (リファレンス・バッファの起動の最適化のセクションを参照)。内部リファレンス・バッファを使用しない場合は、REF\_CTRLレジスタの更新タイミングは重要ではありませんが、必要なリファレンス入力高インピーダンス・モード・イネーブル設定、VREF\_SETの設定、あるいは過電圧減少電流モードの設定がそれぞれのデフォルト設定値と異なる場合は、変換モードに入る前にREF\_CTRLレジスタを更新する必要があります (表46参照)。

次に、VDDを外部から供給する場合、セットアップ・レジスタのLDO\_ENビットを0に設定することで内部LDOをディスエーブルすることを推奨します (内部LDOのセクションを参照)。なお、SPI\_MODEビットを1に設定すると、AD4697/AD4698は変換モードになります。その他の設定レジスタが適切に設定されるまで、SPI\_MODEは確実に0に設定しておいてください。

次に、チャンネル・シーケンシング・レジスタを目的のチャンネル・シーケンシング・モードに設定します。SEQ\_CTRLレジスタには、STD\_SEQ\_ENビットとNUM\_SLOTS\_ASビット・フィールドがあり、これらは目的のチャンネル・シーケンシング・モードを選択するように設定する必要があります。デフォルトでは、STD\_SEQ\_ENビットは1に設定されており、標準シーケンサが選択されます (表47を参照)。

標準シーケンサを使用する場合は、STD\_SEQ\_ENビットが1に設定されていることを確認してから、STD\_SEQ\_CONFIGレジスタとTEMP\_CTRLレジスタを、シーケンスのチャンネルを選択するようプログラムします (表49および表53を参照)。

詳細シーケンサを使用する場合は、SEQ\_CTRLレジスタを更新して、STD\_SEQ\_ENビットを0、NUM\_SLOTS\_ASビット・フィールドを詳細シーケンサ・スロットの必要数に設定します。次いで適切な数のAS\_SLOTnレジスタとTEMP\_CTRLレジスタを、目的のチャンネル・シーケンサを実行するようにプログラムします (表60および表53を参照)。

2サイクル・コマンド・モードまたは単一サイクル・コマンド・モードを使用する場合は、SEQ\_CTRLレジスタを更新してSTD\_SEQ\_ENビットを0に設定しますが、NUM\_SLOTS\_ASビット・フィールドは0x0のままにします。CYC\_CTRLビットも2サイ



## アプリケーション情報

クル・コマンド・モードと単一サイクル・コマンド・モードの間で選択を行うよう設定する必要がありますが、CYC\_CTRLビットはセットアップ・レジスタ内にあるため、SPI\_MODEビットがデバイスを変換モードにするよう設定されるのと同じフレームで設定できます。

チャンネル・シーケンシング・モードの設定値が設定された後、必要に応じてCONFIG\_INnレジスタの設定値を更新してチャンネル設定の設定値を選択します。この設定値には、閾値検出アラート・イネーブル設定、極性モード、ピン・ペアリング・オプション、アナログ入力高インピーダンス・モード・イネーブル設定、OSRなどがあります。標準シーケンサがイネーブルの場合、CONFIG\_INnレジスタのビットにプログラムされた設定値はすべてのアナログ入力チャンネルに適用されます。その他のチャンネル・シーケンシング・モードが選択されている場合、各CONFIG\_INnレジスタの設定値は、その対応するINnチャンネルに適用されます。CONFIG\_INnレジスタ内のビットの詳細な説明については、表54を参照してください。

いずれかの組み合わせのチャンネルで閾値検出を有効化する場合、対応するUPPER\_INnおよびLOWER\_INnレジスタの値を更新し、必要な上限閾値および下限閾値を設定してください（表55および表56を参照）。ヒステリシスを有効化または無効化するには、ALERT\_MODEビットを更新する必要がありますが、ALERT\_MODEビットはSETUPレジスタ内にあるため、SPI\_MODEビットがデバイスを変換モードにするよう設定されるのと同じフレームで設定できます。ヒステリシスを有効にする場合は、HYST\_INnレジスタを更新して必要なヒステリシス設定値を設定する必要があります。

汎用ピンのセクションで説明している汎用ピンのいずれかの機能を使用する場合は、それに応じてGPIO\_CTRLレジスタおよびGP\_MODEレジスタの内容を更新してください（表50および表51を参照）。

自動サイクル・モードを使用する場合は、AC\_CTRLレジスタの設定値を更新して自動サイクル・モードを有効にし、必要なサンプリング・レートを選択してください（表48参照）。自動サイクル・モードはデフォルトでは無効になっています。そのため、自動サイクル・モードを使用しない場合は、デバイスのリセット後にAC\_CTRLレジスタを更新する必要はありません。

オフセットおよびゲイン補正を使用する場合は、それに対応してOFFSET\_INnおよびGAIN\_INnのレジスタ設定値を更新してください。チャンネルごとに必要なオフセットおよびゲイン補正値を決定するためにキャリブレーション・ルーチンが必要な場合は、AD4697/AD4698を変換モードにして十分な変換データを収集した後に、OFFSET\_INnおよびGAIN\_INnのレジスタを更新します。

その他の必要な設定レジスタの設定値をすべて更新したら、セットアップ・レジスタのSPI\_MODEビットを1に設定してAD4697/AD4698を変換モードにします。セットアップ・レジスタのその他のビットはすべて、必要なデバイス設定値となるよう確実に設定してください（表45参照）。

セットアップ・レジスタを更新してデバイスを変換モードにする前に、デジタル・ホストは、ステータス・レジスタのSPI\_ERRORビットの状態を確認して、設定レジスタの更新にエラーがないことを検証することもできます。また、ホストは、CLAMP\_STATUSレジスタの状態をチェックして、

AD4697/AD4698が変換モードになる前にいずれかのアナログ入力チャンネルで過電圧保護イベントが発生しているかどうかを確認することもできます。

AD4697/AD4698が変換モードとなっている間、SPIを使用して設定レジスタを更新することはできません。デバイスが既に変換モードになっているときに設定レジスタを読み出すか更新する必要がある場合は、変換モードのSPIフレーム中にレジスタ設定モード・コマンドを送出して、デバイスをレジスタ変換モードに戻します（レジスタ設定モード・コマンドのセクションを参照）。

## 実効チャンネル・サンプリング・レート

AD4697/AD4698のアナログ入力は1つのADCコアにマルチプレクスされ、マルチプレクサの状態は変換フェーズの最後で更新されます。そのため、チャンネル・シーケンスにおけるチャンネルごとの実効サンプリング・レートは、f<sub>CNV</sub>で設定されるADCのサンプリング・レートの数分の1になります。チャンネルの実効サンプリング・レートは、各々の新しい変換結果がそのチャンネルで生成される頻度で定義されます。

アナログ入力の実効サンプリング・レートが有効となるためには、新しい結果がチャンネル・シーケンス全体、あるいは少なくとも必要な分析を実行できるだけの時間、一定のレートで生成される必要があります。例えば、目的のチャンネルのADCデータのFFTを計算してAC分析を実行するには、そのチャンネルに関して収集される各サンプル間のサンプリング間隔が一定であることが必要です。アナログ入力の実効サンプリング・レート（f<sub>S\_INx</sub>）は、f<sub>CNV</sub>とサンプリングとサンプリングの間のCNV周期数（N<sub>CNV</sub>）の関数です。8個のアナログ入力（IN0～IN7）および温度センサーのそれぞれについて、次の関係式が成り立ちます。

$$f_{S\_INx} = \frac{f_{CNV}}{N_{CNV}} \quad (24)$$

各アナログ入力に必要なf<sub>S\_INx</sub>は、その入力信号の周波数範囲によって決まります。対象となるアナログ入力のナイキスト周波数（f<sub>S\_INx</sub>の半分）は、エイリアシングを避けるため、測定される最高信号周波数より大きいことが必要です。

標準シーケンサがイネーブルの場合、STD\_SEQ\_CONFIGレジスタの各イネーブル・チャンネルは、シーケンスの繰り返しごとに一回サンプリングされます。そのため、f<sub>S\_INx</sub>は、標準シーケンサがイネーブルの場合、各イネーブル・チャンネルについて常に一定で、次式で計算できます。

$$f_{S\_INx} = \frac{f_{CNV}}{(N_{EN} \times OSR)} \quad (25)$$

ここで、N<sub>EN</sub>は、チャンネル・シーケンスに含まれる入力の数で、1（イネーブルされているチャンネルは1つのみの場合）から9（すべてのチャンネルと温度センサーがイネーブルされている場合）の範囲です。

OSRは、CONFIG\_IN0レジスタのOSR\_SETフィールドで選択されるオーバーサンプリング比です。

N<sub>EN</sub> = 4およびOSR = 1の図76の例では、f<sub>S\_INx</sub>はf<sub>CNV</sub>/4となります。この例でOSRを4にプログラムすると、f<sub>S\_INx</sub>はf<sub>CNV</sub>/16です。

## アプリケーション情報

詳細シーケンサ、2サイクル・コマンド・モード、または単一サイクル・コマンド・モードが有効な場合、アナログ入力チャンネルのシーケンスはより柔軟なものとなり、複数の実効サンプリング・レートで実行するようチャンネル・シーケンスを設計できます。これは、低周波数またはDC信号のチャンネルと高周波数またはAC信号のチャンネルが組み合わさったアプリケーションで便利です。2つの実効チャンネル・サンプリング・レートの使用のセクションでは、2セットのチャンネルで2つの実効サンプリング・レートを実現するチャンネル・シーケンスを設計する方法を説明しています。

表29と図126に、4個のアナログ入力を使用して3つの実効サンプリング・レートを実現するシーケンスの例を示します。表29と図126に示すシーケンスは、詳細シーケンサと2サイクル・コマンド・モードまたは単一サイクル・コマンド・モードで実行できます。

詳細シーケンサ、2サイクル・コマンド・モード、単一サイク

ル・コマンド・モードは、アナログ入力に対し不規則な変換を実行するために使用することもできます。例えば、すべてのチャンネルにDCタイプの信号がある場合や、チャンネル・シーケンシングに適応型のコントロール・ロジックが含まれる場合などです。

表 29. 複数の実効サンプリング・レートの例

Sequence Position	Input	Effective Sample Rate of Input
0	IN0	$f_{CNV}/2$
1	IN1	$f_{CNV}/4$
2	IN0	$f_{CNV}/2$
3	IN2	$f_{CNV}/8$
4	IN0	$f_{CNV}/2$
5	IN1	$f_{CNV}/4$
6	IN0	$f_{CNV}/2$
7	IN3	$f_{CNV}/8$

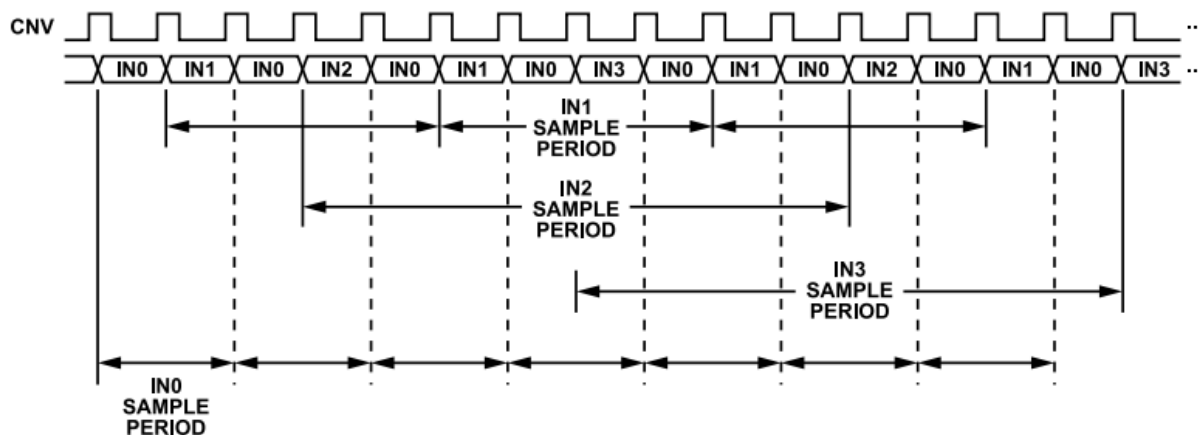


図 126. 複数の実効サンプリング・レートの例



## アプリケーション情報

## 2つの実効チャンネル・サンプリング・レートの使用

複数チャンネルのデータ・アキュイジション・システムでは、ADCは、高周波数と低周波数またはDCタイプの信号が混合したものをモニタリングする場合があります。最高入力周波数がより高いチャンネルでは、ナイキスト周波数もより高いことが必要で、そのため、実効サンプリング・レートも、最高入力周波数が低いチャンネルより高いことが必要です。入力信号の周波数が高いアナログ入力チャンネルの実効サンプリング・レートを最大限に増加するために、チャンネル・シーケンスは、2つの異なる実効サンプリング・レートを使用するよう設計できます。

2つの実効サンプリング・レートを使用するカスタム・チャンネル・シーケンスでは、シーケンスに含まれるAD4697/AD4698の各チャンネルが、高サンプリング・レート（HSR）チャンネルまたは低サンプリング・レート（LSR）チャンネルに分類されます。図127に、HSRチャンネルとLSRチャンネルを使用する一般的なチャンネル・シーケンスを示します。

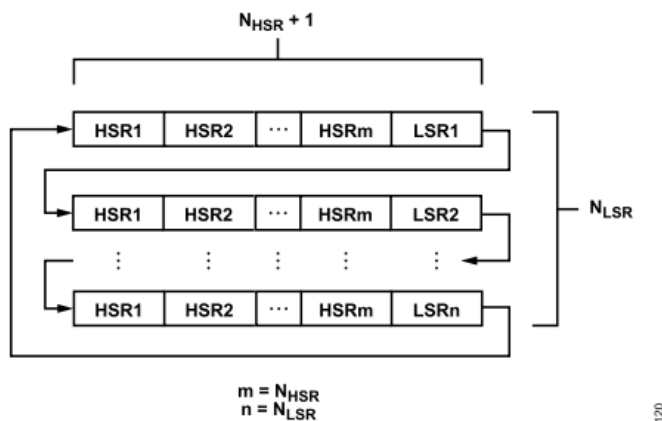


図 127. HSR入力とLSR入力の2つの実効サンプリング・レートでのシーケンス

図127のチャンネル・シーケンス全体は、すべてのHSRチャンネルとそれに続く1つのLSRチャンネルからなるサブシーケンスの繰り返しで構成されています。サブシーケンスは、すべてのLSRチャンネルが一回サンプリングされるまで繰り返され、その後、シーケンス全体がもう一度開始されます。その結果、シーケンスの繰り返しごとにLSRチャンネルがサンプリングされるのは一回ですが、HSRチャンネルは、シーケンスのLSRチャンネルごと一回サンプリングされます。

HSRのチャンネル数 ( $N_{HSR}$ ) と LSRのチャンネル数 ( $N_{LSR}$ ) に加え、2つのサンプリング・レートを実行するのに必要なシーケンス・ポジションの数によって、実効サンプリング・レートが決まります。必要なシーケンス・ポジション数 ( $N_S$ ) は、次式の関係を満たします。

$$N_S = N_{LSR} \times (N_{HSR} + 1) \quad (26)$$

ここで、 $N_{HSR}$ はHSR入力の数、 $N_{LSR}$ はLSR入力の数です。

詳細シーケンサがイネーブルとなっている場合、 $N_S$ の最大値はAS\_SLOTnレジスタの数で制限されます。2サイクル・コマンド・モードまたは単一サイクル・コマンド・モードがイネーブルの場合、 $N_S$ の大きさは任意です。

LSRチャンネルがサンプリングされるのはシーケンスの全繰り返しごとに一回だけなので、その実効サンプリング・レート ( $f_{S\_LSR}$ ) は、次式のように、ADCコアのサンプリング・レート ( $f_{CNV}$ で設定) を $N_S$ で除したものとなります。

$$f_{S\_LSR} = \frac{f_{CNV}}{N_S} \quad (27)$$

HSR入力、シーケンスのLSR入力ごと一回サンプリングされるため、HSR入力の実効サンプリング・レート ( $f_{S\_HSR}$ ) は次のようになります。

$$f_{S\_HSR} = \frac{f_{CNV} \times N_{LSR}}{N_S} \quad (28)$$

表30に、IN0、IN1、IN2がHSRチャンネルで、IN3、IN4、温度センサーがLSRチャンネルの場合の例を示します。

表 30. 2つの実効チャンネル・サンプリング・レートでのシーケンス

Sequence Position	Input	Effective Sample Rate of Input
0	IN0	$f_{CNV}/4$
1	IN1	$f_{CNV}/4$
2	IN2	$f_{CNV}/4$
3	IN3	$f_{CNV}/12$
4	IN0	$f_{CNV}/4$
5	IN1	$f_{CNV}/4$
6	IN2	$f_{CNV}/4$
7	IN4	$f_{CNV}/12$
8	IN0	$f_{CNV}/4$
9	IN1	$f_{CNV}/4$
10	IN2	$f_{CNV}/4$
11	Temperature sensor	$f_{CNV}/12$

なお、詳細シーケンサで表30のシーケンスを実行する場合には、次のレジスタ設定値が必要です

- ▶ STD\_SEQ\_EN = 0
- ▶ NUM\_SLOTS\_AS = 10
- ▶ TEMP\_EN = 1

温度センサーは、詳細シーケンサ・スロットではなくTEMP\_ENビットを通じて有効化されるため、詳細シーケンサ・スロットの最初の11個 (AS\_SLOT0~AS\_SLOT10) が、表30に示すアナログ入力と共にプログラムされます。

詳細シーケンサを使用する場合、温度センサーはAS\_SLOTnレジスタで割り当てることができないため、HSRチャンネルに割り当てることができない点に注意してください。ただし、TEMP\_CTRLレジスタのTEMP\_ENビットを通じてイネーブルすることで、表30に示すように、温度センサーをLSRチャンネルとして含めることはできます。

## アプリケーション情報

### レイアウトのガイドライン

AD4697/AD4698をPCBに配置して最高性能を実現するための推奨レイアウト技術を、以下で説明します。16チャンネルの同等デバイス (AD4696) を使用したPCBレイアウトの例は、AD4696評価用ボード (EVAL-AD4696FMCZ) のユーザ・ガイドに記載されています。

アナログ・パターン (アナログ入力およびリファレンス入力に接続されるパターン) は、デジタル・パターン (CNV入力、SPI、汎用ピンに接続されるパターン) とは物理的に分離し、高速スイッチング・デジタル信号からアナログ入力信号への相互結合を抑制する必要があります。同じPCB層上のアナログ・パターンとデジタル・パターンの間には、グラウンド・フィルを追加してください。また、間にグラウンド・プレーンのPCB層を挟まずに、デジタル・パターンがアナログ・パターンまたはAD4697/AD4698デバイスと交差することのないようにしてください。AD4697/AD4698のアナログ・ピンとデジタル・ピンは、アナログ・パターンとデジタル・パターンを容易に分離できるよう配列されています。

AD4697/AD4698のアナログ入力 (IN0~IN7) の入力インピーダンスは、変換と変換の間で切り替わるマルチプレクサ・スイッチとADCコア入力スイッチによって、動的なものとなります。アナログ入力の非線形電圧ステップを緩和するために、コンデンサを外付けすることを推奨します。これらの外付けコンデンサは、アナログ入力にできるだけ近づけることで、性能低下の原因となる、コンデンサとアナログ入力の間での寄生インピーダンスを最小限に抑制します。詳細については、[アナログ・フロントエンド設計](#)のセクションを参照してください。

AD4697/AD4698の電圧リファレンス入力 (REF) の入力インピーダンスも動的です。リファレンス駆動回路の出力とREF入力の間の実効インピーダンスは非常に小さくなくてはならず、また、REFピンにできるだけ近くにデカップリング・コンデンサを配置する必要があります。内部リファレンス・バッファを使用しない場合は、外部リファレンス回路とREFピンを幅の広いパターンで接続し、パターンのインピーダンスを最小限にしてください ([リファレンス回路設計](#)のセクションを参照)。

AD4697/AD4698の電源は、電源ピンの近くに配置した低等価直列抵抗 (ESR) のセラミック・コンデンサでデカップリングし、接続には短く幅の広いパターンを使用して経路を低インピーダンスにし、電源ラインのグリッチの影響を抑える必要があります ([電源](#)のセクションを参照)。AVDDと同じ電源でLDO\_INに電源供給している場合は、幅広の共通パターンでこれらのピンを短絡し、1個の100nFコンデンサで両方のピンをデカップリングします。

WLCSPのPCBレイアウトおよびアセンブリの詳細については[AN-617アプリケーション・ノート](#)を参照してください。

### AD4697/AD4698の性能評価

AD4697/AD4698の評価ツール製品には、16チャンネルの同等デバイス (AD4696) を含むすべての部品を組み込んだテスト済み評価用ボード (EVAL-AD4696FMCZ)、PCからボードを制御するための評価ソフトウェア、ハードウェアおよびソフトウェア用サポート・マニュアルが用意されています。評価ソフトウェアには、PCとEVAL-AD4696FMCZボード間の通信を確立するためのEVAL-SDP-CH1Zコントローラ・ボードが必要です。

EVAL-AD4696FMCZボードを使用することで、AD4697/AD4698が提供する様々なデジタル機能を使用して、AFE回路とリファレンス回路をプロトタイプ化できます。また、このボードには、標準的な160ピンのFPGA (フィールド・プログラマブル・ゲート・アレイ) メザニン・カード (FMC) と12ピンの拡張SPIペリフェラル・モジュール (PMOD) コネクタも備わっているため、オンボードのAD4696と多くのサード・パーティ製FPGA開発ボードの間の通信をプロトタイプ化できます。

## レジスタの情報

## レジスタの概要

AD4697/AD4698には、デバイスのステータスをモニタしデバイスを設定するために使用されるビットやフィールドで構成される、プログラマブルな設定レジスタがあります。これらのビットやフィールドとの間で読書きを行うには、それらを含むレジスタとの間の読書きが必要です。AD4697/AD4698のSPIを使用すると、設定レジスタとの間での読書きができます（[レジスタ設定モード](#)のセクションを参照）。

AD4697/AD4698のレジスタ・マップのメモリ空間はバイト単位で分割されています。メモリの各バイトには、0x0000～0x017Fの固有のアドレスがあります。表31に、AD4697/AD4698の設定レジスタすべてについて、レジスタへのメモリ・アドレスの割当てを示します。

各設定レジスタの長さはシングル・バイトまたは複数バイトです。複数バイト長のレジスタは複数バイト・レジスタと呼ばれます。各複数バイト・レジスタのアドレスは、その最下位バイトのアドレスで指定されますが、複数バイト・レジスタ内の各バイトには、レジスタ・マップのメモリ空間に固有のアドレスがあります。例えば、STD\_SEQ\_CONFIGレジスタは2バイト長で、その最下位バイトのアドレスは0x0024、最上位バイトのアドレスは0x0025です。SPI\_CONFIG\_CレジスタのMB\_STRICTビットの状態によって、複数バイト・レジスタのすべてのバイトが、1つのSPI

トランザクションで読出または書込みをされるのか、別々のSPIトランザクションで読出または書込みをされるのかが決まりません（[複数バイト・レジスタ・アクセス](#)のセクションを参照）。

AD4697/AD4698設定レジスタのビットとフィールドは、読出し専用、読出し/書込み、または1を書き込んでクリア（R/W1C）の各ビットで定義されています。読出し専用ビットは読出しのみが可能で、SPIマスタからのSPI書込みによって更新することはできません。読出し/書込みビットは、読出または書込みができます。R/W1Cは読出しが可能で、0にリセットされるのはデジタル・ホストがそのメモリ・ロケーションに1を書き込んだ場合のみです。

表31の「Access」列には、読出し専用ビットのみを含むレジスタがR、書込み可能ビットのあるレジスタがR/Wと記されています。表32～表60の「Access」列では、読出し専用ビットはR、読出し/書込みビットはR/W、1を書き込んでクリア・ビットはR/W1Cと記されています。

SPI\_STATUSレジスタには様々なエラー・フラグがあり、[レジスタ設定モード](#)のセクションで概要を説明しているいくつかのプロトコル形態のいずれかに対し、SPI読出または書込みトランザクションが違反しているかどうかを示します（[表40](#)参照）。ステータス・レジスタのSPI\_ERRORビットは、SPI\_STATUSレジスタのエラー・フラグのビットワイズ論理和です（[表41](#)参照）。

表 31. 設定レジスタの名前と説明

Address	Name	Description	Length	Reset	Access
0x0000	SPI_CONFIG_A	Interface Configuration A	Single byte	0x10	R/W
0x0001	SPI_CONFIG_B	Interface Configuration B	Single byte	0x00	R/W
0x0003	DEVICE_TYPE	Device type	Single byte	0x07	R
0x000A	SCRATCH_PAD	Scratch pad	Single byte	0x00	R/W
0x000C	VENDOR_L	Vendor ID (lower byte)	Single byte	0x56	R
0x000D	VENDOR_H	Vendor ID (upper byte)	Single byte	0x04	R
0x000E	LOOP_MODE	Loop mode	Single byte	0x00	R/W
0x0010	SPI_CONFIG_C	Interface Configuration C	Single byte	0x23	R/W
0x0011	SPI_STATUS	Interface status	Single byte	0x00	R/W
0x0014	Status	Device status	Single byte	0x20	R
0x0015	ALERT_STATUS1	Alert status (IN0 to IN3)	Single byte	0x00	R
0x0016	ALERT_STATUS2	Alert status (IN4 to IN7)	Single byte	0x00	R
0x001A	CLAMP_STATUS	Clamp status	Single byte	0x00	R
0x0020	Setup	Device setup	Single byte	0x10	R/W
0x0021	REF_CTRL	Reference control	Single byte	0x12	R/W
0x0022	SEQ_CTRL	Sequencer control	Single byte	0x80	R/W
0x0023	AC_CTRL	Autocycle control	Single byte	0x00	R/W
0x0024	STD_SEQ_CONFIG	Standard sequencer configuration	Multibyte	0x0001	R/W
0x0026	GPIO_CTRL	GPIO enable	Single byte	0x00	R/W
0x0027	GP_MODE	General-purpose pin function control	Single byte	0x00	R/W
0x0028	GPIO_STATE	GPIO state	Single byte	0x00	R/W
0x0029	TEMP_CTRL	Temperature sensor control	Single byte	0x00	R/W
0x0030 to 0x0037	CONFIG_INn	Analog input settings configuration	Single byte	0x08	R/W
0x0040 to 0x004E	UPPER_INn	Upper threshold value	Multibyte	0x07FF	R/W
0x0060 to 0x006E	LOWER_INn	Lower threshold value	Multibyte	0x0000	R/W
0x0080 to 0x008E	HYST_INn	Hysteresis setting	Multibyte	0x0010	R/W
0x00A0 to 0x00AE	OFFSET_INn	INn offset correction	Multibyte	0x0000	R/W

## レジスタの情報

Table 31. Configuration Register Names and Descriptions (Continued)

Address	Name	Description	Length	Reset	Access
0x00C0 to 0x00CE	GAIN_INn	INn gain correction	Multibyte	0x8000	R/W
0x0100 to 0x017F	AS_SLOTn	Advanced sequencer slot	Single byte	0x00	R/W

## レジスタの詳細

## SPI設定Aレジスタ

アドレス：0x0000、リセット：0x10、レジスタ名：SPI\_CONFIG\_A

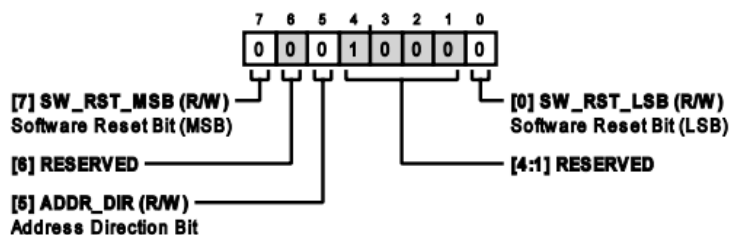


表 32. SPI\_CONFIG\_Aのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SW_RST_MSB	ソフトウェア・リセット・ビット (MSB)。SW_RST_MSBビットとSW_RST_LSBビットの両方を1に設定すると、デバイスのソフトウェア・リセットが開始されます。それによって、SPI_CONFIG_Aレジスタ以外のすべてのレジスタがデフォルトのパワーアップ状態にリセットされます (ソフトウェア・リセットのセクションを参照)。	0x0	R/W
6	RESERVED	予備。	0x0	R
5	ADDR_DIR	アドレス方向ビット。このビットによって、1つのデータ・フェーズで複数バイトのデータに対してレジスタ読みおよび書き込みを実行する際の、シーケンシャルなアドレス指定動作が決まります (アドレス方向オプションのセクションを参照)。 0：降順アドレス・オプションを選択。 1：昇順アドレス・オプションを選択。	0x0	R/W
[4:1]	RESERVED	予備。	0x8	R
0	SW_RST_LSB	ソフトウェア・リセット・ビット (LSB)。SW_RST_MSBビットとSW_RST_LSBビットの両方を1に設定すると、デバイスのソフトウェア・リセットが開始されます。それによって、SPI_CONFIG_Aレジスタ以外のすべてのレジスタがデフォルトのパワーアップ状態にリセットされます (ソフトウェア・リセットのセクションを参照)。	0x0	R/W

## SPI設定Bレジスタ

アドレス：0x0001、リセット：0x00、レジスタ名：SPI\_CONFIG\_B

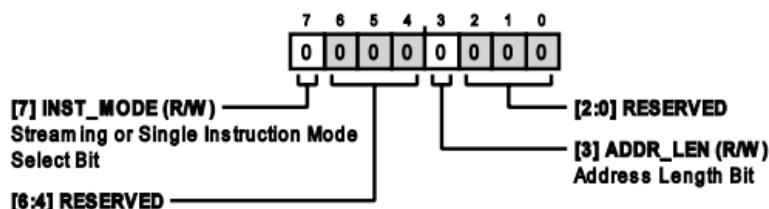


表 33. SPI\_CONFIG\_Bのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	INST_MODE	ストリーミング・モードまたは単一命令モード選択ビット。このビットは、ストリーミング・モードと単一命令モードの選択を行います (ストリーミング・モードのセクションおよび単一命令モードのセクションを参照)。 0：ストリーミング・モードを有効化。 1：単一命令モードを有効化。	0x0	R/W
[6:4]	RESERVED	予備。	0x0	R

## レジスタの情報

表 33. SPI\_CONFIG\_Bのビットの説明

ビット	ビット名	説明	リセット	アクセス
3	ADDR_LEN	アドレス長ビット。このビットは、命令フェーズのレジスタ・アドレスの長さを7ビットまたは15ビットに設定します（命令フェーズのセクションを参照）。0：15ビットのアドレス指定。1：7ビットのアドレス指定。	0x0	R/W
[2:0]	RESERVED	予備。	0x0	R

## デバイス・タイプ・レジスタ

アドレス：0x0003、リセット：0x07、レジスタ名：DEVICE\_TYPE

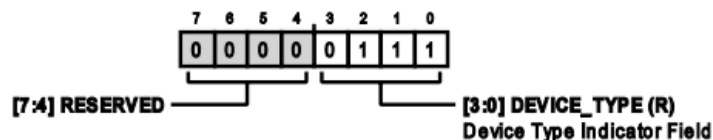


表 34. DEVICE\_TYPEのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予備。	0x0	R
[3:0]	DEVICE_TYPE	デバイス・タイプ・インジケータ・フィールド。このフィールドは、そのデバイスが属するアナログ・デバイセズの製品カテゴリを示します。0x7という値が高精度ADCに対応します。	0x7	R

## スクラッチ・パッド・レジスタ

アドレス：0x000A、リセット：0x00、レジスタ名：SCRATCH\_PAD

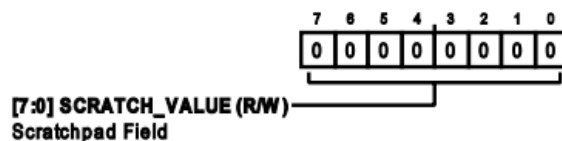


表 35. SCRATCH\_PADのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SCRATCH_VALUE	スクラッチパッド・フィールド。このレジスタに書き込まれた値はデバイス動作に影響しません。このレジスタは、デバイスとのSPI通信をテストするために使用します。	0x00	R/W

## レジスタの情報

## ベンダID（下位バイト）レジスタ

アドレス：0x000C、リセット：0x56、レジスタ名：VENDOR\_L

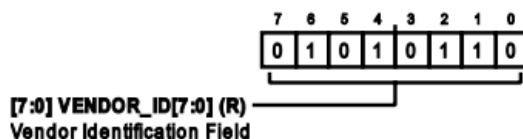


表 36. VENDOR\_Lのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VENDOR_ID[7:0]	ベンダIDフィールド。VENDOR_ID[15:0]フィールドは、アナログ・デバイセズのすべての高精度ADCで同じ値（0x0456）です。	0x56	R

## ベンダID（上位バイト）レジスタ

アドレス：0x000D、リセット：0x04、レジスタ名：VENDOR\_H

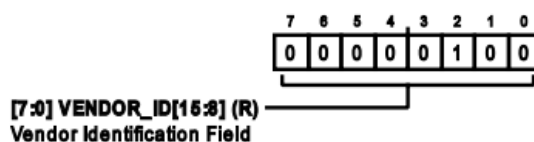


表 37. VENDOR\_Hのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VENDOR_ID[15:8]	ベンダIDフィールド。VENDOR_ID[15:0]フィールドは、アナログ・デバイセズのすべての高精度ADCで同じ値（0x0456）です。	0x04	R

## ループ・モード・レジスタ

アドレス：0x000E、リセット：0x00、レジスタ名：LOOP\_MODE

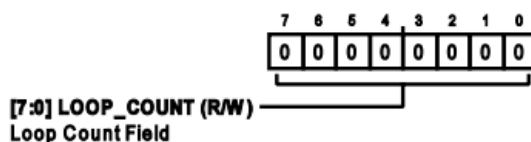


表 38. LOOP\_MODEのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LOOP_COUNT	ループ・カウント・フィールド。このフィールドは、ストリーミング・モードが選択されている場合に、SPIフレームごとにループするレジスタの数を指定します（ <a href="#">ストリーミング・モード</a> のセクションを参照）。値が0x00の場合、ループ動作をディセーブルします。0x01~0xFFの値は、元のレジスタ・アドレスに戻るまでにループするレジスタの数を設定します。	0x00	R/W



## レジスタの情報

## SPI設定レジスタ

アドレス：0x0010、リセット：0x23、レジスタ名：SPI\_CONFIG\_C

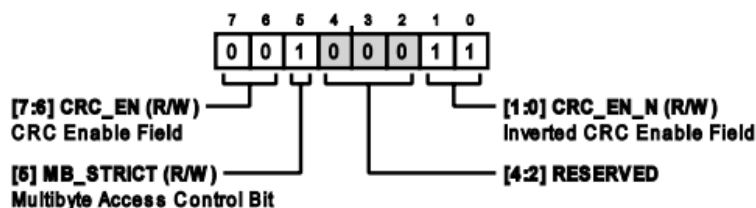


表 39. SPI\_CONFIG\_Cのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	CRC_EN	CRCイネーブル・フィールド。このフィールドは0x1に設定されている場合に（CRC_EN_Nも0x2に設定されていれば）CRCを有効化します。0x1以外の値に設定されている場合はCRCを無効化します（ <a href="#">チェックサム保護</a> のセクションを参照）。 0：CRCを無効化。 1：CRC_EN_N = 0x2の場合にCRCを有効化。	0x0	R/W
5	MB_STRICT	複数バイト・アクセス・コントロール・ビット。このビットは、複数バイトのレジスタのSPIトランザクション条件を設定します（ <a href="#">複数バイト・レジスタ・アクセス</a> のセクションを参照）。 0：複数バイト・レジスタの各バイトは、個別のデータ・フィールドで読みまたは書き込みが行われる。 1：複数バイト・レジスタのすべてのバイトは、1つのデータ・フェーズで読みまたは書き込みが行われる。	0x1	R/W
[4:2]	RESERVED	予備。	0x0	R
[1:0]	CRC_EN_N	反転CRCイネーブル・フィールド。このフィールドは0x2に設定されている場合に（CRC_ENも0x1に設定されていれば）CRCを有効化します。0x2以外の値に設定されている場合はCRCを無効化します（ <a href="#">チェックサム保護</a> のセクションを参照）。	0x3	R/W

## インターフェース・ステータス・レジスタ

アドレス：0x0011、リセット：0x00、レジスタ名：SPI\_STATUS

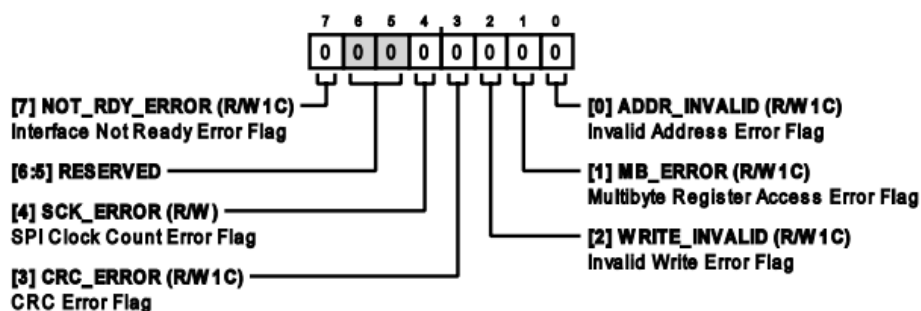


表 40. SPI\_STATUSのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	NOT_RDY_ERROR	インターフェース・ノット・レディ・エラー・フラグ。このビットは、AD4697/AD4698のインターフェースが応答する準備ができる前、例えば、デバイス・リセットが完了する前に、デジタル・ホストがSPIトランザクションを開始した場合に1にセットされます。	0x0	R/W1C
[6:5]	RESERVED	予備。	0x0	R
4	SCK_ERROR	SPIクロック・カウント・エラー・フラグ。このビットは、SPIの読みまたは書き込みのトランザクションで受信したシリアル・クロック・エッジ数が正しくない場合、例えば、SPIフレームがデータ・フェーズの途中で終了してしまった場合などに1にセットされます。	0x0	R/W
3	CRC_ERROR	CRCエラー・フラグ。このビットは、AD4697/AD4698が予想値と一致しないチェックサムを受信した場合に1にセットされます（ <a href="#">チェックサム保護</a> のセクションを参照）。このエラー・フラグは、CRCが有効化されている場合にのみ、アクテ	0x0	R/W1C

## レジスタの情報

表 40. SPI\_STATUSのビットの説明

ビット	ビット名	説明	リセット	アクセス
2	WRITE_INVALID	イブとなります。 無効書き込みエラー・フラグ。このビットは、読み専用ビットのみを含むレジスタにデジタル・ホストがSPI書き込みを行おうとした場合に1にセットされます。	0x0	R/W1C
1	MB_ERROR	複数バイト・レジスタ・アクセス・エラー・フラグ。このビットは、SPIトランザクションが複数バイト・レジスタのすべてのバイトにアクセスしているわけではない場合に1にセットされます。このエラー・フラグは、MB_STRICTビットが1に設定されている場合にのみ、アクティブになります。	0x0	R/W1C
0	ADDR_INVALID	無効アドレス・エラー・フラグ。このビットは、SPIトランザクションが存在しないレジスタ（表31で指定された範囲にないアドレスのレジスタ）にアクセスしようとした場合に1にセットされます。	0x0	R/W1C

## デバイス・ステータス・レジスタ

アドレス：0x0014、リセット：0x20、レジスタ名：Status

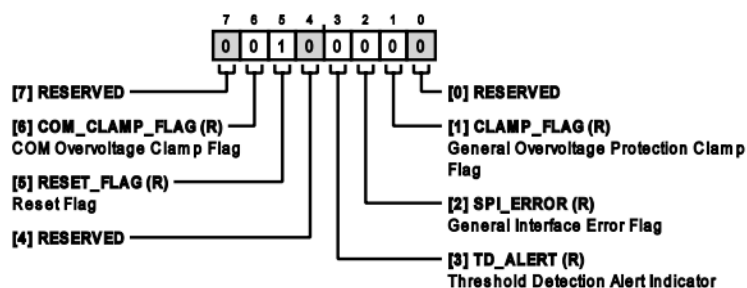


表 41. Statusのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予備。	0x0	R
6	COM_CLAMP_FLAG	COM過電圧クランプ・フラグ。このビットは、COM過電圧保護クランプが過電圧イベントによりアクティブになっているかどうかを示します。このビットはスティッキーではなく、COM過電圧保護クランプが非アクティブになるとクリアされます。 0：COM過電圧保護クランプが非アクティブ。 1：COM過電圧保護クランプがアクティブ。	0x0	R
5	RESET_FLAG	リセット・フラグ。このビットは、このビットが最後に読み出されてからハードウェア・リセットまたはソフトウェア・リセットが行われたかどうかを示します（ <a href="#">デバイスのリセット</a> のセクションを参照）。このビットは、読み出されると自動でクリアされます。 0：このビットが最後に読み出されてからデバイス・リセットは行われていない。 1：このビットが最後に読み出されてからデバイス・リセットが行われている。	0x1	R
4	RESERVED	予備。	0x0	R
3	TD_ALERT	閾値検出アラート・インジケータ。このビットは、IN0～IN7の上限または下限アラート・インジケータのいずれかの組み合わせがアサートされているかどうかを示します。このビットは、ALERT_STATUS1レジスタとALERT_STATUS2レジスタのHI_INnビットおよびLO_INnビットの論理和です。このビットは非スティッキーです。 0：どの上限および下限アラート・インジケータもアサートされていない。 1：少なくとも1つの上限または下限アラート・インジケータがアサートされている。	0x0	R
2	SPI_ERROR	一般インターフェース・エラー・フラグ。このビットは、SPI_STATUSレジスタのいずれかのエラー・フラグがアサートされているかどうかを示します。このビットは、SPI_STATUSレジスタのすべてのビットのビットワイズ論理和です。 0：インターフェース・エラーは検出されてない。 1：少なくとも1つのインターフェース・エラーが検出されている。	0x0	R
1	CLAMP_FLAG	一般過電圧保護クランプ・フラグ。このビットは、IN0～IN7の過電圧保護クランプが過電圧イベントによってアクティブ化されているかどうか（いずれかのINX_CLAMP_FLAGビットがアサートされているかどうか）を示します。このビットはスティッキーで、ビットが読み出されてすべてのINX_CLAMP_FLAGビットがデアサートされた場合にのみクリアされます。 0：IN0～IN7のすべての過電圧クランプが非アクティブ。 1：少なくとも1つのIN0～IN7過電圧クランプがアクティブ。	0x0	R
0	RESERVED	予備。	0x0	R

## レジスタの情報

## アラート・ステータス (IN0~IN3) レジスタ

アドレス : 0x0015、リセット : 0x00、レジスタ名 : ALERT\_STATUS1

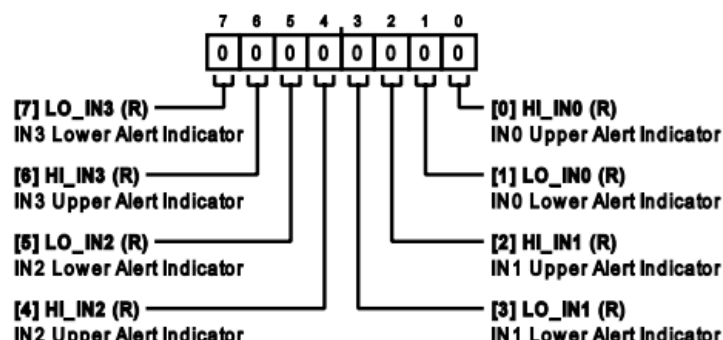


表 42. ALERT\_STATUS1のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	LO_IN3 IN3	IN3下限アラート・インジケータ。このビットは、IN3の変換結果がIN3の下限閾値以下の場合に1にセットされます。このインジケータは、閾値検出がIN3で有効化されている場合にのみアクティブになります（ <a href="#">閾値検出とアラート・インジケータ</a> のセクションを参照）。このビットは読み出し後クリアされます。セットアップ・レジスタのALERT_MODEビットが1に設定されている場合、後続のIN3の変換がHYST_IN3レジスタのHYSTERESISフィールドで設定された範囲内にあると、このビットも自動的にクリアされます（ <a href="#">アラート・インジケータ・レジスタ</a> のセクションを参照）。	0x0	R
6	HI_IN3	IN3上限アラート・インジケータ。このビットは、IN3の変換結果がIN3の上限閾値以上の場合に1にセットされます。このインジケータは、閾値検出がIN3で有効化されている場合にのみアクティブになります（ <a href="#">閾値検出とアラート・インジケータ</a> のセクションを参照）。このビットは読み出し後クリアされます。セットアップ・レジスタのALERT_MODEビットが1に設定されている場合、後続のIN3の変換がHYST_IN3レジスタのHYSTERESISフィールドで設定された範囲内にあると、このビットも自動的にクリアされます（ <a href="#">アラート・インジケータ・レジスタ</a> のセクションを参照）。	0x0	R
5	LO_IN2	IN2下限アラート・インジケータ。このビットは、IN2の変換結果がIN2の下限閾値以下の場合に1にセットされます。このインジケータは、閾値検出がIN2で有効化されている場合にのみアクティブになります（ <a href="#">閾値検出とアラート・インジケータ</a> のセクションを参照）。このビットは読み出し後クリアされます。セットアップ・レジスタのALERT_MODEビットが1に設定されている場合、後続のIN2の変換がHYST_IN2レジスタのHYSTERESISフィールドで設定された範囲内にあると、このビットも自動的にクリアされます（ <a href="#">アラート・インジケータ・レジスタ</a> のセクションを参照）。	0x0	R
4	HI_IN2	IN2上限アラート・インジケータ。このビットは、IN2の変換結果がIN2の上限閾値以上の場合に1にセットされます。このインジケータは、閾値検出がIN2で有効化されている場合にのみアクティブになります（ <a href="#">閾値検出とアラート・インジケータ</a> のセクションを参照）。このビットは読み出し後クリアされます。セットアップ・レジスタのALERT_MODEビットが1に設定されている場合、後続のIN2の変換がHYST_IN2レジスタのHYSTERESISフィールドで設定された範囲内にあると、このビットも自動的にクリアされます（ <a href="#">アラート・インジケータ・レジスタ</a> のセクションを参照）。	0x0	R
3	LO_IN1	IN1下限アラート・インジケータ。このビットは、IN1の変換結果がIN1の下限閾値以下の場合に1にセットされます。このインジケータは、閾値検出がIN1で有効化されている場合にのみアクティブになります（ <a href="#">閾値検出とアラート・インジケータ</a> のセクションを参照）。このビットは読み出し後クリアされます。セットアップ・レジスタのALERT_MODEビットが1に設定されている場合、後続のIN1の変換がHYST_IN1レジスタのHYSTERESISフィールドで設定された範囲内にあると、このビットも自動的にクリアされます（ <a href="#">アラート・インジケータ・レジスタ</a> のセクションを参照）。	0x0	R
2	HI_IN1	IN1上限アラート・インジケータ。このビットは、IN1の変換結果がIN1の上限閾値以上の場合に1にセットされます。このインジケータは、閾値検出がIN1で有効化されている場合にのみアクティブになります（ <a href="#">閾値検出とアラート・インジケータ</a> のセクションを参照）。このビットは読み出し後クリアされます。セットアップ・レジスタのALERT_MODEビットが1に設定されている場合、後続のIN1の変換がHYST_IN1レジスタのHYSTERESISフィールドで設定された範囲内にあると、このビットも自動的にクリアされます（ <a href="#">アラート・インジケータ・レジスタ</a> のセクションを参照）。	0x0	R
1	LO_IN0	IN0下限アラート・インジケータ。このビットは、IN0の変換結果がIN0の下限閾値以下の場合に1にセットされます。このインジケータは、閾値検出がIN0で有効化されている場合にのみアクティブになります（ <a href="#">閾値検出とアラート・インジケータ</a> のセクションを参照）。このビットは読み出し後クリアされます。セットアップ・レジスタのALERT_MODEビットが1に設定されている場合、後続のIN0の変換がHYST_IN0レジスタのHYSTERESISフィールドで設定された範囲内にあると、このビットも自動的にクリアされます（ <a href="#">アラート・インジケータ・レジスタ</a> のセクションを参照）。	0x0	R

## レジスタの情報

表 42. ALERT\_STATUS1のビットの説明

ビット	ビット名	説明	リセット	アクセス
0	HI_IN0	IN0上限アラート・インジケータ。このビットは、IN0の変換結果がIN0の上限閾値以上の場合に1にセットされます。このインジケータは、閾値検出がIN0で有効化されている場合にのみアクティブになります（ <a href="#">閾値検出とアラート・インジケータ</a> のセクションを参照）。このビットは読み出し後クリアされます。セットアップ・レジスタのALERT_MODEビットが1に設定されている場合、後続のIN0の変換がHYST_IN0レジスタのHYSTERESISフィールドで設定された範囲内にあると、このビットも自動的にクリアされます（ <a href="#">アラート・インジケータ・レジスタ</a> のセクションを参照）。	0x0	R

## アラート・ステータス (IN4~IN7) レジスタ

アドレス：0x0016、リセット：0x00、レジスタ名：ALERT\_STATUS2

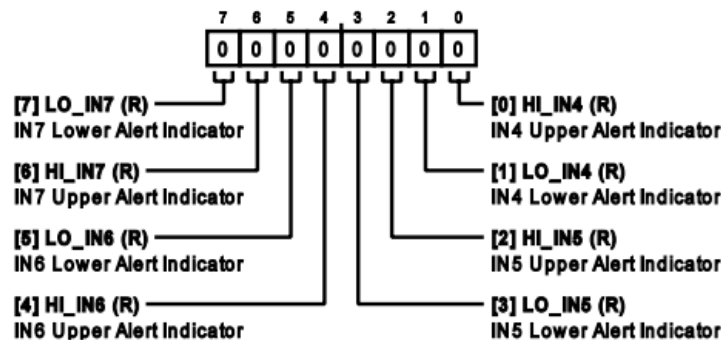


表 43. ALERT\_STATUS2のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	LO_IN7	IN7下限アラート・インジケータ。このビットは、IN7の変換結果がIN7の下限閾値以下の場合に1にセットされます。このインジケータは、閾値検出がIN7で有効化されている場合にのみアクティブになります（ <a href="#">閾値検出とアラート・インジケータ</a> のセクションを参照）。このビットは読み出し後クリアされます。セットアップ・レジスタのALERT_MODEビットが1に設定されている場合、後続のIN7の変換がHYST_IN7レジスタのHYSTERESISフィールドで設定された範囲内にあると、このビットも自動的にクリアされます（ <a href="#">アラート・インジケータ・レジスタ</a> のセクションを参照）。	0x0	R
6	HI_IN7	IN7上限アラート・インジケータ。このビットは、IN7の変換結果がIN7の上限閾値以上の場合に1にセットされます。このインジケータは、閾値検出がIN7で有効化されている場合にのみアクティブになります（ <a href="#">閾値検出とアラート・インジケータ</a> のセクションを参照）。このビットは読み出し後クリアされます。セットアップ・レジスタのALERT_MODEビットが1に設定されている場合、後続のIN7の変換がHYST_IN7レジスタのHYSTERESISフィールドで設定された範囲内にあると、このビットも自動的にクリアされます（ <a href="#">アラート・インジケータ・レジスタ</a> のセクションを参照）。	0x0	R
5	LO_IN6	IN6下限アラート・インジケータ。このビットは、IN6の変換結果がIN6の下限閾値以下の場合に1にセットされます。このインジケータは、閾値検出がIN6で有効化されている場合にのみアクティブになります（ <a href="#">閾値検出とアラート・インジケータ</a> のセクションを参照）。このビットは読み出し後クリアされます。セットアップ・レジスタのALERT_MODEビットが1に設定されている場合、後続のIN6の変換がHYST_IN6レジスタのHYSTERESISフィールドで設定された範囲内にあると、このビットも自動的にクリアされます（ <a href="#">アラート・インジケータ・レジスタ</a> のセクションを参照）。	0x0	R
4	HI_IN6	IN6上限アラート・インジケータ。このビットは、IN6の変換結果がIN6の上限閾値以上の場合に1にセットされます。このインジケータは、閾値検出がIN6で有効化されている場合にのみアクティブになります（ <a href="#">閾値検出とアラート・インジケータ</a> のセクションを参照）。このビットは読み出し後クリアされます。セットアップ・レジスタのALERT_MODEビットが1に設定されている場合、後続のIN6の変換がHYST_IN6レジスタのHYSTERESISフィールドで設定された範囲内にあると、このビットも自動的にクリアされます（ <a href="#">アラート・インジケータ・レジスタ</a> のセクションを参照）。	0x0	R
3	LO_IN5	IN5下限アラート・インジケータ。このビットは、IN5の変換結果がIN5の下限閾値以下の場合に1にセットされます。このインジケータは、閾値検出がIN5で有効化されている場合にのみアクティブになります（ <a href="#">閾値検出とアラート・インジケータ</a> のセクションを参照）。このビットは読み出し後クリアされます。セットアップ・レジスタのALERT_MODEビットが1に設定されている場合、後続のIN5の変換がHYST_IN5レジスタのHYSTERESISフィールドで設定された範囲内にあると、このビットも自動的にクリアされます（ <a href="#">アラート・インジケータ・レジスタ</a> のセクションを参照）。	0x0	R
2	HI_IN5	IN5上限アラート・インジケータ。このビットは、IN5の変換結果がIN5の上限閾値以上の場合に1にセットされます。このインジケータは、閾値検出がIN5で有効化されている場合にのみアクティブに	0x0	R

## レジスタの情報

表 43. ALERT\_STATUS2のビットの説明

ビット	ビット名	説明	リセット	アクセス
		なります（ <a href="#">閾値検出とアラート・インジケータ</a> のセクションを参照）。このビットは読み出し後クリアされます。セットアップ・レジスタのALERT_MODEビットが1に設定されている場合、後続のIN5の変換がHYST_IN5レジスタのHYSTERESISフィールドで設定された範囲内にあると、このビットも自動的にクリアされます（ <a href="#">アラート・インジケータ・レジスタ</a> のセクションを参照）。		
1	LO_IN4	IN4 Lower Alert Indicator. このビットは、IN4の変換結果がIN4の下限閾値以下の場合に1にセットされます。このインジケータは、閾値検出がIN4で有効化されている場合にのみアクティブになります（ <a href="#">閾値検出とアラート・インジケータ</a> のセクションを参照）。このビットは読み出し後クリアされます。セットアップ・レジスタのALERT_MODEビットが1に設定されている場合、後続のIN4の変換がHYST_IN4レジスタのHYSTERESISフィールドで設定された範囲内にあると、このビットも自動的にクリアされます（ <a href="#">アラート・インジケータ・レジスタ</a> のセクションを参照）。	0x0	R
0	HI_IN4	IN4上限アラート・インジケータ。このビットは、IN4の変換結果がIN4の上限閾値以上の場合に1にセットされます。このインジケータは、閾値検出がIN4で有効化されている場合にのみアクティブになります（ <a href="#">閾値検出とアラート・インジケータ</a> のセクションを参照）。このビットは読み出し後クリアされます。セットアップ・レジスタのALERT_MODEビットが1に設定されている場合、後続のIN4の変換がHYST_IN4レジスタのHYSTERESISフィールドで設定された範囲内にあると、このビットも自動的にクリアされます（ <a href="#">アラート・インジケータ・レジスタ</a> のセクションを参照）。	0x0	R

## クランプ・ステータス・レジスタ

アドレス：0x001A、リセット：0x00、レジスタ名：CLAMP\_STATUS

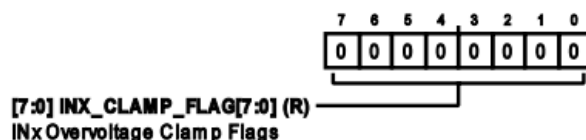


表 44. CLAMP\_STATUSのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INX_CLAMP_FLAG[7:0]	INx過電圧クランプ・フラグ。このフィールドは、INx過電圧保護クランプが過電圧イベントによりアクティブになっているかどうかを示します。各ビットがアナログ入力（IN0～IN7）の1つに対応します。つまり、INX_CLAMP_FLAGのビットxは、INxの過電圧保護クランプ・ステータスに対応します。INX_CLAMP_FLAGのビットxは、INxの過電圧保護クランプがアクティブな場合に1にセットされます。これらのビットは非スティッキーで、対応する過電圧保護クランプが非アクティブになると自動的にクリアされます。	0x0	R

## デバイス・セットアップ・レジスタ

アドレス：0x0020、リセット：0x10、レジスタ名：Setup

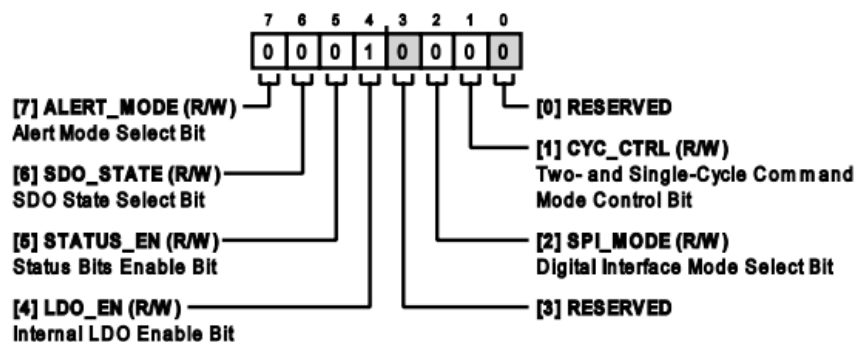


表 45. Setupのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	ALERT_MODE	アラート・モード選択ビット。このビットは、上限および下限アラート・インジケータ（HI_INnおよびLO_INn）をクリアする方法を定めます（ <a href="#">アラート・インジケータ・レジスタ</a> のセクションを参照）。 0：ヒステリシス有効化。	0x0	R/W



## レジスタの情報

表 45. Setupのビットの説明

ビット	ビット名	説明	リセット	アクセス
6	SDO_STATE	1: ヒステリシス無効化。 SDO状態選択ビット。このビットは、変換モードSPIフレームの開始時と終了時におけるシリアル・データ出力の動作を定めます（ <a href="#">変換モードのタイミング図</a> のセクションを参照）。 0: シリアル・データ出力は、次の変換データのMSBがクロック・アウトされるまでその最終値を維持。 1: シリアル・クロック出力でビジー・インジケータがイネーブル。	0x0	R/W
5	STATUS_EN	ステータス・ビット・イネーブル・ビット。このビットは、変換モード時にステータス・ビットが変換データに追加されるかどうかを定めます（ <a href="#">ステータス・ビット</a> のセクションを参照）。0: ステータス・ビットをディスエーブル。1: ステータス・ビットをイネーブル。	0x0	R/W
4	LDO_EN	内部LDOイネーブル・ビット。このビットは、内部LDOをイネーブルまたはディスエーブルします。VDDを外部の1.8V電源で駆動する場合は、内部LDOをディスエーブルします。内部LDOでVDDIに給電している場合に内部LDOをディスエーブルすると、VDDへの電源供給がなくなり、ADCコアと設定レジスタがディスエーブルされます（ <a href="#">内部LDO</a> のセクションを参照）。 0: 内部LDOをディスエーブル。 1: 内部LDOイネーブル。	0x1	R/W
3	RESERVED	予備。	0x0	R/W
2	SPI_MODE	デジタル・インターフェース・モード選択ビット。このビットは、デバイスがレジスタ設定モードか変換モードかを定めます。このビットを1に設定すると変換モードになります。レジスタ設定モード・コマンドを受信すると、このビットは0に設定されます（ <a href="#">レジスタ設定モード・コマンド</a> のセクションを参照）。 0: レジスタ設定モードを選択。 1: 変換モードを選択。	0x0	R/W
1	CYC_CTRL	2サイクルおよび単一サイクル・コマンド・モード・コントロール・ビット。このビットは、2サイクル・コマンド・モードと単一サイクル・コマンド・モードの選択を行います。2サイクル・コマンド・モード、標準シーケンサ、または詳細シーケンサを使用する場合はこのビットを0に設定する必要があります（ <a href="#">チャンネル・シーケンシング・モード</a> のセクションを参照）。 0: 2サイクル・コマンド・モードを選択。 1: 単一サイクル・コマンド・モードを選択。	0x0	R/W
0	RESERVED	予備。	0x0	R/W

### リファレンス・コントロール・レジスタ

アドレス：0x0021、リセット：0x12、レジスタ名：REF\_CTRL

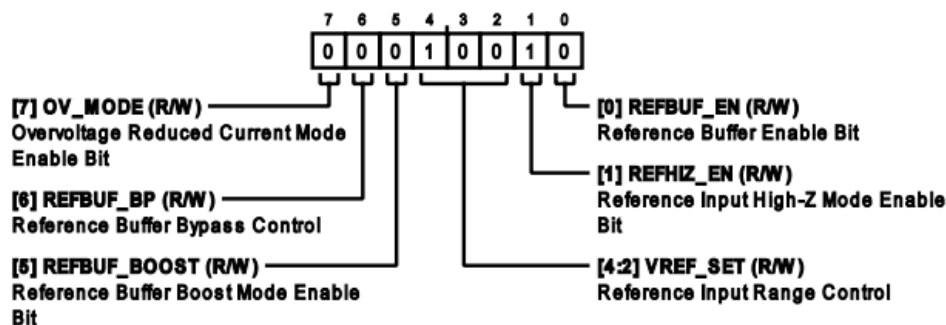


表 46. REF\_CTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	OV_MODE	過電圧減少電流モード有効化ビット。このビットは、過電圧減少電流モードを有効化または無効化します（ <a href="#">入力過電圧保護クランプ</a> のセクションを参照）。 0: クランプ中にREF電流を減少させる。 1: クランプ中にREF電流を減少させない。	0x0	R/W
6	REFBUF_BP	リファレンス・バッファ・バイパス制御。リファレンス・バッファをバイパスするかどうかを定めます（ <a href="#">内部リファレンス・バッファ</a> のセクションを参照）。REFBUF_ENビットが1に設定されている場合は、リファレンス・バッファはバイパスされず、このビットは無視されます。このビットはWLCSPオプション時のみ有効です。LFCSPオプションでこのビットを設定しても無効です。 0: 内部リファレンス・バッファをバイパスしない。	0x0	R/W

## レジスタの情報

表 46. REF\_CTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
5	REFBUF_BOOST	1: 内部リファレンス・バッファをバイパスする。 リファレンス・バッファ・ブースト・モード有効化ビット。リファレンス・バッファ・ブースト・モードを有効化または無効化します（内部リファレンス・バッファのセクションを参照）。このビットはWLCSPオプション時にのみ有効です。LFCSPオプションでこのビットを設定しても無効です。 0: リファレンス・バッファ・ブースト・モードを無効化。 1: リファレンス・バッファ・ブースト・モードを有効化。	0x0	R/W
[4:2]	VREF_SET	リファレンス入力範囲制御。このフィールドは、使用中のリファレンス電圧に基づいて性能を最適化するようデバイスを設定します。このフィールドは、REFピンに印加されるVREF電圧に一致するようプログラムする必要があります（電圧リファレンス入力のセクションを参照）。 0x0: $2.4V \leq VREF \leq 2.75V$ 。 0x1: $2.75V < VREF \leq 3.25V$ 。 0x2: $3.25V < VREF \leq 3.75V$ 。 0x3: $3.75V < VREF \leq 4.50V$ 。 0x4: $4.5V < VREF \leq 5.10V$ 。	0x4	R/W
1	REFHIZ_EN	リファレンス入力高インピーダンス・モード有効化ビット。このビットは、リファレンス入力高インピーダンス・モードを有効化または無効化します（リファレンス入力高インピーダンス・モードのセクションを参照）。 0: リファレンス入力高インピーダンス・モードを無効化。 1: リファレンス入力高インピーダンス・モードを有効化。	0x1	R/W
0	REFBUF_EN	リファレンス・バッファ・イネーブル・ビットリファレンス・バッファをイネーブルまたはディスエーブルします。REFBUF_ENを1に設定するとリファレンス・バッファ・バイパス・スイッチもオープンになります（内部リファレンス・バッファのセクションを参照）。このビットはWLCSPオプション時にのみ有効です。LFCSPオプションでこのビットを設定しても無効です。 0: 内部リファレンス・バッファをディスエーブル。 1: 内部リファレンス・バッファをイネーブル。	0x0	R/W

## シーケンサ・コントロール・レジスタ

アドレス: 0x0022、リセット: 0x80、レジスタ名: SEQ\_CTRL

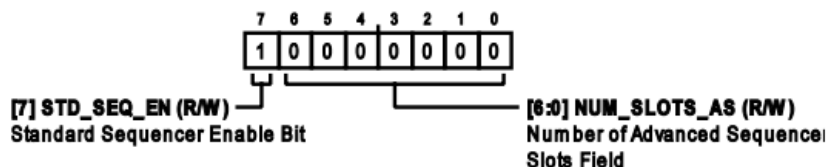


表 47. SEQ\_CTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	STD_SEQ_EN	標準シーケンサ・イネーブル・ビット。このビットは、標準シーケンサをイネーブルまたはディスエーブルします（チャンネル・シーケンシング・モードのセクションを参照）。 0: 標準シーケンサをディスエーブル。 1: 標準シーケンサをイネーブル。	0x1	R/W
[6:0]	NUM_SLOTS_AS	詳細シーケンサ・スロット数フィールド。このフィールドは、詳細シーケンサがイネーブルとなっている場合のシーケンサにおけるスロット数を定めます。スロット数は、NUM_SLOTS_AS + 1です。このフィールドは、2サイクル・コマンド・モードまたは単一サイクル・コマンド・モードを有効化する場合は、0x00に設定する必要があります（チャンネル・シーケンシング・モードのセクションを参照）。	0x0	R/W

## レジスタの情報

### 自動サイクル・コントロール・レジスタ

アドレス：0x0023、リセット：0x00、レジスタ名：AC\_CTRL

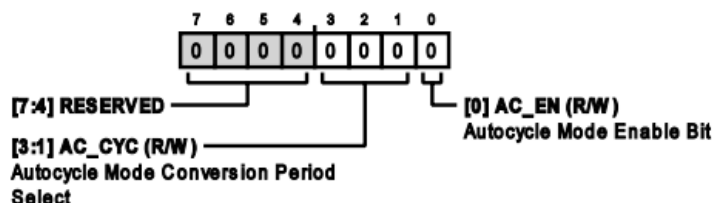


表 48. AC\_CTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予備。	0x0	R
[3:1]	AC_CYC	自動サイクル・モードの変換周期の選択。このフィールドは、自動サイクル・モードが有効となっている場合に内部変換開始信号の周期を設定します（ <a href="#">自動サイクル・モードのセクション</a> を参照）。 0x0：自動サイクル変換周期 = 10μs。 0x1：自動サイクル変換周期 = 20μs。 0x2：自動サイクル変換周期 = 40μs。 0x3：自動サイクル変換周期 = 80μs。 0x4：自動サイクル変換周期 = 100μs。 0x5：自動サイクル変換周期 = 200μs。 0x6：自動サイクル変換周期 = 400μs。 0x7：自動サイクル変換周期 = 800μs。	0x0	R/W
0	AC_EN	自動サイクル・モード有効化ビット。このビットは、自動サイクル・モードを有効化または無効化します（ <a href="#">自動サイクル・モードのセクション</a> を参照）。 0：自動サイクル・モードを無効化。 1：自動サイクル・モードを有効化。	0x0	R/W

### 標準シーケンサ設定レジスタ

アドレス：0x0024、リセット：0x0001、レジスタ名：STD\_SEQ\_CONFIG

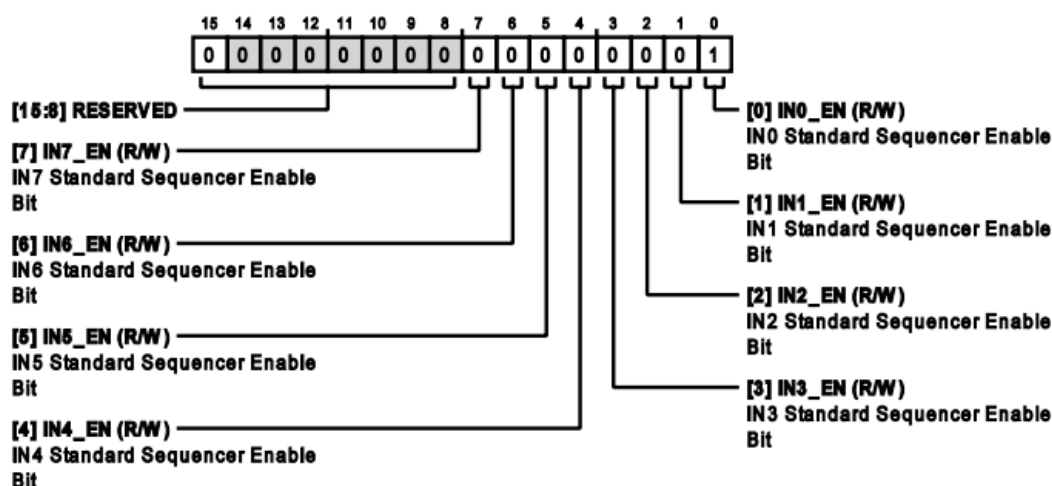


表 49. STD\_SEQ\_CONFIGのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予備。	0x00	R
7	IN7_EN	IN7標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合にIN7がチャンネル・シーケンスに含まれます（ <a href="#">標準シーケンサのセクション</a> を参照）。	0x0	R/W
6	IN6_EN	IN6標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合にIN6がチャンネル・シーケンスに含まれます（ <a href="#">標準シーケンサのセクション</a> を参	0x0	R/W

## レジスタの情報

表 49. STD\_SEQ\_CONFIGのビットの説明

ビット	ビット名	説明	リセット	アクセス
5	IN5_EN	IN5標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合にIN5がチャンネル・シーケンスに含まれます（標準シーケンサのセクションを参照）。	0x0	R/W
4	IN4_EN	IN4標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合にIN4がチャンネル・シーケンスに含まれます（標準シーケンサのセクションを参照）。	0x0	R/W
3	IN3_EN	IN3標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合にIN3がチャンネル・シーケンスに含まれます（標準シーケンサのセクションを参照）。	0x0	R/W
2	IN2_EN	IN2標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合にIN2がチャンネル・シーケンスに含まれます（標準シーケンサのセクションを参照）。	0x0	R/W
1	IN1_EN	IN1標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合にIN1がチャンネル・シーケンスに含まれます（標準シーケンサのセクションを参照）。	0x0	R/W
0	IN0_EN	IN0標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合にIN0がチャンネル・シーケンスに含まれます（標準シーケンサのセクションを参照）。	0x1	R/W

### GPIOイネーブル・レジスタ

アドレス：0x0026、リセット：0x00、レジスタ名：GPIO\_CTRL

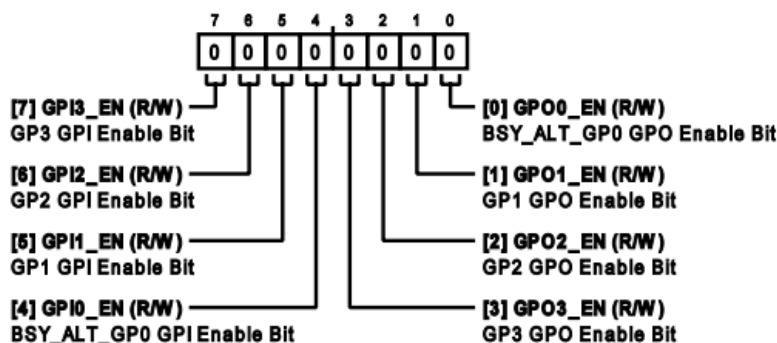


表 50. GPIO\_CTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	GPI3_EN	GP3 GPIイネーブル・ビット。これより上位の優先度の機能が無効化されている場合に、GP3を汎用入力として設定します（GPIOのセクションを参照）。このビットはWLCSPオプション時にのみ有効です。LFCSPオプションでこのビットを設定しても無効です。 0：GP3での汎用入力機能を無効化。 1：GP3での汎用入力機能を有効化。	0x0	R/W
6	GPI2_EN	GP2 GPIイネーブル・ビット。これより上位の優先度の機能が無効化されている場合に、GP2を汎用入力として設定します（GPIOのセクションを参照）。このビットはWLCSPオプション時にのみ有効です。LFCSPオプションでこのビットを設定しても無効です。 0：GP2での汎用入力機能を無効化。 1：GP2での汎用入力機能を有効化。	0x0	R/W
5	GPI1_EN	GP1 GPIイネーブル・ビット。これより上位の優先度の機能が無効化されている場合に、GP1を汎用入力として設定します（GPIOのセクションを参照）。このビットはWLCSPオプション時にのみ有効です。LFCSPオプションでこのビットを設定しても無効です。 0：GP1での汎用入力機能を無効化。 1：GP1での汎用入力機能を有効化。	0x0	R/W
4	GPIO_EN	BSY_ALT_GP0 GPIイネーブル・ビット。これより上位の優先度の機能が無効化されている場合に、BSY_ALT_GP0を汎用入力として設定します（GPIOのセクションを参照）。 0：BSY_ALT_GP0での汎用入力機能を無効化。 1：BSY_ALT_GP0での汎用入力機能を有効化。	0x0	R/W

## レジスタの情報

表 50. GPIO\_CTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
3	GPO3_EN	GP3 GPOイネーブル・ビット。これより上位の優先度の機能が無効化されている場合に、GP3を汎用出力として設定します（GPIOのセクションを参照）。このビットはWLCSPオプション時にのみ有効です。LFCSPオプションでこのビットを設定しても無効です。 0：GP3での汎用出力機能を無効化。 1：GP3での汎用出力機能を有効化。	0x0	R/W
2	GPO2_EN	GP2 GPOイネーブル・ビット。これより上位の優先度の機能が無効化されている場合に、GP2を汎用出力として設定します（GPIOのセクションを参照）。このビットはWLCSPオプション時にのみ有効です。LFCSPオプションでこのビットを設定しても無効です。 0：GP2での汎用出力機能を無効化。 1：GP2での汎用出力機能を有効化。	0x0	R/W
1	GPO1_EN	GP1 GPOイネーブル・ビット。これより上位の優先度の機能が無効化されている場合に、GP1を汎用出力として設定します（GPIOのセクションを参照）。このビットはWLCSPオプション時にのみ有効です。LFCSPオプションでこのビットを設定しても無効です。 0：GP1での汎用出力機能を無効化。 1：GP1での汎用出力機能を有効化。	0x0	R/W
0	GPO0_EN	BSY_ALT_GP0 GPOイネーブル・ビット。これより上位の優先度の機能が無効化されている場合 All、BSY_ALT_GP0を汎用出力として設定します（GPIOのセクションを参照）。 0：BSY_ALT_GP0での汎用出力機能を無効化。 1：BSY_ALT_GP0での汎用出力機能を有効化。	0x0	R/W

## 汎用ピン機能コントロール・レジスタ

アドレス：0x0027、リセット：0x00、レジスタ名：GP\_MODE

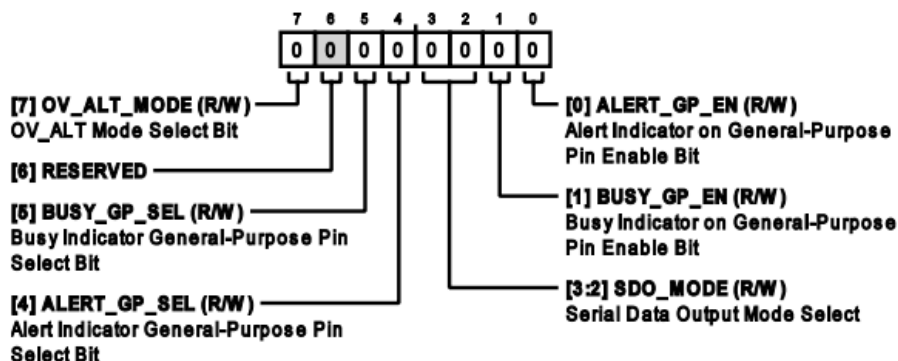


表 51. GP\_MODEのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	OV_ALT_MODE	OV_ALTモード選択ビット。このビットは、閾値検出アラート・インジケータの状態をレポートする、ステータス・ビットのOV_ALTビットを設定します（ステータス・ビットのセクションを参照）。 0：OV_ALTビットをTD_ALERTビットの状態をレポートするように設定しない。 1：OV_ALTビットをTD_ALERTビットの状態をレポートするように設定する。	0x0	R/W
6	RESERVED	予備。	0x0	R
5	BUSY_GP_SEL	ビジー・インジケータ汎用ピン選択ビットBUSY_GP_ENビットが1に設定されている場合にどの汎用ピンでビジー・インジケータをイネーブルするかを選択します。このビットはWLCSPオプション時にのみ有効です。LFCSPオプションでこのビットを設定しても無効です。 0：BUSY_GP_ENビットが1に設定されている場合に、BSY_ALT_GP0をビジー・インジケータに設定。 1：BUSY_GP_ENビットが1に設定されている場合に、GP3をビジー・インジケータに設定。	0x0	R/W
4	ALERT_GP_SEL	アラート・インジケータ汎用ピン選択ビットALERT_GP_ENビットが1に設定されている場合にどの汎用ピンでアラート・インジケータをイネーブルするかを選択します。このビットはWLCSPオプション時にのみ有効です。LFCSPオプションでこのビットを設定しても無効です。 0：ALERT_GP_ENビットが1に設定されている場合に、BSY_ALT_GP0をアラ-	0x0	R/W



## レジスタの情報

表 51. GP\_MODEのビットの説明

ビット	ビット名	説明	リセット	アクセス
		ト・インジケータに設定。 1 : ALERT_GP_ENビットが1に設定されている場合に、GP2をアラート・インジケータに設定。		
[3:2]	SDO_MODE	シリアル・データ出力モードの選択。このビット・フィールドは、シリアル・データの出力モードを選択します。 0x0 : シングルSDOモードを有効化。 0x1 : デュアルSDOモードを有効化。 0x2 : (LFCSPオプション) : シングルSDOモードを有効化。 0x2 : (WLCSPオプション) : クワッドSDOモードを有効化。 0x3 = シングルSDOモードを有効化。	0x0	R/W
1	BUSY_GP_EN	汎用ピンでのビジー・インジケータ・イネーブル・ビット。これより上位の優先度の機能がすべて無効化されている場合に、BUSY_GP_SELピンで選択された汎用ピンのビジー・インジケータをイネーブルまたはディスエーブルします（汎用ピンのセクションを参照）。 0 : 汎用ピン機能でのビジー・インジケータをディスエーブル。 1 : 汎用ピン機能でのビジー・インジケータをイネーブル。	0x0	R/W
0	ALERT_GP_EN	汎用ピンでのアラート・インジケータ・イネーブル・ビット。これより上位の優先度の機能がすべて無効化されている場合に、ALERT_GP_SELピンで選択された汎用ピンのアラート・インジケータをイネーブルまたはディスエーブルします（汎用ピンのセクションを参照）。 0 : 汎用ピン機能でのアラート・インジケータをディスエーブル。 1 : 汎用ピン機能でのアラート・インジケータをイネーブル。	0x0	R/W

## GPIO状態レジスタ

アドレス : 0x0028、リセット : 0x00、レジスタ名 : GPIO\_STATE

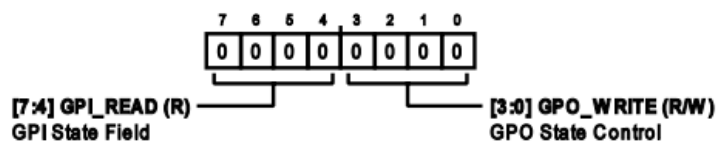


表 52. GPIO\_STATEのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	GPI_READ	GPIの状態フィールド。汎用入力として設定されている各汎用ピンの状態を示します（GPIOのセクションを参照）。LFCSPオプションでは、GPI_READ[3:1]は常に0を返します。	0x0	R
[3:0]	GPO_WRITE	GPOの状態制御。汎用出力として設定されている各汎用ピンの状態を設定します（GPIOのセクションを参照）。GPO_WRITE[3:1]はWLCSPオプションでのみ有効です。LFCSPオプションでこれらのビットを設定しても無効です。	0x0	R/W

## 温度センサー・コントロール・レジスタ

アドレス : 0x0029、リセット : 0x00、レジスタ名 : TEMP\_CTRL

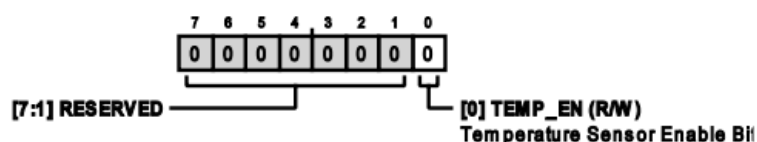


表 53. TEMP\_CTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予備。	0x0	R
0	TEMP_EN	温度センサー・イネーブル・ビット。このビットは、標準シーケンスまたは詳細シーケンスがイネーブルの場合に、チャンネル・シーケンスで温度センサーをイネーブルまたはディスエーブルします（温度センサーのセクションを参照）。 0 : 温度センサーはチャンネル・シーケンスに含まれない。 1 : 温度センサーはチャンネル・シーケンスに含まれる。	0x0	R/W

## レジスタの情報

## アナログ入力設定値設定レジスタ

アドレス：0x0030～アドレス0x0037（0x0001のインクリメント）、リセット：0x08、レジスタ名：CONFIG\_INn

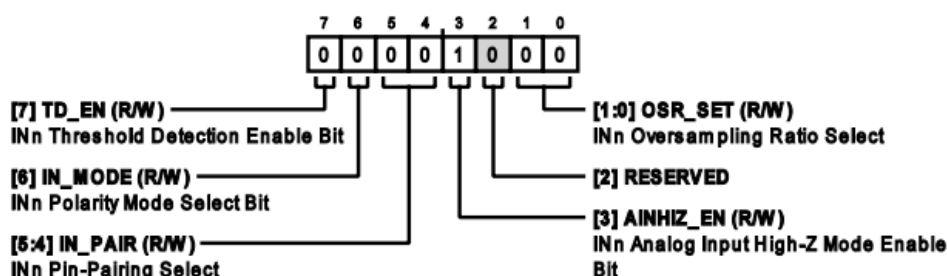


表 54. CONFIG\_INnのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	TD_EN Inn	INn閾値検出イネーブル・ビット。標準シーケンサがイネーブルの場合、CONFIG_IN0レジスタのTD_ENビットはIN0～IN7の閾値検出を有効化または無効化します。詳細シーケンサがイネーブルの場合、各CONFIG_INnレジスタのTD_ENビットは、対応するINnアナログ入力の閾値検出のみを有効化または無効化します。HI_INnおよびLO_INnアラート・インジケータ・ビットは、閾値検出が対応するINnアナログ入力に有効化されている場合にアクティブになります（ <a href="#">閾値検出とアラート・インジケータ</a> のセクションを参照）。 0：INnの閾値検出を無効化。 1：INnの閾値検出を有効化。	0x0	R/W
6	IN_MODE	INn極性モード選択ビット。このビットは、対応するINnアナログ入力の極性モードを選択します（ <a href="#">チャンネル設定オプション</a> のセクションを参照）。CONFIG_INnレジスタのその他のコントロール・ビットとは異なり、各INnのアナログ入力の極性モードは、チャンネル・シーケンシング・モードにかかわらず常に、対応するCONFIG_INnレジスタのIN_MODEビットで設定されます。 0：INnにユニポーラ・モードを選択。 1：INnに疑似バイポーラ・モードを選択。	0x0	R/W
[5:4]	IN_PAIR	INnピン・ペアリング選択。このフィールドは、対応するINnアナログ入力のピン・ペアリング・オプションを選択します（ <a href="#">チャンネル設定オプション</a> のセクションを参照）。標準シーケンサがイネーブルの場合、CONFIG_IN0レジスタのIN_PAIRビット・フィールドがIN0～IN7のピン・ペアリング・オプションを設定します。詳細シーケンサがイネーブルの場合、各CONFIG_INnレジスタのIN_PAIRビットは、対応するINnアナログ入力に対してのみピン・ペアリング・オプションを設定します。 0x0：INnはREFGNDとペアリング。 0x1：INnはCOMとペアリング。 0x2：偶数入力と奇数入力ペアリング。 0x3：無効。	0x0	R/W
3	AINHIZ_EN	INnアナログ入力高インピーダンス・モード有効化ビット。標準シーケンサがイネーブルの場合、CONFIG_IN0レジスタのAINHIZ_ENビットがIN0～IN7のアナログ入力高インピーダンス・モードを有効化または無効化します。詳細シーケンサがイネーブルの場合、各CONFIG_INnレジスタのAINHIZ_ENビットは、対応するINnアナログ入力のアナログ入力高インピーダンス・モードのみを有効化または無効化します（ <a href="#">アナログ入力高インピーダンス・モード</a> のセクションを参照）。 0：INnのアナログ入力高インピーダンス・モードを無効化。 1：INnのアナログ入力高インピーダンス・モードを有効化。	0x1	R/W
2	RESERVED	予備。	0x0	R
[1:0]	OSR_SET	INnのオーバーサンプリング比の選択。標準シーケンサがイネーブルの場合、CONFIG_IN0レジスタのOSR_SETビット・フィールドがIN0～IN7のOSRを設定します。詳細シーケンサがイネーブルの場合、各CONFIG_INnレジスタのOSR_SETビット・フィールドは、対応するINnアナログ入力のOSRのみを設定します。2サイクル・コマンド・モードまたは単一サイクル・コマンド・モードがイネーブルの場合は、すべてのCONFIG_INnレジスタのOSR_SETビット・フィールドを0x0に設定します（ <a href="#">オーバーサンプリングおよびデジメーション</a> のセクションを参照）。 0x0：OSR = 1（オーバーサンプリングなし）。 0x1：OSR = 4。出力コードの結果分解能は17ビットに増加。 0x2：OSR = 16。出力コードの結果分解能は18ビットに増加。 0x3：OSR = 64。出力コードの結果分解能は19ビットに増加。	0x0	R/W

## レジスタの情報

## 上限閾値レジスタ

アドレス：0x0040～アドレス0x004E（0x0002のインクリメント）、リセット：0x07FF、レジスタ名：UPPER\_INn

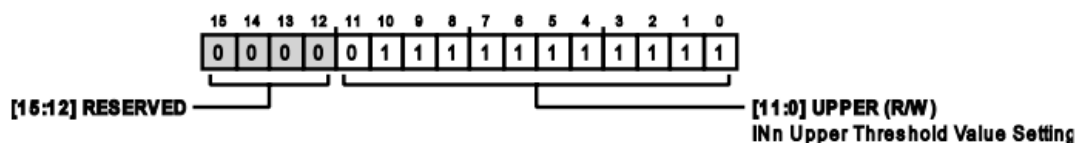


表 55. UPPER\_INnのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	RESERVED	予備。	0x0	R
[11:0]	UPPER	INnの上限閾値の設定値。このフィールドは、対応するINnアナログ入力の上限閾値を定めます（ <a href="#">閾値検出とアラート・インジケータ</a> のセクションを参照）。UPPERフィールドの値は、ADCの結果の12MSBに対応します。	0x7FF	R/W

## 下限閾値レジスタ

アドレス：0x0060～アドレス0x006E（0x0002のインクリメント）、リセット：0x0000、レジスタ名：LOWER\_INn

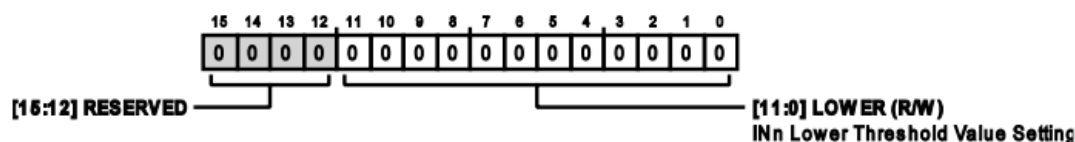


表 56. LOWER\_INnのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	RESERVED	予備。	0x0	R
[11:0]	LOWER	INnの下限閾値の設定値。このフィールドは、対応するINnアナログ入力の下限閾値を定めます（ <a href="#">閾値検出とアラート・インジケータ</a> のセクションを参照）。LOWERフィールドの値は、ADCの結果の12MSBに対応します。	0x0	R/W

## ヒステリシス設定値レジスタ

アドレス：0x0080～アドレス0x008E（0x0002のインクリメント）、リセット：0x0010、レジスタ名：HYST\_INn

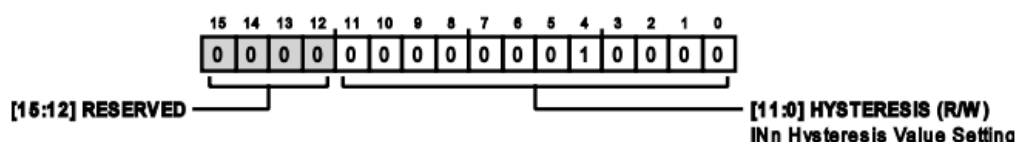


表 57. HYST\_INnのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	RESERVED	予備。	0x0	R
[11:0]	HYSTERESIS	INnのヒステリシス値の設定値。このフィールドは、対応するINnアナログ入力のヒステリシス値を定めます（ <a href="#">閾値検出とアラート・インジケータ</a> のセクションを参照）。HYSTERESISフィールドの値は、ADCの結果の12MSBに対応します。	0x10	R/W

## レジスタの情報

## INnオフセット補正レジスタ

アドレス：0x00A0～アドレス0x00AE（0x0002のインクリメント）、リセット：0x0000、レジスタ名：OFFSET\_INn

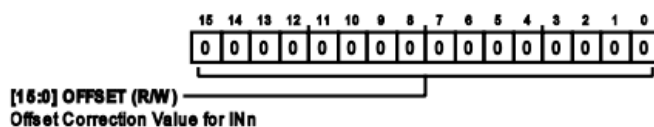


表 58. OFFSET\_INnのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	OFFSET	INnのオフセット補正值。このレジスタは、INnチャンネルの結果に適用されるオフセット補正を設定します。オフセット補正の詳細な説明については、 <a href="#">オフセットおよびゲイン補正</a> のセクションを参照してください。	0x0	[15:0]

## INnゲイン補正レジスタ

アドレス：0x00C0～アドレス0x00CE（0x0002のインクリメント）、リセット：0x8000、レジスタ名：GAIN\_INn

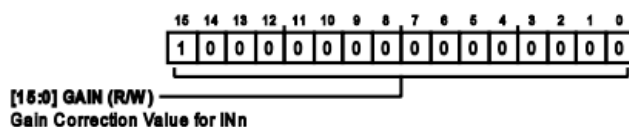


表 59. GAIN\_INnのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	GAIN	INnのゲイン補正值。このレジスタは、INnチャンネルの結果に適用されるゲイン補正を設定します。ゲイン補正の詳細な説明については、 <a href="#">オフセットおよびゲイン補正</a> のセクションを参照してください。	0x8000	R/W

## 詳細シーケンサ・スロット・レジスタ

アドレス：0x0100～アドレス0x017F（0x0001のインクリメント）、リセット：0x00、レジスタ名：AS\_SLOTn

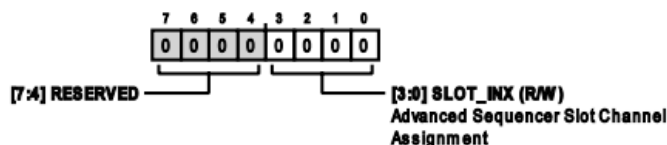


表 60. AS\_SLOTnのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予備。	0x0	R
[3:0]	SLOT_INX	詳細シーケンサのスロット・チャンネル割当て。このフィールドは、8個のアナログ入力（INx）のどれをスロットnに割り当てるかを定めます（ <a href="#">詳細シーケンサ</a> のセクションを参照）。 0x0：IN0。 0x1：IN1。 0x2：IN2。 0x3：IN3。 0x4：IN4。 0x5：IN5。 0x6：IN6。 0x7：IN7。 0x8～0xF：無効。	0x0	R/W

外形寸法

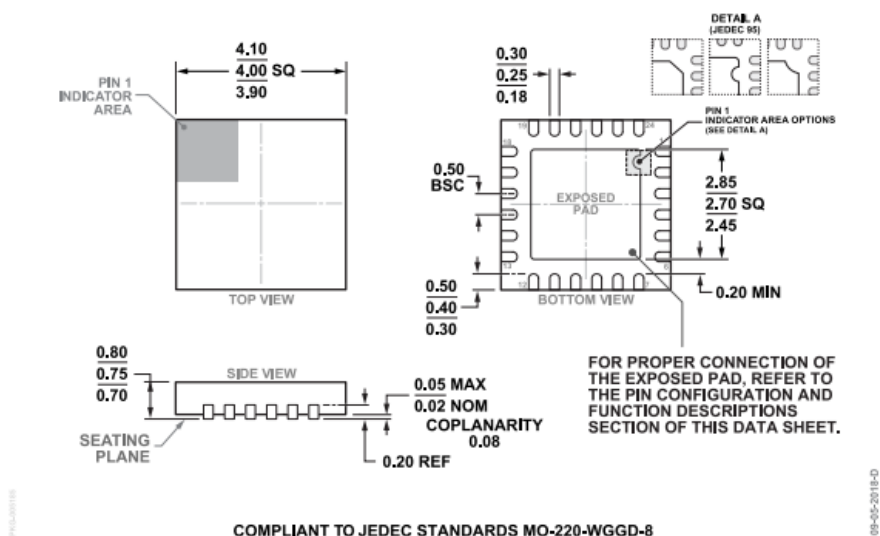


図 128. 24ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]  
4mm × 4mmボディ、0.75mmパッケージ高  
(CP-24-8)  
寸法 : mm

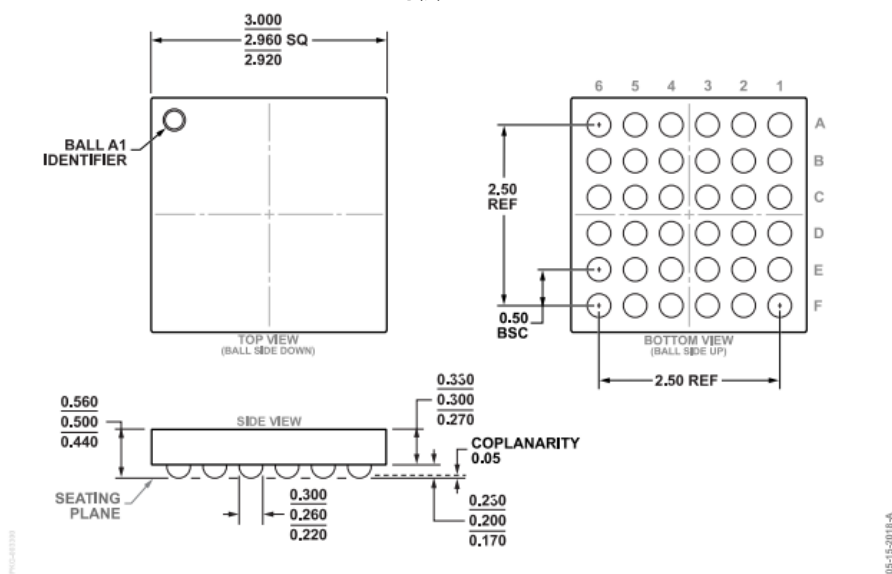


図 129. 36ボール、ウェーハ・レベル・チップ・スケール・パッケージ [WLCSP]  
(CB-36-5)  
寸法 : mm

更新 : 2022年7月02日

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Packing Quantity	Package Option
AD4697BCPZ	-40°C to +125°C	24-Lead LFCSP (4mm x 4mm x 0.75mm w/ EP)		CP-24-8
AD4697BCPZ-RL7	-40°C to +125°C	24-Lead LFCSP (4mm x 4mm x 0.75mm w/ EP)	Reel, 1500	CP-24-8
AD4697BCBZ-RL7	-40°C to +125°C	36-Ball WLCSP (2.96mm x 2.96mm x 0.50mm)	Reel, 1500	CB-36-5
AD4698BCPZ	-40°C to +125°C	24-Lead LFCSP (4mm x 4mm x 0.75mm w/ EP)		CP-24-8
AD4698BCPZ-RL7	-40°C to +125°C	24-Lead LFCSP (4mm x 4mm x 0.75mm w/ EP)	Reel, 1500	CP-24-8
AD4698BCBZ-RL7	-40°C to +125°C	36-Ball WLCSP (2.96mm x 2.96mm x 0.50mm)	Reel, 1500	CB-36-5

1 Z = RoHS準拠製品。



## 外形寸法

## 評価用ボード

Model <sup>1</sup>	Description
EVAL-AD4696FMCZ <sup>2</sup>	Evaluation Board

1 Z = RoHS準拠製品。

2 EVAL-AD4696FMCZはAD4697/AD4698の性能評価に使用できます。

