

32 μ A、超低消費電力、16ビット・シグマデルタ ADC (PGA と FIFO を統合化)

特長

- ▶ 超低消費電流 (代表値)
 - ▶ 32 μ A: 連続変換モード (ゲイン = 128)
 - ▶ 5 μ A: デューティ・サイクル・モード (デューティ比 = 1/16)
 - ▶ 0.5 μ A: スタンバイ・モード
 - ▶ 0.1 μ A: パワーダウン・モード
- ▶ システム・レベルの節電を実現する組み込み機能
 - ▶ 電流節減デューティ・サイクル比: 1/4 または 1/16
 - ▶ スマート・シーケンサとチャンネル単位の構成によりホスト・プロセッサの負荷を最小限に抑制
 - ▶ 内蔵のディープ FIFO によりホスト・プロセッサの負荷を最小限に抑制 (256 サンプルの深度)
 - ▶ 自律型 FIFO 割り込み機能、閾値検出
 - ▶ わずか 1.71V の低電圧単電源によりバッテリー寿命を延長
- ▶ RMS ノイズ: 1.17SPS で 25nV rms (ゲイン = 128)、48nV/ $\sqrt{\text{Hz}}$
- ▶ ノイズ・フリー・ビット: 最大 16 (ゲイン = 1)
- ▶ 出力データレート: 1.17SPS ~ 2.4kSPS
- ▶ 1.71V ~ 3.6V の単電源または ± 1.8 V の分離電源で動作
- ▶ 最大ドリフトが 15ppm/ $^{\circ}\text{C}$ のバンド・ギャップ・リファレンス
- ▶ レール to レールのアナログ入力を備えた PGA
- ▶ 適応性の高いセンサー・インターフェース機能
 - ▶ RTD 用にマッチングのとれたプログラマブルな励起電流

- ▶ チップ内蔵のバイアス電圧発生器 (熱電対用)
- ▶ ローサイド・パワー・スイッチ (ブリッジ型トランスデューサ用)
- ▶ センサー断線検出
- ▶ 内部温度センサーおよび発振器
- ▶ 自己校正とシステム校正に対応
- ▶ 柔軟性の高いフィルタ・オプション
- ▶ 50Hz/60Hz の同時除去 (特定のフィルタ・オプションを選択した場合)
- ▶ 汎用出力
- ▶ 診断機能
- ▶ クロスポイントでマルチプレックスされた入力
 - ▶ 4 個の差動入力 / 8 個の疑似差動入力
- ▶ 5MHz の SPI (3 線式または 4 線式)
- ▶ 32ピン LFCSP (5mm \times 5mm) で提供
- ▶ 温度範囲: -40°C ~ $+125^{\circ}\text{C}$ (LFCSP)
- ▶ AD4129-4 LFCSP は AD7124-4 LFCSP とピン互換

アプリケーション

- ▶ スマート・トランスミッタ
- ▶ バッテリーおよび環境エネルギーで動作するワイヤレス・センサー・ノード
- ▶ 携帯型計測器
- ▶ 温度計測: 熱電対、RTD、サーミスタ
- ▶ 圧力計測: ブリッジ型トランスデューサ
- ▶ ヘルスケアおよびウェアラブル

機能ブロック図

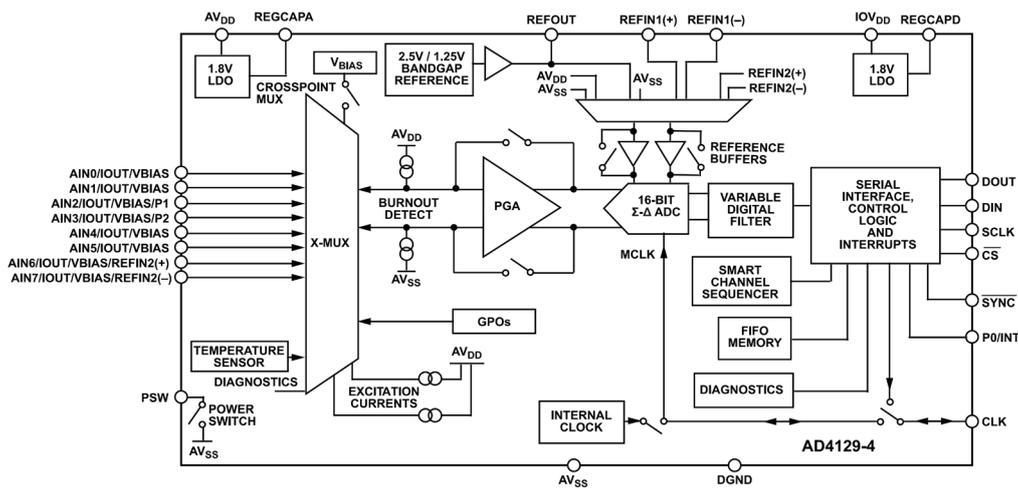


図 1. 機能ブロック図

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

Rev. 0

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	ADC の設定と動作.....	48
アプリケーション.....	1	バイポーラ/ユニポーラの設定.....	48
機能ブロック図.....	1	ステータス・ビット.....	48
概要.....	4	スマート・チャンネル・シーケンサ.....	49
関連製品.....	4	ADC の変換モード.....	50
仕様.....	5	データ・レディ信号.....	52
ADC 仕様および AFE 仕様.....	5	連続読出しモード.....	52
アナログ入力仕様.....	6	システム同期.....	54
リファレンス仕様.....	6	ADC の校正.....	54
センサーのバイアス設定仕様.....	7	デジタル・フィルタ.....	57
診断仕様.....	8	sinc ³ フィルタおよび sinc ⁴ フィルタ.....	57
リジェクション仕様.....	8	平均化フィルタ.....	57
ロジック入出力仕様.....	10	後置フィルタ.....	57
電源仕様.....	10	出力データレート.....	58
タイミング仕様.....	12	50Hz および 60Hz の除去.....	59
絶対最大定格.....	17	シーケンサ.....	60
熱特性.....	17	診断機能.....	65
静電放電 (ESD) 定格.....	17	シグナル・チェーンのチェック.....	65
ESD に関する注意.....	17	リファレンス検出.....	65
ピン配置およびピン機能の説明.....	18	ADC エラー.....	65
代表的な性能特性.....	21	過電圧/低電圧の検出.....	65
オフセット誤差およびゲイン誤差.....	21	電源モニタ.....	66
INL 誤差および発振器.....	22	コントローラ・クロックのカウンタ.....	66
ノイズ.....	23	SPI 診断機能.....	66
アナログ入力電流.....	24	CRC 保護.....	66
電源電流.....	26	FIFO 診断機能.....	67
リファレンス入力電流.....	27	バーンアウト電流.....	67
内部リファレンスおよび温度センサー.....	28	温度センサー.....	68
励起電流.....	29	診断機能とスタンバイ・モード.....	68
分解能.....	30	FIFO.....	69
FFT.....	31	FIFO モード.....	69
用語の定義.....	32	FIFO のリードバック.....	70
ノイズおよび分解能.....	34	FIFO 割込み.....	73
2.5V リファレンス.....	34	FIFO のクリア.....	74
1.25V リファレンス.....	36	アプリケーション情報.....	75
ノイズのスペクトル密度.....	39	電源供給方式.....	75
動作原理.....	40	推奨デカップリング方法.....	75
概要.....	40	入力フィルタ.....	75
ADC コア.....	40	マイクロプロセッサのインターフェース.....	75
ADC コントローラのクロック.....	41	未使用ピン.....	75
ADC のリファレンス.....	41	起動と初期化.....	76
アナログ・フロント・エンド.....	41	レイアウトと接地.....	76
プログラマブル・ゲイン・アンプ.....	42	アセンブリのガイドライン.....	76
その他の機能.....	44	AD4129-4 のレジスタ.....	77
電源.....	44	AD4129-4 のレジスタの概要.....	77
パワーダウン・モード.....	45	レジスタの詳細.....	79
デジタル・インターフェース.....	46	外形寸法.....	107
レジスタ・マップへのアクセス.....	46	オーダー・ガイド.....	107
デバイスのリセット.....	47	評価用ボード.....	107

[目次](#)

[改訂履歴](#)

4/2024—Revision 0: Initial Version

概要

AD4129-4 は、低帯域幅のバッテリー駆動アプリケーションに適した超低消費電力で高精度の計測ソリューションです。全機能を内蔵したアナログ・フロント・エンド (AFE) には、最大 8 個のシングルエンド入力または最大 4 個の差動入力を扱うマルチプレクサ、プログラマブル・ゲイン・アンプ (PGA)、16 ビットのシグマデルタ ($\Sigma-\Delta$) A/D コンバータ (ADC)、内蔵リファレンスおよび発振器、選択可能なフィルタ・オプション、スマート・シーケンサ、センサーのバイアス設定および励起オプション、診断機能などが備わっている他、バッテリー駆動時の寿命を延ばす (コイン電池で 5 年以上) ために新たな機能、つまり先入れ先出し (FIFO) バッファおよびデューティ・サイクルが追加されています。

AD4129-4 を用いることで、連続変換を行いながら、28.5 μ A (ゲイン=1) や 32.5 μ A (ゲイン=128) の消費電流で低周波数信号を測定できます。また、いずれかのデューティ・サイクル・オプションを使用した場合、平均電流を更に下げることができます。AD4129-4 では、4 個の差動入力または 8 個のシングルエンドあるいは疑似差動入力を備えるように設定でき、これらの入力をクロスポイント・マルチプレクサに接続できます。この場合、任意の入力ペアを PGA および ADC への測定チャンネル入力とすることができます。

AD4129-4 は、1.71V~3.6V のアナログ単電源で動作できるよう設計されています。バッテリー・アプリケーションの場合、1.71V という低電圧での動作により、バッテリー電圧が低下した場合でも AFE は動作を続行できるため、システム寿命を延長できます。デジタル電源を別個に設けることができ、その範囲は 1.65V~3.6V です。

消費電流の低減と相まって、チップ内蔵の FIFO バッファをスマート・シーケンサと併用することで、AD4129-4 を自律型計測システムとすることができます。これにより、マイクロコントローラをより長時間にわたってスリープ状態にできます。

インテリジェントな割込み機能があるため、エラー検出と安全の両方においてより大きな信頼を置くことができます。ユーザは、FIFO 内のサンプル数が事前に定めた値に達した場合、またはユーザプログラマブルな閾値を超えた場合に、割込み信号をトリガするように設定できます。

AD4129-4 は、以下に示す主要なアナログ機能を備えているため、温度、負荷、圧力を計測するのに用いるトランスデューサに簡単かつ効果的に接続できます。

- ▶ **PGA**。PGA は、プログラマブルなゲイン (1~128) と高入力インピーダンス低入力電流により、抵抗ブリッジ、熱電対、測温抵抗体 (RTD) など低出力振幅のトランスデューサに直接インターフェース接続できます。
- ▶ **容量性 PGA** は全コモンモード入力範囲に対応可能であり、大きく変化する入力コモンモードに対して設計マージンを広げることができます。コモンモード入力範囲が広い場合、全

体的な分解能が向上し、レシオメトリック計測に非常に効果的です。

- ▶ **低ドリフトの高精度電流源**。IEXC0 および IEXC1 の電流源は、2 線式、3 線式、4 線式の RTD を励起するのに使用できません。励起電流出力オプションには、100nA、10 μ A、20 μ A、50 μ A、100 μ A、150 μ A、200 μ A があります。
- ▶ **ローサイド・パワー・スイッチ (PDSW)** は、変換の間にブリッジ・センサーをパワーダウンさせるのに使用できます。この PDSW は、シーケンサ内ではチャンネル単位で制御できるため、システム全体での最適なタイミングとエネルギー節約が可能です。PDSW を使用することで、消費電力が高いアナログ・センサーを低消費電力システムで用いることも可能となります。
- ▶ **熱電対用の電圧バイアス (VBIAS)** ソースがチャンネルのコモンモード電圧を $AV_{DD}/2$ に設定。
- ▶ **スマート・シーケンサ** により、イネーブル済みの事前に設定されたチャンネルのそれぞれを予め定められた順序で変換できるため、トランスデューサ、システム・チェック、診断測定を混在させて順に実施できます。このシーケンサにより、デバイスとのシリアル・インターフェース通信を繰り返す必要がなくなります。シーケンサには 16 個のチャンネルを設定でき、各チャンネルは、事前に定められた 8 個の ADC セットアップから選択できます。この設定により、ゲイン、フィルタ種別、出力データレート、バッファリング、タイミング、リファレンス・ソースの選択が可能となります。

高度に集積されたフロント・エンド機能が小型のパッケージ・オプションと組み合わせたり、エンド・ソリューションの小型化を可能にします。例えば、AD4129-4 は、外部の差動リファレンスを受け付ける他に、低温度ドリフトのバンド・ギャップ・リファレンスを内蔵しており、これらのリファレンスは内部でバッファリング可能です。

安全性が重視されるアプリケーションに対して、AD4129-4 は診断機能を備えています。例えば、バーンアウト電流による断線検出、内部温度センサー、リファレンス電圧の検出、アナログ入力の過電圧/低電圧検出などがこのようにです。デジタル・インターフェースには、巡回冗長検査 (CRC) およびシリアル・インターフェース・チェックなどの診断機能が追加されているため、堅牢な通信リンクを実現できます。

関連製品

- ▶ **低ノイズ、低ドロップアウトのレギュレータ**：
[ADP150ACBZ-3.3](#) および [ADP150ACBZ-1.8](#)
- ▶ **安定化チャージポンプ・インバータ**：[LTC1983ES6-3](#) および [ADP7182AUJZ-1.8](#)
- ▶ **電圧リファレンス**：[ADR391](#) または [ADR3625](#)
- ▶ **低消費電力マイクロコントローラ**：[MAX32670](#) (高精度)、[MAX32655](#) (BLE)、[MAX32663A](#) (ECG)

仕様

特に指定のない限り、 $AV_{DD} = 1.71V \sim 3.6V$ 、 $IOV_{DD} = 1.65V \sim 3.6V$ 、 $AV_{SS} = DGND = 0V$ 、 $REFIN1(+)=2.5V$ ($AV_{DD} - AV_{SS} \geq 2.7V$ の場合)、 $REFIN1(+)=1.25V$ ($AV_{DD} - AV_{SS} < 2.7V$ の場合)、 $REFIN1(-)=AV_{SS}$ 、内部コントローラ・クロック (MCLK) (MCLK 周波数 (f_{MCLK}) = 76.8kHz)、PGA イネーブル (デフォルト)、リファレンス・バッファ・バイパス (デフォルト)、温度範囲 = $T_{MIN} \sim T_{MAX}$ 、[推奨デカップリング方法](#)のセクションに従いデカップリング。

ADC 仕様および AFE 仕様

表 1. ADC 仕様および AFE 仕様

Parameter ¹	Min	Typ	Max	Unit	Test Conditions/Comments
SAMPLING DYNAMICS					
Output Data Rate (ODR)	1.17		2400	SPS	See the Output Data Rate section
Active Time ²		100%			Continuous conversion mode
		25%			DUTY_CYC_RATIO = 1/4 ³
		6.25%			DUTY_CYC_RATIO = 1/16 ³
STATIC PERFORMANCE					
No Missing Codes ²	16			Bits	FS ⁴ > 2, sinc ⁴ filter
	16			Bits	FS ⁴ > 8, sinc ³ filter
Resolution and Update Rate ²					See the Noise and Resolution section
RMS Noise and Update Rate ²					See the Noise and Resolution section
Noise Spectral Density ²					See the Noise and Resolution section
Integral Nonlinearity (INL) ²	-5	±2	+5	ppm of FSR ¹	Gain = 1
	-15	±4	+15	ppm of FSR ¹	Gain > 1 ⁵
Offset Error ⁶					
Before Calibration		±2		µV	Gain = 1, PGA bypass ⁷
		±10		µV	Gain = 1 to 16
		±2		µV	Gain = 32 to 128
After Internal and System Calibration		In order of noise			
Offset Error Drift vs. Temperature ⁸		3	30	nV/°C	Gain = 1, PGA bypass ⁷
		120/gain	(140/gain) + 90	nV/°C	Gain = 1 to 128
Gain Error ^{6,9}					
Before Calibration	-0.015		+0.015	%	Gain = 1 ¹⁰ , T _A = 25°C
		0.5		%	Gain = 1, PGA bypass ⁷
		0.5		%	Gain > 1
After Internal Calibration ¹¹	-0.12	+0.01	+0.12	%	
After System Calibration ¹¹		In order of noise			
Gain Error Drift vs. Temperature		0.1	1	ppm/°C	Gain = 1, PGA bypass ⁷
		0.1	2	ppm/°C	Gain = 1 to 16, T _A = -40°C to +105°C
		0.1	3	ppm/°C	T _A = -40°C to +125°C (LFCSP only)
		0.1	3	ppm/°C	Gain = 32 to 128, T _A = -40°C to +105°C
		0.1	4	ppm/°C	T _A = -40°C to +125°C (LFCSP only)

¹ 用語の定義のセクションを参照してください。

² これらの仕様は、製品テストを受けたものではありませんが、製品の初期リリース時の特性評価データで裏付けられています。

³ デューティ・サイクル・モードを有効にするには、ADC_CONTROL レジスタにおいて MODE = 0b1001 に設定します。DUTY_CYC_RATIO ビットは同じレジスタ内にあります。[デューティ・サイクル・モード](#)と[デューティ・サイクル・モードのタイミング](#)の各セクションを参照してください。

⁴ FS は、フィルタ・レジスタの FS ビット[10:0]を 10 進数に変換した値です。

⁵ ゲインが 1 より大きい場合の非直線性は、ゲイン = 32 および電圧リファレンス (V_{REF}) = 2.5V の条件で製品テストを行っています。その他の条件については、この仕様は製品の初期リリース時の特性評価データで裏付けられています。

⁶ システム校正または内部のゼロ・スケール校正を行った後、オフセット誤差は、選択されたプログラム済みのゲインおよび出力データレートにおけるノイズの範囲内に収まります。システムのフルスケール校正を行うと、ゲイン誤差は、プログラム済みのゲインおよび出力データレートにおけるノイズの範囲内まで低下します。

⁷ PGA_BYP_n = 1。PGA_BYP_n ビットは、対応する CONFIG_n レジスタ内にあります。詳細については、[プログラマブル・ゲイン・アンプ](#)のセクションを参照してください。

仕様

⁸ これらの誤差は、どの温度でも再校正を行えば除去されます。

⁹ ゲイン誤差は、正および負のフルスケールに適用されます。工場校正は、ゲイン=1 および $T_A = 25^\circ\text{C}$ ($\text{PGA_BYP}_n = 0$) で実施されています。

¹⁰ このゲイン誤差は、ゲインが 1 ($\text{PGA_BYP}_n = 0$) で周囲温度において工場校正されています。

¹¹ $\text{CAL_RANGE_X2} = 1$ ($V_{\text{REF}} > 2\text{V}$)。CAL_RANGE_X2 ビットは MISC レジスタ内にあります。詳細については、[内部ゲイン校正](#)のセクションを参照してください。

アナログ入力仕様

表 2. アナログ入力仕様

Parameter ¹	Min	Typ	Max	Unit	Test Conditions/Comments ²
ANALOG INPUT VOLTAGE³					
Differential Input Voltage Ranges			$\pm V_{\text{REF}}/\text{gain}$	V	$V_{\text{REF}} = \text{REFIN1}(+) - \text{REFIN1}(-)$, or internal reference PGA on ⁴
Absolute Analog Input (A_{IN}) Voltage Limits	$AV_{\text{SS}} - 0.05$		$AV_{\text{DD}} + 0.05$	V	
ANALOG INPUT CURRENT³					
Absolute Input Current					
Gain = 1	-3	± 0.5	+3	nA	PGA bypass ⁵
Gain = 1		± 2.5		nA	
Gain > 1	-1	± 0.5	+1	nA	
Differential Input Current					
Gain = 1	-3	± 0.5	+3	nA	PGA bypass ⁵
Gain = 1		± 1.5		nA	
Gain > 1	-1	± 0.5	+1	nA	
Analog Input Current Drift					
Gain = 1, Gain > 1		2	15	pA/°C	PGA bypass ⁵
Gain = 1		2		pA/°C	
SYSTEM CALIBRATION³					
Calibration Limits					
Full Code			$1.05 \times V_{\text{REF}}/\text{gain}$	V	DATA = 0xFFFF
Zero Code	$-1.05 \times V_{\text{REF}}/\text{gain}$			V	DATA = 0x0000
Input Span	$0.8 \times V_{\text{REF}}/\text{gain}$		$2.1 \times V_{\text{REF}}/\text{gain}$	V	

¹ 用語の定義のセクションを参照してください。

² $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$ 。

³ これらの仕様は、製品テストを受けたものではありませんが、製品の初期リリース時に特性評価データで裏付けられています。

⁴ $\text{PGA_BYP}_n = 0$ 。 $V_{\text{REF}} > (AV_{\text{DD}} - AV_{\text{SS}} - 200\text{mV})$ の場合、入力差動範囲は $(AV_{\text{DD}} - AV_{\text{SS}} - 200\text{mV})/\text{ゲイン}$ を超えることはできません。

⁵ $\text{PGA_BYP}_n = 1$ 。 PGA_BYP_n ビットは、対応する CONFIG_n レジスタ内にあります。詳細については、[プログラマブル・ゲイン・アンプ](#)のセクションを参照してください。

リファレンス仕様

表 3. リファレンス仕様

Parameter ¹	Min	Typ	Max	Unit	Test Conditions/Comments ²
REFERENCE OUTPUT					
Internal reference enabled, load capacitance (C_L) = 1 nF					
Initial Accuracy	2.5 - 0.2%	2.5	2.5 + 0.2%	V	$T_A = 25^\circ\text{C}$
	1.25 - 0.45%	1.25	1.25 + 0.45%	V	$T_A = 25^\circ\text{C}$
Temperature Coefficient (TC) (Drift) ³					
		2	15	ppm/°C	$T_A = -40^\circ\text{C}$ to $+105^\circ\text{C}$, $V_{\text{REF}} = 2.5\text{V}$
		2	15	ppm/°C	$T_A = -40^\circ\text{C}$ to $+105^\circ\text{C}$, $V_{\text{REF}} = 1.25\text{V}$
Output Current Load Capability					
		± 1		mA	
Load Regulation Sourcing and Sinking					
		90		$\mu\text{V}/\text{mA}$	Change in output voltage (ΔV_{OUT})/change in output current (ΔI_{LOAD})
Power Supply Rejection					
		95		dB	

仕様

表 3. リファレンス仕様 (続き)

Parameter ¹	Min	Typ	Max	Unit	Test Conditions/Comments ²
Output Voltage Noise (0.1 Hz to 10 Hz)		40		μV p-p	T _A = 25°C
Output Voltage Noise Density		800		nV/√Hz	T _A = 25°C
Turn On Settling Time		280		μs	T _A = 25°C
REFERENCE INPUTS					Reference input (REFIN) = REFIN1(+) – REFIN1(-)
External REFIN Voltage ³	0.5		AV _{DD} – AV _{SS}	V	
Absolute REFINx pins Voltage Limits ³	AV _{SS} – 0.05		AV _{DD} + 0.05	V	Reference buffers disabled ⁴
	AV _{SS} + 0.1		AV _{DD} – 0.1	V	Reference buffers enabled ⁴
Reference Input Current					
Absolute Input Current	-11	±7	+11	nA	Reference buffers disabled ⁴
	-4	±0.2	+4	nA	Reference buffers enabled ⁴
Reference Input Current Drift ³		10	21	pA/°C	Reference buffers disabled ⁴
		1.6	20	pA/°C	Reference buffers enabled ⁴
Normal Mode Rejection					Same as for analog inputs
Common-Mode Rejection		90		dB	

¹ 用語の定義のセクションを参照してください。

² T_A = -40°C ~ +105°C。

³ これらの仕様は、製品テストを受けたものではありませんが、製品の初期リリース時に特性評価データで裏付けられています。

⁴ REF_BUF_n ビットおよび REF_BUFM_n ビットは対応する CONFIG_n レジスタ内にあります。詳細についてはリファレンス・バッファのセクションを参照してください。

センサーのバイアス設定仕様

表 4. センサーのバイアス設定仕様

Parameter ¹	Min	Typ	Max	Unit	Test Conditions/Comments
EXCITATION CURRENT SOURCES (IEXC0 and IEXC1)					Available on any analog input pin
Output Current		10/20/50/100/ 150/200/0.1		μA	Selectable on a per channel basis
Initial Tolerance		±1		%	T _A = 25°C
Current Drift ²		50		ppm/°C	
Current Matching ^{2,3}	-1.6	±0.5	+1.6	%	10 μA/20 μA/50 μA/100 μA/150 μA/200 μA
	-3.2	±1	+3.2	%	100 nA
Current Drift Matching ²		3	25	ppm/°C	10 μA/20 μA/50 μA/100 μA/150 μA/200 μA, T _A = -40°C to +105°C
			32		T _A = -40°C to +125°C (LFCSPP only)
		5	60	ppm/°C	100 nA, T _A = -40°C to +105°C
			78		T _A = -40°C to +125°C (LFCSPP only)
Line Regulation		0.1		%/V	10 μA/20 μA/50 μA/100 μA/150 μA/200 μA
		0.3		%/V	100 nA
Load Regulation		0.1		%/V	10 μA/20 μA/50 μA/100 μA/150 μA/200 μA
		2.5		%/V	100 nA
Output Compliance	AV _{SS} + 0.05		AV _{DD} – 0.27	V	2% accuracy
BIAS VOLTAGE (V _{BIAS}) GENERATOR					Available on any analog input pin
V _{BIAS}		(AV _{DD} + AV _{SS})/2		V	
Start-Up Time		3.7		μs/nF	Dependent on the capacitance connected to AINx
		6.7		μs/nF	AV _{DD} = 3.3 V, AV _{SS} = DGND
					AV _{DD} = 1.8 V, AV _{SS} = DGND
LOW-SIDE POWER SWITCH ²					
On Resistance (R _{ON})		10	15	Ω	

仕様

表 4. センサーのバイアス設定仕様 (続き)

Parameter ¹	Min	Typ	Max	Unit	Test Conditions/Comments
Allowable Current			30	mA	Continuous current

¹ 用語の定義のセクションを参照してください。

² これらの仕様は、製品テストを受けたものではありませんが、製品の初期リリース時の特性評価データで裏付けられています。

³ IOUT0 と IOUT1 の間のマッチング、 $V_{OUT} = 0V$ 。

診断仕様

表 5. 診断仕様

Parameter ^{1, 2}	Min	Typ	Max	Unit	Test Conditions/Comments
TEMPERATURE SENSOR					2.5 V external reference, gain = 1 After calibration at 25°C
Accuracy		±1		°C	
Nominal Sensitivity ³		860.66		μV/K	
Reading at 25°C		258		mV	
REFERENCE					REFIN = REFIN1(+) – REFIN1(-)
Reference Detect Threshold	0.7		1	V	
REFIN1(+) Overvoltage Detect Level	$AV_{DD} + 0.13$		$AV_{DD} + 0.03$	V	
REFIN1(-) Undervoltage Detect Level	$AV_{SS} - 0.03$		$AV_{SS} - 0.13$	V	
A _{IN} OVERVOLTAGE (OV) AND UNDERVOLTAGE (UV)					
A _{IN} OV Detect Level	$AV_{DD} + 0.13$		$AV_{DD} + 0.03$	V	
A _{IN} UV Detect Level	$AV_{SS} - 0.03$		$AV_{SS} - 0.13$	V	
BURNOUT CURRENTS					
A _{IN} Current		0.5, 2, 4		μA	

¹ 用語の定義のセクションを参照してください。

² これらの仕様は、製品テストを受けたものではありませんが、製品の初期リリース時の特性評価データで裏付けられています。

³ 設計により裏付けられています。

リジェクション仕様

表 6. リジェクション仕様

Parameter ¹	Min	Typ	Max	Unit	Test Conditions/Comments
POWER SUPPLY REJECTION (AV_{DD})					External MCLK, $f_{MCLK} = 76.8$ kHz, $A_{IN} = 1$ V/gain Gain = 1, gain = 1 and PGA bypass ² , $T_A = -40^\circ\text{C}$ to $+105^\circ\text{C}$ $T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$ (LFCSPP only)
	96			dB	
	79				
	94			dB	Gain = 2 to 16, $T_A = -40^\circ\text{C}$ to $+105^\circ\text{C}$ $T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$ (LFCSPP only)
	90				
	102			dB	Gain = 32 to 128, $T_A = -40^\circ\text{C}$ to $+105^\circ\text{C}$ $T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$ (LFCSPP only)
	96				
COMMON-MODE REJECTION ^{3, 4, 5}					
At DC	86	90		dB	$A_{IN} = 1$ V, gain = 1, $T_A = -40^\circ\text{C}$ to $+105^\circ\text{C}$ $T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$ (LFCSPP only)
	85				
	112	135		dB	$A_{IN} = 1$ V/gain, gain = 2 to 16
	108	122		dB	$A_{IN} = 1$ V/gain, gain = 32 to 128
Sinc ³ Filter					Input frequency (f_{IN}) = notch frequency (f_{NOTCH}) ± 1 Hz
At 50 Hz and 60 Hz	115			dB	10 SPS (FS = 240)
At 50 Hz	115			dB	50 SPS (FS = 48)
At 60 Hz	115			dB	60 SPS (FS = 40)
Sinc ³ + REJ60 Filter					$f_{IN} = f_{NOTCH} \pm 1$ Hz

仕様

表 6. リジェクション仕様 (続き)

Parameter ¹	Min	Typ	Max	Unit	Test Conditions/Comments
At 50 Hz and 60 Hz Sinc ³ + Sinc ¹ Averaging Filter	115			dB	50 SPS (FS = 48) $f_{IN} = f_{NOTCH} \pm 1 \text{ Hz}$
At 50 Hz	120			dB	40 SPS (FS = 6, first notch at 50 Hz)
At 60 Hz	120			dB	48 SPS (FS = 5, first notch at 60 Hz)
Sinc ⁴ + Sinc ¹ Averaging Filter					$f_{IN} = f_{NOTCH} \pm 1 \text{ Hz}$
At 50 Hz	115			dB	36.36 SPS (FS = 6, first notch at 60 Hz)
At 60 Hz	115			dB	43.63 SPS (FS = 5, first notch at 50 Hz)
Post Filters					$f_{IN} = f_{NOTCH} \pm 1 \text{ Hz}$
At 50 Hz and 60 Hz	125			dB	Post Filter 1, ODR = 26.087 SPS
	125			dB	Post Filter 2, ODR = 24 SPS
	125			dB	Post Filter 3, ODR = 19.355 SPS
	120			dB	Post Filter 4, ODR = 16.21 SPS
NORMAL MODE REJECTION^{3, 4}					
Sinc ³ Filter					$f_{IN} = f_{NOTCH} \pm 1 \text{ Hz}$
External Clock					
At 50 Hz and 60 Hz	100			dB	10 SPS (FS = 240)
	65			dB	50 SPS (FS = 48), Sinc ³ + REJ60 filter
At 50 Hz	95			dB	50 SPS (FS = 48)
At 60 Hz	98			dB	60 SPS (FS = 40)
Internal Clock					
At 50 Hz and 60 Hz	84			dB	10 SPS (FS = 240)
	58			dB	50 SPS (FS = 48), Sinc ³ + REJ60 filter
At 50 Hz	79			dB	50 SPS (FS = 48)
At 60 Hz	81			dB	60 SPS (FS = 40)
Averaging Filters					$f_{IN} = f_{NOTCH} \pm 0.5 \text{ Hz}$
External Clock					
At 50 Hz	40			dB	FS = 6
At 60 Hz	42			dB	FS = 5
Internal Clock					
At 50 Hz	30			dB	
At 60 Hz	31			dB	
Post Filters					$f_{IN} = f_{NOTCH} \pm 1 \text{ Hz}$
External Clock					
At 50 Hz and 60 Hz	46			dB	Post Filter 1, ODR = 26.087 SPS
	62			dB	Post Filter 2, ODR = 24 SPS
	86			dB	Post Filter 3, ODR = 19.355 SPS
	91			dB	Post Filter 4, ODR = 16.21 SPS
Internal Clock					
At 50 Hz and 60 Hz	40			dB	Post Filter 1, ODR = 26.087 SPS
	54			dB	Post Filter 2, ODR = 24 SPS
	73			dB	Post Filter 3, ODR = 19.355 SPS
	77			dB	Post Filter 4, ODR = 16.21 SPS

¹ 用語の定義のセクションを参照してください。

² PGA_BYP_n = 1。PGA_BYP_n ビットは、対応する CONFIG_n レジスタ内にあります。詳細については、[プログラマブル・ゲイン・アンプ](#)のセクションを参照してください。

³ これらの仕様は、製品テストを受けたものではありませんが、製品の初期リリース時に特性評価データで裏付けられています。

⁴ FS は、フィルタ・レジスタの FS ビット[10:0]を 10 進数に変換した値です。

⁵ ゲイン > 1 の場合、コモンモード電圧は (AV_{SS} + 0.1 + 0.5/ゲイン) ~ (AV_{DD} - 0.1 - 0.5/ゲイン) です。

仕様

ロジック入出力仕様

表 7. ロジック入出力仕様

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
LOGIC INPUTS^{1, 2}					
Input Low Voltage (V_{INL})	0		$0.3 \times IOV_{DD}$	V	$1.65 \text{ V} \leq IOV_{DD} < 3.6 \text{ V}$
Input High Voltage (V_{INH})	$0.7 \times IOV_{DD}$		IOV_{DD}	V	$1.65 \text{ V} \leq IOV_{DD} < 3.6 \text{ V}$
Voltage Hysteresis		0.5		V	$1.65 \text{ V} \leq IOV_{DD} < 3.6 \text{ V}$
Current	-1		+1	μA	Input voltage (V_{IN}) = IOV_{DD} or DGND
Pin Capacitance		10		pF	Per digital pin
LOGIC OUTPUTS^{1, 2} (INCLUDING CLK)					
Output Low Voltage (V_{OL})	0		0.4	V	Sink current (I_{SINK}) = 100 μA
Output High Voltage (V_{OH})	$IOV_{DD} - 0.35$		IOV_{DD}	V	Source current (I_{SOURCE}) = 100 μA
Floating State Leakage Current	-1		+1	μA	
Floating State Output Capacitance		10		pF	
Data Output Coding ³		Offset binary			Bipolar bit = 0b1, default setting
		Straight binary			Bipolar bit = 0b0
CLOCK					
Internal Clock					
Frequency	76.8 – 2%	76.8	76.8 + 2%	kHz	
Duty Cycle ²		50:50		%	
Wake-Up Time ^{2, 4}		850		μs	
External Clock ²					
Frequency		76.8		kHz	
Duty Cycle		45:55 to 55:45		%	
DIGITAL OUTPUTS (P1 to P4)⁵					
Output Low Voltage (V_{OL}) ²	0		0.4	V	$I_{SINK} = 100 \mu\text{A}$
Output High Voltage (V_{OH}) ²	$AV_{DD} - 0.6$		AV_{DD}	V	$I_{SOURCE} = 100 \mu\text{A}$

¹ ピン配置およびピン機能の説明のセクションを参照してください。

² これらの仕様は、製品テストを受けたものではありませんが、製品の初期リリース時の特性評価データで裏付けられています。

³ バイポーラ・ビットは ADC_CONTROL レジスタ内にあります。詳細については、データ出力コーディングのセクションを参照してください。

⁴ 詳細についてはスタンバイ・モードからの復帰タイミングのセクションも参照してください。

⁵ デジタル・ピンとして使用される汎用出力ピンでは、 $AV_{SS} = \text{DGND}$ かつ $AV_{DD} = IOV_{DD}$ とする必要があります。汎用出力のセクションを参照してください。

電源仕様

表 8. 電源仕様

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
POWER SUPPLY VOLTAGE					
AV_{DD} to AV_{SS}	1.71		3.6	V	
IOV_{DD} to DGND	1.65		3.6	V	
AV_{SS} to DGND	-1.8		0	V	
AV_{DD} to DGND	0.9			V	
IOV_{DD} to AV_{SS}			5.4	V	
POWER SUPPLY CURRENTS¹					
AV_{DD} Current					
External Reference					Internal oscillator enabled
Gain = 1		20	23	μA	PGA bypass ²
			24	μA	$T_{MAX} = 125^\circ\text{C}$

仕様

表 8. 電源仕様 (続き)

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Gain = 1 to 16		25	30	μA	Continuous conversion mode current
				μA	T _{MAX} = 125°C
		7.5		μA	DUTY_CYC_RATIO = 1/4 ³
Gain = 32 to 128		2.5		μA	DUTY_CYC_RATIO = 1/16 ³
		29	35	μA	Continuous conversion mode current
			38	μA	T _{MAX} = 125°C
		8.5		μA	DUTY_CYC_RATIO = 1/4 ³
Increase due to Reference Buffer ⁴		3		μA	DUTY_CYC_RATIO = 1/16 ³
		0.25		μA	Per reference buffer
Increase due to Internal Reference ⁴		6.5	8	μA	Continuous conversion mode current
		1.75		μA	DUTY_CYC_RATIO = 1/4 ³
		0.45		μA	DUTY_CYC_RATIO = 1/16 ³
Increase due to V _{BIAS} on ⁴ IOV _{DD} Current		1	1.2	μA	
		3.5	6.9	μA	Continuous conversion mode current
			12.5	μA	T _{MAX} = 125°C
		1.8		μA	DUTY_CYC_RATIO = 1/4 ³
Increase due to FIFO		1.4		μA	DUTY_CYC_RATIO = 1/16 ³
		50		nA	
POWER-DOWN CURRENTS¹					
Standby Mode Current					
AV _{DD}		0.2	1.3	μA	Analog low dropout (LDO) regulator on
			2.5	μA	T _{MAX} = 125°C
IOV _{DD}		0.35	3.5	μA	Digital LDO regulator on
			11	μA	T _{MAX} = 125°C
Power-Down Mode Current					
AV _{DD}		0.01	1	μA	Analog LDO regulator off
			1.2	μA	T _{MAX} = 125°C
IOV _{DD}		0.13	1	μA	Digital LDO regulator off
OPERATING TEMPERATURE RANGE					
T _{MIN}		-40		°C	
T _{MAX}			125	°C	Lead frame chip scale package (LFCSP)

¹ 励起電流がディスエーブルになっている場合、デジタル入力 IOV_{DD} または DGND と等しくなります。

² PGA_BYP_n = 1。PGA_BYP_n ビットは、対応する CONFIG_n レジスタ内にあります。詳細については、[プログラマブル・ゲイン・アンプ](#)のセクションを参照してください。

³ デューティ・サイクル・モードを有効にするには、ADC_CONTROL レジスタにおいて MODE = 0b1001 に設定します。DUTY_CYC_RATIO ビットは同じレジスタ内にあります。[デューティ・サイクル・モード](#)と[デューティ・サイクル・モードのタイミング](#)の各セクションを参照してください。

⁴ これらの仕様は、製品テストを受けたものではありませんが、製品の初期リリース時に特性評価データで裏付けられています。

仕様

タイミング仕様

特に指定のない限り、AV_{DD} = 1.71V~3.6V、IOV_{DD} = 1.65V~3.6V、AV_{SS} = DGND = 0V、入力ロジック 0 = DGND = 0V、入力ロジック 1 = IOV_{DD}、内部 MCLK (f_{MCLK} = 76.8kHz)、温度範囲 = T_{MIN}~T_{MAX}、[推奨デカップリング方法](#)のセクションに従いデカップリング。全てのデジタル入力信号は、立上がり時間 (t_R) = 立下がり時間 (t_F) = 5ns に規定されています (IOV_{DD} の 10%~90%で、IOV_{DD}/2 の電圧レベルから時間を計測)。

表 9. タイミング仕様

Parameter ¹	Symbol	Min	Max	Unit
REGISTER ACCESS IN 3-WIRE MODE^{2, 3, 4}				
SCLK Cycle Time	t _{SCK}	200		ns
SCLK High Pulse Width	t _{SCKH}	90		ns
SCLK Low Pulse Width	t _{SCKL}	90		ns
DIN Data Setup Time	t _{DIN_SET}	10		ns
DIN Data Hold Time	t _{DIN_HOL}	10		ns
SCLK Falling Edge to DOUT Becomes Available	t _{DOUT_VALID}		80	ns
SCLK Falling Edge to DOUT Remains Available	t _{DOUT_HOL}	10		ns
SCLK Rising Edge to DOUT Disable Delay ⁵	t _{DOUT_DIS_DEL}			
DOUT_DIS_DEL = 0 ⁶		10		ns
DOUT_DIS_DEL = 1 ⁶		100		ns
Delay Between Consecutive Write Operations ⁷ (Last SCLK Rising to First SCLK Falling)	t _{WR_DEL}	3/f _{MCLK}	4/f _{MCLK}	sec
Data Ready ⁸ High Time if Data Ready is Low and the Next Conversion is Available	t _{RDYH}	4/f _{MCLK}		sec
Last SCLK Rising for SW Reset Serial Peripheral Interface (SPI) Transaction to First SCLK Falling for Next SPI Transaction	t _{RESET_DELAY}	160/f _{MCLK}		sec
REGISTER ACCESS IN 4-WIRE MODE^{2, 3, 9}				
\overline{CS} Falling Edge to DOUT Enable Time ¹⁰	t _{DOUT_EN}		80	ns
\overline{CS} Setup Time: \overline{CS} Falling Edge to First SCLK Falling Edge	t _{CS_SET}	0		ns
\overline{CS} Hold Time: Last SCK Rising Edge to \overline{CS} Rising Edge Delay	t _{CS_HOL}	0		ns
\overline{CS} Rising Edge to DOUT Disable Time ¹⁰	t _{DOUT_DIS}		80	ns
\overline{CS} High Pulse Width (Between Read/Write Operations)	t _{CS_PW}	20		ns
\overline{CS} Rising Edge for SW Reset SPI Transaction to \overline{CS} Falling Edge for Next SPI Transaction	t _{RESET_DELAY}	160/f _{MCLK}		sec
CONTINUOUS READ MODE¹¹				
Data Ready ⁸ Falling Edge to First SCLK Falling Edge	t _{RDYL_SCKL}	20		ns
SCLK Falling Edge to New DOUT Becomes Available	t _{DOUT_VALID}		80	ns
SYNCHRONIZATION MODE¹²				
\overline{SYNC} Low Pulse Width	t _{SYNC_PW}	4/f _{MCLK}		sec
STANDBY MODE				
Wake-Up Time from SPI Write to Exit Standby Mode ¹³	t _{WU_STBY}		36/f _{MCLK}	sec
DUTY CYCLING				
Wake Up Time	t _{WU_DUTY}		32/f _{MCLK}	sec

¹ これらの仕様は、製品テストを受けたものではありませんが、製品の初期リリース時に特性評価データで裏付けられています。

² このデバイスは SPI モード 3 で動作します。つまり、SCLK はアイドル時にハイとなり、SCLK の立下がりエッジが DOUT の駆動エッジ、SCLK の立上がりエッジが DIN のサンプル・エッジです。

³ ADC_CONTROL レジスタにおいて CSB_EN = 0b0 (デフォルト) (3 線式モード)。このビットを 1 に変更すると 4 線式モードが有効になります。

⁴ 3 線式モードのタイミング図のセクションを参照してください。

⁵ \overline{CS} ピンをローに保持します。

⁶ このビットは ADC_CONTROL レジスタ内にあり、同じレジスタにおいて CSB_EN = 0b0 の場合に限りアクティブになります。

⁷ \overline{SYNC} がハイ、または MM_CRC_ERR_EN = 0b1 の場合に限り、かつ ADC_CONTROL およびエラー・レジスタの書きみに限り適用されます。

⁸ データ・レディ信号に関連するタイミング仕様については、INT ピンが考慮されます (IO_CONTROL レジスタにおいて INT_PIN_SEL = 0b00)。データ・レディ信号のセクションを参照してください。

⁹ 4 線式モードのタイミング図のセクションを参照してください。

仕様

¹⁰ 4線式モード (CSB_EN = 0b1) の場合、DOUT ピンは、 $\overline{\text{CS}}$ の立下がりエッジ後にトライステート ($\overline{\text{CS}}$ ピンがハイ) からイネーブルに変化し、 $\overline{\text{CS}}$ の立上がりエッジ後にトライステートに戻ります。3線式モードでも、 $\overline{\text{CS}}$ ピンを使用して DOUT ピンをイネーブル ($\overline{\text{CS}}$ ピンをロー) にしたり、ディスエーブル ($\overline{\text{CS}}$ ピンをハイ) にしたりできます。

¹¹ ADC_CONTROL レジスタにおいて CONT_READ = 0b1 に設定すると、連続読出しモードを有効にできます。詳細については、連続読出しモードのタイミング図および連続読出しモードの各セクションを参照してください。

¹² システム同期のセクションを参照してください。

¹³ 内部発振器は動作を維持しています。詳細については、表 7 の内部クロックのウェイクアップ時間仕様およびスタンバイ・モードからの復帰タイミングのセクションを参照してください。

表 10. FIFO のタイミング仕様

Parameter ¹	Symbol	Min	Max	Unit
FIFO RELATED²				
FIFO Ready Signal ³ High Time when FIFO Is Busy	t _{BSY}	4/f _{MCLK}		sec
FIFO Interrupt Signal ⁴ Rising Edge to FIFO Read Start ($\overline{\text{CS}}$ Falling Edge or SCLK Falling Edge) ⁵	t _{INT_RD}	1.5/f _{MCLK}		sec
FIFO Quiet Time Between Write and Read Access (FIFO Ready Signal ³ Falling Edge to FIFO Read Start ⁶)	t _{QUIET1}	0		ns
SCLK Falling Edge to DOUT Becomes Available	t _{DOUT_VALID}		80	ns
SCLK Falling Edge to DOUT Remains Available	t _{DOUT_HOL}	10		ns
FIFO Quiet Time Between Read and Write Access (FIFO Read End ⁷ to FIFO Ready Signal ³ Rising Edge)	t _{QUIET2}	4/f _{MCLK}		sec
FIFO Clear Delay (After $\overline{\text{SYNC}}$ Low or After Write to FIFO_CONTROL Register) ⁸	t _{CLR} ⁹		8/f _{MCLK}	sec
$\overline{\text{SYNC}}$ Low Pulse Width to Clear FIFO	t _{SYNC_PW}	4/f _{MCLK}		sec

¹ これらの仕様は、製品テストを受けたものではありませんが、製品の初期リリース時に特性評価データで裏付けられています。

² FIFO のタイミング図および FIFO の各セクションを参照してください。

³ FIFO レディ信号に関連するタイミング仕様については、DOUT ピンが考慮されます。

⁴ FIFO 割込み信号に関連するタイミング仕様については、INT ピンが考慮されます (IO_CONTROL レジスタにおいて INT_PIN_SEL = 0b00)。

⁵ この仕様は FIFO ウォーターマーク割込みに適用されます。

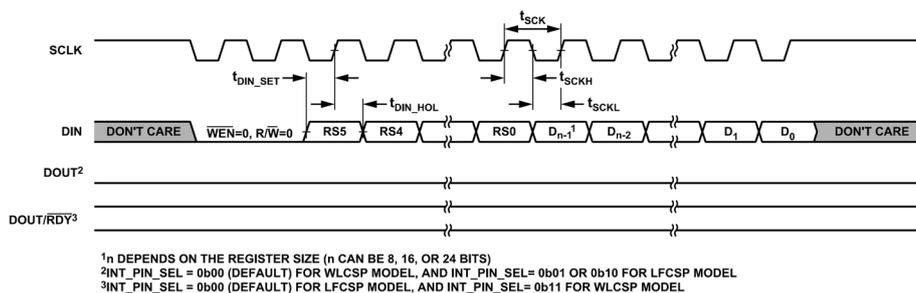
⁶ $\overline{\text{CS}}$ 立下がりエッジ (4線式モード) または SCLK 立下がりエッジ (3線式モードおよび $\overline{\text{CS}}$ をローに接続)。

⁷ $\overline{\text{CS}}$ 立上がりエッジ (4線式モード) または SCLK 立上がりエッジ (3線式モードおよび $\overline{\text{CS}}$ をローに接続)。

⁸ FIFO のクリアのセクションを参照してください。

⁹ 設計により裏付けられています。

3 線式モードのタイミング図



¹n DEPENDS ON THE REGISTER SIZE (n CAN BE 8, 16, OR 24 BITS)
²INT_PIN_SEL = 0b00 (DEFAULT) FOR WLCSP MODEL, AND INT_PIN_SEL = 0b01 OR 0b10 FOR LFCSP MODEL
³INT_PIN_SEL = 0b00 (DEFAULT) FOR LFCSP MODEL, AND INT_PIN_SEL = 0b11 FOR WLCSP MODEL

図 2. 書込みサイクルのタイミング図、3線式モード (CSB_EN ビットを 0 に設定)、 $\overline{\text{CS}}$ ピンをローに接続

仕様

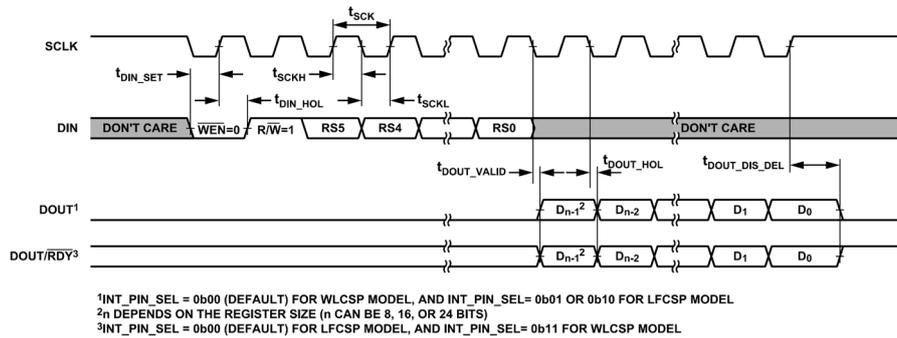


図 3. 読出しサイクルのタイミング図、3線式モード（CSB_EN ビットを 0 に設定）、CS̄ピンをローに接続

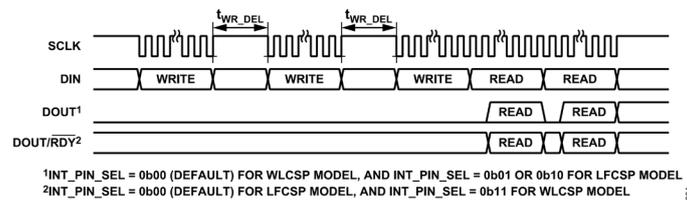


図 4. 連続するシリアル動作間の遅延、3線式モード（CSB_EN ビットを 0 に設定）、CS̄ピンをローに接続

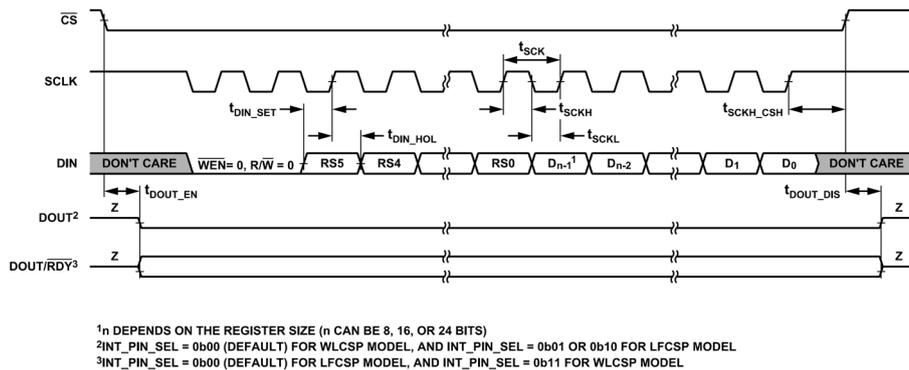


図 5. 書き込みサイクルのタイミング図、3線式モード（CSB_EN ビットを 0 に設定）、DOUT ピンをトリステートにするためにCS̄ピンを使用

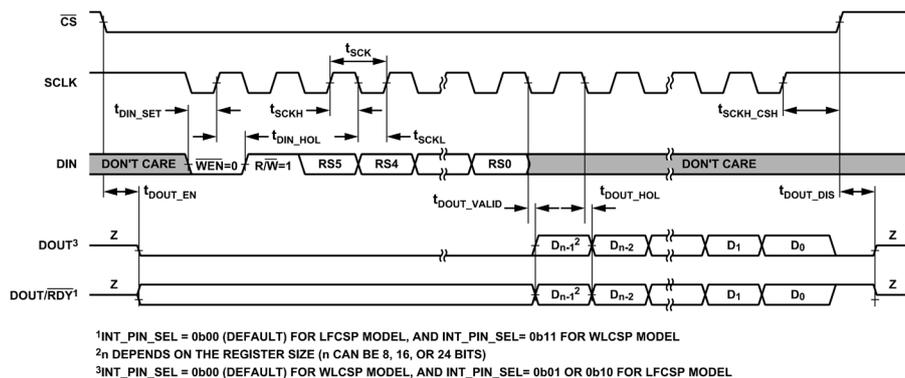
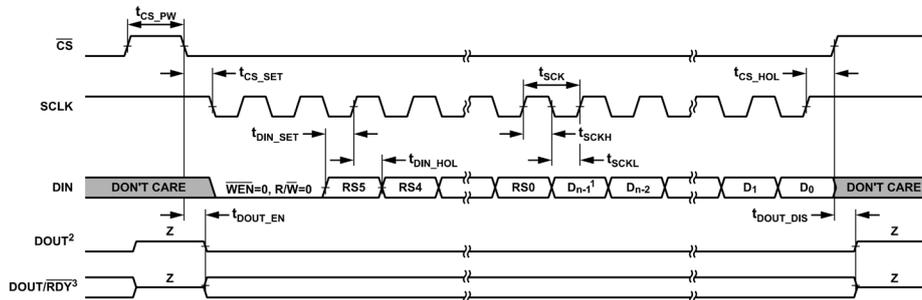


図 6. 3線式モード読出しサイクルのタイミング図、3線式モード（CSB_EN ビットを 0 に設定）、DOUT ピンをトリステートにするためにCS̄ピンを使用

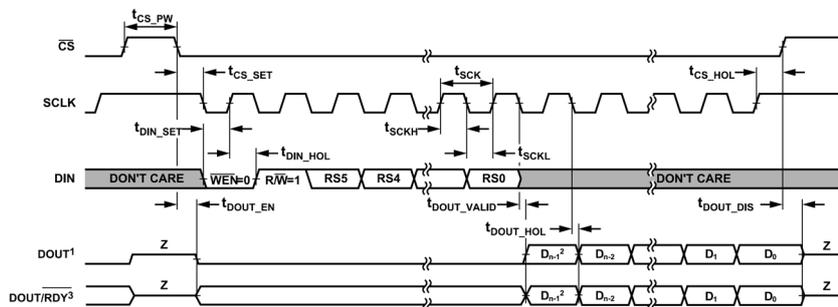
仕様

4 線式モードのタイミング図



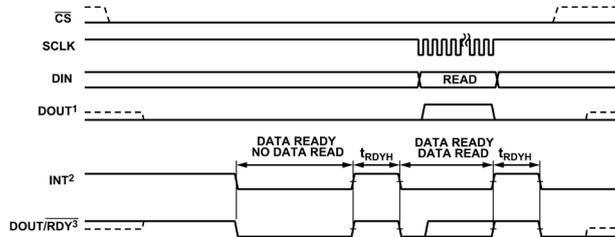
¹n DEPENDS ON THE REGISTER SIZE (n CAN BE 8, 16, OR 24 BITS)
²INT_PIN_SEL = 0b00 (DEFAULT) FOR WLCSP MODEL, AND INT_PIN_SEL = 0b01 OR 0b10 FOR LFCSP MODEL
³INT_PIN_SEL = 0b00 (DEFAULT) FOR LFCSP MODEL, AND INT_PIN_SEL = 0b11 FOR WLCSP MODEL

図 7. 書き込みサイクルのタイミング図、4 線式モード (CSB_EN ビットを 1 に設定)



¹INT_PIN_SEL = 0b00 (DEFAULT) FOR WLCSP MODEL, AND INT_PIN_SEL = 0b01 OR 0b10 FOR LFCSP MODEL
²n DEPENDS ON THE REGISTER SIZE (n CAN BE 8, 16, OR 24 BITS)
³INT_PIN_SEL = 0b00 (DEFAULT) FOR LFCSP MODEL, AND INT_PIN_SEL = 0b11 FOR WLCSP MODEL

図 8. 読み出しサイクルのタイミング図、4 線式モード (CSB_EN ビットを 1 に設定)

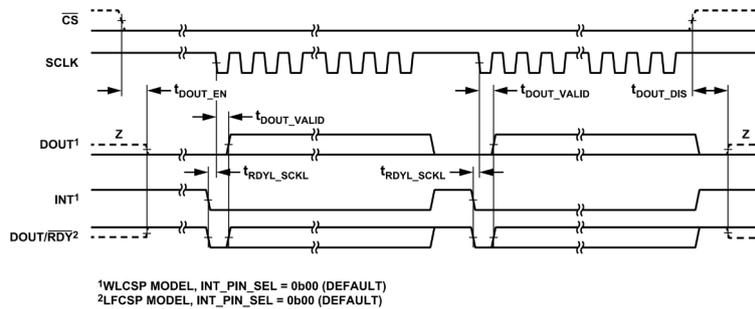


¹INT_PIN_SEL = 0b00 (DEFAULT) FOR WLCSP MODEL, AND INT_PIN_SEL = 0b01 FOR LFCSP MODEL
²INT_PIN_SEL = 0b00 (DEFAULT) FOR WLCSP MODEL, INT_PIN AS DATA READY SIGNAL
³INT_PIN_SEL = 0b00 (DEFAULT) FOR LFCSP MODEL, AND INT_PIN_SEL = 0b11 FOR WLCSP MODEL

図 9. 最初にデータ・レディがローで次の変換が利用可能になった場合のデータ・レディのハイ時間

仕様

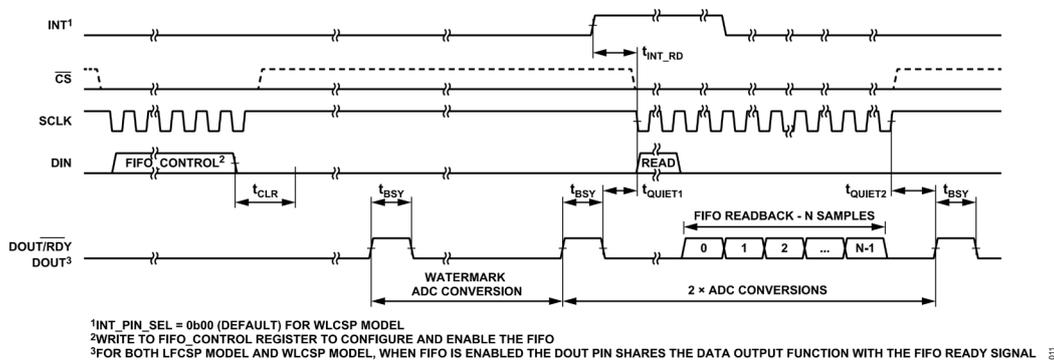
連続読出しモードのタイミング図



¹WLCSP MODEL, INT_PIN_SEL = 0b00 (DEFAULT)
²LFCSP MODEL, INT_PIN_SEL = 0b00 (DEFAULT)

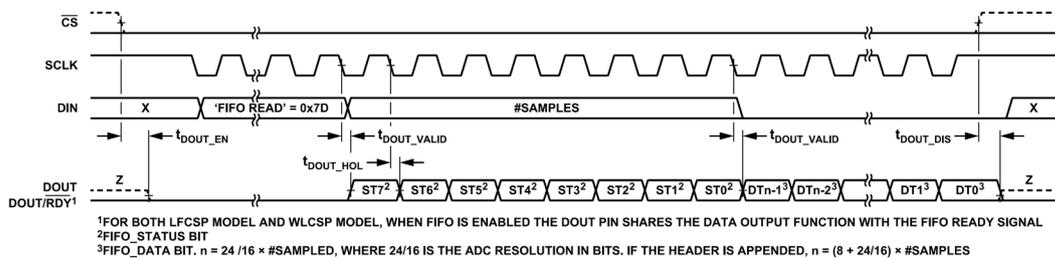
図 10. 連続読出しモードのタイミング

FIFO のタイミング図



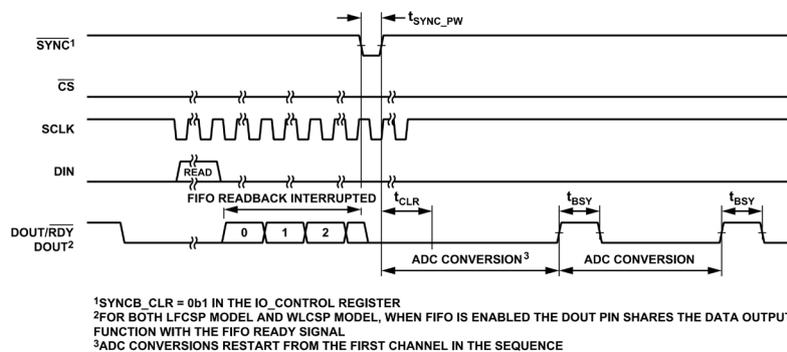
¹INT_PIN_SEL = 0b00 (DEFAULT) FOR WLCSP MODEL
²WRITE TO FIFO_CONTROL REGISTER TO CONFIGURE AND ENABLE THE FIFO
³FOR BOTH LFCSP MODEL AND WLCSP MODEL, WHEN FIFO IS ENABLED THE DOUT PIN SHARES THE DATA OUTPUT FUNCTION WITH THE FIFO READY SIGNAL

図 11. FIFO のタイミング (ウォーターマーク割込みあり)



¹FOR BOTH LFCSP MODEL AND WLCSP MODEL, WHEN FIFO IS ENABLED THE DOUT PIN SHARES THE DATA OUTPUT FUNCTION WITH THE FIFO READY SIGNAL
²FIFO_STATUS BIT
³FIFO_DATA BIT. $n = 24/16 \times \#SAMPLES$, WHERE 24/16 IS THE ADC RESOLUTION IN BITS. IF THE HEADER IS APPENDED, $n = (8 + 24/16) \times \#SAMPLES$

図 12. FIFO リードバックのタイミング図



¹SYNCB_CLR = 0b1 IN THE IO_CONTROL REGISTER
²FOR BOTH LFCSP MODEL AND WLCSP MODEL, WHEN FIFO IS ENABLED THE DOUT PIN SHARES THE DATA OUTPUT FUNCTION WITH THE FIFO READY SIGNAL
³ADC CONVERSIONS RESTART FROM THE FIRST CHANNEL IN THE SEQUENCE

図 13. FIFO クリアのタイミング図

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 11. 絶対最大定格

Parameter	Rating
AV_{DD} to AV_{SS}	-0.3 V to +3.96 V
IOV_{DD} to DGND	-0.3 V to +3.96 V
IOV_{DD} to AV_{SS}	-0.3 V to +5.94 V
AV_{SS} to DGND	-1.98 V to +0.3 V
$AINx$ to AV_{SS}	-0.3 V to $AV_{DD} + 0.3$ V
REFIN1(+), REFIN1(-) to AV_{SS}	-0.3 V to $AV_{DD} + 0.3$ V
Digital Inputs ¹ to DGND	-0.3 V to $IOV_{DD} + 0.3$ V
Digital Outputs ¹ to DGND	-0.3 V to $IOV_{DD} + 0.3$ V
$AINx$ /Digital Input Current	10 mA
Storage Temperature Range	-65°C to $+150^\circ\text{C}$
Junction Temperature (T_J)	150°C
Lead Temperature, Soldering Reflow	260°C , as per JEDEC J-STD-020

¹ デジタル入力ピンとデジタル出力ピンの一覧については、[ピン配置およびピン機能の説明](#)のセクションを参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

絶対最大定格のテストは個別に行われ、組み合わせて行われたものではありませんが、全ての定格はどのような設定に対しても適用されます。

熱特性

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

表 12 に規定されている熱抵抗値は、JEDEC 仕様に基づいて計算されたものであり、JESD51-12 に適合するよう使用してください。

表 12. 熱抵抗

Package Type ¹	θ_{JA}	θ_{JB}	θ_{JC_TOP}	Ψ_{JB}	Ψ_{JT}	Unit
CP-32-12	40.7	12.1	16	N/A	N/A	$^\circ\text{C/W}$

¹ 表 12 の値は、 6×11 のサーマル・ビアを有する標準的な JEDEC 2S2P 熱試験ボードに基づいて計算されたものです。JEDEC JESD51 シリーズを参照してください。

θ_{JA} 、 θ_{JB} 、 θ_{JC} は、記載された試験条件が全て同様な場合に、本デバイスのパッケージの熱性能を他の半導体パッケージと比較するのに主に使用されます。 θ_{JA} 、 θ_{JB} 、 θ_{JC} は、システム環境におけるジャンクション温度の一次近似に用いることができます。

JESD51 シリーズの JEDEC 規格に従い、表 12 に示したパラメータを使用することを推奨します。

AD4129-4 は、 T_J が制限値を超えると損傷を受ける可能性があります。絶対最大ジャンクション温度の仕様については表 11 を参照してください。周囲温度を監視しても、 T_J が規定された最高温度制限値内にあるとは限りません。高消費電力のアプリケーションや熱抵抗が高いアプリケーションでは、内部温度センサーを用いて T_J を監視する必要があります。

静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘起帯電デバイス・モデル (FICDM)。

ANSI/ESD STM5.2 準拠のマシン・モデル (MM)。MM 電圧値は特性評価にのみ使われます。

AD4129-4 の ESD 定格

表 13. AD4129-4、32 ピン LFCSP

ESD Model	Withstand Threshold (V)	Class
HBM	4000	3A
FICDM	1000	C3
MM	400	C

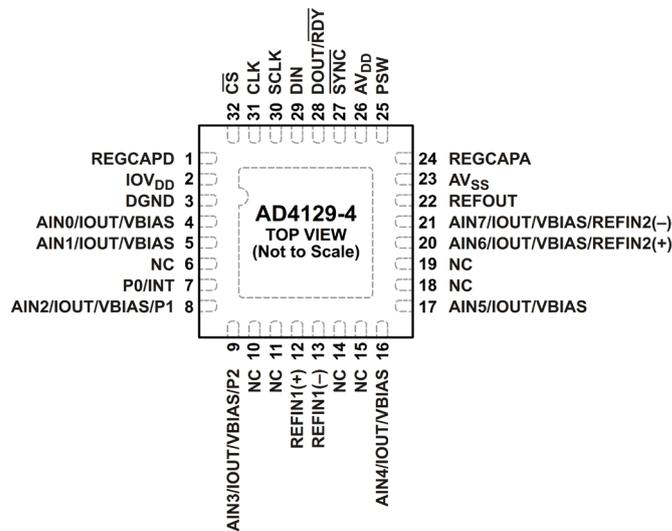
ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
 1. NC = NOT CONNECT. THESE PINS MUST BE MECHANICALLY SOLDERED TO THE PCB. THESE PINS CAN BE CONNECTED TO DGND OR LEFT ELECTRONICALLY FLOATING
 2. CONNECT EXPOSED PAD TO AVSS.

図 14. LFCSP のピン配置

表 14. LFCSP のピン機能の説明

ピン番号	記号	タイプ ¹	説明
1	REGCAPD	S	デジタル用 LDO レギュレータの出力。REGCAPD ピンは 0.1μF のコンデンサを用いて DGND とデカップリングします。REGCAPD ピンには追加の負荷を接続しないことが推奨されます。 内蔵 LDO のセクションを参照してください。
2	IOV _{DD}	S	シリアル・インターフェースの電源電圧 (1.65V~3.6V)。電源のセクションを参照してください。
3	DGND	S	デジタル/共通グラウンド基準ポイント。電源のセクションを参照してください。
4	AIN0/IOUT/VBIAS	AI/O	アナログ入力 0 (AIN0) (デフォルト) / 内蔵励起電流源の出力 / バイアス電圧。 内蔵励起電流源の出力 (IOUT)。内蔵のプログラマブル励起電流源は IOUT ピンから利用可能になります。IOUT1 または IOUT0 をこの出力に切り替えることができます。 バイアス電圧 (VBIAS)。VBIAS ピンでは、アナログ電源レール間の中間のバイアス電圧が出力されます。
5	AIN1/IOUT/VBIAS	AI/O	アナログ入力 1 (AIN1) (デフォルト) / 内蔵励起電流源の出力 / バイアス電圧。 内蔵励起電流源の出力 (IOUT)。内蔵のプログラマブル励起電流源は IOUT ピンから利用可能になります。IOUT1 または IOUT0 をこの出力に切り替えることができます。 バイアス電圧 (VBIAS)。VBIAS ピンでは、アナログ電源レール間の中間のバイアス電圧が出力されます。
7	P0/INT		汎用出力 0 (P0)。P0 ピンは汎用出力として使用でき、AV _{SS} と AV _{DD} の間で基準を取ります。AV _{SS} を DGND に接続し、IOV _{DD} を AV _{DD} に接続すると、P0 ピンはデジタル出力のように動作できます。 P0 ピンは、データ・レディ信号または FIFO 割込みの割込みソースとして用いることもできます (データ・レディ信号のセクションおよび FIFO 割込みのセクションを参照)。
6, 10, 11, 14, 15, 18, 19	NC	N/A ²	無接続。これらのピンは、PCB に機械的にハンダ付けする必要があります。これらのピンは DGND に接続するか、電気的にフローティング状態のままにすることができます。
8	AIN2/IOUT/VBIAS/P1	AI/O	アナログ入力 2 (AIN2) (デフォルト) / 内蔵励起電流源の出力 / バイアス電圧 / 汎用出力 1。 内蔵励起電流源の出力 (IOUT)。内蔵のプログラマブル励起電流源は IOUT ピンから利用可能になります。IOUT1 または IOUT0 をこの出力に切り替えることができます。 バイアス電圧 (VBIAS)。VBIAS ピンでは、アナログ電源レール間の中間のバイアス電圧が出力されます。 汎用出力 1 (P1)。P1 ピンは汎用的な出力として使用でき、AV _{SS} と AV _{DD} の間で基準を取ります。AV _{SS} を DGND に接続し、IOV _{DD} を AV _{DD} に接続すると、P1 ピンはデジタル出力のように動作できます。
9	AIN3/IOUT/VBIAS/P2	AI/O	アナログ入力 3 (AIN3) (デフォルト) / 内蔵励起電流源の出力 / バイアス電圧 / 汎用出力 2。

ピン配置およびピン機能の説明

表 14. LFCSP のピン機能の説明 (続き)

ピン番号	記号	タイプ ¹	説明
12	REFIN1(+)	AI	内蔵励起電流源の出力 (IOUT)。内蔵のプログラマブル励起電流源は IOUT ピンから利用可能になります。IOUT1 または IOUT0 をこの出力に切り替えることができます。 バイアス電圧 (VBIAS)。VBIAS ピンでは、アナログ電源レール間の中間のバイアス電圧が出力されます。 汎用出力 2 (P2)。P2 ピンは汎用的な出力として使用でき、AV _{SS} と AV _{DD} の間で基準を取ります。AV _{SS} を DGND に接続し、IOV _{DD} を AV _{DD} に接続すると、P2 ピンはデジタル出力のように動作できます。
13	REFIN1(-)	AI	正のリファレンス入力。REFIN1(+) ¹ と REFIN1(-)の間に外部リファレンスを印加できます。REFIN1(+) ¹ ピンの入力範囲は AV _{DD} から AV _{SS} + 0.5V の間になります。本デバイスは 0.5V ~ AV _{DD} のリファレンスで動作します。ADC のリファレンスのセクションを参照してください。
16	AIN4/IOUT/VBIAS	AI/O	負のリファレンス入力。REFIN1(-)ピンの入力範囲は AV _{SS} から AV _{DD} - 0.5V の間になります。ADC のリファレンスのセクションを参照してください。
17	AIN5/IOUT/VBIAS	AI/O	アナログ入力 10 (AIN10) (デフォルト) / 内蔵励起電流源の出力 / バイアス電圧。 内蔵励起電流源の出力 (IOUT)。内蔵のプログラマブル励起電流源は IOUT ピンから利用可能になります。IOUT1 または IOUT0 をこの出力に切り替えることができます。 バイアス電圧 (VBIAS)。VBIAS ピンでは、アナログ電源レール間の中間のバイアス電圧が出力されます。
20	AIN6/IOUT/VBIAS/ REFIN2(+)	AI/O	アナログ入力 11 (AIN11) (デフォルト) / 内蔵励起電流源の出力 / バイアス電圧。 内蔵励起電流源の出力 (IOUT)。内蔵のプログラマブル励起電流源は IOUT ピンから利用可能になります。IOUT1 または IOUT0 をこの出力に切り替えることができます。 バイアス電圧 (VBIAS)。VBIAS ピンでは、アナログ電源レール間の中間のバイアス電圧が出力されます。
21	AIN7/IOUT/VBIAS/ REFIN2(-)	AI/O	アナログ入力 6 (AIN6) (デフォルト) / 内蔵励起電流源の出力 / バイアス電圧 / 正のリファレンス入力。 内蔵励起電流源の出力 (IOUT)。内蔵のプログラマブル励起電流源は IOUT ピンから利用可能になります。IOUT1 または IOUT0 をこの出力に切り替えることができます。 バイアス電圧 (VBIAS)。VBIAS ピンでは、アナログ電源レール間の中間のバイアス電圧が出力されます。 正のリファレンス入力 (REFIN2(+))。REFIN2(+) ¹ と REFIN2(-)の間に外部リファレンス電圧を印加できます。 REFIN2(+) ¹ の入力範囲は AV _{DD} から AV _{SS} + 0.5V の間になります。公称リファレンス電圧 (REFIN2(+) ¹ ~ REFIN2(-)) は 2.5V ですが、本デバイスは 0.5V ~ AV _{DD} のリファレンス電圧で動作します。
22	REFOUT	AO	アナログ入力 7 (AIN7) (デフォルト) / 内蔵励起電流源の出力 / バイアス電圧 / 負のリファレンス入力。 内蔵励起電流源の出力 (IOUT)。内蔵のプログラマブル励起電流源は IOUT ピンから利用可能になります。IOUT1 または IOUT0 をこの出力に切り替えることができます。 バイアス電圧 (VBIAS)。VBIAS ピンでは、アナログ電源レール間の中間のバイアス電圧が出力されます。 負のリファレンス入力 (REFIN2(-))。REFIN2(-)ピンの入力範囲は AV _{SS} から AV _{DD} - 0.5V の間になります。
23	AV _{SS}	S	内部リファレンス出力。内部電圧リファレンスのバッファされた出力は、REFOUT ピンで利用できます。内部リファレンスがアクティブの場合は、REFOUT ピンに 1nF のコンデンサが必要です。ADC のリファレンスのセクションを参照してください。
24	REGCAPA	S	アナログ用電源電圧リファレンス。AV _{DD} の電圧は、AV _{SS} を基準としています。AV _{SS} は DGND に接続します。あるいは、0V 未満にすることによって AD4129-4 に両電源を提供することもできます。最小 AV _{SS} は -1.8V であり、AV _{DD} と AV _{SS} の差は、1.71V から 3.6V の間でなければなりません。電源のセクションを参照してください。
25	PSW	AI	アナログ用 LDO レギュレータの出力。REGCAPA ピンを 0.1μF のコンデンサを使用して、AV _{SS} とデカップリングします。REGCAPA ピンには追加の負荷を接続しないことが推奨されます。内蔵 LDO のセクションを参照してください。
26	AV _{DD}	S	AV _{SS} へのローサイド・パワー・スイッチ。パワーダウン・スイッチのセクションを参照してください。
27	SYNC	DI	AV _{SS} を基準としたアナログ電源電圧です。電源のセクションを参照してください。
28	DOUT/RDY (LFCSP)	DO	同期用ロジック入力。SYNC ピンは、複数の AD4129-4 デバイスを使用する場合に、デジタル・フィルタとアナログ・モジュレータの同期を可能にするロジック入力です。システム同期のセクションを参照してください。また、SYNC ピンは FIFO をクリアするためにも使用できます。FIFO のクリアのセクションを参照してください。
			シリアル・データのロジック出力。DOUT/RDY ¹ ピンはシリアル・データの出力ピンとして機能し、読み出しアクセス権のあるレジスタの内容をリードバックします。デジタル・インターフェースのセクションを参照してください。

ピン配置およびピン機能の説明

表 14. LFCSP のピン機能の説明（続き）

ピン番号	記号	タイプ ¹	説明
29	DIN	DI	シリアル・データのロジック入力。DIN ピンのデータは ADC の制御レジスタに転送され、COMMS レジスタのレジスタ選択ビット（RS、ビット[5:0]）で適切なレジスタが識別されます。 デジタル・インターフェース のセクションを参照してください。
30	SCLK	DI	シリアル・クロックのロジック入力。このシリアル・クロックの入力は、ADC との間でデータを転送するために使用されます。シリアル・クロックは連続動作させることができ、全データは連続したパルス列で転送されます。あるいは、SCLK はゲート・クロックとして動作でき、情報は小さなデータ・バッチごとに ADC との間で送受信されます。 デジタル・インターフェース のセクションを参照してください。
31	CLK	DI/O	クロック入力およびクロックのロジック出力。内部クロックはこのピンから利用可能になります。あるいは、内部クロックをディスエーブルにして、ADC を外部クロックで動作させることもできます。 ADC コントローラのクロック のセクションを参照してください。CLK ピンは、データ・レディ信号または FIFO 割込みの割込みソースとしても使用できます（ データ・レディ信号 のセクションおよび FIFO 割込み のセクションを参照）。CLK ピンを使用しない場合は DGND に接続します。
32	\overline{CS}	DI	チップ・セレクト（アクティブ・ロー）のロジック入力。 \overline{CS} は、シリアル・バスに複数のデバイスが接続されたシステムで ADC を選択するために使用するか、デバイスと通信する際にフレーム同期信号として使用します。SPI 診断機能を使用しない場合は、 \overline{CS} を常にローに固定できるため、SCLK、DIN、DOUT を用いて本デバイスとインターフェース接続し、ADC を 3 線式モードで動作させることができます。 デジタル・インターフェース のセクションを参照してください。

¹ AO はアナログ出力、S は電源、AI はアナログ入力、AI/O はアナログ入力または出力、DI はデジタル入力、DO はデジタル出力、DI/O はデジタル入力または出力です。

² N/A は該当なしを意味します。

代表的な性能特性

特に指定のない限り、 $AV_{DD} = 3.3V$ 、 $IOV_{DD} = 1.8V$ 、 $AV_{SS} = DGND = 0V$ 、 $V_{REF} = 2.5V$ （内部）、内部 MCLK、 $T_A = 25^\circ C$ 、 $sinc^3$ フィルタ、 $FS = 48$ 、ゲイン = 1、PGA が有効、リファレンス・バッファをバイパス、推奨デカップリング方法のセクションの説明に従いデカップリング。

オフセット誤差およびゲイン誤差

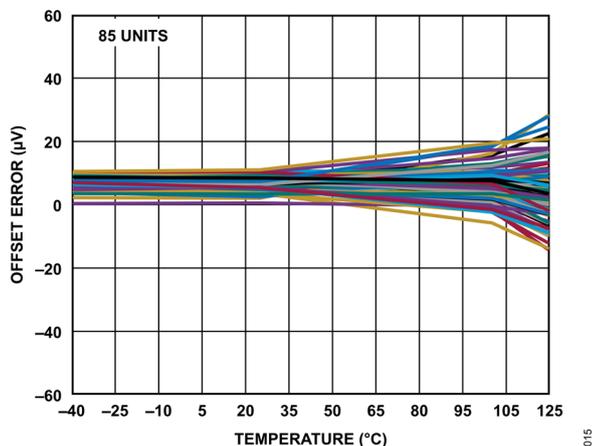


図 15. オフセット誤差と温度の関係（ゲイン = 1、校正前）

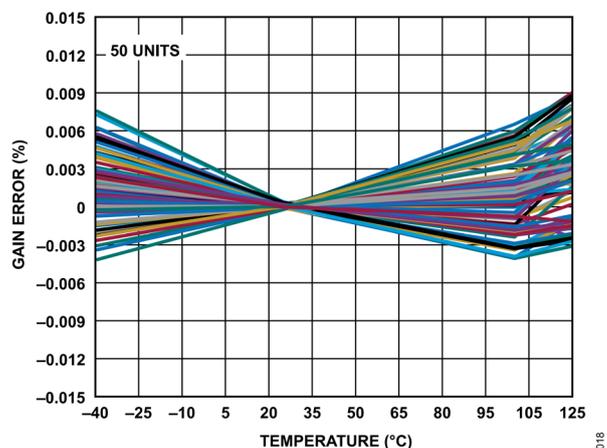


図 18. ゲイン誤差と温度の関係（ゲイン = 1、工場校正済み）

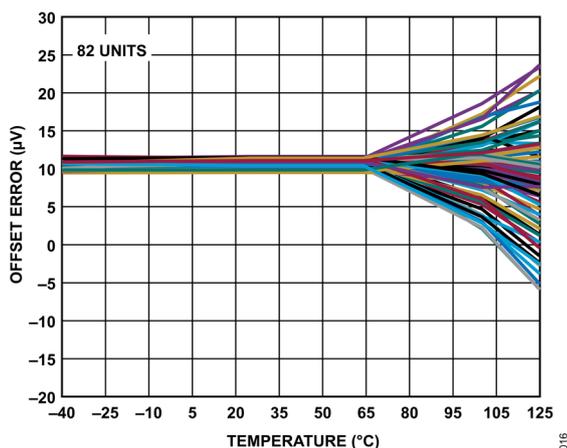


図 16. オフセット誤差と温度の関係（ゲイン = 8、校正前）

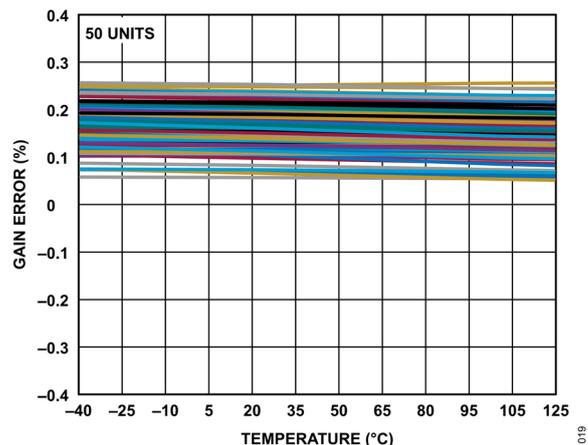


図 19. ゲイン誤差と温度の関係（ゲイン = 8、校正前）

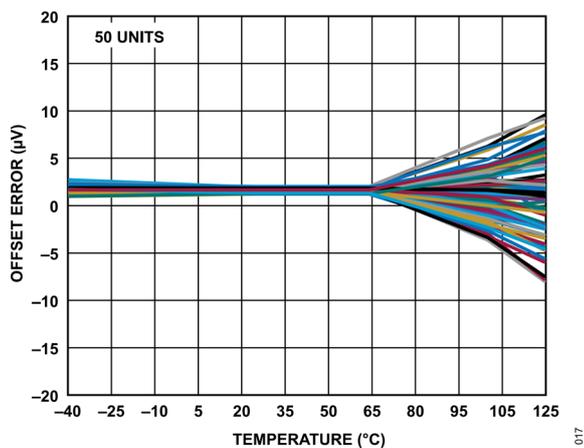


図 17. オフセット誤差と温度の関係（ゲイン = 32、校正前）

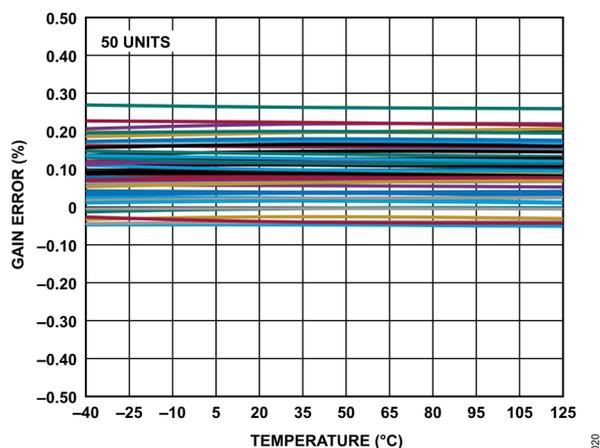


図 20. ゲイン誤差と温度の関係（ゲイン = 32、校正前）

代表的な性能特性

INL 誤差および発振器

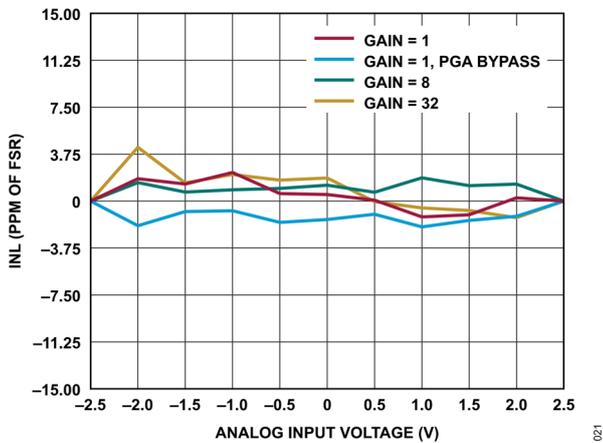


図 21. 様々なゲインでの INL 誤差と差動入力振幅の関係 (sinc³フィルタ、ODR = 50SPS、2.5V の内部リファレンス)

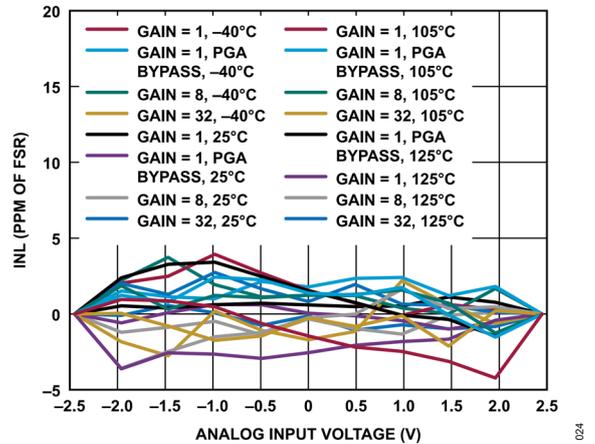


図 24. 様々なゲインおよび温度での INL 誤差と差動入力振幅の関係 (sinc³フィルタ、ODR = 50SPS、2.5V の内部リファレンス)

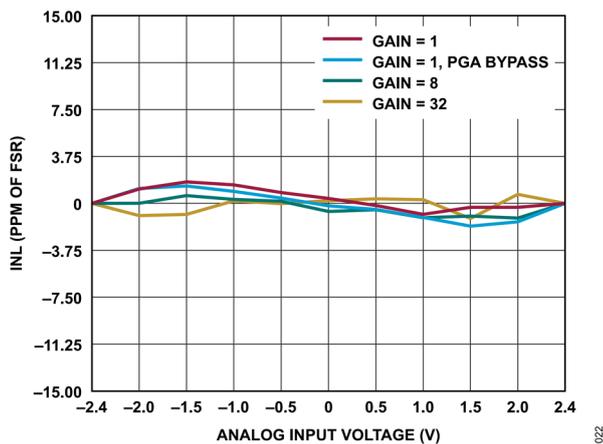


図 22. 様々なゲインでの INL 誤差と差動入力振幅の関係 (sinc³フィルタ、ODR = 50SPS、2.5V の外部リファレンス)

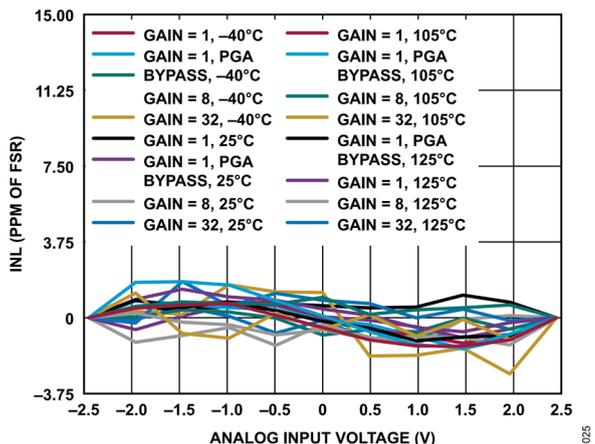


図 25. 様々なゲインおよび温度での INL 誤差と差動入力振幅の関係 (sinc³フィルタ、ODR = 50SPS、2.5V の外部リファレンス)

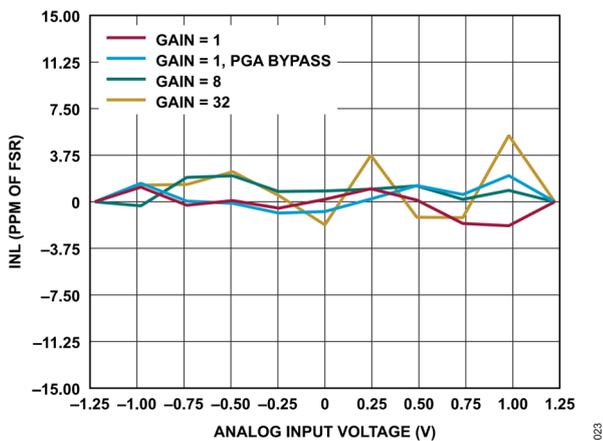


図 23. 様々なゲインでの INL 誤差と差動入力振幅の関係 (sinc³フィルタ、ODR = 50SPS、AV_{DD} = 1.8V、1.25V の内部リファレンス)

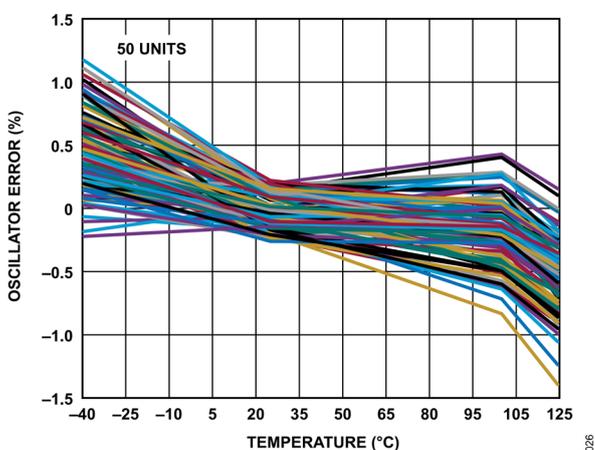


図 26. 内部発振器の誤差と温度の関係

代表的な性能特性

ノイズ

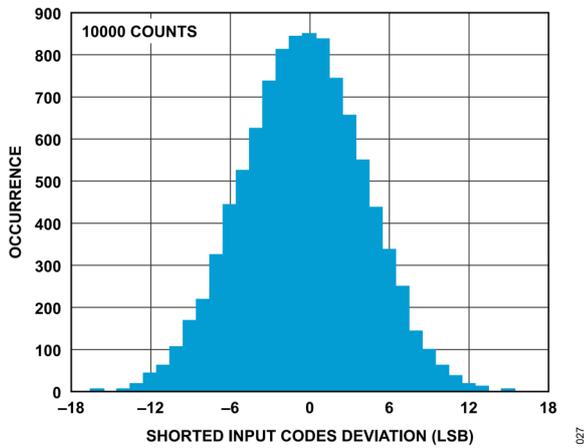


図 27. ノイズのヒストグラム図 (sinc³フィルタ、ODR = 50SPS、ゲイン = 1、2.5V の内部リファレンス)

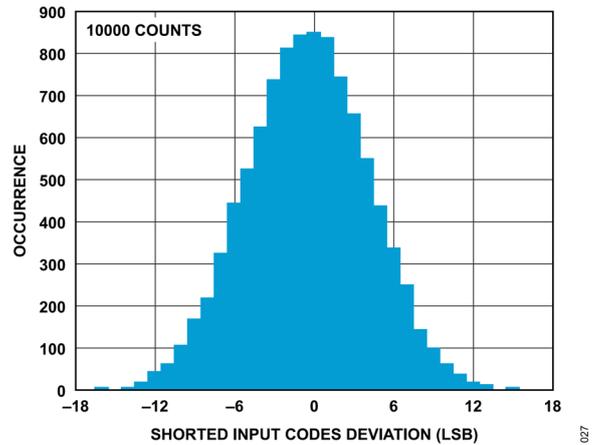


図 30. ノイズのヒストグラム図 (sinc⁴フィルタ、ODR = 240SPS、ゲイン = 1、1.25V の内部リファレンス)

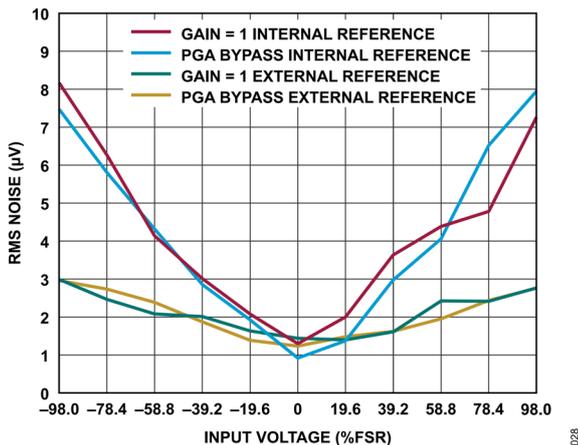


図 28. 実効値ノイズとアナログ入力電圧の関係 (sinc³フィルタ、ODR = 50SPS、ゲイン = 1 および PGA をバイパスしてゲイン = 1、2.5V のリファレンス)

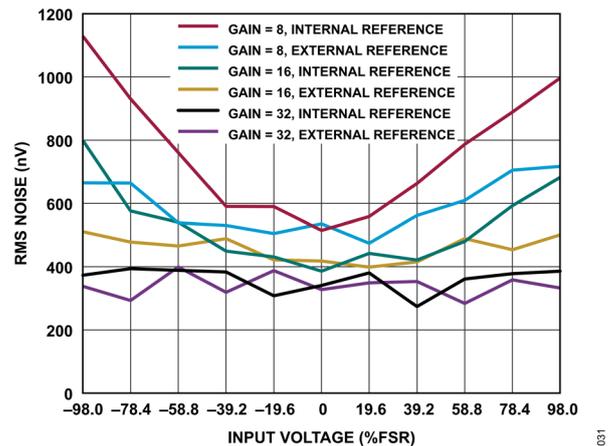


図 31. 実効値ノイズとアナログ入力電圧の関係 (sinc³フィルタ、ODR = 50SPS、ゲイン = 8、ゲイン = 16、ゲイン = 32、2.5V のリファレンス)

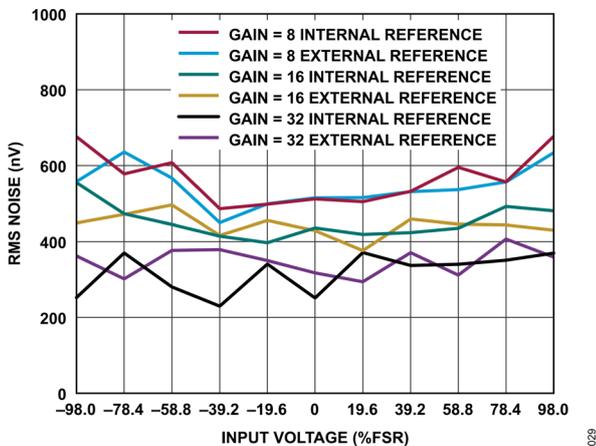


図 29. 実効値ノイズとアナログ入力電圧の関係 (sinc³フィルタ、ODR = 50SPS、ゲイン = 8、ゲイン = 16、ゲイン = 32、1.25V のリファレンス)

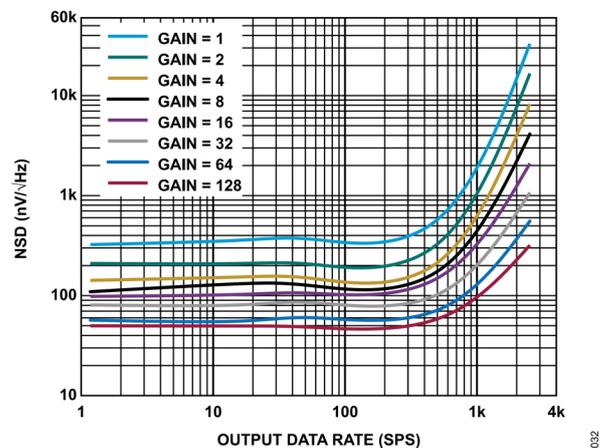


図 32. 様々なゲインでの NSD と出力データレートの関係 (sinc³フィルタ、2.5V の外部リファレンス)

代表的な性能特性

アナログ入力電流

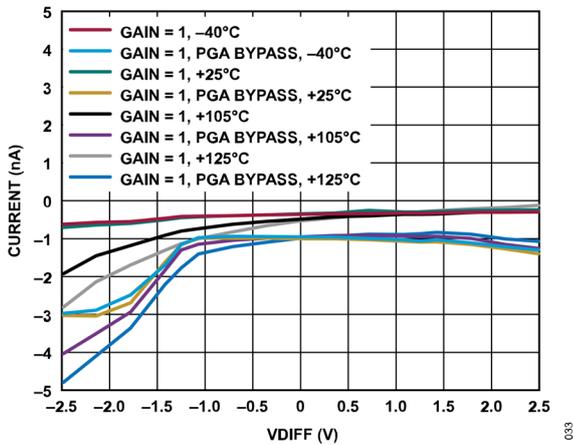


図 33. 様々な温度での絶対 AINP 電流と差動 AIN 電圧 (VDIFF) の関係 (ゲイン = 1、VCM = AV_{DD}/2)

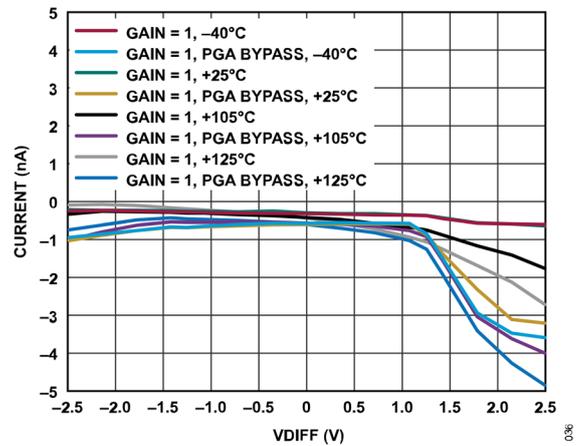


図 36. 様々な温度での絶対 AINM 電流と VDIFF の関係 (ゲイン = 1、VCM = AV_{DD}/2)

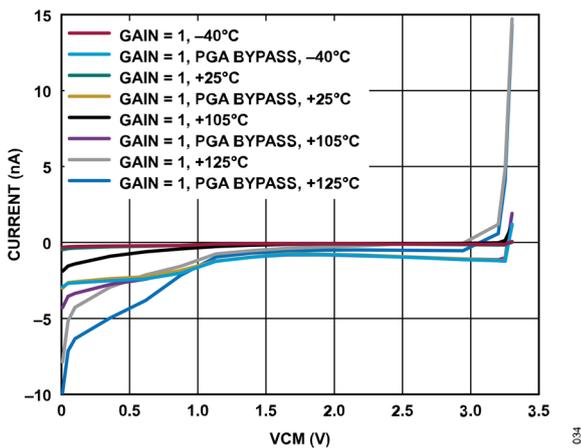


図 34. 様々な温度での絶対 AINP 電流と AIN コモンモード電圧 (VCM) の関係 (ゲイン = 1、VDIFF = 0V)

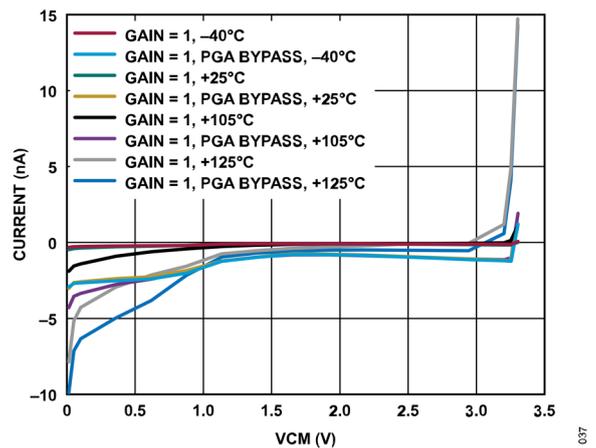


図 37. 様々な温度での絶対 AINM 電流と VCM の関係 (ゲイン = 1、VDIFF = 0V)

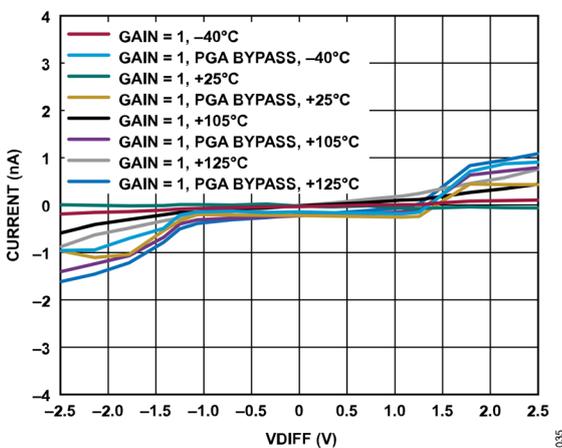


図 35. 様々な温度での差動 AIN 電流と VDIFF の関係 (ゲイン = 1、VCM = AV_{DD}/2)

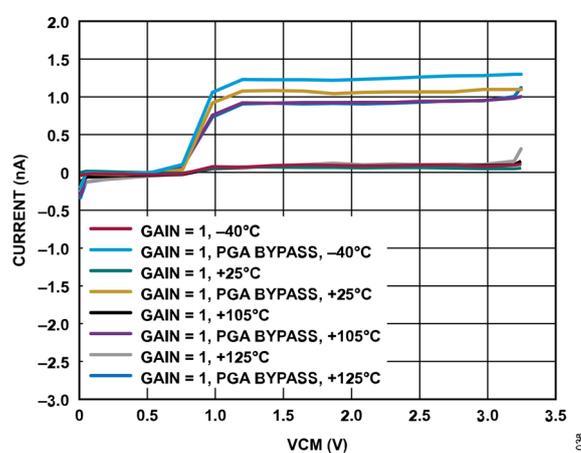


図 38. 様々な温度での差動 AIN 電流と VCM の関係 (ゲイン = 1、VCM = AV_{DD}/2)

代表的な性能特性

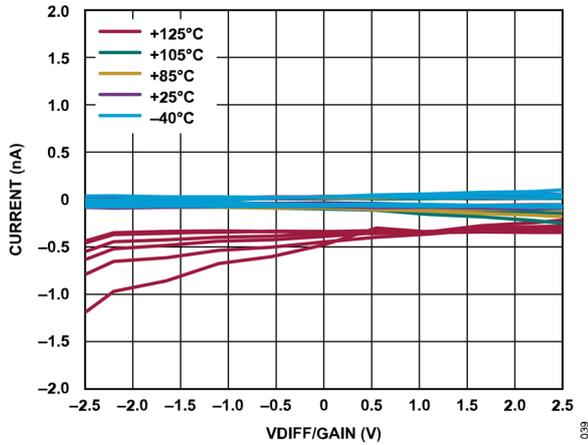


図 39. 様々な温度での絶対 AINP 電流と正規化された差動 AIN 電圧 (VDIFF/ゲイン) の関係 (ゲイン = 2~128、VCM = AV_{DD}/2)

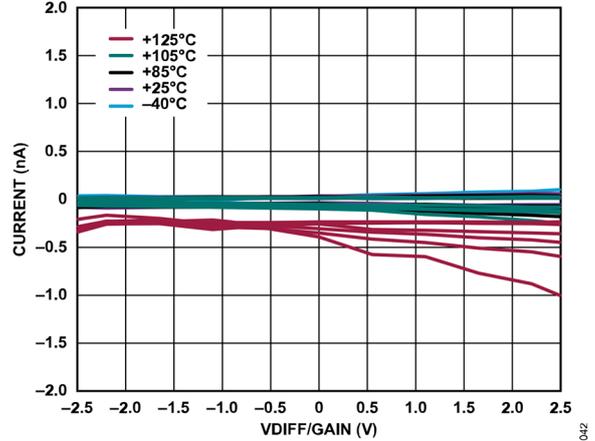


図 42. 様々な温度での絶対 AINM 電流と VDIFF/ゲインの関係 (ゲイン = 2~128、VCM = AV_{DD}/2)

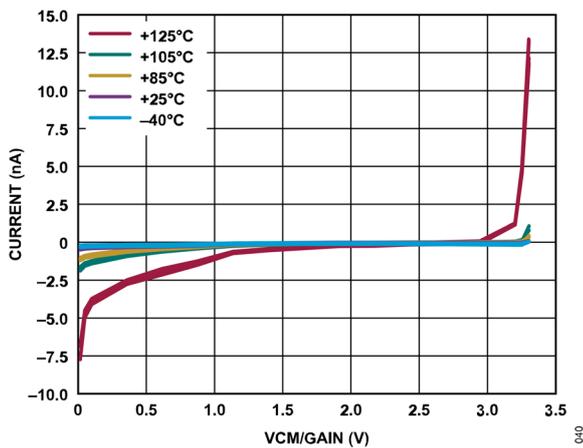


図 40. 様々な温度での絶対 AINP 電流と正規化された AIN コモンモード電圧 (VCM/ゲイン) の関係 (ゲイン = 2~128、VDIFF = 0V)

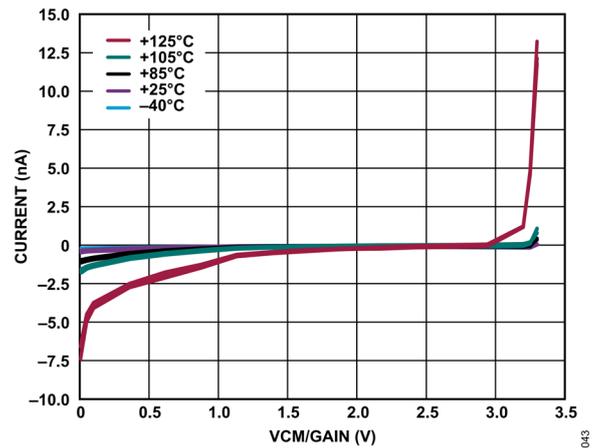


図 43. 様々な温度での絶対 AINM 電流と VCM/ゲインの関係 (ゲイン = 2~128、VDIFF = 0V)

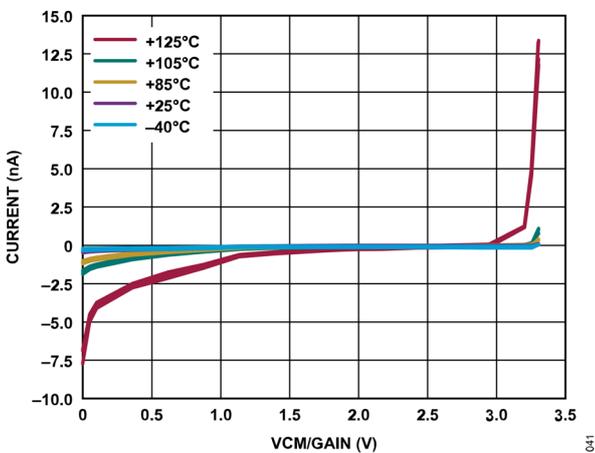


図 41. 様々な温度での差動 AIN 電流と VDIFF/ゲインの関係 (ゲイン = 2~128、VCM = AV_{DD}/2)

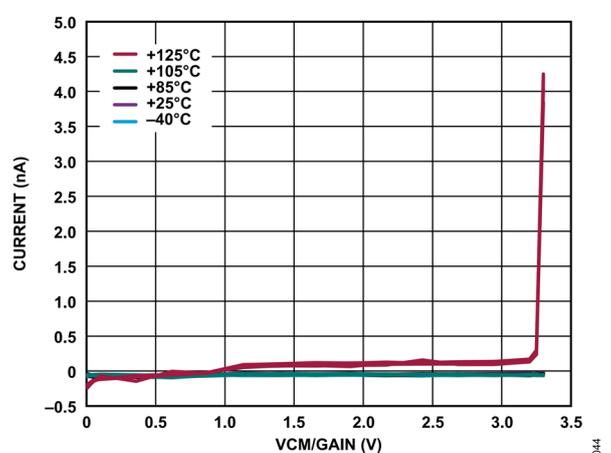


図 44. 様々な温度での差動 AIN 電流と VCM/ゲインの関係 (ゲイン = 2~128、VDIFF = 0V)

代表的な性能特性

電源電流

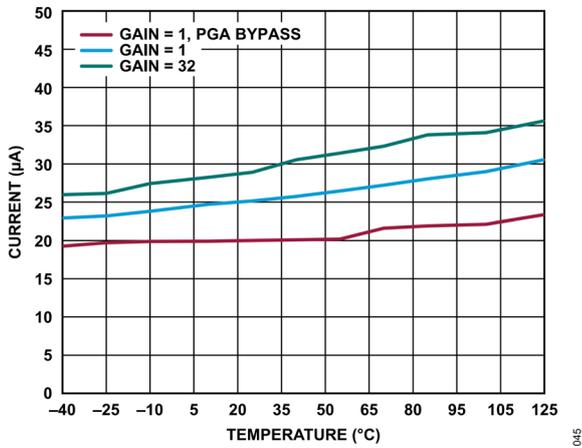


図 45. 様々なゲインでの AV_{DD} 電流と温度の関係

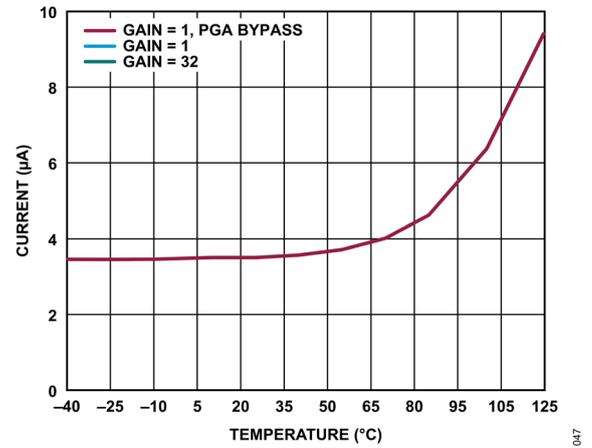


図 47. IOV_{DD} 電流と温度の関係

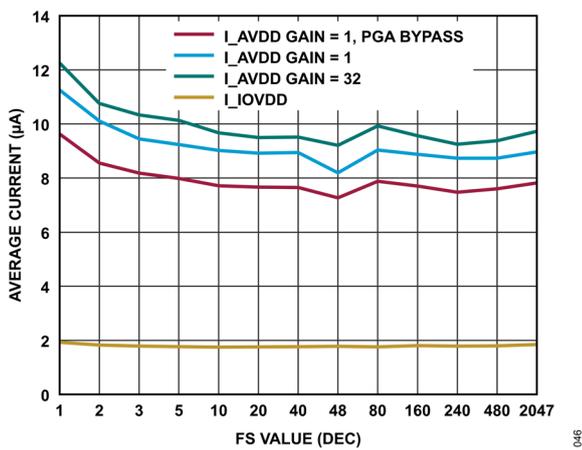


図 46. デューティ・サイクル動作時の消費電流 (AV_{DD} および IOV_{DD})、DUTY_CYC_RATIO = 1/4 (I_{AVDD} は AV_{DD} 電流、I_{IOVDD} は IOV_{DD} 電流)

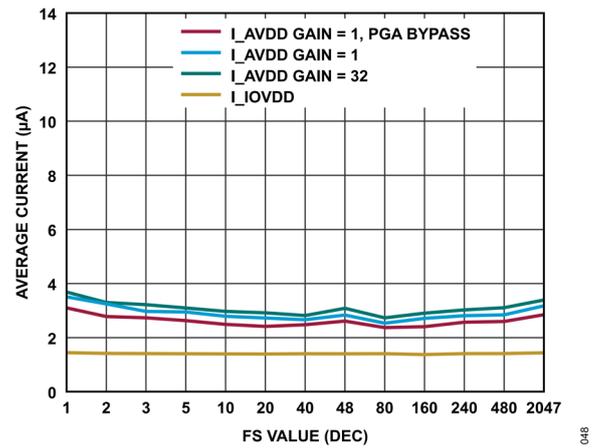


図 48. デューティ・サイクル動作時の消費電流 (AV_{DD} および IOV_{DD})、DUTY_CYC_RATIO = 1/16

代表的な性能特性

リファレンス入力電流

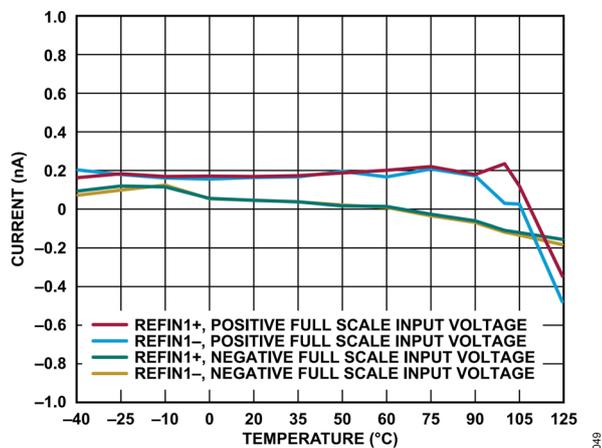


図 49. リファレンス入力電流と温度の関係
(リファレンス・バッファをオン、2.5V の外部リファレンス)

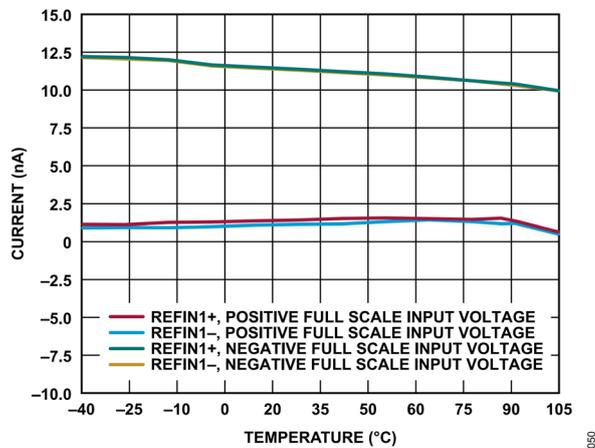


図 50. リファレンス入力電流と温度の関係
(リファレンス・バッファをバイパス、2.5V の外部リファレンス)

代表的な性能特性

内部リファレンスおよび温度センサー

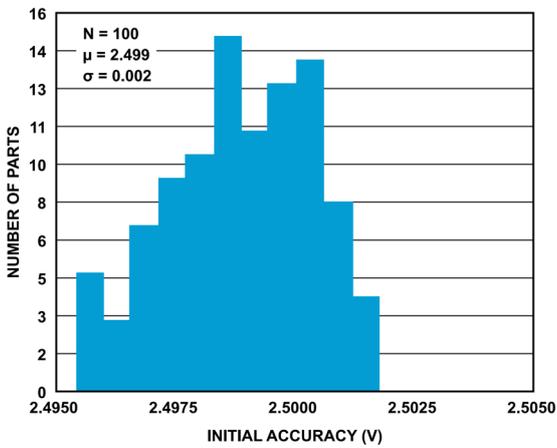


図 51. 2.5V の内部リファレンス電圧のヒストグラム

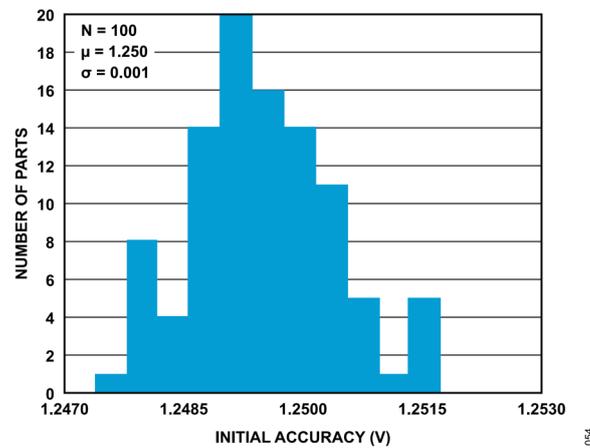


図 54. 1.25V の内部リファレンス電圧のヒストグラム

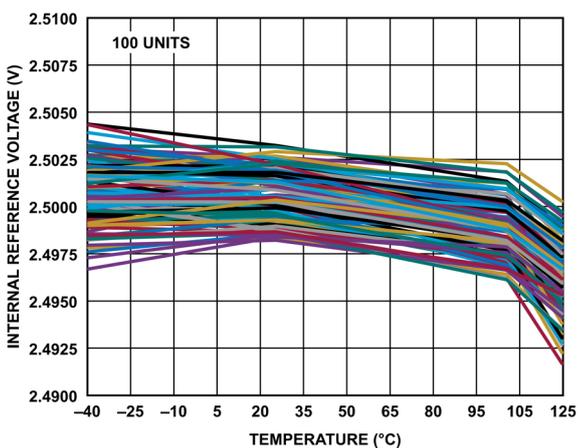


図 52. 2.5V の内部リファレンス電圧と温度の関係

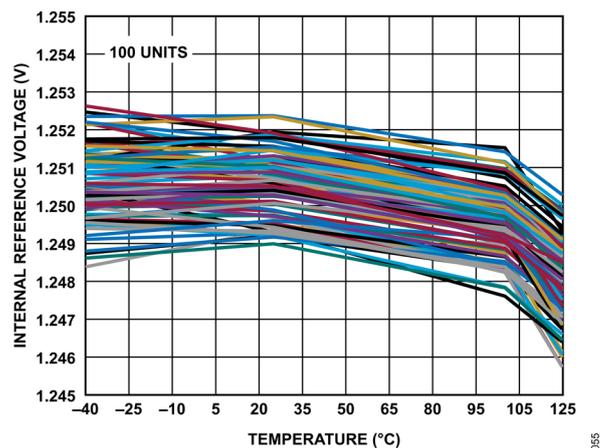


図 55. 1.25V の内部リファレンス電圧と温度の関係

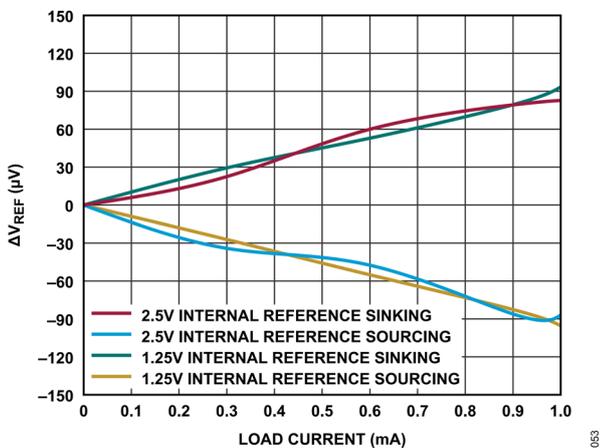


図 53. 1.25V ($AV_{DD} = 1.8V$) および 2.5V ($AV_{DD} = 3.3V$) の内部リファレンス電圧と負荷電流の関係

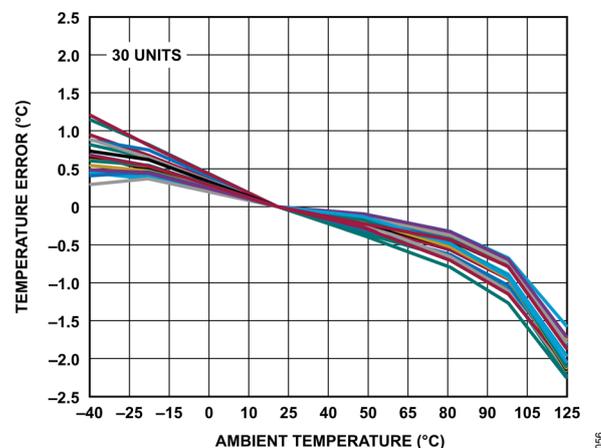


図 56. 25°C で校正後の温度センサー誤差と周囲温度の関係

代表的な性能特性

励起電流

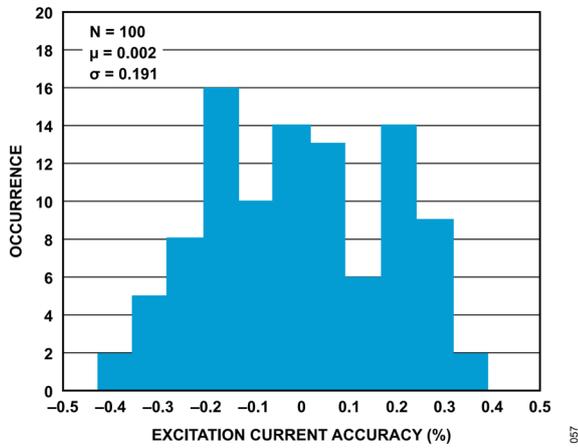


図 57. 励起電流の初期精度のヒストグラム (100µA)

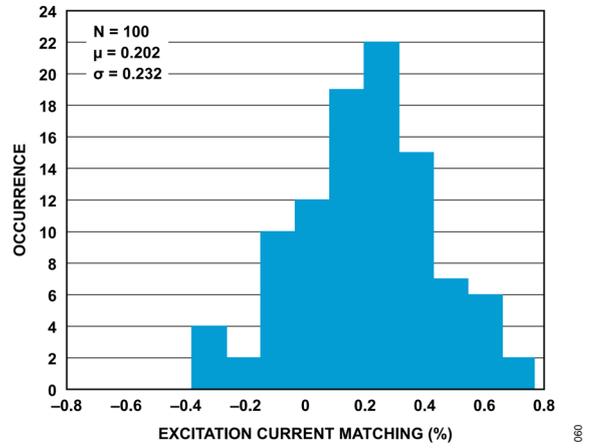


図 60. 励起電流の初期マッチングのヒストグラム (100µA)

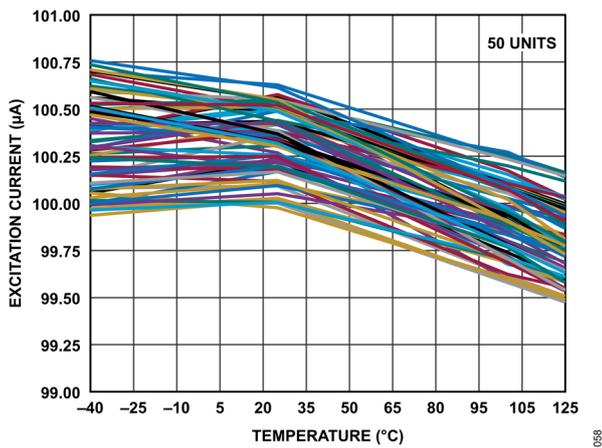


図 58. 励起電流と温度の関係 (100µA)

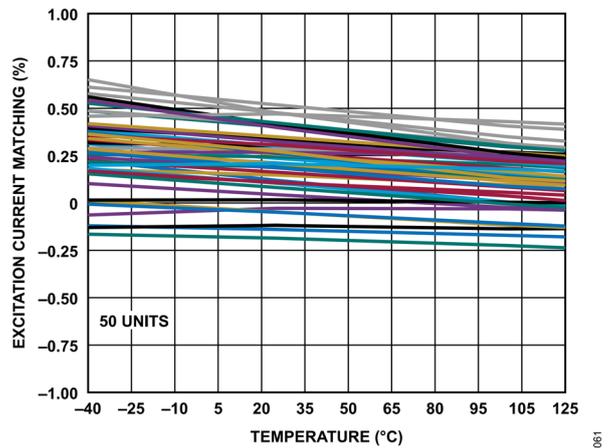


図 61. 励起電流マッチングと温度の関係 (100µA)

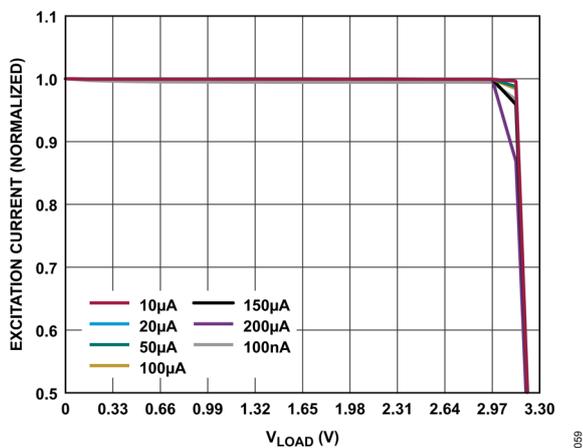


図 59. 様々な IEXC ソースでの出力コンプライアンス (AV_{DD} = 3.3V、V_{LOAD} は負荷電圧)

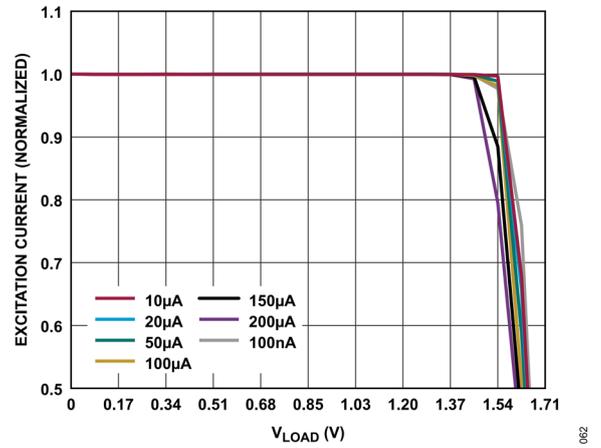


図 62. 様々な IEXC ソースでの出力コンプライアンス (AV_{DD} = 1.71V)

代表的な性能特性

分解能

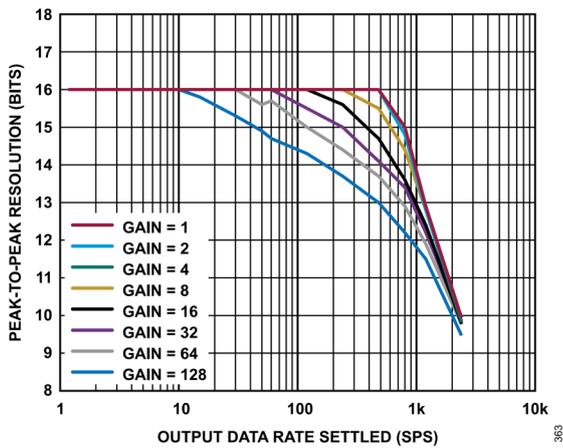


図 63. 様々なゲインでのピーク to ピーク分解能と出力データレート（セトリング後）の関係（Sinc³フィルタ）

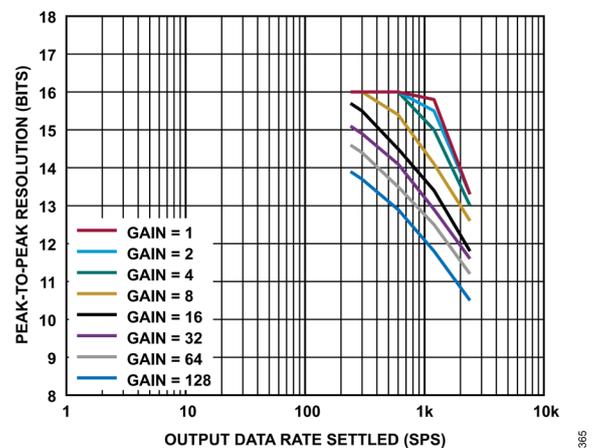


図 65. 様々なゲインでのピーク to ピーク分解能と出力データレート（セトリング後）の関係（Sinc⁴フィルタ）

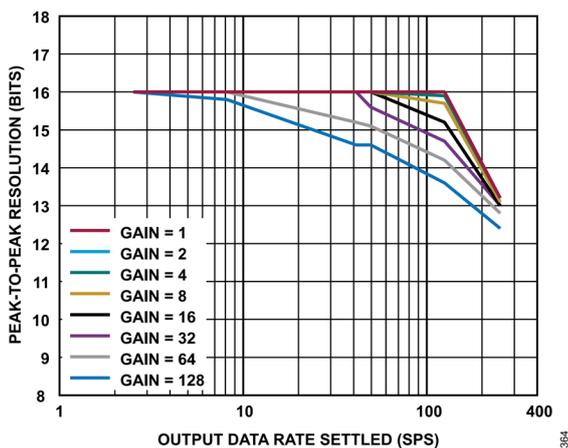


図 64. 様々なゲインでのピーク to ピーク分解能と出力データレート（セトリング後）の関係（Sinc³ + Sinc¹フィルタ）

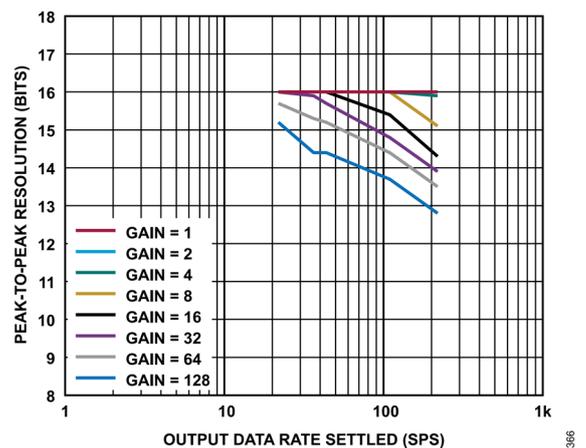


図 66. 様々なゲインでのピーク to ピーク分解能と出力データレート（セトリング後）の関係（Sinc⁴ + Sinc¹フィルタ）

代表的な性能特性

FFT

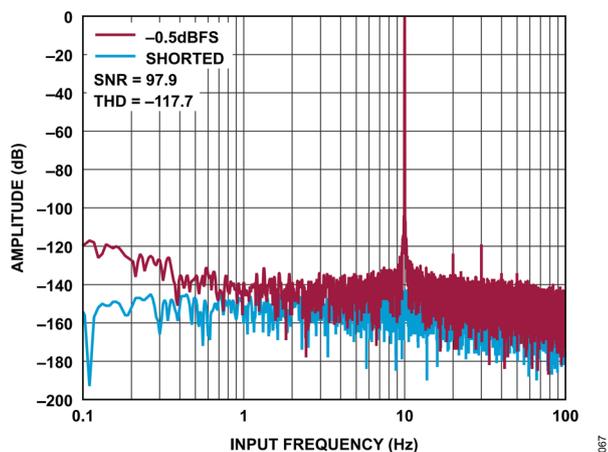


図 67. FFT、-0.5dBFS と短絡入力の比較、10Hz の入力トーン、 sinc^3 フィルタ、ODR = 240SPS、ゲイン = 1、内部リファレンス

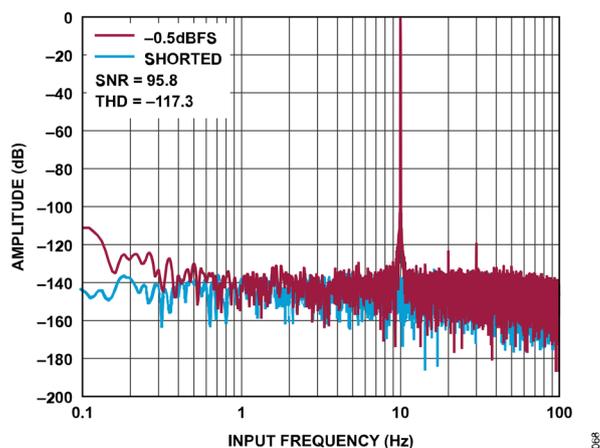


図 68. FFT、-0.5dBFS と短絡入力の比較、10Hz の入力トーン、 sinc^3 フィルタ、ODR = 240SPS、ゲイン = 1、外部リファレンス

用語の定義

アナログ入力

AINP

AINP は正のアナログ入力です。

AINM

AINM は負のアナログ入力です。

入カスパン

入カスパンの仕様は、アナログ入力を受け入れることができ、なおゲインを正確に校正できる、ゼロからフルスケールまでの最小および最大の入力電圧を規定しています。

ADC

積分非直線性 (INL) 誤差

INL は ADC 伝達関数の両エンドポイントを通る直線からの最大偏差を表します。伝達関数のエンドポイントは、ゼロ・スケール (バイポーラ・ゼロと混同しないように注意してください)、すなわち最初のコード遷移 (000 ...000 から 000 ...001) より 0.5LSB 下にある点と、フルスケール、すなわち最後のコード遷移 (111 ...110 から 111 ...111) より 0.5LSB 上にある点です。誤差は、フルスケール範囲の ppm で表示します。

オフセット誤差

オフセット誤差は、理想的なミッドスケール入力電圧 (0V) と、ミッドスケール出力コードを生成する実際の電圧との差です。

オフセット校正範囲

システム校正モードにおいて、AD4129-4 はアナログ入力に対してオフセットを校正します。オフセット校正範囲の仕様は、AD4129-4 が受け入れることができ、なおオフセットを正確に校正できる電圧範囲を定義しています。

ゲイン誤差

フルスケール範囲 (FSR)

フルスケール範囲は、AD4129-4 がリファレンス電圧およびゲイン値の選択に基づいて受け入れることができる入力範囲です。差動入力信号の場合、 $FSR = 2 \times V_{REF}/\text{ゲイン}$ です。

フルスケール校正範囲

フルスケール校正範囲は、AD4129-4 がシステム校正モードで受け入れることができ、なおフルスケールを正確に校正できる電圧の範囲です。

出力データレート (ODR)

出力データレートは、ADC が連続的に変換を実行しているときに、単一の安定したチャンネルで ADC 変換データが利用できる速度です。

同一変換出力データレート (1CNV_ODR)

同一変換出力データレートは、フィルタ設定が同じ複数のチャンネルを用い、各チャンネルにつき 1 サンプルずつ取得する際に ADC 変換データが利用できる速度です。

リファレンス

ライン・レギュレーション

ライン・レギュレーションは、電源電圧の特定の変化に対する出力電圧の変化を示し、 $\mu\text{V}/\text{V}$ で表されます。

負荷レギュレーション

負荷レギュレーションは、負荷電流の特定の変化に対する出力電圧の変化を示し、 $\mu\text{V}/\text{mA}$ で表されます。

電圧リファレンス (V_{REF}) の温度係数 (TC)

V_{REF} TC は、デバイスの周囲温度の変化に伴うリファレンス出力電圧の変化を表す指標であり、 25°C での出力電圧で正規化されています。 V_{REF} TC はボックス法を用いて規定されています。これは、TC を特定の温度範囲におけるリファレンス出力の最大変化量として次式のように定義し、 $\text{ppm}/^\circ\text{C}$ を単位とします。

$$V_{REF} \text{ TC} = \left(\frac{V_{REF_MAX} - V_{REF_MIN}}{V_{REF_NOM} \times TEMP_RANGE} \right) \times 10^6 \text{ ppm}/^\circ\text{C}$$

ここで、

V_{REF_MAX} は全温度範囲にわたって計測された最大リファレンス電圧出力です。

V_{REF_MIN} は全温度範囲にわたって計測された最小リファレンス電圧出力です。

V_{REF_NOM} は周囲温度 (25°C) での公称リファレンス電圧出力です。

$TEMP_RANGE$ はリファレンスの最大動作温度と最小動作温度の差です。

電圧リファレンス (V_{REF}) のノイズ・スペクトル密度 (NSD)

V_{REF} NSD は、スペクトル密度 ($\text{nV}/\sqrt{\text{Hz}}$) として表される、内部で発生する熱ノイズの指標です。

温度センサー

精度

温度センサーの精度は、内部で計測した温度と実際の周囲温度の差を 25°C での計測値に基づいて正規化したものです。温度センサーの精度は $^\circ\text{C}$ で表されます。

用語の定義

感度

温度センサーの感度は、周囲温度の変化による出力電圧の変化を指すもので、 $\mu\text{V}/\text{K}$ または LSB/K で表されます。

ノイズおよび分解能

表 15～表 34 には、様々な出力データレート、ゲイン設定、およびフィルタに対する AD4129-4 の実効値ノイズ、ピーク to ピーク・ノイズ、実効分解能、ノイズフリー（ピーク to ピーク）分解能が示されています。これらの数値は、3.3V 動作の場合は 2.5V の外部リファレンス、1.8V 動作の場合は 1.25V の外部リファレンスを用いたバイポーラ入力範囲でのもので、リファレンス・バッファはバイパス・モードです。これらの数値は標準値であり、ADC が単一チャンネルで連続変換しているときに 0V の差動入力電圧を用いて得られた値です。重要な点として、実

効分解能は実効値ノイズを用いて計算されており、ピーク to ピーク分解能（括弧内に示されている値）はピーク to ピーク・ノイズ（括弧内に示されている値）に基づいて計算されていることに注意してください。ピーク to ピーク分解能は、コードのフリッカが生じない分解能を表します。

$$\text{Effective Resolution} = \text{Log}_2(\text{Input Range}/\text{RMS Noise})$$

$$\text{Peak-to-Peak Resolution} = \text{Log}_2(\text{Input Range}/\text{Peak-to-Peak Noise})$$

2.5V リファレンス

Sinc³

表 15. 実効値ノイズ（ピーク to ピーク・ノイズ）とゲインおよび出力データレートの対応関係、単位：μV_{RMS} (μV_{P-P})

FS (Dec.)	ODR (SPS)	f _{3dB} (Hz)	Gain = 1									
			PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128	
2047	1.17	0.3	0.19 (1.19)	0.22 (1.29)	0.13 (0.84)	0.09 (0.55)	0.07 (0.46)	0.06 (0.42)	0.05 (0.32)	0.04 (0.23)	0.03 (0.19)	
480	5	1.3	0.35 (2.19)	0.43 (2.58)	0.25 (1.64)	0.18 (1.09)	0.15 (0.92)	0.13 (0.86)	0.10 (0.62)	0.08 (0.51)	0.06 (0.40)	
240	10	2.6	0.49 (3.08)	0.59 (3.78)	0.36 (2.29)	0.25 (1.64)	0.21 (1.40)	0.18 (1.15)	0.14 (0.88)	0.11 (0.75)	0.09 (0.60)	
160	15	3.92	0.57 (3.68)	0.75 (4.97)	0.44 (2.93)	0.30 (1.86)	0.26 (1.60)	0.22 (1.41)	0.18 (1.21)	0.13 (0.87)	0.11 (0.71)	
80	30	7.86	0.83 (5.46)	1.03 (6.76)	0.62 (3.87)	0.43 (2.66)	0.37 (2.32)	0.30 (2.16)	0.25 (1.56)	0.18 (1.24)	0.15 (0.96)	
48	50	13.15	1.08 (7.05)	1.32 (8.35)	0.80 (5.32)	0.56 (3.58)	0.48 (3.24)	0.40 (2.61)	0.33 (2.17)	0.25 (1.50)	0.20 (1.24)	
40	60	15.78	1.17 (7.55)	1.46 (8.74)	0.88 (5.66)	0.62 (4.07)	0.51 (3.35)	0.44 (2.89)	0.36 (2.22)	0.27 (1.70)	0.23 (1.42)	
20	120	31.8	1.59 (10.13)	2.13 (14.31)	1.25 (8.49)	0.89 (5.81)	0.74 (4.72)	0.63 (3.86)	0.51 (3.29)	0.37 (2.24)	0.31 (1.95)	
10	240	64.8	2.49 (15.90)	3.13 (20.66)	1.89 (11.38)	1.37 (8.67)	1.12 (6.82)	1.00 (6.70)	0.77 (5.12)	0.56 (3.54)	0.47 (2.98)	
5	480	133.44	5.76 (33.78)	6.65 (43.32)	3.86 (24.94)	2.55 (16.49)	2.10 (13.59)	1.80 (11.71)	1.28 (7.90)	0.91 (6.06)	0.74 (4.37)	
3	800	231.2	25.44 (149.22)	25.34 (155.38)	13.34 (85.49)	7.20 (45.70)	4.72 (30.04)	3.69 (23.55)	2.29 (15.36)	1.54 (9.50)	1.27 (7.51)	
2	1200	361.2	108.05 (667.42)	109.77 (658.78)	55.46 (355.07)	28.45 (179.07)	14.81 (94.36)	9.07 (57.71)	5.10 (33.51)	3.10 (19.22)	2.25 (14.91)	
1	2400	626.4	873.32 (5423.90)	890.93 (5424.10)	440.53 (2516.04)	221.90 (1317.65)	110.41 (763.43)	57.08 (361.40)	29.00 (189.77)	14.90 (88.22)	8.66 (57.57)	

表 16. 実効分解能（ピーク to ピーク分解能）とゲインおよび出力データレートの対応関係、単位：ビット

FS (Dec.)	ODR (SPS)	Gain = 1									
		PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128	
2047	1.17	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)
480	5	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)
240	10	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)
160	15	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	18.4 (15.7)
80	30	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	18 (15.2)
48	50	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.6)	16 (14.9)
40	60	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.4)	16 (14.7)
20	120	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.5)	16 (15)	16 (14.2)
10	240	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.5)	16 (14.9)	16 (14.4)	16 (13.6)
5	480	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.5)	16 (14.7)	16 (14.2)	16 (13.7)	15.7 (13)
3	800	16 (14.9)	16 (14.9)	16 (14.8)	16 (14.7)	16 (14.3)	16 (13.6)	16 (13.3)	15.6 (12.9)	14.9 (12.2)	14.9 (12.2)
2	1200	15.5 (12.8)	15.5 (12.8)	15.5 (12.7)	15.4 (12.7)	15.4 (12.6)	15.1 (12.4)	14.9 (12.2)	14.6 (11.9)	14.1 (11.4)	14.1 (11.4)
1	2400	12.5 (9.8)	12.5 (9.7)	12.5 (9.7)	12.5 (9.7)	12.5 (9.7)	12.5 (9.7)	12.4 (9.7)	12.4 (9.7)	12.4 (9.6)	12.1 (9.4)

ノイズおよび分解能

Sinc⁴

表 17. 実効値ノイズ（ピーク to ピーク・ノイズ）とゲインおよび出力データレートの対応関係、単位：μV_{RMS} (μV_{P-P})

FS (Dec.)	ODR (SPS)	f _{3dB} (Hz)	Gain = 1								
			PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
10	240	55.68	2.28 (15.00)	2.88 (18.38)	1.73 (10.83)	1.24 (8.07)	1.04 (6.95)	0.90 (5.97)	0.68 (4.03)	0.51 (3.24)	0.43 (2.75)
8	300	70.2	2.61 (17.58)	3.30 (22.25)	1.95 (12.22)	1.38 (9.61)	1.20 (7.79)	1.01 (6.36)	0.79 (5.18)	0.58 (3.75)	0.50 (3.18)
4	600	144	4.16 (28.81)	5.42 (33.28)	3.36 (21.01)	2.52 (15.70)	2.18 (13.45)	1.93 (12.52)	1.36 (8.88)	0.98 (6.44)	0.82 (5.18)
2	1200	301.2	8.81 (55.63)	11.56 (78.78)	7.54 (48.28)	5.74 (37.16)	5.09 (34.30)	4.68 (31.83)	2.95 (20.42)	2.03 (13.39)	1.71 (10.61)
1	2400	544.8	71.51 (430.67)	77.87 (459.58)	38.91 (227.06)	22.80 (138.04)	15.77 (101.41)	12.93 (79.89)	7.70 (47.71)	5.19 (32.50)	4.08 (26.55)

表 18. 実効分解能（ピーク to ピーク分解能）とゲインおよび出力データレートの対応関係、単位：ビット

FS (Dec.)	ODR (SPS)	Gain = 1								
		PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
10	240	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.7)	16 (15.1)	16 (14.5)	16 (13.8)
8	300	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.5)	16 (14.9)	16 (14.3)	16 (13.5)
4	600	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.4)	16 (14.6)	16 (14.1)	16 (13.6)	15.5 (12.8)
2	1200	16 (16)	16 (16)	16 (15.6)	16 (15)	16 (14.2)	16 (13.3)	15.7 (13)	15.2 (12.5)	14.5 (11.8)
1	2400	16 (13.4)	16 (13.2)	16 (13.2)	15.7 (13)	15.3 (12.6)	14.6 (11.8)	14.3 (11.6)	13.9 (11.2)	13.2 (10.5)

Sinc³ + Sinc¹（平均化フィルタ）

表 19. 実効値ノイズ（ピーク to ピーク・ノイズ）とゲインおよび出力データレートの対応関係、単位：μV_{RMS} (μV_{P-P})

FS (Dec.)	ODR (SPS)	f _{3dB} (Hz)	Gain = 1								
			PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
96	2.5	1.36	0.36 (2.38)	0.44 (2.78)	0.27 (1.64)	0.18 (1.17)	0.15 (0.93)	0.13 (0.81)	0.11 (0.71)	0.08 (0.54)	0.07 (0.47)
30	8	4.36	0.63 (3.97)	0.79 (5.26)	0.46 (3.08)	0.33 (2.11)	0.27 (1.66)	0.23 (1.43)	0.20 (1.21)	0.14 (0.96)	0.12 (0.77)
6	40	21.85	1.41 (9.04)	1.78 (11.82)	1.06 (7.30)	0.75 (4.82)	0.65 (4.02)	0.53 (3.46)	0.44 (2.66)	0.32 (2.10)	0.27 (1.72)
5	48	26.22	1.60 (9.93)	2.00 (13.21)	1.22 (8.34)	0.83 (6.03)	0.70 (4.20)	0.59 (3.79)	0.48 (3.06)	0.35 (2.37)	0.29 (1.85)
2	120	65.7	11.42 (74.40)	11.93 (77.28)	6.09 (39.49)	3.16 (19.49)	1.92 (11.57)	1.32 (8.21)	0.92 (6.09)	0.65 (4.09)	0.53 (3.56)
1	240	130.8	89.40 (518.14)	90.32 (537.21)	44.72 (266.52)	22.48 (146.02)	11.75 (74.63)	6.13 (37.84)	3.21 (19.99)	1.80 (11.39)	1.15 (7.30)

表 20. 実効分解能（ピーク to ピーク分解能）とゲインおよび出力データレートの対応関係、単位：ビット

FS (Dec.)	ODR (SPS)	Gain = 1								
		PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
96	2.5	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)
30	8	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.6)
6	40	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	6 (15.7)	16 (14.4)
5	48	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.6)	16 (14.3)
2	120	16 (16)	16 (16)	16 (15.9)	16 (15.9)	16 (15.6)	16 (15.1)	16 (14.6)	16 (14.2)	16 (13.5)
1	240	15.8 (13.1)	15.8 (13)	15.8 (13)	15.8 (13)	15.7 (13)	15.6 (12.9)	15.6 (12.9)	15.4 (12.7)	15.1 (12.3)

ノイズおよび分解能

Sinc⁴ + Sinc¹ (平均化フィルタ)

表 21. 実効値ノイズ (ピーク to ピーク・ノイズ) とゲインおよび出力データレートの対応関係、単位: μV_{RMS} ($\mu\text{V}_{\text{P-P}}$)

FS (Dec.)	ODR (SPS)	$f_{3\text{dB}}$ (Hz)	Gain = 1									
			PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128	
10	21.82	13.02	1.10 (6.85)	1.37 (8.54)	0.82 (5.26)	0.57 (3.70)	0.46 (2.96)	0.40 (2.42)	0.34 (2.14)	0.25 (1.57)	0.20 (1.41)	
6	36.36	21.7	1.36 (8.94)	1.73 (12.22)	1.07 (7.25)	0.74 (4.79)	0.63 (4.11)	0.51 (3.26)	0.42 (2.82)	0.32 (2.17)	0.26 (1.77)	
5	43.64	26.04	1.53 (10.53)	1.93 (13.41)	1.15 (7.15)	0.81 (5.04)	0.69 (4.28)	0.58 (3.62)	0.48 (3.18)	0.34 (2.35)	0.30 (1.80)	
2	109.1	62.25	2.61 (17.58)	3.39 (20.96)	2.05 (12.81)	1.47 (9.24)	1.27 (8.57)	1.12 (6.97)	0.84 (5.27)	0.59 (3.96)	0.50 (3.10)	
1	218.18	129.9	7.94 (47.28)	8.72 (57.42)	4.95 (31.89)	3.28 (20.51)	2.57 (15.10)	2.21 (13.14)	1.48 (9.52)	1.04 (7.12)	0.86 (5.77)	

表 22. 実効分解能 (ピーク to ピーク分解能) とゲインおよび出力データレートの対応関係、単位: ビット

FS (Dec.)	ODR (SPS)	Gain = 1									
		PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128	
10	21.82	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.5)	16 (14.8)
6	36.36	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.8)	16 (15.2)	16 (14.4)
5	43.64	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.6)	16 (15.1)	16 (14.3)
2	109.1	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.4)	16 (14.8)	16 (14.3)	16 (13.5)
1	218.18	16 (16)	16 (16)	16 (16)	16 (15.8)	16 (15.2)	16 (14.4)	16 (14)	16 (13.5)	15.5 (12.7)	

後置フィルタ

表 23. 実効値ノイズ (ピーク to ピーク・ノイズ) とゲインおよび出力データレートの対応関係、単位: μV_{RMS} ($\mu\text{V}_{\text{P-P}}$)

Filter Type	ODR (SPS)	$f_{3\text{dB}}$ (Hz)	Gain = 1									
			PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128	
Post Filter 4	16.21	12.54	1.06 (7.05)	1.34 (8.74)	0.78 (5.02)	0.57 (3.90)	0.46 (2.87)	0.39 (2.43)	0.33 (2.03)	0.24 (1.48)	0.20 (1.29)	
Post Filter 3	19.355	13.08	1.13 (7.55)	1.36 (8.54)	0.81 (5.02)	0.57 (3.70)	0.48 (3.08)	0.40 (2.68)	0.33 (2.20)	0.24 (1.58)	0.20 (1.37)	
Post Filter 2	24	14.7	1.36 (8.94)	1.60 (10.33)	0.92 (6.11)	0.64 (4.20)	0.52 (3.34)	0.44 (3.05)	0.35 (2.37)	0.26 (1.72)	0.21 (1.43)	
Post Filter 1	26.087	16.68	1.22 (8.15)	1.53 (10.23)	0.92 (6.11)	0.65 (4.52)	0.54 (3.71)	0.45 (2.86)	0.38 (2.33)	0.28 (1.85)	0.23 (1.52)	

表 24. 実効分解能 (ピーク to ピーク分解能) とゲインおよび出力データレートの対応関係、単位: ビット

Filter Type	ODR (SPS)	Gain = 1									
		PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128	
Post Filter 4	16.21	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.6)	16 (14.8)
Post Filter 3	19.355	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.6)	16 (14.8)
Post Filter 2	24	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.5)	16 (14.8)
Post Filter 1	26.087	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.9)	16 (15.4)	16 (14.6)

1.25V リファレンス

Sinc³

表 25. 実効値ノイズ (ピーク to ピーク・ノイズ) とゲインおよび出力データレートの対応関係、単位: μV_{RMS} ($\mu\text{V}_{\text{P-P}}$)

FS (Dec.)	ODR (SPS)	$f_{3\text{dB}}$ (Hz)	Gain = 1									
			PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128	
2047	1.17	0.3	0.16 (0.99)	0.21 (1.34)	0.13 (0.82)	0.09 (0.57)	0.07 (0.50)	0.06 (0.36)	0.05 (0.33)	0.04 (0.25)	0.03 (0.22)	
480	5	1.3	0.33 (2.09)	0.43 (2.88)	0.26 (1.69)	0.18 (1.22)	0.15 (0.94)	0.13 (0.83)	0.10 (0.67)	0.08 (0.55)	0.06 (0.44)	
240	10	2.6	0.47 (2.98)	0.61 (4.17)	0.36 (2.29)	0.25 (1.53)	0.21 (1.42)	0.18 (1.18)	0.15 (1.08)	0.11 (0.74)	0.09 (0.58)	

ノイズおよび分解能

表 25. 実効値ノイズ（ピーク to ピーク・ノイズ）とゲインおよび出力データレートの対応関係、単位：μV_{RMS}（μV_{P-P}）（続き）

FS (Dec.)	ODR (SPS)	f _{3dB} (Hz)	Gain = 1								
			PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
160	15	3.92	0.57 (3.87)	0.70 (4.47)	0.44 (2.68)	0.31 (1.97)	0.26 (1.78)	0.22 (1.43)	0.19 (1.25)	0.13 (0.90)	0.11 (0.76)
80	30	7.86	0.81 (5.51)	1.03 (6.86)	0.62 (3.70)	0.44 (2.99)	0.36 (2.19)	0.31 (2.14)	0.26 (1.66)	0.19 (1.12)	0.16 (0.96)
48	50	13.15	1.07 (7.05)	1.34 (8.54)	0.80 (5.09)	0.57 (3.74)	0.49 (3.58)	0.41 (2.71)	0.33 (2.20)	0.25 (1.64)	0.21 (1.41)
40	60	15.78	1.17 (7.50)	1.45 (9.09)	0.85 (5.91)	0.63 (4.17)	0.52 (3.23)	0.45 (3.10)	0.37 (2.44)	0.27 (1.71)	0.23 (1.57)
20	120	31.8	1.66 (11.08)	2.07 (14.31)	1.26 (8.07)	0.90 (5.71)	0.74 (4.53)	0.65 (4.34)	0.53 (3.47)	0.39 (2.41)	0.32 (2.02)
10	240	64.8	2.37 (15.75)	3.07 (21.01)	1.86 (11.47)	1.33 (8.79)	1.12 (7.66)	0.99 (7.02)	0.78 (5.07)	0.58 (3.46)	0.47 (2.91)
5	480	133.44	4.23 (27.32)	5.18 (31.84)	3.16 (21.04)	2.23 (13.62)	1.95 (12.25)	1.67 (11.30)	1.25 (8.59)	0.94 (5.99)	0.78 (5.01)
3	800	231.2	13.79 (91.65)	14.57 (97.41)	7.78 (48.81)	4.82 (31.51)	3.73 (21.97)	3.12 (18.61)	2.11 (13.12)	1.53 (10.30)	1.25 (8.08)
2	1200	361.2	56.65 (348.62)	58.95 (383.78)	29.90 (170.04)	15.07 (88.48)	9.35 (59.43)	6.32 (38.24)	3.93 (25.58)	2.62 (16.29)	2.11 (14.12)
1	2400	626.4	451.81 (2831.34)	441.73 (2720.87)	225.95 (1360.33)	114.08 (712.09)	59.38 (378.43)	31.81 (190.83)	16.53 (97.28)	9.33 (58.10)	6.16 (38.91)

表 26. 実効分解能（ピーク to ピーク分解能）とゲインおよび出力データレートの対応関係、単位：ビット

FS (Dec.)	ODR (SPS)	Gain = 1									
		PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128	
2047	1.17	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)
480	5	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.5)
240	10	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.7)	16 (14.9)
160	15	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.9)	16 (15.4)	16 (14.7)
80	30	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.5)	16 (14.9)	16 (14.2)
48	50	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.8)	16 (15.1)	16 (14.5)	16 (13.8)
40	60	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.7)	16 (15)	16 (14.4)	16 (13.7)
20	120	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.2)	16 (14.5)	16 (13.9)	15.9 (13.2)
10	240	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.4)	16 (14.5)	16 (13.9)	16 (13.3)	15.3 (12.6)
5	480	16 (16)	16 (16)	16 (15.9)	16 (15.4)	16 (14.6)	16 (13.8)	16 (13.8)	15.9 (13.2)	15.3 (12.6)	14.6 (11.9)
3	800	16 (14.7)	16 (14.7)	16 (14.6)	16 (14.3)	16 (13.6)	15.6 (12.9)	15.2 (12.5)	14.6 (11.9)	13.9 (11.2)	13.9 (11.2)
2	1200	15.4 (12.7)	15.4 (12.7)	15.4 (12.6)	15.3 (12.6)	15 (12.3)	14.6 (11.9)	14.3 (11.6)	13.9 (11.1)	13.2 (10.5)	13.2 (10.5)
1	2400	12.4 (9.7)	12.5 (9.7)	12.4 (9.7)	12.4 (9.7)	12.4 (9.6)	12.3 (9.5)	12.2 (9.5)	12 (9.3)	11.6 (8.9)	11.6 (8.9)

Sinc⁴

表 27. 実効値ノイズ（ピーク to ピーク・ノイズ）とゲインおよび出力データレートの対応関係、単位：μV_{RMS}（μV_{P-P}）

FS (Dec.)	ODR (SPS)	f _{3dB} (Hz)	Gain = 1								
			PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
10	240	55.68	2.22 (14.21)	2.78 (18.88)	1.71 (11.62)	1.23 (7.99)	1.05 (6.90)	0.88 (5.80)	0.72 (4.84)	0.54 (3.29)	0.43 (2.88)
8	300	70.2	2.51 (15.65)	3.12 (18.33)	1.91 (12.20)	1.42 (9.21)	1.18 (7.54)	1.02 (6.34)	0.82 (4.99)	0.61 (4.14)	0.50 (3.24)
4	600	144	3.76 (24.79)	4.90 (33.03)	3.14 (20.04)	2.34 (16.72)	2.05 (13.35)	1.83 (11.89)	1.39 (9.32)	0.99 (6.47)	0.82 (5.37)
2	1200	301.2	6.49 (42.42)	9.25 (60.21)	6.45 (40.81)	5.07 (33.67)	4.57 (29.84)	4.25 (28.16)	2.86 (18.03)	2.00 (13.35)	1.68 (11.20)
1	2400	544.8	36.27 (207.89)	41.37 (247.28)	23.57 (142.32)	15.13 (100.89)	12.30 (77.83)	11.32 (71.09)	7.06 (48.19)	4.80 (32.89)	3.98 (24.31)

ノイズおよび分解能

表 28. 実効分解能（ピーク to ピーク分解能）とゲインおよび出力データレートの対応関係、単位：ビット

FS (Dec.)	ODR (SPS)	Gain = 1								
		PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
10	240	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.5)	16 (14.7)	16 (14)	16 (13.4)	15.5 (12.7)
8	300	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.3)	16 (14.5)	16 (13.8)	16 (13.2)	15.2 (12.5)
4	600	16 (16)	16 (16)	16 (15.9)	16 (15.3)	16 (14.5)	16 (13.7)	15.8 (13.1)	15.3 (12.6)	14.5 (11.8)
2	1200	16 (15.8)	16 (15.3)	16 (14.8)	16 (14.2)	16 (13.3)	15.2 (12.4)	14.7 (12)	14.3 (11.5)	13.5 (10.8)
1	2400	16 (13.4)	15.9 (13.2)	15.7 (13)	15.3 (12.6)	14.6 (11.9)	13.8 (11)	13.4 (10.7)	13 (10.3)	12.3 (9.5)

Sinc³ + Sinc¹（平均化フィルタ）

表 29. 実効値ノイズ（ピーク to ピーク・ノイズ）とゲインおよび出力データレートの対応関係、単位：μV_{RMS}（μV_{P-P}）

FS (Dec.)	ODR (SPS)	f _{3dB} (Hz)	Gain = 1								
			PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
96	2.5	1.36	0.35 (2.09)	0.43 (3.13)	0.26 (1.69)	0.19 (1.22)	0.15 (1.02)	0.13 (0.86)	0.11 (0.78)	0.08 (0.48)	0.07 (0.44)
30	8	4.36	0.61 (4.17)	0.77 (4.62)	0.47 (3.08)	0.33 (2.19)	0.28 (1.91)	0.23 (1.48)	0.19 (1.28)	0.15 (0.98)	0.12 (0.81)
6	40	21.85	1.39 (9.04)	1.78 (12.42)	1.07 (6.66)	0.76 (4.61)	0.64 (4.29)	0.53 (3.54)	0.44 (2.79)	0.33 (2.14)	0.27 (1.72)
5	48	26.22	1.57 (10.08)	1.95 (11.72)	1.17 (7.52)	0.82 (5.66)	0.71 (4.56)	0.59 (3.96)	0.47 (3.07)	0.36 (2.23)	0.30 (1.95)
2	120	65.7	6.32 (42.07)	6.57 (40.63)	3.54 (22.20)	2.09 (13.48)	1.47 (9.39)	1.17 (7.37)	0.87 (5.38)	0.64 (4.41)	0.52 (3.37)
1	240	130.8	45.47 (299.49)	47.55 (293.18)	23.49 (143.39)	12.20 (74.61)	6.32 (43.04)	3.65 (24.18)	2.11 (13.76)	1.33 (8.83)	1.00 (6.17)

表 30. 実効分解能（ピーク to ピーク分解能）とゲインおよび出力データレートの対応関係、単位：ビット

FS (Dec.)	ODR (SPS)	Gain = 1								
		PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
96	2.5	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.4)
30	8	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.9)	16 (14.6)
6	40	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.4)	16 (14.7)	16 (13.4)
5	48	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.3)	16 (14.6)	16 (13.3)
2	120	16 (15.9)	16 (15.8)	16 (15.7)	16 (15.5)	16 (15)	16 (14.3)	16 (13.7)	15.9 (13.2)	15.2 (12.5)
1	240	15.8 (13)	15.7 (13)	15.7 (13)	15.6 (12.9)	15.6 (12.9)	15.4 (12.7)	15.2 (12.5)	14.8 (12.1)	14.3 (11.5)

Sinc⁴ + Sinc¹（平均化フィルタ）

表 31. 実効値ノイズ（ピーク to ピーク・ノイズ）とゲインおよび出力データレートの対応関係、単位：μV_{RMS}（μV_{P-P}）

FS (Dec.)	ODR (SPS)	f _{3dB} (Hz)	Gain = 1								
			PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
10	21.82	13.02	1.08 (6.80)	1.37 (9.19)	0.79 (4.92)	0.57 (3.79)	0.49 (3.38)	0.41 (2.53)	0.34 (2.35)	0.25 (1.49)	0.21 (1.36)
6	36.36	21.7	1.39 (8.89)	1.72 (11.13)	1.04 (6.53)	0.75 (4.93)	0.62 (3.93)	0.54 (3.38)	0.44 (2.66)	0.32 (1.93)	0.27 (1.74)
5	43.64	26.04	1.54 (9.49)	1.89 (11.92)	1.17 (7.47)	0.82 (5.38)	0.69 (4.47)	0.58 (3.76)	0.48 (3.01)	0.36 (2.26)	0.29 (1.81)
2	109.1	62.25	2.49 (15.05)	3.22 (21.85)	1.99 (12.19)	1.43 (10.28)	1.21 (8.00)	1.05 (7.08)	0.82 (5.56)	0.60 (4.01)	0.51 (3.26)
1	218.18	129.9	4.96 (31.89)	6.16 (40.03)	3.81 (24.76)	2.62 (16.96)	2.28 (14.48)	1.99 (12.96)	1.47 (9.18)	1.04 (6.90)	0.86 (5.31)

表 32. 実効分解能（ピーク to ピーク分解能）とゲインおよび出力データレートの対応関係、単位：ビット

FS (Dec.)	ODR (SPS)	Gain = 1								
		PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
30	21.82	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.8)	16 (15.1)	16 (14.5)	16 (13.8)
6	36.36	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.4)	16 (14.7)	16 (14.2)	16 (13.4)
5	43.64	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.3)	16 (14.6)	16 (14)	16 (13.3)
2	109.1	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.3)	16 (14.5)	16 (13.8)	16 (13.3)	15.2 (12.5)

ノイズおよび分解能

表 32. 実効分解能（ピーク to ピーク分解能）とゲインおよび出力データレートの対応関係、単位：ビット（続き）

FS (Dec.)	ODR (SPS)	Gain = 1								
		PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
1	218.18	16 (16)	16 (15.9)	16 (15.6)	16 (15.1)	16 (14.3)	16 (13.5)	15.7 (13)	15.2 (12.5)	14.5 (11.8)

後置フィルタ

表 33. 実効値ノイズ（ピーク to ピーク・ノイズ）とゲインおよび出力データレートの対応関係、単位： μV_{RMS} ($\mu\text{V}_{\text{P-P}}$)

Filter Type	ODR (SPS)	$f_{3\text{dB}}$ (Hz)	Gain = 1								
			PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
Post Filter 4	16.21	12.54	1.03 (6.36)	1.33 (8.39)	0.79 (5.49)	0.55 (3.60)	0.47 (3.09)	0.39 (2.46)	0.33 (2.12)	0.25 (1.62)	0.21 (1.35)
Post Filter 3	19.355	13.08	1.09 (6.95)	1.36 (8.34)	0.82 (5.09)	0.56 (3.61)	0.48 (2.93)	0.40 (2.69)	0.34 (2.15)	0.26 (1.66)	0.21 (1.36)
Post Filter 2	24	14.7	1.18 (7.40)	1.50 (10.33)	0.88 (5.69)	0.62 (3.91)	0.51 (3.19)	0.43 (2.72)	0.36 (2.33)	0.26 (1.76)	0.22 (1.44)
Post Filter 1	26.087	16.68	1.24 (8.49)	1.53 (9.24)	0.90 (5.79)	0.65 (4.32)	0.54 (3.59)	0.47 (3.05)	0.39 (2.40)	0.28 (2.02)	0.24 (1.63)

表 34. 実効分解能（ピーク to ピーク分解能）とゲインおよび出力データレートの対応関係、単位：ビット

Filter Type	ODR (SPS)	Gain = 1								
		PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
Post Filter 4	16.21	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.9)	16 (15.2)	16 (14.6)	16 (13.8)
Post Filter 3	19.355	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.8)	16 (15.1)	16 (14.5)	16 (13.8)
Post Filter 2	24	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.8)	16 (15)	16 (14.5)	16 (13.7)
Post Filter 1	26.087	16 (16)	16 (16)	16 (16)	16 (16)	16 (16)	16 (15.6)	16 (14.9)	16 (14.4)	16 (13.6)

ノイズのスペクトル密度

ノイズのスペクトル密度は、低 ODR で sinc³ フィルタを用いた 2.5V リファレンスの実効値ノイズ値を、入力帯域幅の平方根に 1.15 を掛けた値で割ることで求められています。

表 35. 入力換算ノイズのスペクトル密度、単位： $\text{nV}/\sqrt{\text{Hz}}$

PGA_BYP = 1	Gain = 1								
	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128	
303	369	214	152	123	99	85	64	48	

動作原理

概要

AD4129-4 は超低消費電力の 16 ビット ADC です。Σ-Δ モジュレータ、入力クロスポイント・マルチプレクサ (X-MUX)、PGA 段、内部リファレンスおよびリファレンス・バッファ、オン・チップのデジタル・フィルタ処理機能などを内蔵しており、圧力変換器、秤量計、温度測定などのアプリケーションで使用される高ダイナミック・レンジで低周波数の信号の測定を目的としています。AD4129-4 の各ブロックおよびその機能は、バッテリー駆動のアプリケーションにおいて低消費電力で動作するように最適化されています。チップには、複数のセンサーを接続し電力を供給するために統合された一連の機能が備わっており、励起電流、ローサイド・パワー・スイッチ、バイアス電圧、バーンアウト電流などを含みます。スマート・シーケンサ、デューティ・サイクル機能、FIFO バッファの組み合わせによって、システムのその他の部分をスリープ状態に保ちながら、事前に定義された設定に従って AD4129-4 が自律的に計測データを収集することができます。ユーザにより定義される割込み機能を用いると、問題が発生したとき、または FIFO が読み出し可能になったときに、マイクロコントローラをウェイクアップさせることができます。

表 36. AD4129-4 のフィルタ・オプション

Filter Type	FS Range (Hex)	Output Data Rate (SPS) ¹	Comments
Sinc ⁴	0x01 to 0xA	2400 to 240	ADC frequency (f_{ADC}) = $f_{MCLK} / 32 / FS$.
Sinc ⁴ + Sinc ¹	0x01 to 0xA	218.18 to 21.8	Averaging filter. Sinc ⁴ plus averaging by 8. $f_{ADC} = f_{MCLK} / (32 \times FS \times (4 + AVG - 1))$, where $AVG = 8$.
Sinc ³	0x01 to 0x7FF	2400 to 1.17	$f_{ADC} = f_{MCLK} / 32 / FS$.
Sinc ³ + REJ60	0x01 to 0x7FF	2400 to 1.17	FS = 0d48 can be set to simultaneously reject 50 Hz and 60 Hz at 50 SPS ODR.
Sinc ³ + Sinc ¹	0x01 to 0x7FF	240 to 0.117 (Dec.: 1 to 2047)	Averaging filter. Sinc ³ plus averaging by 8. Recommended for FS from 0x01 to 0xCC only (minimum ODR = 1.17). $f_{ADC} = f_{MCLK} / (32 \times FS \times (3 + AVG - 1))$, where $AVG = 8$.
Sinc ³ + Post Filters	N/A ²	16.21, 19.355, 24, 26.087	Low latency with good 50 Hz and 60 Hz rejection.

¹ $f_{MCLK} = 76.8\text{kHz}$ で正確に動作していると仮定。² N/A は該当なしを意味します。

ADC コア

AD4129-4 には、MASH22 Σ-Δ モジュレータ ($f_{MOD} = 38.4\text{kHz}$) とそれに続くデジタル・フィルタで構成された、Σ-Δ ベースの ADC コアが内蔵されています。ADC コアは、本質的に 38.4kHz の周波数を除去します。Σ-Δ ADC の高度にデジタル化されたアーキテクチャは、最新の微細ライン CMOS プロセスに非常に適しているため、コストを大幅に増加させることなくデジタル機能を容易に追加できます。Σ-Δ ADC は、オーバーサンプリング、量子化ノイズ整形、デジタル・フィルタ処理、デシメーションを用いることで、他のアーキテクチャに勝る複数のメリットを、特に高分解能、低周波のアプリケーション向けに提供します。Σ-Δ ADC 理論の詳細については、MT-022 および MT-023 を参照してください。

デジタル・フィルタ

AD4129-4 には、複数のデジタル・フィルタ・オプションがあります。選択したオプションは、入力帯域幅、出力データレート、実現可能なノイズ性能、セトリング時間、50Hz と 60Hz の除去に影響を与えます。本デバイスのフィルタ・オプションを表 36 に示します。詳細については、[デジタル・フィルタ](#)のセクションを参照してください。

動作原理

ADC コントローラのクロック

Σ - Δ ADC のコアは、内部モジュレータを動作させるのに 76.8kHz の MCLK が必要です ($f_{\text{MOD}} = f_{\text{MCLK}}/2 = 38.4\text{kHz}$)。デバイスには MCLK を生成する発振器が内蔵されています。内部クロックがデフォルトで選択されており、外部回路にクロック・ソースが必要な場合は CLK ピンから利用可能になります。デバイスの MCLK ソースとして、外部クロックを CLK ピンに印加することも選択できます。外部クロックを用いると、複数の ADC を共通のクロックで駆動できるため、同時変換を実行できます。内部の 1/2 分周オプションを選択した場合、外部クロックは 76.8kHz または 153.6kHz とすることができます。

ADC_CONTROL レジスタの MCLK_SEL ビットを用いると、表 37 に従って適切なオプションを選択できます (ADC 制御レジスタのセクションを参照)。AD4129-4 の ADC クロック接続方式のブロック図については、図 1 を参照してください。

表 37. MCLK ソースのオプション

MCLK_SEL	MCLK Source	Source Clock Frequency (kHz)
0b00 (Default)	Internal, output off	76.8
0b01	Internal, output on	76.8
0b10	External, divider off	76.8
0b11	External, divider on	153.6

CLK ピンは、不使用の場合、代わりに IO_CONTROL レジスタの INT_PIN_SEL ビットを用いて割込みソースとして選択することができます (入出力制御レジスタのセクションを参照)。割込み設定が ADC_CONTROL レジスタの CLK_SEL ビットの設定より優先される点に注意してください。

ADC のリファレンス

AD4129-4 では、ADC のコア用に高精度のリファレンス電圧が必要です。AD4129-4 のリファレンス・ソースは、ADC のセットアップごとに (詳細については ADC の設定と動作のセクションを参照)、各 CONFIG_n レジスタの REF_SEL ビット (表 48 を参照) を用いて選択できます。

AD4129-4 は、1.25V または 2.5V の低ノイズの電圧リファレンス (表 3 の仕様を参照) を供給するように設定できるバンドギャップ電圧リファレンスを内蔵しています。内部リファレンスはデフォルトではディスエーブルです。内部リファレンスをイネーブルにするには、ADC_CONTROL レジスタの INT_REF_EN ビットを 1 に設定します。2.5V の内部リファレンスがデフォルトで選択されています。内部リファレンスがアクティブの場合は、REFOUT ピンに 1nF のコンデンサが必要です。AV_{DD} 電源が 2.5V 未満に設定されている場合、ADC_CONTROL レジスタの INT_REF_VAL ビットを 1 にセットすることにより、1.25V の内部リファレンスが選択されることに注意してください。このビットは、内部リファレンスがイネーブルの場合に限り効果があります。内部リファレンスの値は、デフォルトで 2.5V に設定されています。

内部リファレンスを使用している間にスタンバイ・モードに入ったりスタンバイ・モードから復帰したりする場合 (つまり、デューティ・サイクル・モードを使用している場合) で、リファレンスとそのデカップリング以外には外部回路による負荷がない場合に限り、MISC レジスタにおいて STBY_REFHOL_EN ビットを 1 に設定することが推奨されます。これにより、内部リファレンスが連続的にオンとオフを繰り返すことによる電源消費電流 (IDD) への寄与を減らすように設計されたリファレンス・ホルダがイネーブルになります。デューティ・サイクルが使用され、センサーへの電力供給に内部リファレンスが使用される状況では、MISC レジスタにおいて STBY_REFCORE_EN ビットを 1 に設定することにより、スタンバイ・フェーズ中にもリファレンスをオンに保つことが推奨されます。デューティ・サイクル中のスタンバイ時にもアクティブのまま保持できるブロックの詳細については、スタンバイ・モードのセクションを参照してください。

外部電圧リファレンスは、2 つの外部リファレンス入力オプションである REFIN1(±) または REFIN2(±) に供給することができます。外部リファレンス・オプションは、RTD 温度センサーにインターフェースする場合など、レシオメトリック計測が必要となるチャンネルがある場合に役立てることができます。

AD4129-4 の ADC リファレンス接続方法の簡略化した回路図については図 1 を参照してください。

リファレンス・バッファ

チップには、リファレンス・バッファも内蔵されていて、内部リファレンスおよび外部から印加されたリファレンスと一緒に使用できます。バッファをバイパスするオプションでは、アナログ電源電圧まで全範囲のレール to レール・リファレンス入力が可能になり、バッファを有効にするオプションでは、より低いリファレンス入力電流が使用できます。どちらのオプションでも AV_{DD} 電流は同じです。関連する仕様については、表 3 を参照してください。リファレンス・バッファは、各 CONFIG_n レジスタにおいてチャンネルごとにイネーブルにすることができます。

アナログ・フロント・エンド

アナログ入力マルチプレクサ

本デバイスは、4 個の差動アナログ入力または 8 個の疑似差動アナログ入力を使用できます。AD4129-4 は、柔軟性の高いマルチプレクサ機能を備えています。したがって、図 69 に示すように、どのアナログ入力ピンも正入力 (AINP) として選択することができ、またどのアナログ入力ピンも負入力 (AINM) として選択することができます。この機能により、ピンの接続チェックなどの診断を実行できます。また、この機能により PCB 設計も簡略化されます。例えば、同じ PCB に 2 線式、3 線式、4 線式の RTD を実装できます。

動作原理

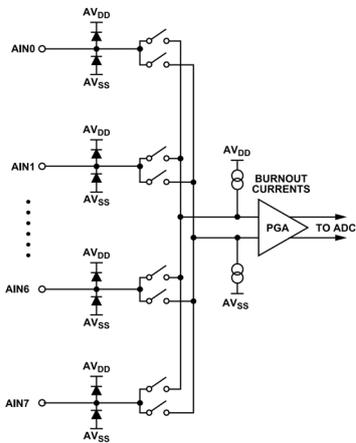


図 69. アナログ入力マルチプレクサ回路

オン・チップのマルチプレクサによりデバイスのチャンネル数が増加します。また、全てのチャンネル変更を変換プロセスと確実に同期できます。

チャンネル入力、CHANNEL_m レジスタの AINP_m (ビット [4:0]) および AINM_m (ビット [4:0]) を用いて設定されます。本デバイスは、4 個の差動入力、8 個の疑似差動入力、またはその両方の組み合わせを使用できるよう設定できます。

差動入力を使用する場合は、隣接するアナログ入力ピンを使用して入力ペアを構成します。隣接するピンを使用することで、チャンネル間のいかなるミスマッチも最小限に抑えることができます。

励起電流

デバイスには 2 つの励起電流 (IEXC0 および IEXC1) があり、CONFIG_n レジスタの I_OUT0_n ビットフィールドおよび I_OUT1_n ビットフィールドを設定することで、個別に 100nA、10μA、20μA、50μA、100μA、150μA、200μA に設定できます。励起電流の仕様については表 4 を参照してください。

IEXC0 および IEXC1 は、CHANNEL_m レジスタの I_OUT0_CH_m ビットフィールドおよび I_OUT1_CH_m ビットフィールドを設定することにより、任意のチャンネルで動作するように設定できます。更に、両方の電流を同じアナログ入力ピンに出力することもできます。チャンネル間のマルチプレクサの際には、フロント・エンドのセトリング時間を選択でき (FILTER_n レジスタの SETTLE_n ビット)、セトリングが完了した後に変換プロセスが開始されます。

MISC レジスタの STB_EN_IEXC ビットを 1 に設定することでデバイスがスタンバイ・モードになっている場合に、励起電流を自動的にオフにするように決定できます。

励起電流を使用する場合、内蔵リファレンスをイネーブルにする必要はないことに注意してください。

バイアス電圧発生器

AD4129-4 にはバイアス電圧発生器が内蔵されています。バイアス電圧は、全てのアナログ入力チャンネルで選択可能です。選択された入力ピンには、 $(AV_{DD} - AV_{SS})/2$ のバイアスが加わります。この機能は、熱電対アプリケーションに役立ちます。ADC を単電源で動作させる場合、熱電対によって生成された電圧に

は特定の DC 電圧付近のバイアスを加える必要があるからです。バイアス電圧発生器は、VBIAS_CONTROL レジスタの V_BIAS ビットフィールドを使用して制御されます。バイアス電圧発生器の起動時間は、負荷容量によって決まります。詳細は、表 4 を参照してください。

セカンダリ・リファレンス入力

AD4129-4 の入力のうち 2 つは、代わりにリファレンス入力となるように再設定できます。

汎用出力

AD4129-4 には、P0 ピンから P2 ピンまでの 3 個の汎用出力 (GPO) があります。これらの出力をイネーブルにするには、IO_CONTROL レジスタの GPO_CTRL_Px ビットを使用します (表 39 を参照)。各ピンは、レジスタの GPO_DATA_Px ビットを使用してハイまたはローに設定できます。つまり、ピンの値は GPO_DATA_Px ビットの設定によって決定されます。これらのピンは、AV_{SS} と AV_{DD} の間の電圧を基準にした GPO として使用できます。

AV_{SS} を DGND に接続し、IOV_{DD} を AV_{DD} に接続すると、これらのピンは、IOV_{DD} ではなく AV_{DD} で決まるロジック・レベルを持つデジタル出力として動作することができます。この設定では、一部の GPO を別の用途に再設定できます。P0 ピンは、割込みソースとして機能するように選択できます (データ・レディ信号のセクションを参照)。P2 ピン (AIN3) は、デバイスがスタンバイ・モード時にフラグを立てるように選択できます (パワーダウン・モードのセクションを参照)。

パワーダウン・スイッチ

ローサイド・パワー・スイッチ (PSW) により、ADC にインターフェースされたブリッジをパワーダウンさせることができます。歪みゲージやロード・セルなどのブリッジ・アプリケーションでは、システムで消費される電流の大半がブリッジ自体で消費されます。例えば、3V 電源で励起された場合、350Ω のロード・セルは 8.6mA の電流を必要とします。システムの消費電流を最小限に抑えるために、ブリッジを使用していないときは、パワーダウン・スイッチを使用してブリッジの電力供給を遮断することができます。スイッチ仕様については表 4 を参照してください。PSW の制御は、チャンネル・シーケンサを用いて自動化できます。チャンネル設定ごとに、CHANNEL_m レジスタに専用の PDSW_m ビットフィールドがあります。

プログラマブル・ゲイン・アンプ

ゲイン段がイネーブルの場合、マルチプレクサからの出力は PGA の入力に供給されます。PGA の存在により、小振幅の信号を AD4129-4 内で増幅でき、なおかつ優れたノイズ性能を維持できます。PGA では、それぞれの CONFIG_n レジスタの PGA ビットを使用して、ゲインを 1、2、4、8、16、32、64、または 128 にプログラムすることができます。

各 CONFIG_n レジスタの PGA_BYP_n ビットをイネーブルにすることで、PGA をバイパスすることも可能です。このビットを 1 に設定すると、PGA はバイパスされます。したがって、ゲイン制御は無効となり、ゲイン 1 が使用されます。PGA バイパス・モードは、電力を節約し、ノイズを更に低減するのに使用できますが、アナログ入力電流が高くなるという代償があります。詳細については電源仕様のセクションとアナログ入力電流のセクションを参照してください。

動作原理

アナログ入力範囲は $\pm V_{REF}/\text{ゲイン}$ です。表 38 を参照してください。

表 38. 絶対入力範囲の例

PGA Gain	2.5 V Reference		1.25 V Reference	
	Unipolar	Bipolar	Unipolar	Bipolar
1	0 to 2.5 V	± 2.5 V	0 to 1.25 V	± 1.25 V

表 38. 絶対入力範囲の例 (続き)

PGA Gain	2.5 V Reference		1.25 V Reference	
	Unipolar	Bipolar	Unipolar	Bipolar
32	0 to 78.12 mV	± 78.12 mV	0 to 39.06 mV	± 39.06 mV
128	0 to 19.53 mV	± 19.53 mV	0 to 9.76 mV	± 9.76 mV

リファレンス値が高い場合、例えば、 $V_{REF} = AV_{DD}$ のときは、アナログ入力範囲を制限する必要があります。これらの制限値に関する詳細については表 2 を参照してください。

表 39. IO_CONTROL レジスタ

Addr.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x03	IO_CONTROL	[15:8]	RESERVED					SYNCB_CLEAR		INT_PIN_SEL		0x0000	R/W
		[7:0]	GPO_DATA_P2	GPO_DATA_P1	GPO_DATA_P0	RESERVED	GPO_CTRL_P2	GPO_CTRL_P1	GPO_CTRL_P0	RESERVED			

動作原理

その他の機能

校正

内部校正とシステム校正の両方がチップに搭載されているため、デバイス内部のオフセット誤差またはゲイン誤差のみを取り除くか、あるいはシステム全体のオフセット誤差またはゲイン誤差を取り除くかを選択できます。ADC の校正のセクションを参照してください。

シーケンサ

AD4129-4では、最大16個のチャンネルと最大8個の異なるADCセットアップを事前に設定し、チャンネルごとに選択できます。シーケンサは、イネーブルにされた全てのチャンネルを自動的に変換します。詳細については、スマート・チャンネル・シーケンサのセクションを参照してください。

診断機能

AD4129-4には、以下のような多くの診断機能が搭載されており、これによりアプリケーションにおいて様々なフォルトを高いレベルで検出できます。

- ▶ リファレンス検出
- ▶ 過電圧/低電圧の検出
- ▶ ADC機能のチェック
- ▶ SPI通信に対するCRC
- ▶ メモリ・マップに対するCRC
- ▶ SPI読出し/書込みチェック

詳細については、診断機能のセクションを参照してください。

FIFO バッファ

AD4129-4には、オン・チップのFIFOバッファが内蔵されており、最大256個の変換結果を容易に保存できます。詳細についてはFIFOのセクションを参照してください。

電源

デバイスにはAV_{DD}とIOV_{DD}の2つの独立した電源ピンがあります。

AV_{DD}はAV_{SS}を基準としており、内蔵のアナログ・レギュレータに電力を供給し、そこからADCに電力を供給します。AV_{DD}とAV_{SS}の電圧差、つまり供給範囲は1.71V~3.6Vです。

AV_{SS}はDGNDに接続します。あるいは、0V未満にすることによってAD4129-4に両電源を提供することもできます。例えば、AV_{SS}を-1.8Vに接続し、AV_{DD}を+1.8Vに接続することで、ADCに±1.8Vを供給できます。AV_{SS}の供給範囲は、DGNDに対して-1.8Vから0Vまでです。

IOV_{DD}はDGNDを基準とし、SPIインターフェースのロジック・レベルを設定し、デジタル処理を行う内蔵レギュレータに電力を供給します。デジタルIOV_{DD}電源は、DGNDに対して1.65V~3.6Vの範囲で変えることができます。

低電圧範囲オプションはバッテリー駆動動作に適しており、AV_{DD}とIOV_{DD}の両方に1.71Vという低電圧の単電源でもAD4129-4の性能を達成できます。

電源供給方式のセクションおよび推奨デカップリング方法のセクションを参照してください。

内蔵 LDO

内蔵の2つのLDOは、アナログ・ドメインとデジタル・ドメインに個別に電力を供給します。REGCAPAピンおよびREGCAPDピンには0.1μFのデカップリング・コンデンサが必要です。これらのピンは、それぞれAV_{DD}LDOおよびIOV_{DD}LDOの出力です。

パワーオン・リセット

AD4129-4は、図70に示すように、IOV_{DD}電圧が初めて印加されたときに、パワーオン・リセット(POR)信号を生成するように設計されています。PORにより、ユーザ設定レジスタの状態がリセットされます。IOV_{DD}およびデジタルLDOの電圧が指定動作範囲を下回った場合に、PORが発生します。AV_{DD}およびアナログLDOの電圧が低下しても、デバイスのリセットはトリガされません。

ステータス・レジスタのPOR_FLAG(表46を参照)は、IOV_{DD}またはデジタルLDOの電源が閾値を下回った場合に1に設定され、ステータス・レジスタを読み出すとクリアされます。

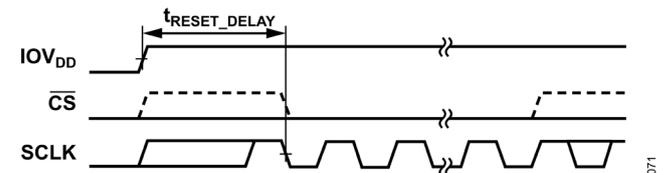


図 70. PORのタイミング図

パワーオン・リセットまたはソフトウェア・リセットの後、AD4129-4のデフォルト設定は次のとおりです。

- ▶ チャンネル：CHANNEL_0レジスタでは、チャンネルがイネーブルであり、AIN0が正入力に、AIN1が負入力に選択されています。SETUP_m=0が選択されています。
- ▶ ADCセットアップ (SETUP_mビットフィールド)：CONFIG_0レジスタでは、励起電流およびバーンアウト電流がオフ、リファレンス・バッファがディスエーブルであり、外部リファレンスが選択されており、PGAゲインが1に設定されています。FILTER_0レジスタでは、FS、ビット[10:0]=0x30で、sinc3スタンドアロン・フィルタが選択されています。
- ▶ ADCの制御：ADC_CONTROLレジスタ(表45を参照)では、AD4129-4は連続変換モードで、連続読出しはディスエーブル、データ・コーディングはオフセット・バイナリに設定されています。また内部発振器はイネーブルであり、コントローラのクロック・ソースに選択されています。内部リファレンスはディスエーブル、CSピンはディスエーブル(3線式モード)、ステータス・レジスタの内容はデータ出力に追加されていません。
- ▶ 診断機能：唯一イネーブルになっている診断機能はSPI_IGNORE_ERR機能です。

動作原理

示されているレジスタ設定オプションは一部のみであり、このリストは一例に過ぎないことに注意してください。完全なレジスタの情報については、[AD4129-4 のレジスタ](#)のセクションを参照してください。

パワーダウン・モード

AD4129-4 には複数のパワーダウン・モードがあり、ADC_CONTROL レジスタの MODE ビットを用いて選択できます (表 45 参照)。MODE ビットでは、異なる ADC 変換モードの選択もできます。表 40 には、パワーダウン・モードのオプションのみを記載しています。

表 40. パワーダウン・モードのオプション

MODE	ADC Conversion Mode
0b0010	Standby
0b0011	Power-down
0b0100	Idle

パワーダウン・モード

パワーダウン・モードは AD4129-4 の最小電力モードです。全ブロックの電源がオフになり、レジスタ情報は保持されません。パワーダウン・モードに移行するには、デバイスがスタンバイ・モードであることが必要です。それ以外の場合、デバイスは連続変換モードに移行します。この手順は安全機能の役割を果たし、パワーダウン・モードへの偶発的なまたは不必要な遷移を防止します。

パワーダウン・モードを終了するには、デバイスをリセットする必要があります。[デバイスのリセット](#)のセクションを参照してください。

アイドル・モード

アイドル・モードでは、モジュレータとデジタル・フィルタがリセット状態に保持されます。全てのユーザ・レジスタは、それまでに設定された内容を保持します。アイドル・モードでは、連続変換モードに対して消費電流にほとんど変化がないことに注意してください。

アイドル・モードを終了するには、ADC_CONTROL レジスタの MODE ビットに、別の動作モードを選択するように書き込みます。

スタンバイ・モード

スタンバイ・モードおよびデューティ・サイクル時のスタンバイ・モードでは、レジスタの内容が保持され、ステータス・レジスタの RDYB ビット (表 46 参照) が 1 に設定されます。MISC レジスタの STBY_OUT_EN ビットを 1 に設定することで、同じスタンバイ信号を P2 ピン (AIN3) に転送できます。

MISC レジスタでは、スタンバイ・モード時にイネーブルを維持する機能を次のように選択できます。

- ▶ STBY_EN_DIAGNOSTICS ビットを 1 に設定することで、診断機能を有効のまま維持できます。一部の診断機能では、内部発振器もイネーブルにする必要があります。そのため、ERROR_EN レジスタでこれらのエラーをイネーブルにして、STBY_EN_DIAGNOSTICS を 1 に設定すると、内部発振器がイネーブルのまま維持されます。
- ▶ STBY_GPO_EN ビットを 1 に設定することで、GPO 信号をイネーブルのまま維持できます。
- ▶ STBY_PDSW_EN ビットを 1 に設定することで、パワーダウン・スイッチをイネーブルのまま維持できます。
- ▶ STBY_BURNOUT_EN ビットを 1 に設定することで、バーンアウト電流をイネーブルのまま維持できます。
- ▶ STBY_VBIAS_EN ビットを 1 に設定することで、VBIAS をイネーブルのまま維持できます。
- ▶ STBY_IEXC_EN ビットを 1 に設定することで、励起電流をイネーブルのまま維持できます。
- ▶ STBY_REFHOL_EN ビットと STBY_INTREF_EN ビットを 1 に設定することで、内部リファレンスをイネーブルのまま維持できます。

スタンバイ・モードを終了するには、ADC_CONTROL レジスタの MODE ビットに、別の動作モードを選択するように書き込みます。詳細については[スタンバイ・モードからの復帰タイミング](#)のセクションを参照してください。

デジタル・インターフェース

AD4129-4 は、4 線式 (\overline{CS} , SCLK, DIN, DOUT) または 3 線式 (SCLK, DIN, DOUT) の SPI を備えており、QSPI™ および MICROWIRE™ インターフェース規格、ならびにほとんどのデジタル・シグナル・プロセッサ (DSP) に対応できます。このインターフェースは SPI モード 3 で動作し、 \overline{CS} をローに接続した状態 (3 線式) で動作させることができます。SPI モード 3 では、SCLK はアイドル状態でハイを保ち、図 71 に示すように、SCLK の立下がりエッジがドライブ・エッジ、SCLK の立上がりエッジがサンプル・エッジです。つまり、DIN のデータは SCLK の立上がりエッジで取り込まれ、DOUT のデータは SCLK の立下がりエッジで送出されます。DOUT をリードバックするには、SCLK の立上がりエッジを用いるか、tDOUT_VALID のタイミングに従って DOUT 信号をサンプリングします。SCLK ピンはシュミット・トリガ入力を持っているため、このインターフェースは光絶縁アプリケーションに適しています。その他のインターフェース・ピンは INT および SYNC です。

表 9 と表 10 にはタイミング仕様が示されています。



図 71. SPI モード 3、SCLK のエッジ

AD4129-4 のデジタル・インターフェースのロジック・レベルは、IOV_{DD} 電圧で設定され、1.65V から 3.6V の範囲で調整可能です。

レジスタ・マップへのアクセス

コミュニケーション・レジスタ (COMMS) は ADC の全レジスタ・マップへのアクセスを制御します。このレジスタは 8 ビットの書き込み専用レジスタです (表 41 参照)。起動時またはソフトウェア・リセット後に、デジタル・インターフェースはデフォルトでコミュニケーション・レジスタへの書き込みを待つ状態になります。したがって、デバイスに対する全ての通信は、コミュニケーション・レジスタへの書き込み動作から開始する必要があります。

コミュニケーション・レジスタに書き込まれるデータは、次の動作が読み出し動作か書き込み動作か (R/ \overline{W} ビット)、どのレジスタにアクセスするか (RS、ビット[5:0]) を決定します。書き込みをイネーブルにするには、8 ビットの COMMS レジスタの MSB を 0 に設定する必要があります (\overline{WEN} ビット)。 \overline{WEN} がトランザクション中に 1 に設定された場合、デバイスはレジスタ内の後続ビットへのクロック駆動を行いません。

インターフェース同期が失われた状態で \overline{CS} が使われている場合、 \overline{CS} をハイに戻すことでデジタル・インターフェースはデフォルト状態にリセットされ、現在の全ての動作は中止されます。この動作では、デバイスのレジスタはデフォルト値にリセットされません (デバイスのリセットのセクションを参照)。

表 41. コミュニケーション・レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x00	COMMS	[7:0]	\overline{WEN}	R/ \overline{W}				RS[5:0]			0x00	W

表 42. ID レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x05	ID	[7:0]		RESERVED				SILICON_ID	MODEL_ID		0x0X ¹	R

¹ 詳細については、識別レジスタのセクションを参照してください。

選択されたレジスタへの読み出しまたは書き込み動作が完了すると、インターフェースはデフォルトの状態に戻り、コミュニケーション・レジスタへの書き込み動作を待機します。

図 72 および図 73 には、レジスタへの書き込み動作とレジスタからの読み出し動作が示されています。まず、8 ビット・コマンドをコミュニケーション・レジスタに書き込み、続いてアドレス指定されたレジスタのデータを書き込みます。DOUT のデータ長は、選択されたレジスタおよびイネーブル中の SPI CRC に応じて、8 ビット、16 ビット、24 ビット、32 ビットのいずれかになります。

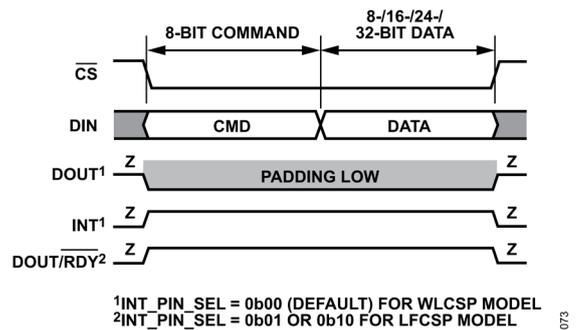


図 72. レジスタへの書き込み (レジスタ・アドレスを含む 8 ビットのコマンドに続けてデータ)

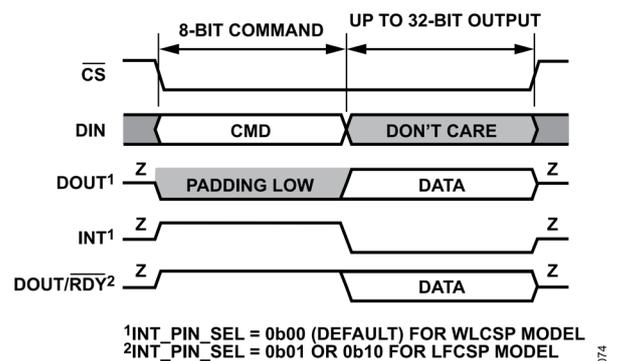


図 73. レジスタからの読み出し (レジスタ・アドレスを含む 8 ビットのコマンドに続けてデータ)

デバイスの識別

本デバイスとの通信が正しく行われていることを確認するには、ID レジスタの読み出しが推奨されます。ID レジスタは読み出し専用レジスタです。表 42 および識別レジスタのセクションには、コミュニケーション・レジスタおよび ID レジスタの詳細が記載されています。

デジタル・インターフェース

デバイスのリセット

64 個連続する 1 をデバイスに書き込むことで、AD4129-4 の回路およびシリアル・インターフェースをリセットできます。この動作によって、ロジック、デジタル・フィルタ、アナログ・モジュレータがリセットされ、オン・チップの全てのレジスタがデフォルト値にリセットされます。リセットは、SCLK ラインのノイズによってシリアル・インターフェースが非同期になった場合に役立ちます。

ソフトウェア・リセットのタイミング図を図 74 に示します。

AD4129-4 では、リセット・イベントとレジスタの読み出し/書き込みトランザクションの間に最小遅延時間が必要です。

この遅延は図 74 に示されており、表 9 では t_{RESET_DELAY} で表されています。デバイスの準備が整う前にデジタル・ホストが SPI トランザクションを実行しようとした場合、トランザクションは成功しない可能性があり、エラー・レジスタの SPI_IGNORE_ERR ビットが設定されます。SPI_IGNORE_ERR は、読み出し可能で 1 を書き込むことでクリアされる (R/WIC 属性) ビットです。リセットが発生すると、ステータス・レジスタの POR_FLAG ビット (表 46 を参照) が 1 に設定され、ビットが読み出されると 0 に設定されます。

図 70 に示すように、リセットは起動時に自動的に行われます。

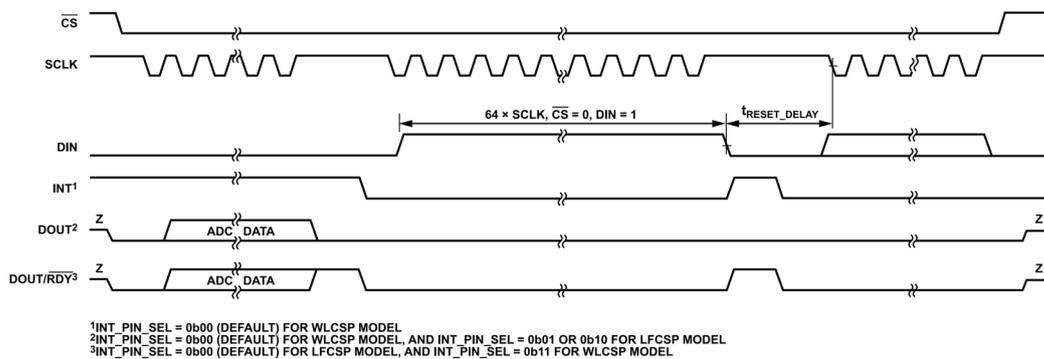


図 74. ソフトウェア・リセットのタイミング図

ADC の設定と動作

AD4129-4 は、柔軟な設定や動作モードが可能です。

バイポーラ/ユニポーラの設定

AD4129-4 へのアナログ入力、ユニポーラまたはバイポーラの入力電圧範囲を受け入れることができます。AINP 入力におけるユニポーラ信号とバイポーラ信号は、AINM 入力の電圧を基準としています。AINP および AINM の入力電圧は、AV_{DD} と AV_{SS} の間にある必要があり、これは表 2 の仕様に従っています。

データ出力コーディング

ADC_CONTROL レジスタのバイポーラ・ビット (表 45 を参照) は、ADC データのデータ出力コーディングと、本デバイスが後処理でオフセット係数およびゲイン係数をどのように適用するかを決定します。ADC の校正のセクションを参照してください。

デフォルトでは、バイポーラ・ビットは 1 に設定されており、これはオフセット・バイナリ・コーディングに対応します。この設定は、-V_{REF}/ゲインから V_{REF}/ゲインまでのバイポーラ入力電圧を表すのに適しています。ユニポーラ入力設定に対してバイポーラ・ビットが 1 に設定された場合、入力 (AINP - AINM、AINP は常に AINM 以上) は、0x8000 (ゼロ・スケール) から 0xFFFF (フルスケール) の出力コードで表されます。

バイポーラ・ビットを 0 に設定すると、データ出力コーディングは自然 (ストレート) バイナリに変わります。この設定は、0V から V_{REF}/ゲインまでのユニポーラ入力電圧を表すのに適しています。バイポーラ入力設定に対してバイポーラ・ビットが 0 に設定された場合、AINP < AINM となる全てのケースが 0x0000 (ゼロ・スケール) に制限されます。

バイポーラ・ビットの値は、デバイスが FIFO 設定の閾値を解釈する方法にも影響を与えることに注意してください。

表 43 に、任意のアナログ入力電圧に対するデータ出力コーディングのオプションとそれぞれの出力コードの計算式を示します。

表 43. ADC データ出力コーディングのオプション

Bipolar Bit	Data Output Coding	Output Code Equation ¹
0b0	Straight binary	$Code = (2^N \times V_{IN} \times Gain) / V_{REF}$
0b1 (default)	Offset binary	$Code = 2^{N-1} \times ((V_{IN} \times Gain / V_{REF}) + 1)$

¹ N = 16、V_{IN} は差動入力電圧、Gain はゲイン設定 (1~128)。

表 44 には、ADC_CONTROL レジスタのバイポーラ・ビットの選択に応じた、入力信号と対応する出力コーディングとの間の期待される対応関係が示されています。

表 44. 特定の入力差動信号に対する理想的な出力コード

AINP - AINM	Bipolar Bit = 0b0	Bipolar Bit = 0b1
Negative Full Scale	0x0000	0x0000
Zero Scale	0x0000	0x8000
Midscale	0x8000	N/A ¹
(Positive) Full Scale	0xFFFF	0xFFFF

¹ N/A は該当なしを意味します。

ステータス・ビット

ステータス・レジスタの内容 (表 46 を参照) は、AD4129-4 の各変換結果に追加できます。この機能は、複数のチャンネルがイネーブルの場合に役立ちます。変換結果が出力されるたびに、ステータス・レジスタの内容が追加され、データ・レジスタの読み出しフォーマットは、DATA[15:0]、STATUS[7:0]となります。ステータス・レジスタの下位 4 ビット (CH_ACTIVE ビットフィールド) には、変換がどのチャンネルに対応するかが示されています。更に、POR_FLAG ビットを確認して、CONTROLLER_ERR ビットで何らかのエラーのフラグが設定されているかを確認します。全ての変換結果にステータス・レジスタの内容を追加するには、ADC_CONTROL レジスタの DATA_STATUS ビットを 1 に設定します (表 45 を参照)。

表 45. ADC_CONTROL レジスタ

Addr.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x01	ADC_CONTROL	[15:8]	RESERVED	BIPOlar	INT_REF_VAL	DOUt_DISDEL	CONt_REA	DATA_STAT	CSB_EN	INT_REF_EN	0x4000	R/W
		[7:0]	RESERVED	DUTY_CYCLE_RATIO	MODE				CLK_SEL			

表 46. ステータス・レジスタ

Addr.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x00	STATUS	[7:0]	RdY	CONtROLLER_ERR	RESERVED	POR_FLAG		CH_ACTIVE			0x10	R

表 47. CHANNEL_m レジスタ (m = 0~15)

Addr.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x09 to 0x18	CHANNEL_m (m = 0 to 15)	[23:16]	ENABLE_m		SETUP_m		PDSW_m	THRES_EN_m	AINP_m[4:3]		0xxxxxx ¹	R/W
		[15:8]	AINP_m[2:0]			AINM_m						
		[7:0]	I_OUT1_CH_m				I_OUT0_CH_m					

¹ CHANNEL_0 のデフォルト値は 0x800100 です。その他の全チャンネルのデフォルト値は 0x000100 です。

ADC の設定と動作

スマート・チャンネル・シーケンサ

AD4129-4 では、CHANNEL_m レジスタで最大 16 チャンネルを設定してイネーブルにすることができます。イネーブルにされた各チャンネルは、ホスト・プロセッサがスリープ状態の間も動作を継続できる自動シーケンスの一部となります。

CHANNEL_m レジスタにより、以下のことが可能になります。

- ▶ プラス入力およびマイナス入力を選択する (AINP_m ビットフィールドおよび AINM_m ビットフィールド)
- ▶ 励起電流を特定のピンに割り当てる (I_OUT0_CH_m ビットフィールドおよび I_OUT1_CH_m ビットフィールド)
- ▶ ADC セットアップを選択する (SETUP_m ビットフィールド)
- ▶ パワーダウン・スイッチと閾値をイネーブルにする (PDSW_m ビットフィールドおよび THRES_EN_m ビットフィールド)
- ▶ チャンネルをイネーブルにして、シーケンスに含める (ENABLE_m ビットフィールド)

詳細は表 47 を参照してください。

異なる設定を選択して複数のチャンネルがイネーブルになっている場合、AD4129-4 は全ての変換モードにおいて各チャンネルを自動的に巡回します。シーケンスの実行は、イネーブルにした最小番号のチャンネルから開始し、イネーブルにした最大番号のチャンネルまで昇順で進みます。イネーブルにした各チャンネルが選択された場合、初回変換を開始するのに必要な時間は、選択されたチャンネルのフロント・エンドのセトリング時間 (FILTER_n レジスタの SETTLE_n ビット) と同じです。例については図 93 を参照してください。

ADC セットアップ

事前に定めた ADC セットアップをチャンネルごとに選択できません (CHANNEL_m レジスタの SETUP_m ビット)。AD4129-4 では最大 8 通りの ADC セットアップが可能です。各 ADC セットアップは、設定、フィルタ、ゲイン、オフセットの各設定で構成されます。

例えば、SETUP_m = 0 (ADC セットアップ 0) の場合は、CONFIG_0 レジスタ、FILTER_0 レジスタ、OFFSET_0 レジスタ、GAIN_0 レジスタで構成されます。図 75 には、これらのレジスタのグループ分けが示されています。表 48~表 51 には、各 ADC セットアップに関連する 4 つのレジスタが示されています。

表 48. CONFIG_n レジスタ (n = 0~7)

Addr.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x19 to 0x20	CONFIG_n (n = 0 to 7)	[15:8]	I_OUT1_n			I_OUT0_n			BURNOUT_n			0x0000	R/W
		[7:0]	REF_BUF_n	REF_BUFM_n	REF_SEL_n		PGA_n			PGA_BY_n			

表 49. FILTER_n レジスタ (n = 0~7)

Addr.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x21 to 0x28	FILTER_n (n = 0 to 7)	[23:16]	SETTLE_n			REPEAT_n						0x002030	R/W
		[15:8]	FILTER_MODE_n			RESERVED		FS_n[10:8]					
		[7:0]	FS_n[7:0]										

表 50. OFFSET_n レジスタ (n = 0~7)

Addr.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x29 to 0x30	OFFSET_n (n = 0 to 7)	[15:8]	OFFSET_n[15:8]									0x800000	R/W
		[7:0]	OFFSET_n[7:0]										

表 51. GAIN_n レジスタ (n = 0~7)

Addr.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x31 to 0x38	GAIN_n (n = 0 to 7)	[15:8]	GAIN_n[15:8]									0xFFFFFFFF	R/W
		[7:0]	GAIN_n[7:0]										

ADC の設定と動作

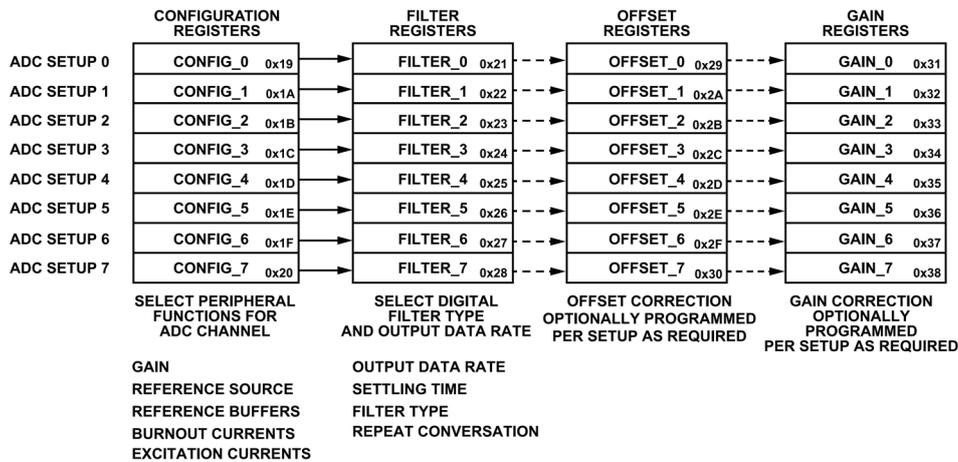


図 75. ADC セットアップ・レジスタのグループ分け

設定レジスタ

CONFIG_n レジスタにより、以下のことが可能になります。

- ▶ PGA ゲインを設定する (PGA_n ビットフィールド)
- ▶ PGA モードを設定する (PGA_BYN_n ビットフィールド)
- ▶ リファレンス・ソースを選択する (REF_SEL_n ビットフィールド)
- ▶ リファレンス・バッファをイネーブルにする (REF_BUFN_n ビットフィールドおよび REF_BUFM_n ビットフィールド)
- ▶ バーンアウト電流をイネーブルにして選択する (BURNOUT_n ビットフィールド)
- ▶ 励起電流をイネーブルにして選択する (I_OUT1_n ビットフィールドおよび I_OUT2_n ビットフィールド)

詳細は表 48 を参照してください。

フィルタ・レジスタ

FILTER_n レジスタにより、以下のことが可能になります。

- ▶ ADC モジュレータの出力でデジタル・フィルタを選択する (FILTER_MODE_n ビットフィールド)
- ▶ フィルタに適用される FS 値を選択する (FS_n ビット [10:0])
- ▶ この ADC セットアップでの変換回数を 1 回~32 回の間で選択する (REPEAT_n ビットフィールド)
- ▶ センサー出力が変換開始前に安定した値に達するように、フロント・エンドのセトリング時間を設定する (SETTLE_n ビットフィールド)。

詳細は表 49 を参照してください。

オフセット・レジスタおよびゲイン・レジスタ

オフセットおよびゲインの設定は、その ADC セットアップに関連するチャンネルで校正が行われた後に、データ出力の調整に使用されます。ゲイン・レジスタおよびオフセット・レジスタのプログラムは、図 75 でレジスタ・ブロック同士が破線で結ばれているように、どのような場合でも任意です。内部校正、システム・オフセット校正、またはフルスケール校正が実施された場合、選択されたチャンネルのゲイン・レジスタおよびオフセット・レジスタは自動的に更新されます。詳細については ADC の校正のセクションを参照してください。表 50 および表 51 を参照してください。

ADC の変換モード

AD4129-4 には複数の利用可能な変換モードがあり、これらは ADC_CONTROL レジスタの MODE ビットを用いて選択できます (表 45 参照)。MODE ビットでは、異なるパワーダウン・モードの選択もできます。表 52 には、ADC の変換モードのオプションのみが記載されています。

表 52. ADC の変換モードのオプション

MODE	ADC Conversion Mode
0b0000 (Default)	Continuous conversion
0b0001	Single sequence
0b1001	Duty cycling
0b1010	Single sequence + idle by $\overline{\text{SYNC}}$
0b1011	Single sequence + STBY by $\overline{\text{SYNC}}$

連続変換モード

連続変換モードは、デフォルト・モードです。ADC は、イネーブルにした各チャンネルで連続的に変換を行います。シーケンスが完了すると、ADC はイネーブルにした最小番号のチャンネルから再度開始します。

シングル・シーケンス・モード

シングル・シーケンス・モードでは、AD4129-4 は単一の変換シーケンスを実行し、変換完了後はスタンバイ・モードに移行します。複数のチャンネルをイネーブルにした場合、ADC はイネーブルにしたチャンネルを一度だけ順に自動でシーケンス処理を行い、その後スタンバイ・モードに入ります。シングル・シーケンス・モードを有効にするには、MODE = 0b0001 を選択します。AD4129-4 がシングル・シーケンス・モードで変換を行っている場合、SPI 書込みは無視されます。

シングル・シーケンス変換は、 $\overline{\text{SYNC}}$ ピンを用いて外部から制御することもできます。ADC_CONTROL レジスタで MODE = 0b1010 を選択して、「 $\overline{\text{SYNC}}$ によるシングル・シーケンス + アイドル」モードを有効にします。このモードで、デバイスをアイドル・モードから解除し、新しいシングル・シーケンスを開始するには、 $\overline{\text{SYNC}}$ ピンへのパルスを下レベルにします。アイドル・モードでは、モジュレータおよびデジタル・フィルタはリセット状態に保持されます。

ADC の設定と動作

ADC_CONTROL レジスタで MODE = 0b1011 を選択して、「SYNCによるシングル・シーケンス + STBY」モードを有効にします。このモードで、デバイスをスタンバイから解除し、新しい変換シーケンスを開始するには、SYNCピンへのパルスをロー・レベルにします。スタンバイでは、レジスタの内容が保持されます。「SYNCによるシングル・シーケンス + スタンバイ」モードの場合、REPEAT_n ビット機能が利用できます。システム同期のセクションを参照してください。

図 76 または図 78 に示すように、SYNCピンのパルス間の時間はシングル・シーケンス変換の時間より長くし、デバイスが SYNCピン・パルスの間にアイドル・モードまたはスタンバイ・モードに移行できるようにして、タイミングの問題を回避する必要があります。SYNCピンのレートは、シーケンス内の各チャンネルのサンプル・レートを決定するのに使用できます。システム同期のセクションを参照してください。

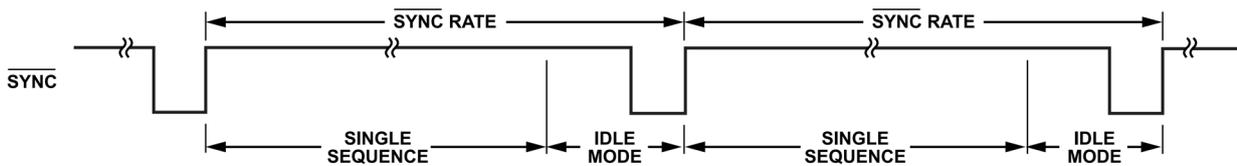


図 76. 「SYNCによるシングル・シーケンス + アイドル」モード図の例

DUTY_CYC_RATIO = 1/4	~25% ACTIVE TIME	~75% STANDBY TIME	~25% ACTIVE TIME	~75% STANDBY TIME
DUTY_CYC_RATIO = 1/16	~6.25% ACTIVE TIME	~93.75% STANDBY TIME	~6.25% ACTIVE TIME	~93.75% STANDBY TIME

¹DIAGRAM NOT TO SCALE

図 77. デューティ・サイクル・モード図

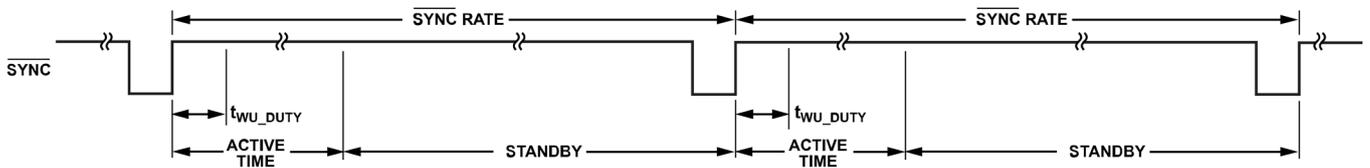


図 78. 「SYNCによるシングル・シーケンス + STBY」モード図の例

ADC の設定と動作

デューティ・サイクル・モード

デューティ・サイクル・モードでは、デバイスがアクティブ・モードとスタンバイ・モードを自動的に連続で繰り返すため、消費電力を更に節約します。ADC はイネーブルにした各チャンネルで変換を行い、その後スタンバイ・モードに入ります。1 回のサイクルが終了すると、イネーブルにした最小番号のチャンネルの ADC 変換からサイクルが再開します。自動デューティ・サイクル・モードを有効にするには、ADC_CONTROL レジスタの MODE ビットフィールドを 1001 に設定します。このモードでは、デューティ・サイクル比がデフォルトで 1/4 に設定されています。つまり、デバイスがアクティブになるのは約 25% の時間であり、残りの時間はスタンバイしています。自動デューティ・サイクル比は、ADC_CONTROL レジスタの DUTY_CYC_RATIO ビットフィールドの値を 1 に設定することで、1/16 に変更できます。図 77 を参照してください。

デューティ・サイクル・モードでは、REPEAT_n ビットの機能は使用できません。デューティ・サイクル・モードのタイミングのセクションを参照してください。

デューティ・サイクル・シーケンス内の一部または全てのチャンネルでの変換に内部リファレンスを使用する場合、MISC レジスタの STBY_REFHOL_EN ビットを 1 に設定して、内部リファレンスがオン・オフを繰り返すことによる影響を低減することが推奨されます。デューティ・サイクル中のスタンバイ時にもアクティブのまま保持できるブロックの詳細については、スタンバイ・モードのセクションを参照してください。

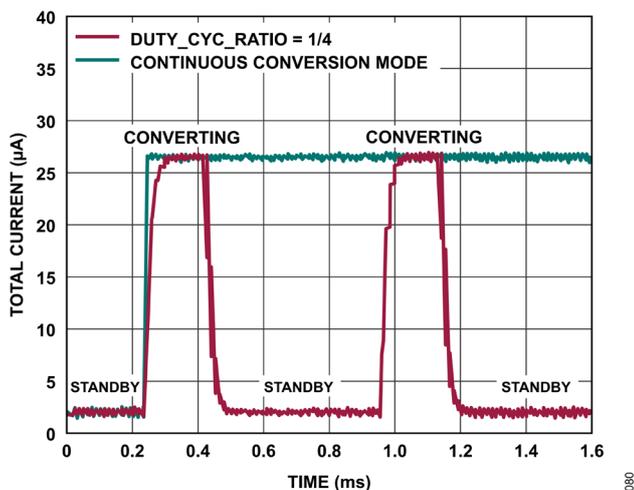


図 79. デューティ・サイクル・モードと連続変換モードにおける消費電流の比較例

データ・レディ信号

ADC 変換が終了すると、ステータス・レジスタの RDYB ビット (表 46 を参照) が 1 から 0 に変わります。ADC の変換結果がデータ・レジスタにありリードバック可能な状態であることを示すデータ・レディ信号は、内部でも生成可能で、IO_CONTROL レジスタの INT_PIN_SEL ビット (表 39 を参照) を設定することにより、表 53 に従って、選択したピンに出力することができます。デフォルトでは、LFCSP の AD4129-4 デバイスはデータ出力ピンがこの機能 (DOUT/RDY) を共有します。ADC の読出し後に、データ・レディ信号はハイに戻ります。

表 53. レディ割込みピンのオプション¹

INT_PIN_SEL	LFCSP
0b00 (Default)	DOUT/RDY
0b01	CLK
0b10	P0
0b11	DOUT/RDY

¹FIFO はディスエーブルです。FIFO がイネーブルの場合、INT_PIN_SEL ビットフィールドを使用して、選択した FIFO 割込みを表 70 に示すようにピンに割り当てます。

データ・レジスタ内の ADC 変換結果が読み出されない場合、データ・レディ信号は、次の変換結果が利用可能になるまでローのままです。データ・レディがローの状態では次の変換結果が利用可能な場合の最小のデータ・レディ・ハイ時間は、trDYH と呼ばれ、表 9 および図 9 に示されています。

連続読出しモードがディスエーブルの場合 (連続読出しモードのセクションを参照)、必要であれば、データ・レディ信号がハイの間に、同じデータを再度読み出すことができます。ただし、次の出力更新が近い場合は、続けて読出しを行ってはいけません。連続読出しモードがイネーブルの場合、ADC の結果を 1 回だけ読み出すことができます。

あるピンをデータ・レディ割込みとして設定すると、そのピンに対する他のピン制御よりも優先されます。例えば、ADC_CONTROL レジスタの CLK_SEL ビット (表 45 参照) で CLK ピンを CLK としてイネーブルに設定しても、CLK ピンが割込みとしてイネーブルに設定されている場合は無視されます。

IO_CONTROL レジスタの GPO_CTRL_P0 ビットで P0 ピンを GPO としてイネーブルに設定しても、P0 が割込みとしてイネーブルに設定されている場合は無視されます。P0 がデータ・レディ信号としてイネーブルに設定されている場合、スタンバイ・モードでは全ての GPO ピンが自動的にイネーブルのままになります。

FIFO がイネーブルの場合、データ・レディ信号は FIFO レディ信号となります。この信号は、FIFO が読出し可能であること (ロー)、またはデバイスがアクセス中のためビジー状態であること (ハイ) を示します。この信号は、FIFO がイネーブルの場合に DOUT/RDY (LFCSP) に自動的に発生し、他のピンに割り当ててはできません。FIFO レディ信号のセクションを参照してください。

連続読出しモード

連続読出しモードは、ADC データにアクセスできるもう 1 つのインターフェース・モードです。連続読出しモードでは、データ・レジスタを読み出すために COMMS レジスタに書き込む必要はありません。このモードでは、データ・レディ信号は出力データのフレーミング信号として機能します。データ・レディ信号が変換の終了を示すローになるまで、SCLK は無視されます。データ・レディ信号がローになった後に必要な数の SCLK を印加し、データ・レジスタ内の変換結果を読み出します。変換結果を読み出すと、データ・レディ信号はハイに戻り、次の変換結果が利用可能になるまで待機します。このモードでは、データの読出しは 1 回しかできません。次の変換が完了する前に、各サンプル・データを確実に読み出すようにしてください。次の変換が完了する前に前回の変換結果を読み出せなかった場合、または結果を読み出すのに十分なシリアル・クロックを印加できなかった場合、次の変換が完了したときにシリアル出力レジスタがリセットされ、新しい変換結果が出力シリアル・レジスタに格納されます。

ADC の設定と動作

連続読出しモードを有効にするには、ADC CONTROL レジスタの CONT_READ ビットを設定します (表 45 を参照)。このビットを設定すると、唯一可能なシリアル・インターフェース動作は、データ・レジスタからの読出しになります。そのため、このレジスタへの書込みは、デバイスへの設定書込みシーケンスの最後です。

連続読出しモードを終了するには、データ・レディ信号がローの間に、データ読出しコマンド (0x42) を書き込みます。CRC がイネーブルの場合、想定される 0x42 の CRC コマンド・バイトがデータの前に置かれ、CRC を検証するときにはこのコマンドを考慮する必要がありますが、0x42 コマンドを送信する際に CRC は不要です。あるいは、連続読出しモードを終了するには、ソフトウェア・リセット、つまり、 \overline{CS} = 0 および DIN = 1 として 64 個の SCLK を印加します (図 74 参照)。これにより、ADC および全てのレジスタの内容がリセットされます。

これらが、インターフェースが連続読出しモードに入った後に認識される唯一のコマンドです。命令をデバイスに書き込むまで、連続読出しモードでは、DIN をローに保持しなければなりません。

複数の ADC チャンネルがイネーブルの場合、各チャンネルは順番に出力され、ADC_CONTROL レジスタの DATA_STATUS ビットが設定されている場合には、ステータス・レジスタの内容がデータに追加されます。ステータス・レジスタには、その変換が対応するチャンネルが含まれます。

FIFO がイネーブルの場合、連続読出しモードはディスエーブルです。

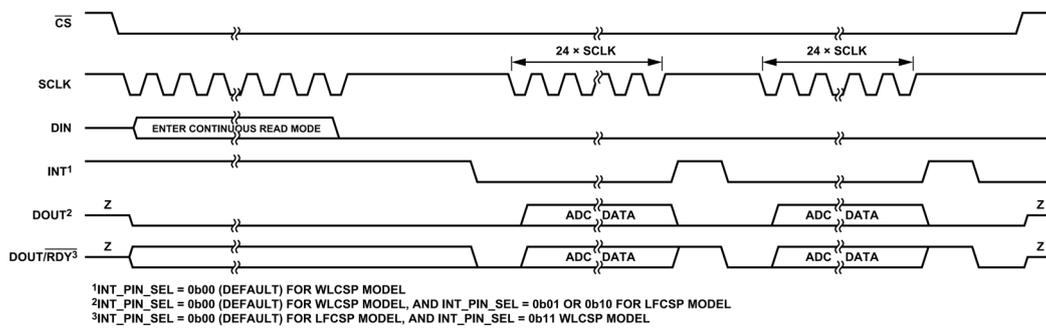


図 80. 連続読出しモードを開始する場合の説明図 (DATA_STATUS = 0)

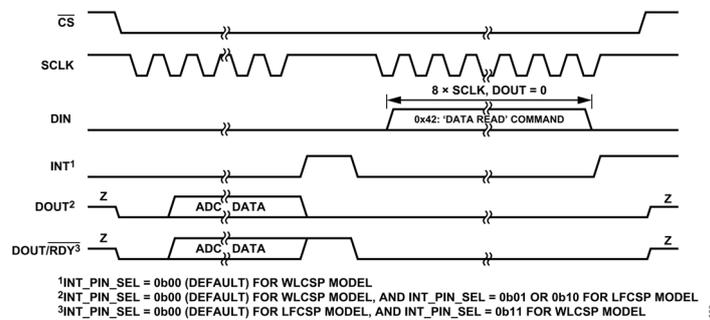


図 81. 連続読出しモードを終了する場合の説明図 (CRC はディスエーブル)

ADC の設定と動作

システム同期

$\overline{\text{SYNC}}$ ピンの入力を利用すると、いくつかの動作を容易なものにすることができます。デフォルトでは、このピンをローに保持しておく、デバイスのいかなる設定条件にも影響を与えずに、モジュレータ、デジタル・フィルタ、校正制御ロジックをリセット状態に保つことができます。これにより、既知の時点、すなわち $\overline{\text{SYNC}}$ の立上がりエッジから、アナログ入力のサンプル収集を開始できます。同期機能を実行するには、 $\overline{\text{SYNC}}$ を少なくとも $t_{\text{SYNC_PW}}$ の間ローに保持します（[タイミング仕様のセクション](#)を参照）。 $\overline{\text{SYNC}}$ はデジタル・インターフェースに影響を与えませんが、データ・レディ信号がロー状態の場合はこれをハイ状態にリセットします。 $\overline{\text{SYNC}}$ ピンの立上がりエッジで、デジタル・フィルタおよびアナログ・モジュレータがリセットされ、AD4129-4 は一貫した既知の状態に置かれます。 $\overline{\text{SYNC}}$ ピンがロー状態の間、AD4129-4 はこの状態に維持されます。 $\overline{\text{SYNC}}$ の立上がりエッジで、モジュレータおよびフィルタはこのリセット状態から解除され、デバイスは入力サンプルの収集を再開します。 $\overline{\text{SYNC}}$ ピンは、MCLK の立上がりエッジでサンプリングされます。そのため、確定的タイミングが必要なアプリケーションでは、外部 MCLK (CLK) の立上がりエッジで $\overline{\text{SYNC}}$ ピンの値を変更することが推奨されます。

変換の開始

$\overline{\text{SYNC}}$ ピンは変換開始コマンドとして使用できます。起動時および AD4129-4 を設定している間は、 $\overline{\text{SYNC}}$ ピンをロー状態に保持します。その後、準備が整うと、 $\overline{\text{SYNC}}$ の立上がりエッジを使用し、選択した ADC モードに応じて変換または一連の変換を開始します。データ・レディ信号の立上がりエッジは各変換の完了を示し、ADC の結果をデータ・レジスタから読み出すことができます。

複数の AD4129-4 デバイスの同期

$\overline{\text{SYNC}}$ ピンは、共通の外部 MCLK で動作する複数の AD4129-4 デバイスを同期させるのに使用でき、データ・レジスタは同時に更新されます。この機能は、デフォルトでは起動時に利用できます。複数のデバイスに接続された $\overline{\text{SYNC}}$ ピンにロー・パルスが発行されるのは、各 AD4129-4 が独自の校正を実行した後、または校正レジスタに校正係数をロードした後が通常です。その後、各 AD4129-4 デバイスの変換結果が同期されます。

デバイスは、 $\overline{\text{SYNC}}$ がローからハイに遷移した後に MCLK の立上がりエッジでリセット状態を終了します。そのため、複数のデバイスを同期させている場合、MCLK の立上がりエッジで $\overline{\text{SYNC}}$ ピンをハイにして、全てのデバイスが MCLK の立上がりエッジで確実にサンプリングを開始できるようにします。 $\overline{\text{SYNC}}$ ピンが適切なタイミングでハイにならない場合、デバイス間でコントローラ・クロック 1 サイクル分の差が生じる可能性があります。つまり、変換結果が利用できるタイミングが、デバイスによって最大でコントローラ・クロック 1 サイクル分異なります。

その他の同期モード

$\overline{\text{SYNC}}$ ピンの機能によって、「 $\overline{\text{SYNC}}$ によるシングル・シーケンス + アイドル」モードの場合はデバイスがアイドル状態から復帰するように、「 $\overline{\text{SYNC}}$ によるシングル・シーケンス + STBY」モードの場合はデバイスがスタンバイ状態から復帰するように、それぞれ変更できます。詳細については [ADC の変換モード](#)のセクションを参照してください。

その代わりに、IO_CONTROL レジスタの $\overline{\text{SYNCB_CLEAR}}$ ビット（[表 39](#)を参照）を 1 に設定することで、 $\overline{\text{SYNC}}$ ピンは FIFO をクリアすることにも使用できます。詳細については [FIFO のクリア](#)のセクションを参照してください。

ADC の校正

各変換後、ADC の変換結果は、データ・レジスタに書き込まれる前に、OFFSET_n レジスタと GAIN_n レジスタに格納されている ADC 校正係数を使用してスケールされます。この作業に必要な後処理時間は、デジタル後処理 (DPP) 時間と呼ばれます。OFFSET_n レジスタのデフォルト値は 0x8000 であり、GAIN_n レジスタの公称値は 0x5555 です。

AD4129-4 では、OFFSET_n レジスタおよび GAIN_n レジスタの更新に内部校正およびシステム校正の両方が利用できます。そのため、デバイス内部のオフセット誤差またはゲイン誤差のみを除去するオプションと、エンド・システム全体のオフセット誤差またはゲイン誤差を除去するオプションがあります。

AD4129-4 には、[表 54](#)に示す 4 つの校正モードがあり、ADC セットアップごとにオフセット誤差およびゲイン誤差を除去するのに使用できます。

表 54. ADC の校正モードのオプション

MODE	ADC Calibration Mode
0b0101	Internal offset calibration (zero scale)
0b0110	Internal gain calibration (full scale)
0b0111	System offset calibration (zero scale)
0b1000	System gain calibration (full scale)

内部またはシステムのオフセット校正により、オフセット誤差はノイズのレベルまで抑制されます。ゲイン誤差は、ゲインが 1、かつ PGA_BYP_n = 0 での状態で、周囲温度において工場校正されています。このため、PGA_BYP_n = 0 でゲインが 1 の状態での内部ゲイン校正は、AD4129-4 ではサポートされていません。その他のゲイン値では、システム・ゲイン校正により、ゲイン誤差はノイズのレベルまで抑制されます。

校正中にアクティブ状態にできるチャンネルは、1 つだけです。動作上の観点からは、校正を別の ADC 変換のように扱います。ポーリング・シーケンスまたは割り込みで実行されるルーチンによって校正の終了を判定するには、ステータス・レジスタの RDYB ビット（[表 46](#)を参照）またはデータ・レディ信号をモニタするようにシステム・ソフトウェアを設定します。校正を開始するには、ADC_CONTROL レジスタの MODE ビット（[表 45](#)を参照）に適切な値を書き込みます。校正が開始されると、データ・レディ信号はハイ状態に移行し、ステータス・レジスタの RDYB ビットは 1 に設定されます。校正が完了すると、対応する OFFSET_n レジスタまたは GAIN_n レジスタの内容が更新され、ステータス・レジスタの RDYB ビットが 0 に設定され、データ・レディ信号がロー状態に戻り（ $\overline{\text{CS}}$ がローの場合）、AD4129-4 がアイドル・モードに戻ります。

どのような出力データレートでも、校正の実行は可能です。低い出力データレートをを用いると校正精度が高くなり、この精度は高い出力データレートに対しても有効です。特定のチャンネルは、リファレンス・ソースまたはゲインが (CONFIG_n レジスタの PGA_n ビットフィールドを使用して) 変更された場合に、新たな校正が必要になります。

ADC の設定と動作

次の式は、オフセットおよびゲインの校正係数に基づいてデータをスケールリングするのに使用される計算方法を示しています。ユニポーラ・モード (ADC_CONTROL レジスタにおいてバイポーラ・ビット = 0b0) では以下のとおりです。

$$DATA = \left(\frac{0.75 \times V_{IN}}{V_{REF}} \times 2^{N-1} - (OFFSET_n - 0x8000) \right) \times \frac{GAIN_n}{0x4000} \times 2$$

バイポーラ・モード (ADC_CONTROL レジスタにおいてバイポーラ・ビット = 0b1) では以下とおりです。

$$DATA = \left(\frac{0.75 \times V_{IN}}{V_{REF}} \times 2^{N-1} - (OFFSET_n - 0x8000) \right) \times \frac{GAIN_n}{0x4000} + 0x8000$$

ここで、

DATA は、後処理後にデータ・レジスタに書き込まれるコードです。

V_{IN} は、変換されたチャンネルの入力における差動電圧 (AINP - AINM) です。

N は、ADC のビット数 (16) です。

OFFSET_n は、変換されたチャンネルの対応する OFFSET_n レジスタに書き込まれる 16 進数コードです。

GAIN_n は、変換されたチャンネルの対応する GAIN_n レジスタに書き込まれる 16 進数コードです。

AD4129-4 はオン・チップの校正レジスタにアクセスできるため、マイクロプロセッサはデバイスの校正係数を読み出すこと、または独自の校正係数を書き込むことができます。OFFSET_n レジスタおよび GAIN_n レジスタの読みまたは書き込みは、内部校正中またはシステム校正中でなければ、いつでも可能です。校正レジスタ内の値は 16 ビット幅です。これらのレジスタを使用して、デバイスの入力スパンおよびオフセットも調整できます。詳細については、[システム校正のスパンとオフセットの限界値](#)のセクションを参照してください。

AD4129-4 は、校正中にバックグラウンド・チェックを実行できます。この機能を有効にするには、ERROR_EN レジスタの ADC_ERR_EN ビットを 1 に設定します。エラーが発生した場合、エラー・レジスタの ADC_ERR ビットが設定されます。詳細については、[ADC エラー](#)のセクションを参照してください。

校正を行うたびに有効なリファレンスが存在することを確認したい場合には、校正サイクルの最後で REF_DETECT_ERR ビットの状態をチェックしてください。

内部ゲイン校正

内部ゲイン校正を行うために、PGA 入力には、内部で生成されるフルスケール入力電圧が自動的に接続されます。新たなゲイン設定に起因するフルスケール誤差を最小限に抑えるよう、チャンネルのゲインが変更されるたびにゲイン校正を行うことが推奨されます。内部校正を行う場合は、内部オフセット校正の前に内部ゲイン校正を行う必要があります。そのため、内部

ゲイン校正を行う前に、選択されたチャンネルの OFFSET_n レジスタに 0x8000 の値を書き込みます。これにより、OFFSET_n レジスタが確実にデフォルト値に設定されます。リファレンス電圧が 2V より高い場合は、MISC レジスタの CAL_RANGE_X2 ビットを 1 に設定すると、内部ゲイン校正の結果が改善されず、周囲温度において工場校正されています。結果として得られたゲイン係数は、デフォルト値としてデバイスの GAIN_n レジスタにロードされています。本デバイスは、ゲイン 1 (PGA_BYP_n = 0) の状態での更なる内部ゲイン校正をサポートしていません。内部ゲイン校正には、そのチャンネルに対して選択された設定の最初の 4 回の変換が完了するのに要する時間が必要です。

内部オフセット校正

内部オフセット校正時には、選択された正のアナログ入力ピンが切り離され、選択された負のアナログ入力ピンに内部的に接続されます。このため、選択された負のアナログ入力ピンの電圧が許容範囲内に収まり、かつ過度なノイズや干渉が生じないようにする必要があります。内部校正を行う場合は、内部オフセット校正の前に内部ゲイン校正を行う必要があります。内部オフセット校正には、そのチャンネルに対して選択された設定の初回変換が完了するのに要する時間が必要です。

システム・オフセット校正

システム・オフセット校正では、校正モードを有効にする前に、システムのゼロ・スケール電圧を ADC ピンに印加することが必要です。その結果、ADC 外部のオフセット誤差が除去されます。システム校正を行う場合には、システム・ゲイン校正の前にシステム・オフセット校正を行う必要があります。内部校正は、システム校正を完了する前に行う必要があります。システム・オフセット校正には、そのチャンネルに対して選択された設定の初回変換が完了するのに要する時間が必要です。

システム・ゲイン校正

システム・ゲイン校正では、校正モードを有効にする前に、システムのフルスケール電圧を ADC ピンに印加することが必要です。その結果、ADC 外部のゲイン誤差が除去されます。システム校正を行う場合には、システム・ゲイン校正の前にシステム・オフセット校正を行う必要があります。内部校正は、システム校正を完了する前に行う必要があります。システム・ゲイン校正には、そのチャンネルに対して選択された設定の初回変換が完了するのに要する時間が必要です。

システム校正のスパンとオフセットの限界値

システム校正は、外部回路のオフセット誤差またはゲイン誤差を補償し、デバイスの入力スパンおよびオフセットを調整するのに使用できます。システム校正を行う際には、入力オフセットおよびスパンの対応可能な調整量が制限されます。

入力スパンは、フル・コードに対応する入力電圧とゼロ・コードに対応する入力電圧の差です。システム校正で達成可能な入力スパンの範囲は、最小値が $0.8 \times V_{REF}/\text{ゲイン}$ となり、最大値が $2.1 \times V_{REF}/\text{ゲイン}$ となります。

ADC の設定と動作

入力スパンとオフセットの調整では、正のフル・コード電圧 ($1.05 \times V_{REF}/\text{ゲイン}$) および負のゼロ・コード電圧 ($-1.05 \times V_{REF}/\text{ゲイン}$) の限界値も考慮する必要があります。表 2 を参照してください。

このため、システム・オフセット (ゼロ・スケール) 校正およびゲイン (フルスケール) 校正の限界値を決定する際には、調整後のオフセットと調整後の正の最大スパン範囲の合計が $1.05 \times V_{REF}/\text{ゲイン}$ を超えないようにする必要があります。

オフセットおよびスパンの対応可能な調整量は、設定がユニポーラかバイポーラかによっても変わります。いくつかの例を見ると、このことがよく分かります。

デバイスがユニポーラ設定 ($A_{INP} \geq A_{INM}$) で使用され、必要なスパンが $0.8 \times V_{REF}/\text{ゲイン}$ の場合、システム校正で処理できるオフセット範囲は、 $-1.05 \times V_{REF}/\text{ゲイン}$ から $+0.25 \times V_{REF}/\text{ゲイン}$ までです (図 82 を参照)。

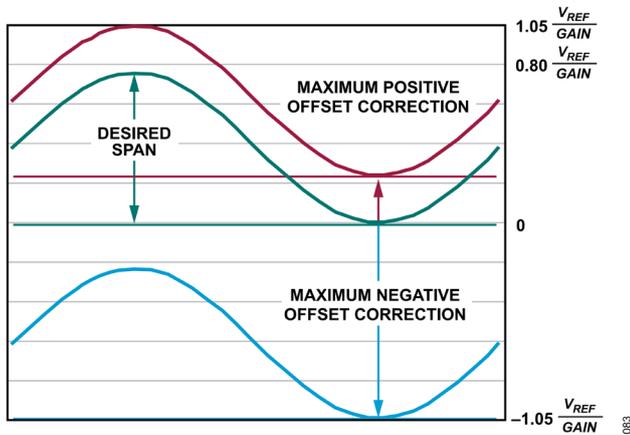


図 82. ユニポーラにおけるスパンおよびオフセットの校正限界の例

デバイスがユニポーラ設定で使用され、必要なスパンが $V_{REF}/\text{ゲイン}$ の場合、システム校正で処理できるオフセット範囲は、 $-1.05 \times V_{REF}/\text{ゲイン}$ から $+0.05 \times V_{REF}/\text{ゲイン}$ までです。同様に、デバイスがユニポーラ設定で使用され、 $0.2 \times V_{REF}/\text{ゲイン}$ のオフセットを除去する必要がある場合、システム校正で処理できるスパン範囲は、 $0.85 \times V_{REF}/\text{ゲイン}$ です。

デバイスがバイポーラ設定で使用され、必要なスパンが $\pm 0.4 \times V_{REF}/\text{ゲイン}$ の場合、システム校正で処理できるオフセット範囲は $-0.65 \times V_{REF}/\text{ゲイン}$ から $+0.65 \times V_{REF}/\text{ゲイン}$ までです (図 83 を参照)。

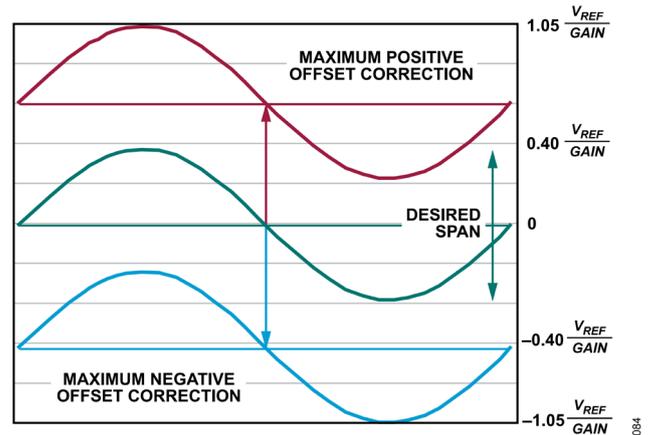


図 83. バイポーラにおけるスパンおよびオフセットの校正限界の例

デバイスがバイポーラ設定で使用され、必要なスパンが $\pm V_{REF}/\text{ゲイン}$ の場合、システム校正で処理できるオフセット範囲は、 $-0.05 \times V_{REF}/\text{ゲイン}$ から $+0.05 \times V_{REF}/\text{ゲイン}$ までです。同様に、デバイスがバイポーラ設定で使用され、 $\pm 0.2 \times V_{REF}/\text{ゲイン}$ のオフセットを除去する必要がある場合、システム校正で処理できるスパン範囲は $\pm 0.85 \times V_{REF}/\text{ゲイン}$ です。

デジタル・フィルタ

AD4129-4 は、デジタル・フィルタ方式に関して高い柔軟性を備えています。本デバイスには、いくつかのフィルタ・オプションがあります。選択されたオプションは、出力データレート、初回変換時間、入力帯域幅、50Hz および 60Hz の除去に影響を与えます。各 FILTER_n レジスタの FILTER_MODE_n ビットを使用して、表 56 に示すフィルタ種別を選択します。

選択されたフィルタに応じて、特定の FS 値のみが使用可能です。FS 値によって、後置フィルタを除く全フィルタの出力データレートが決定されます。選択されたフィルタに対して使用可能な FS 値の一覧については、表 56 を参照してください。詳細については、出力データレートのセクションを参照してください。

sinc³ フィルタおよび sinc⁴ フィルタ

AD4129-4 の起動時には、sinc³ フィルタがデフォルトで選択されます。このフィルタは、ODR 値の全範囲に対応し、優れたノイズ性能と短い初回変換時間を可能にし、50Hz および 60Hz (±1Hz) の除去を実現できます。

sinc⁴ フィルタを sinc³ フィルタの代わりに使用できます。このフィルタは、240SPS～2.4kSPS の ODR でのみ使用可能です。そのため、このフィルタでは自然な 50Hz や 60Hz の除去ができませんが、変換時間がわずかに長くなるもののノイズ性能は優れています。

適切な FS をプログラムすることにより、独立した sinc フィルタは、それぞれのノッチ周波数 (f_{NOTCH_STD}) で優れた除去を実現できます。

sinc³ フィルタおよび sinc⁴ フィルタは、最初のノッチ周波数を以下の周波数に設定します。

$$f_{NOTCH_STD} = f_{MCLK} / (32 \times FS[10:0])$$

ここで、

f_{MCLK} は、コントローラのクロック周波数 (76.8kHz) です。FS[10:0] は、FILTER_n レジスタの FS_n ビットを 10 進数に変換した値です。

平均化フィルタ

平均化モードでは、sinc¹ フィルタが sinc³ フィルタまたは sinc⁴ フィルタの後に含まれています。sinc¹ フィルタは 8 回の平均化

表 56. FILTER_MODE_n ビットとフィルタ種別

FILTER_MODE_n	フィルタ種別	FS 範囲 (16 進数)	ODR 範囲 (SPS)	コメント
0000	Sinc ⁴	0x01 to 0xA (Dec.: 1 to 10)	2400 to 240	優れたノイズ性能、初回変換時間が長い、自然な 50/60Hz の除去はなし。FS > 0d10 の場合は強制的に FS = 0d10 に設定。
0001	Sinc ⁴ + Sinc ¹	0x01 to 0xA (Dec.: 1 to 10)	218.18 to 21.8	sinc ⁴ に 8 回の平均化を組み合わせたフィルタ。初回変換に遅延なし。FS > 0d10 の場合は強制的に FS = 0d10 に設定。
0010 (Default)	Sinc ³	0x01 to 0x7FF (Dec.: 1 to 2047)	2400 to 1.17	良好なノイズ性能、50Hz/60Hz の除去は中程度、初回変換時間も中程度。
0011	Sinc ³ + REJ60	0x01 to 0x7FF (Dec.: 1 to 2047)	2400 to 1.17	FS = 0d48 では、50SPS の ODR で 50Hz と 60Hz の同時除去を実現。
0100	Sinc ³ + Sinc ¹	0x01 to 0x7FF (Dec.: 1 to 2047)	240 to 0.117	sinc ³ に 8 倍平均化を組み合わせたフィルタ。初回変換に遅延なし。FS は 0x01～0xCC の範囲のみで使用することを推奨 (最小 ODR = 1.17)。
0101	Sinc ³ + Post Filter 1	Not applicable	26.087	
0110	Sinc ³ + Post Filter 2	Not applicable	24	
0111	Sinc ³ + Post Filter 3	Not applicable	19.355	
1000	Sinc ³ + Post Filter 4	Not applicable	16.21	初回変換に遅延なし、50Hz および 60Hz の除去は良好。FS の値は不適用。

を行います (平均)。両方のスタンドアロン・フィルタは平均化モードで使用可能であり、FILTER_n レジスタの FILTER_MODE_n ビットフィールドで sinc³ + sinc¹ または sinc⁴ + sinc¹ を選択できます。sinc¹ フィルタは、次の周波数から始まる追加のノッチを配置します。

$$f_{NOTCH_AVG} = f_{NOTCH_STD} / Avg$$

ここで、

f_{NOTCH_STD} は、sinc³ または sinc⁴ スタンドアロン・フィルタにおける最初のノッチ周波数です。

Avg = 8 です。

平均化モードでは、新しいチャンネルでの初回変換時間と、同じチャンネルでのそれ以降の変換時間にほとんど差はありません。単一のチャンネルで変換する場合や、同じフィルタを用いて複数のチャンネルで変換する場合でも、変換時間はほぼ一定です。

後置フィルタ

後置フィルタを sinc³ フィルタの後段に適用すると、50Hz と 60Hz の同時除去が実現でき、初回変換時間と除去のトレードオフが可能となります。各後置フィルタは、表 55 に示すように、特定の ODR で動作し、50Hz と 60Hz の同時除去を実現できます。これらのフィルタは、それぞれの FILTER_MODE_n ビットフィールドで選択できます。後置フィルタを選択した場合、FS ビット[10:0] は ODR に影響しません。

表 55. 後置フィルタ：出力データレートおよび除去

Post Filter	ODR (SPS)	Rejection ¹
1	26.087	53 dB at 50 Hz, 58 dB at 60 Hz
2	24	70 dB at 50 Hz, 70 dB at 60 Hz
3	19.355	99 dB at 50 Hz, 103 dB at 60 Hz
4	16.21	103 dB at 50 Hz, 109 dB at 60 Hz

¹ 50Hz/60Hz の除去は、安定した 76.8kHz の f_{MCLK} を用いて、50Hz および 60Hz を中心とする ±0.5Hz の帯域で計測されます。

デジタル・フィルタ

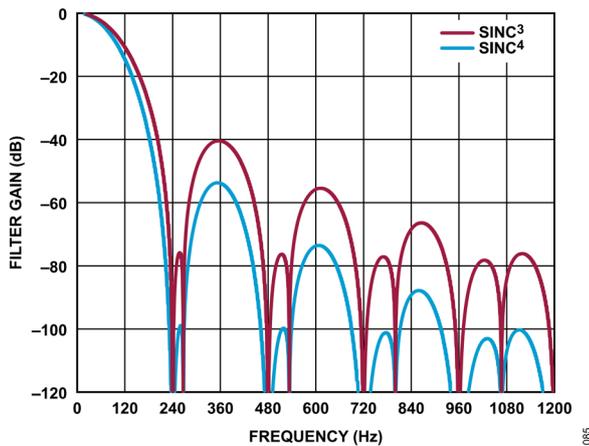


図 84. sinc³フィルタおよび sinc⁴フィルタの応答 (FS = 0d10)

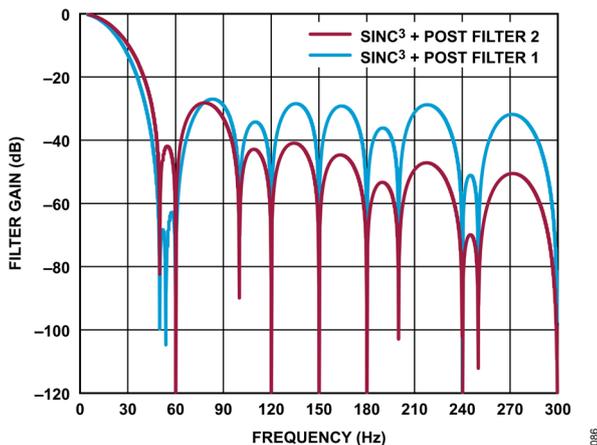


図 85. 後置フィルタ 1 および後置フィルタ 2 の応答

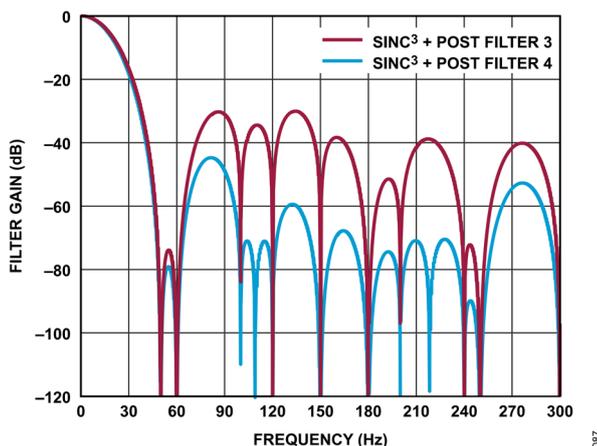


図 86. 後置フィルタ 3 および後置フィルタ 4 の応答

出力データレート

ODR は、ADC が連続して変換しているときに、単一の安定したチャンネルで ADC 変換結果が得られるレートです。ODR は、例えば、REPEAT_n 機能 (CONFIG_n レジスタ) を使用する場合、またはチャンネルを 1 つだけイネーブルにした連続変換モードの場合に対応します。ODR は Hz で表すと f_{ADC} ($f_{ADC} = 1\text{Hz}$, $ODR = 1\text{SPS}$) と呼ばれます。ここで、

$$f_{ADC} = 1/t_{CNV}$$

ここで、

t_{CNV} は、安定したチャンネルでの変換時間です (新しいチャンネルでの初回変換の後、それ以降の同じチャンネルでの変換については、そのチャンネルが安定したと見なされます)。 t_{CNV} は、安定したチャンネルにおいて次のデータ・レディ信号がハイからローに遷移する間隔でもあります。

各変換に必要な DPP 時間は、安定したチャンネルでの t_{CNV} に既に含まれています。

表 57. 安定したチャンネルでの変換時間と ODR

Filter Type	t_{CNV} (MCLK Cycles) ¹	ODR (SPS) ¹
Sinc ⁴	32 × FS	2400/FS
Sinc ⁴ + Sinc ¹	352 × FS	218.18/FS
Sinc ³	32 × FS	2400/FS
Sinc ³ + REJ60	32 × FS	2400/FS
Sinc ³ + Sinc ¹	320 × FS	240/FS
Sinc ³ + Post Filter 1	2944	26.087
Sinc ³ + Post Filter 2	3200	24
Sinc ³ + Post Filter 3	3968	19.355
Sinc ³ + Post Filter 4	4736	16.21

¹ FS は、FS ビット [10:0] のバイナリ値を 10 進数に変換した値です。

フィルタ帯域幅

3dB 帯域幅 (f_{3dB}) は、選択されたフィルタのタイプとその設定によって異なります。様々な FS 値に対応する f_{3dB} 値の一覧については **ノイズおよび分解能** のセクションを参照してください。表 56 には、フィルタ種別ごとに使用可能な FS 値が記載されています。

単一チャンネルでのステップ変化

変換が単一のチャンネルで行われ、ステップ変化が生じた場合、ADC はアナログ入力の変化をすぐには検出しませんが、図 87 に示すプログラムされた出力データレートで変換を出力し続けます。フィルタ種別は、出力データがアナログ入力を正確に反映するまでに必要な変換数を決定します。

表 58 には、同じチャンネルを変換する場合、ステップ変化が安定化するまでに必要な最小の変換数が示されています。この数値は、ステップ変化が変換と同期している場合に適用されます。ADC が変換中にステップ変化が発生した場合、ADC はステップ変化後に追加の変換を実施し、完全に安定した結果を生成しません。

デジタル・フィルタ

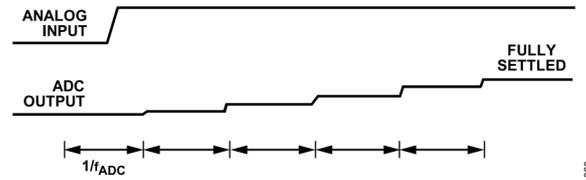


図 87. アナログ入力における非同期なステップ変化が ADC 出力に与える影響

表 58. 同じチャンネルを変換する際にステップ変化が安定化するまでに必要な途中の変換回数

Filter Type	Minimum	Maximum
Sinc ⁴	3	4
Sinc ³ and sinc ³ + REJ60	2	3
Sinc ⁴ + sinc ¹ and sinc ³ + sinc ¹	1	2
Sinc ³ + post filters	0	1

50Hz および 60Hz の除去

適切な FS をプログラムすることで、スタンドアロンの sinc フィルタは、それぞれのノッチ周波数 (f_{NOTCH_STD}) で良好な除去を実現できます。sinc⁴ フィルタの FS オプションは限定されており、このフィルタでは自然な 50Hz および/または 60Hz の除去は実現できません。

リジェクション仕様のセクションを参照してください。

sinc³ および sinc³ + REJ60 による除去

sinc³ フィルタ用に FS を 0d48 にプログラムすることで、50Hz でのノッチ周波数を実現できます。この場合の ODR は 50SPS です。

sinc³ による 50Hz/60Hz の同時除去は、FS ビット [10:0] を 0d240 に設定した場合にも実現できます。ノッチは 10Hz および 10Hz の倍数に設定されるため、50Hz と 60Hz の同時除去が可能です。この場合の ODR は 10SPS です。表 59 および図 88 を参照してください。

表 59. sinc³ フィルタの除去性能

Filter Type	FS (Dec.)	ODR (SPS)	Rejection (dB) ¹
Sinc ³	240	10	100 (50 Hz and 60 Hz)
	48	50	95 (50 Hz only)
	40	60	98 (60 Hz only)
Sinc ³ + REJ60	48	50	80 (50 Hz)
			65 (60 Hz)

¹ 50Hz/60Hz の除去は、50Hz や 60Hz を中心に ±1Hz の帯域で、安定した 76.8kHz の f_{MCLK} を用いて計測されます。

sinc³ フィルタには追加の除去を選択するオプションがあり、FILTER_TYPE を sinc³ + REJ60 (0b0011) に設定することで選択できます。sinc³ + REJ60 のフィルタを選択した場合、以下のように、主ノッチ周波数の 6/5 倍の位置に追加のノッチ周波数が設定されます。

$$f_{NOTCH_REJ60} = 6/5 \times f_{NOTCH_STD}$$

ここで、 f_{NOTCH_STD} は sinc³ フィルタの最初のノッチ周波数です。

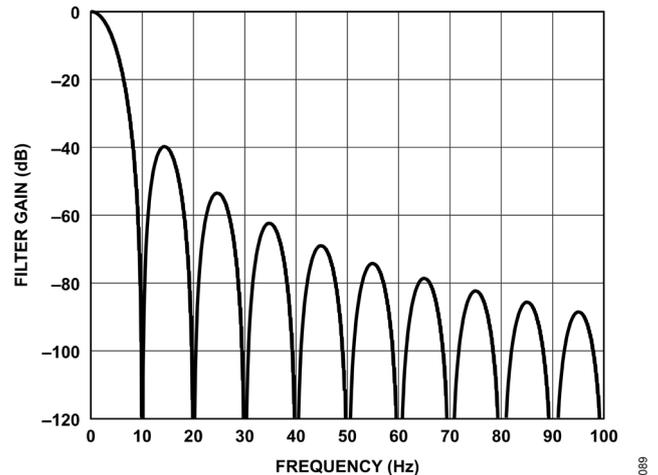


図 88. sinc3 を用いた 50Hz および 60Hz の同時除去 (ODR = 10SPS)

sinc³ + REJ60 のフィルタの FS 値として、ODR = 50SPS に対して 0d48 を選択すると、最初的主ノッチ周波数は 50Hz になり、追加の最初のノッチ周波数は 60Hz になります。この設定により、50Hz および 60Hz を同時に除去できます。図 89 には、この設定を適用した sinc³ フィルタの周波数応答が示されています。

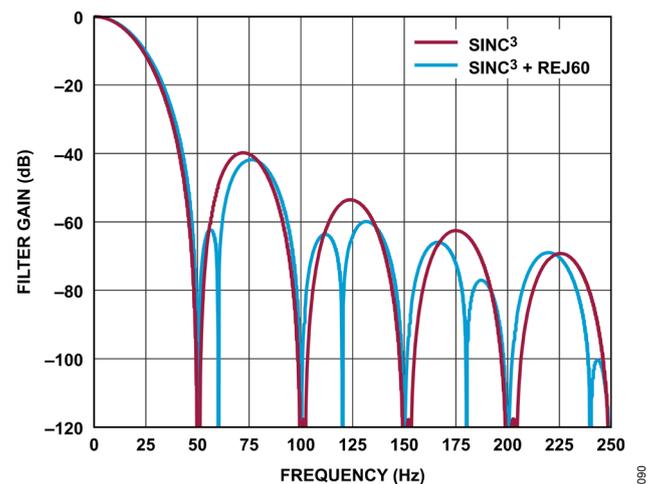


図 89. sinc³ および sinc³ + REJ60 の両フィルタの応答 (ODR = 50SPS)

デジタル・フィルタ

後置フィルタによる除去

後置フィルタは、50Hz および 60Hz に対して優れた同時除去を提供します。表 55 およびリジェクション仕様のセクションを参照してください。

平均化フィルタによる除去

sinc¹ フィルタは次の周波数の倍数に追加のノッチを設定します。

$$f_{NOTCH_AVG} = f_{NOTCH_STD}/Avg$$

ここで、

f_{NOTCH_STD} は、sinc³ フィルタまたは sinc⁴ フィルタの最初のノッチ周波数です。

Avg は平均化係数です (average = 8)。

したがって、sinc⁴ + sinc¹ または sinc³ + sinc¹ の平均化フィルタに対して FS を 0d6 にプログラムして、 f_{NOTCH_STD} を 400Hz に設定すると、sinc¹ フィルタにより f_{NOTCH_AVG} が 50Hz に配置されます。これは、sinc⁴ + sinc¹ および sinc³ + sinc¹ の両フィルタで実現できます。図 90 および表 60 を参照してください。

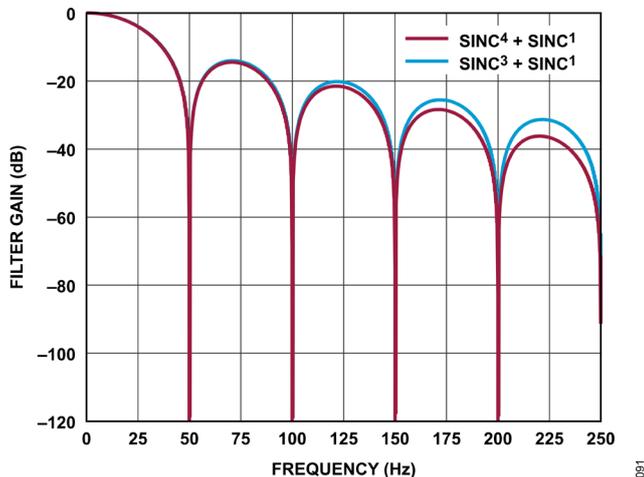


図 90. sinc³ + sinc¹ および sinc⁴ + sinc¹ の両フィルタの応答 (FS = 6)

表 60. 平均化フィルタの除去性能

Filter Type	FS (Dec.)	ODR (SPS)	Rejection (dB) ¹
Sinc ³ + sinc ¹	6	40	40 (50 Hz only)
	5	48	42 (60 Hz only)
Sinc ⁴ + sinc ¹	6	36.36	40 (50 Hz only)
	5	43.64	42 (60 Hz only)

¹ 50Hz/60Hz の除去は、50Hz や 60Hz を中心に±0.5Hz の帯域で、安定した 76.8kHz の f_{MCLK} を用いて計測されます。

シーケンサ

複数のチャンネルがイネーブルの場合、オン・チップのシーケンサが自動的に使用されます。本デバイスは、イネーブルにされた全てのチャンネルを自動的に順次切り替えます。1 つのチャンネルではリピート機能を用いて変換を繰り返し複数のチャンネルでは一度だけ変換される、という状況が生じる可能性もあります。

新しいチャンネルでの初回変換

チャンネルが変更されると、モジュレータおよびフィルタはリセットされ、X-MUX は新しいチャンネルに切り替える必要があります。新しいフィルタは初回変換の結果を生成する前に安定する必要があります。

特定の各アプリケーションでは、調整可能なフロント・エンドのセトリング時間 (FILTER_n レジスタの SETTLE_n ビット) を設定して、励起電流を安定させられるようにするか、センサーを起動できるようにする必要があります。この時間は、X-MUX が安定できるように、少なくとも 32 回分の MCLK サイクルでなければなりません。更に、以下のことが必要です。

- ▶ sinc⁴ フィルタは、初回の結果を出力するために、 t_{CNV} の 4 倍の時間と FS 値による一定の処理時間を必要とします。
- ▶ sinc³ および sinc³ + REJ60 の両フィルタは、初回の結果を出力するために、 t_{CNV} の 3 倍の時間と FS 値による一定の処理時間を必要とします。
- ▶ 平均値フィルタおよび後置フィルタは、初回の結果を出力するために、 t_{CNV} と同じ時間と FS 値による一定の処理時間を必要とします。これらのフィルタは、スタンドアロン・フィルタと比べると、後続の変換に対して最小限の初回変換遅延を伴って動作します。

同じチャンネルでの後続の変換は $t_{CNV} = 1/f_{ADC}$ で行われ、処理時間は既に考慮されています。新しいチャンネルでの初回のデータ・レディ・イベントには、同じチャンネルの後続のデータ・レディ・イベントに対して常に遅延が生じます。

事前に定められたフロント・エンドのセトリング時間 (t_{SETTLE})、理想的な初回変換時間、および処理時間が加算されて、初回変換時間が以下のように決定されます。

$$t_{1st_CNV} = t_{SETTLE} + t_{1st_CNV_IDEAL} + DPP\ Time$$

ここで、

t_{1st_CNV} は、新しいチャンネルでの初回変換時間です。

t_{SETTLE} は、新しいチャンネルで初回変換を行う前のフロント・エンドのセトリング時間であり、表 61 のとおり、SETTLE_n ビットの選択によって決まります。 $t_{1st_CNV_IDEAL}$ は、新しいチャンネルでの理想的な変換時間です。スタンドアロン・フィルタの場合、初回変換時間は、表 62 に示す安定した変換時間とは異なります。

DPP Time は、MCLK サイクルで表されるデジタル後処理時間であり、この時間は、表 63 のとおり、フィルタ種別と FS 値によって異なりますが、後置フィルタでは一定です。

表 61. プログラマブルな t_{SETTLE} の値

SETTLE_n	MCLK Cycles Before First Conversion Starts	t_{SETTLE}
0b000 (Default)	32	416.6 μs
0b001	64	833.3 μs
0b010	128	1.66 ms
0b011	256	3.33 ms
0b100	512	6.66 ms
0b101	1024	13.33 ms
0b110	2048	26.66 ms
0b111	4096	53.33 ms

デジタル・フィルタ

表 62. 変換時間および初回変換時間 (MCLK サイクル)

Filter Type ¹	t _{CNV} (MCLK Cycles)	t _{1st_CNV_IDEAL} (MCLK Cycles)
Sinc ⁴	32 × FS	4 × t _{CNV}
Sinc ⁴ + Sinc ¹	352 × FS	t _{CNV}
Sinc ³	32 × FS	3 × t _{CNV}
Sinc ³ + REJ60	32 × FS	3 × t _{CNV}
Sinc ³ + Sinc ¹	320 × FS	t _{CNV}
Sinc ³ + Post Filter 1	2944	t _{CNV}
Sinc ³ + Post Filter 2	3200	t _{CNV}
Sinc ³ + Post Filter 3	3968	t _{CNV}
Sinc ³ + Post Filter 4	4736	t _{CNV}

¹ FS は、FS ビット[10:0]のバイナリ値を 10 進数に変換した値です。

表 63. DPP 時間 (MCLK サイクル)

Filter Type	FS ¹ = 1 (or FS = 0)	FS > 1
Sinc ⁴	28 (364.6 μs)	62
Sinc ⁴ + Sinc ¹	62 (807.3 μs)	62
Sinc ³	28	62
Sinc ³ + REJ60	28	62
Sinc ³ + Sinc ¹	62	62
Sinc ³ + Post Filters	69 (898.4 μs)	69

¹ FS は、FS ビット[10:0]のバイナリ値を 10 進数に変換した値です。

シーケンスのタイミング

シーケンスにおいては、チャンネルごとに異なる設定が可能です。チャンネル切り替えが生じるのは実際の変換が完了した後

表 64. フィルタ種別ごとの初回変換時間と安定したチャンネルでの変換時間¹

Filter type	t _{1st_CNV}	t _{CNV}
Sinc ⁴	t _{SETTLE} + (4 × 32 × FS + DPP Time)/f _{MCLK}	(32 × FS)/f _{MCLK}
Sinc ⁴ + Sinc ¹	t _{SETTLE} + ((4 + Avg - 1) × 32 × FS + DPP Time)/f _{MCLK}	((4 + Avg - 1) × 32 × FS)/f _{MCLK}
Sinc ³ and Sinc ³ + REJ60	t _{SETTLE} + (3 × 32 × FS + DPP Time)/f _{MCLK}	(32 × FS)/f _{MCLK}
Sinc ³ + Sinc ¹	t _{SETTLE} + ((3 + Avg - 1) × 32 × FS + DPP Time)/f _{MCLK}	((3 + Avg - 1) × 32 × FS)/f _{MCLK}
Sinc ³ + Post Filter 1	t _{SETTLE} + 38.33 ms + DPP Time/f _{MCLK}	38.33 ms
Sinc ³ + Post Filter 2	t _{SETTLE} + 41.67 ms + DPP Time/f _{MCLK}	41.67 ms
Sinc ³ + Post Filter 3	t _{SETTLE} + 51.67 ms + DPP Time/f _{MCLK}	51.67 ms
Sinc ³ + Post Filter 4	t _{SETTLE} + 61.67 ms + DPP Time/f _{MCLK}	61.67 ms

¹ t_{SETTLE} は新しいチャンネルのフロント・エンドのセトリング時間で、SETTLE_n ビットの選択によって決まります。f_{MCLK} はコントローラのクロック周波数 (76.8kHz) です。Avg は 8 です。FS は、フィルタ・レジスタの FS ビット[10:0]を 10 進数に変換した値です。DPP 時間は、MCLK サイクルで表されるデジタル後処理時間です。

ですが (図 93 を参照)、データ・レディ信号のハイからローへの遷移は常に、変換されたデータの後処理に必要な追加 DPP 時間の後になります。実際には、新しいチャンネルの t_{SETTLE} とその前のチャンネルの DPP 時間には重なりがあります。そのため、現在のチャンネルの変換時間 (2 つのデータ・レディ信号のハイからローへの遷移間の時間を指します) は、そのチャンネルの t_{1st_CNV} から、その前のチャンネルの DPP 時間を差し引いて計算します (図 93 を参照)。

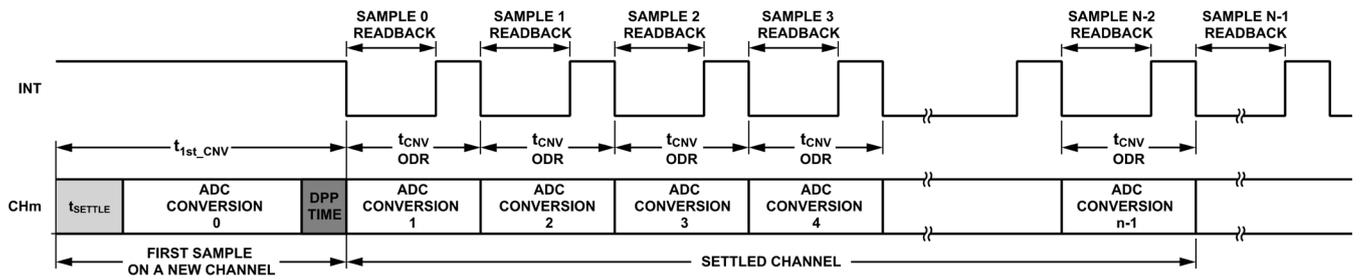
特別なケース (図 92 に示されている) は、シーケンス内の全チャンネルが同じ ADC セットアップ n (特に、FILTER_n レジスタの SETTLE_n、FILTER_MODE_n、FS_n の各ビットフィールド) を共用し、各チャンネルで 1 つのサンプルのみが収集された後、次のチャンネルに切り替わる (FILTER_n レジスタの REPEAT_n を 0 に設定) という場合に発生します。この場合、初回変換後に、同じ変換出力データレート (1CNV_ODR) が 1/t_{CNV} で決定される固定値に安定します。ここで、

$$t_{1CNV} = t_{SETTLE} + t_{1st_CNV_IDEAL} \quad (1)$$

この設定では、連続変換モードがイネーブルの場合、シーケンスの同じ設定を共有するイネーブルされたチャンネルの数で 1CNV_ODR を割ることで、チャンネルあたりのサンプル・レートを計算することが可能です。

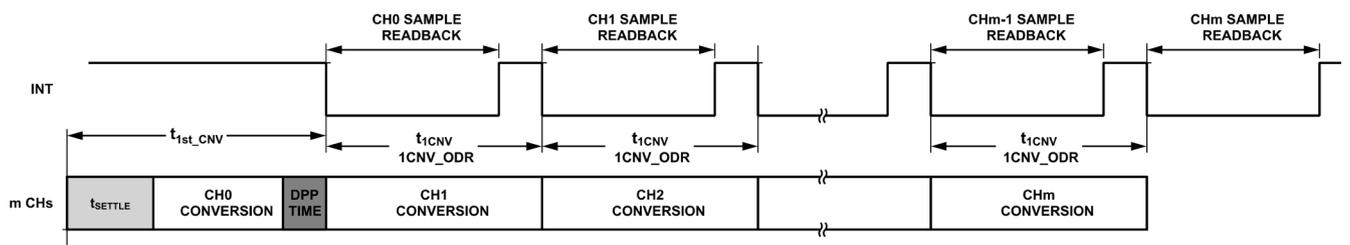
その場合でも、フィルタの挙動は FILTER_MODE_n および FS_n の各ビットフィールドで決定されることに注意してください。そのため、フィルタのプロファイルおよび除去は、1CNV_ODR やチャンネルあたりのサンプル・レートの値で変わることはありません。

デジタル・フィルタ



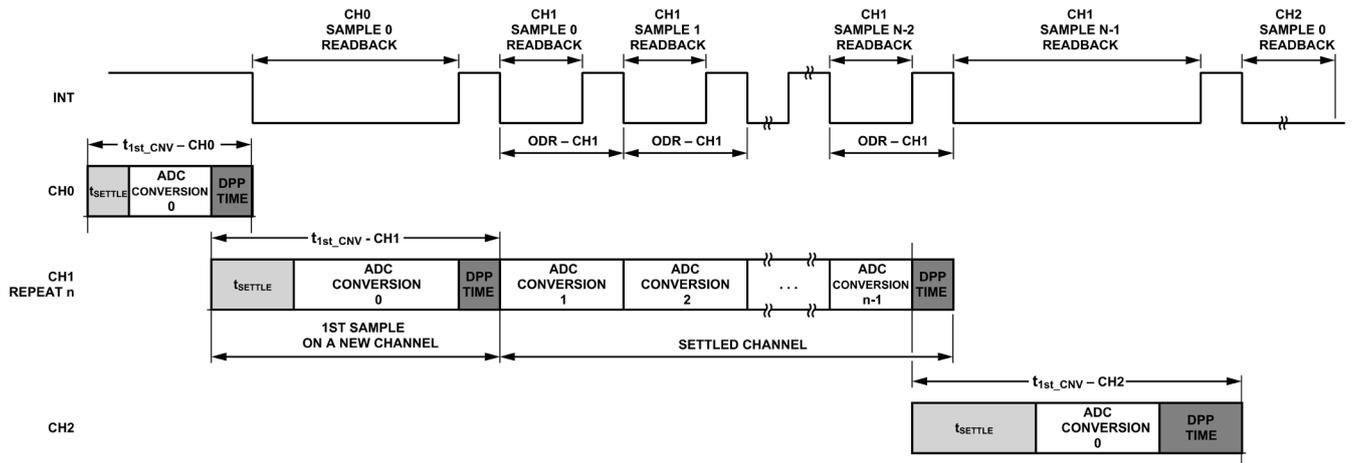
092

図 91. 同じチャンネルでのレポート変換の例



093

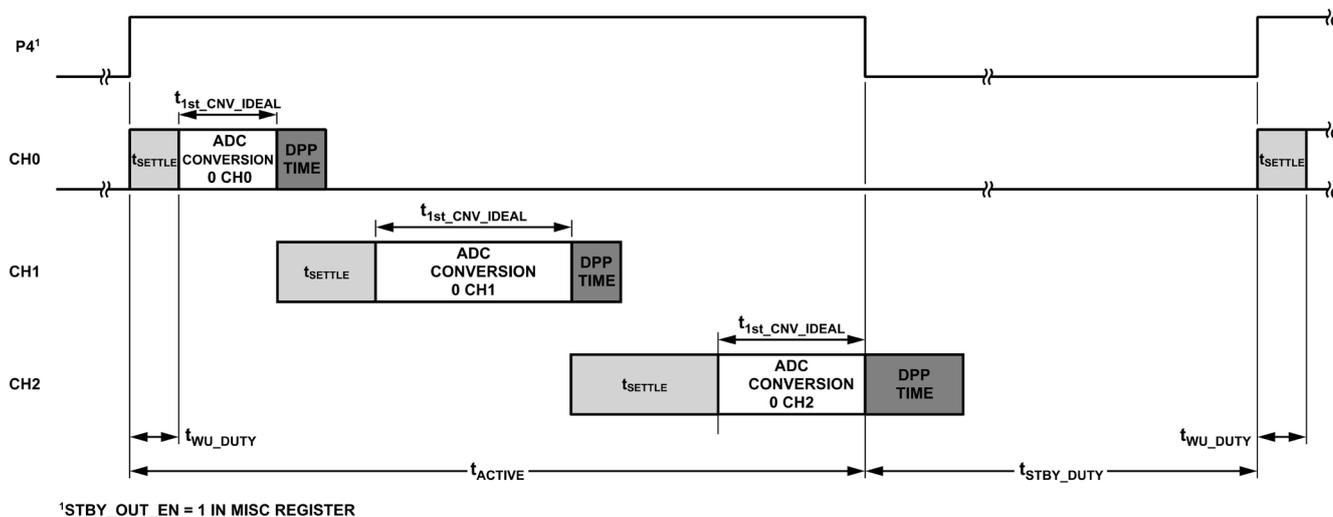
図 92. 複数チャンネルによる標準的なシーケンス処理の例（同じ構成を使用、レポート変換なし）



094

図 93. スマート・シーケンス処理の例

デジタル・フィルタ



095

図 94. 自動デューティ・サイクル・モードの例

デジタル・フィルタ

デューティ・サイクル・モードのタイミング

AD4129-4 の自動デューティ・サイクル・モードでは、シーケンスの変換時間と DUTY_CYC_RATIO ビットフィールドの設定を使用してスタンバイ時間を計算します。

実効的なアクティブ時間は、シーケンス内のイネーブルなチャンネルと、それぞれの選択された設定によって異なり、次のように決定されます。

$$t_{ACTIVE} = \sum_0^n (t_{SETTLEn} + t_{1st_CNV_IDEAL})$$

ここで、

t_{ACTIVE} は、デューティ・サイクル時の実効的なアクティブ時間です。

n は、イネーブルなチャンネルの数です。

t_{SETTLE} は、新しいチャンネルで初回変換を行う前のフロント・エンドのセトリング時間であり、表 61 のとおり、SETTLE_n ビットの選択によって決まります。

$t_{1st_CNV_IDEAL}$ は、新しいチャンネルでの理想的な変換時間です。スタンドアロン・フィルタの場合、初回変換時間は、表 62 に示す安定した変換時間とは異なります。図 94 を参照してください。

DPP 時間は、デューティ・サイクル・モードの実効的なアクティブ時間には影響しません。これは、最後にイネーブルになったチャンネルに伴う DPP 時間にも当てはまります。デューティ・サイクルのウェイクアップ時間 (t_{WU_DUTY}) は、アクティブ時間には影響せず、アクティブ・シーケンスの最初の t_{SETTLE} と重なるものと見なすことができます (図 94 を参照)。

自動デューティ・サイクル・モード時のスタンバイ時間は、図 94 の P4 ピンのロー状態に対応し、デバイスによって次のように計算されます。

$$t_{STBY_DUTY} = \left(Standby\ Ratio \times \sum_0^n t_{1st_CNV_IDEALn} \right) - t_{WU_DUTY}$$

ここで、

t_{STBY_DUTY} は、自動デューティ・サイクル・モードがイネーブルのときにデバイスがスタンバイ状態にいる時間です。

$Standby\ Ratio$ は、ADC_CONTROL レジスタの DUTY_CYC_RATIO ビットに応じて、1/4 デューティ・サイクルでは 3、1/16 デューティ・サイクルでは 15 となります。 n は、イネーブルなチャンネルの数です。

$t_{1st_CNV_IDEAL}$ は、新しいチャンネルでの理想的な変換時間です。スタンドアロン・フィルタの場合、初回変換時間は、表 62 に示す安定した変換時間とは異なります。

t_{WU_DUTY} は、デューティ・サイクルのウェイクアップ時間です (表 9 を参照)。

スタンバイ・モードからの復帰タイミング

デフォルトでは、内部発振器はスタンバイ・モード時に電源がオフになり、スタンバイ・モードから抜けると再度イネーブルになります。内部発振器がウェイクアップして適切な周波数に安定するまでに、図 95 に示すように (表 7 も参照)、ある程度の時間がかかります。信号のアクイジションが始まる前に、入力信号が安定するまでの許容時間を調整するには、 t_{SETTLE} を使用できます。

内部発振器がスタンバイ・モード時にも動作し続けている場合、スタンバイ・モードからのウェイクアップ時間は t_{WU_STBY} (表 9) に対応します。

デューティ・サイクル・モードを選択すると、内部発振器はデフォルトで動作し続けます。

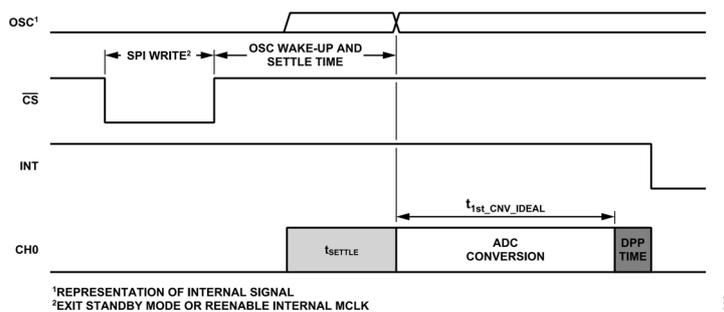


図 95. スタンバイ・モードからの復帰タイミング図

診断機能

AD4129-4には、数多くの診断機能が内蔵されています。これらの機能を使用すると、とりわけ次のことがサポートされます。

- ▶ 読出し／書込み動作が適切なレジスタののみ行われます
- ▶ 適切なデータのみがオン・チップのレジスタに書き込まれます
- ▶ 外部リファレンスが（使用する場合）存在します
- ▶ ADC モジュレータとフィルタが仕様範囲内で動作します

シグナル・チェーンのチェック

リファレンス電圧や電源電圧などの機能を ADC への入力として選択できます。そのため、AD4129-4 は、デバイスに接続された電圧をチェックできます。AD4129-4 は約 10mV の内部信号も生成し、その信号は CHANNEL_m レジスタの V_MV_P から V_MV_M のオプションを選択することで、チャンネルに内部から印加できます。この機能を使用して PGA をチェックできます。例えば、PGA の設定が増加すると、アナログ入力範囲に対する信号の割合が 2 分の 1 になります。これにより、PGA が正常に機能していることを確認できます。

リファレンス検出

AD4129-4 には、リファレンス・ソースに外部リファレンスが選択された場合に、変換または校正に有効なリファレンスが存在するかどうかを検出する、オン・チップの回路（図 96 では簡略化されている）が含まれています。この機能は、リファレンスを外部から供給する RTD や歪みゲージなどのアプリケーションに有用です。

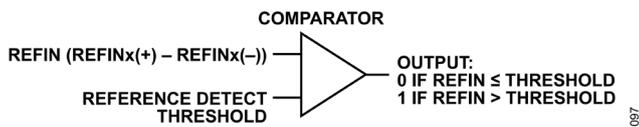


図 96. リファレンス検出回路

表 5 には、リファレンス検出閾値が示されています。この機能は、ERROR_EN レジスタの REF_DETECT_ERR_EN ビットを 1 に設定するとイネーブルになります。選択された REFINx(+)ピンと REFINx(-)ピンの間の電圧が表 5 の閾値を下回るか、REFINx(+)入力または REFINx(-)入力がオープン・サーキットになっている場合、AD4129-4 はもはや有効なリファレンスがないことを検出します。この場合、エラー・レジスタの REF_DETECT_ERR ビットが 1 に設定されます。ステータス・レジスタの CONTROLLER_ERR ビットも 1 に設定されます（表 46 を参照）。

校正を行うたびに有効なリファレンスが存在することを確認したい場合には、校正サイクルの最後で REF_DETECT_ERR ビットの状態をチェックしてください。

デバイスがスタンバイ・モードから抜けたときには、リファレンス検出フラグが設定される場合があります。そのため、スタンバイ・モードから抜けた後にエラー・レジスタを読出し、REF_DETECT_ERR ビットが設定されている場合は、1 を書き込んでクリアします。

ADC エラー

ADC の変換プロセスおよび校正プロセスも、AD4129-4 でモニタが可能です。これらの診断機能では、使用されているアナログ入力だけでなく、モジュレータおよびデジタル・フィルタも変

換中または校正中にチェックします。これらの機能は、ERROR_EN レジスタの ADC_ERR_EN ビットを使用して有効にできます。これらの機能を有効にすると、エラーが発生した場合に ADC_ERR ビットが 1 に設定されます。

ADC_ERR フラグは、以下のエラーのうちの少なくとも 1 つに対して設定されます。

- ▶ デジタル・フィルタでオーバーフローまたはアンダーフローが発生する変換エラー。この場合、ADC の変換もオール 0 またはオール 1 にクランプされます。
- ▶ モジュレータが 1 または 0 を 20 回連続して出力するモジュレータ飽和エラー。
- ▶ オフセット校正中に、得られたオフセット係数が 0x07FF から 0xF7FF の範囲外になる校正エラー。この場合、OFFSET_n レジスタは更新されず、ADC_ERR フラグが 1 に設定されます。また、ゲイン校正中には、デジタル・フィルタのオーバーフローもチェックされます。オーバーフローが発生した場合、エラー・フラグが 1 に設定され、GAIN_n レジスタは更新されません。

ADC_ERR フラグは、データ・レジスタの更新と共に更新され、1 を書き込むことでのみクリアできます。

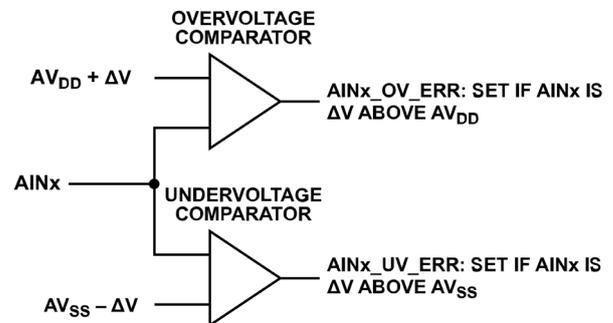
過電圧／低電圧の検出

過電圧／低電圧のモニタは、AINx アナログ入力ピンと REFINx 入力ピンの絶対電圧をチェックします。

AINx ピンでは、データシートの仕様範囲内に絶対電圧が収まっている必要があります。データシートに記載された仕様範囲外で ADC を動作させると、直線性が低下します。図 97 には、過電圧と低電圧を検出する AINx 回路の簡略化したブロック図が示されています。

正のアナログ入力 (AINP) と負のアナログ入力 (AINM) は、それぞれの個別に過電圧および低電圧のチェックが可能です。ERROR_EN レジスタの AINP_OV_UV_ERR_EN ビットと AINM_OV_UV_ERR_EN ビットを使用して、それぞれ AINP と AINM の過電圧／低電圧の診断機能を有効にします。AINx の電圧が AV_{DD} を上回ると過電圧のフラグが設定され、AINx の電圧が AV_{SS} を下回ると低電圧のフラグが設定されます。

エラー・フラグはエラー・レジスタの AINP_OV_UV_ERR ビットと AINM_OV_UV_ERR ビットであり、それぞれのビットは、イネーブルにされた任意の AINP および AINM に過電圧や低電圧が発生したことを示します。



NOTE: AINx IS AINP OR AINM

図 97. アナログ入力における過電圧／低電圧のモニタ

診断機能

ΔV 閾値の値は、表 5 に示されています。

外部リファレンス電圧についても、ERROR_EN レジスタの REF_OV_UV_ERR_EN ビットをイネーブルにすることで、過電圧/低電圧のモニタが可能です。REFINx(+)の電圧が AV_{DD} を上回ると過電圧のフラグが設定され、REFINx(-)の電圧が AV_{SS} を下回ると低電圧のフラグが設定されます。エラー・レジスタのエラー・フラグである REF_OV_UV_ERR は、2 つの条件のいずれかが発生した場合に 1 に設定されます。

この機能が有効になると、対応するフラグがエラー・レジスタに設定されます。これらのビットは R/WIC 属性です。

電源モニタ

ADC は、外部電圧の変換の他に、AV_{DD} ピンと IOV_{DD} ピンの電圧をモニタできます。AV_{DD} から AV_{SS} まで、または IOV_{DD} から DGND までの入力を選択された場合、電圧 (AV_{DD} から AV_{SS} まで、または IOV_{DD} から DGND まで) は内部で 6 分の 1 に減衰され、その結果得られた電圧が $\Sigma\Delta$ モジュレータに印加されます。こうしたことが、電源電圧の変動をモニタするのに役立ちます。

コントローラ・クロックのカウンタ

出力データレート、フィルタの初回変換時間、フィルタのノッチ周波数はコントローラ・クロックに依存しているため、ADC に対して安定した MCLK の供給は重要です。AD4129-4 では、コントローラ・クロックのモニタが可能です。ERROR_EN レジスタの MCLK_CNT_EN ビットが設定されると、131 サイクルのコントローラ・クロックごとに、MCLK_COUNT レジスタが 1 ずつインクリメントされます。このレジスタは一定の期間にわたりモニタが可能です。コントローラ・クロック周波数は、MCLK_COUNT レジスタの結果から求められます。MCLK_COUNT レジスタは、最大値に達した後に 0 に戻ってカウントを続けます。

SPI 診断機能

SPI クロックのカウンタ

SPI SCLK のカウンタは、読出し動作および書込み動作のそれぞれに使用される SCLK パルスの数をカウントします。この機能を使用する場合、 \overline{CS} は全ての読出し動作および書込み動作をフレーム化する必要があります。全ての読出し動作および書込み動作は、8SCLK パルスの倍数になります。SCLK カウンタが SCLK パルスをカウントし、その結果が 8 の倍数でない場合、エラーが示されます。エラー・レジスタの SPI_SCLK_CNT_ERR ビットが 1 に設定されます。書込み動作が行われているときに、SCLK に含まれる SCLK パルスの数が条件を満たさない場合、その値はアドレス指定されたレジスタに書き込まれず、書込み動作は中止されます。

SCLK カウンタは、ERROR_EN レジスタの SPI_SCLK_CNT_ERR_EN ビットを設定することでイネーブルになります。

SPI の読出し/書込みエラー

AD4129-4 では、SCLK カウンタと共に、読出し動作および書込み動作をチェックして、有効なレジスタがアドレス指定されていることも確認します。

ERROR_EN レジスタの SPI_READ_ERR_EN ビットが 1 に設定されている場合、表 71 に記載されていないアドレスのレジスタを読み出そうとすると、SPI_READ_ERR ビットが 1 に設定され、そのレジスタのリードバック・データは全て 0 になります。

ERROR_EN レジスタの SPI_WRITE_ERR_EN ビットが 1 に設定されている場合、読出し専用レジスタおよび表 71 に記載されていないアドレスのレジスタに書き込もうとすると、SPI_WRITE_ERR ビットが 1 に設定され、書込みトランザクションは中止されます。

この機能は、SCLK カウンタおよび CRC 保護と共に、シリアル・インターフェースの信頼性を高めます。無効なレジスタとの間では、読出しや書込みは行われません。SCLK パルスの数が正しくないと、シリアル・インターフェースの同期が取れなくなり、誤ったレジスタにアクセスしてしまう可能性があります。AD4129-4 は、診断機能によってこれらの問題を回避します。

SPI 無視エラー

特定の期間、オン・チップのレジスタにはアクセスできません。起動時に、オン・チップのレジスタがデフォルト値に設定されている場合、それらのレジスタには SPI を介してアクセスできません。レジスタに書き込むには、この動作が完了するまで t_{RESET_DELAY} の間待つ必要があります。オフセット校正またはゲイン校正が行われている場合、レジスタにはアクセスできません。シングル・シーケンス・モードの場合、変換中および最後の変換が終了するまでは、レジスタにはアクセスできません。

エラー・レジスタの SPI_IGNORE_ERR ビットは、オン・チップのレジスタに書き込みできない状態を示します。この診断機能はデフォルトではイネーブルです。この機能は、ERROR_EN レジスタの SPI_IGNORE_ERR_EN ビットを使用してディスエーブルにできます。

エラー・レジスタで SPI_IGNORE_ERR が 1 に設定されている場合に実行される書込み動作は、全て無視されます。このビットは R/WIC 属性です。

CRC 保護

AD4129-4 は選択可能な CRC 機能を備えており、インターフェース・トランザクション、メモリ・マップの内容、読出し専用メモリ (ROM) の内容に対してエラー検出を行います。

CRC の計算

AD4129-4 は、次の多項式を用いた CRC-8 標準を使用します。

$$x^8 + x^2 + x + 1$$

チェックサムを生成するには、データを 8 ビット左にシフトさせて、8 個の論理 0 で終わる数値を作成します。多項式の MSB がデータの左端の論理 1 と隣り合うように、多項式の位置を揃えます。排他的論理和 (XOR) 関数をデータに適用し、短くなった新しい数値を生成します。多項式の MSB が新たに得られた数値の左端の論理 1 と隣り合うように、再度多項式の位置を揃えます。このプロセスを、元のデータが多項式の値よりも小さくなるまで繰り返します。これが 8 ビットのチェックサムです。

診断機能

SPI の CRC 保護

AD4129-4 には、インターフェースの信頼性を高めるのに使用できる CRC モードがあります。CRC を使用すると、レジスタには適切なデータのみが書き込まれ、レジスタから読み出されるデータの検証が可能になります。レジスタへの書き込み中にエラーが発生した場合、エラー・レジスタの CRC_ERR ビットが 1 に設定され、書き込みトランザクションが中止されます。ただし、レジスタへの書き込みが成功したかを確認するには、レジスタをリードバックしてチェックサムを確認してください。ERROR_EN レジスタの CRC_ERR_EN ビットは、SPI の CRC をイネーブルやディスエーブルにします。

SPI チェックサムは、それぞれの読出しトランザクションおよび書き込みトランザクションの最後に追加されます。書き込みトランザクションでは、8 ビットのコマンド・ワードと 8 ビットから 24 ビットのデータ出力を使用してチェックサムが計算されます。読出しトランザクションでは、8 ビットのコマンド・ワードと 8 ビットから 32 ビットのデータ出力を使用してチェックサムが計算されます。図 98 には CRC をイネーブルにした SPI 書き込みトランザクションが、図 99 には CRC をイネーブルにした SPI 読出しトランザクションがそれぞれ示されています。

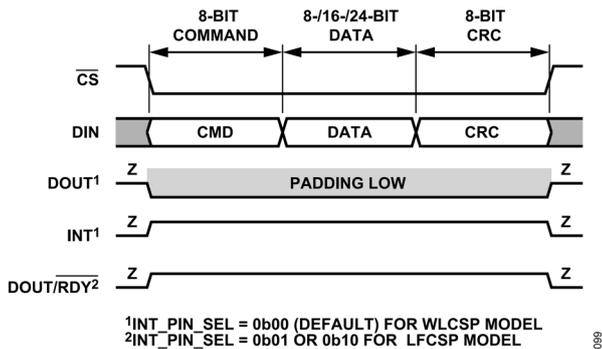


図 98. SPI 書き込みトランザクション (CRC あり)

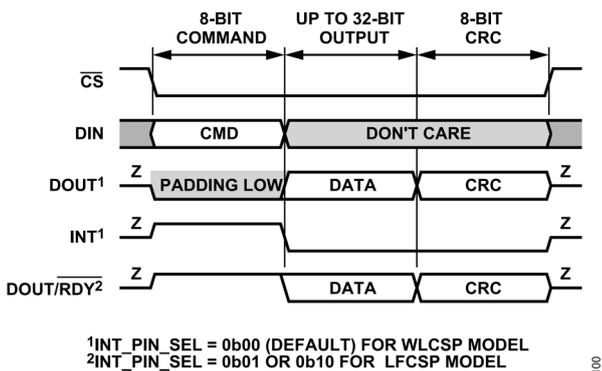


図 99. SPI 読出しトランザクション (CRC あり)

連続読出しモードがアクティブのときに SPI の CRC がイネーブルの場合、全てのデータ送信の前に暗黙のデータ読出しコマンド 0x42 があるため、チェックサム値を計算する際にはこのことを考慮する必要があります。これにより、ADC データが 0x0000 であっても、チェックサムはゼロ以外の値になります。

詳細については、FIFO データに対する CRC のセクションを参照してください。

メモリ・マップの CRC 保護

信頼性を更に高めるために、オン・チップのレジスタに対しても CRC の計算が行われます。ステータス・レジスタ、データ・レジスタ、ID レジスタ、エラー・レジスタ、MCLK_COUNT レジスタ、FIFO_STATUS レジスタ、FIFO_DATA レジスタは、このチェックに含まれません。レジスタの内容が常に変化するか、または読出し専用レジスタであるためです。CRC は、1/300 秒ごとに行われます。メモリ・マップにアクセスがあるたびに、CRC が再計算されます。CRC が再計算されるイベントは次のとおりです。

- ▶ ユーザ書き込みコマンド
- ▶ オフセット/フルスケール校正
- ▶ デバイスがシングル・シーケンス・モードで動作し、かつ ADC が変換完了後にスタンバイ・モードに移行した場合
- ▶ 既存の連続読出しモードを終了する場合 (ADC_CONTROL レジスタの CONT_READ ビットを 0 に設定)

メモリ・マップ CRC 機能は、ERROR_EN レジスタの MM_CRC_ERR_EN ビットを 1 に設定することでイネーブルになります。エラーが発生した場合、エラー・レジスタの MM_CRC_ERR ビットが 1 に設定されます。

ROM の CRC 保護

起動時には、全てのレジスタはデフォルト値に設定されています。これらのデフォルト値は ROM に保存されています。信頼性を更に高めるために、起動時に ROM 内容に対しても CRC の計算が行われます。

ROM の CRC 機能は、ERROR_EN レジスタの ROM_CRC_ERR_EN ビットを 1 に設定することで有効になります。エラーが発生した場合、エラー・レジスタの ROM_CRC_ERR ビットが 1 に設定されます。

この機能が有効の場合、内蔵コントローラのクロックは (イネーブルであれば) スタンバイ・モードでもアクティブ状態を維持します。

FIFO 診断機能

起動時には、FIFO はディスエーブルです。イネーブルになると、FIFO_STATUS レジスタ (表 69 を参照) や FIFO_HEADER を使用して、FIFO の状態を追跡し、読出し/書き込み動作時のいくつかのエラー、閾値やウォーターマークの到達、オーバーランや空のフラグを示すことができます。詳細については、FIFO のセクションを参照してください。

バーンアウト電流

AD4129-4 には、0.5 μ A、2 μ A、または 4 μ A にプログラム可能な 2 つの定電流ジェネレータが内蔵されています。一方のジェネレータは AV_{DD} から AINP に電流を供給し、もう一方は AINM から AV_{SS} に電流をシンクします (図 100 を参照)。これらの電流により、断線検出器機能が有効になり、センサーが接続されているかどうかをチェックできます。

診断機能

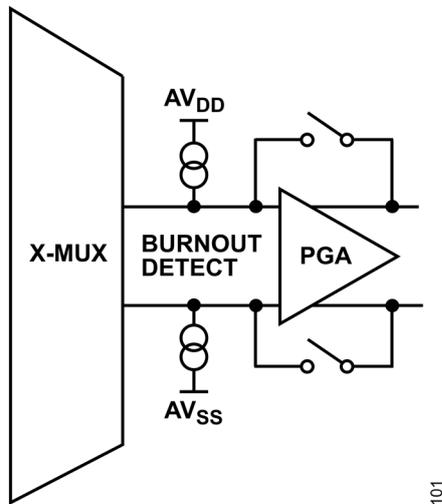


図 100. バーンアウト電流

これらの電流は、選択されたアナログ入力ペアに切り替えられます。両方の電流は、オンまたはオフのいずれかです。設定レジスタのバーンアウト・ビットにより、バーンアウト電流が振幅の設定と共にイネーブル/ディスエーブルにされます。これらの電流を使用して、そのチャンネルで計測を行う前に、外部トランスデューサがまだ動作可能であることを確認してください。バーンアウト電流がオンになると、その電流が外部トランスデューサ回路に流れ、アナログ入力チャンネルの入力電圧を計測できるようになります。

計測された電圧がほぼフルスケールの場合は、その理由を確認する必要があります。計測値がほぼフルスケールに近いということは、フロント・エンドのセンサーがオープン・サーキットになっている可能性があります。他には、フロント・エンドのセンサーが過負荷になりフルスケールの出力が妥当とされる場合や、リファレンスが無く REF_DETECT_ERR ビットが設定されたためにデータがオール 1 に固定されている場合も考えられます。変換値がフルスケールに近い場合は、これら 3 つのケースを確認してから判断を下す必要があります。

計測された電圧が 0V の場合は、トランスデューサが短絡している可能性があります。

通常の動作では、バーンアウト・ビットを 0 に設定することで、これらのバーンアウト電流をオフにします。電流源は、バッファがオンの状態で、通常の絶対入力電圧範囲の仕様内で動作します。

温度センサー

AD4129-4 には温度センサーが内蔵されており、デバイスが動作しているダイ温度をモニターするのに役立ちます。この機能は、診断目的で使用できる他、アプリケーション回路が動作温度の変化を考慮して校正ルーチンを再実行する必要があるタイミングを示す指標としても使用できます。

温度センサーは、X-MUX を介して内部チャンネルとしてアクセスでき、各 CHANNEL_m レジスタの AINP ビット[4:0]および AINM ビット[4:0]を用いて選択できます。

温度センサーの式は次のとおりです。

$$\text{Temperature } (^{\circ}\text{C}) = (\text{Conversion } (\mu\text{V}) / \text{Sensitivity } (\mu\text{V/K})) - 273.15$$

ここで、

Conversion (μV) は、温度センサーの変換結果であり、表 43 の式を用いてボルト単位に変換されています。Sensitivity (V°C) は温度センサーの感度です。公称感度を表 5 に示します。

温度センサーの精度を高めるには、既知の温度 (25°C) でデバイスを動作させ、変換値を基準点として用います。公称感度とデバイスの実測感度の差を用いて温度センサーを校正することで、精度を高めることができます。

温度センサーの仕様は、表 5 と図 57 に示されています。用語の定義のセクションを参照してください。

診断機能とスタンバイ・モード

MISC レジスタの STB_EN_DIAGNOSTICS ビットを 1 に設定すると、スタンバイ・モード時に診断機能を無効にすることができます。いくつかの診断機能では、内部発振器をイネーブルにすることも必要になるため、ERROR_EN レジスタでこれらのエラーがイネーブルにされ、かつ STB_EN_DIAGNOSTICS=1 の場合、内部発振器がイネーブル状態に維持されます。スタンバイ・モードのセクションを参照してください。

FIFO

AD4129-4 は超低消費電力性能を備えています。ホスト・プロセッサや他の周辺機器を使用していないときにスリープ状態にすることで、システムの消費電力を更に節約することができます。AD4129-4 には、オン・チップの FIFO バッファが内蔵されており、最大 256 個の変換結果を容易に保存できます。データは FIFO を使用して連続的に収集でき、データが指定の閾値を超えた場合、FIFO が事前に定めたサンプル数に達した場合、または FIFO が満杯になった場合に、AD4129-4 による割込みによってプロセッサがウェイクアップされます。FIFO データは 24 ビット形式で保存されます。このデータは、FIFO_HEADER の 8 ビットと、それに続く FIFO_DATA (変換結果) の 16 ビット・データで構成されています。FIFO の基本構造については図 101 を参照してください。

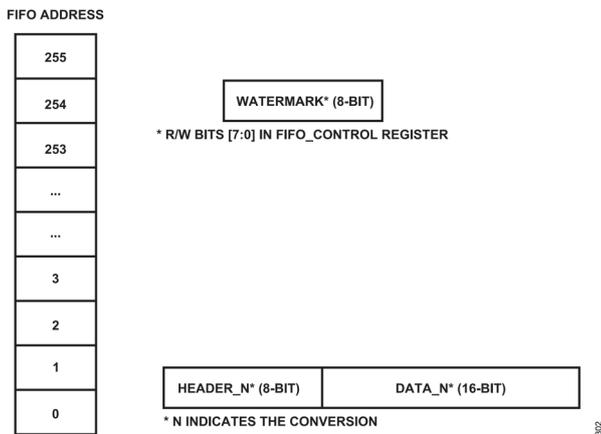


図 101. FIFO 構造

FIFO モード

FIFO は、FIFO_CONTROL レジスタの対応する FIFO_MODE ビットの値を選択することで、このセクションで説明する 3 つのモードの 1 つに設定できます。

ディスエーブル化

FIFO はデフォルトではディスエーブルです。FIFO がディスエーブルの場合、リセット状態に保持されるため、古いデータは全て失われます。FIFO は、FIFO_CONTROL レジスタの

FIFO_MODE ビットを 0b00 に設定することでディスエーブルになります。

FIFO_MODE に 0b00 を書き込むと、その他の FIFO モードが全て解除されます。

ウォーターマーク・モード

ウォーターマーク・モードでは、ウォーターマーク・レベルに達するまで、FIFO はデータを収集します。ウォーターマーク・レベルは、FIFO に格納する変換結果の数を指定し、FIFO_CONTROL レジスタのウォーターマークのビットフィールドに書き込むことで設定されます。ウォーターマークのビットフィールドのデフォルト値は 0 で、これは 256 サンプルで FIFO が満杯になることに相当します。ウォーターマーク・レベルに達すると、次の ADC の変換結果が FIFO に書き込まれる前に、FIFO から全てのデータを読み出す必要があります。これを行わない場合、FIFO 書き込みエラーが発生し (FIFO_STATUS レジスタの FIFO_WRITE_ERR ビットが 1 に設定されます。表 69 を参照)、変換結果が失われます。表 65 に示すように、FIFO が完全に読み出されるまで、新しいデータで FIFO が更新されることはありません。ウォーターマーク・モードでは、FIFO の読出し後に FIFO をクリアすることが推奨されます。

FIFO をリードバックするのに必要な時間の計算方法に関する詳細については、FIFO のリードバックのセクションを参照してください。チャンネルとスマート・シーケンサの設定、および FIFO リードバックの SCLK 速度に応じて、データ損失を回避するためにウォーターマーク値を制限する必要が生じる場合があります。

FIFO ウォーターマーク割込みのセクションを参照してください。

ストリーミング・モード

ストリーミング・モードでは、FIFO には常に最も新しい ADC データが保持されます。ウォーターマーク・モードとは異なり、ウォーターマーク・レベルに達し、FIFO が読み出されなくても、FIFO は ADC の結果を継続して格納します。FIFO が 256 個の変換結果で満杯になると、表 66 に示すように、古い変換結果が新しい ADC 結果で上書きされます。このモードでは、FIFO が新しい ADC 結果で更新されていない限り、データはいつでもリードバックできます。ストリーミング・モードでは、最終的に FIFO はオーバーランとなり、FIFO_STATUS レジスタの OVERRUN_FLAG ビットが 1 に設定されます (表 69 参照)。

表 65. ウォーターマーク・モードで Watermark = 0 (256 個のサンプル) に設定されている場合に、変換結果で満杯になり、データがリードバックされないときの FIFO バッファの例

FIFO Address	Conversion 1	Conversion 2	...	Conversion 255	Conversion 256	Conversion 257	Conversion 258	...
255	Empty	Empty	...	Empty	(FIFO_HEADER (256), FIFO_DATA (256))	(FIFO_HEADER (256), FIFO_DATA (256))	(FIFO_HEADER (256), FIFO_DATA (256))	...
254	Empty	Empty	...	(FIFO_HEADER (255), FIFO_DATA (255))	(FIFO_HEADER (255), FIFO_DATA (255))	(FIFO_HEADER (255), FIFO_DATA (255))	(FIFO_HEADER (255), FIFO_DATA (255))	...
...
1	Empty	(FIFO_HEADER (2), FIFO_DATA (2))	...	(FIFO_HEADER (2), FIFO_DATA (2))	(FIFO_HEADER (2), FIFO_DATA (2))	(FIFO_HEADER (2), FIFO_DATA (2))	(FIFO_HEADER (2), FIFO_DATA (2))	...
0	(FIFO_HEADER (1), FIFO_DATA (1))	(FIFO_HEADER (1), FIFO_DATA (1))	...	(FIFO_HEADER (1), FIFO_DATA (1))	(FIFO_HEADER (1), FIFO_DATA (1))	(FIFO_HEADER (1), FIFO_DATA (1))	(FIFO_HEADER (1), FIFO_DATA (1))	...

FIFO

表 66. ストリーミング・モードで Watermark = 0 (256 個のサンプル) に設定されている場合に、変換結果で満杯になり、データがリードバックされないときの FIFO バッファの例

FIFO Address	Conversion 1	Conversion 2	...	Conversion 255	Conversion 256	Conversion 257	Conversion 258	...
255	Empty	Empty	...	Empty	(FIFO_HEADER (256), FIFO_DATA (256))	(FIFO_HEADER (257), FIFO_DATA (257))	(FIFO_HEADER (258), FIFO_DATA (258))	...
254	Empty	Empty	...	(FIFO_HEADER (255), FIFO_DATA (255))	(FIFO_HEADER (255), FIFO_DATA (255))	(FIFO_HEADER (256), FIFO_DATA (256))	(FIFO_HEADER (257), FIFO_DATA (257))	...
...
1	Empty	(FIFO_HEADER (2), FIFO_DATA (2))	...	(FIFO_HEADER (2), FIFO_DATA (2))	(FIFO_HEADER (2), FIFO_DATA (2))	(FIFO_HEADER (3), FIFO_DATA (3))	(FIFO_HEADER (4), FIFO_DATA (4))	...
0	(FIFO_HEADER (1), FIFO_DATA (1))	(FIFO_HEADER (1), FIFO_DATA (1))	...	(FIFO_HEADER (1), FIFO_DATA (1))	(FIFO_HEADER (1), FIFO_DATA (1))	(FIFO_HEADER (2), FIFO_DATA (2))	(FIFO_HEADER (3), FIFO_DATA (3))	...

表 67. FIFO_CONTROL レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x3A	FIFO_CONTROL	[23:16]	RESERVED				ADD_FIFO_STATUS	ADD_FIFO_HEADER	FIFO_MODE		0x040200	R/W	
		[15:8]	RESERVED	FIFO_WRITE_ERR_INT_EN	FIFO_READ_ERR_INT_EN	THRES_HIGH_INT_EN	THRES_LOW_INT_EN	OVERRUN_INT_EN	WATERMARK_INT_EN	EMPTY_INT_EN			
		[7:0]	WATERMARK										

FIFO のリードバック

FIFO バッファは、COMMS レジスタを使用してアドレス 0x3D を読み出すことで読み出されます。完全な FIFO 読出しコマンドは 0x7D です。この後に 8 ビットフィールドの # samples (N) が続きます。これは読み出すサンプルの数を示しており、0x00 は 256 個のサンプルに相当します。その後、適切な数の SCLK が提供されると、FIFO 内容が DOUT/RDY ピンに現れます。FIFO の最後の値が読み出されると、FIFO_HEADER レジスタと FIFO_STATUS レジスタの EMPTY_FLAG ビットが 1 に設定されます (表 69 参照)。FIFO の読出しが引き続き行われようとする場合でも、EMPTY_FLAG ビットは設定されたままになり、読み出されるデータはオール 0 です。FIFO の読出しは、CS がハイに切り替えられるか、または読み出されたサンプルの数が FIFO コマンドで指定した数に達した場合に終了します。

デフォルトでは、FIFO_HEADER がイネーブルになっており、FIFO_STATUS の追加はディスエーブルです。そのため、FIFO のリードバック図は図 102 のようになります。FIFO_STATUS の追加がイネーブルの場合は、FIFO のリードバック図は図 103 のようになります。

FIFO の読出しに使用できる時間は、次式のように、シーケンス内の次の 2 つの ADC 変換に要する時間で決まります。

$$t_{FIFO_READ} = \sum ConvTime_n - (t_{BSY} + t_{QUIET1} + t_{QUIET2}) \quad (2)$$

t_{FIFO_READ} は、FIFO リードバックに使用でき、データ損失を回避できる最大時間です。

$\sum ConvTime_n$ ($n = 0 - 1$) は、シーケンスにおける次の 2 つの変換の変換時間です。変換時間は、イネーブルにされたチャンネルによって異なる可能性があることに注意してください。シーケンス内の指定されたチャンネルに対して ADC 変換時間を計算する方法に関する詳細については、50Hz および 60Hz の除去のセクションを参照してください。

$t_{BSY} + t_{QUIET1} + t_{QUIET2}$ は、最低限 8MCLK サイクルです。詳細については、図 12 および表 10 を参照してください。

FIFO リードバックを完了するのに必要な SCLK サイクルの数は、以下のようになります。

$$\# SCLK\ cycles = FIFO\ read\ command\ length + \# samples (N) \times samples\ length \quad (3)$$

ここで、

FIFO read command length (FIFO 読出しコマンドの長さ) は、16SCLK サイクルです。

samples (N) は、FIFO 読出しコマンドで指定された読み出す FIFO サンプルの数です。

samples length (サンプル長) は、FIFO_HEADER がディスエーブルの場合は 16SCLK サイクル、FIFO_HEADER がイネーブルの場合は 24SCLK サイクルです。

SPI が FIFO のリードバックを制御している場合、デバイスは FIFO にアクセスして新しいデータを書き込むことはできません。FIFO のリードバックに t_{FIFO_READ} を超える時間を要する場合は、変換されたシーケンスのデータが損失する可能性があります。

FIFO レディ信号

FIFO がイネーブルの場合、FIFO レディ信号は自動的に DOUT/RDY ピンに割り当てられます。この信号がハイ状態の場合、FIFO がビジーであることを示しています。ADC が新しいデータを書き込むために FIFO にアクセスしている状態です。この信号がロー状態の場合は、FIFO が読出しに使用可能であることを示しています。ウォーターマーク・モードでは、FIFO レディ信号は、FIFO に格納されたサンプル数がウォーターマーク値に達するまでハイ状態のままになります。その後、FIFO レディ信号がローに移行し、読出しコマンドの送信が可能であることを示します。ストリーミング・モードでは、変換が完了するたびに、FIFO がビジーであることを FIFO レディ信号が示します。

FIFO

表 68. FIFO ヘッダ・フォーマット

Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
FIFO_HEADER	[7:0]	RESERVED	THRESHOLD_FLAG	WATERMARK_FLAG	EMPTY_FLAG	CH[3]	CH[2]	CH[1]	CH[0]	0x00	R

表 69. FIFO_STATUS レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x3B	FIFO_STATUS	[7:0]	CONTROL LER_ERR	FIFO_WRITE_ ERR	FIFO_READ_ ERR	THRES_HIGH_ FLAG	THRES_LOW_ FLAG	OVERRUN_ FLAG	WATERMARK_ FLAG	EMPTY_ FLAG	0x01	R

FIFO ヘッダ

FIFO_HEADER はデフォルトでイネーブルにされており、各変換結果と共に表 68 に示すフォーマットで FIFO に格納されます。FIFO_HEADER は、FIFO_CONTROL レジスタの ADD_FIFO_HEADER ビットを 0 に設定することでディスエーブルにできます。図 104 には、FIFO_HEADER をディスエーブルにした場合のデータ読出しが示されています。

FIFO_HEADER には、次のビットの情報が含まれています。

- ▶ CH ビット[3:0]は、FIFO_HEADER が追加されるデータのチャンネル番号を保持します。
- ▶ EMPTY_FLAG ビットは、読み出されている FIFO 内の最後のデータ・サンプルに関連付けられた FIFO_HEADER 内で 1 に設定されます。これにより、このビットは FIFO の読出しを停止するためのトリガと解釈できます。
- ▶ FIFO_CONTROL レジスタのウォーターマーク・フィールドで指示されたサンプル数以上のサンプル数が FIFO に含まれる場合、FIFO_STATUS レジスタの WATERMARK_FLAG ビットが 1 に設定されます。そのため、ウォーターマーク値以上にサンプルが保存されるごとに FIFO_HEADER でフラグが立てられます。
- ▶ 関連する CHANNEL_m レジスタの THRES_EN_m ビットが 1 に設定された場合、THRESHOLD_FLAG ビットは 1 に設定されます。また、そのチャンネルの ADC 変換結果は、FIFO_THRESHOLD レジスタの THRES_HIGH_VAL ビットフィールドおよび THRES_LOW_VAL ビットフィールドを用いて閾値範囲で指定された閾値を超過します。FIFO_HEADER の THRESHOLD_FLAG ビットは非スティッキーです。そのため、あらゆるサンプルに関連性があります。

FIFO のステータス

FIFO_STATUS レジスタの内容 (表 69 参照) は、FIFO_CONTROL レジスタの ADD_FIFO_STATUS ビット (表 67 参照) を 1 に設定して、FIFO_DATA の前、および # samples (N) バイトの間に追加して読み出すことができます (図 103 参照)。このようにして、以前のエラーを検出して FIFO_DATA リードバックをアポートできます。

FIFO_STATUS レジスタにはエラーとフラグが格納されているため、FIFO をイネーブルにした場合に FIFO の動作の助けとなります。

FIFO からの最後のデータ・サンプルの最初のビットを読み出すとき、FIFO_STATUS レジスタの FIFO が空であることを示すフラグがトリガされます (EMPTY_FLAG ビットが 1 に設定)。空の FIFO を読み出そうとした場合、このフラグが FIFO_STATUS レジスタに 1 として設定されます。このフラグは、少なくとも 1 つの ADC 変換結果が FIFO に書き込まれるとクリアされます。

FIFO_CONTROL レジスタのウォーターマーク・フィールドに示された数以上のサンプルが FIFO に含まれている場合、FIFO_STATUS レジスタ内の FIFO のウォーターマーク・フラグ (WATERMARK_FLAG) がトリガされます (1 に設定されます)。ウォーターマーク・フラグは、FIFO 内の残りのサンプルがウォーターマーク・フィールドの値未満であることが検出されると、すぐにクリアされます。

ADC のデータが失われ、FIFO に格納されていない場合、FIFO のオーバーラン・フラグが発生します (OVERRUN_FLAG ビットが 1 に設定されます)。ウォーターマーク・モードでは、これは新しいサンプルを格納することが必要となる前に FIFO が空になっていないと発生します。ストリーミング・モードでは、FIFO が既に満杯の状態になっており、新しいデータを格納するために FIFO 内の最も古いデータを削除する場合に、ADC データが失われます。オーバーラン・フラグは、FIFO 内の全ての内容を読み出すか、または FIFO をクリアして空になった場合にクリアされます。

ADC の変換結果が設定された閾値を超えた場合、FIFO の閾値フラグがトリガされます (THRES_HIGH_FLAG や THRES_LOW_FLAG のビットフィールドが 1 に設定されます)。FIFO_HEADER の THRESHOLD_FLAG とは異なり、THRES_HIGH_FLAG および THRES_LOW_FLAG のビットフィールドはスティッキーです。つまり、これらのビットフィールドが一度設定されると、次の ADC 変換結果によらずそのまま保持されます。閾値フラグは、FIFO 内の全てのデータを読み出すか、または FIFO をクリアすることでクリアできます。

FIFO 読出しエラー (FIFO_READ_ERR が 1 に設定される) は、ADC が内部で更新中 (FIFO に書き込み中) に FIFO データを読み出そうとした場合のみ発生します。FIFO からの読出し時に送信される FIFO_DATA はオール 0 です。このエラーが発生した場合は、FIFO_HEADER 情報もオール 0 になります。このエラーは、FIFO 読出し要求が正常に許可された場合か、または FIFO が空になった場合にクリアされます。

FIFO 書き込みエラー (FIFO_WRITE_ERR が 1 に設定される) は、ユーザによる FIFO の読出しが進行しているため、変換データが FIFO に書き込めなかった場合に発生します。FIFO データがまだユーザによって読み出されている場合、ADC の FIFO 書き込み最大 1 変換サイクルの遅延が発生する可能性があります。ただし、1 変換サイクルの遅延が発生した後もデータがまだ読み出されている場合には、FIFO 書き込みエラーがアサートされます。ウォーターマーク・モードでは、FIFO が指定されたウォーターマークのエントリ数に達し、なおも新しいデータ書き込もうとした場合に、FIFO 書き込みエラーが発生する可能性があります。このエラーは、FIFO の全ての内容を読み出すか、または FIFO をクリアすることでクリアされます。

FIFO_STATUS レジスタのコントローラ・エラー・ビットは、STATUS レジスタと共有されており、同じ挙動を示します。

FIFO

FIFO データに対する CRC

FIFO データをリードバックする場合、エラー・レジスタの SPI_CRC_ERR を 1 に設定することで、16 ビットの CRC をイネーブルにすることができます。これは、FIFO_CONTROL レジスタの FIFO_STATUS がディスエーブル (ADD_FIFO_STATUS = 0) かつ FIFO_HEADER がイネーブル (ADD_FIFO_HEADER = 1) の状態でのみ可能です (デフォルト設定)。表 67 および図 105 を参照してください。

CRC データは、指定されたウォーターマークと同じ数のサンプルが読み出された後に送信されます。このため、ウォーターマーク・モードでは、FIFO の長さがウォーターマークと等しくなると、全てのデータに対して CRC チェックが行われます。ストリーミング・モードでは、ウォーターマーク単位のサンプル・ブロックに対して CRC が計算されます。

FIFO データに対する CRC は、次のように計算されます。

- ▶ 最初に送信される CRC は、(1) FIFO 読出しコマンド (0x7d) と読み出すデータ数、(2) 読み出された ADC データ、に基づいて計算されます。
- ▶ 後続の CRC は、読み出された ADC データにのみ基づきます。

チェックに使用する 16 ビットの CRC 多項式は以下のとおりです。

$$x^{16} + x^{15} + x^{13} + x^9 + x^7 + x^6 + x^5 + x^3 + x^1 + 1$$

CRC は最大 32571 ビットに対し 3 ビットまでエラーを検出できます。また 256 のフル FIFO 深度で使用することができます。CRC は 0xFFFF に初期化する必要があります。

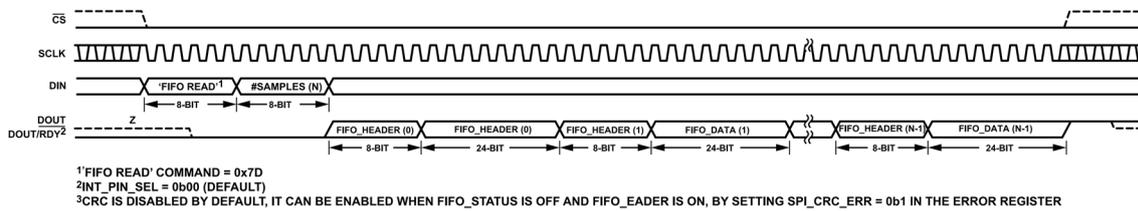


図 102. デフォルトの FIFO リードバック (FIFO_STATUS の追加なし、FIFO_HEADER の追加あり)

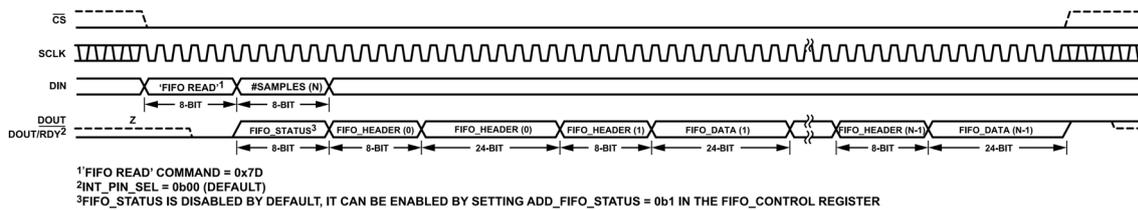


図 103. FIFO リードバック (FIFO_STATUS の追加あり、FIFO_HEADER の追加あり)

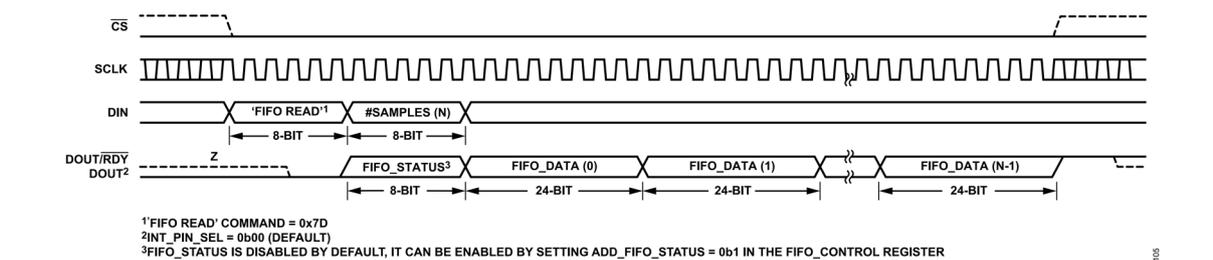


図 104. FIFO リードバック (FIFO_STATUS の追加あり、FIFO_HEADER の追加なし)

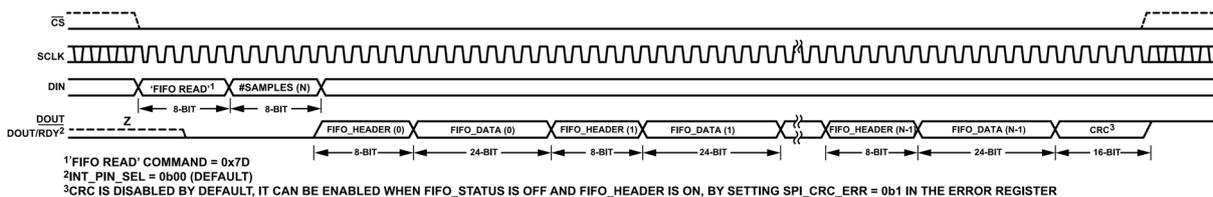


図 105. FIFO リードバック (FIFO_STATUS の追加なし、FIFO_HEADER の追加あり、CRC あり)

FIFO

FIFO 割込み

AD4129-4 の FIFO バッファは、FIFO_CONTROL レジスタを設定することで複数の割込みモードを取り入れることができます。FIFO 割込みピンに送られる割込み信号は、FIFO_CONTROL レジスタ内のイネーブルにされた全ての割込みオプションの論理和 (OR) です。割込み信号をどのピンに送るかを選択する方法については、[FIFO 割込みピンのセクション](#)を参照してください。

FIFO ウォーターマーク割込み

FIFO ウォーターマーク割込みはデフォルトでイネーブルになっており、FIFO_CONTROL レジスタの WATERMARK_INT_EN ビットを 0 に設定することでディスエーブルにできます。FIFO ウォーターマーク割込みをトリガするのに必要なサンプル数は、ウォーターマーク・ビットフィールドで指定された値と同じです。例外は値 0 で、これはデフォルト値です。この場合、割込みをトリガする前に、FIFO を 256 エントリの最大深度まで埋める必要があります。FIFO ウォーターマーク割込みの信号はアクティブ・ハイで、FIFO 内のサンプル数がウォーターマーク・レジスタで指定された値以上である間、アサート状態が続きます。FIFO ウォーターマーク割込み信号がデアサートされるのは、FIFO 内の残りのサンプルがウォーターマーク・エントリ未満であることが検出されると直ちにフラグがクリアされた場合です。

FIFO データ閾値割込み

FIFO_STATUS レジスタの THRES_HIGH_FLAG ビットおよび THRES_LOW_FLAG ビット (表 69 参照) をイネーブルにすると、FIFO_CONTROL レジスタの THRES_HIGH_INT_EN ビットや THRES_LOW_INT_EN ビットを 1 に設定することで、FIFO データ閾値割込みをトリガできます。両方のオプションはデフォルトではディスエーブルになっていますが、それぞれ個別にイネーブルにすることが可能です。

FIFO データ閾値割込み閾値は、FIFO_THRESHOLD レジスタの THRES_HIGH_VAL および THRES_LOW_VAL のビットフィールドで指定できます。これらの値は、ADC_CONTROL レジスタのバイポーラ・ビットで指定される極性設定と一致している必要があります。

閾値を更新した後は、FIFO_CONTROL レジスタに書き込んで FIFO をクリアすることが推奨されます。これにより、FIFO 内の次の一連の変換処理では更新された閾値が適用されます。こうすることで、FIFO データ閾値割込みの信号と FIFO_STATUS レジスタの THRES_HIGH_FLAG ビットおよび THRES_LOW_FLAG ビットもクリアされます。

閾値の比較には、設定された閾値に対して 1LSB のヒステリシスがあることに注意してください。変換処理がトリガとなって THRES_HIGH_FLAG または THRES_LOW_FLAG が 1 に設定された場合、その後の変換処理では、DATA ビット [23:12] が THRES_LOW_VAL ビットフィールドより少なくとも 2LSB 大きく、かつ THRES_HIGH_VAL ビットフィールドより 2LSB 小さい必要があります。また、THRES_LOW_FLAG と THRES_HIGH_FLAG のビットを 0 に戻す必要があります。

FIFO エンプティ割込み

FIFO_STATUS レジスタの EMPTY_FLAG ビット (表 69 参照) をイネーブルにすると、FIFO_CONTROL レジスタの EMPTY_INT_EN ビットを 1 に設定することで、FIFO エンプティ割込みをトリガさせることができます。このオプションはデフォルトでは無効に設定されています。FIFO_STATUS レジスタの FIFO エンプティ・エラーがクリアされると FIFO エンプティ割込みはクリアされます。これが生じるのは少なくとも 1 つの ADC 変換で FIFO に書き込みが行われたときです。

FIFO の書込み／読出し割込み

FIFO_STATUS レジスタの FIFO_WRITE_ERR ビットおよび FIFO_READ_ERR ビット (表 69 参照) をイネーブルにすると、FIFO_CONTROL レジスタの FIFO_WRITE_ERR_INT_EN ビットや FIFO_READ_ERR_INT_EN ビットを 1 に設定して FIFO 書込み割込みや FIFO 読出し割込みをトリガできます。このオプションはデフォルトでは無効に設定されています。

FIFO の書込み／読出し割込み信号は、FIFO_STATUS レジスタのエラー・フラグがクリアされると直ちにデアサートされます。

FIFO オーバーラン割込み

FIFO_STATUS レジスタの OVERRUN_FLAG ビット (表 69 参照) をイネーブルにすると、FIFO_CONTROL レジスタの OVERRUN_INT_EN ビットを 1 に設定して割込みをトリガできます。このオプションはデフォルトでは無効に設定されています。

FIFO オーバーラン割込みの信号は、FIFO_STATUS レジスタのエラー・フラグがクリアされると直ちにデアサートされます。これは FIFO が空になったときに発生します。

FIFO 割込みピン

FIFO がイネーブルになると、FIFO 割込み信号を内部で生成し、IO_CONTROL レジスタの INT_PIN_SEL ビット (表 39 を参照) を設定することでその信号を任意のピンに送信することができます (表 70 のとおり)。

あるピンを割込みとして設定すると、そのピンに対する他のピン制御設定よりも優先されます。つまり、ADC_CONTROL レジスタの CLK_SEL ビットを使用して CLK ピンを CLK 入力としてイネーブルにしても、CLK ピンが割込みとしてイネーブルになっている場合は無視されます。IO_CONTROL の GPO_CTRL_P0 ビットを使用して P0 ピンを GPO 出力としてイネーブルにしても、P0 が割込みピンとしてイネーブルになっている場合は無視されます。P0 が割込みピンとしてイネーブルになっている場合、スタンバイ・モードでは GPO ピンも自動的にイネーブルになります。

表 70. FIFO 割込みピンのオプション

INT_PIN_SEL	LFCSP
0b00 (Default)	N/A ¹
0b01	CLK
0b10	P0
0b11	N/A ¹

¹ N/A は該当なしを意味します。

FIFO

FIFO のクリア

FIFO がイネーブルになっている場合、FIFO_CONTROL レジスタに書き込むと FIFO がクリアされます。IO_CONTROL レジスタの SYNCB_CLEAR ビットを 1 に設定して、SYNCピンにより FIFO クリアを開始することも可能です（表 39 を参照）。SYNCピンを使用して FIFO をクリアすると、シーケンサは必ず最初のチャンネルから再開します。図 11、図 13、表 10 を参照してください。

アプリケーション情報

電源供給方式

AD4129-4 では要件に応じて、異なる電源供給方式を選択できます。

単電源動作 ($AV_{SS} = DGND$)

AD4129-4 が AV_{DD} および IOV_{DD} に接続された単電源で動作する場合、 AV_{SS} と $DGND$ を 1 つのグラウンド・プレーン上で短絡させることができます。このセットアップでは、真のバイポーラ入力を使用してコモンモード電圧をシフトさせる場合、外付けのレベル・シフト回路が必要になります。出力が 3.3V で静止電流が少ない ADP150 などのレギュレータが推奨されます。

AV_{DD} と IOV_{DD} が同じソースに接続されている場合、それぞれの最小値は最小 AV_{DD} (1.71V) によって制限されます。

分離電源動作 ($AV_{SS} \neq DGND$)

AD4129-4 は、 AV_{SS} を負電圧に設定した状態で動作できるため、真のバイポーラ入力を印加できます。これにより、外付けのレベル・シフト回路を必要とせず、0V を中心とした真に完全な差動入力信号を AD4129-4 に印加できるようになります。例えば、3.6V の分離電源を使用すると、 $AV_{DD} = +1.8V$ 、 $AV_{SS} = -1.8V$ になります。この場合、AD4129-4 は内部で信号をレベル・シフトさせるため、デジタル出力が $DGND$ (公称 0V) と IOV_{DD} の間で機能できるようになります。

AV_{DD} と AV_{SS} に分離電源を使用する場合は、絶対最大定格を考慮する必要があります (絶対最大定格のセクションを参照)。

$AV_{SS} \neq DGND$ の場合、GPO はデジタル出力ピンとして使用できない点に注意してください。

別個の正電源での動作

消費電力を最小限に抑えたい場合、 AV_{DD} と IOV_{DD} を別々のソースに接続し、それぞれの最小値を個別に下げることができます。 AV_{DD} は 1.71V まで下げることができ、 IOV_{DD} は 1.65V まで下げることができます。例えば、 IOV_{DD} はプロセッサ・インターフェースと同じソースから供給でき、 AV_{DD} は独自のソースから供給できます。

推奨デカップリング方法

高分解能 ADC を使用する場合は、デカップリングが重要です。AD4129-4 には、 AV_{DD} と IOV_{DD} の 2 つの電源ピンがあります。 AV_{DD} ピンは AV_{SS} を基準にしており、 IOV_{DD} ピンは $DGND$ を基準にしています。1 μ F のタンタル・コンデンサと 0.1 μ F のコンデンサを並列に配置して、 AV_{DD} を AV_{SS} とデカップリングします。1 μ F のタンタル・コンデンサと 0.1 μ F のコンデンサを並列に配置して、 IOV_{DD} を $DGND$ とデカップリングします。0.1 μ F のコンデンサを各電源のデバイスのできるだけ近くに、理想的にはデバイスに接するくらい近くに配置します。全てのアナログ入力は AV_{SS} とデカップリングする必要があります。外部リファレンスを使用する場合は、REFINx(+)ピンおよび REFINx(-)ピンを AV_{SS} とデカップリングします。

AD4129-4 には 2 つのオンボード LDO レギュレータもあり、一方は AV_{DD} 電源を調整し、もう一方は IOV_{DD} 電源を調整します。REGCAPA ピンには、0.1 μ F のコンデンサを AV_{SS} に追加することが推奨されます。同様に、REGCAPD ピンには、0.1 μ F のコンデンサを $DGND$ に追加することが推奨されます。

入力フィルタ

モジュレータ周波数 ($f_{MOD} = f_{MCLK}/2 = 38.4kHz$) およびその高調波成分による干渉を排除するには、外付けのアンチエイリアス・フィルタが必要です。更に、電磁干渉 (EMI) を防ぐために、何らかのフィルタが必要になる場合もあります。アナログ入力はバッファされており、リファレンス入力もバッファ可能であるため、RC 回路をリファレンス入力またはアナログ入力のピンに接続することができます。

マイクロプロセッサのインターフェース

マイクロプロセッサと AD4129-4 のインターフェースは、DSP やマイクロコントローラに対応できる標準的なプロトコルを使用するシリアル・バスを通じて行われます。この通信チャンネルは、クロック信号、データ入力信号、データ出力信号、および同期信号で構成される 4 線式シリアル・インターフェースを必要とします。

AD4129-4 の SPI は、業界標準の DSP やマイクロコントローラに容易に接続できるように設計されています。図 106 には、MAX32670 に接続された AD4129-4 が示されています。MAX32670 は、AD4129-4 の SPI ピンに直接接続できる SPI ポートを内蔵しています。

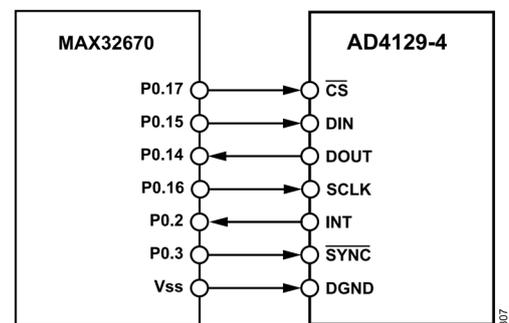


図 106. MAX32670 μ C と AD4129-4 の SPI 接続の例

デジタル・ピン

IOV_{DD} と \overline{CS} (使用する場合)、 \overline{SYNC} 、SCLK の各ラインの間に弱いプルアップ抵抗を配置して、デバイス起動中にインターフェースをディスエーブル状態に維持することが推奨されます。DIN ラインにも弱いプルダウン抵抗を配置することが推奨されます。

未使用ピン

以下のデジタル・ピンは、使用しない場合は注意して取り扱う必要があります。 \overline{SYNC} は IOV_{DD} に直接、または弱いプルアップ抵抗を介して接続します。 \overline{CS} と CLK はそれぞれ弱いプルダウン抵抗を介して $DGND$ に接続します。

アプリケーション情報

アナログ・ピン (AINx、REFINx(±)、REFOUT、PSW) は、使用しない場合は電氣的にフローティング状態のままにできますが、機械的な安定性確保のため PCB にハンダ付けする必要があります。

起動と初期化

AD4129-4 を起動するために推奨される電源投入シーケンスは、DGND、AV_{SS} (DGND と異なる場合)、IOV_{DD}、AV_{DD}、REFINx(+)および REFINx(-)、AINx、デジタル入力ピンの順です。デジタル・ピンのセクションも参照してください。

起動時には、SPI トランザクションを開始する前に、 $t_{\text{RESET_DELAY}}$ の間待機します (パワーオン・リセットのセクションを参照)。デバイスにはパワーオン・リセット機能があります。ただし、起動時にグリッチが発生すると、レジスタの破損を引き起こす可能性があります。そのため、初期化ルーチンでのリセットが推奨されます。ソフトウェア・リセットを行うには、デバイスに 1 を 64 回連続して書き込みます (デバイスのリセットのセクションを参照)。デバイスの準備が整う前にデジタル・ホストが SPI トランザクションを実行しようとした場合、トランザクションは無効と見なされ、ERROR レジスタの SPI_IGNORE_ERR ビットが設定されます。SPI_IGNORE_ERR は、R/WIC 属性のビットです。

デバイスの初期化後は、デジタル・インターフェースにアクセスしてデバイスを設定できます。この設定には、アプリケーションに応じたリファレンス方式の選択などが含まれます。どの電圧リファレンス方式を用いるかによらず、デバイスを設定した後に電圧リファレンスを安定させ、仕様を確実に満たすようにすることが推奨されます。

推奨される設定フローは次のとおりです。

1. インターフェース・モードの選択: ADC_CONTROL レジスタに書き込みます (3 線式モードまたは 4 線式モード、クロック・ソース、CRC の有効化、データおよびステータスなどを選択します)。
2. セットアップ設定: 8 種類の ADC セットアップ・オプション。CONFIG_n および FILTER_n のレジスタに書き込みます (設定、フィルタの次数、出力データレートなどを選択します)。
3. チャンネル設定: CHANNEL_m レジスタに書き込みます (正および負の入力と各 ADC チャンネルのセットアップを選択する、GPIO 設定での断線検出をイネーブルにするなど)。
4. ADC モードのセットアップ: 変換を開始するために、ADC_CONTROL レジスタに書き込みます (ADC の動作モード、クロック・ソース、CRC の有効化、データおよびステータスなどを選択します)。

レイアウトと接地

アナログ入力とリファレンス入力は差動のため、アナログ・モジュレータ内の電圧のほとんどがコモンモード電圧です。デバイスの優れたコモンモード除去能力により、これらの入力に対するコモンモード・ノイズが除去されます。AD4129-4 に供給されるアナログ電源とデジタル電源は独立しており、デバイスのアナログ部とデジタル部間のカップリングを最小限に抑えるために、別々のピンに割り当てられています。デジタル・フィルタは、コントローラのクロック周波数の整数倍の周波数を除く広帯域の電源ノイズを除去します。

デジタル・フィルタはアナログ入力およびリファレンス入力からのノイズも除去します。ただし、これらのノイズ源がアナログ・モジュレータを飽和させないことが前提です。その結果、AD4129-4 は、一般的な高分解能コンバータに比べて、ノイズ干渉に対する耐性が向上しています。ただし、AD4129-4 の分解能が高く、コンバータのノイズ・レベルが非常に低いことを考慮すると、接地とレイアウトに関して注意を払う必要があります。

ADC を実装する PCB は、アナログ部とデジタル部を分け、基板の特定の領域に限定するように設計する必要があります。一般に、エッチング部分を最小限にする技術を使用することで、最良のシールド性能が得られるため、この方法はグラウンド・プレーンに最適です。

どのようなレイアウトを採用する場合でも、システム内における電流の流れには十分注意を払い、全てのリターン電流の経路を、電流が目的の場所に到達するまでの経路にできるだけ近づけて配置する必要があります。

デカップリング・コンデンサをパッケージのできるだけ近くに (理想的にはデバイスに密着させて) 配置してください。

デバイスの下にデジタル・ラインを通すことは、ノイズがダイに結合するため避けてください。これにより、AD4129-4 の下にアナログ・グラウンド・プレーンを配置してノイズの結合を防ぐことができます。AD4129-4 への電源ラインには、可能な限り幅広い配線パターンを使用して低インピーダンス経路を設け、電源ラインのグリッチを低減します。クロックのような高速スイッチング信号は、デジタル・グラウンドでシールドして、ノイズが基板の他の部分へ放射されるのを防ぎます。また、クロック信号をアナログ入力付近には通さないでください。デジタル信号とアナログ信号は交差させないでください。基板の両面の配線パターンは、互いに直角に配置してください。これにより、基板上のフィードスルーの影響を低減できます。マイクロストリップ技法の使用が最善ですが、両面基板では必ずしも使用できるとは限りません。この技法では、基板の部品面をグラウンド・プレーン専用にして、信号はハンダ面に配置します。

AD4129-4 を分離電源動作で使用する場合、AV_{SS} には別のプレーンを使用する必要があります。

アセンブリのガイドライン

熱抵抗は PCB の構成によって決まります。銅層とグラウンド・ビアを増やすと効率よく熱を除去できます。

デバイスの PCB レベルの信頼性は、PCB のタイプと使用する設計に直接関係します。半導体素子の熱膨張係数 (CTE) と一致する PCB 材料 (セラミックなど) を用いると、最適な機械的性能を得ることができます。有機材料の PCB (FR4 など) では、CTE が半導体素子と異なるため、アンダーフィルを用いると機械的性能を上げることができます。有機 PCB の厚さが 0.8mm を超える場合は、アンダーフィルの使用を検討してください。アンダーフィル材料の選択には、材料の性質がアプリケーションの使用条件と合致するよう、特別な注意が必要です。

ソフト・エラー・レート (SER) を減らすには、システム・アセンブリにおいて低アルファ線材料を用いることを検討してください。

LFCSF 向けの PCB のレイアウトおよびアセンブリについては、AN-772 アプリケーション・ノートに詳しい情報が記載されています。

AD4129-4 のレジスタ

AD4129-4 には、デバイスの設定に使用されるプログラマブルなユーザ設定レジスタがあります。表 71 には、AD4129-4 のユーザ設定レジスタの全リストが含まれています。各ビットの機能に関する詳細については、AD4129-4 のレジスタの概要およびレジスタの詳細の各セクションを参照してください。アクセスの列は、レジスタが読み専用ビット (R) か、読み専用と読み/書き込みビットの混合 (R/W) かを示します。読み専用ビットは、SPI の書き込みトランザクションでは書きできませんが、読み/書き込みビットは書きできます。表 71 には、各レジスタがシングル・バイトかマルチバイトかも示されています。AD4129-4 との通信方法の詳細については、デジタル・インターフェースのセクションを参照してください。

表 71. ユーザ設定レジスタの名称と説明¹

Address	Name	Description	Length	Reset	Access
N/A ²	COMMS	Communication register	Single byte	N/A ²	W
0x00	STATUS	Status register	Single byte	0x10	R
0x01	ADC_CONTROL	ADC control register	Two bytes	0x4000	R/W
0x02	DATA	Data register	Two bytes	0x0000	R
0x03	IO_CONTROL	Input/output control register	Two bytes	0x0000	R/W
0x04	VBIAS_CONTROL	VBIAS control register	Two bytes	0x0000	R/W
0x05	ID	Identification register	Single byte	0x0X ³	R
0x06	ERROR	Error register	Two bytes	0x0000	R/W
0x07	ERROR_EN	Error enable register	Two bytes	0x0040	R/W
0x08	MCLK_COUNT	MCLK count register	Single byte	0x00	R
0x09 to 0x18 by 1	CHANNEL_m (m = 0 to 15)	Channel m configuration registers	Three bytes	0XXXXXX ⁴	R/W
0x19 to 0x20 by 1	CONFIG_n (n = 0 to 7)	Configuration registers (ADC Setup n)	Two bytes	0x0000	R/W
0x21 to 0x28 by 1	FILTER_n (n = 0 to 7)	Filter configuration registers (ADCs Setup n)	Three bytes	0x002030	R/W
0x29 to 0x30 by 1	OFFSET_n (n = 0 to 7)	Offset registers (ADC Setup n)	Three bytes	0x8000	R/W
0x31 to 0x38 by 1	GAIN_n (n = 0 to 7)	Gain registers (ADC Setup n)	Three bytes	0XXXX ⁵	R/W
0x39	MISC	Miscellaneous register	Two bytes	0x0000	R/W
0x3A	FIFO_CONTROL	FIFO control register	Three bytes	0x040200	R/W
0x3B	FIFO_STATUS	FIFO status register	Single byte	0x01	R
0x3C	FIFO_THRESHOLD	FIFO threshold register	Three bytes	0xFFFF00	R/W
0x3D	FIFO_DATA	FIFO data register	Three bytes	0x0000	R

¹ 空白セルは該当なしを意味します。

² N/A は該当なしを意味します。

³ 詳細については、識別レジスタのセクションを参照してください。

⁴ CHANNEL_0 のデフォルト値は 0x800100 です。他の全てのチャンネルのデフォルト値は 0x000100 です。

⁵ 公称値 : 0x5555。AD4129-4は、ゲインが1、かつPGA_BYN_n=0の状態、周囲温度において工場校正されています。結果として得られたゲイン係数は、デフォルト値としてデバイスのGAIN_nレジスタにロードされています。

AD4129-4 のレジスタの概要

表 72. ユーザ設定レジスタの概要¹

Addr.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
N/A ²	COMMS	[7:0]	WEN	R/W	RS[5:0]						N/A ²	W
0x00	STATUS	[7:0]	RDY	CONTROL- LER_ERR	RESERVED	POR_FLAG	CH_ACTIVE				0x10	R
0x01	ADC_CON TROL	[15:8]	RESERVED	BIPOLAR	INT_REF_VA L	DOUT_DIS_ DEL	CONT_REA D	DATA_STA- TUS	CSB_EN	INT_REF_ EN	0x4000	R/W
		[7:0]	RESERVED	DUTY_CY C_RATIO	MODE				CLK_SEL			
0x02	DATA	[15:8]	DATA[15:8]								0x000000	R
		[7:0]	DATA[7:0]									

AD4129-4 のレジスタ

表 72. ユーザ設定レジスタの概要¹ (続き)

Addr.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x03	IO_CONTR OL	[15:8]	RESERVED					SYNCB_CLE AR	INT_PIN_SEL		0x0000	R/W
		[7:0]	GPO_DATA _P2	GPO_DATA_ P1	GPO_DATA_ P0	RESERVED	GPO_CTRL _P2	GPO_CTRL_ P1	GPO_CTRL_ P0	RESERVED		
0x04	VBIAS_CO NTROL	[15:8]	VBIAS_7	VBIAS_6	RESERVED	RESERVED	VBIAS_5	VBIAS_4	RESERVED	RESERVED	0x0000	R/W
		[7:0]	RESERVED	RESERVED	VBIAS_3	VBIAS_2	RESERVED	RESERVED	VBIAS_1	VBIAS_0		
0x05	ID	[7:0]	RESERVED			SILICON_ID		MODEL_ID		0x0X ³	R	
0x06	ERROR	[15:8]	RESERVED				AINP_OV_U V_ERR	AINM_OV_U V_ERR	REF_OV_UV _ERR	REF_DETE CT_ERR	0x0000	R/W
		[7:0]	ADC_ERR	SPI_IGNO RE_ERR	SPI_SCLK_C NT_ERR	SPI_READ_ ERR	SPI_WRITE _ERR	SPI_CRC_E RR	MM_CRC_E RR	ROM_CRC _ERR		
0x07	ER- ROR_EN	[15:8]	RESERVED			MCLK_CNT _EN	AINP_OV_U V_ERR_EN	AINM_OV_U V_ERR_EN	REF_OV_UV _ERR_EN	REF_DETE CT_ERR_E N	0x0040	R/W
		[7:0]	ADC_ERR_E N	SPI_IGNO RE_ERR_E N	SPI_SCLK_C NT_ERR_EN	SPI_READ_ ERR_EN	SPI_WRITE _ERR_EN	SPI_CRC_E RR_EN	MM_CRC_E RR_EN	ROM_CRC _ERR_EN		
0x08	MCLK_CO UNT	[7:0]	MCLK_COUNT								0x00	R
0x09 to 0x18	CHANNEL _m (m = 0 to 15)	[23:16]	ENABLE_m	SETUP_m			PDSW_m	THRES_EN_ m	AINP_m[4:3]		0xxxxxx ⁴	R/W
		[15:8]	AINP_m[2:0]			AINM_m						
		[7:0]	I_OUT1_CH_m			I_OUT0_CH_m						
0x19 to 0x20	CONFIG_n (n = 0 to 7)	[15:8]	I_OUT1_n			I_OUT0_n			BURNOUT_n		0x0000	R/W
		[7:0]	REF_BUF_P_ n	REF_BUF M_n	REF_SEL_n		PGA_n		PGA_BYP_ n			
0x21 to 0x28	FILTER_n (n = 0 to 7)	[23:16]	SETTLE_n			REPEAT_n			0x002030		R/W	
		[15:8]	FILTER_MODE_n			RESERVED	FS_n[10:8]					
		[7:0]	FS_n[7:0]									
0x29 to 0x30	OFFSET_n (n = 0 to 7)	[15:8]	OFFSET_n[15:8]								0x8000	R/W
		[7:0]	OFFSET_n[7:0]									
0x31 to 0x38	GAIN_n (n = 0 to 7)	[15:8]	GAIN_n[15:8]								0xxxx ⁵	R/W
		[7:0]	GAIN_n[7:0]									
0x39	MISC	[15:8]	RESERVED	PD_ALDO	CAL_RANGE _X2	RESERVED				STBY_OUT _EN	0x0000	R/W
		[7:0]	STBY_DIAG NOSTICS_E N	STBY_GP O_EN	STBY_PDSW _EN	STBY_BUR NOUT_EN	STBY_VBIA S_EN	STBY_IEXC _EN	STBY_REFH OL_EN	STBY_INT REF_EN		
0x3A	FIFO_CON TROL	[23:16]	RESERVED				ADD_FIFO_ STATUS	ADD_FIFO_ HEADER	FIFO_MODE		0x040200	R/W

AD4129-4 のレジスタ

表 72. ユーザ設定レジスタの概要¹ (続き)

Addr.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
		[15:8]	RESERVED	FIFO_WRITE_ERR_INT_EN	FIFO_READ_ERR_INT_EN	THRES_HIGH_INT_EN	THRES_LOW_INT_EN	OVERRUN_INT_EN	WATERMARK_INT_EN	EMPTY_INT_EN			
		[7:0]	WATERMARK										
0x3B	FIFO_STATUS	[7:0]	CONTROLLE_R_ERR	FIFO_WRITE_ERR	FIFO_READ_ERR	THRES_HIGH_FLAG	THRES_LOW_FLAG	OVERRUN_FLAG	WATERMARK_FLAG	EMPTY_FLAG	0x01	R	
0x3C	FIFO_THRESHOLD	[23:16]	THRES_HIGH_VAL[11:4]									0xFFFF00	R/W
		[15:8]	THRES_HIGH_VAL[3:0]				THRES_LOW_VAL[11:8]						
		[7:0]	THRES_LOW_VAL[7:0]										
0x3D	FIFO_DATA	[15:8]	FIFO_DATA[15:8]									0x0000	R
		[7:0]	FIFO_DATA[7:0]										

¹ 空白セルは該当なしを意味します。

² N/A は該当なしを意味します。

³ 詳細については、[識別レジスタ](#)のセクションを参照してください。

⁴ CHANNEL_0 のデフォルト値は 0x800100 です。他の全てのチャンネルのデフォルト値は 0x000100 です。

⁵ 公称値：0x5555。AD4129-4 は、ゲインが 1、かつ PGA_BYN_n = 0 の状態で、周囲温度において工場校正されています。結果として得られたゲイン係数は、デフォルト値としてデバイスの GAIN_n レジスタにロードされています。

レジスタの詳細

コミュニケーション・レジスタ

アドレス：N/A、リセット：0x10、レジスタ名：COMMS

デバイスとの全ての通信は、コミュニケーション・レジスタへの書き込み動作から開始する必要があります。

表 73. COMMS レジスタのビット説明

ビット	ビット名	設定	説明
7	\overline{WEN}	0 1	書き込みをイネーブにするビット。コミュニケーション・レジスタに書き込みが行われるように、このビットには 0 を書き込む必要があります。書き込まれた最初のビットが 1 の場合、デバイスはレジスタ内の後続ビットに対するクロック動作を停止します。このビットに 0 が書き込まれるまで、デバイスはこのビット位置にとどまります。 \overline{WEN} ビットに 0 が書き込まれると直ちに、次の 7 つのビットがコミュニケーション・レジスタにロードされます。
6	R/\overline{W}	0 1	このビット位置に 0 が設定されている場合、次の動作は指定されたレジスタへの書き込みになります。このビット位置に 1 が設定されている場合、次の動作は指定されたレジスタからの読出しになります。
5:0	RS[5:0]		レジスタのアドレス・ビット。これらのアドレス・ビットは、このシリアル・インターフェース通信中にデバイスのどのレジスタが選択されているかを示します。全てのレジスタおよび相対アドレスの一覧については表 72 を参照してください。

AD4129-4 のレジスタ

ステータス・レジスタ

アドレス : 0x00、リセット : 0x10、レジスタ名 : STATUS

ADC およびインターフェースのステータス情報レジスタ。

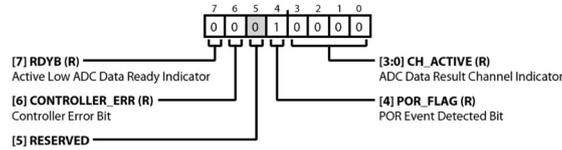


図 107.

表 74. ステータス・レジスタのビット説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RDYB	0 1	<p>アクティブ・ローの ADC データ・レディ・インジケータ。RDYB ビットは、ADC データの可用性を示すために用います。RDYB ビットは割り込みイベントとして扱われるため、0 に設定されるとデータ・レディ・ピンはローになります。反対に、RDYB ビットが 1 に設定されると、データ・レディ・ピンは自動的にクリアされます (ハイになります)。</p> <p>0 ADC データの準備が完了。ADC が新しい結果を DATA レジスタに書き込むとき、または ADC 校正モードで ADC が OFFSET_n レジスタおよび GAIN_n レジスタに書き込むとき、RDYB ビットは 0 に設定されます。RDYB ビットは、データ・レジスタを読み出すことで自動的に 1 に戻ります。OFFSET_n レジスタまたは GAIN_n レジスタを読み出しても、このビットには影響しません。</p> <p>1 データの準備が未完了。RDYB ビットが 1 に設定されるのは、ADC がアイドル・モードまたはスタンバイ・モードになったこと、新しい校正が開始されたこと、または新しい変換が開始され、かつ新しいデータがまだ利用可能でないことを示す場合です。RDYB ビットは、連続変換モードで 1 に設定されます。変換結果の後にデータ・レジスタが読み出されない場合、SYNCピンをアサート (ローに設定) すると RDYB ビットも 1 に設定されます。RDYB ビットは、次の変換結果が書き込まれる 4MCLK サイクル前に 1 に設定され、データ・レジスタが間もなく更新されるためデータ・レジスタが読み出されないことを示します。ADC 結果が書き込まれるときにデータ・レジスタが読み出し中の場合、その書き込みは中止されます。データ値の混入は生じませんが、1 回分の ADC 変換が失われます。</p>	0x0	R
6	CONTROLLER_ERR	0 1	<p>コントローラ・エラーの検出を示すビット。このビットは、エラー・レジスタのいずれかのエラーが 1 に設定されたときに設定されます。この CONTROLLER_ERR ビットが 1 に設定されると、FIFO_STATUS レジスタの CONTROLLER_ERR ビットも 1 に設定されます。エラー・レジスタにエラーがなくなると、このビットは自動的にクリアされます。</p> <p>0 エラー検出なし。</p> <p>1 コントローラ・エラーを検出。</p>	0x0	R
5	RESERVED		予約済み。	0x0	R
4	POR_FLAG	0 1	<p>POR イベントの検出を示すビット。POR は、起動時または IOV_{DD} やデジタル LDO 電源が閾値未満になったときにトリガされます。このビットは、POR イベントが発生したときに 1 に設定され、ユーザがステータス・レジスタを読み出すとクリアされます。</p> <p>0 POR イベントの検出なし。</p> <p>1 POR イベントを検出。</p>	0x1	R
[3:0]	CH_ACTIVE		<p>ADC データ結果のチャンネル・インジケータ。これらのビットは、現在データ・レジスタに結果が格納されている ADC 変換が行われたときにアクティブだったチャンネルを示します。このチャンネルは、現在変換中のチャンネルとは異なる場合があります。これらの値は、現在アクティブな CHANNEL_m レジスタからの直接マップです。 CHANNEL_0 の場合は CH_ACTIVE = 0b0000 に設定され、CHANNEL_15 の場合は CH_ACTIVE = 0b1111 に設定されます。</p>	0x0	R

AD4129-4 のレジスタ

ADC 制御レジスタ

アドレス：0x01、リセット：0x4000、レジスタ名：ADC_CONTROL

ADC の動作モードを制御します。

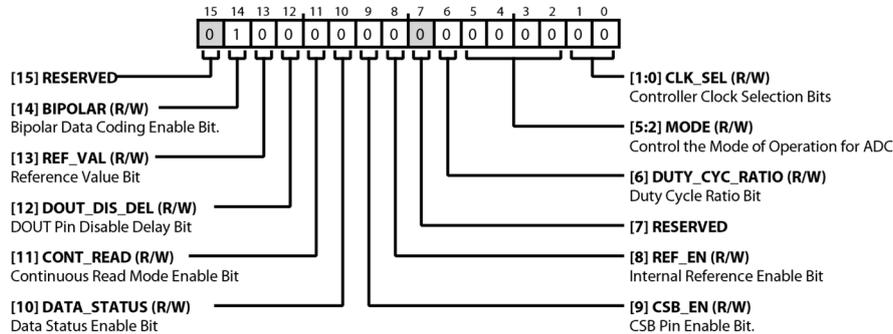


図 108.

表 75. ADC_CONTROL レジスタのビット説明

ビット	ビット名	設定	説明	リセット	アクセス
15	RESERVED		予約済み。	0x0	R
14	BIPOLAR	0 1	バイポーラ・データ・コーディングをイネーブルにするビット。ADC の出力コーディングを設定します。これはデジタル補正で、ADC 変換はバイポーラ入カスパンで実行されます。 0 ストレート・バイナリ (ユニポーラ) コーディング。入力範囲：0V~V _{REF} /ゲイン。 V _{REF} /ゲイン：0xFFFF 0：0x0000 1 オフセット・バイナリ (バイポーラ) コーディング。入力範囲：-V _{REF} /ゲイン~V _{REF} /ゲイン V _{REF} /ゲイン：0xFFFF 0：0x8000 -V _{REF} /ゲイン：0x0000	0x1	R/W
13	INT_REF_VAL	0 1	内部リファレンス値を設定するビット。高精度内部リファレンスの電圧を指定します。このビットは、同じレジスタの INT_REF_EN ビットと共に使用します。 0 2.5V。 1 1.25V。	0x0	R/W
12	DOUT_DIS_DEL	0 1	DOUT/RDY _{pin} ピンがディスエーブルになるまでの遅延を設定するビット。このビットは、ADC_CONTROL レジスタの CSB_EN ビットが 0 に設定されている場合に、SCLK の非アクティブ・エッジから DOUT ピンがディスエーブルになるまでの時間を制御します。 0 遅延 = 10ns。 1 遅延 = 100ns。	0x0	R/W
11	CONT_READ	0 1	連続読出しモードを有効にするビット。このビットは、データ・レジスタの連続読出しをイネーブルにします。連続読出しモードでは、ADC データを読み出す前に COMMS レジスタに書き込む必要はありません。その代わりに、データ・レディ信号がローになった後に、必要な数の SCLK を送ります。データ・レディ信号は、連続読出し中にフレーミング信号として機能します。SCLK は、データ・レディ信号がローになるまで無視されます。つまり、各 ADC 結果は 1 回だけ読み出すことができます。更に、次の変換の 4MCLK サイクル前の時点で読出しがまだ進行中の場合、この読出しは中止され、データ・レディ信号はデアサート (ハイに設定) されます。CRC がアクティブの場合、読出しが無効であると判断できません。連続読出しモードを終了するには、ソフトウェア・リセット・コマンド (64 個の 1) を発行するか、データ読出しコマンド (0x42) を書き込みます。CRC がイネーブルの場合、CRC は不要です。FIFO がイネーブルの場合、この機能は無効化されます。 0 連続読出しモードが無効。 1 連続読出しモードが有効。	0x0	R/W

AD4129-4 のレジスタ

表 75. ADC_CONTROL レジスタのビット説明 (続き)

ビット	ビット名	設定	説明	リセット	アクセス
10	DATA_STATUS	0 1	データ・ステータスをイネーブルにするビット。このビットが 1 に設定されていると、ステータス・レジスタの内容がデータ・レジスタの出力に追加され、チャンネル・ステータス情報がデータと共に送信されるようになります。そのため、データ・レジスタを読み出す際のフォーマットは、(DATA のビット[23:0], STATUS のビット[7:0])となります。これにより、データ・レジスタで読み出されている変換に関連したチャンネルを識別できるだけでなく、ステータスと読み出されているデータとを関連付けることもできます。 ステータスの追加なし。 ステータスをデータに追加。	0x0	R/W
9	CSB_EN	0 1	CSピンをイネーブルにするビット。このビットは、CSピンの機能と SPI モードを制御します。 0 CSピンの機能を無効化。SPI インターフェースは 3 線式モード。このインターフェースは、SCLK の最後の立上がりエッジでリセットされます。そのため、デバイスから読み出す際に、SCLK の最後の立上がりエッジで、DOUT/RDYピンはデータ出力機能からデータ・レディ機能に切り替わります (データ・レディ信号が DOUT/RDYピンに送出されるよう設定されていることが前提)。このタイミングは、ADC_CONTROL レジスタの DOUT_DIS_DEL ビットで変更できます。書き込みコマンドまたは読み出しコマンドでは、正しい数のクロックを適切なレジスタに供給することに注意を払う必要があります。レジスタ・サイズは、8 ビット/16 ビット/24 ビットのいずれかになる可能性があり、場合によっては、CRC をイネーブルにしたり、ステータスを追加したりすることでデータ幅が増加することもあります。DOUT/RDYピンをイネーブル状態に維持するには、CSピンをローに接続する必要があります。CSピンをハイに保つことは依然として可能であり、そうすることで、DOUT/RDYピンをトライステートにすることができます。 1 CSピンの機能を有効化。SPI インターフェースは 4 線式モード。このインターフェースはCSの立上がりエッジでリセットされます。そのため、デバイスから読み出す際に、CSの立上がりエッジで、DOUT/RDYピンはデータ出力機能からデータ・レディ割込み機能に切り替わります (データ・レディ信号が DOUT/RDYピンに送出されるよう設定されていることが前提)。SPI_WRITE_ERR ビット、SPI_READ_ERR ビット、SPI_SCLK_CNT_ERR ビットをイネーブルにすることができます。これらのビットはCSがイネーブルの場合にのみ有効です。CSがハイの場合、DOUT/RDYピンはトライステートとなります。	0x0	R/W
8	INT_REF_EN	0 1	内部リファレンスをイネーブルにするビット。高精度の内部リファレンスがイネーブルの場合、REFOUT ピンに出力される値は、同じレジスタの INT_REF_VAL ビットの設定によって異なります。 内部リファレンスがディセーブル (デフォルト)。 内部リファレンスがイネーブル。	0x0	R/W
7	RESERVED		予約済み。	0x0	R
6	DUTY_CYC_RATIO	0 1	デューティ・サイクル比を設定するビット。このビットは、デバイスがスタンバイ・モードになる割合を制御します。デューティ・サイクル・モードは全てのアクティブなチャンネルの変換時間 (デジタル後処理時間とウェイクアップ時間は無視) をアクティブ時間の時間基準として用い、スタンバイ時間はその倍数として導かれます。このビットを有効にするには、このレジスタの MODE ビットフィールドをデューティ・サイクル・モード (0b1001) に設定する必要があります。 0 1/4 デューティ・サイクル。デバイスはサイクル時間の 1/4 がアクティブで、3/4 がスタンバイです。 1 1/16 デューティ・サイクル。デバイスはサイクル時間の 1/16 がアクティブで、15/16 がスタンバイです。	0x0	R/W
[5:2]	MODE	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001	ADC の動作モードを制御します。 0000 連続変換モード。 0001 シングル・シーケンス・モード。 0010 スタンバイ・モード。 0011 パワーダウン・モード。パワーダウン・モードに移行するには、デバイスがスタンバイ・モードであることが必要です。それ以外の場合、デバイスは連続変換モードに移行します。この手順は安全機能の役割を果たし、パワーダウン・モードへの偶発的なまたは不必要な遷移を防止します。 0100 アイドル・モード。デジタル・フィルタとモジュレータは、リセット状態に保持されます。それ以外には変化はありません。 0101 内部オフセット校正 (ゼロ・スケール) デバイスは、校正が完了するとアイドル・モードに戻ります。 0110 内部ゲイン校正 (フルスケール) デバイスは、校正が完了するとアイドル・モードに戻ります。 0111 システムのオフセット校正 (ゼロ・スケール) デバイスは、校正が完了するとアイドル・モードに戻ります。 1000 システムのゲイン校正 (フルスケール) デバイスは、校正が完了するとアイドル・モードに戻ります。 1001 デューティ・サイクル・モード。デバイスは、このレジスタの DUTY_CYC_RATIO ビットに基づいて、選択されたシーケンスの変換とスタンバイを交互に繰り返します。	0x0	R/W

AD4129-4 のレジスタ

表 75. ADC_CONTROL レジスタのビット説明 (続き)

ビット	ビット名	設定	説明	リセット	アクセス
		1010	「 $\overline{\text{SYNC}}$ によるシングル・シーケンス + アイドル」モード。デバイスは、 $\overline{\text{SYNC}}$ ピンのハイからローへのパルスに基づき、選択されたシーケンスの変換とアイドル・モードを交互に繰り返します。		
		1011	「 $\overline{\text{SYNC}}$ によるシングル・シーケンス + STBY」モード。デバイスは、 $\overline{\text{SYNC}}$ ピンのハイからローへのパルスに基づき、選択されたシーケンスの変換とスタンバイを交互に繰り返します。		
		1100 to 1111	予約済み。		
[1:0]	MCLK_SEL		コントローラ・クロックを選択するビット。 00 内部クロック 76.8kHz の出力をオフ。内部クロックをクロック・ソースに使用しますが、CLK ピンには出力しません。 01 内部クロック 76.8kHz の出力をオン。内部クロックをクロック・ソースに使用し、CLK ピンに出力します。 10 外部クロック 76.8kHz。外部 CLK ピンをクロック・ソースに使用します。 11 外部クロック 153.6 kHz。外部 CLK ピンをクロック・ソースに使用し、内部で 2 分周してから利用します。	0x0	R/W

ADC 変換結果レジスタ

アドレス : 0x02、リセット : 0x0000、レジスタ名 : DATA

最新の ADC の結果を格納します。

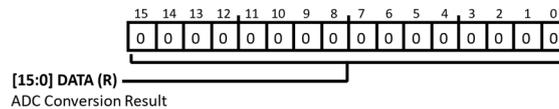


図 109.

表 76. DATA レジスタのビット説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:0]	DATA		ADC 変換の結果。このレジスタには最新の ADC 変換の結果が格納されます。	0x0	R

入出力制御レジスタ

アドレス : 0x03、リセット : 0x0000、レジスタ名 : IO_CONTROL

入出力ポートの一部を制御します。

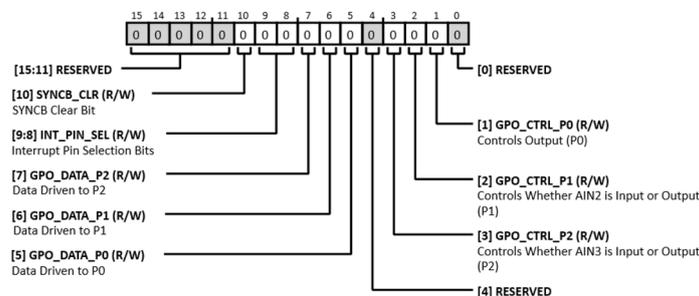


図 110.

AD4129-4 のレジスタ

表 77. IO_CONTROL レジスタのビット説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:11]	RESERVED		予約済み。	0x0	R
10	SYNCB_CLEAR	0 1	<p>$\overline{\text{SYNC}}$によるクリアを設定するビット。このビットを使用すると、$\overline{\text{SYNC}}$ピンのパルスで FIFO をクリアできます。</p> <p>0 ディスエーブル。$\overline{\text{SYNC}}$による FIFO 内容のクリアがディスエーブルです。</p> <p>1 イネーブル。$\overline{\text{SYNC}}$による FIFO 内容のクリアがイネーブルです。</p>	0x0	R/W
[9:8]	INT_PIN_SEL	00 01 10 11	<p>データ・レディ/FIFO 割込みピンを選択するビット。これらのビットは、データ・レディ/FIFO 割込み信号をどのピンに送るかを選択します。FIFO がディスエーブルの場合、データ・レディ信号は割込みイベントとして機能します。それ以外の場合、FIFO 割込みイベントは FIFO_CONTROL レジスタの設定によって決まります。</p> <p>00 N/A</p> <p>01 CLK ピン。データ・レディ/FIFO 割込み信号は CLK ピンに送られます。この設定は、ADC_CONTROL レジスタの CLK_SEL ビットの設定よりも優先されます。</p> <p>10 P0 ピン。データ・レディ/FIFO 割込み信号は P0 ピンに送られます。この設定は、IO_CONTROL レジスタの GPO_CTRL_P0 ビットよりも優先されます。</p> <p>11 DOUT/$\overline{\text{RDY}}$ピン。データ・レディ信号は DOUT/$\overline{\text{RDY}}$ピンに送られます。このオプションは FIFO 割込み信号には用いません。</p>	0x0	R/W
7	GPO_DATA_P2		データを P2 に転送。このピンが GPO_CTRL_P2 で出力として設定されている場合に限りです。	0x0	R/W
6	GPO_DATA_P1		データを P1 に転送。このピンが GPO_CTRL_P1 で出力として設定されている場合に限りです。	0x0	R/W
5	GPO_DATA_P0		データを P0 に転送。このピンが GPO_CTRL_P0 で出力として構成されている場合に限りです。	0x0	R/W
4	RESERVED		予約済み。	0x0	R/W
3	GPO_CTRL_P2	0 1	<p>AIN3 が入力か出力かを制御します (P2)。スタンバイ・ピンとして機能し (MISC レジスタの STBY_OUT_EN ビットで設定)、最優先として扱われ他の機能をオーバーライドします。</p> <p>0 GPO には特定の入力機能が設けられます。</p> <p>1 GPO が出力として機能します。</p>	0x0	R/W
2	GPO_CTRL_P1	0 1	<p>AIN2 が入力か出力かを制御します (P1)。</p> <p>0 GPO には特定の入力機能が設けられます。</p> <p>1 GPO が出力として機能します。</p>	0x0	R/W
1	GPO_CTRL_P0	0 1	<p>出力を制御します (P2)。割込みピンとして機能し (IO_CONTROL レジスタの INT_PIN_SEL ビットで設定)、最優先として扱われ他の機能をオーバーライドします。</p> <p>0 GPO には特定の入力機能が設けられます。</p> <p>1 GPO が出力として機能します。</p>	0x0	R/W
0	RESERVED		予約済み。	0x0	R/W

AD4129-4 のレジスタ

VBIAS 制御レジスタ

アドレス : 0x04、リセット : 0x0000、レジスタ名 : VBIAS_CONTROL

アナログ入力ピンに出力される VBIAS を選択します。

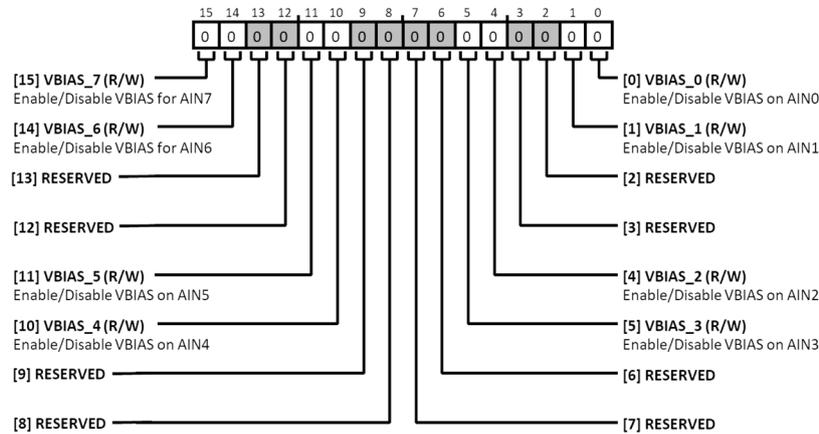


図 111.

表 78. VBIAS_CONTROL レジスタのビット説明

ビット	ビット名	設定	説明	リセット	アクセス
15	VBIAS_7	0 1	AIN7 用の VBIAS をイネーブル/ディスエーブルにします。 このピンでは VBIAS がディスエーブルになります。 このピンでは VBIAS がイネーブルになります。	0x0	R/W
14	VBIAS_6	0 1	AIN6 用の VBIAS をイネーブル/ディスエーブルにします。 このピンでは VBIAS がディスエーブルになります。 このピンでは VBIAS がイネーブルになります。	0x0	R/W
13	RESERVED		予約済み。	0x0	R
12	RESERVED		予約済み。	0x0	R
11	VBIAS_5	0 1	AIN5 用の VBIAS をイネーブル/ディスエーブルにします。 このピンでは VBIAS がディスエーブルになります。 このピンでは VBIAS がイネーブルになります。	0x0	R/W
10	VBIAS_4	0 1	AIN4 用の VBIAS をイネーブル/ディスエーブルにします。 このピンでは VBIAS がディスエーブルになります。 このピンでは VBIAS がイネーブルになります。	0x0	R/W
9	RESERVED		予約済み。	0x0	R
8	RESERVED		予約済み。	0x0	R
7	RESERVED		予約済み。	0x0	R
6	RESERVED		予約済み。	0x0	R
5	VBIAS_3	0 1	AIN3 用の VBIAS をイネーブル/ディスエーブルにします。 このピンでは VBIAS がディスエーブルになります。 このピンでは VBIAS がイネーブルになります。	0x0	R/W
4	VBIAS_2	0 1	AIN2 用の VBIAS をイネーブル/ディスエーブルにします。 このピンでは VBIAS がディスエーブルになります。 このピンでは VBIAS がイネーブルになります。	0x0	R/W

AD4129-4 のレジスタ

表 78. VBIAS_CONTROL レジスタのビット説明 (続き)

ビット	ビット名	設定	説明	リセット	アクセス
3	RESERVED		予約済み。	0x0	R
2	RESERVED		予約済み。	0x0	R
1	VBIAS_1	0 1	AIN1 用の VBIAS をイネーブル/ディスエーブルにします。 このピンでは VBIAS がディスエーブルになります。 このピンでは VBIAS がイネーブルになります。	0x0	R/W
0	VBIAS_0	0 1	AIN0 用の VBIAS をイネーブル/ディスエーブルにします。 このピンでは VBIAS がディスエーブルになります。 このピンでは VBIAS がイネーブルになります。	0x0	R/W

AD4129-4 のレジスタ

識別レジスタ

アドレス : 0x05、リセット : 0x0X、レジスタ名 : ID

8 ビットのデバイス ID を返します。

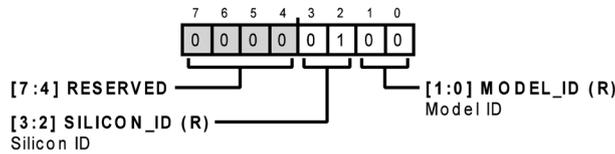


図 112.

表 79. ID レジスタのビット説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	RESERVED		予約済み。	0x0	R
[3:2]	SILICON_ID		シリコン ID。	0x1	R
[1:0]	MODEL_ID		モデル ID。これらのビットはモデルごとにデフォルトで設定されており、読み出し専用です。	0xXX	R
		00	24 ビット WLCSP。		
		01	24 ビット LFCSP。		
		10	16 ビット WLCSP。		
		11	16 ビット LFCSP。		

エラー・レジスタ

アドレス : 0x06、リセット : 0x0000、レジスタ名 : ERROR

このレジスタの各エラー・ビットを期待通り機能させるためには、ERROR_EN レジスタでイネーブルにする必要があります。このレジスタの全ビットは R/W1C 属性です。

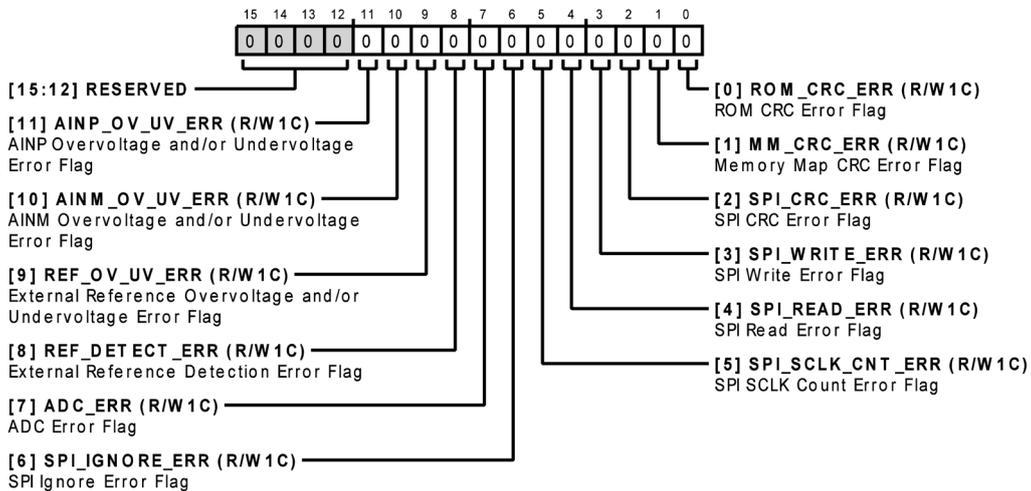


図 113.

表 80. ERROR レジスタのビット説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:12]	RESERVED		予約済み。	0x0	R

AD4129-4 のレジスタ

表 80. ERROR レジスタのビット説明 (続き)

ビット	ビット名	設定	説明	リセット	アクセス
11	AINP_OV_UV_ERR	0 1	AINP の過電圧／低電圧エラーのフラグ。設定された場合、このビットは AINP の過電圧や低電圧が検出されたことを示します。ERROR_EN レジスタでこのエラー・フラグをイネーブルにしてください。 エラー検出なし。 AINP の OV/UV エラーを検出。	0x0	R/W1C
10	AINM_OV_UV_ERR	0 1	AINM の過電圧／低電圧エラーのフラグ。設定された場合、このビットは AINM の過電圧や低電圧が検出されたことを示します。ERROR_EN レジスタでこのエラー・フラグをイネーブルにしてください。 エラー検出なし。 AINM の OV/UV エラーを検出。	0x0	R/W1C
9	REF_OV_UV_ERR	0 1	外部リファレンスの過電圧／低電圧エラーのフラグ。設定された場合、このビットは外部リファレンスの過電圧や低電圧が検出されたことを示します。ERROR_EN レジスタでこのエラー・フラグをイネーブルにしてください。 エラー検出なし。 REFIN の OV/UV エラーを検出。	0x0	R/W1C
8	REF_DETECT_ERR	0 1	外部リファレンス検出エラーのフラグ。設定された場合、このビットは外部リファレンス電圧 (REFINx(+)-REFINx(-)) が閾値未満であることを示します。ERROR_EN レジスタでこのエラー・フラグをイネーブルにしてください。 エラー検出なし。 REFIN エラーを検出。	0x0	R/W1C
7	ADC_ERR	0 1	ADC エラーのフラグ。このエラーは、次の ADC 変換／校正エラーのいずれかが検出されたときに設定されます。つまり、ADC の変換結果が正のフルスケールにクランプされた場合、ADC の変換結果が負のフルスケールにクランプされた場合、ADC のオフセット／ゲイン校正の結果が指定範囲を外れた場合、モジュレータが飽和した場合のいずれかです。ERROR_EN レジスタでこのエラー・フラグをイネーブルにしてください。 エラー検出なし。 ADC エラーを検出。	0x0	R/W1C
6	SPI_IGNORE_ERR	0 1	SPI 無視エラーのフラグ。設定された場合、このビットは SPI アクセスが無視されるタイミング (ROM 内容をダウンロード中など) で SPI アクセスが行われたことを示します。ERROR_EN レジスタでこのエラー・フラグをイネーブルにしてください。 エラー検出なし。 SPI エラーを検出。	0x0	R/W1C
5	SPI_SCLK_CNT_ERR	0 1	SPI の SCLK カウント・エラーのフラグ。設定された場合、このビットは指定された SPI フレームに対する SCLK の数が 8 の倍数になっていないことを示します。ERROR_EN レジスタでこのエラー・フラグをイネーブルにしてください。 エラー検出なし。 SCLK カウント・エラーを検出。	0x0	R/W1C
4	SPI_READ_ERR	0 1	SPI 読み出しエラーのフラグ。設定された場合、このビットは無効なアドレスで SPI 読み出しが実行されたことを示します。ERROR_EN レジスタでこのエラー・フラグをイネーブルにしてください。 エラー検出なし。 SPI 読み出しエラーを検出。	0x0	R/W1C
3	SPI_WRITE_ERR	0 1	SPI 書き込みエラーのフラグ。設定された場合、このビットは無効なアドレスで SPI 書き込みが実行されたことを示します。ERROR_EN レジスタでこのエラー・フラグをイネーブルにしてください。 エラー検出なし。 SPI 書き込みエラーを検出。	0x0	R/W1C
2	SPI_CRC_ERR	0 1	SPI の CRC エラーのフラグ。設定された場合、このビットは SPI 通信で CRC エラーが検出されたことを示します。ERROR_EN レジスタでこのエラー・フラグをイネーブルにしてください。 エラー検出なし。 SPI の CRC エラーを検出。	0x0	R/W1C

AD4129-4 のレジスタ

表 80. ERROR レジスタのビット説明 (続き)

ビット	ビット名	設定	説明	リセット	アクセス
1	MM_CRC_ERR	0 1	メモリ・マップの CRC エラーのフラグ。このエラーがイネーブルになると、メモリ・マップに対して周期的に CRC チェックが実行されます。設定された場合、このビットはメモリ・マップ内容の変更が（実際の書き込みがなくても）検出されたことを示します。ERROR_EN レジスタでこのエラー・フラグをイネーブルにしてください。 0 エラー検出なし。 1 メモリ・マップの CRC エラーを検出。	0x0	R/W1C
0	ROM_CRC_ERR	0 1	ROM の CRC エラーのフラグ。ROM 内容に対する CRC 計算は起動時に行われます。設定された場合、このビットは ROM 内容が変更されたことを示します。ERROR_EN レジスタでこのエラー・フラグをイネーブルにしてください。 0 エラー検出なし。 1 ROM の CRC エラーを検出。	0x0	R/W1C

エラー・イネーブル・レジスタ

アドレス : 0x07、リセット : 0x0040、レジスタ名 : ERROR_EN

このレジスタの各ビットでエラー・レジスタのフラグをイネーブルにします。

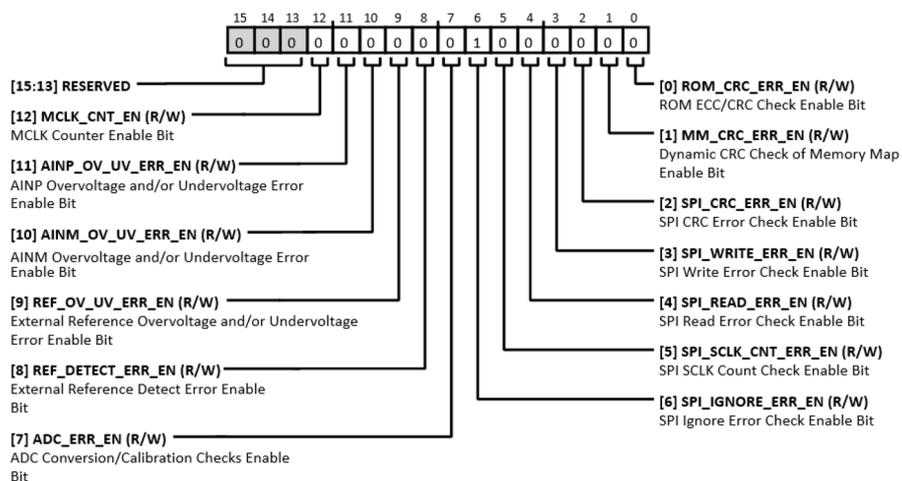


図 114.

表 81. ERROR_EN レジスタのビット説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:13]	RESERVED		予約済み。	0x0	R
12	MCLK_CNT_EN	0 1	MCLK カウンタをイネーブルにするビット。カウンタ値は MCLK_COUNT レジスタで通知されます。 0 MCLK カウンタがディスエーブル。 1 MCLK カウンタがイネーブル。	0x0	R/W
11	AINP_OV_UV_ERR_EN	0 1	AINP の過電圧/低電圧エラーをイネーブルにするビット。このビットが 1 に設定されると、エラー・レジスタに示される AINP の過電圧エラーがイネーブルになります。 0 AINP の OV/UV エラーがディスエーブル。 1 AINP の OV/UV エラーがイネーブル。	0x0	R/W

AD4129-4 のレジスタ

表 81. ERROR_EN レジスタのビット説明 (続き)

ビット	ビット名	設定	説明	リセット	アクセス
10	AINM_OV_UV_ERR_EN	0 1	AINM の過電圧/低電圧エラーをイネーブルにするビット。このビットが 1 に設定されると、エラー・レジスタに示される AINM の過電圧/低電圧エラーがイネーブルになります。 0 AINM の OV/UV エラーがディスエーブル。 1 AINM の OV/UV エラーがイネーブル。	0x0	R/W
9	REF_OV_UV_ERR_EN	0 1	外部リファレンスの過電圧/低電圧エラーをイネーブルにするビット。このビットが 1 に設定されると、エラー・レジスタに示される外部リファレンスの過電圧/低電圧エラーがイネーブルになります。 0 REFIN の OV/UV エラーがディスエーブル。 1 REFIN の OV/UV エラーがイネーブル。	0x0	R/W
8	REF_DETECT_ERR_EN	0 1	外部リファレンス検出エラーをイネーブルにするビット。このビットが 1 に設定されると、エラー・レジスタに示される外部リファレンス・エラーがイネーブルになります。 0 REFIN エラーがディスエーブル。 1 REFIN エラーがイネーブル。	0x0	R/W
7	ADC_ERR_EN	0 1	ADC の変換/校正チェックをイネーブルにするビット。このビットが 1 に設定されると、エラー・レジスタに示される ADC_ERR がイネーブルになります。 0 ADC エラーがディスエーブル。 1 ADC エラーがイネーブル。	0x0	R/W
6	SPI_IGNORE_ERR_EN	0 1	SPI 無視エラーのチェックをイネーブルにするビット。デフォルトではイネーブルです。このエラーは、エラー・レジスタの SPI_IGNORE_ERR で通知されます。起動時にヒューズがコピーされているときにユーザがメモリ・マップに書き込みを行った場合、あるいは、オフセット校正またはゲイン校正を実行しているときにユーザがメモリ・マップに書き込みを行った場合に、エラー・フラグが立ちます。 0 SPI 無視エラーがディスエーブル。 1 SPI 無視エラーがイネーブル。	0x1	R/W
5	SPI_SCLK_CNT_ERR_EN	0 1	SPI の SCLK カウントのチェックをイネーブルにするビット。この機能を有効にするには、ADC_CONTROL の CSB_EN も 1 に設定する必要があります。SPI SCLK のカウンタは、読み出し動作および書き込み動作のそれぞれに使用される SCLK パルスの数をカウントします。この機能を使用する場合、CS は全ての読み出し動作および書き込み動作をフレーム化する必要があります。全ての読み出し動作および書き込み動作は、8SCLK パルスの倍数になります。SCLK カウンタが SCLK パルスをカウントし、その結果が 8 の倍数でない場合、エラー・フラグが立ち、エラー・レジスタの SPI_SCLK_CNT_ERR ビットが設定されます。書き込み動作が行われ、SCLK に含まれる SCLK パルスの数が条件を満たさない場合、その値はアドレス指定されたレジスタには書き込まれず、この書き込み動作は中止されます。 0 SPI の SCLK エラーがディスエーブル。 1 SPI の SCLK エラーがイネーブル。	0x0	R/W
4	SPI_READ_ERR_EN	0 1	SPI 読み出しエラーのチェックをイネーブルにするビット。この機能を有効にするには、ADC_CONTROL の CSB_EN も 1 に設定する必要があります。このエラーは、エラー・レジスタの SPI_READ_ERR で通知されます。SPI_READ_ERR ビットが設定されるのは、無効なアドレスを読み出そうとした場合です。 0 SPI 読み出しエラーがディスエーブル。 1 SPI 読み出しエラーがイネーブル。	0x0	R/W
3	SPI_WRITE_ERR_EN	0 1	SPI 書き込みエラーのチェックをイネーブルにするビット。この機能を有効にするには、ADC_CONTROL の CSB_EN も 1 に設定する必要があります。このエラーは、エラー・レジスタの SPI_WRITE_ERR で報告されます。SPI_WRITE_ERR ビットが設定されるのは、無効なアドレスまたは読み出し専用アドレスに書き込みしようとした場合です。 0 SPI 書き込みエラーがディスエーブル。 1 SPI 書き込みエラーがイネーブル。	0x0	R/W
2	SPI_CRC_ERR_EN	0 1	SPI の CRC エラー・チェックをイネーブルにするビット。チェックサムを使用することで、レジスタには有効なデータのみが確実に書き込まれ、レジスタから読み出したデータを検証できるようになります。レジスタへの書き込み中にエラーが発生した場合、エラー・レジスタの CRC_ERR ビットが設定されます。ただし、レジスタへの書き込みが成功したかを確認するには、レジスタをリードバックしてチェックサムを確認してください。 0 SPI の CRC チェックがディスエーブル。 1 SPI の CRC チェックがイネーブル。	0x0	R/W

AD4129-4 のレジスタ

表 81. ERROR_EN レジスタのビット説明 (続き)

ビット	ビット名	設定	説明	リセット	アクセス
1	MM_CRC_ERR_EN	0 1	メモリ・マップの動的な CRC チェックをイネーブルにするビット。このエラーは、エラー・レジスタの MM_CRC_ERR で通知されます。メモリ・マップの CRC は、読み出し専用レジスタ (ステータス、データ、MCLK_COUNT など) を除く全てのメモリ・マップ内容に対して実行されます。CRC は 426.6µs (2.4kHz) ごとに実行されます。その後、メモリ・マップへの書き込みが行われるたびに、CRC が再計算されます。これが生じるのは、ユーザによる書き込みが行われた場合、オフセット/ゲイン校正が行われた場合、MODE ビットがシングル・シーケンス・モードの変換終了時にシングル・シーケンスからアイドルに変わった場合、連続読み出しモードを終了する際に ADC_CONTROL の CONT_READ ビットが 0 に変わった場合です。 MM の CRC チェックがディスエーブル。 MM の CRC チェックがイネーブル。	0x0	R/W
0	ROM_CRC_ERR_EN	0 1	ROM の ECC/CRC チェックをイネーブルにするビット。起動時には必ず ROM の CRC が実行され、このビットでエラーの通知をイネーブルにします。このエラーは、エラー・レジスタの ROM_CRC_ERR で通知されます。 ROM の CRC/ECC チェックがディスエーブル。 ROM の CRC/ECC チェックがイネーブル。	0x0	R/W

MCLK カウンタ・レジスタ

アドレス : 0x08、リセット : 0x00、レジスタ名 : MCLK_COUNT

この機能が有効化されている場合、MCLK のカウント値が返されます。

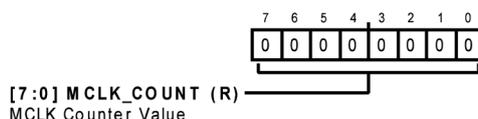


図 115.

表 82. MCLK_COUNT レジスタのビット説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	MCLK_COUNT		MCLK カウンタの値。このレジスタで、内部/外部発振器の周波数を決めることができます。内部では、クロック・カウンタがコントローラ・クロック ($f_{MCLK} = 76.8\text{kHz}$) の 131 パルスごとにインクリメントされるため、更新レートは 586.26Hz となります。8 ビット・カウンタは、最大値に到達すると最初の値に戻ります。MCLK カウンタ機能を有効にするには、ERROR_EN レジスタの MCLK_CNT_EN ビットを使用します。	0x00	R

AD4129-4 のレジスタ

チャンネル m の設定レジスタ (m = 0~15)

アドレス : 0x09~0x18 (1 ずつインクリメント)、リセット : 0x800100 (CHANNEL_0)、0x000100 (その他の全チャンネル)、レジスタ名 : CHANNEL_m (m = 0~15)

これらのレジスタを用いると、自動化されたシーケンスでのチャンネルのイネーブル、プラス入力とマイナス入力の選択、特定の入力における励起電流の可用性の決定、FIFO に対する閾値のイネーブルが可能になります。こうしたことにより、各チャンネルに関連付けられた ADC セットアップ n をユーザが選択できるようになります。ADC セットアップは、設定、フィルタ、オフセット、ゲインの各レジスタで構成されています。

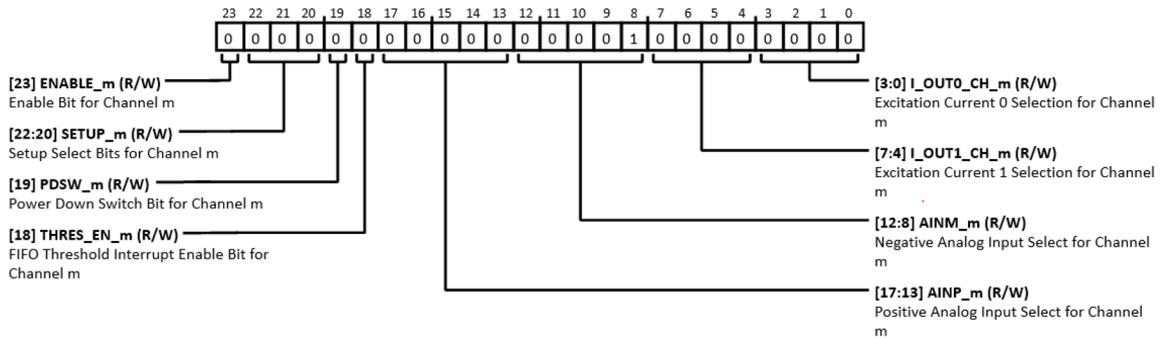


図 116.

表 83. CHANNEL_m レジスタのビット説明

ビット	ビット名	設定	説明	リセット	アクセス
23	ENABLE_m	0 1	チャンネル m をイネーブルにするビット。このビットによって、関連するチャンネルがシーケンスに加わることができるようになります。デフォルトでは、CHANNEL_0 の ENABLE_0 ビットのみが 1 に設定されており、その他の ENABLE_m ビットは全て 0 に設定されています。変換処理は、イネーブルになった最小番号のチャンネルから開始し、引き続き番号が大きいチャンネルへと順次進んでから、再び最小番号のチャンネルに戻ります。ADC が特定のチャンネルの結果を書き込む場合、ステータス・レジスタの 4 ビットの LSB がそのチャンネル番号 (範囲: 0~15) に設定されます。これにより、ユーザは読み出し中のデータに対応するチャンネルを識別できます。 0 チャンネルがディスエーブル。 1 チャンネルがイネーブル。	0x1 (CHANNEL_0) 0x0 (CHANNEL_m)	R/W
[22:20]	SETUP_m	0 1 2 3 4 5 6 7	チャンネル m の ADC セットアップを選択するビット。ADC セットアップは対応する一連の 4 個のレジスタ (CONFIG_n、FILTER_n、OFFSET_n、GAIN_n) で構成されています。例えば、チャンネルの SETUP_m の値が 0 の場合、その設定は、CONFIG_0、FILTER_0、OFFSET_0、GAIN_0 で決まります。全てのチャンネルが同じセットアップを使用することができます。この場合、全てのアクティブなチャンネルのこれらのビットに同じ 3 ビットの値が書き込まれます。または、最大 8 個のチャンネルを別々に設定できます。 0 ADC セットアップ 0。CONFIG_0/FILTER_0/OFFSET_0/GAIN_0 の設定を用いて、このチャンネルの ADC を設定します。 1 ADC セットアップ 1。CONFIG_1/FILTER_1/OFFSET_1/GAIN_1 の設定を用いて、このチャンネルの ADC を設定します。 2 ADC セットアップ 2。CONFIG_2/FILTER_2/OFFSET_2/GAIN_2 の設定を用いて、このチャンネルの ADC を設定します。 3 ADC セットアップ 3。CONFIG_3/FILTER_3/OFFSET_3/GAIN_3 の設定を用いて、このチャンネルの ADC を設定します。 4 ADC セットアップ 4。CONFIG_4/FILTER_4/OFFSET_4/GAIN_4 の設定を用いて、このチャンネルの ADC を設定します。 5 DC セットアップ 5。CONFIG_5/FILTER_5/OFFSET_5/GAIN_5 の設定を用いて、このチャンネルの ADC を設定します。 6 ADC セットアップ 6。CONFIG_6/FILTER_6/OFFSET_6/GAIN_6 の設定を用いて、このチャンネルの ADC を設定します。 7 DC セットアップ 7。CONFIG_7/FILTER_7/OFFSET_7/GAIN_7 の設定を用いて、このチャンネルの ADC を設定します。	0x0	R/W

AD4129-4 のレジスタ

表 83. CHANNEL_m レジスタのビット説明 (続き)

ビット	ビット名	設定	説明	リセット	アクセス
19	PDSW_m	0 1	<p>チャンネル m のパワーダウン・スイッチを設定するビット。このビットは、デバイスがパワーダウン・モードまたはスタンバイ・モードでない限り、チャンネルごとに PSW ピンを AV_{SS} に接続するオプションをイネーブルにします。このビットが 1 の場合、このチャンネルのパワーダウン・スイッチがイネーブルになり、PSW ピンに接続されているものは全て AV_{SS} に短絡されます。パワーダウン・モードでは、スイッチは自動的にオープン (つまりディスエーブル) になります。デバイスがスタンバイ・モードの間は、MISC レジスタの STBY_PDSW_EN ビットが 0 に設定されている場合、このビットの機能は無効になります。</p> <p>0 パワーダウン・スイッチがオフ。このチャンネルのパワーダウン・スイッチは常にディスエーブルです。</p> <p>1 パワーダウン・スイッチがオン。これにより、PSW ピンは電流シンクが可能になります。</p>	0x0	R/W
18	THRES_EN_m		<p>チャンネル m の FIFO 閾値割込みをイネーブルにするビット。このビットが 1 に設定されている場合、このチャンネルからの変換データが、FIFO_THRESHOLD レジスタの THRES_LOW_VAL および THRES_HIGH_VAL で定められた各閾値を超過するかどうかをモニタされます。FIFO がディスエーブルの場合、このビットは機能しません。</p>	0x0	R/W
[17:13]	AINP_m	00000 00001 00010 00011 00100 00101 00110 00111 01000 01001 01010 01011 01100 01101 01110 01111 10000 10001 10010 10011 10100 10101 10110 10111 11000 11001 11010 11011	<p>チャンネル m の正のアナログ入力を選択します。これらのビットで、このチャンネルの正の入力に接続するアナログ入力を選択します。</p> <p>AIN0。 AIN1。 予約済み。 予約済み。 AIN2。 AIN3。 予約済み。 予約済み。 予約済み。 予約済み。 AIN4。 AIN5。 予約済み。 予約済み。 AIN6。 AIN7。 温度センサー。 AV_{SS}。 内部リファレンス。 DGND。 (AV_{DD} - AV_{SS})/6+。(AV_{DD} - AV_{SS})/6-と併用して、電源 AV_{DD} - AV_{SS} を監視します。 (AV_{DD} - AV_{SS})/6-。(AV_{DD} - AV_{SS})/6+と併用して、電源 AV_{DD} - AV_{SS} を監視します。 (IOV_{DD} - DGND)/6+。(IOV_{DD} - DGND)/6-と併用して、IOV_{DD} - DGND を監視します。 (IOV_{DD} - DGND)/6-。(IOV_{DD} - DGND)/6+と併用して、IOV_{DD} - DGND を監視します。 (ALDO - AV_{SS})/6+。(ALDO - AV_{SS})/6-と併用して、アナログ LDO を監視します。 (ALDO - AV_{SS})/6-。(ALDO - AV_{SS})/6+と併用して、アナログ LDO を監視します。 (DLDO - DGND)/6+。(DLDO - DGND)/6-と併用して、デジタル LDO を監視します。 (DLDO - DGND)/6-。(DLDO - DGND)/6+と併用して、デジタル LDO を監視します。</p>	0x0	R/W

AD4129-4 のレジスタ

表 83. CHANNEL_m レジスタのビット説明 (続き)

ビット	ビット名	設定	説明	リセット	アクセス
		11100	V_MV_P。V_MV_M と併用して、数十 mVp-p の信号を ADC に印加します。		
		11101	V_MV_M。V_MV_P と併用して、数十 mVp-p の信号を ADC に印加します。		
		11110	予約済み。		
		11111	予約済み。		
[12:8]	AINM_m		チャンネル m の負のアナログ入力を選択します。これらのビットで、このチャンネルの負の入力に接続するアナログ入力を選択します。	0x1	R/W
		00000	AIN0。		
		00001	AIN1。		
		00010	予約済み。		
		00011	予約済み。		
		00100	AIN2。		
		00101	AIN3。		
		00110	予約済み。		
		00111	予約済み。		
		01000	予約済み。		
		01001	予約済み。		
		01010	AIN4。		
		01011	AIN5。		
		01100	予約済み。		
		01101	予約済み。		
		01110	AIN6。		
		01111	AIN7。		
		10000	温度センサー。		
		10001	AV _{SS} 。		
		10010	内部リファレンス。		
		10011	DGND。		
		10100	(AV _{DD} - AV _{SS})/6+。(AV _{DD} - AV _{SS})/6- と併用して、電源 AV _{DD} - AV _{SS} を監視します。		
		10101	(AV _{DD} - AV _{SS})/6-。(AV _{DD} - AV _{SS})/6+ と併用して、電源 AV _{DD} - AV _{SS} を監視します。		
		10110	(IOV _{DD} - DGND)/6+。(IOV _{DD} - DGND)/6- と併用して、IOV _{DD} - DGND を監視します。		
		10111	(IOV _{DD} - DGND)/6-。(IOV _{DD} - DGND)/6+ と併用して、IOV _{DD} - DGND を監視します。		
		11000	(ALDO - AV _{SS})/6+。(ALDO - AV _{SS})/6- と併用して、アナログ LDO を監視します。		
		11001	(ALDO - AV _{SS})/6-。(ALDO - AV _{SS})/6+ と併用して、アナログ LDO を監視します。		
		11010	(DLDO - DGND)/6+。(DLDO - DGND)/6- と併用して、デジタル LDO を監視します。		
		11011	(DLDO - DGND)/6-。(DLDO - DGND)/6+ と併用して、デジタル LDO を監視します。		
		11100	V_MV_P。V_MV_M と併用して、数十 mVp-p の信号を ADC に印加します。		
		11101	V_MV_M。V_MV_P と併用して、数十 mVp-p の信号を ADC に入力します。		
		11110	予約済み。		
		11111	予約済み。		
[7:4]	I_OUT1_CH_m		チャンネル m の励起電流 1 の選択。	0x0	R/W
		0000	I_OUT1 は AIN0 で利用可能です。		
		0001	I_OUT1 は AIN1 で利用可能です。		
		0010	予約済み。		
		0011	予約済み。		
		0100	I_OUT1 は AIN2 で利用可能です。		

AD4129-4 のレジスタ

表 83. CHANNEL_m レジスタのビット説明 (続き)

ビット	ビット名	設定	説明	リセット	アクセス
		0101	I_OUT1 は AIN3 で利用可能です。		
		0110	予約済み。		
		0111	予約済み。		
		1000	予約済み。		
		1001	予約済み。		
		1010	I_OUT1 は AIN4 で利用可能です。		
		1011	I_OUT1 は AIN5 で利用可能です。		
		1100	予約済み。		
		1101	予約済み。		
		1110	I_OUT1 は AIN6 で利用可能です。		
		1111	I_OUT1 は AIN7 で利用可能です。		
[3:0]	I_OUT0_CH_m		チャンネル m の励起電流 0 の選択。 I_OUT0 は AIN0 で利用可能です。 I_OUT0 は AIN1 で利用可能です。 予約済み。 予約済み。 I_OUT0 は AIN2 で利用可能です。 I_OUT0 は AIN3 で利用可能です。 予約済み。 予約済み。 予約済み。 予約済み。 I_OUT0 は AIN4 で利用可能です。 I_OUT0 は AIN5 で利用可能です。 予約済み。 予約済み。 I_OUT0 は AIN6 で利用可能です。 I_OUT0 は AIN7 で利用可能です。	0x0	R/W

AD4129-4 のレジスタ

設定 n レジスタ (n = 0~7)

アドレス : 0x19~0x20 (1 ずつインクリメント) 、リセット : 0x0000、レジスタ名 : CONFIG_n (n = 0~7)

これらのレジスタにより、CHANNEL_m レジスタで選択される最大 7 通りの ADC セットアップに対して、励起電流値、バーンアウト電流値、リファレンス・モード、バッファ、および PGA モードの設定が可能です。

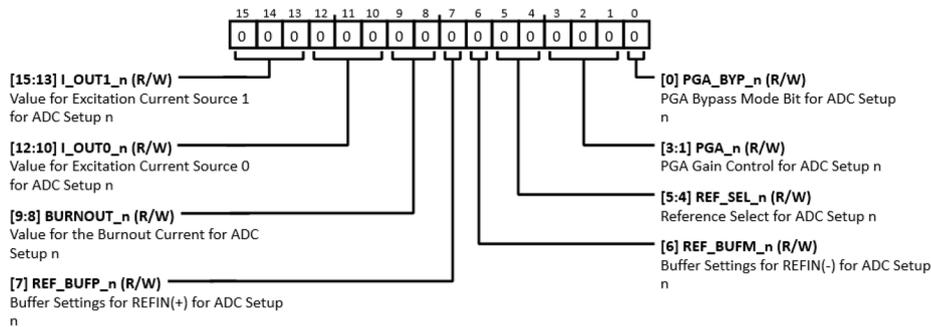


図 117.

表 84. CONFIG_n レジスタのビット説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:13]	I_OUT1_n	000 001 010 011 100 101 110 111	ADC セットアップ n における励起電流源 1 の値。 オフ。 10μA。 20μA。 50μA。 100μA。 150μA。 200μA。 100nA。	0x0	R/W
[12:10]	I_OUT0_n	000 001 010 011 100 101 110 111	ADC セットアップ n における励起電流源 0 の値。 オフ。 10μA。 20μA。 50μA。 100μA。 150μA。 200μA。 100nA。	0x0	R/W
[9:8]	BURNOUT_n	00 01 10 11	ADC セットアップ n におけるバーンアウト電流の値。 バーンアウト電流をオフ。 バーンアウト電流 = 0.5μA。 バーンアウト電流 = 2μA。 バーンアウト電流 = 4μA。	0x0	R/W
7	REF_BUFP_n	0 1	ADC セットアップ n における REFIN(+)のバッファ設定。 REFIN(+)のバッファをバイパス。 REFIN(+)のバッファをオン。	0x0	R/W
6	REF_BUFM_n	0 1	ADC セットアップ n における REFIN(-)のバッファ設定。 REFIN(-)のバッファをバイパス。 REFIN(-)のバッファをオン。	0x0	R/W

AD4129-4 のレジスタ

表 84. CONFIG_n レジスタのビット説明 (続き)

ビット	ビット名	設定	説明	リセット	アクセス
[5:4]	REF_SEL_n	00 01 10 11	ADC セットアップ n におけるリファレンスの選択。 REFIN1(+), REFIN1(-)。 REFIN2(+), REFIN2(-)。 REFOUT、AV _{SS} 。内部リファレンス。 AV _{DD} 、AV _{SS} 。	0x0	R/W
[3:1]	PGA_n	000 001 010 011 100 101 110 111	ADC セットアップ n における PGA ゲイン制御。PGA のゲインを制御します。同じ CONFIG_n レジスタの PGA_BYP_n が設定されている場合、PGA_n ビットは無視され、ゲインは 1 に固定されます。 ゲイン = 1。 ゲイン = 2。 ゲイン = 4。 ゲイン = 8。 ゲイン = 16。 ゲイン = 32。 ゲイン = 64。 ゲイン = 128。	0x0	R/W
0	PGA_BYP_n	0 1	PGA のバイパス・モードを設定するビット。このビットが設定されている場合、PGA はバイパス・モードとなり、同じ CONFIG_n レジスタの PGA フィールドの設定は無視されます。 PGA のバイパスをディスエーブル。 PGA のバイパスをイネーブル。	0x0	R/W

AD4129-4 のレジスタ

フィルタ n レジスタ (n = 0~7)

アドレス : 0x21~0x28 (1 ずつインクリメント)、リセット : 0x002030、レジスタ名 : FILTER_n (n = 0~7)

これらのレジスタを使用して、SETUP_m ビットフィールドを指定することで、CHANNEL_m レジスタで選択されるデジタル・フィルタに対して最大7種類のオプションを設定できます。

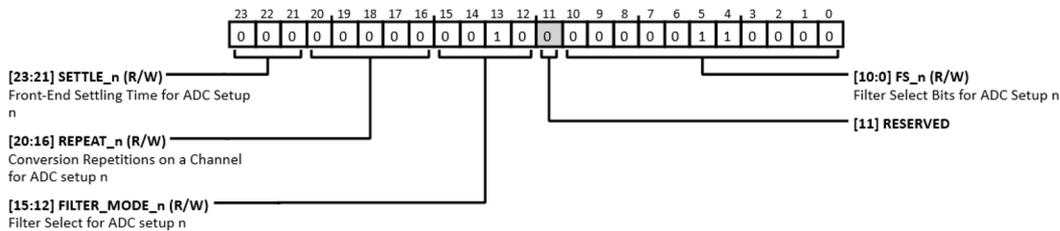


図 118.

表 85. FILTER_n レジスタのビット説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:21]	SETTLE_n		ADC セットアップ n のフロント・エンドのセトリング時間。入力のセトリング時間の変動に対応するため、チャンネルの変換が始まる前にデバイスが適当な時間だけ待機するように SETTLE_n ビットを設定できます。これが役立つのは、AINx 入力で励起電流が利用可能になった場合、または変換対象のチャンネルで PDSW がイネーブルになった場合です。このフロント・エンドのセトリング時間は、チャンネル変更後に毎回適用されます。REPEAT_n ビットの値で決定される後続の繰り返し変換には適用されません。	0x0	R/W
		000	32MCLK サイクル (416.6μs)。		
		001	64MCLK サイクル (833.3μs)。		
		010	128MCLK サイクル (1.66ms)。		
		011	256MCLK サイクル (3.33ms)。		
		100	512MCLK サイクル (6.66ms)。		
		101	1024MCLK サイクル (13.33ms)。		
		110	2048MCLK サイクル (26.66ms)。		
		111	4096MCLK サイクル (53.33ms)。		
[20:16]	REPEAT_n		ADC セットアップ n のチャンネルにおける変換の繰り返し回数。特定のチャンネルの変換が、REPEAT_n ビットで示された回数だけ繰り返されます。REPEAT_n が 0 の場合、繰返しは実行されず、チャンネルは 1 回だけ変換されます。REPEAT_n が N の場合、チャンネルの変換は、次のチャンネルを変換する前に N + 1 回実行されます。これらのビットは、デューティ・サイクルまたはいずれかの校正モードが有効化されている場合は使用されません。	0x0	R/W
[15:12]	FILTER_MODE_n		ADC セットアップ n におけるフィルタの選択。	0x2	R/W
		0000	Sinc ⁴ 。sinc ⁴ スタンドアロン・フィルタ。		
		0001	Sinc ⁴ + Sinc ¹ 。Sinc ⁴ 平均化モード・フィルタ。		
		0010	Sinc ³ 。sinc ³ スタンドアロン・フィルタ。		
		0011	Sinc ³ + REJ60。これにより、主ノッチ周波数の 6/5 倍の周波数で追加のノッチを生成することができます。最初的主ノッチ周波数が 50Hz (FS = 48) に設定されている場合、このモードでは 50SPS の更新レートで同時に 50Hz/60Hz の除去が可能になります。		
		0100	Sinc ³ + Sinc ¹ 。Sinc ³ 平均化モード・フィルタ。		
		0101	Sinc ³ + 後置フィルタ 1。ODR (Hz) = 26.087SPS。		
		0110	Sinc ³ + 後置フィルタ 2。ODR (Hz) = 24SPS。		
		0111	Sinc ³ + 後置フィルタ 3。ODR (Hz) = 19.355SPS。		
		1000	Sinc ³ + 後置フィルタ 4。ODR (Hz) = 16.21SPS。		
		1001 to 1111	予約済み。		

AD4129-4 のレジスタ

表 85. FILTER_n レジスタのビット説明 (続き)

ビット	ビット名	設定	説明	リセット	アクセス
11	RESERVED		予約済み。	0x0	R
[10:0]	FS_n		ADC セットアップ n のフィルタを選択するビット。これらのビットは、ADC セットアップ n における ADC の出力データレート (ODR) を制御します。FS = 0 は FS = 1 として扱います。	0x30	R/W

オフセット n レジスタ (n = 0~7)

アドレス : 0x29~0x30 (1 ずつインクリメント)、リセット : 0x8000、レジスタ名 : OFFSET_n (n = 0~7)

これらのレジスタは、CHANNEL_m レジスタで選択された対応する ADC セットアップ n におけるオフセット校正結果を格納します。

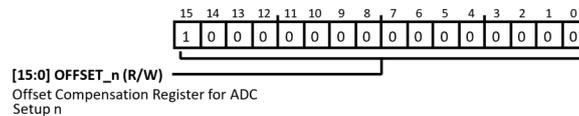


図 119.

表 86. OFFSET_n レジスタのビット説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:0]	OFFSET_n		ADC セットアップ n におけるオフセット補償レジスタ。内部校正またはシステム・オフセット校正の結果は、アクティブなチャンネルの CHANNEL_m レジスタの SETUP_m ビットで指定された OFFSET_n レジスタに書き込まれます。校正中は、1 つのチャンネルのみをアクティブにできます。OFFSET_n レジスタのデフォルト/リセット値は 0x8000 です。	0x8000	R/W

ゲイン n レジスタ (n = 0~7)

アドレス : 0x31~0x38 (1 ずつインクリメント)、リセット : 0xXXXX、レジスタ名 : GAIN_n (n = 0~7)

これらのレジスタは、CHANNEL_m レジスタで選択された対応する ADC セットアップ n のゲイン校正の結果を格納します。

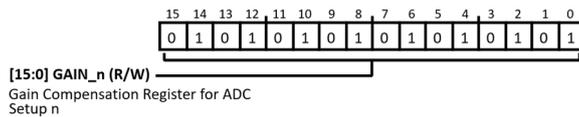


図 120.

表 87. GAIN_n レジスタのビット説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:0]	GAIN_n		ADC セットアップ n におけるゲイン補償レジスタ。内部校正またはシステム・ゲイン校正の結果は、アクティブなチャンネルの CHANNEL_m レジスタのセットアップ n ビットで指定された GAIN_n レジスタに書き込まれます。校正中は、1 つのチャンネルのみをアクティブにできます。GAIN_n レジスタの公称値は 0x5555 です。デバイスは、ゲインが 1、かつ PGA_BYN_n = 0 の状態で、周囲温度において工場校正されています。結果として得られたゲイン係数は、デフォルト/リセット値として GAIN_n レジスタにロードされています。	0xXXXX	R/W

AD4129-4 のレジスタ

補助レジスタ

アドレス : 0x39、リセット : 0x0000、レジスタ名 : MISC

発振器、LDO、校正およびスタンバイ・モードの設定を含んでいます。

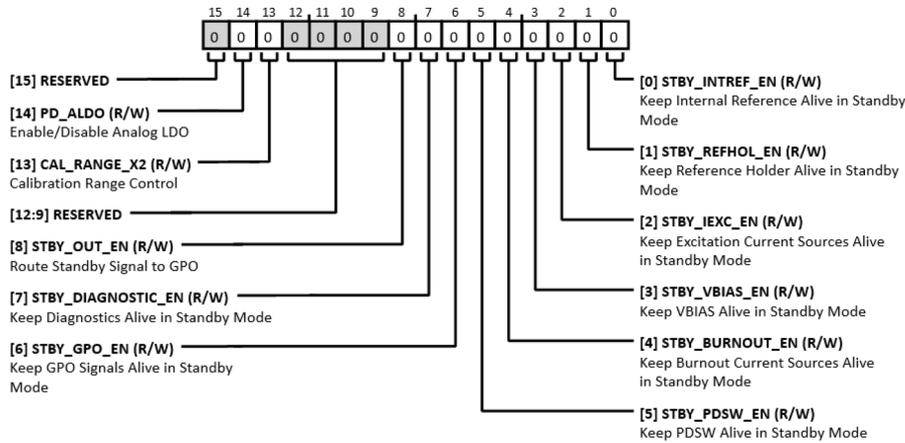


図 121.

表 88. MISC レジスタのビット説明

ビット	ビット名	設定	説明	リセット	アクセス
15	RESERVED		予約済み。このビットには常に 0 を書き込みます。	0x0	R/W
14	PD_ALDO	0 1	アナログ LDO をイネーブル/ディスエーブルにします。 0 アナログ LDO をオン。 1 アナログ LDO をオフ。	0x0	R/W
13	CAL_RANGE_X2	0 1	校正範囲の制御。このビットは、リファレンスが 2V より高い場合に内部ゲイン校正に使用されます。1 に設定すると、抵抗ストリングの出力電圧が 2 倍になり、内部ゲイン校正の結果が向上します。 0 ディスエーブル。 1 イネーブル。	0x0	R
[12:9]	RESERVED		予約済み。	0x0	R
8	STBY_OUT_EN	0 1	スタンバイ信号を GPO にルーティングします。1 に設定されると、GPO_CTRL_P2 および GPO_DATA_P2 の値は無視され、アクティブ・ローのスタンバイ信号が P2 に転送されます。デバイスがスタンバイ状態の場合、P2 ピンはローです。デバイスが変換中の場合、P2 はハイです。STBY_OUT_EN を 1 に設定すると、P2 がイネーブルかどうかは GPO_CTRL_P2 によって決定され、P2 の値が GPO_DATA_P2 によって決定されます。 0 P2 (AIN3) への信号なし。 1 スタンバイ信号を P2 (AIN3) へ。	0x0	R/W
7	STBY_DIAGNOSTICS_EN	0 1	スタンバイ・モード時に診断機能を維持します。診断機能がスタンバイ・モードでもアクティブを維持するのは、この機能が ERROR_EN レジスタでイネーブルに設定されている場合です。過電圧/低電圧検出エラーのような特定のエラー検出では (ERROR_EN レジスタを参照)、適切に機能するために発振器が動作していることが必要になります。しかし、スタンバイ・モードでは、内部発振器を使用する機能が有効になっていない場合、電力節約のために内部発振器をオフにすることができます。このビットの設定によって、デバイスは内部発振器を動作させ続けます。その場合、適切なエラー検出 (少なくとも 1 つの過電圧/低電圧エラーなど) もイネーブルにし、かつ ADC_CONTROL レジスタの CLK_SEL ビットによって内部発振器との動作を選択する必要があります。 0 スタンバイ・モードで診断機能が無効。 1 スタンバイ・モードで診断機能が有効。	0x0	R/W

AD4129-4 のレジスタ

表 88. MISC レジスタのビット説明 (続き)

ビット	ビット名	設定	説明	リセット	アクセス
6	STBY_GPO_EN	0 1	スタンバイ・モードでも GPO 信号を有効に保ちます。GPO は、IO_CONTROL レジスタでイネーブルにした場合、スタンバイ・モードでもアクティブを維持します。 0 スタンバイ・モードで GPO がディスエーブル。 1 スタンバイ・モードで GPO がイネーブル。	0x0	R/W
5	STBY_PDSW_EN	0 1	スタンバイ・モードで PDSW を有効に保ちます。 0 スタンバイ・モードでパワーダウン・スイッチがディスエーブル。 1 スタンバイ・モードでパワーダウン・スイッチがイネーブル。CHANNEL_m レジスタの PDSW_m 設定は、デバイスがスタンバイ状態の場合に ADC セットアップ n を使用するチャンネルにおいて、パワーダウン・スイッチが閉じるか開くかを決定します。	0x0	R/W
4	STBY_BURNOUT_EN	0 1	スタンバイ・モードでバーンアウト電流源を有効に保ちます。 0 スタンバイ・モードでバーンアウト電流がディスエーブル。 1 スタンバイ・モードでバーンアウト電流がイネーブル。CONFIG_n レジスタの BURNOUT_n 設定は、デバイスがスタンバイ状態のときに、ADC セットアップ n を使用するチャンネルでバーンアウト電流がイネーブルかどうかを決定します。	0x0	R/W
3	STBY_VBIAS_EN	0 1	スタンバイ・モードで VBIAS を有効に保ちます。 0 スタンバイ・モードで VBIAS がディスエーブル。 1 スタンバイ・モードで VBIAS がイネーブル。VBIAS レジスタの VBIAS 設定は、それぞれの AINx ピンに対して VBIAS がイネーブルかどうかを決定します。	0x0	R/W
2	STBY_IEXC_EN	0 1	スタンバイ・モードで励起電流源を有効に保ちます。 0 スタンバイ・モードで励起電流がディスエーブル。 1 スタンバイ・モードで励起電流がイネーブル。1 に設定されている場合、CONFIG_n レジスタの I_OUT0_n ビットまたは I_OUT1_n ビットは、デバイスがスタンバイ状態にある場合に、セットアップ n を使用するチャンネルで励起電流がイネーブルかどうかを決定します。対応する I_OUT0_n または I_OUT1_n のフィールドで指定された励起電流値は、スタンバイでも、CHANNEL_m レジスタの I_OUT0_CH_m および I_OUT1_CH_m の各フィールドで指定されたチャンネルに供給されます。	0x0	R/W
1	STBY_REFHOL_EN	0 1	スタンバイ・モードでリファレンス・ホルダを有効に保ちます。 0 スタンバイ・モードでリファレンス・ホルダがディスエーブル。 1 スタンバイ・モードでリファレンス・ホルダがイネーブル。	0x0	R/W
0	STBY_INTREF_EN	0 1	スタンバイ・モードでリファレンスを有効に保ちます。 0 スタンバイ・モードで内部リファレンスと REFOUT バッファがディスエーブル。 1 スタンバイ・モードで内部リファレンスと REFOUT バッファがイネーブル。	0x0	R/W

AD4129-4 のレジスタ

FIFO 制御レジスタ

アドレス : 0x3A、リセット : 0x040200、レジスタ名 : FIFO_CONTROL

FIFO バッファを操作するための制御ビット。

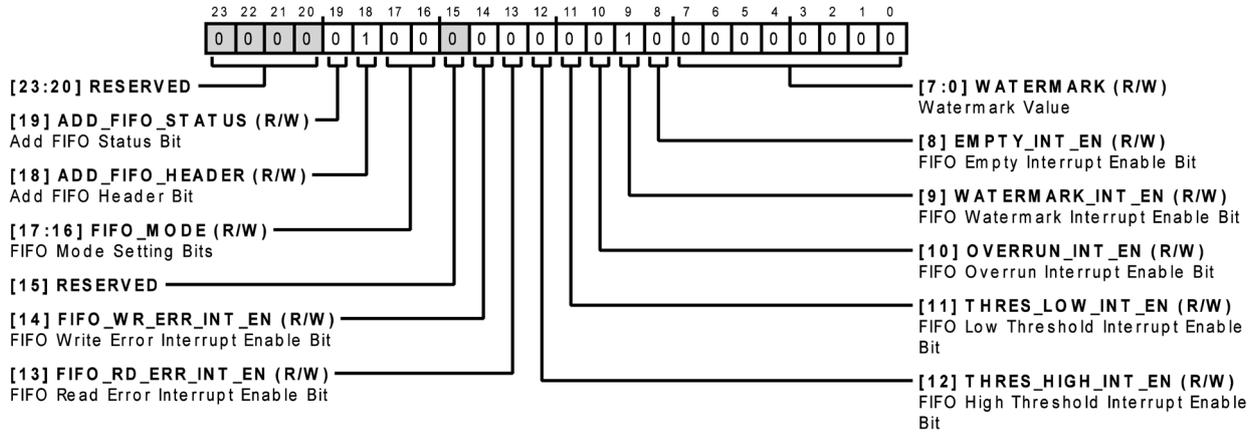


図 122.

表 89. FIFO_CONTROL レジスタのビット説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:20]	RESERVED		予約済み。	0x0	R
19	ADD_FIFO_STATUS	0 1	FIFO ステータスのビットを追加します。このビットを 1 に設定すると、FIFO 読出しコマンドの間、FIFO_STATUS ビットが FIFO_DATA ストリームの前に 1 回追加されます。このレジスタの ADD_FIFO_HEADER ビットも 1 に設定されている場合、FIFO_STATUS ビットが FIFO_HEADER + FIFO_DATA のリードバック・ストリームに 1 回追加されます。各サンプルには独自のヘッダがありますが、ステータスは 1 回だけ追加されます。 FIFO ステータスなし。 FIFO ステータスを追加します。	0x0	R/W
18	ADD_FIFO_HEADER	0 1	FIFO ヘッダのビットを追加します。このビットを 1 に設定すると、FIFO 読出しコマンドの間、FIFO_HEADER ビットが FIFO_DATA ビットの前に追加されます。各サンプルには独自のヘッダがあります。 FIFO ヘッダなし。 FIFO ヘッダを追加します。	0x1	R/W
[17:16]	FIFO_MODE	00 01 10 to 11	FIFO モードを設定するビット。これらのビットは、FIFO の動作モードを制御します。 00 ディスエーブル。FIFO はデフォルトでディスエーブルになっており、ADC のデータはデータ・レジスタを通じて読み出されます。 01 ウォーターマーク・モード。このモードでは、最初の N 回の変換 (N はウォーターマーク) が FIFO に格納されます。以降の新しい変換は破棄され、ウォーターマークまでの FIFO 内容が完全に読み出されるまでしか格納されません。FIFO からデータを読み出すと、FIFO はクリアされます。このモードでは、FIFO が時間内に読み出されなかったために新しいデータが破棄された場合、FIFO_STATUS レジスタの OVERRUN_FLAG が 1 に設定されます。 10 to 11 ストリーミング・モード。このモードでは、最新の変換が格納されず、FIFO 深度に達した場合 (ウォーターマーク値に関係なく)、古いデータが自動的に破棄され、新しいデータが格納されます。このモードでは、FIFO が満杯で古いデータが破棄された場合、FIFO_STATUS レジスタの OVERRUN_FLAG が 1 に設定されます。	0x0	R/W

AD4129-4 のレジスタ

表 89. FIFO_CONTROL レジスタのビット説明 (続き)

ビット	ビット名	設定	説明	リセット	アクセス
15	RESERVED		予約済み。このビットには常に 0 を書き込みます。	0x0	R/W
14	FIFO_WRITE_ERR_INT_EN	0 1	FIFO 書込みエラー割込みをイネーブルにするビット。このビットを 1 に設定すると、FIFO_STATUS レジスタの FIFO_WRITE_ERR によって、割込みイベントを選択された割込みピンでトリガすることが可能になります。 0 FIFO 書込みエラー割込みがディスエーブル。 1 FIFO 書込みエラー割込みがイネーブル。	0x0	R/W
13	FIFO_READ_ERR_INT_EN	0 1	FIFO 読出しエラー割込みをイネーブルにするビット。このビットを 1 に設定すると、FIFO_STATUS レジスタの FIFO_READ_ERR によって、割込みイベントを選択された割込みピンでトリガすることが可能になります。 0 FIFO 読出しエラー割込みがディスエーブル。 1 FIFO 読出しエラー割込みがイネーブル。	0x0	R/W
12	THRES_HIGH_INT_EN	0 1	FIFO 上限閾値割込みをイネーブルにするビット。このビットを 1 に設定すると、FIFO_STATUS レジスタの THRES_HIGH_FLAG によって、割込みイベントを選択された割込みピンでトリガすることが可能になります。 0 FIFO 上限閾値割込みがディスエーブル。 1 FIFO 上限閾値割込みがイネーブル。	0x0	R/W
11	THRES_LOW_INT_EN	0 1	FIFO 下限閾値割込みをイネーブルにするビット。このビットを 1 に設定すると、FIFO_STATUS レジスタの THRES_LOW_FLAG によって、割込みイベントを選択された割込みピンでトリガすることが可能になります。 0 FIFO 下限閾値割込みがディスエーブル。 1 FIFO 下限閾値割込みがイネーブル。	0x0	R/W
10	OVERRUN_INT_EN	0 1	FIFO オーバーラン割込みをイネーブルにするビット。このビットを 1 に設定すると、FIFO_STATUS レジスタの OVERRUN_FLAG によって、割込みイベントを選択された割込みピンでトリガすることが可能になります。 0 FIFO オーバーラン割込みがディスエーブル。 1 FIFO オーバーラン割込みがイネーブル。	0x0	R/W
9	WATERMARK_INT_EN	0 1	FIFO ウォーターマーク割込みをイネーブルにするビット。このビットを 1 に設定すると、FIFO_STATUS レジスタの WATERMARK_FLAG によって、割込みイベントを選択された割込みピンでトリガすることが可能になります。 0 FIFO ウォーターマーク割込みがディスエーブル。 1 FIFO ウォーターマーク割込みがイネーブル。	0x1	R/W
8	EMPTY_INT_EN	0 1	FIFO エンプティ割込みをイネーブルにするビット。このビットを 1 に設定すると、FIFO_STATUS レジスタの EMPTY_FLAG ビットによって、割込みイベントを選択された割込みピンでトリガすることが可能になります。この割込みは EMPTY_FLAG ビットと共にトリガします。 0 FIFO エンプティ割込みがディスエーブル。 1 FIFO エンプティ割込みがイネーブル。	0x0	R/W
[7:0]	WATERMARK		ウォーターマーク値。これらのビットは、FIFO_STATUS レジスタで WATERMARK_FLAG がアサートされる前に、サンプルの数を示します。 0x00 : 256 回の変換 (全 FIFO 長)。 0x01 : 1 回の変換 (推奨されません)。 ... 0xFF : 255 回の変換。	0x0	R/W

AD4129-4 のレジスタ

FIFO ステータス・レジスタ

アドレス : 0x3B、リセット : 0x01、レジスタ名 : FIFO_STATUS

FIFO がウォーターマーク・モードまたはストリーミング・モードのいずれかにある場合にのみトリガする、FIFO のエラー・フラグを格納します。

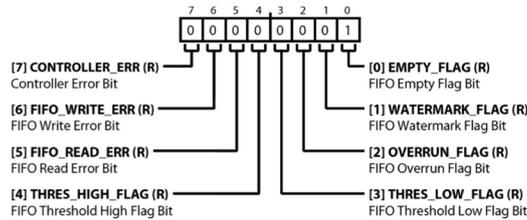


図 123.

表 90. FIFO_STATUS レジスタのビット説明

ビット	ビット名	設定	説明	リセット	アクセス
7	CONTROLLER_ERR	0 1	コントローラ・エラーの検出を示すビット。このビットは、エラー・レジスタのいずれかのエラーが設定されると 1 に設定されます。この CONTROLLER_ERR ビットが 1 に設定されると、ステータス・レジスタの CONTROLLER_ERR ビットも 1 に設定されます。 エラー検出なし。 コントローラ・エラーを検出。	0x0	R
6	FIFO_WRITE_ERR	0 1	FIFO 書き込みエラーの検出を示すビット。このビットは、ADC の変換結果が FIFO に正常に書き込まれなかったことを示すために設定されます。ウォーターマーク・モードでは、このビットが 1 に設定されるのは、現在進行中の FIFO 読出し要求のために ADC 変換が書き込まれない場合、またはウォーターマークに達したために ADC 変換が書き込まれない場合、更に FIFO が新しい変換を格納するために空にされない場合です。つまり、ウォーターマークに達すると FIFO は満杯として扱われ、FIFO が空になるまでその状態が維持されます（詳細については、FIFO_CONTROL レジスタの FIFO MODE ビットを参照）。この場合、このビットは、FIFO_STATUS レジスタの OVERRUN_FLAG エラーのように機能します。ストリーミング・モードでは、現在進行中の FIFO 読出し要求のために ADC 変換が書き込まれない場合に、このビットが 1 に設定されます。どちらの FIFO モードでも、FIFO が空になると、このビットが 0 に設定されます。このエラーによる割込みは、エラー・フラグと共に設定およびクリアされます。	0x0	R
5	FIFO_READ_ERR	0 1	FIFO 読出しエラーの検出を示すビット。このビットは、ADC 変換が FIFO に現在書き込まれているために FIFO に対する読出し要求が失敗した場合に 1 に設定されます。このビットは、FIFO 読出し要求が受け入れられた場合、または FIFO が空になった場合に 0 に設定されます。このエラーに関連付けられた割込みが、エラー・ビットと共に設定およびクリアされます。	0x0	R
4	THRES_HIGH_FLAG	0 1	FIFO 上限閾値フラグの発生を示すビット。このフラグは、変換結果が FIFO_THRESHOLD レジスタの THRES_HIGH_VAL ビットで設定された上限閾値以上になったかどうかを示します。CHANNEL_m レジスタの THRES_EN_m が設定されていると、FIFO に格納された CHANNEL_m の変換データが FIFO_THRESHOLD レジスタの THRES_HIGH_VAL ビットの値以上になった場合に、このビットは 1 に設定されます。FIFO が空になると、このビットは 0 に設定されます。このフラグに関連付けられた割込みが、このビットと共に設定およびクリアされます。	0x0	R
3	THRES_LOW_FLAG	0 1	FIFO 下限閾値フラグの発生を示すビット。このフラグは、変換結果が FIFO_THRESHOLD レジスタの THRES_LOW_VAL ビットで設定された下限閾値以下になったかどうかを示します。CHANNEL_m レジスタの THRES_EN_m が設定されていると、FIFO に格納された CHANNEL_m の変換データが FIFO_THRESHOLD レジスタの THRES_LOW_VAL ビットの値以下になった場合に、このビットは 1 に設定されます。FIFO が空になると、このビットは 0 に設定されます。このフラグに関連付けられた割込みが、このビットと共に設定およびクリアされます。	0x0	R

AD4129-4 のレジスタ

表 90. FIFO_STATUS レジスタのビット説明 (続き)

ビット	ビット名	設定	説明	リセット	アクセス
		0	フラグのトリガなし。		
		1	FIFO 下限閾値フラグがトリガ。		
2	OVERRUN_FLAG	0	FIFO オーバーラン・エラーの発生を示すビット。このビットは FIFO モードに応じて設定されます。ウォーターマーク・モードでは、FIFO が時間内に空にならなかったために新しい変換データが FIFO において破棄された場合、OVERRUN_FLAG が 1 に設定されます。ストリーミング・モードでは、FIFO が既に満杯のときに新しいデータを格納するために FIFO 内の古いデータが廃棄された場合、OVERRUN_FLAG が 1 に設定されます。FIFO が空になると、このビットは 0 に設定されます。このフラグに関連付けられた割込みが、このビットと共に設定およびクリアされます。	0x0	R
		0	フラグのトリガなし。		
		1	オーバーラン・フラグがトリガ。		
1	WATERMARK_FLAG	0	FIFO ウォーターマーク・フラグの発生を示すビット。このビットは、FIFO がウォーターマークで示されたサンプル数を格納していることを示します。このビットは、FIFO_CONTROL レジスタのウォーターマーク・フィールドに示されたサンプル数以上が FIFO に含まれている場合に 1 に設定されます。FIFO のサンプル数がウォーターマーク・フィールドで示された数を下回ると、このビットは 0 に設定されます。このフラグに関連付けられた割込みが、このビットと共に設定およびクリアされます。	0x0	R
		0	フラグのトリガなし。		
		1	ウォーターマーク・フラグがトリガ。		
0	EMPTY_FLAG	0	FIFO エンプティ・フラグの発生を示すビット。FIFO が空になると、このビットは 1 に設定されます。FIFO が空になるのは、FIFO がイネーブルになっているがデータでまだ初期化されていない場合、FIFO の最後のエントリが読み出された場合、FIFO に対するクリア・コマンドが成功した場合、FIFO がディスエーブルの場合であり、このフラグはデフォルトで 1 に設定されます。FIFO に少なくとも 1 つのエントリがあると、このビットは 0 に設定されます。このフラグに関連付けられた割込みが、このビットと共に設定およびクリアされます。	0x1	R
		0	フラグのトリガなし。		
		1	エンプティ・フラグがトリガ。		

FIFO 閾値レジスタ

アドレス : 0x3C、リセット : 0xFFFF000、レジスタ名 : FIFO_THRESHOLD

FIFO の上限閾値と下限閾値を格納します。

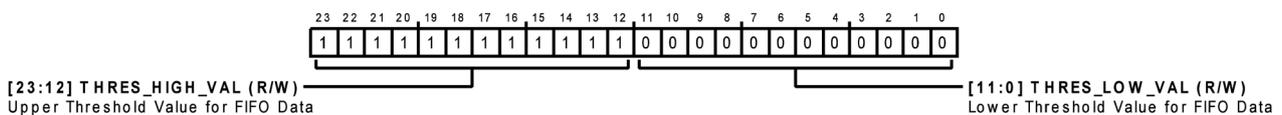


図 124.

表 91. FIFO_THRESHOLD レジスタのビット説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:12]	THRES_HIGH_VAL		FIFO データの上限閾値。CHANNEL_m の対応する THRES_EN_m が設定されている場合に、FIFO に格納された変換結果が THRES_HIGH_VAL に設定された値以上になると、FIFO_STATUS レジスタの THRES_HIGH_FLAG ビットが 1 に設定されます。閾値は疑似的に静的であると仮定されています。そのため、閾値の比較が確実に有効となるよう、ADC 変換を変更した後は、FIFO をフラッシュしてから ADC 変換を再開することが推奨されます。	0xFFFF	R/W

AD4129-4 のレジスタ

表 91. FIFO_THRESHOLD レジスタのビット説明 (続き)

ビット	ビット名	設定	説明	リセット	アクセス
[11:0]	THRES_LOW_VAL		FIFO データの下限閾値。CHANNEL_m の対応する THRES_EN_m が設定されている場合に、FIFO に格納されている変換結果が THRES_LOW_VAL に設定された値以下になると、FIFO_STATUS レジスタの THRES_LOW_FLAG ビットが 1 に設定されます。閾値は疑似的に静的であると仮定されています。そのため、閾値の比較が確実に有効となるよう、ADC 変換を変更した後は、FIFO をフラッシュしてから ADC 変換を再開することが推奨されます。	0x0	R/W

FIFO データ・レジスタ

アドレス : 0x3D、リセット : 0x0000、レジスタ名 : FIFO_DATA

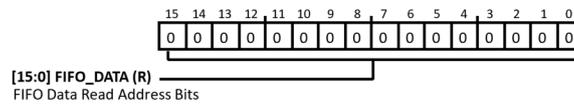


図 125.

表 92. FIFO_DATA レジスタのビット説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:0]	FIFO_DATA		FIFO データ読み出しアドレスのビットこのアドレスで SPI 読み出しコマンドを実行して FIFO 内容を読み出します。	0x0	R

外形寸法

Package Drawing (Option)	Package Type	Package Description
CP-32-12	LFCSP	32-Lead Lead Frame Chip Scale Package

最新のパッケージ外形情報およびランド・パターン（フットプリント）については、[パッケージ一覧](#)を参照してください。

更新：2024年4月20日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
AD4129-4BCPZ-RL7	-40°C to +125°C	32-Lead LFCSP	Reel, 1500	CP-32-12

¹ Z = RoHS 準拠製品。

評価用ボード

Model ^{1, 2}	Description
EVAL-AD4129-8WARDZ	Evaluation Board
EVAL-SDP-CK1Z	Evaluation Board

¹ Z = RoHS 準拠製品。

² EVAL-AD4129-8WARDZ は AD4129-4 の評価用に使用できます。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024年10月29日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2024年10月29日

製品名：AD4129-4

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：42頁、左の段、励起電流の項、下から5行目

【誤】

「MISCレジスタの STB EN IEXC ビットを1に設定することでデバイスがスタンバイ・モードになっている場合に、・・・」

【正】

「MISCレジスタの STBY IEXC EN ビットを1に設定することでデバイスがスタンバイ・モードになっている場合に、・・・」