



単電源、マルチチャンネル 125kSPS、24ビット ±10V 入力のシグマ・デルタ ADC

データシート

AD4115

特長

AFE 内蔵の 24 ビット ADC

高速かつ柔軟な出力レート：2.5SPS~125kSPS

チャンネル・スキャン・データ・レート：チャンネルあたり
24,845SPS（セトリング時間：40.25μs）

50Hz と 60Hz のコモンモード除去比：

チャンネルあたり 20SPS で 85dB

±10V の入力、8 つの差動または 16 のシングルエンド

VIN ピンの絶対最大定格：±65V

絶対入力ピン電圧：最大±20V

インピーダンス：最小 1MΩ

2.5V のリファレンスを内蔵

初期精度：25°C で±0.12%、

ドリフト：±5ppm/°C（代表値）

内部または外部クロック

電源

AVDD = 4.5V~5.5V

IOVDD = 2V~5.5V

合計消費電流 AVDD + IOVDD (I_{DD}) = 10.4mA

温度範囲：-40°C~+105°C

3 線式または 4 線式のシリアル・デジタル・インターフェース

（シュミット・トリガ付き SCLC）

SPI、QSPI、MICROWIRE、DSP 互換

アプリケーション

プロセス制御

プログラマブル・ロジック・コントローラ（PLC）および

分散型制御システム（DCS）モジュール

計測器および測定

概要

AD4115 は、低消費電力、低ノイズ、24 ビットのシグマ・デルタ (Σ-Δ) A/D コンバータ (ADC) で、完全差動またはシングルエンドで±10V の高インピーダンス (≥1MΩ) パイポラ電圧入力用にアナログ・フロント・エンド (AFE) を内蔵しています。

このデバイスはアナログおよびデジタルの主要なシグナル・コンディショニング・ブロックを内蔵しており、使用するアナログ入力チャンネルごとに 8 つの個別の設定が可能です。完全にセトリングされたデータの最大チャンネル・スキャン・レートは 24,845kSPS (40.25μs) です。

2.5V、低ドリフト (±5ppm/°C) の内部バンドギャップ・リファレンス（出力リファレンス・バッファ付き）が組み込まれており、外付け部品数を減らすことができます。

デジタル・フィルタにより、27.27SPS の出力データ・レートで 50Hz と 60Hz の同時除去を行うなど、柔軟な設定が可能です。様々なフィルタ設定の中から、アプリケーションの各チャンネルの条件に応じた選択が可能です。ADC は、自動チャンネル・シーケンサにより、イネーブルされた各チャンネルの切替えを行います。

AD4115 の高精度性能は、アナログ・デバイセズが独自に開発した iPassives[®] 技術の実装により実現しています。また、仕様規定されている精度が得られるように出荷時に補正されています。

AD4115 は単電源で動作し、ガルバニック絶縁アプリケーション向けに容易に導入可能です。仕様規定されている動作温度範囲は -40°C~+105°C です。デバイスは、6mm × 6mm の 40 ピン LFCSP パッケージに収容されています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2020 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大 阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	キャリブレーション・モード	31
アプリケーション	1	デジタル・インターフェース	32
概要	1	チェックサム保護	32
改訂履歴	2	CRC の計算	33
機能ブロック図	3	内蔵機能	35
仕様	4	汎用入出力	35
タイミング特性	6	外部マルチプレクサの制御	35
絶対最大定格	8	遅延	35
熱抵抗	8	16 ビット/24 ビット変換	35
静電放電 (ESD) 定格	8	DOUT_RESET	35
ESD に関する注意	8	同期	35
ピン配置およびピン機能の説明	9	エラー・フラグ	36
代表的な性能特性	11	DATA_STAT 機能	36
動作原理	14	IOSTRENGTH 機能	36
電源	15	内部温度センサー	37
デジタル・コミュニケーション	15	アプリケーション情報	38
AD4115 のリセット	15	グラウンディングとレイアウト	38
設定の概要	17	レジスタの一覧	39
ノイズ性能と分解能	20	レジスタの詳細	41
回路の説明	22	コミュニケーション・レジスタ	41
マルチプレクサ	22	ステータス・レジスタ	42
電圧入力	22	ADC モード・レジスタ	43
絶対入力ピン電圧	23	インターフェース・モード・レジスタ	44
データ出力コーディング	23	レジスタ・チェック	45
AD4115 のリファレンス・オプション	23	データ・レジスタ	45
バッファ付きリファレンス入力	24	GPIO 設定レジスタ	46
クロック源	24	ID レジスタ	47
デジタル・フィルタ	26	チャンネル・レジスタ 0~チャンネル・レジスタ 15	47
sinc5 + sinc1 フィルタ	26	セットアップ設定レジスタ 0~セットアップ設定レジスタ 748	48
sinc3 フィルタ	26	フィルタ設定レジスタ 0~フィルタ設定レジスタ 7	49
シングルサイクル・セトリング・モード	26	オフセット・レジスタ 0~オフセット・レジスタ 7	50
50Hz と 60Hz を除去するエンハンスト・フィルタ	27	ゲイン・レジスタ 0~ゲイン・レジスタ 7	50
動作モード	29	外形寸法	51
連続変換モード	29	オーダー・ガイド	51
連続読出しモード	29		
シングル変換モード	29		
スタンバイ・モードとパワーダウン・モード	31		

改訂履歴

7/2020—Revision 0: Initial Version

機能ブロック図

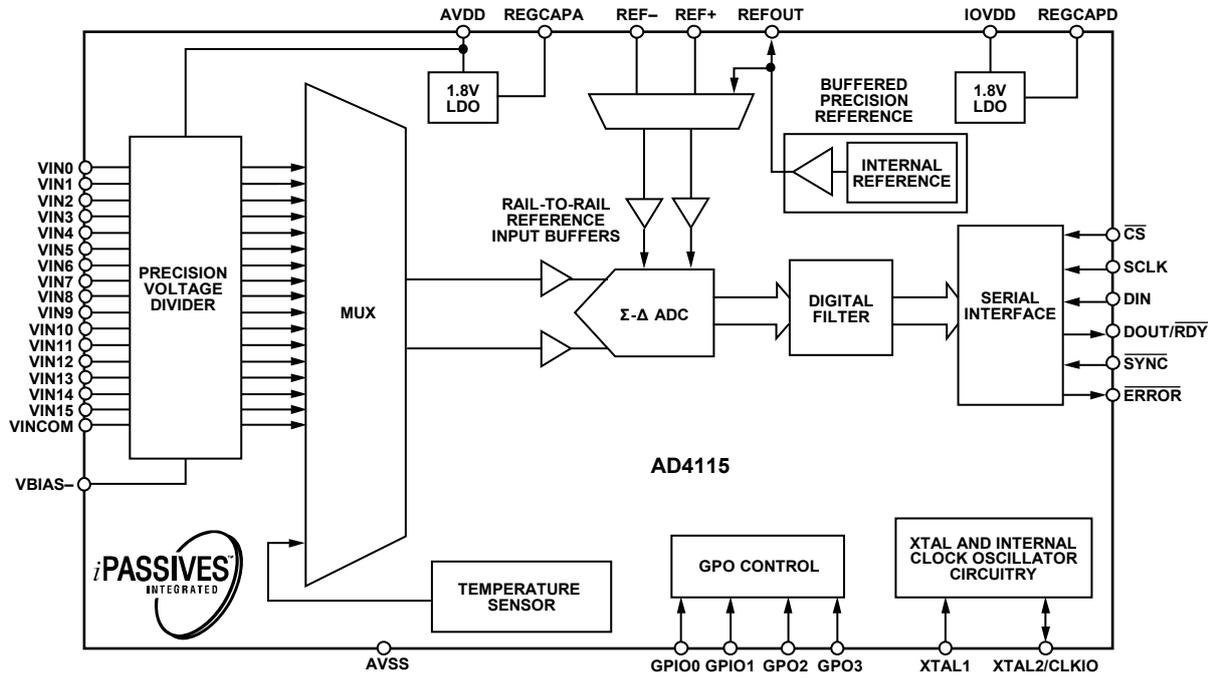


図 1.

23874-001

仕様

特に指定のない限り、AVDD = 4.5V ~ 5.5V、IOVDD = 2V ~ 5.5V、AVSS = 0V、DGND = 0V、VBIAS- = 0V、REF+ = 2.5V、REF- = AVSS、内部マスタ・クロック (MCLK) = 8MHz、T_A = T_{MIN} ~ T_{MAX} (-40°C ~ +105°C)。V_{REF} はリファレンス電圧、FS はフルスケール、FSR はフルスケール・レンジです。

表 1.

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
VOLTAGE INPUTS					
Differential Input Voltage Range ¹	仕様規定された性能 実用上	-10		+10	V
Absolute Input Pin Voltage		-V _{REF} × 10		+V _{REF} × 10	V
Input Impedance		-20		+20	V
Offset Error ²	T _A = 25°C	1	±1.5		MΩ
Offset Drift			±8		mV
Gain Error	T _A = 25°C		±0.05		μV/°C
Gain Drift			±1		% FS
Integral Nonlinearity (INL)			±0.01		ppm/°C
Total Unadjusted Error (TUE) ³	T _A = 25°C、内部 V _{REF}			0.07	% FSR
	0°C ~ 105°C、内部 V _{REF}			0.1	% FSR
	-40°C ~ +105°C、内部 V _{REF}			0.12	% FSR
	25°C、外部 V _{REF}			0.07	% FSR
	-40°C ~ +105°C、外部 V _{REF}			0.08	% FSR
Power Supply Rejection Ratio (PSRR)	AVDD は入力電圧 (V _{IN}) が 1V の場合の値		70		dB
Common-Mode Rejection Ratio (CMRR)	V _{IN} = 1V				
At DC			85		dB
At 50 Hz and 60 Hz	20Hz の出力データ・レート (フィルタ通過後)、50Hz ± 1Hz および 60Hz ± 1Hz		120		dB
Normal Mode Rejection ³	50Hz ± 1Hz および 60Hz ± 1Hz				
	内部クロック、20SPS ODR (フィルタ通過後)	71	90		dB
	外部クロック、20SPS ODR (フィルタ通過後)	85	90		dB
Resolution	表 16 および表 17 を参照してください				
Noise	表 16 および表 17 を参照してください				
ADC SPEED AND PERFORMANCE					
ADC Output Data Rate (ODR)	1 チャンネル (表 16 参照)。	2.5		125,000	SPS
No Missing Codes ³	sinc3 フィルタの 62.5kHz 以上のノッチを除く	24			Bits
INTERNAL REFERENCE					
Output Voltage	100nF のコンデンサを AVSS に外付け AVSS 基準の REFOUT		2.5		V
Initial Accuracy ^{3,4}	REFOUT、T _A = 25°C	-0.12		+0.12	%
Temperature Coefficient			±5	+12	ppm/°C
Reference Load Current (I _{LOAD})		-10		+10	mA
PSRR	AVDD (ライン・レギュレーション)		95		dB
Load Regulation (ΔV _{OUT} /ΔI _{LOAD} ⁵)			32		ppm/mA
Voltage Noise (e _N)	0.1Hz ~ 10Hz、2.5V リファレンス		4.5		μV rms
Voltage Noise Density	1kHz、2.5V リファレンス		215		nV/√Hz
Turn On Settling Time	100nF の REFOUT コンデンサ		200		μs
Short-Circuit Current (I _{SC})			25		mA
EXTERNAL REFERENCE INPUTS					
Differential Input Range	V _{REF} = (REF+) - (REF-)	1	2.5	AVDD	V
Absolute Voltage Limits					
Buffers Disabled		AVSS - 0.05		AVDD + 0.05	V
Buffers Enabled		AVSS		AVDD	V
External Reference Input Current					

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
Buffers Disabled			±36		μA/V
Input Current			±1.2		nA/V/°C
Input Current Drift	外部クロック		±3		nA/V/°C
	内部クロック				
Buffers Enabled			±400		nA
Input Current			0.6		nA/°C
Input Current Drift					
Normal Mode Rejection			95		dB
CMRR					
TEMPERATURE SENSOR					
Accuracy	25°Cでのユーザ・キャリブレーション後		±2		°C
Sensitivity			477		μV/K
GENERAL-PURPOSE OUTPUTS (GPIO0, GPIO1, GPO2, GPO3)	AVSS 基準の値				
Floating State Output Capacitance			5		pF
Output Voltage ³					
High (V _{OH})	ソース電流 (I _{SOURCE}) = 200μA	AVDD - 1			V
Low (V _{OL})	シンク電流 (I _{SINK}) = 800μA			AVSS + 0.4	V
CLOCK					
Internal Clock					
Frequency			8		MHz
Accuracy		-2.5%		+2.5%	%
Duty Cycle			50		%
Output Voltage					
V _{OH}		0.8 × IOVDD			V
V _{OL}				0.4	V
Crystal					
Frequency		14	16	16.384	MHz
Start-Up Time			10		μs
External Clock (CLKIO)			8	8.192	MHz
Duty Cycle		30	50	70	%
LOGIC INPUTS					
Input Voltage ³					
High (V _{INH})	2V ≤ IOVDD < 2.3V	0.65 × IOVDD			V
	2.3V ≤ IOVDD ≤ 5.5V	0.7 × IOVDD			V
Low (V _{INL})	2V ≤ IOVDD < 2.3V			0.35 × IOVDD	V
	2.3V ≤ IOVDD ≤ 5.5V			0.7	V
Hysteresis	IOVDD ≥ 2.7V	0.08		0.25	V
	IOVDD < 2.7V	0.04		0.2	V
Leakage Current		-10		+10	μA
LOGIC OUTPUT (DOUT/RDY)					
Output Voltage ³					
V _{OH}	IOVDD ≥ 4.5V, I _{SOURCE} = 1mA	0.8 × IOVDD			V
	2.7V ≤ IOVDD < 4.5V, I _{SOURCE} = 500μA	0.8 × IOVDD			V
	IOVDD < 2.7V, I _{SOURCE} = 200μA	0.8 × IOVDD			V
V _{OL}	IOVDD ≥ 4.5V, I _{SINK} = 2mA			0.4	V
	2.7V ≤ IOVDD < 4.5V, I _{SINK} = 1mA			0.4	V
	IOVDD < 2.7V, I _{SINK} = 400μA			0.4	V
Leakage Current ³	フローティング状態	-10		+10	μA
Output Capacitance	フローティング状態		10		pF
POWER REQUIREMENTS					
Power Supply Voltage					

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
AVDD to AVSS		4.5		5.5	V
AVSS to DGND		-2.75		0	V
IOVDD to DGND		2		5.5	V
IOVDD to AVSS	AVSS < DGND の場合			6.35	V
POWER SUPPLY CURRENTS ⁶	全出力が無負荷、デジタル入力は IOVDD または DGND に接続				
Full Operating Mode					
AVDD Current	内部リファレンスを含む		9.4	11.5	mA
IOVDD Current	内部クロック		1.4	1.8	mA
Standby Mode	全 V _{IN} = 0V		210		μA
Power-Down Mode	全 V _{IN} = 0V		185		μA
POWER DISSIPATION					
Full Operating Mode			52		mW
Standby Mode			1		mW
Power-Down Mode			925		μW

- ¹ 全仕様が±10Vの差動入力信号に対して確保されていますが、このデバイスは、最大±V_{REF}×10の差動入力信号まで機能します。ただし、正常に機能するためには、仕様規定されている絶対ピン電圧を超えてはいけません。
- ² システムのゼロスケール・キャリブレーションを実行した後、オフセット誤差は、選択したプログラム済み出力データ・レートのノイズ・レベルとほぼ同等になります。
- ³ これらの値に対する出荷テストは行われていませんが、量産開始時の特性評価データにより確認されています。
- ⁴ この仕様には、湿度感度レベル (MSL) のプリコンディショニングの影響が含まれています。
- ⁵ V_{OUT}は出力電圧です。
- ⁶ この仕様は、REFOUTピンとデジタル出力ピンに負荷が接続されていない場合のものであります。

タイミング特性

特に指定のない限り、IOVDD = 2V~5.5V、DGND = 0V、入力ロジック 0 = 0V、入力ロジック 1 = IOVDD、容量性負荷 (C_{LOAD}) = 20pF。

表 2.

Parameter ^{1, 2}	T _{MIN} またはT _{MAX} での限界値	単位	テスト条件/コメント
SCLK			
t ₃	25	ns min	SCLK ハイ・パルス幅
t ₄	25	ns min	SCLK ロー・パルス幅
READ OPERATION			
t ₁	0	ns min	CSの立下がりエッジから DOUT/RDYのアクティブ化までの時間
	15	ns max	IOVDD = 4.75V~5.5V
	40	ns max	IOVDD = 2V~3.6V
t ₂ ³	0	ns min	SCLKのアクティブ・エッジからデータ有効化までの遅延 ⁴
	12.5	ns max	IOVDD = 4.75V~5.5V
	25	ns max	IOVDD = 2V~3.6V
t ₅ ⁵	2.5	ns min	CSの非アクティブ・エッジ後のバス放棄時間
	20	ns max	
t ₆	0	ns min	SCLKの非アクティブ・エッジからCSの非アクティブ・エッジまで
t ₇	10	ns min	SCLKの非アクティブ・エッジからDOUT/RDYのハイ/ローまで
WRITE OPERATION			
t ₈	0	ns min	CSの立下がりエッジからSCLKのアクティブ・エッジ・セットアップまでの時間 ⁴
t ₉	8	ns min	データが有効になってからSCLKのエッジ・セットアップまでの時間
t ₁₀	8	ns min	データが有効になってからSCLKのエッジ保持までの時間
t ₁₁	5	ns min	CSの立下がりエッジからSCLKのエッジ保持までの時間

- ¹ 初期リリース時のサンプル・テストにより、適合性が確保されています。
- ² 図 2 および図 3 を参照。
- ³ このパラメータは、出力がV_{OL}制限値もしくはV_{OH}制限値を横切るために要する時間で定義されています。
- ⁴ SCLKのアクティブ・エッジはSCLKの立下がりエッジです。
- ⁵ DOUT/RDYはデータ・レジスタの読出し後にハイに戻ります。シングル変換モードと連続変換モードでは、DOUT/RDYがハイの間、必要に応じて同じデータを再度読み出すことができます。後続の読出し動作は次の出力更新付近では行わないよう注意してください。連続読出し機能を有効化すると、デジタル・ワードは1回しか読み出すことができません。

タイミング図

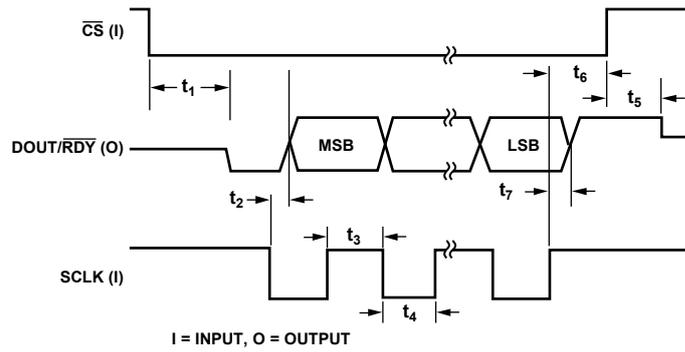


図 2. 読み出しサイクルのタイミング図

23874-002

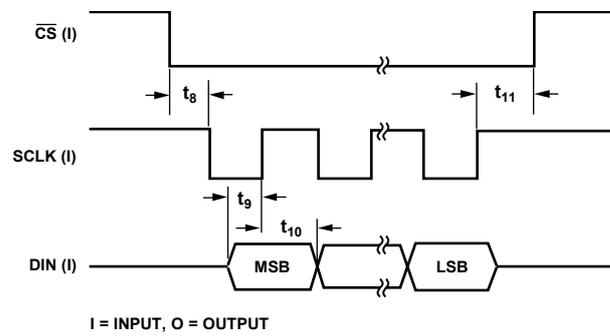


図 3. 書き込みサイクルのタイミング図

23874-003

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Rating
AVDD to AVSS	-0.3 V to +6.5 V
AVDD to DGND	-0.3 V to +6.5 V
IOVDD to DGND	-0.3 V to +6.5 V
IOVDD to AVSS	-0.3 V to +7.5 V
AVSS to DGND	-3.25 V to +0.3 V
VINx to AVSS	-65 V to +65 V
Reference Input Voltage to AVSS	-0.3 V to AVDD + 0.3 V
Digital Input Voltage to DGND	-0.3 V to IOVDD + 0.3 V
Digital Output Voltage to DGND	-0.3 V to IOVDD + 0.3 V
Digital Input Current	10 mA
Operating Temperature Range	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Maximum Junction Temperature	150°C
Lead Soldering, Reflow Temperature	260°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は最も厳しい条件、すなわち、回路基板に表面実装パッケージをハンダ付けした状態で仕様規定されています。

θ_{JC} はジャンクションとパッケージ・ケースとの間の熱抵抗です。

表 4. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
CP-40-15 ¹	34 ²	2.63 ³	°C/W

¹ 4 層 JEDEC PCB。

² 熱抵抗のシミュレーション値は、16 のサーマル・ビアを持つ JEDEC 2S2P 熱試験 PCB に基きます。 θ_{JA} は、表面実装パッケージ用に JEDEC 熱試験 PCB にハンダ付けされたデバイスに対して仕様規定されています。JEDEC JESD51 を参照してください。

³ 冷却板を PCB の底面に取り付け、露出パッドで測定しています。

静電放電（ESD）定格

次の ESD 情報は、ESD に敏感なデバイスを ESD 保護領域内においてのみ取り扱う場合のものです。

人体モデル（HBM）は、ANSI/ESDA/JEDEC JS-001 に準拠しています。

帯電デバイス・モデル（CDM）は、ANSI/ESDA/JEDEC JS-002 に準拠しています。

AD4115 の ESD 定格

表 5. AD4115、40 ピン LFCSP

ESD Model	Withstand Threshold (v)	Class
HBM	±1000	1C
CDM	±1250	C3

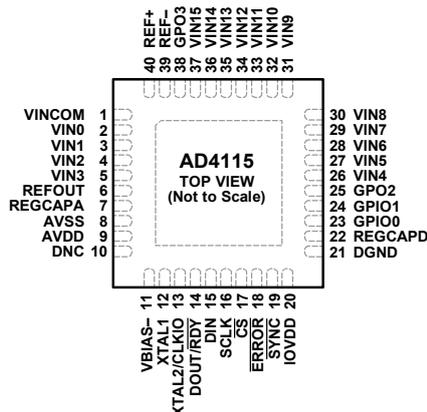
ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



- NOTES
1. DNC = DO NOT CONNECT. DO NOT CONNECT ANYTHING TO DNC. DNC IS INTERNALLY CONNECTED TO AVSS.
 2. EXPOSED PAD. SOLDER THE EXPOSED PAD TO A SIMILAR PAD ON THE PCB THAT IS UNDER THE EXPOSED PAD TO CONFER MECHANICAL STRENGTH TO THE PACKAGE AND FOR HEAT DISSIPATION. THE EXPOSED PAD MUST BE CONNECTED TO AVSS THROUGH THIS PAD ON THE PCB.

図 4. ピン配置

表 6. ピン機能の説明

ピン番号	記号 ¹	タイプ ²	説明
1	VINCOM	AI	電圧入力コモン。電圧入力シングルエンドとして構成されている場合、この入力は VINCOM を基準とします。VINCOM はアナログ・グラウンドに接続してください。
2	VIN0	AI	電圧入力 0。VIN0 は、シングルエンド構成の場合は VINCOM を基準とし、差動構成の場合は VIN1 との入力ペアの正入力を基準とします。
3	VIN1	AI	電圧入力 1。VIN1 は、シングルエンド構成の場合は VINCOM を基準とし、差動構成の場合は VIN0 との入力ペアの負入力を基準とします。
4	VIN2	AI	電圧入力 2。VIN2 は、シングルエンド構成の場合は VINCOM を基準とし、差動構成の場合は VIN3 との入力ペアの正入力を基準とします。
5	VIN3	AI	電圧入力 3。VIN3 は、シングルエンド構成の場合は VINCOM を基準とし、差動構成の場合は VIN2 との入力ペアの負入力を基準とします。
6	REFOUT	AO	内部リファレンス・バッファ出力。出力は、AVSS を基準として 2.5V です。0.1μF のコンデンサを使用して、REFOUT を AVSS ヘドカップリングします。
7	REGCAPA	AO	アナログ低ドロップアウト (LDO) レギュレータの出力。1μF のコンデンサと 0.1μF のコンデンサを使用して、REGCAPA を AVSS ヘドカップリングします。
8	AVSS	P	負のアナログ電源。AVSS の範囲は -2.75V ~ 0V で、公称 0V に設定されています。
9	AVDD	P	アナログ電源電圧。AVDD の範囲は、AVSS を基準として 3.0V ~ 5.5V です。
10	DNC	N/A	接続なし。DNC には接続しないでください。DNC は内部で AVSS に接続されています。
11	VBIAS-	AI	負の電圧バイアス。VBIAS- は、電圧入力 AFE 用のバイアス電圧です。VBIAS- は AVSS に接続します。
12	XTAL1	AI	水晶発振器用の入力 1
13	XTAL2/CLKIO	AI/DI	水晶発振器用の入力 2 / クロック入出力。詳細については、ADC モード・レジスタのセクションの CLOCKSEL ビットの設定を参照してください。
14	DOUT/RDY	DO	シリアル・データ出力 / データ・レディ出力。この DOUT/RDY デュアル・パーパス・ピンは、ADC の出力シフト・レジスタにアクセスするためのシリアル・データ出力ピンとして機能します。出力シフト・レジスタには、内蔵するどのデータ・レジスタまたはコントロール・レジスタからのデータでも格納できます。データワード情報またはコントロール・ワード情報は SCLK の立下がりエッジで DOUT/RDY ピンに与えられ、SCLK の立下がりエッジで有効となります。CS がハイ・レベルのとき、DOUT/RDY 出力はスリーステートになります。CS がロー・レベルで、レジスタが読み出し中でない場合、DOUT/RDY は、データ・レディ・ピンとして機能し、ロー・レベルに下がると変換完了を示します。変換後にデータが読み出されないと、次の更新が行われる前にこのピンはハイ・レベルになります。DOUT/RDY の立下がりエッジはプロセッサに対する割込みとして使用でき、有効なデータが準備できていることを示します。
15	DIN	DI	ADC の入力シフト・レジスタへのシリアル・データ入力。入力シフト・レジスタのデータは、ADC 内のコントロール・レジスタに転送され、該当するレジスタは、コミュニケーション・レジスタのレジスタ・アドレス (RA) ビットにより指定されます。データは、SCLK の立下がりエッジでクロックインされます。
16	SCLK	DI	シリアル・クロック入力。SCLK シリアル・クロック入力は、ADC とのデータ転送に使用します。SCLK にはシュミット・トリガ入力があります。
17	CS	DI	チップ・セレクト入力。CS は ADC を選択するために使用するアクティブ・ローのロジック入力です。CS は、シリアル・バスに複数のデバイスが接続されているシステムで ADC を選択するときに使います。CS をロー・レベルにハードワイヤ接続することにより、デバイスとのインターフェースに SCLK、DIN、DOUT/RDY を使った 3 線式モードで ADC を動作させることができます。CS がハイ・レベルのとき、DOUT/RDY 出力はスリーステートになります。

ピン番号	記号 ¹	タイプ ²	説明
18	ERROR	DI/O	エラー入出力または汎用出力。ERRORは、以下の3つのモードのいずれかで使うことができます。 アクティブ・ローのエラー入力モード。このモードでは、ステータス・レジスタのADC_ERRORビットがセットされます。 アクティブ・ローのオープンドレイン・エラー出力モード。ステータス・レジスタのエラー・ビットはERRORピンにマップされます。複数のデバイスのどのエラーも検知できるように、それらのデバイスのERRORピンを、共通のプルアップ抵抗に接続することができます。 汎用出力モード。このピンのステータスは、GPIOCONレジスタのERR_DATビットによって制御されません。ERRORは、IOVDDとDGNDの間の電圧を基準にしています。
19	SYNC	DI	同期入力。SYNCによって、複数のデバイスの使用時にデジタル・フィルタとアナログ変調器との同期が可能となります。
20	IOVDD	P	デジタル入出力電源電圧。IOVDDの電圧範囲は、2V~5.5V（公称値）です。IOVDDはAVDDとは無関係です。例えば、AVDDが5Vの状態でも、IOVDDは3.3Vで動作します。その逆も可能です。AVSSを-2.5Vに設定した場合、IOVDDの電圧は3.6Vを超えてはなりません。
21	DGND	P	デジタル・グラウンド。
22	REGCAPD	AO	デジタルLDOレギュレータ出力。REGCAPDはデカップリング専用です。1μFのコンデンサを使用して、REGCAPDをDGNDへデカップリングします。
23	GPIO0	DI/O	汎用入出力0。GPIO0のロジック入出力は、AVDD電源とAVSS電源を基準としています。
24	GPIO1	DI/O	汎用入出力1。GPIO1のロジック出力は、AVDD電源とAVSS電源を基準としています。
25	GPO2	DO	汎用出力2。GPO2のロジック出力は、AVDD電源とAVSS電源を基準としています。
26	VIN4	AI	電圧入力4。VIN4は、シングルエンド構成の場合はVINCOMを基準とし、差動構成の場合はVIN5との入力ペアの正入力を基準とします。
27	VIN5	AI	電圧入力5。VIN5は、シングルエンド構成の場合はVINCOMを基準とし、差動構成の場合はVIN4との入力ペアの負入力を基準とします。
28	VIN6	AI	電圧入力6。VIN6は、シングルエンド構成の場合はVINCOMを基準とし、差動構成の場合はVIN7との入力ペアの正入力を基準とします。
29	VIN7	AI	電圧入力7。VIN7は、シングルエンド構成の場合はVINCOMを基準とし、差動構成の場合はVIN6との入力ペアの負入力を基準とします。
30	VIN8	AI	電圧入力8。VIN8は、シングルエンド構成の場合はVINCOMを基準とし、差動構成の場合はVIN9との入力ペアの正入力を基準とします。
31	VIN9	AI	電圧入力9。VIN9は、シングルエンド構成の場合はVINCOMを基準とし、差動構成の場合はVIN8との入力ペアの負入力を基準とします。
32	VIN10	AI	電圧入力10。VIN10は、シングルエンド構成の場合はVINCOMを基準とし、差動構成の場合はVIN11との入力ペアの正入力を基準とします。
33	VIN11	AI	電圧入力11。VIN11は、シングルエンド構成の場合はVINCOMを基準とし、差動構成の場合はVIN10との入力ペアの負入力を基準とします。
34	VIN12	AI	電圧入力12。VIN12は、シングルエンド構成の場合はVINCOMを基準とし、差動構成の場合はVIN13との入力ペアの正入力を基準とします。
35	VIN13	AI	電圧入力13。VIN13は、シングルエンド構成の場合はVINCOMを基準とし、差動構成の場合はVIN12との入力ペアの負入力を基準とします。
36	VIN14	AI	電圧入力14。VIN14は、シングルエンド構成の場合はVINCOMを基準とし、差動構成の場合はVIN15との入力ペアの正入力を基準とします。
37	VIN15	AI	電圧入力15。VIN15は、シングルエンド構成の場合はVINCOMを基準とし、差動構成の場合はVIN14との入力ペアの負入力を基準とします。
38	GPO3	DO	汎用出力3。GPO3のロジック出力は、AVDD電源とAVSS電源を基準としています。
39	REF-	AI	リファレンス入力負端子。REF-電圧の範囲は、AVSS~AVDD-1Vです。このリファレンスは、セットアップ設定レジスタのREF_SELxビットを介して選択できます。
40	REF+	AI	リファレンス入力正端子。外部リファレンスをREF+とREF-の間に与えることができます。REF+電圧の範囲は、AVDD~AVSS+1Vです。このリファレンスは、セットアップ設定レジスタのREF_SELxビットを介して選択できます。
	EP	P	露出パッド。露出パッドは、パッケージの機械的強度と放熱効果を高めるため、露出パッドの下のPCBにある同様のパッドにハンダ付けします。露出パッドは、PCB上のこのパッドを介してAVSSに接続する必要があります。

¹ このデータシートでは、ピン記号が2つある場合、該当する機能によってのみ参照されます。

² AIはアナログ入力、AOはアナログ出力、Pは電源、N/Aは該当なし、DIはデジタル入力、DOはデジタル出力、DI/Oは双方向デジタル入出力です。

代表的な性能特性

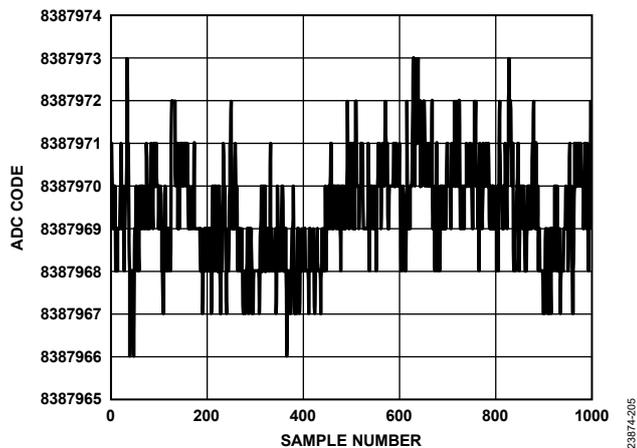


図 5. ノイズ (出力データ・レート = 2.5SPS)

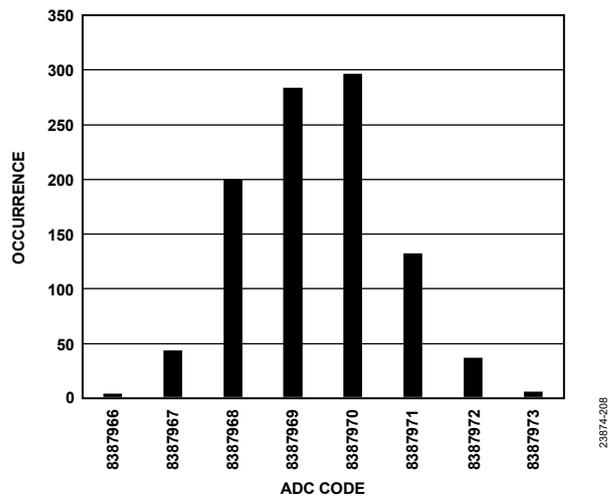


図 8. ヒストグラム (出力データ・レート = 2.5SPS)

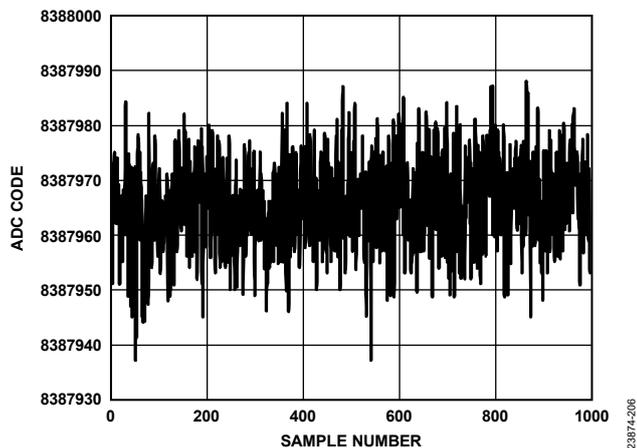


図 6. ノイズ (出力データ・レート = 2.5kSPS)

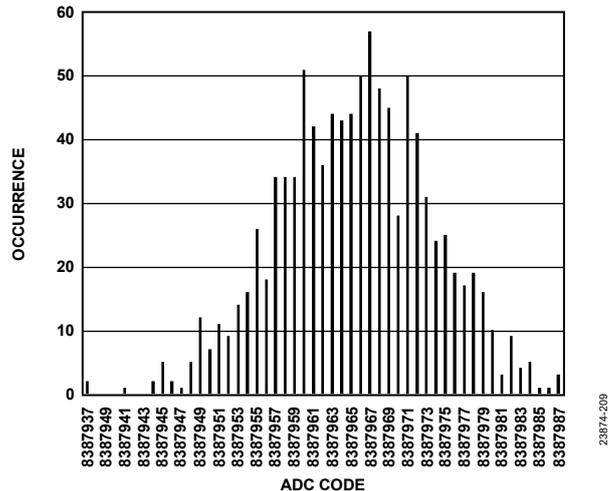


図 9. ヒストグラム (出力データ・レート = 2.5kSPS)

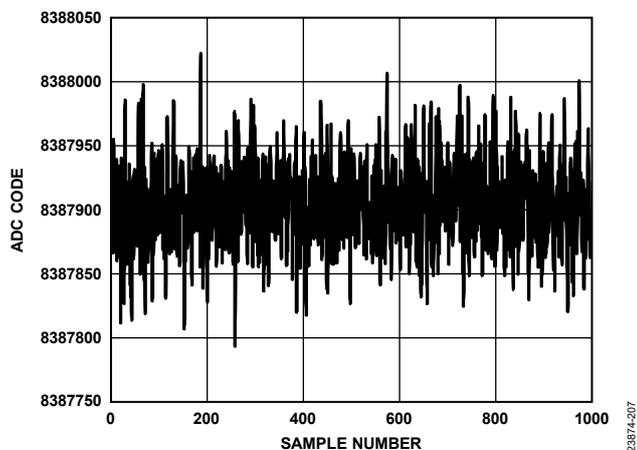


図 7. ノイズ (出力データ・レート = 125kSPS)

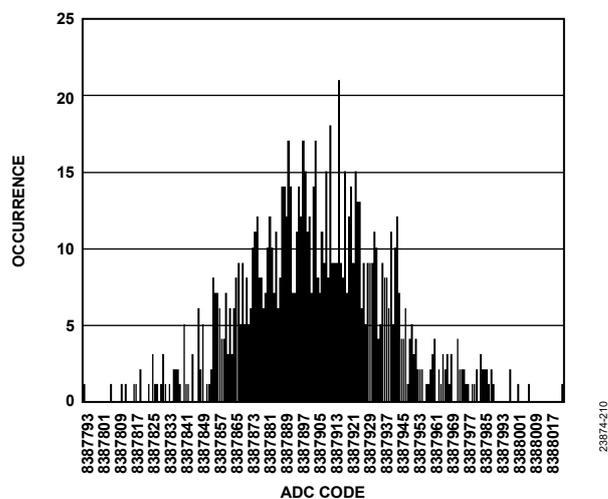


図 10. ヒストグラム (出力データ・レート = 125kSPS)

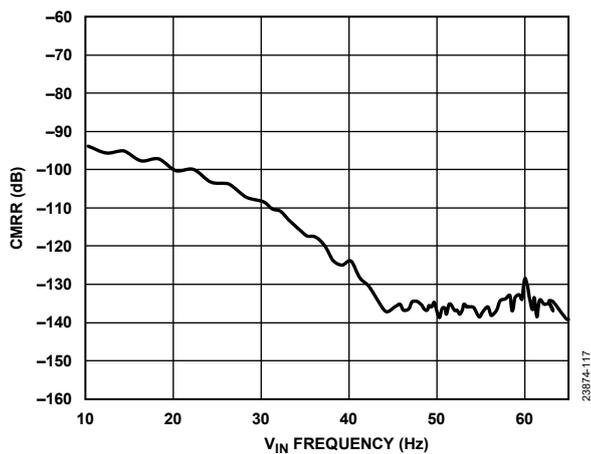


図 11. CMRR と V_{IN} 周波数の関係 ($V_n = 0.1V$ 、出力データ・レート = 20SPS、エンハンスド・フィルタ)

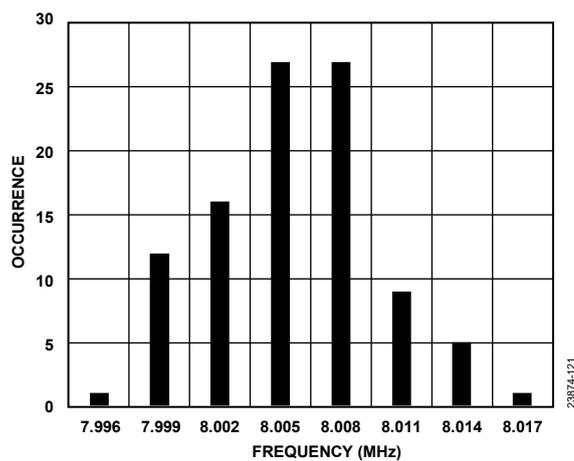


図 14. 内部発振器の周波数と精度分布ヒストグラム

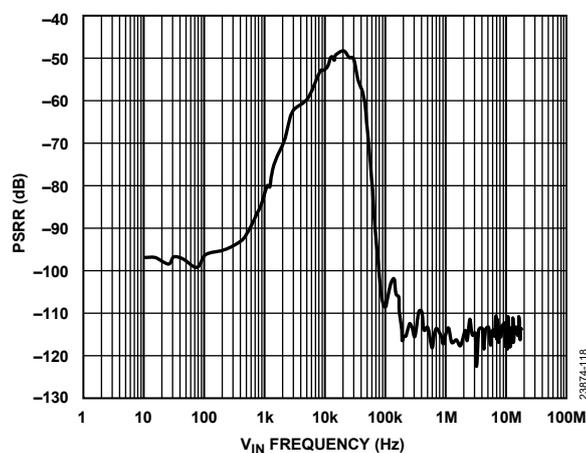


図 12. PSRR と V_{IN} 周波数の関係

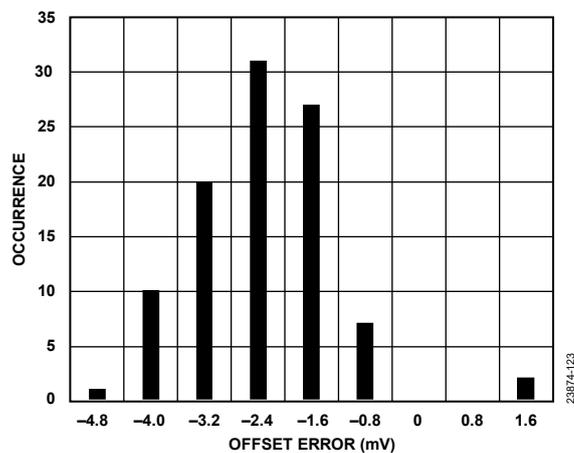


図 15. オフセット誤差分布ヒストグラム

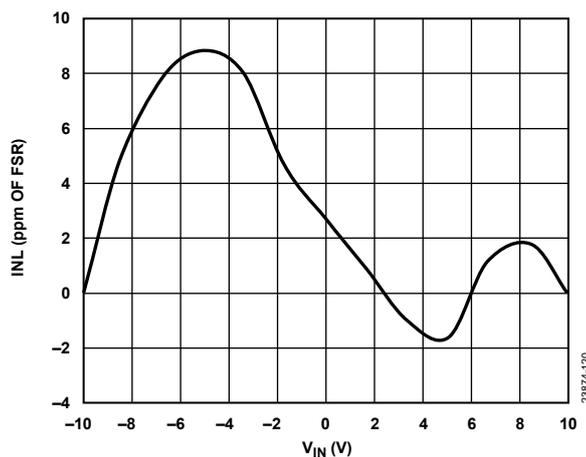


図 13. INL と V_{IN} の関係

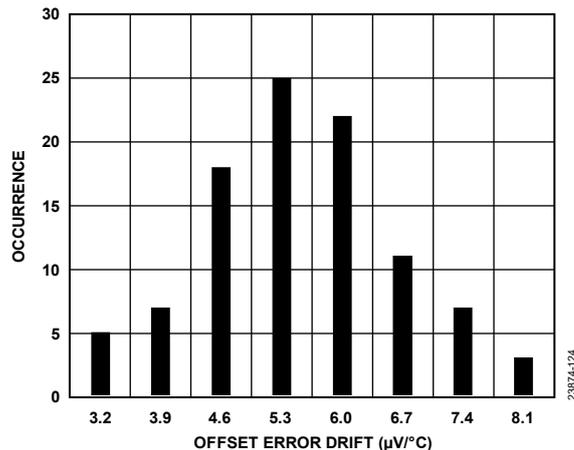


図 16. オフセット誤差ドリフト分布ヒストグラム

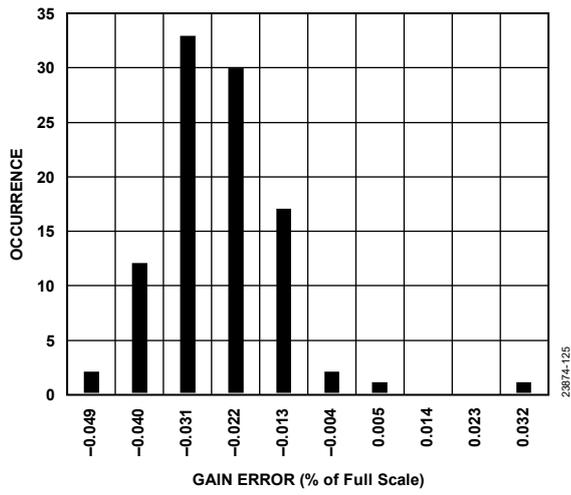


図 17. ゲイン誤差分布ヒストグラム

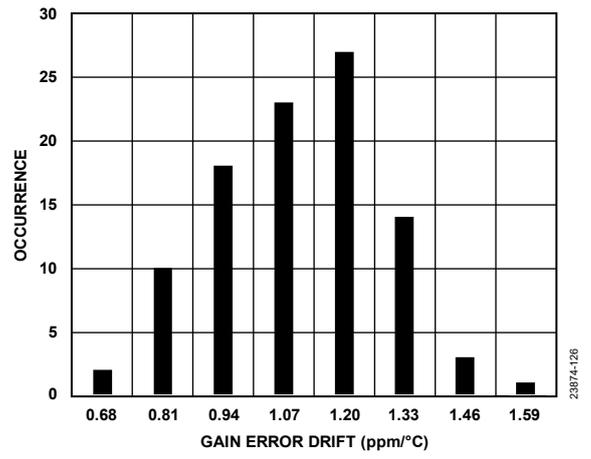


図 18. ゲイン誤差ドリフト分布ヒストグラム

動作原理

AD4115 は、設定機能の優れた、高速セトリングおよび高分解能のマルチプレクス型 ADC で、次の機能を備えています。

- 8 チャンネルの完全差動電圧入力または 16 チャンネルのシングルエンド電圧入力。
- 高精度整合抵抗を内蔵した高インピーダンス分圧器。
- 小さいデバイス・フットプリントに組み込まれた独自の *iPassives*[®] テクノロジー。
- チャンネルごとに最大 8 つの異なるセットアップを定義でき、柔軟な設定が可能。個別のセットアップをチャンネルごとにマップできます。各セットアップでは、バッファのイネーブル/ディスエーブル、ゲインおよびオフセット補正、フィルタ・タイプ、ODR、リファレンス源の選択が設定できます。
- 詳細に設定可能なデジタル・フィルタにより、シングル・チャンネルで最大 125kSPS の変換レートと 24.845kSPS のスイッチングが可能。

AD4115 は高精度で低ドリフト ($\pm 5\text{ppm}/^\circ\text{C}$) の 2.5V バンドギャップ・リファレンスを内蔵しています。ADC 変換にこのリファレンスを使用すると、外付け部品の数を削減できます。イネーブルすると、内部リファレンスが REFOUT ピンに出力されます。この内部リファレンスは外部回路用の低ノイズ・バイアス電圧として使用することが可能で、 $0.1\mu\text{F}$ のデカップリング・コンデンサに接続する必要があります。

AD4115 は、アナログ回路とデジタル回路に 2 つの個別のリニア・レギュレータ・ブロックを内蔵しています。アナログ LDO レギュレータは、AVDD 電源を 1.8V に調整します。

デジタル IOVDD 電源用のリニア電圧レギュレータは、LDO レギュレータと同様の機能を実行し、IOVDD ピンに印加された入力電圧を 1.8V に調整します。シリアル・インターフェース信号は、常にこのピンの IOVDD 電源で動作します。例えば、IOVDD ピンに 3.3V が印加されている場合、インターフェース・ロジックの入出力は、この電圧レベルで動作します。

AD4115 は、PLC モジュールや DCS モジュールなど、多くのファクトリ・オートメーションやプロセス制御用のアプリケーション向けに設計されており、全体的なシステム・コストと設計負担を軽減し、高い精度を維持します。AD4115 は以下に示すシステム上の利点を備えています。

- 一台の 5V 単電源。
- 最低 $1\text{M}\Omega$ の入力インピーダンスを確保。
- $\pm 10\text{V}$ を超えるオーバーレンジ電圧。
- キャリブレーション・コストの軽減。
- 高チャンネル数。

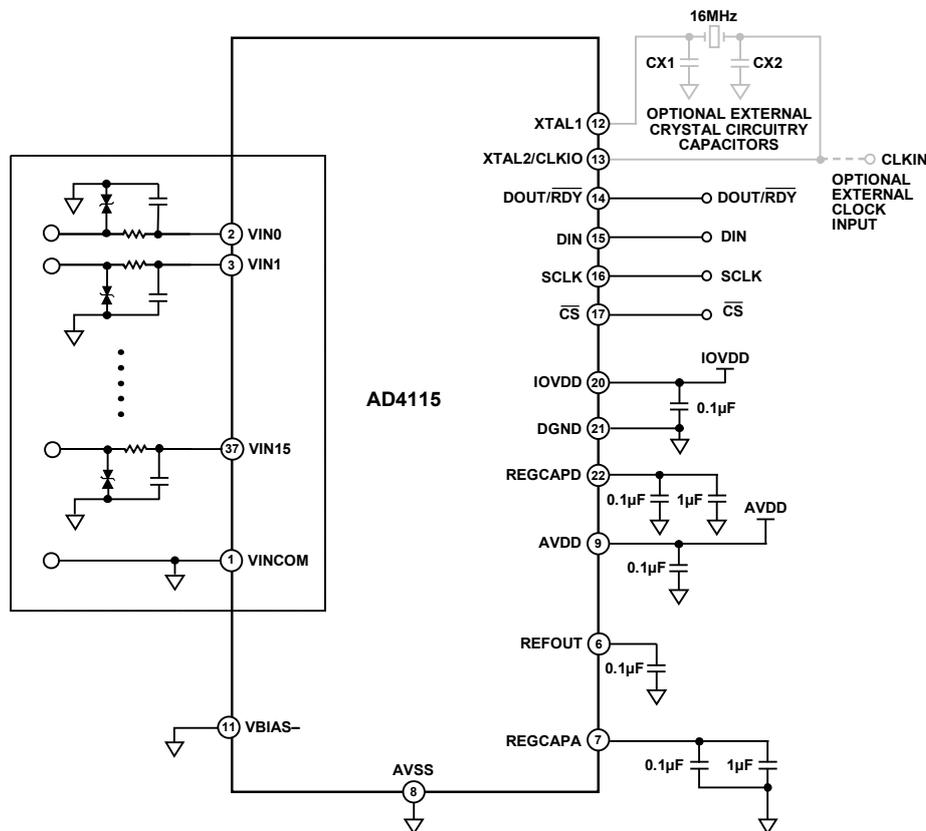


図 19. 代表的な接続図

2387A-010

電源

AD4115には、AVDDとIOVDDの2つの独立した電源ピンがあります。AD4115の電源シーケンスには特定の条件はありません。ただし、すべての電源が安定したら、デバイスをリセットする必要があります。デバイスをリセットする方法の詳細については、[AD4115のリセット](#)のセクションを参照してください。

AVDDは内蔵の1.8VアナログLDOレギュレータに電力を供給し、このレギュレータはADCコアに電力を供給します。AVDDはクロスポイント・マルチプレクサと内蔵入力バッファにも電力を供給します。AVDDはAVSSを基準としており、AVDD - AVSS = 5Vです。AVDDとAVSSは一台の5V単電源、または分離した±2.5Vの電源を使用できます。分離電源を使用する場合は、絶対最大定格を考慮してください（[絶対最大定格](#)のセクションを参照してください）。

IOVDDは内蔵の1.8VデジタルLDOレギュレータに電力を供給し、このレギュレータはADCデジタル・ロジックに電力を供給します。IOVDDにより、ADCのシリアル・ペリフェラル・インターフェース（SPI）の電圧レベルが設定されます。IOVDDはDGNDを基準とし、IOVDD - DGNDの範囲は2V（最小値）～5.5V（最大値）が可能です。

単電源動作（AVSS = DGND）

AD4115がAVDDに接続された単電源から給電される場合、電源は5Vである必要があります。この構成では、AVSSとDGNDを1つのグラウンド・プレーンで短絡することができます。

このユニポーラ入力構成では、IOVDDの範囲は2V～5.5Vです。

デジタル・コミュニケーション

AD4115は、QSPI™、MICROWIRE®、およびデジタル・シグナル・プロセッサ（DSP）と互換性のある3線式または4線式のSPIインターフェースを備えています。このインターフェースはSPIモード3で動作し、CSをロー・レベルに接続した状態で動作させることができます。SPIモード3の場合、SCLKはアイドル・ハイになり、SCLKの立下がりエッジが駆動エッジ、立上がりエッジがサンプル・エッジです。データは立下がりの（駆動）エッジに同期して出力され、立上りの（サンプル）エッジに同期して入力されます。

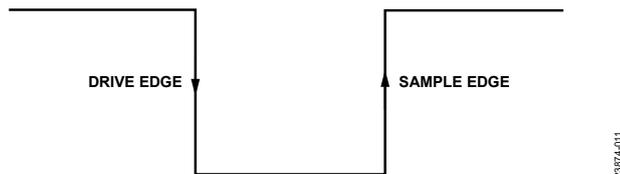


図 20. SPI モード 3 の SCLK のエッジ

ADC のレジスタ・マップへのアクセス

コミュニケーション・レジスタは、ADC のレジスタ・マップ全体へのアクセスを制御しています。このレジスタは 8 ビットの書き込み専用レジスタです。パワーアップ時またはリセット後、デジタル・インターフェースはデフォルトでコミュニケーション・レジスタへの書き込み待ちの状態になります。したがって、すべての通信はコミュニケーション・レジスタへの書き込みによって開始されます。

コミュニケーション・レジスタへのデータ書き込みによって、どのレジスタにアクセスするか決定され、次の動作が書き込みまたは読出しのどちらであるかも決定されます。RA ビット（レジス

タ・アドレス 0x00 のビット [5 : 0]) により、どのレジスタに対して読出しまたは書き込みが実行されるか決まります（[表 20](#) 参照）。

選択されたレジスタの読出し動作または書き込み動作が完了すると、インターフェースはデフォルト状態、すなわち、コミュニケーション・レジスタへの書き込み動作待ちの状態に戻ります。

レジスタへの書き込み動作とレジスタからの読出し動作を[図 21](#)と[図 22](#)に示します。まず、8 ビット・コマンドをコミュニケーション・レジスタに書き込んだ後、アドレス指定されたレジスタのデータを書き込みます。

[図 21](#)に、レジスタ・アドレスの後に 8 ビット、16 ビット、または 24 ビットのデータが続く 8 ビット・コマンドを示します。DIN のデータ長は選択したレジスタによって決まります。[図 22](#)に、レジスタ・アドレスの後に 8 ビット、16 ビット、24 ビット、または 32 ビットのデータが続く 8 ビット・コマンドを示します。DOUT のデータ長は選択したレジスタによって決まります。

デバイスとの正確な通信を検証するには、ID レジスタを読み出します。ID レジスタは読出し専用のレジスタで、AD4115 では 0x38DX という値が格納されています。コミュニケーション・レジスタと ID レジスタの詳細については、[表 7](#)と[表 8](#)を参照してください。

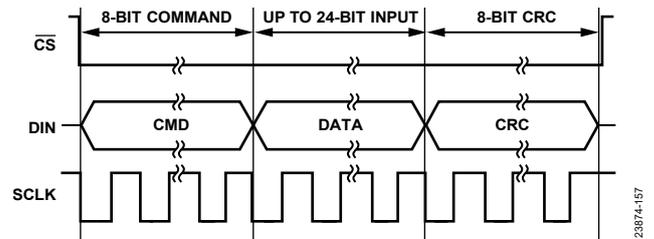


図 21. レジスタへの書き込み

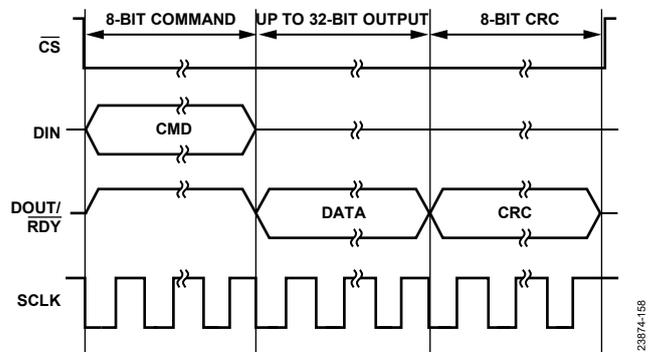


図 22. レジスタからの読出し

AD4115 のリセット

パワーアップ・サイクルが完了し電源が安定したら、デバイスをリセットする必要があります。インターフェースの同期が失われた場合も、デバイスをリセットする必要があります。DIN がハイ・レベルの状態、少なくとも 64 シリアル・クロック・サイクルの書き込み動作が実行されると、レジスタの内容を含むデバイスのすべての設定がリセットされ、ADC はデフォルト状態に戻ります。あるいは、CS をデジタル・インターフェースと一緒に使用し、CS をハイ・レベルに戻すと、デジタル・インターフェースがデフォルト状態に設定され、すべてのシリアル・インターフェース動作が停止します。

表 7. コミュニケーション・レジスタのビット・マップ

Register	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x00	COMMS	[7:0]	\overline{WEN}	R/\overline{W}	RA						0x00	W

表 8. ID レジスタのビット・マップ

Register	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
0x07	ID	[15:0]	ID									0x38DX ¹	R

¹ Xはドントケア。

設定の概要

パワーオンまたはリセット後の AD4115 のデフォルト設定は、次のとおりです。

- チャンネル設定：チャンネル 0 がイネーブルされ、VIN0 と VIN1 のペアが入力として選択されています。セットアップ 0 が選択されます（詳細は、[セットアップ設定](#)のセクションを参照してください）。
- セットアップ設定：アナログ入力バッファとリファレンス入力バッファがディスエーブルされています。REF+ピンと REF-ピンはリファレンス源として選択されています。この設定では、VINx 入力に対して入力バッファをイネーブルする必要があるので、デフォルトのチャンネルは正常に動作しないことに注意してください。
- フィルタ設定：sinc5 + sinc1 フィルタが選択されており、125kSPS の最大出力データ・レートが選択されています。
- ADC モード：連続変換モードと内部発振器がイネーブルされ、内部リファレンスがディスエーブルされています。
- インターフェース・モード：巡回冗長検査（CRC）とデータおよびステータス出力がディスエーブルされています。

この例で示したレジスタ設定オプションはほんの一部であることに留意してください。すべてのレジスタの情報については、[レジスタの詳細](#)のセクションを参照してください。

ADC の設定を変更するときの推奨フローの概要を [図 23](#) に示します。このフローは次の 3 つのブロックに分かれています。

- チャンネル設定。
- セットアップ設定。
- ADC モードとインターフェース・モードの設定。

チャンネル設定

AD4115 は 16 の独立したチャンネルと 8 つの独立したセットアップを備えています。あらゆるチャンネルで任意の入力ペアを選択でき、あらゆるチャンネルで 8 つのセットアップのいずれも選択できるため、チャンネル設定に関する完全な柔軟性が得られます。また、この柔軟性により各チャンネルで専用のセットアップを適用できるため、差動入力およびシングルエンド入力を使用している際はチャンネルごとの構成も可能です。

チャンネル・レジスタ

チャンネル・レジスタは、対応するチャンネルに使用される電圧入力を選択します。各チャンネル・レジスタには、チャンネル・イネーブル/ディスエーブル・ビットや、8 個の使用可能なセットアップから選択してこのチャンネルで使用するためのセットアップ選択ビットが含まれています。

複数のチャンネルがイネーブルされている状態で AD4115 が動作している場合、チャンネル・シーケンサはチャンネル 0 からチャンネル 15 までイネーブルされているチャンネルを順番に処理します。あるチャンネルがディスエーブルされていると、そのチャンネルはシーケンサによってスキップされます。チャンネル 0 のチャンネル・レジスタの詳細を [表 9](#) に示します。

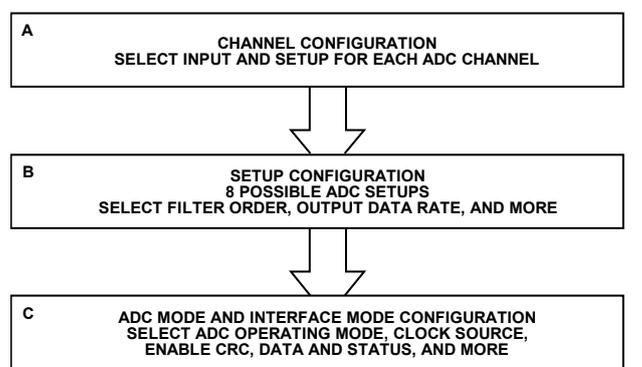


図 23. 推奨する ADC 設定のフロー

表 9. チャンネル・レジスタ 0 のビット・マップ

Register	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x10	CH0	[15:8]	CH_EN0	SETUP_SEL0			Reserved		INPUT0[9:8]		0x8001	R/W
		[7:0]	INPUT0[7:0]									

セットアップ設定

AD4115には8つの独立したセットアップがあります。各セットアップは以下の4タイプのレジスタで構成されています。

- セットアップ設定レジスタ
- フィルタ設定レジスタ
- ゲイン・レジスタ
- オフセット・レジスタ

例えば、セットアップ0は、セットアップ設定レジスタ0、フィルタ設定レジスタ0、ゲイン・レジスタ0、およびオフセット・レジスタ0で構成されています。これらのレジスタのグループを図24に示します。このセットアップは、チャンネル・レジスタ(チャンネル設定のセクションを参照)で選択することができます。これにより、各チャンネルを8つの独立したセットアップの1つに割り当てることが可能になります。表10~表13にセットアップ0に関連する4つのレジスタを示します。なお、セットアップ1~セットアップ7も、セットアップ0と同じ構成です。

セットアップ設定レジスタ

セットアップ設定レジスタを使用すると、バイポーラ・モードとユニポーラ・モードのいずれかを選択してADC出力コードを決定できます。また、これらのレジスタを使用してリファレンス源を選択することもできます。REF+ピンとREF-ピンの間に接続されたリファレンス、内部リファレンス、またはAVDD-AVSSを使用するリファレンス、の3つのリファレンス源オプションが使用可能です。これらのレジスタを使用して、入力バッファとリファレンス電圧バッファをイネーブルまたはディスエーブルにすることもできます。

フィルタ設定レジスタ

フィルタ設定レジスタは、ADC変調器の出力で使用するデジタル・フィルタを選択します。これらのレジスタのビットを設定すると、フィルタの次数と出力データ・レートが選択できます。詳細については、デジタル・フィルタのセクションを参照してください。

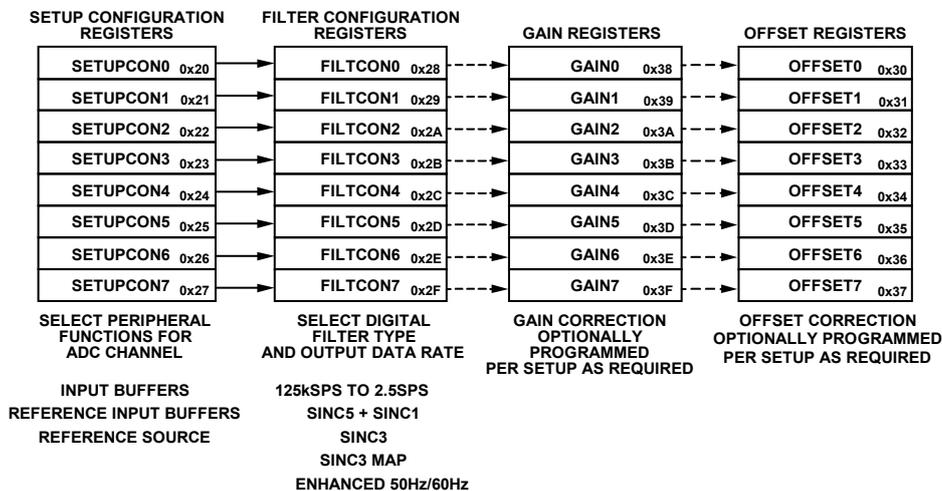


図 24. ADC セットアップ・レジスタのグループ

表 10. セットアップ設定レジスタ 0

Register	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x20	SETUPCON0	[15:8]	Reserved			BI_UNIPOLAR0	REFBUF0+	REFBUF0-	INBUF0		0x1000	R/W
		[7:0]	Reserved			REF_SEL0		Reserved				

表 11. フィルタ設定レジスタ 0

Register	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x28	FILTCO0	[15:8]	SINC3_MAP0	Reserved			ENHFILTEN0	ENHFILT0			0x0500	R/W
		[7:0]	Reserved	ORDER0		ORDER0						

表 12. ゲイン・レジスタ 0

Register	Name	Bits	Bits[23:0]	Reset	R/W
0x38	GAIN0	[23:0]	GAIN0	0x5XXXX0	R/W

表 13. オフセット・レジスタ 0

Register	Name	Bits	Bits[23:0]	Reset	R/W
0x30	OFFSET0	[23:0]	OFFSET0	0x800000	R/W

ゲイン・レジスタ

ゲイン・レジスタは、ADC のゲイン・キャリブレーション係数を保持する 24 ビットの読出し/書込みレジスタです。ゲイン・レジスタのパワーオン・リセット値は 0x5XXXX0 です。

オフセット・レジスタ

オフセット・レジスタは、ADC のオフセット・キャリブレーション係数を保持する 24 ビットの読出し/書込みレジスタです。オフセット・レジスタのパワーオン・リセット値は 0x800000 です。

ADC モードとインターフェース・モードの設定

ADC モード・レジスタとインターフェース・モード・レジスタは、AD4115 によって使用されるコア・ペリフェラルと、デジタル・インターフェースのモードを設定します。

ADC モード・レジスタ

ADC モード・レジスタは、主に ADC の変換モードを、連続変換モードまたはシングル変換モードに設定します。スタンバイ・モードやパワーダウン・モードだけでなく、どのキャリブレーション・モードも選択することができます。更に、ADC モード・レジスタには、クロック源の選択ビットと内部リファレンスのイネーブル・ビットが含まれています。リファレンス選択ビットはセットアップ設定レジスタに含まれています（詳細については、[セットアップ設定](#)のセクションを参照）。ADC モード・レジスタの詳細を表 14 に示します。

表 14. ADC モード・レジスタ

Register	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x01	ADCMODE	[15:8]	REF_EN	Reserved	SING_CYC	Reserved		Delay		0x2000	R/W	
		[7:0]	Reserved	Mode			CLOCKSEL	Reserved				

表 15. インターフェース・モード・レジスタ

Register	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x02	IFMODE	[15:8]	Reserved			ALT_SYNC	IOSTRENGTH	Reserved		DOUT_RESET	0x0000	R/W
		[7:0]	CONTREAD	DATA_STAT	REG_CHECK	Reserved	CRC_EN		Reserved	WL16		

ノイズ性能と分解能

各種 ODR に対する、デバイスの実効値ノイズ、ピーク to ピーク・ノイズ、実効分解能、およびノイズ・フリー（ピーク to ピーク）分解能を表 16 と表 17 に示します。これらの値は代表値であり、2.5V の外部リファレンスを使用し、ADC が複数チャンネルで連続変換を実行している場合の測定値です。表 16 と表 17 の

値は、±10V の電圧入力範囲、0V の差動入力電圧で生成されたものです。ピーク to ピーク分解能はピーク to ピーク・ノイズを基に計算されます。このピーク to ピーク分解能は、コード・フリッカが生じない分解能を表します。

表 16. Sinc5 + Sinc1 フィルタを使用した場合の±10V 電圧入力の実効値ノイズ分解能と ODR の関係

Default Output Data Rate (SPS), SING_CYC = 0 and Single Channel Enabled	Output Data Rate (SPS per Channel), SING_CYC = 1 or Multiple Channels Enabled	Settling Time ¹	Notch Frequency (Hz)	Noise (μV rms) ²	Effective Resolution (Bits)	Noise (μV p-p)	Peak-to-Peak Resolution (Bits)
125,000	24,845	40.25 μs	125,000	140.36	17.12	926.38	14.40
62,500	20,725	48.25 μs	62,500	124.42	17.29	821.17	14.57
31,250	15,564	64.25 μs	31,250	99.14	17.62	654.32	14.90
25,000	13,841	72.25 μs	25,000	89.57	17.77	591.16	15.05
15,625	10,390	96.25 μs	15,625	72.94	18.06	481.40	15.34
10,390	10,390	96.25 μs	15,625	71.01	18.10	468.67	15.38
4994	4,994	200.25 μs	5952.4	45.67	18.74	301.42	16.02
2498	2,499	400.25 μs	2717.4	32.42	19.23	213.97	16.51
1000	1,000	1 ms	1033.1	20.24	19.91	133.58	17.19
500	500	2 ms	508.1	13.88	20.46	91.61	17.74
395.5	395.26	2.53 ms	400.6	12.61	20.60	83.23	17.87
200	200	5 ms	201.3	9.702	20.98	64.03	18.25
100	100	10 ms	100.3	7.36	21.37	48.58	18.65
59.87	59.89	16.7 ms	59.98	5.38	21.83	35.51	19.10
49.92	49.92	20.03 ms	50	5.52	21.79	36.43	19.07
20	20.	50 ms	20.01	4.52	22.08	29.83	19.35
16.7	16.66	60.03 ms	16.67	4.07	22.23	26.86	19.51
10	10	100 ms	10	3.15	22.6	16.1	20.2
5	5	200 ms	5	2.92	22.7	12.1	20.7
2.5	2.5	400 ms	2.5	2.49	22.7	12	20.7

¹ セットリング時間は最も近いマイクロ秒に丸められ、出力データ・レートとチャンネル・スイッチング・レートに反映されます。チャンネル・スイッチング・レート = 1 ÷ セットリング時間。

² ノイズ値は、チャンネルあたり 395.5SPS 以上のデータ・レートの場合は 1000 サンプル、チャンネルあたり 200SPS 以下のデータ・レートの場合は 100 サンプルに基づいています。

表 17. Sinc3 フィルタを使用した場合の±10V 電圧入力の実効値ノイズ分解能と ODR の関係

Default Output Data Rate (SPS), SING_CYC = 0 and Single Channel Enabled	Output Data Rate (SPS per Channel), SING_CYC = 1 or Multiple Channels Enabled	Settling Time ¹	Notch Frequency (Hz)	Noise (μV rms) ²	Effective Resolution (Bits)	Noise (μV p-p)	Peak-to-Peak Resolution (Bits)
125,000	41,152	24.3 μs	125,000	1008	14.28	6652	11.55
62,500	20,704	48.3 μs	62,500	176.41	16.79	1164	14.07
31,250	10,384	96.3 μs	31,250	82.49	17.89	544.43	15.16
25,000	8,313	120.3 μs	25,000	73.71	18.05	486.49	15.33
15,625	5,200	192.3 μs	15,625	57.99	18.40	382.73	15.67
10,416.7	3,469	288.3 μs	10,417	46.93	18.70	309.74	15.98
5000	1,666	600.3 μs	5000	31.45	19.28	207.57	16.56
2500	833.33	1.2 ms	2500	22.83	19.74	150.68	17.02
1000	333.33	3 ms	1000	14.35	20.41	94.71	17.69
500	166.67	6 ms	500.0	10.82	20.82	71.41	18.10
400.6	133.51	7.49 ms	400.6	9.66	20.98	63.76	18.26
200	66.67	15 ms	200.0	7.30	21.39	48.18	18.66
100	33.33	30 ms	100.0	5.81	21.71	38.35	18.99
59.98	19.99	50.02 ms	59.98	4.70	22.02	31.02	19.30
50	16.67	60 ms	50.00	4.48	22.09	29.57	19.37

Default Output Data Rate (SPS), SING_CYC = 0 and Single Channel Enabled	Output Data Rate (SPS per Channel), SING_CYC = 1 or Multiple Channels Enabled	Settling Time ¹	Notch Frequency (Hz)	Noise ($\mu\text{V rms}$) ²	Effective Resolution (Bits)	Noise ($\mu\text{V p-p}$)	Peak-to-Peak Resolution (Bits)
20	6.67	150 ms	20.00	3.30	22.53	21.78	19.81
16.67	5.56	180 ms	16.67	2.78	22.78	18.35	20.06
10	3.33	300 ms	10.00	2.95	22.7	14.9	20.4
5	1.67	600 ms	5.00	2.63	22.7	11.9	20.7
2.5	0.83	1.2 s	2.50	2.43	22.7	11.9	20.7

¹ セトリング時間は最も近いマイクロ秒に丸められ、出力データ・レートとチャンネル・スイッチング・レートに反映されます。チャンネル・スイッチング・レート = $1 \div$ セトリング時間。

² ノイズ値は、チャンネルあたり 381SPS 以上のデータ・レートの場合は 1000 サンプル、チャンネルあたり 200.3SPS 以下のデータ・レートの場合は 100 サンプルに基づいています。

回路の説明

マルチプレクサ

デバイスには、VIN0～VIN15 および VINCOM の 17 の電圧入力ピンがあります。各ピンは、内部のマルチプレクサに接続されています。マルチプレクサによって、これらのピンを入力ペアに設定できます。AD4115 は、最大 16 のアクティブ・チャンネルを持つことができます。複数のチャンネルがイネーブルされているとき、イネーブルされている最も小さい番号のチャンネルから、イネーブルされている最も大きい番号のチャンネルまで自動的にシーケンス処理されます。マルチプレクサの出力は、内蔵された真のレール to レール・バッファの入力に接続されます。これらのバッファをバイパスして、マルチプレクサの出力を ADC のスイッチド・キャパシタ入力に直接接続できます。簡略化された入力回路を図 25 に示します。

電圧入力

AD4115 は、16 のシングルエンド入力または 8 つの完全差動入力を持つように設定できます。AFE の分圧器は分圧比が 10 で、5V

単電源から ±20V の入力範囲を可能にする高精度整合抵抗で構成されています。

電圧入力チャンネルに対応するセットアップ構成レジスタの入力バッファをイネーブルしてください (表 29 参照)。

完全差動入力

差動入力は次の組み合わせでペアリングされます。VIN0 と VIN1、VIN2 と VIN3、VIN4 と VIN5、VIN6 と VIN7、VIN8 と VIN9、VIN10 と VIN11、VIN12 と VIN13、VIN14 と VIN15。

シングルエンド入力

最大 16 個の異なるシングルエンド電圧入力を測定することもできます。この場合、各電圧入力は VINCOM ピンとペアになっていなければなりません。VINCOM ピンは AVSS ピンに外部接続します。

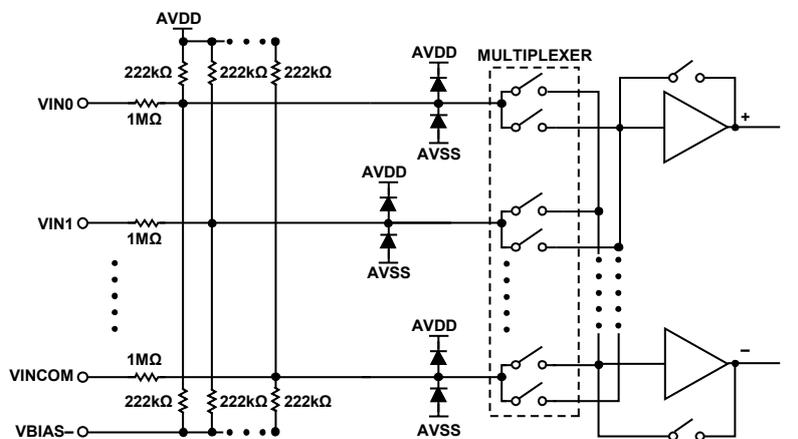


図 25. 簡略化した電圧入力回路

絶対入力ピン電圧

AD4115 電圧入力ピンは、任意の 2 つの電圧入力ピン間の差動電圧について特に、±10V の精度で仕様規定されています。

電圧入力ピンには印加可能な絶対電圧に関する別の仕様があり、アナログ・フロント・エンドの分圧器回路のユニークな設計によって、AD4115 での過電圧に対する堅牢性が確保されています。つまり、過電圧は AVDD 電源によって異なる可能性があります。図 26 は、AVDD=5V で実現できる堅牢性の様々な度合いを示しています。この図は、電圧ピンの過電圧がデバイス全体の精度にどのように影響するかを視覚的に表し、ガイダンスを提供するものです。

図 26 の精度確保セクションは、電圧入力ピンに印加して精度を確保できる電圧範囲を示します。

精度低下なしのセクションは、他のチャンネルの精度を低下させることなく印加できる電圧レベルを示します。

デバイスへのダメージなしのセクションは、絶対最大電圧を超えずに電圧入力ピンに印加できる許容可能な正負電圧を示します。他のチャンネルの性能は低下しますが、過電圧が除去されると性能は回復します。電圧範囲は、±65V の絶対最大定格として仕様規定されています。

デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

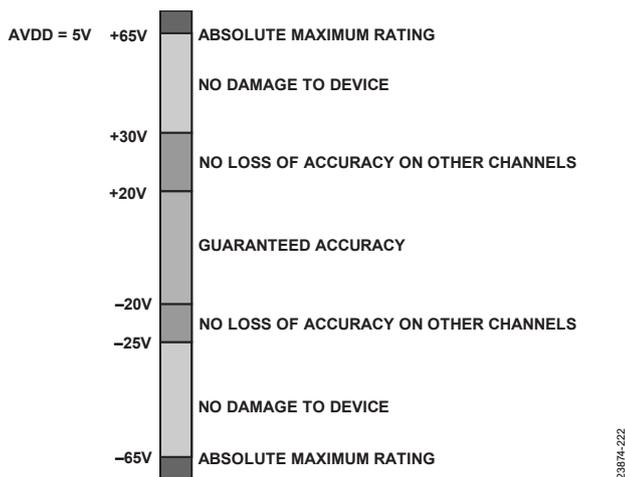


図 26. 絶対入力ピン電圧、AVDD = 5V

データ出力コーディング

ADC がユニポーラ動作に設定されている場合、出力コードは自然 (ストレート) バイナリになり、ゼロ差動入力電圧がコード 00 ... 00、ミッドスケール電圧がコード 100 ... 000、フルスケール入力電圧がコード 111 ... 111 になります。

入力電圧の出力コードは次の式で表されます。

$$\text{コード} = (2^N \times V_{IN} \times 0.1) / V_{REF}$$

ここで、
 N は 24 (ビット数)、
 V_{IN} は入力電圧、
 V_{REF} はリファレンス電圧。

ADC がバイポーラ動作に設定されている場合、出力コードはオフセット・バイナリになり、負のフルスケール電圧がコード 000 ... 000、ゼロ差動入力電圧がコード 100 ... 000、正のフルスケール入力電圧がコード 111 ... 111 になります。アナログ入力電圧の出力コードは次の式で表されます。

$$\text{コード} = 2^{N-1} \times ((V_{IN} \times 0.1 / V_{REF}) + 1)$$

AD4115 のリファレンス・オプション

AD4115 は、AVDD - AVSS をリファレンスとして使用して REF+ および REF- ピンに外部リファレンス電圧を供給するか、低ノイズ、低ドリフトの 2.5V 内部リファレンス電圧を使用するかのどちらかを選択できるようになっています。アナログ入力で使用するリファレンス源を選択するには、対応するセットアップ設定レジスタの REF_SELx ビット (ビット [5:4]) を適切に設定します。セットアップ設定レジスタ 0 の構成を表 10 に示します。デフォルトでは、AD4115 はパワーアップ時に外部リファレンスを使用します。

内部リファレンス

AD4115 は、低ノイズ、低ドリフトで 2.5V の出力を備えた電圧リファレンスを内蔵しています。ADC モード・レジスタの REF_EN ビットがセットされた後、内部リファレンスが REFOUT ピンに出力されます。このピンは AVSS に 0.1μF のコンデンサでデカップリングします。AD4115 の内部リファレンスは、デフォルトでパワーアップ時にディスエーブルされます。

外部リファレンス

AD4115 は、REF+ピンと REF-ピンを通じて印加される完全差動のリファレンス電圧入力を備えています。ADR4525 などの標準的な低ノイズ、低ドリフトの電圧リファレンスを使用することを推奨します。外部リファレンスは、図 27 に示すように、AD4115 のリファレンス・ピンに接続します。外部リファレンスの出力は AVSS にデカップリングします。図 27 に示すように、ADR4525 の出力は、安定化のために 0.1μF のコンデンサを使ってこの出力のところでデカップリングされています。また、この出力には 4.7μF のコンデンサが接続されていますが、このコンデンサは ADC に必要な動的な電荷を貯蔵します。続いて、別の 0.1μF デカップリング・コンデンサが REF+入力に接続されています。このコンデンサは、REF+ピンと REF-ピンのできるだけ近くに配置してください。

REF-ピンは、AVSS の電位に直接接続してください。内部リファレンスではなく外部リファレンスを使用して AD4115 に供給する場合は、パワーアップ時に大きな電流が流れる可能性があるため、REFOUT ピンを AVSS にハードワイヤ接続しないでください。内部リファレンスは、表 14 に示すように、ADC モード・レジスタの REF_EN ビット (ビット 15) で制御されます。内部リファレンスがアプリケーションの他の場所で使用されていない場合は、REF_EN ビットがディスエーブルになっていることを確認してください。

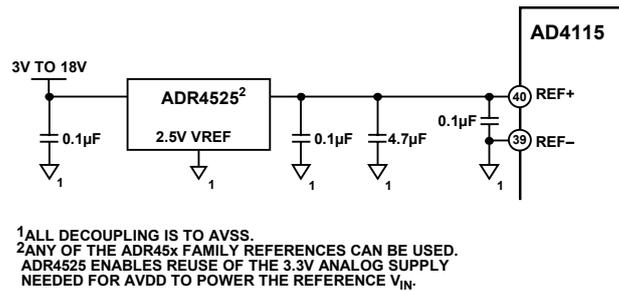


図 27. AD4115 の REF+ピンおよび REF-ピンに接続された ADR4525

バッファ付きリファレンス入力

AD4115 は、両方の ADC リファレンス入力に、真のレール to レール高精度ユニティ・ゲイン・バッファを備えています。このバッファによって高い入力インピーダンスが実現され、高インピーダンスの外部ソースをリファレンス入力に直接接続できます。内蔵リファレンス・バッファは、内部リファレンス・スイッチド・キャパシタ・サンプリング・ネットワークを十分に駆動できるため、リファレンス回路の条件が緩和されます。各リファレンス入力バッファ・アンプは、完全にチョッピング方式で動作し、バッファのオフセット誤差ドリフトと 1/f ノイズを最小限に抑えます。ADR4525 などの電圧リファレンスを使用する場合、これらのバッファは必要ありません。これは、リファレンスが適切にデカップリングされており、リファレンス入力を直接駆動できるためです。

クロック源

AD4115 は、8MHz の公称マスタ・クロックを使用し、次の 3 つのソースのいずれかからデバイス・サンプリング・クロックを得ることができます。

- 内部発振器。
- 外部水晶発振器。16MHz の水晶発振器を使用すると、8MHz クロックを設定するよう内部で自動的に分周されます。
- 外部クロック源。

このデータシートに記載されている出力データ・レートはすべて、8MHz のマスタ・クロック・レートに基づいています。より低いクロック周波数を使う場合、例えば外部クロック源から信号を供給する場合は、データシートに記載されている出力データ・レートと比例関係にある周波数を持つクロック源を使ってください。指定された出力データ・レートを実現し、特に 50Hz と 60Hz の影響を除去するには、8MHz のクロックを使用してください。マスタ・クロック源を選択するには、ADC モード・レジスタの CLOCKSEL ビット (ビット [3:2]) を設定します (表 14 参照)。パワーアップおよびリセット時のデフォルト動作では、AD4115 は内部発振器で動作します。低出力データ・レートの場合、ユーザは、フィルタ設定レジスタの SINC3_MAPx ビットを使用し、出力データ・レートとフィルタ・ノッチを微調整できます。

内部発振器

内部発振器は 16MHz で動作し、変調器用に内部で 2MHz に分周されます。内部発振器は ADC マスタ・クロックとして使用でき、AD4115 のデフォルトのクロック源となります。その精度は $-2.5\% \sim +2.5\%$ に仕様規定されています。

この内部クロック発振器は、XTAL2/CLKIO ピンに出力します。この場合、クロック出力は、IOVDD のロジック・レベルで動作します。このオプションは、出力ドライバによって生じる外乱により、AD4115 の DC 性能に影響を与える可能性があります。DC 性能に与える影響の程度は IOVDD 電源に依存します。

IOVDD 電圧が高いほど、ドライバからのロジック出力の電圧振幅が大きくなり、DC 性能に与える影響がより深刻になります。インターフェース・モード・レジスタの IOSTRENGTH ビットが高い IOVDD レベルに設定されていると、更に大きな影響を与えます (表 23 参照)。

外部水晶振動子

更に精度が高くジッタの小さなクロック源が必要な場合、AD4115 では外部水晶振動子を使ってマスタ・クロックを生成できます。水晶振動子は XTAL1 ピンおよび XTAL2/CLKIO ピンに接続します。Epson-Toyocom 製 FA-20H (16MHz、10ppm、9pF) が表面実装パッケージで入手でき、ここでの使用が可能です。図 28 に示すように、水晶振動子と XTAL1 ピンおよび XTAL2/CLKIO ピンの間に 2 つのコンデンサ (CX1 と CX2) を取り付けます。これらのコンデンサにより回路を調整可能で、コンデンサは DGND ピンに接続します。これらのコンデンサの容量値は、水晶振動子を XTAL1 ピンおよび XTAL2/CLKIO ピンに接続しているパターンの長さや容量に依存します。したがって、これらの容量値は、PCB レイアウトと使用した水晶振動子によって異なります。

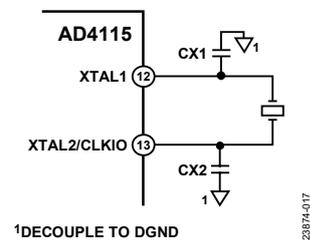


図 28. 外付け水晶振動子の接続方法

SCLK 周波数、IOVDD 電圧、水晶発信回路のレイアウト、および使用する水晶振動子によっては、外部水晶発信回路が SCLK エッジの影響を受けやすくなることがあります。水晶振動子の起動時、SCLK エッジによって引き起こされる外乱によって水晶振動子にダブル・エッジが入力される可能性があります。その結果、水晶振動子の出力電圧が十分に高くなって、SCLK エッジからの干渉がダブル・クロッキングを引き起こさなくなるまでは、有効ではない変換が行われます。このダブル・クロッキングを避けるため、起動後、水晶発振回路の出力レベルが十分高い値になってからシリアル・クロックを与えるようにしてください。

水晶発振回路の性質により、最終的な PCB レイアウトと水晶振動子を使用して、必要な条件下で回路の実証テストを行って、正常に動作することを確認することを推奨します。

外部クロック

AD4115 は、外部から供給されるクロックを使うこともできます。外部供給クロックを使用するシステムの場合、外部クロックは XTAL2/CLKIO ピンに配線します。この構成では、XTAL2/CLKIO ピンは外部からのクロックを受け入れ、そのクロック入力を変調器に送ります。このクロック入力のロジック・レベルは、IOVDD ピンに与えられる電圧によって決まります。

デジタル・フィルタ

AD4115 には次の 3 つの柔軟なフィルタ・オプションがあり、ノイズ、セトリング時間、除去を最適化できます。

- sinc5 + sinc1 フィルタ
- sinc3 フィルタ
- 50Hz と 60Hz を除去するエンハンスト・フィルタ

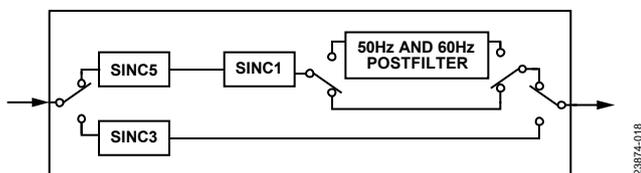


図 29. デジタル・フィルタ・ブロック図

フィルタと出力データ・レートを設定するには、選択したセットアップに対しフィルタ設定レジスタの適切なビットをセットします。各チャンネルは異なるセットアップを使うことができます。したがって、異なるフィルタと出力データ・レートを使うことができます。詳細については、[レジスタの詳細](#)のセクションを参照してください。

sinc5 + sinc1 フィルタ

sinc5 + sinc1 フィルタはマルチプレクス・アプリケーションを対象とし、10kSPS 以下の出力データ・レートで、シングルサイクルのセトリングを実現します。sinc5 ブロックの出力は 125kSPS の最大レートに固定されており、sinc1 ブロックの出力データ・レートを変更して最終 ADC 出力データ・レートを制御できます。[図 30](#) に、50SPS 出力データ・レートでの sinc5 + sinc1 フィルタの周波数領域応答を示します。sinc5 + sinc1 フィルタのノッチは狭く、周波数に対するロールオフは緩やかです。

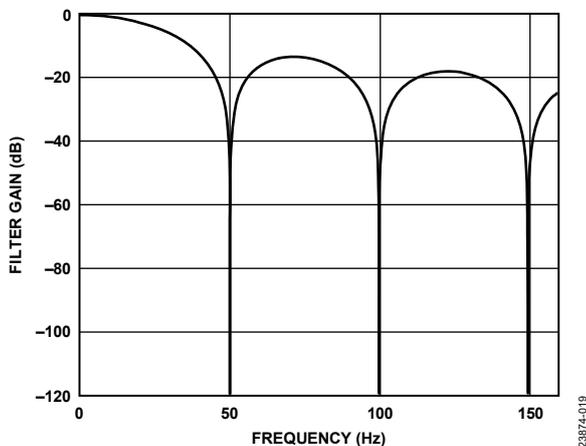


図 30. 出力データ・レート 50SPS における sinc5 + sinc1 フィルタの応答

sinc5 + sinc1 フィルタの出力データ・レートとそれに対応するセトリング時間および実効値ノイズを[表 16](#)に示します。

sinc3 フィルタ

sinc3 フィルタは低い出力レートで最良のシングル・チャンネル・ノイズ性能を実現し、シングル・チャンネルのアプリケーションに最適です。sinc3 フィルタのセトリング時間 (t_{SETTLE}) は常に次式に等しくなります。

$$t_{SETTLE} = 3 / \text{Output Data Rate}$$

sinc3 フィルタの周波数領域フィルタ応答を[図 31](#)に示します。sinc3 フィルタは、周波数に対して急峻なロールオフ特性を持ち、ノッチの幅が広いいためノッチ周波数の除去に適しています。

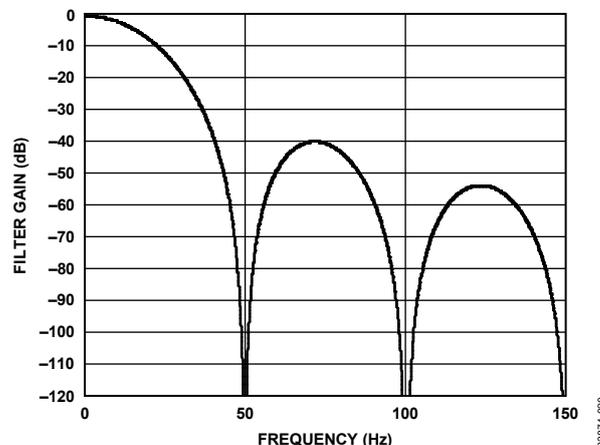


図 31. sinc3 フィルタの応答

sinc3 フィルタの出力データ・レートとそれに対応するセトリング時間および実効値ノイズを[表 17](#)に示します。sinc3 フィルタの出力データ・レートを微調整するには、該当のフィルタ設定レジスタの SINC3_MAPx ビットをセットします。このビットをセットすると、フィルタ・レジスタ・マッピングが変化し、sinc3 フィルタのデシメーション・レートを直接設定できます。他のオプションはすべて無効になります。シングル・チャンネルのデータ・レートを計算するには、次式を用います。

$$\text{出力データ・レート} = f_{MOD} / (32 \times \text{FILTCONx}[14:0])$$

ここで

f_{MOD} は、変調器のレート (MCLK/2) で、4MHz です。

FILTCONx [14:0] は、MSB を除いたフィルタ設定レジスタの内容です。

例えば、SINC3_MAPx ビットをイネーブルにして 50SPS の出力データ・レートを実現するには、FILTCONx レジスタのビット [14:0] を 2500 という値に設定します。

シングルサイクル・セトリング・モード

AD4115 をシングルサイクル・セトリング・モードに設定するには、ADC モード・レジスタの SING_CYC ビットをセットし、完全にセトリングしたデータのみが出力されるようにします。このモードは、選択した出力データ・レートに対する ADC セトリング時間に等しくなるよう出力データ・レートを減少させ、シングルサイクル・セトリングを実現します。出力データ・レートが 10kSPS 以下の場合、または複数のチャンネルがイネーブルされている場合、このビットは sinc5 + sinc1 フィルタには影響しません。

[図 32](#) に、シングルサイクル・セトリング・モードが無効化され、sinc3 フィルタを選択した場合のアナログ入力のステップを示します。ステップ変化の後、出力が最終セトリング値に到達するまでにアナログ入力は少なくとも 3 サイクル必要です。

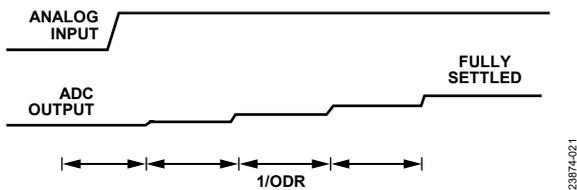


図 32. シングルサイクル・セトリングを使わない場合のステップ入力

シングルサイクル・セトリングを有効にした場合のアナログ入力と同じステップを図 33 に示します。出力が完全にセトリングするまでにアナログ入力が必要とするのは最低 1 サイクルです。RDY信号が示す出力データ・レートは減少し、選択した出力データ・レートでのフィルタのセトリング時間に等しくなります。

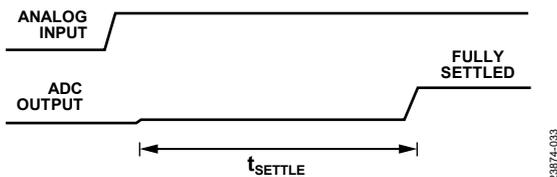


図 33. シングルサイクル・セトリングでのステップ入力

50Hz と 60Hz を除去するエンハンスド・フィルタ

エンハンスド・フィルタは 50Hz と 60Hz を同時に除去することができ、セトリング時間と除去比のトレード・オフを可能にします。これらのフィルタは 27.27SPS まで動作可能で、50Hz ± 1Hz と 60Hz ± 1Hz における干渉信号を最大 90dB 除去することができます。これらのフィルタは、sinc5 + sinc1 フィルタの出力をポストフィルタすることで動作します。そのため、エンハンスド・フィルタを使って仕様規定されたセトリング時間とノイズ性能を実現するには、sinc5 + sinc1 フィルタを選択する必要があります。エンハンスド・フィルタの出力データ・レートおよび対応するセトリング時間、除去比、および電圧入力の実効値ノイズと分解能を表 18 に示します。エンハンスド・フィルタの周波数領域応答のプロットを図 34～図 41 に示します。

表 18. エンハンスド・フィルタの出力データ・レート、セトリング時間、除去比、電圧入力ノイズ

Output Data Rate (SPS)	Settling Time (ms)	Simultaneous Rejection of 50 Hz ± 1 Hz and 60 Hz ± 1 Hz (dB) ¹	Noise (μV rms)	Peak-to-Peak Resolution (Bits)	Comments
27.27	36.67	47	6.44	19.1	See Figure 34 and Figure 37
25	40	62	6.09	19.2	See Figure 35 and Figure 38
20	50	85	5.54	19.35	See Figure 36 and Figure 39
16.667	60	90	5.38	19.51	See Figure 40 and Figure 41

¹ マスタ・クロック = 2.00MHz

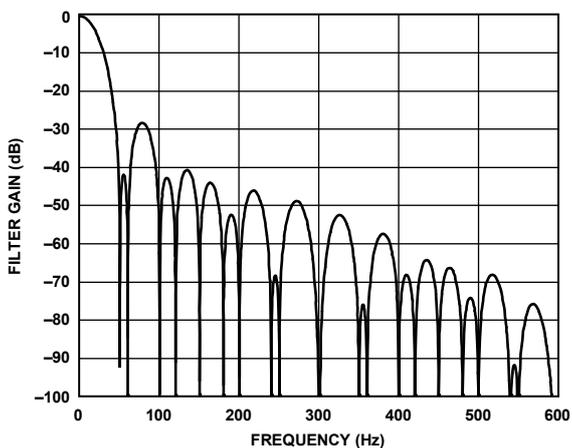


図 34. 27.27SPS の ODR、36.67ms のセトリング時間

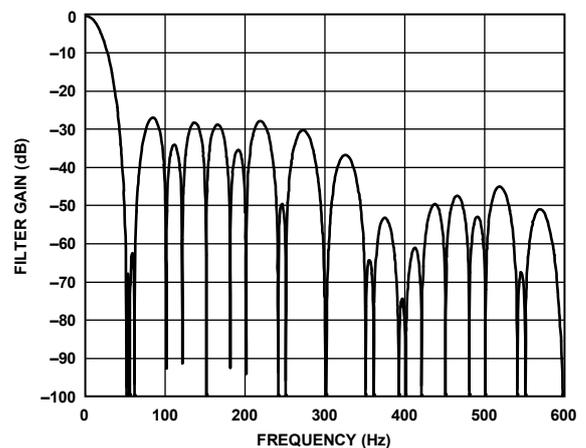


図 35. 25SPS の ODR、40ms のセトリング時間

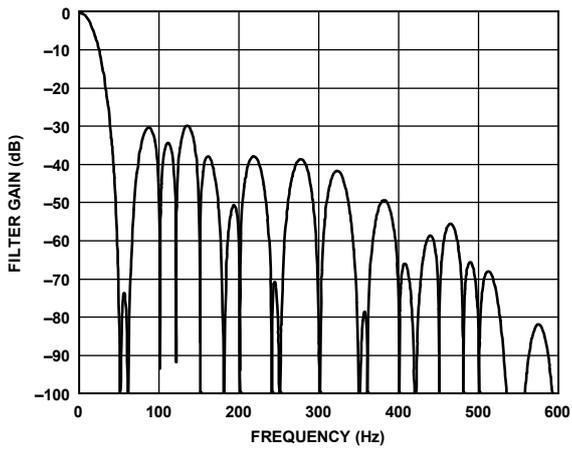


図 36. 20SPS の ODR、50ms のセトリング時間

23874-024

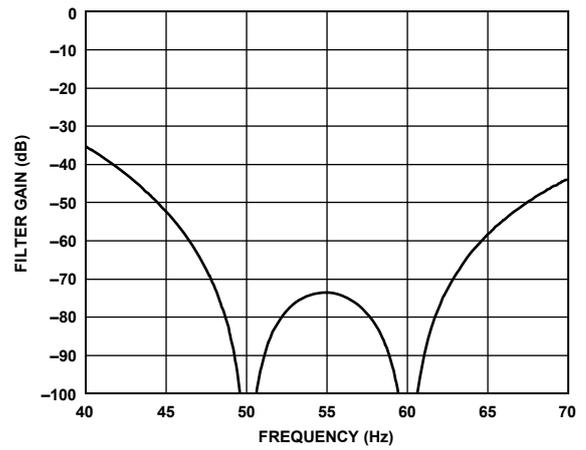


図 39. 20SPS の ODR、50ms のセトリング時間
(40Hz~70Hz)

23874-027

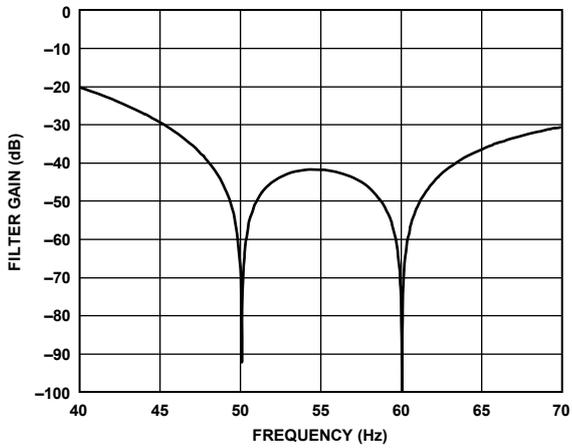


図 37. 27.27SPS の ODR、36.67ms のセトリング時間
(40Hz~70Hz)

23874-025

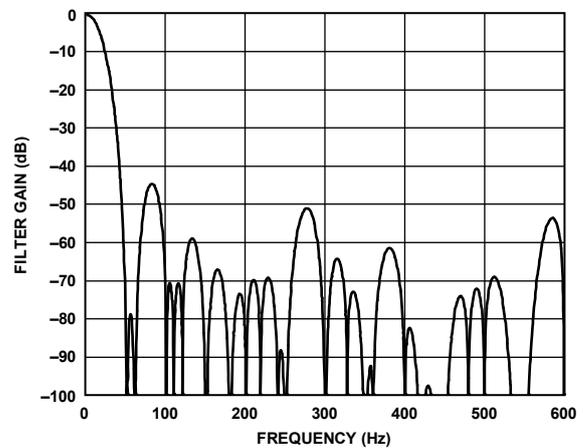


図 40. 16.667SPS の ODR、60 の ms セトリング時間

23874-028

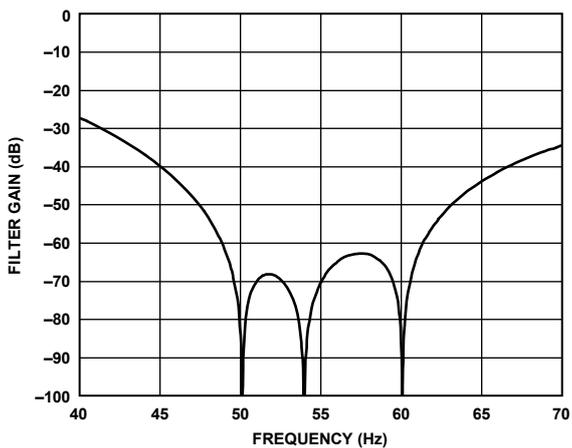


図 38. 25SPS の ODR、40ms のセトリング時間
(40Hz~70Hz)

23874-026

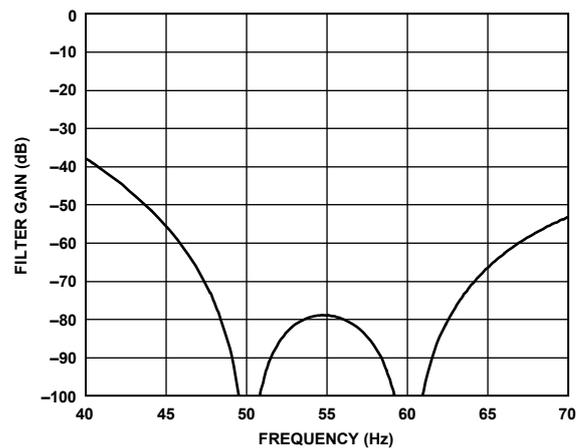


図 41. 16.667SPS の ODR、60ms のセトリング時間
(40Hz~70Hz)

23874-029

動作モード

AD4115 は ADC モード・レジスタとインターフェース・モード・レジスタで設定可能な 9 つの動作モードを備えています (表 22 と表 23 を参照)。これらには、次のモードがあります。

- 連続変換モード
- 連続読出しモード
- シングル変換モード
- スタンバイ・モード
- パワーダウン・モード
- 4 通りのキャリブレーション・モード

連続変換モード

連続変換モード (図 42 参照) は、パワーアップ時のデフォルト・モードです。AD4115 は連続的に変換を行い、変換が完了するたびにステータス・レジスタの RDY ビットがロー・レベルになります。CS がロー・レベルの場合、変換が完了すると、RDY 出力もロー・レベルになります。変換結果を読み出すには、コミュニケーション・レジスタに書き込みを行って、次の動作がデータ・レジスタからの読出しであることを示します。データ・レジスタからデータワードを読み出すと、DOUT/RDY ピンがハイ・レベルになります。このレジスタの内容は、必要に応じて何回も読み出すことが可能です。ただし、次の変換の完了時に、データ・レジスタへのアクセスを防止する必要があります。そうしないと、新しい変換ワードが失われます。

複数のチャンネルがイネーブルされた場合、ADC はイネーブルされたチャンネルを自動的にシーケンス処理し、各チャンネルで 1 回の変換を行います。全チャンネルの変換が完了すると、最初のチャンネルに戻って、シーケンスが再度開始されます。チャンネルのデータ変換は、最も番号の小さいチャンネルから、最も番号の大きいチャンネルへ順番に行われます。データ・レジスタは、各変換結果が読出し可能になると、直ちに更新されます。RDY は、変換結果が読出し可能になると、ロー・レベルのパルスを出し、ユーザは ADC がイネーブルされた次のチャンネルの変換を行っている間に、変換結果を読み出すことができます。

インターフェース・モード・レジスタの DATA_STAT ビットが 1 にセットされていると、データ・レジスタを読み出すたびに、変換データとステータス・レジスタの内容が出力されます。ステータス・レジスタの下位 4 ビットに、変換結果に対応するチャンネルが示されます。

連続読出しモード

連続読出しモード (図 43 参照) では、ADC データの読出し前にコミュニケーション・レジスタに書き込む必要はありません。RDY の出力がロー・レベルになって変換終了を示した後、必要な数のシリアル・クロックだけを印加します。変換結果を読み出すと、RDY 出力はハイ・レベルに戻り、次の変換結果が得られるまでハイ・レベルを維持します。このモードでは、データは 1 回しか読み出すことができません。次の変換が完了する前に、必ずデータワードを読み出してください。次回の変換完了前に変換結果を読み出さなかった場合、または AD4115 に与え

るシリアル・クロック数がデータを読み出すのに十分でなかった場合には、シリアル出力レジスタは次の変換が完了する直前にリセットされ、新たな変換データがシリアル出力レジスタに格納されます。連続読出しモードを使うためには、ADC は連続変換モードに設定しなければなりません。連続読出しモードをイネーブルするには、インターフェース・モード・レジスタの CONTREAD ビットをセットします。このビットが設定されると、シリアル・インターフェースができるのは、データ・レジスタからのデータを読み出すことのみになります。連続読出しモードを終了するには、RDY 出力がロー・レベルのときにダミーの ADC データ・レジスタ読出しコマンド (0x44) を実行します。もしくは、ソフトウェア・リセットを行って (すなわち、CS = 0 かつ DIN = 1 として 64 個のシリアル・クロックを送信して)、ADC および全レジスタの内容をリセットします。ダミー読出しおよびソフトウェア・リセットだけが、インターフェースが連続読出しモードになった後にインターフェースが認識できるコマンドです。命令をデバイスに書き込もうとするときまで、連続読出しモードでは DIN をロー・レベルに保ちます。

複数の ADC チャンネルがイネーブルで、インターフェース・モード・レジスタの DATA_STAT ビットがセットされている場合、データにステータス・ビットが付加された状態で各チャンネルが順番に出力されます。ステータス・レジスタの下位 4 ビットに、変換結果に対応するチャンネルが示されます。

シングル変換モード

シングル変換モード (図 44 参照) では、AD4115 はシングル変換を行い、変換が終了するとスタンバイ・モードになります。RDY 出力がロー・レベルになって変換が完了したことを示します。データ・レジスタからデータワードを読み出すと、RDY 出力がハイ・レベルに移行します。RDY 出力がハイ・レベルに移行しても、必要に応じてデータ・レジスタを複数回読み出すことができます。

複数のチャンネルがイネーブルされていると、ADC はイネーブルされたチャンネルを自動的にシーケンス処理し、各チャンネルの変換を行います。最初の変換が開始されると、RDY 出力はハイ・レベルに移行し、有効な変換結果が得られて CS がロー・レベルになるまでハイ・レベルを維持します。変換結果が得られるようになると RDY 出力がロー・レベルに移行し、ADC は次のチャンネルを選択して変換を開始します。次の変換が行われている間に、ユーザは現在の変換結果を読み出すことができます。次の変換が完了すると、データ・レジスタが更新されます。これにより変換データを読み出せる期間は限られています。ADC は、選択した各チャンネルのシングル変換を完了すると、スタンバイ・モードに戻ります。

インターフェース・モード・レジスタの DATA_STAT ビットが 1 にセットされていると、データ・レジスタが読み出されるたびに、ステータス・レジスタの内容と変換結果が出力されます。ステータス・レジスタの下位 4 ビットに、変換結果に対応するチャンネルが示されます。

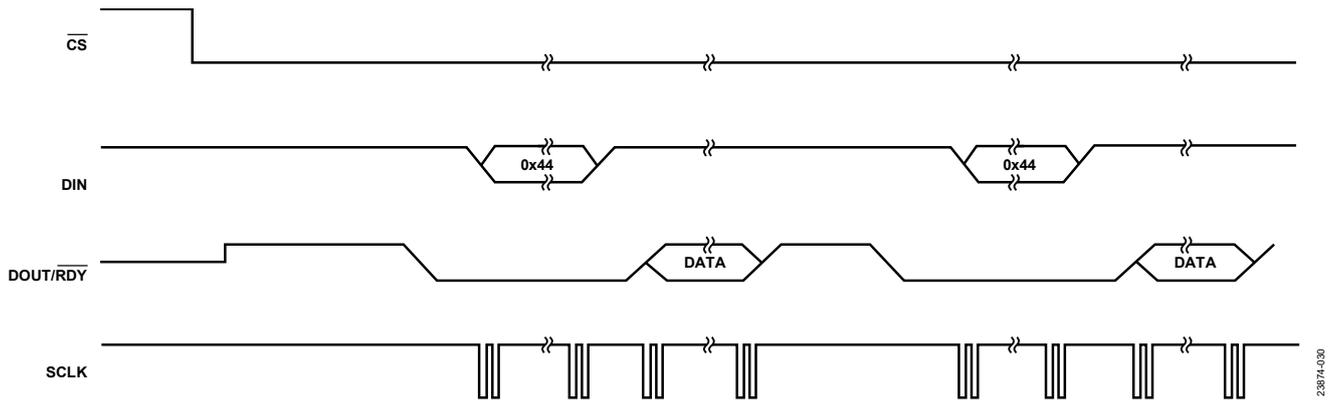


図 42. 連続変換モードにおける SPI 通信

23874-030

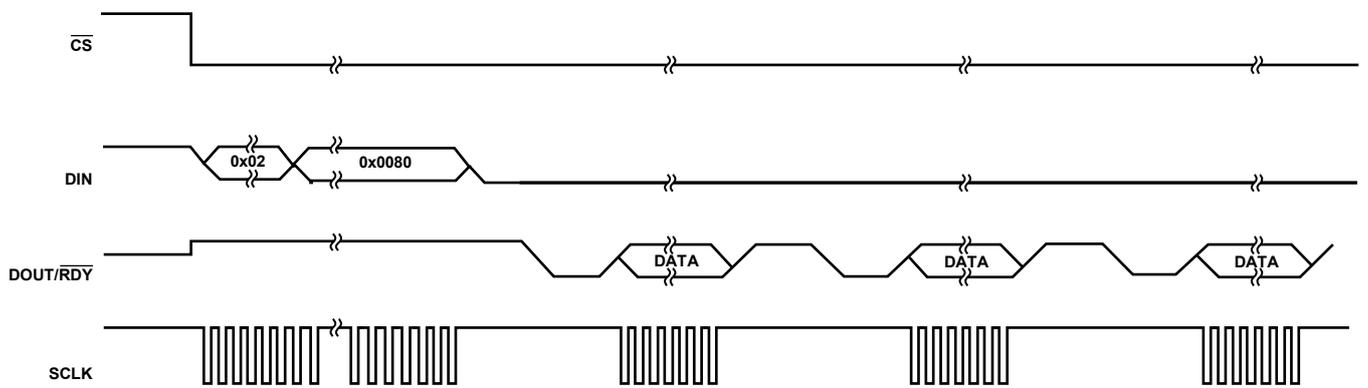


図 43. 連続読出しモードにおける SPI 通信

23874-031

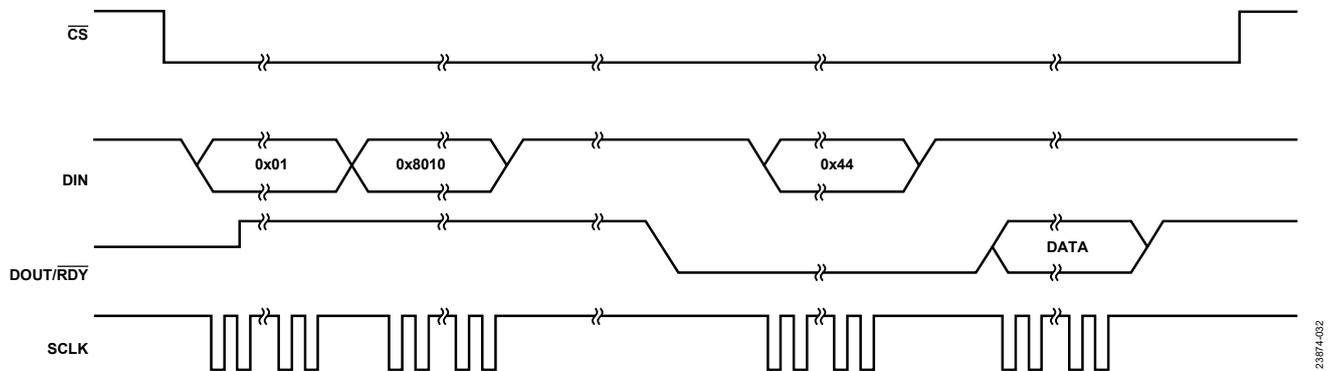


図 44. シングル変換モードにおける SPI 通信

23874-032

スタンバイ・モードとパワーダウン・モード

スタンバイ・モードでは、ほとんどのブロックがパワーダウンします。しかし、レジスタがそれぞれの内容を保持するよう、LDO レギュレータはアクティブ状態を維持します。水晶振動子は、選択されている場合はアクティブのままになります。スタンバイ・モードでクロックをパワーダウンさせるには、ADC モード・レジスタの **CLOCKSEL** ビットを 00 (内蔵発振器) に設定します。

パワーダウン・モードでは、LDO レギュレータを含むすべてのブロックへの電力供給が停止します。すべてのレジスタはその内容を失い、GPIO 出力はスリーステートになります。誤ってパワーダウン・モードにしてしまうを防ぐため、最初に ADC をスタンバイ・モードにします。パワーダウン・モードを終了するには、シリアル・インターフェースのリセット ($\overline{CS}=0$ かつ $DIN=1$ とした 64 個のシリアル・クロック) が必要です。LDO レギュレータがパワーアップするまでの待機時間として、後続のシリアル・インターフェース・コマンドの発行を 500 μ s 遅延させることを推奨します。

キャリブレーション・モード

AD4115 では、ユーザが 2 点キャリブレーションを行ってオフセット誤差とゲイン誤差を除去できます。セットアップごとのオフセット誤差とゲイン誤差を除去するには、以下の 4 つのキャリブレーション・モードが使用できます。

- 内部ゼロスケール・キャリブレーション・モード
- 内部フルスケール・キャリブレーション・モード
- システム・ゼロスケール・キャリブレーション・モード
- システム・フルスケール・キャリブレーション・モード

キャリブレーション時は、1 チャンネルのみアクティブにすることができます。各変換後、ADC 変換結果は、データ・レジスタに書き込まれる前に ADC キャリブレーション・レジスタのデータを使って補正されます。

オフセット設定レジスタのデフォルト値は、0x800000、ゲイン設定レジスタのデフォルト値は 0x5XXXX0 です。次式は、ADC の変換結果を調整するために使用する計算式を示すものです。ユニポーラ・モードでは、ADC のゲイン誤差とオフセット誤差を考慮しない理想的な関係は次のように計算できます。

$$\text{データ} = ((0.075 \times V_{IN}/V_{REF}) \times 2^{23} - (\text{オフセット} - 0x800000)) \times (\text{ゲイン}/0x400000) \times 2$$

バイポーラ・モードでは、ADC のゲイン誤差とオフセット誤差を考慮しない理想的な関係は次のように計算できます。

$$\text{データ} = ((0.075 \times V_{IN}/V_{REF}) \times 2^{23} - (\text{オフセット} - 0x800000)) \times (\text{ゲイン}/0x400000) + 0x800000$$

キャリブレーションを開始するには、ADC モード・レジスタのビット [6:4] のモード・ビットに対応する値を書き込みます。キャリブレーションが開始されると、DOUT/RDY ピンと、ステータス・レジスタの RDY ビットがハイ・レベルになります。キャリブレーションが完了すると、対応するオフセットまたはゲ

イン・レジスタの内容が更新され、ステータス・レジスタの RDY ビットがリセットされます。また、RDY 出力ピンがロー・レベルに戻り (\overline{CS} がロー・レベルの場合)、AD4115 がスタンバイ・モードに復帰します。

内部オフセット・キャリブレーションの間、変調器の両方の入力を選択した負アナログ入力ピンに内部で接続されます。ユーザは、選択した負アナログ入力ピンの電圧が許容限界を超えておらず、また、過剰なノイズや干渉がないことを確認する必要があります。フルスケール入力電圧は自動的に ADC 入力に接続され、内部フルスケール・キャリブレーションを実行します。

システム・キャリブレーションでは、キャリブレーション・モードを開始する前に、システム・ゼロスケール電圧 (オフセット) とシステム・フルスケール電圧 (ゲイン) を入力ピンに印加する必要があります。この結果、AD4115 の外部誤差が除去されます。電圧入力の内フルスケール・キャリブレーションでの ADC ゲインのキャリブレーション範囲は、 $3.75 \times V_{REF} \sim 10.5 \times V_{REF}$ です。 $10.5 \times V_{REF}$ が印加された AVDD の絶対入力電圧仕様よりも大きい場合は、 $10.5 \times V_{REF}$ の代わりに上限値として仕様規定された値を指定してください (仕様のセクションを参照)。

内部ゼロスケール・キャリブレーションでは、ADC コアのオフセット誤差のみが除去されます。このキャリブレーションでは、抵抗フロント・エンドからの誤差は除去されません。システム・ゼロスケール・キャリブレーションにより、オフセット誤差はそのチャンネルのノイズ・レベルまで軽減されます。

動作の観点からは、キャリブレーションはもう 1 つの ADC 変換として扱う必要があります。オフセット・キャリブレーションが必要な場合は、常にフルスケール・キャリブレーションの前に行う必要があります。ステータス・レジスタの RDY ビットまたは RDY 出力をモニタするようにシステム・ソフトウェアを設定して、ポーリング・シーケンスまたは割り込みによるルーチンによってキャリブレーションが終了したことを確認します。どのキャリブレーションも、完了するには、選択したフィルタと出力データ・レートのセトリング時間に等しい時間を必要とします。

キャリブレーションはあらゆる出力データ・レートで実行できます。出力データ・レートが低いほど、キャリブレーション精度は高くなりますが、すべての出力データ・レートに対してキャリブレーションは高精度です。あるチャンネルのリファレンス・ソースを変更した場合、そのチャンネルのために新たなオフセット・キャリブレーションが必要です。

AD4115 では内蔵のオフセットおよびゲイン・キャリブレーション・レジスタへのアクセスができるため、マイクロプロセッサがデバイスのキャリブレーション係数を読み出すことや保管されているキャリブレーション係数を書き込むことができます。内部キャリブレーションまたはセルフキャリブレーション時以外は、オフセット・レジスタとゲイン・レジスタの読出または書込みはいつでも行えます。

デジタル・インターフェース

AD4115 のプログラマブル機能は、SPI 経由で使用できます。シリアル・インターフェースは、 \overline{CS} 、DIN、SCLK、DOUT/RDY の 4 つの信号で構成されています。DIN ラインはデータをオンチップ・レジスタに転送します。DOUT 出力はオンチップ・レジスタからのデータにアクセスします。SCLK は、デバイスのシリアル・クロック入力です。すべてのデータ転送（DIN 上または DOUT 上での転送）は、この SCLK 信号を基準として行われます。

DOUT/RDY ピンはデータ・レディ信号としても機能し、データ・レジスタ内で新しいデータワードが利用可能になったとき \overline{CS} がロー・レベルであれば、このラインはロー・レベルになります。データ・レジスタからの読出し動作が完了すると、このピンはハイ・レベルにリセットされます。RDY 出力はデータ・レジスタの更新前にもハイ・レベルになり、デバイスからの読出しが不可であることを示し、レジスタの更新中にデータの読出しが試みられないようにします。RDY 信号がロー・レベルになる間際には、データ・レジスタから読み出さないように注意してください。データ読出しが発生しないよう、常に RDY 出力を監視してください。RDY がロー・レベルになったら直ちにデータ・レジスタの読出しを開始し、SCLK のレートが、次の変換結果の前に読出しを完了するのに十分であることを確認します。CS はデバイスを選択するときに使いますが、シリアル・バスに複数のデバイスが接続されているシステムでは、この信号で AD4115 をデコードすることができます。

図 2 と図 3 は、AD4115 とのインターフェースのタイミング図です。デバイスのデコードに \overline{CS} を使用しています。図 2 は AD4115 からの読出し動作のタイミングを、図 3 は AD4115 への書込み動作のタイミングを示しています。最初の読出し動作の後、RDY 出力がハイ・レベルに戻った後でも、データ・レジスタからの読出しを複数回行うことができます。ただし、次の出力更新が開始される前に、読出し動作が完了するようにしてください。連続読出しモードでは、データ・レジスタは 1 回しか読み出すことができません。

シリアル・インターフェースを 3 線式モードで動作させるには、 \overline{CS} をロー・レベルに固定します。この場合、SCLK、DIN、DOUT/RDY の各ラインを使って AD4115 との通信を行います。変換の終了は、ステータス・レジスタの RDY ビットを使用して監視することもできます。

シリアル・インターフェースをリセットするには、 $\overline{CS} = 0$ かつ $DIN = 1$ とした 64 個のシリアル・クロックを書き込みます。リセットにより、インターフェースは、コミュニケーション・レジスタへの書込み動作待ちの状態に戻ります。この動作により、すべてのレジスタ値がそれぞれのパワーオン時の値にリセットされます。リセット後、シリアル・インターフェースのアドレス指定をする前に、500 μ s の待ち時間が必要です。

チェックサム保護

AD4115 にはチェックサム・モードがあり、インターフェースを更に堅牢にするために使用することができます。チェックサムを使用すると、レジスタには有効なデータのみが書き込まれ、検証対象のレジスタからのデータ読出しが可能になります。レジスタへの書込み時にエラーが発生すると、ステータス・レジスタの CRC_ERROR ビットがセットされます。レジスタへの書込みが完了したことを確認するには、レジスタをリードバックし、チェックサムを確認します。

書込み動作時の CRC チェックサムの計算では、次の多項式が使用されます。

$$x^8 + x^2 + x + 1$$

読出し動作時は、この多項式か、同様の排他的論理和 (XOR) 関数を選択することができます。XOR 関数を使ったチェックサムは、多項式ベースのチェックサムに比べると、ホスト・マイクロコントローラでの処理が短時間で済みます。インターフェース・モード・レジスタの CRC_EN ビットにより、チェックサムのイネーブル/ディスエーブル、および、多項式チェックサムまたはシンプルな XOR チェックサムを選択することができます。

チェックサムは、読出しと書込みの各トランザクションの最後に付加されます。書込みトランザクションのチェックサム計算は、8 ビットのコマンド・ワードと 8~24 ビットのデータを使って計算されます。読出しトランザクションでは、コマンド・ワードと 8~32 ビットのデータ出力を使って計算されます。SPI の書込みトランザクションを図 21 に、読出しトランザクションを図 22 に示します。

連続読出しモードがアクティブのときにチェックサム保護をイネーブルする場合、各データ伝送の前に暗黙の読出しデータ・コマンド (0x44) が実行されます。チェックサム値の計算時にはこの点を考慮することが必要です。このチェックサム保護により、ADC データが 0x000000 であっても、チェックサム値はゼロになりません。

CRC の計算

多項式

8ビット幅のチェックサムは、次の多項式で生成します。

$$x^8 + x^2 + x + 1$$

チェックサムを生成するには、データを 8 ビット左にシフトし、8 個のロジック 0 で終わる値を発生させます。多項式の MSB がデータの左端にあるロジック 1 に隣接するように、多項式の値の位置決めをします。データと排他的論理和 (XOR) をとって、短くなった新しい数値を生成します。多項式の MSB が新たに得

られたデータの最も左にあるロジック 1 に隣接するように、再度、多項式の値の位置決めをし、同じ手順を繰り返します。このプロセスを、元のデータが多項式の値よりも小さくなるまで繰り返します。この値が 8 ビットのチェックサムになります。

多項式 CRC 計算の例 - 24 ビット・ワード： 0x654321 (8 ビット・コマンドと 16 ビット・ データ)

多項式ベースのチェックサムを使用した 8 ビット・チェックサムの生成例を以下に示します。

初期値 011001010100001100100001

01100101010000110010000100000000

$x^8 + x^2 + x + 1 =$ 100000111

100100100000110010000100000000

100000111

1000110001100100001000000000

100000111

111111100100001000000000

100000111

111110111000010000000000

100000111

1111000000001000000000

100000111

11100111000100000000

100000111

11001001001000000000

100000111

100101010100000000

100000111

1011011000000000

100000111

11010110000000

100000111

101010110000

100000111

1010001000

100000111

10000110

8 ビット左にシフト

多項式

XOR の結果

多項式

XOR の結果

多項式

XOR の結果

多項式の値

チェックサム = 0x86。

XOR の計算

データをバイトに分割し、それぞれのバイトに XOR 演算を行うことにより、8 ビット幅のチェックサムを生成します。

**XOR 計算の例 - 24 ビット・ワード : 0x654321
(8 ビット・コマンドと 16 ビット・データ)**

先述の多項式の例を使用し、チェックサムを 3 バイト (0x65、0x43、0x21) に分割し、次の XOR 計算を行います。

01100101	0x65
01000011	0x43
00100110	XOR の結果
00100001	0x21
00000111	CRC

内蔵機能

汎用入出力

AD4115 は 2 本の汎用デジタル入出力ピン (GPIO0、GPIO1) と 2 本の汎用デジタル出力ピン (GPO2、GPO3) を備えています。GPIO0 ピンと GPIO1 ピンは入力または出力として設定できますが、GPO2 ピンと GPO3 ピンは出力としてのみ設定できます。GPIOx ピンと GPOx ピンをイネーブルするには、GPIOCON レジスタで、GPIO0 と GPIO1 には IP_EN0 および IP_EN1 (または OP_EN0 および OP_EN1) ビットを、GPO2 と GPO3 には OP_EN2_3 ビットを使用します。

GPIO0 ピンまたは GPIO1 ピンが入力としてイネーブルされると、GPIOCON レジスタの GP_DATA0 ビットまたは GP_DATA1 ビットに、各ピンのロジック・レベルがそれぞれ格納されます。GPIO0、GPIO1、GPO2、または GPO3 ピンが出力としてイネーブルされると、GP_DATA0、GP_DATA1、GP_DATA2、または GP_DATA3 ビットがそれぞれ対応するピンのロジック・レベル出力を決定します。これらのピンのロジック・レベルは AVDD と AVSS を基準とし、出力の振幅は、AVDD - AVSS の電圧に応じて 5V または 3.3V となります。

GPIOCON の ERR_EN ビットを 11 に設定した場合、ERROR ピンは汎用出力としても使用できます。この設定では、GPIOCON レジスタの ERR_DAT ビットにより、ERROR ピンのロジック・レベル出力が決まります。このピンのロジック・レベルは IOVDD と DGND を基準にしており、ERROR ピンにはアクティブ・プルアップが備わっています。

外部マルチプレクサの制御

チャンネル数を増やすために外部マルチプレクサを使用する場合、AD4115 の GPIOx および GPOx ピンを使用してマルチプレクサのロジック・ピンを制御できます。GPIOCON レジスタで MUX_IO ビットがセットされている場合、GPIOx ピンのタイミングは ADC によって制御され、チャンネルの変更は ADC と同期されて、外部同期機能が不要になります。

遅延

AD4115 がサンプリングを開始する前に、プログラマブルな遅延を挿入することが可能です。この遅延により、外部アンプやマルチプレクサがセトリングでき、これらのデバイスに対する仕様条件を緩和することができます。0 μ s から 8ms の範囲で 8 つのプログラマブルな遅延を設定できます。この設定には、ADC モード・レジスタ (アドレス 0x01、ビット [10:8]) を使用します。

16 ビット/24 ビット変換

デフォルトでは、AD4115 は 24 ビットのデータ変換を行います。しかしながら、データ幅を 16 ビットに減らして出力させることもできます。インターフェース・モード・レジスタの WL16 ビットを 1 にセットすると、すべてのデータ変換は 16 ビットに丸められます。このビットをクリアすると、データ変換幅は 24 ビットに設定されます。

DOUT_RESET

シリアル・インターフェースでは、共有の DOUT/RDY ピンを使用します。デフォルトでは、このピンは信号を出力します。データ読出し時、このピンは読出し対象のレジスタからのデータを出力します。読出し完了後、短い固定時間 (t) が経過したら、このピンは、RDY 信号の出力に戻ります。この時間は一部のマイクロコントローラに対しては短すぎる場合がありますが、CS ピンがハイ・レベルになるまで延長できます。インターフェース・モード・レジスタの DOUT_RESET ビットを 1 に設定すると、この時間が延長され、CS が各読出し動作をフレーム化してシリアル・インターフェース・トランザクションを完了することが必要になります。

同期

ノーマル同期

GPIOCON レジスタの SYNC_EN ビットを 1 に設定すると、SYNC 入力ピンは同期入力ピンとして機能します。SYNC 入力により、デバイスのセットアップ状態には一切影響を与えることなく、変調器とデジタル・フィルタをリセットできます。このリセットにより、既知の時点、すなわち SYNC の立上がりエッジから、アナログ入力のサンプル取得を開始できます。確実に同期させるには、このピンを少なくとも 1 マスタ・クロック・サイクルの間ロー・レベルに維持する必要があります。複数のチャンネルがイネーブルの場合、シーケンサは最初にイネーブルされたチャンネルにリセットされます。

複数の AD4115 が共通のマスタ・クロックで動作する場合、対応するデータ・レジスタが同時に更新されるようにこれらのデバイスを同期させることができます。同期が完了するのは、通常、各 AD4115 のキャリブレーション実行後、またはキャリブレーション係数がデバイスのキャリブレーション・レジスタに読み込まれたときです。SYNC ピンの立下がりエッジで、デジタル・フィルタとアナログ変調器がリセットされ、AD4115 は一貫した既知の状態になります。SYNC ピンがロー・レベルの間、AD4115 はこの状態を維持します。SYNC の立上がりエッジで、変調器とフィルタはこのリセット状態から外れ、デバイスは再び次のマスタ・クロック・エッジの入力サンプルを取得し始めます。

デバイスは、SYNC がロー・レベルからハイ・レベルに遷移した後のマスタ・クロックの立下がりエッジでリセットを終了します。このため、複数のデバイスを同期する場合、マスタ・クロックの立上がりエッジで SYNC ピンをハイ・レベルに設定し、確実にすべてのデバイスがマスタ・クロックの立下がりエッジでサンプリングを開始するようにする必要があります。SYNC ピンが十分な時間ハイ・レベルを維持しない場合、デバイス間で 1 マスタ・クロック・サイクルの差異が生じる可能性があります。つまり、変換結果が読み取り可能となる時間が、デバイスによっては最大 1 マスタ・クロック・サイクル分だけ異なります。

SYNC 入力は、ノーマル同期モードで、1 つのチャンネルの変換開始コマンドとして使用することもできます。このモードでは、SYNC 入力の立上がりエッジにより変換が開始され、RDY 出力の立下がりエッジにより変換が完了したタイミングが示されます。フィルタのセトリング時間は、各データ・レジスタの更新ごとに必要です。変換完了後、SYNC 入力をロー・レベルにして次の変換開始信号の準備をします。

オルタネート同期モード

オルタネート同期モードでは、AD4115の複数のチャンネルがイネーブルされている場合、SYNC入力は変換開始コマンドとして機能します。インターフェース・モード・レジスタのALT_SYNCビットを1に設定すると、オルタネート同期方式がイネーブルされます。SYNC入力がロー・レベルになると、ADCはイネーブルされているチャンネルでの変換を完了し、シーケンス内の次のチャンネルを選択して、SYNC入力がハイ・レベルになって変換が開始されるまで待機します。現在のチャンネルでの変換が完了し、対応する変換結果でデータ・レジスタが更新されるとRDY出力がロー・レベルになります。このため、SYNC入力は、現在選択されているチャンネルのサンプリングには干渉しませんが、シーケンス内の次のチャンネルで変換が開始されるタイミングを制御できます。

オルタネート同期モードは、複数のチャンネルをイネーブルする場合のみ使用できます。1つのチャンネルのみをイネーブルする場合は、このモードは使用しないでください。

エラー・フラグ

ステータス・レジスタには、ADC_ERROR、CRC_ERROR、REG_ERRORの3つのエラー・ビットがあり、それぞれ、ADC変換でのエラー、CRCチェックでのエラー、レジスタの変化に起因するエラーを示します。ERROR出力でエラーが発生したことを示すこともできます。

ADC_ERROR

ステータス・レジスタのADC_ERRORビットは、変換プロセス中に何らかのエラーが発生したことを示します。このフラグは、ADCからオーバーレンジまたはアンダーレンジが出力されるとセットされます。また、低電圧または過電圧が発生すると、ADCの出力はそれぞれ、オール0またはオール1になります。このフラグは、過電圧または低電圧が解消されたときのみ、リセットされます。データ・レジスタの読出しによってはリセットされません。

CRC_ERROR

書込み動作時に付加されたCRCの値が送られた情報と一致しないと、CRC_ERRORフラグがセットされます。このフラグは、ステータス・レジスタが読み出されると、直ちにリセットされます。

REG_ERROR

REG_ERRORフラグはインターフェース・モード・レジスタのREG_CHECKビットと組み合わせて使用します。REG_CHECKビットがセットされると、AD4115は内部レジスタの値をモニタします。ビットが変化すると、REG_ERRORビットに1がセットされます。このため、内蔵レジスタへの書込みを行うには、REG_CHECKビットを0に設定します。レジスタの更新が完了したら、REG_CHECKビットを1に設定することができます。AD4115は内蔵レジスタのチェックサムを計算します。いずれかのレジスタ値が変化すると、REG_ERRORビットが1にセットされます。エラーが示された場合、このREG_CHECKビットを0に設定し、ステータス・レジスタのREG_ERRORビットをクリアします。このレジスタ・チェック機能では、データ・レジスタ、ステータス・レジスタ、インターフェース・モード・レジスタはモニタしません。

ERROR入出力

ERRORピンは、エラー入力/出力ピン、または汎用出力ピンとして機能します。GPIOCONレジスタのERR_ENビットにより、このピンの機能が決まります。

ERR_ENビットが10に設定された場合、ERRORピンはオープンドレイン・エラー出力として機能します。ステータス・レジスタの3つのエラー・ビット（ADC_ERROR、CRC_ERROR、REG_ERROR）は、論理和（OR）がとられ、反転され、ERROR出力にマッピングされます。これにより、ERROR出力はエラーが発生したことを示します。エラー源を特定するにはステータス・レジスタを読み出してください。

ERR_ENビットが01に設定された場合、ERRORピンはエラー入力として機能します。別の部品のエラー出力をAD4115のERROR入力に接続すると、AD4115または外付け部品でエラーが発生したときにそれを示すことができます。ERROR入力の値が反転され、ADC変換からのエラーとの論理和がとられ、ステータス・レジスタのADC_ERRORビットを介してその結果が示されます。ERROR入力の値は、GPIO設定レジスタのERR_DATビットに反映されます。

ERR_ENビットを00に設定すると、ERROR入出力はディスイネーブルされます。ERR_ENビットを11に設定すると、ERRORピンは汎用出力として動作し、ERR_DATビットを使用してピンのロジック・レベルを決定します。

DATA_STAT 機能

IFMODEレジスタのDATA_STATビットを使用して、ステータス・レジスタの内容をAD4115の各変換結果に付加できます。これは、複数のチャンネルがイネーブルされる場合に便利な機能です。変換結果が出力されるごとに、ステータス・レジスタの内容が付加されます。ステータス・レジスタの下位4ビットには、変換を実行したチャンネルが表示されます。更に、ユーザは、エラー・ビットによって何らかのエラーが示されているかを判断できます。

IOSTRENGTH 機能

シリアル・インターフェースは、電源電圧が2Vに低下しても動作します。ただし、PCBに中程度の寄生容量が存在する場合、またはSCLK周波数が高い場合、この低電圧ではDOUT/RDYピンの駆動能力が十分ではないことがあります。インターフェース・モード・レジスタのIOSTRENGTHビットはDOUT/RDYピンの駆動能力を高めます。

内部温度センサー

AD4115 は、デバイスが動作している周囲温度を知るために使用できる温度センサーを内蔵しています。周囲温度は、診断目的に使うこともできますし、動作温度の変化を考慮するためにアプリケーション回路がキャリブレーション・ルーチンを再実行する必要があるタイミングを示す指標として用いることもできます。入力チャンネルと同じ方法でマルチプレクサを使用し、温度センサーを選択してください。

温度センサーでは、両方の入力の入力バッファをイネーブルすると共に内部リファレンスをイネーブルする必要があります。

温度センサーを使うには、既知の温度（25°C）でデバイスをキャリブレーションし、変換結果を基準点としてとります。温度センサーの公称感度は 477 μ V/K です。この理想的な傾きと実際に測定した傾きの差により、温度センサーを補正できます。温度センサーは、25°C でのキャリブレーション後の精度が $\pm 2^{\circ}\text{C}$ （代表値）と仕様規定されています。温度は次式で計算できます。

$$\text{温度} = (\text{変換結果} 477\mu\text{V}) - 273.15$$

アプリケーション情報

グラウンディングとレイアウト

入力とリファレンス入力は差動で、アナログ変調器内の電圧の大半はコモンモード電圧です。デバイスの優れたコモンモード除去比により、これらの入力のコモンモード・ノイズが除去されます。AD4115のアナログ電源とデジタル電源は独立しており、デバイスのアナログ部とデジタル部のカップリングを最小限に抑えるように個別のピンが採用されています。デジタル・フィルタは、マスタ・クロック周波数の整数倍の周波数以外の広帯域電源ノイズを除去します。

また、アナログ入力とリファレンス入力のノイズ源がアナログ変調器を飽和させない限り、デジタル・フィルタはこれらのノイズも除去します。そのため、従来の高分解能コンバータに比べて AD4115 のノイズ干渉耐性は向上しています。ただし、AD4115 は分解能が高く、コンバータのノイズ・レベルが低いいため、グラウンディングとレイアウトについては注意が必要です。

ADC を実装する PCB は、アナログ部とデジタル部を分離し、PCB の特定の領域に収納するように設計する必要があります。一般に、エッチング部分を最小限に抑えることがグラウンド・プレーンには最適で、最良のシールド効果が得られます。

どのようなレイアウトを使用する場合も、システム内における電流の流れには十分注意を払い、すべてのリターン電流の経路と目的の場所まで電流を流す経路をできるだけ近づけて配置するよう心がけてください。

デバイスの下にデジタル・ラインを配線することは避けてください。そうすれば、ノイズはダイに結合し、AD4115 の下にアナログ・グラウンド・プレーンを配置してノイズの混入を防止できます。AD4115 への電源ラインには可能な限り幅広いパターンを使用して低インピーダンス経路を確保し、電源ラインのグリッ

チを軽減します。クロックなどの高速スイッチング信号はデジタル・グラウンドでシールドして、PCB の他の部分へのノイズの放射を防止してください。また、クロック信号が入力の近くを決して通らないようにしてください。デジタル信号とアナログ信号は交差させないでください。PCB の反対側のパターンは、互いに直角になるように配置します。このレイアウトにより、PCB 上でフィードスルーの影響を小さくすることができます。マイクロストリップ技術の使用が最善ですが、両面 PCB では常に使用できるとは限りません。この技法を使用する場合、PCB の部品面はグラウンド・プレーン専用にして、信号はハンダ面に配線します。

高分解能 ADC を使用する場合は、必ず適切なデカップリングを使用してください。AD4115 には、AVDD と IOVDD の 2 つの電源ピンがあります。AVDD ピンは AVSS を基準とし、IOVDD ピンは DGND を基準としています。10 μ F のタンタル・コンデンサと 0.1 μ F のコンデンサを並列に接続して、AVDD を各ピンの AVSS へデカップリングします。0.1 μ F のコンデンサをデバイスの各電源ピンのできるだけ近くに配置します。理想的にはデバイスに直結します。IOVDD は 10 μ F のタンタル・コンデンサと 0.1 μ F のコンデンサを並列に DGND に接続してデカップリングします。すべての入力は AVSS へデカップリングします。外部リファレンスを使用する場合、REF+ピンと REF-ピンを AVSS にデカップリングします。

AD4115 は 2 つの LDO レギュレータを内蔵しています。一方のレギュレータは AVDD 電源を、他方は IOVDD 電源をレギュレーションします。REGCAPA ピンは、1 μ F と 0.1 μ F のコンデンサを使用して AVSS にデカップリングします。同様に、REGCAPD ピンは、1 μ F コンデンサを使用して DGND にデカップリングします。

レジスタの一覧

表 19. レジスタの一覧

Register	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
0x00	COMMS	[7:0]	WEN	R/W	RA						0x00	W	
0x00	Status	[7:0]	RDY	ADC_ERROR	CRC_ERROR	REG_ERROR	Channel					0x80	R
0x01	ADCMODE	[15:8]	REF_EN	Reserved	SING_CYC	Reserved			Delay			0x2000	R/W
		[7:0]	Reserved	Mode			CLOCKSEL		Reserved				
0x02	IFMODE	[15:8]	Reserved			ALT_SYNC	IOSTRENGTH	Reserved		DOUT_RESET	0x0000	R/W	
		[7:0]	CONTREAD	DATA_STAT	REG_CHECK	Reserved		CRC_EN	Reserved	WL16			
0x03	REGCHECK	[23:16]	REGISTER_CHECK[23:16]									0x000000	R
		[15:8]	REGISTER_CHECK[15:8]										
		[7:0]	REGISTER_CHECK[7:0]										
0x04	Data	[23:0]	Data[23:16]									0x000000	R
		[15:8]	Data[15:8]										
		[7:0]	Data[7:0]										
0x06	GPIOCON	[15:8]	Reserved		OP_EN2_3	MUX_IO	SYNC_EN	ERR_EN		ERR_DAT	0x0800	R/W	
		[7:0]	GP_DATA3	GP_DATA2	IP_EN1	IP_EN0	OP_EN1	OP_EN0	GP_DATA1	GP_DATA0			
0x07	ID	[15:8]	ID[15:8]									0x38DX	R
		[7:0]	ID[7:0]										
0x10	CH0	[15:8]	CH_EN0	SETUP_SEL0			Reserved		INPUT0[9:8]		0x8001	R/W	
		[7:0]	INPUT0[7:0]										
0x11	CH1	[15:8]	CH_EN1	SETUP_SEL1			Reserved		INPUT1[9:8]		0x0001	R/W	
		[7:0]	INPUT1[7:0]										
0x12	CH2	[15:8]	CH_EN2	SETUP_SEL2			Reserved		INPUT2[9:8]		0x0001	R/W	
		[7:0]	INPUT2[7:0]										
0x13	CH3	[15:8]	CH_EN3	SETUP_SEL3			Reserved		INPUT3[9:8]		0x0001	R/W	
		[7:0]	INPUT3[7:0]										
0x14	CH4	[15:8]	CH_EN4	SETUP_SEL4			Reserved		INPUT4[9:8]		0x0001	R/W	
		[7:0]	INPUT4[7:0]										
0x15	CH5	[15:8]	CH_EN5	SETUP_SEL5			Reserved		INPUT5[9:8]		0x0001	R/W	
		[7:0]	INPUT5[7:0]										
0x16	CH6	[15:8]	CH_EN6	SETUP_SEL6			Reserved		INPUT6[9:8]		0x0001	R/W	
		[7:0]	INPUT6[7:0]										
0x17	CH7	[15:8]	CH_EN7	SETUP_SEL7			Reserved		INPUT7[9:8]		0x0001	R/W	
		[7:0]	INPUT7[7:0]										
0x18	CH8	[15:8]	CH_EN8	SETUP_SEL8			Reserved		INPUT8[9:8]		0x0001	R/W	
		[7:0]	INPUT8[7:0]										
0x19	CH9	[15:8]	CH_EN9	SETUP_SEL9			Reserved		INPUT9[9:8]		0x0001	R/W	
		[7:0]	INPUT9[7:0]										
0x1A	CH10	[15:8]	CH_EN10	SETUP_SEL10			Reserved		INPUT10[9:8]		0x0001	R/W	
		[7:0]	Input10[7:0]										
0x1B	CH11	[15:8]	CH_EN11	SETUP_SEL11			Reserved		INPUT11[9:8]		0x0001	R/W	
		[7:0]	INPUT11[7:0]										
0x1C	CH12	[15:8]	CH_EN12	SETUP_SEL12			Reserved		INPUT12[9:8]		0x0001	R/W	
		[7:0]	INPUT12[7:0]										
0x1D	CH13	[15:8]	CH_EN13	SETUP_SEL13			Reserved		INPUT13[9:8]		0x0001	R/W	
		[7:0]	INPUT13[7:0]										
0x1E	CH14	[15:8]	CH_EN14	SETUP_SEL14			Reserved		INPUT14[9:8]		0x0001	R/W	
		[7:0]	INPUT14[7:0]										
0x1F	CH15	[15:8]	CH_EN15	SETUP_SEL15			Reserved		INPUT15[9:8]		0x0001	R/W	
		[7:0]	INPUT15[7:0]										
0x20	SETUPCON0	[15:8]	Reserved			BI_UNIPOLAR0	REFBUF0+	REFBUF0-	INBUF0		0x1000	R/W	
		[7:0]	Reserved		REF_SEL0	Reserved							
0x21	SETUPCON1	[15:8]	Reserved			BI_UNIPOLAR1	REFBUF1+	REFBUF1-	INBUF1		0x1000	R/W	
		[7:0]	Reserved		REF_SEL1	Reserved							

Register	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
0x22	SETUPCON2	[15:8]	Reserved			BI_UNIPOLAR2	REFBUF2+	REFBUF2-	INBUF2			0x1000	R/W
		[7:0]	Reserved		REF_SEL2		Reserved						
0x23	SETUPCON3	[15:8]	Reserved			BI_UNIPOLAR3	REFBUF3+	REFBUF3-	INBUF3			0x1000	R/W
		[7:0]	Reserved		REF_SEL3		Reserved						
0x24	SETUPCON4	[15:8]	Reserved			BI_UNIPOLAR4	REFBUF4+	REFBUF4-	INBUF4			0x1000	R/W
		[7:0]	Reserved		REF_SEL4		Reserved						
0x25	SETUPCON5	[15:8]	Reserved			BI_UNIPOLAR5	REFBUF5+	REFBUF5-	INBUF5			0x1000	R/W
		[7:0]	Reserved		REF_SEL5		Reserved						
0x26	SETUPCON6	[15:8]	Reserved			BI_UNIPOLAR6	REFBUF6+	REFBUF6-	INBUF6			0x1000	R/W
		[7:0]	Reserved		REF_SEL6		Reserved						
0x27	SETUPCON7	[15:8]	Reserved			BI_UNIPOLAR7	REFBUF7+	REFBUF7-	INBUF7			0x1000	R/W
		[7:0]	Reserved		REF_SEL7		Reserved						
0x28	FILTCON0	[15:8]	SINC3_MAP0	Reserved			ENHFILTEN0	ENHFILT0			0x0500	R/W	
		[7:0]	Reserved	ORDER0		ODR0							
0x29	FILTCON1	[15:8]	SINC3_MAP1	Reserved			ENHFILTEN1	ENHFILT1			0x0500	R/W	
		[7:0]	Reserved	ORDER1		ODR1							
0x2A	FILTCON2	[15:8]	SINC3_MAP2	Reserved			ENHFILTEN2	ENHFILT2			0x0500	R/W	
		[7:0]	Reserved	ORDER2		ODR2							
0x2B	FILTCON3	[15:8]	SINC3_MAP3	Reserved			ENHFILTEN3	ENHFILT3			0x0500	R/W	
		[7:0]	Reserved	ORDER3		ODR3							
0x2C	FILTCON4	[15:8]	SINC3_MAP4	Reserved			ENHFILTEN4	ENHFILT4			0x0500	R/W	
		[7:0]	Reserved	ORDER4		ODR4							
0x2D	FILTCON5	[15:8]	SINC3_MAP5	Reserved			ENHFILTEN5	ENHFILT5			0x0500	R/W	
		[7:0]	Reserved	ORDER5		ODR5							
0x2E	FILTCON6	[15:8]	SINC3_MAP6	Reserved			ENHFILTEN6	ENHFILT6			0x0500	R/W	
		[7:0]	Reserved	ORDER6		ODR6							
0x2F	FILTCON7	[15:8]	SINC3_MAP7	Reserved			ENHFILTEN7	ENHFILT7			0x0500	R/W	
		[7:0]	Reserved	ORDER7		ODR7							
0x30	OFFSET0	[23:0]	OFFSET0[23:0]									0x800000	R/W
0x31	OFFSET1	[23:0]	OFFSET1[23:0]									0x800000	R/W
0x32	OFFSET2	[23:0]	OFFSET2[23:0]									0x800000	R/W
0x33	OFFSET3	[23:0]	OFFSET3[23:0]									0x800000	R/W
0x34	OFFSET4	[23:0]	OFFSET4[23:0]									0x800000	R/W
0x35	OFFSET5	[23:0]	OFFSET5[23:0]									0x800000	R/W
0x36	OFFSET6	[23:0]	OFFSET6[23:0]									0x800000	R/W
0x37	OFFSET7	[23:0]	OFFSET7[23:0]									0x800000	R/W
0x38	GAIN0	[23:0]	GAIN0[23:0]									0x5XXXX0	R/W
0x39	GAIN1	[23:0]	GAIN1[23:0]									0x5XXXX0	R/W
0x3A	GAIN2	[23:0]	GAIN2[23:0]									0x5XXXX0	R/W
0x3B	GAIN3	[23:0]	GAIN3[23:0]									0x5XXXX0	R/W
0x3C	GAIN4	[23:0]	GAIN4[23:0]									0x5XXXX0	R/W
0x3D	GAIN5	[23:0]	GAIN5[23:0]									0x5XXXX0	R/W
0x3E	GAIN6	[23:0]	GAIN6[23:0]									0x5XXXX0	R/W
0x3F	GAIN7	[23:0]	GAIN7[23:0]									0x5XXXX0	R/W

レジスタの詳細

コミュニケーション・レジスタ

アドレス：0x00、リセット：0x00、レジスタ名：COMMS

内蔵レジスタに対するすべてのアクセスは、このコミュニケーション・レジスタへの書込みで開始する必要があります。この書込みにより、次にアクセスするレジスタと、動作が書込みと読出しのいずれであるかを指定します。

表 20.COMMS のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	WEN		ADC との通信を開始するには、このビットをロー・レベルにする必要があります。	0x0	W
6	R/W	0 1	このビットで、コマンドが読出しであるか書込みであるかを指定します。 書込みコマンド。 読出しコマンド。	0x0	W
[5:0]	RA	000000 000001 000010 000011 000100 000110 000111 010000 010001 010010 010011 010100 010101 010110 010111 011000 011001 011010 011011 011100 011101 011110 011111 100000 100001 100010 100011 100100 100101 100110 100111 101000 101001 101010 101011 101100 101101 101110 101111	このレジスタ・アドレス・ビットで、現在の通信でどのレジスタを読出または書込みの対象とするかを指定します。 ステータス・レジスタ。 ADC モード・レジスタ。 インターフェース・モード・レジスタ。 レジスタ・チェックサム・レジスタ。 データ・レジスタ。 GPIO 設定レジスタ。 ID レジスタ。 チャンネル・レジスタ 0。 チャンネル・レジスタ 1。 チャンネル・レジスタ 2。 チャンネル・レジスタ 3。 チャンネル・レジスタ 4。 チャンネル・レジスタ 5。 チャンネル・レジスタ 6。 チャンネル・レジスタ 7。 チャンネル・レジスタ 8。 チャンネル・レジスタ 9。 チャンネル・レジスタ 10。 チャンネル・レジスタ 11。 チャンネル・レジスタ 12。 チャンネル・レジスタ 13。 チャンネル・レジスタ 14。 チャンネル・レジスタ 15。 セットアップ設定レジスタ 0。 セットアップ設定レジスタ 1。 セットアップ設定レジスタ 2。 セットアップ設定レジスタ 3。 セットアップ設定レジスタ 4。 セットアップ設定レジスタ 5。 セットアップ設定レジスタ 6。 セットアップ設定レジスタ 7。 フィルタ設定レジスタ 0。 フィルタ設定レジスタ 1。 フィルタ設定レジスタ 2。 フィルタ設定レジスタ 3。 フィルタ設定レジスタ 4。 フィルタ設定レジスタ 5。 フィルタ設定レジスタ 6。 フィルタ設定レジスタ 7。	0x00	W

ビット	ビット名	設定	説明	リセット	アクセス
		110000	オフセット・レジスタ 0。		
		110001	オフセット・レジスタ 1。		
		110010	オフセット・レジスタ 2。		
		110011	オフセット・レジスタ 3。		
		110100	オフセット・レジスタ 4。		
		110101	オフセット・レジスタ 5。		
		110110	オフセット・レジスタ 6。		
		110111	オフセット・レジスタ 7。		
		111000	ゲイン・レジスタ 0。		
		111001	ゲイン・レジスタ 1。		
		111010	ゲイン・レジスタ 2。		
		111011	ゲイン・レジスタ 3。		
		111100	ゲイン・レジスタ 4。		
		111101	ゲイン・レジスタ 5。		
		111110	ゲイン・レジスタ 6。		
		111111	ゲイン・レジスタ 7。		

ステータス・レジスタ

アドレス：0x00、リセット：0x80、レジスタ名：Status

ステータス・レジスタは 8 ビットのレジスタで、ADC とシリアル・インターフェースのステータスに関する情報が格納されています。インターフェース・モード・レジスタの DATA_STAT ビットをセットすることで、オプションとして、このレジスタの内容をデータ・レジスタへ付加することができます。

表 21. STATUS のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RDY		CSがロー・レベルで、レジスタが読出し中でない場合は、RDYのステータスが DOUT/RDYピンに出力されます。このビットは、ADC がデータ・レジスタに新しい結果を書き込むとロー・レベルになります。ADC のキャリブレーション・モードでは、ADC がキャリブレーション結果を書き込むと、このビットはロー・レベルになります。RDYは、データ・レジスタの読出しによって自動的にハイ・レベルになります。 0 新しいデータが読出し可能。 1 新しいデータ結果の待ち状態。	0x1	R
6	ADC_ERROR		このビットは、デフォルトでは、ADC がオーバーレンジまたはアンダーレンジになったことを示します。ADC の変換結果は、オーバーレンジ・エラーの場合は 0xFFFFF にクランプされ、アンダーレンジ・エラーの場合は 0x000000 にクランプされます。このビットは、ADC の変換結果を書き込むと更新され、オーバーレンジまたはアンダーレンジ状態が解消された後、次の更新時にクリアされます。 0 エラーなし。 1 エラー。	0x0	R
5	CRC_ERROR		このビットは、レジスタ書き込み時に CRC エラーが発生したかどうかを示します。レジスタ読出しの場合、ホスト・マイクロコントローラが、CRC エラーが発生したかどうかを判断します。このレジスタを読み出すと、このビットはクリアされます。 0 エラーなし。 1 CRC エラー。	0x0	R
4	REG_ERROR		このビットは、内部レジスタのいずれかの値が、レジスタの整合性チェックを実行したときの計算値から変化したかどうかを示します。インターフェース・モード・レジスタの REG_CHECK ビットをセットすると、チェックが実行されます。このビットをクリアするには、REG_CHECK ビットをクリアします。 0 エラーなし。 1 エラー。	0x0	R

ビット	ビット名	設定	説明	リセット	アクセス
[3:0]	Channel		これらのビットは、現在データ・レジスタに ADC 変換結果が格納されているその変換を行ったのがどのチャンネルかを示します。このチャンネルは、現在変換を行っているチャンネルとは異なる場合があります。マッピングは、チャンネル・レジスタからの直接マップです。したがって、チャンネル 0 は 0x0 になり、チャンネル 15 は 0xF になります。	0x0	R
		0000	チャンネル 0。		
		0001	チャンネル 1。		
		0010	チャンネル 2。		
		0011	チャンネル 3。		
		0100	チャンネル 4。		
		0101	チャンネル 5。		
		0110	チャンネル 6。		
		0111	チャンネル 7。		
		1000	チャンネル 8。		
		1001	チャンネル 9。		
		1010	チャンネル 10。		
		1011	チャンネル 11。		
		1100	チャンネル 12。		
		1101	チャンネル 13。		
		1110	チャンネル 14。		
		1111	チャンネル 15。		

ADC モード・レジスタ

アドレス：0x01、リセット：0x2000、レジスタ名：ADCMODE

ADC モード・レジスタは ADC の動作モードとマスタ・クロックの選択を制御します。ADC モード・レジスタへの書き込みによって、フィルタと RDY ビットがリセットされ、新しい変換またはキャリブレーションが開始されます。

表 22. ADCMODE のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
15	REF_EN		内部リファレンスをイネーブルし、バッファされた 2.5V を REFOUT ピンに出力します。	0x0	R/W
		0	ディスエーブル。		
		1	イネーブル。		
14	Reserved		このビットは予備で、0 に設定します。	0x0	R/W
13	SING_CYC		1 チャンネルのみがアクティブなとき、このビットを使用して、固定のフィルタ・データ・レートのみで出力するように ADC を設定することができます。	0x1	R/W
		0	ディスエーブル。		
		1	イネーブル。		
[12:11]	Reserved		これらのビットは予備で、0 に設定します。	0x0	R
[10:8]	Delay		これらのビットにより、チャンネルが切り替わった後、プログラマブルな遅延を追加することができるので、外部回路がセトリングしてから ADC がその入力の処理を開始するようにすることができます。	0x0	R/W
		000	0 μ s。		
		001	8 μ s。		
		010	32 μ s。		
		011	80 μ s。		
		100	200 μ s。		
		101	400 μ s。		
		110	1ms。		
		111	2ms。		
7	Reserved		このビットは予備で、0 に設定します。	0x0	R

ビット	ビット名	設定	説明	リセット	アクセス
[6:4]	Mode	000 001 010 011 100 101 110 111	これらのビットは ADC の動作モードを制御します。詳細については、 動作モード のセクションを参照してください。 連続変換モード。 シングル変換モード。 スタンバイ・モード。 パワーダウン・モード。 内部オフセットのキャリブレーション。 内部ゲインのキャリブレーション。 システム・オフセットのキャリブレーション。 システム・ゲインのキャリブレーション。	0x0	R/W
[3:2]	CLOCKSEL	00 01 10 11	これらのビットは ADC のクロック源を選択します。内部発振器を選択すると、同時に内部発振器がイネーブルされます。 内部発振器。 内部発振器の出力 (XTAL2/CLKIO ピン)。 外部クロックの入力 (XTAL2/CLKIO ピン)。 外部水晶発振器 (XTAL1 および XTAL2/CLKIO ピン)。	0x0	R/W
[1:0]	Reserved		これらのビットは予備で、0 に設定します。	0x0	R

インターフェース・モード・レジスタ

アドレス：0x02、リセット：0x0000、レジスタ名：IFMODE

インターフェース・モード・レジスタは様々なシリアル・インターフェース・オプションを設定します。

表 23. IFMODE のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:13]	Reserved		これらのビットは予備で、0 に設定します。	0x0	R
12	ALT_SYNC	0 1	このビットにより、 SYNC ピンの動作を変更して、チャンネル切替え時の変換制御に SYNC を使用できます。 ディスエーブル。 イネーブル。	0x0	R/W
11	IOSTRENGTH	0 1	このビットは DOUT/RDY ピンの駆動能力を制御します。低電圧の IOVDD 電源を使い、容量が中程度のシリアル・インターフェースから高速で読み出す場合、このビットをセットします。 無効 (デフォルト)。 イネーブル。	0x0	R/W
[10:9]	Reserved		これらのビットは予備で、0 に設定します。	0x0	R
8	DOUT_RESET	0 1	DOUT_RESET のセクションを参照してください。 ディスエーブル。 イネーブル。	0x0	R/W
7	CONTREAD	0 1	このビットは、ADC データ・レジスタの連続読出しモードを有効にします。連続読出しモードを使うには、ADC を連続変換モードに設定する必要があります。詳細については、 動作モード のセクションを参照してください。 ディスエーブル。 イネーブル。	0x0	R/W
6	DATA_STAT	0 1	このビットは、読出し時にステータス・レジスタの内容をデータ・レジスタの内容に付加する機能を有効にし、チャンネルとステータスの情報がデータと共に送信されるようにします。ステータス・レジスタの内容を付加することは、ステータス・レジスタから読み出したチャンネル・ビットを確実にデータ・レジスタのデータに対応させる唯一の方法です。 ディスエーブル。 イネーブル。	0x0	R/W

ビット	ビット名	設定	説明	リセット	アクセス
5	REG_CHECK	0 1	このビットはレジスタの整合性チェック機能を有効にします。この機能を使って、ユーザ・レジスタ内の値の変化をすべて監視することができます。この機能を使用するには、このビットをクリアした状態で、他の必要なレジスタをすべて設定します。次に、REG_CHECK ビットを 1 に設定するようこのレジスタに書き込みます。あるレジスタの内容が変化すると、ステータス・レジスタの REG_ERROR ビットがセットされます。このエラーをクリアするには、REG_CHECK ビットを 0 に設定します。ただし、インターフェース・モード・レジスタ、ADC データ・レジスタ、ステータス・レジスタのいずれも、チェック対象のレジスタには含まれていません。レジスタに新しい値を書き込む必要がある場合は、このビットを最初にクリアします。そうでない場合、新しいレジスタの内容が書き込まれたときにエラーが示されます。 0 ディスエーブル。 1 イネーブル。	0x0	R/W
4	Reserved		このビットは予備で、0 に設定します。	0x0	R
[3:2]	CRC_EN	00 01 10	これらのビットは、レジスタの読出し/書込みの CRC 保護を有効にします。CRC により、シリアル・インターフェース転送のバイト数が 1 だけ増加します。 00 ディスエーブル。 01 レジスタ読出しトランザクションで、XOR チェックサムが有効。これらのビットがセットされても、レジスタ書込みは引き続き CRC を使用します。 10 レジスタの読み書きトランザクションで、CRC チェックサムを有効。	0x00	R/W
1	Reserved		このビットは予備で、0 に設定します。	0x0	R
0	WL16	0 1	ADC データ・レジスタを 16 ビットに変更します。インターフェース・モード・レジスタへの書込みによって ADC がリセットされることはありません。そのため、これらのビットへの書込み後、ADC の結果は直ちに正しいワード長に丸められるわけではありません。最初の新しい ADC 変換結果は正しい値です。 0 24 ビット・データ。 1 16 ビット・データ。	0x0	R/W

レジスタ・チェック

アドレス：0x03、リセット：0x000000、レジスタ名：REGCHECK

レジスタ・チェック・レジスタは、ユーザ・レジスタの排他的論理和 (XOR) 計算で得られた 24 ビット長のチェックサムです。このチェックサムが動作するには、インターフェース・モード・レジスタの REG_CHECK ビットをセットする必要があります。そうでない場合、レジスタの読出し値は 0 となります。

表 24. REGCHECK のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:0]	REGISTER_CHECK		インターフェース・モード・レジスタの REG_CHECK ビットをセットすると、ユーザ・レジスタの 24 ビットのチェックサムがこのレジスタに格納されます。	0x000000	R

データ・レジスタ

アドレス：0x04、リセット：0x000000、レジスタ名：データ

データ・レジスタには、ADC の変換結果が格納されます。エンコーディングはオフセット・バイナリですが、セットアップ設定レジスタの BI_UNIPOLARx ビットによってユニポーラに変更できます。RDY ビットと RDY 出力がロー・レベルの場合、データ・レジスタを読み出すと、これらのビットはハイ・レベルになります。ADC の変換結果は複数回読み出すことができます。ただし、RDY 出力がハイ・レベルになっているため、ADC の次の変換結果が差し迫っているかどうかを知ることはできません。ADC のレジスタを読み出すコマンドを受け取った後、ADC は新しい変換結果をレジスタに書き込みません。

表 25. データのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:0]	Data		このレジスタには、ADC の変換結果が格納されます。インターフェース・モード・レジスタの DATA_STAT ビットをセットすると、読出し時にステータス・レジスタのデータが付加され、32 ビット・レジスタになります。	0x000000	R

GPIO 設定レジスタ

アドレス：0x06、リセット：0x0800、レジスタ名：GPIOCON

GPIO 設定レジスタは、ADC の汎用 I/O ピンを制御します。

表 26. GPIOCON のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:14]	Reserved		予備。	0x0	R
13	OP_EN2_3	0 1	GPO2/GPO3 出力イネーブル。このビットは GPO2 ピンと GPO3 ピンをイネーブルします。出力は、AVDD と AVSS の間の電圧を基準にしています。 0 ディスエーブル。 1 イネーブル。	0x0	R/W
12	MUX_IO		このビットにより、ADC は内部チャンネルのシーケンスと同期して GPIO0、GPIO1、GPO2、GPO3 を使用し、外部マルチプレクサを制御できます。チャンネルで使用するアナログ入力ピンは、そのままチャンネルごとに選択できます。したがって、各アナログ入力ペア (VIN0/VIN1~VIN14/VIN15) の前に 16 チャンネルのマルチプレクサを配置して、合計 128 差動チャンネルに設定できます。ただし、自動的にシーケンス処理できるのは一度に 16 チャンネルのみです。16 チャンネルのシーケンス処理に続き、アナログ入力を入力チャンネルの次のペアに切り替え、次の 16 チャンネルをシーケンス処理します。外部マルチプレクサの切替え時に、アナログ入力がセトリングされるまでの時間を延長する遅延機能があります (ADC モード・レジスタの DELAY ビットを参照)。	0x0	R
11	SYNC_EN	0 1	SYNC 入力イネーブル。このビットにより、SYNC ピンを同期入力として使用できるようになります。ローに設定すると、SYNC ピンによって、SYNC がハイ・レベルになるまで ADC とフィルタのリセット状態が保持されます。インターフェース・モード・レジスタの ALT_SYNC ビットをセットすると、SYNC ピンの動作を変更できます。このモードは、複数チャンネルがイネーブルされている場合のみ機能します。この場合、SYNC ピンがロー・レベルになっても、フィルタと変調器は直ちにリセットされません。その代わりに、チャンネルが切り替わろうとするときに SYNC ピンがロー・レベルであると、変換器とフィルタは新しい変換を開始できなくなります。SYNC をハイ・レベルにすると次の変換が開始されます。このオルタネート同期モードにより、チャンネルのサイクリング時に SYNC を使用できるようになります。	0x1	R/W
[10:9]	ERR_EN	00 01 10 11	ERROR ピン・モード。これらのビットにより、ERROR ピンをエラー入出力として使用できるようになります。 00 ディスエーブル。 01 エラー入力イネーブル (アクティブ・ロー)。ERROR はエラー入力です。反転されたリードバックの状態は、他のエラー・ソースとの論理和がとられ、ステータス・レジスタの ADC_ERROR ビットで読み出せます。ERROR ピンの状態は、このレジスタの ERR_DAT ビットから読み出すこともできます。 10 オープンドレイン・エラー出力イネーブル (アクティブ・ロー)。ERROR はオープンドレインのエラー出力です。ステータス・レジスタのエラー・ビットは、論理和がとられ、反転されて、ERROR ピンにマッピングされます。複数のデバイスのどのエラーも検知できるように、それらのデバイスの ERROR ピンを、共通のプルアップ抵抗に接続することができます。 11 汎用出力 (アクティブ・ロー)。ERROR は汎用出力です。このピンのステータスは、このレジスタの ERR_DAT ビットによって制御されます。この出力は、GPIOx ピンと GPIOx ピンで使用される AVDD および AVSS レベルとは異なり、IOVDD と DGND 間の電圧を基準にしています。この場合、出力にはアクティブ・プルアップ抵抗を接続します。	0x0	R/W
8	ERR_DAT	0 1	ERROR ピン・データ。ERROR ピンが汎用出力としてイネーブルされる場合、このビットがこのピンのロジック・レベルを決定します。このピンが入力としてイネーブルされていると、このビットは、このピンのリードバック・ステータスを反映します。 0 ロジック 0。 1 ロジック 1。	0x0	R/W
7	GP_DATA3	0 1	GPIO1 データ。このビットは GPIO1 の書込みデータです。 0 GPIO1 = 0。 1 GPIO1 = 1。	0x0	R/W
6	GP_DATA2	0 1	GPIO0 データ。このビットは GPIO0 の書込みデータです。 0 GPIO0 = 0。 1 GPIO0 = 1。	0x0	R/W

ビット	ビット名	設定	説明	リセット	アクセス
5	IP_EN1	0 1	このビットは GPIO1 を入力にします。入力は AVDD と AVSS に等しくなります。 0 ディスエーブル。 1 イネーブル。	0x0	R/W
4	IP_EN0	0 1	このビットは GPIO0 を入力にします。入力は AVDD と AVSS に等しくなります。 0 ディスエーブル。 1 イネーブル。	0x0	R/W
3	OP_EN1	0 1	このビットは GPIO1 を出力にします。出力は、AVDD と AVSS の間の電圧を基準にしています。 0 ディスエーブル。 1 イネーブル。	0x0	R/W
2	OP_EN0	0 1	このビットは GPIO0 を出力にします。出力は、AVDD と AVSS の間の電圧を基準にしています。 0 ディスエーブル。 1 イネーブル。	0x0	R/W
1	GP_DATA1		このビットは、GPIO1 の読出しまたは書込みデータです。	0x0	R/W
0	GP_DATA0		このビットは、GPIO0 の読出しまたは書込みデータです。	0x0	R/W

ID レジスタ

アドレス：0x07、リセット：0x38DX、レジスタ名：ID

ID レジスタは 16 ビットの ID を返します。AD4115 ではこの値は 0x38DX です。ここで x はドントケアです。

表 27. ID のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:0]	ID		製品 ID。ID レジスタは、この ADC 固有の 16 ビットの ID コードを返します。	0x38DX	R

チャンネル・レジスタ 0～チャンネル・レジスタ 15

アドレス：0x10～0x1F、リセット値：0x8001、レジスタ名：CH0～CH15

チャンネル・レジスタは 16 ビットのレジスタです。現在アクティブなチャンネル、各チャンネルの入力、チャンネル用の ADC の設定に使用するセットアップを選択するには、このレジスタを使用します。CH0～CH15 のレイアウトは同一です。

表 28. CH0～CH15 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
15	CH_ENx	0 1	このビットはチャンネル x をイネーブルします。複数のチャンネルをイネーブルすると、ADC はこれらのチャンネルを自動的にシーケンス処理します。 0 ディスエーブル。 1 イネーブル。	0x1	R/W
[14:12]	SETUP_SELx	000 001 010 011 100 101 110 111	これらのビットは、このチャンネル用に ADC を設定するのに使用する 8 種類のセットアップ中のどれを使用するかを指定します。セットアップは、セットアップ設定レジスタ、フィルタ設定レジスタ、オフセット・レジスタ、ゲイン・レジスタの 4 つのレジスタで構成されています。すべてのチャンネルが同じセットアップを使用することができます。この場合、すべてのアクティブなチャンネルのこれらのビットに同じ 3 ビット値を書き込む必要があります。または、最多で 8 チャンネルを異なる設定にすることができます。	0x0	R/W
[11:10]	Reserved		予備。	0x0	R
[9:0]	INPUTx	000000001 000001000	これらのビットは、このチャンネルの ADC の入力に接続する入力ペアを選択します。 000000001 VIN0、VIN1。 000001000 VIN0、VINCOM。	0x1	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		0000100000	VIN1、VIN0。		
		0000110000	VIN1、VINCOM。		
		0001000011	VIN2、VIN3。		
		0001010000	VIN2、VINCOM。		
		0001100010	VIN3、VIN2。		
		0001110000	VIN3、VINCOM。		
		0010000101	VIN4、VIN5。		
		0010010000	VIN4、VINCOM。		
		0010100100	VIN5、VIN4。		
		0010110000	VIN5、VINCOM。		
		0011000111	VIN6、VIN7。		
		0011010000	VIN6、VINCOM。		
		0011100110	VIN7、VIN6。		
		0011110000	VIN7、VINCOM。		
		0100001001	VIN8、VIN9。		
		0100010000	VIN8、VINCOM。		
		0100101000	VIN9、VIN8。		
		0100110000	VIN9、VINCOM。		
		0101001011	VIN10、VIN11。		
		0101010000	VIN10、VINCOM。		
		0101101010	VIN11、VIN10。		
		0101110000	VIN11、VINCOM。		
		0110001101	VIN12、VIN13。		
		0110010000	VIN12、VINCOM。		
		0110101100	VIN13、VIN12。		
		0110110000	VIN13、VINCOM。		
		0111001111	VIN14、VIN15。		
		0111010000	VIN14、VINCOM。		
		0111101110	VIN15、VIN14。		
		0111110000	VIN15、VINCOM。		
		1000110010	温度センサー。		
		1010110110	リファレンス。		

セットアップ設定レジスタ 0～セットアップ設定レジスタ 7

アドレス：0x20～0x27、リセット値：0x1000、レジスタ名：SETUPCON0～SETUPCON7

セットアップ設定レジスタは 16 ビットのレジスタで、リファレンスの選択、入力バッファ、および ADC の出力コーディングを設定します。SETUPCON0～SETUPCON7 のレイアウトは同一です。

表 29. SETUPCON0～SETUPCON7 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:13]	Reserved		これらのビットは予備で、0 に設定します。	0x0	R
12	BI_UNIPOLARx	0 1	バイポーラ/ユニポーラ。このビットはセットアップ x の ADC の出力コーディングを設定します。 ユニポーラ・コーディング出力。 バイポーラ・コーディング出力。	0x1	R/W
11	REFBUFx+	0 1	REF+バッファ。このビットは REF+入力バッファをイネーブルまたはディスエーブルします。 ディスエーブル。 イネーブル。	0x0	R/W
10	REFBUFx-	0 1	REF-バッファ。このビットは REF-入力バッファをイネーブルまたはディスエーブルします。 ディスエーブル。 イネーブル。	0x0	R/W

ビット	ビット名	設定	説明	リセット	アクセス
[9:8]	INBUFx	00 01 10 11	入力バッファ。このビットは入力バッファをイネーブルまたはディスエーブルします。 ディスエーブル。 予備。 予備。 イネーブル。	0x0	R/W
[7:6]	Reserved		これらのビットは予備で、0に設定します。	0x0	R
[5:4]	REF_SELx	00 10 11	これらのビットにより、セットアップ0のADC変換のリファレンス・ソースを選択できます。 外部リファレンス、REF±。 内部2.5Vリファレンス。ADCMODEを介してイネーブルする必要があります（表22を参照）。 AVDD - AVSS。	0x0	R/W
[3:0]	Reserved		これらのビットは予備で、0に設定します。	0x0	R

フィルタ設定レジスタ0～フィルタ設定レジスタ7

アドレス：0x28～0x2F、リセット値：0x0500、レジスタ名：FILTCON0～FILTCON7

フィルタ設定レジスタは16ビットのレジスタで、ADCのデータ・レートとフィルタ・オプションを設定します。これらのレジスタに書き込むと、アクティブなADC変換はすべてリセットされ、シーケンス内の最初のチャンネルから変換が再開されます。FILTCON0～FILTCON7のレイアウトは同一です。

表 30. FILTCON0～FILTCON7のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
15	SINC3_MAPx		このビットをセットすると、フィルタ・レジスタのマッピングが変化して、セットアップxのsinc3フィルタのデシメーション・レートが直接設定されます。他のオプションはすべて無効になります。このビットにより、出力データ・レートおよび特定の周波数成分を除去するフィルタ・ノッチの微調整が可能になります。1つのチャンネルのデータ・レートは $f_{MOP}/(32 \times \text{FILTCON0}[14:0])$ に等しくなります。	0x0	R/W
[14:12]	Reserved		これらのビットは予備で、0に設定します。	0x0	R
11	ENHFILTENx	0 1	このビットは、セットアップxの50Hz/60Hz除去用に強化された各種ポストフィルタをイネーブルします。この機能を有効にするには、ORDERxビットを00に設定し、sinc5 + sinc1フィルタを選択する必要があります。 ディスエーブル。 イネーブル。	0x0	R/W
[10:8]	ENHFILT _x	010 011 101 110	これらのビットは、セットアップxの50Hz/60Hz除去用に強化された各種ポストフィルタを選択します。 27SPS、除去比：47dB、セトリング時間：36.7ms。 25SPS、除去比：62dB、セトリング時間：40ms。 20SPS、除去比：86dB、セトリング時間：50ms。 16.67SPS、除去比：92dB、セトリング時間：60ms。	0x5	R/W
7	Reserved		このビットは予備で、0に設定します。	0x0	R
[6:5]	ORDERx	00 11	これらのビットは、セットアップxの変調器データを処理するデジタル・フィルタの次数を制御します。 sinc5 + sinc1（デフォルト）。 sinc3。	0x0	R/W
[4:0]	ODRx	00000 00001 00010 00011 00100 00101 00110 00111	これらのビットはADCの出力データ・レートを制御します。したがって、セットアップxのセトリング時間とノイズの値も制御します。シングル・チャンネルでsinc5 + sinc1フィルタをイネーブルした場合のレートを以下に示します。複数チャンネルについては、表16を参照してください。 125,000 SPS。 125,000 SPS。 62,500 SPS。 62,500 SPS。 31,250 SPS。 25,000 SPS。 15,625 SPS。 10,417 SPS。	0x0	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		01000	5000 SPS。		
		01001	2500SPS (sinc3 では 3906SPS)。		
		01010	1000SPS (sinc3 では 1157SPS)。		
		01011	500SPS (sinc3 では 539SPS)。		
		01100	395.6SPS (sinc3 では 401SPS)。		
		01101	200SPS (sinc3 では 206SPS)。		
		01110	100SPS (sinc3 では 102SPS)。		
		01111	59.89SPS (sinc3 では 59.98SPS)。		
		10000	49.92SPS (sinc3 では 50SPS)。		
		10001	20 SPS。		
		10010	16.66SPS (sinc3 では 16.67SPS)。		
		10011	10SPS。		
		10100	5SPS。		
		10101	2.5SPS。		
		10110	2.5SPS。		

オフセット・レジスタ 0～オフセット・レジスタ 7

アドレス：0x30～0x37、リセット値：0x800000、レジスタ名：OFFSET0～OFFSET7

オフセット（ゼロスケール）レジスタは 16 ビットのレジスタで、ADC またはシステムのオフセット誤差の補正に使用することができます。OFFSET0～OFFSET7 のレイアウトは同一です。

表 31. OFFSET0～OFFSET7 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:0]	OFFSETx		セットアップ x のオフセット・キャリブレーション係数。	0x800000	R/W

ゲイン・レジスタ 0～ゲイン・レジスタ 7

アドレス：0x38～0x3F、リセット値：0x5XXXX0、レジスタ名：GAIN0～GAIN7

フルスケール・ゲイン・レジスタは 16 ビットのレジスタで、ADC またはシステムのゲイン誤差の補正に使用できます。GAIN0～GAIN7 のレイアウトは同一です。

表 32. GAIN0～GAIN7 のビットの説明

ビット	ビット名	設定	説明	リセット ¹	アクセス
[23:0]	GAINx		セットアップ x のゲイン・キャリブレーション係数。	0x5XXXX0	R/W

¹ X はドントケア。

外形寸法

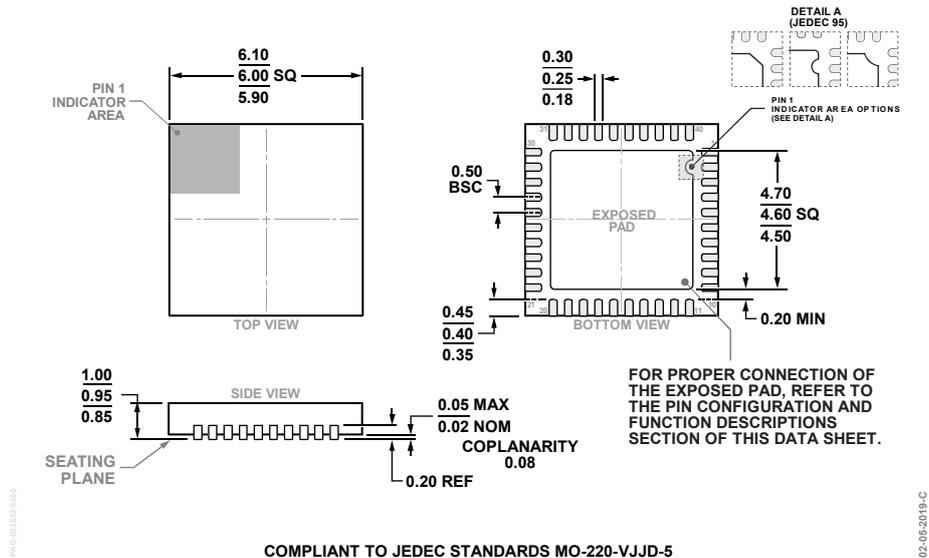


図 45. 40 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]
 6mm × 6mm ボディ、0.95mm パッケージ高
 (CP-40-15)
 寸法 : mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD4115BCPZ	-40°C to +105°C	40-Lead Lead Frame Chip Scale Package [LFCSP]	CP-40-15
AD4115BCPZ-RL7	-40°C to +105°C	40-Lead Lead Frame Chip Scale Package [LFCSP]	CP-40-15
EVAL-AD4115SDZ		Evaluation Board	
EVAL-SDP-CB1Z		Evaluation Controller Board	

¹ Z = RoHS 準拠製品