

小型で低消費電力、2MSPS/500kSPS に対応し Easy Drive 機能を搭載した 12 ビット SAR ADC

特長

- ▶ 小フットプリントで高性能
 - ▶ INL : ± 0.1 LSB (最大値)
 - ▶ S/N 比 : $V_{REF} = 3.3$ V 時に 73.8dB
 - ▶ 変換ごとの消費エネルギー : 1.35nJ
 - ▶ 1MSPS/500kSPS 時に 1.35mW/0.68mW (サンプル・モード)
 - ▶ 1MSPS/300kSPS 時に 370 μ W/112 μ W (自律モード)
 - ▶ スタンバイ時の消費電力 : 4.1 μ W
- ▶ 汎用的なシグナル・コンディショニング機能を搭載
 - ▶ Easy Drive 機能により小型で低消費電力の AFE 設計を実現
 - ▶ 差動およびシングルエンドのシグナル・チェーンに対応
 - ▶ 広い同相入力範囲
- ▶ デジタル・ホストの活動と消費電力を最小限に抑制
 - ▶ ウィンドウ・コンパレータと割込み生成による自律的なサンプリング
 - ▶ 連続サンプリングとバースト・サンプリングを選べる平均化フィルタ
 - ▶ 関連デバイスとパワーサイクリングを同期
- ▶ 1.8V~3.3V のロジック・レベルに対応した 4 線式 SPI
- ▶ 2.00mm \times 2.6mm の LFCSP および 1.67mm \times 1.97mm の WLCSP
- ▶ 広い動作温度範囲 : $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$

アプリケーション

- ▶ バッテリ駆動のデータ・アキュイジション
- ▶ バイタル・サインの監視
- ▶ 生物学的分析および化学的分析
- ▶ 地質および地震のセンシング
- ▶ モーション・コントロールおよびロボット制御

概要

AD4050/AD4056 は、逐次比較レジスタ (SAR) を内蔵した汎用的な 12 ビットのアナログ・デジタル・コンバータ (ADC) で、精度を損なわずに低電力かつ高密度のデータ・アキュイジションを可能にします。これらの ADC は、性能と電力効率の独自のバランスに加えて、システムの即時のニーズに合わせて高分解能モードと低電力モードをスムーズに切り替える新たな機能を提供します。AD4050/AD4056 は、バッテリー駆動の小型データ・アキュイジションやエッジ・センシングのアプリケーションに理想的です。

Easy Drive 機能により、効率の高いアナログ・フロントエンド (AFE) 設計が可能になります。小容量のサンプリング・コンデンサ (3.4pF) で入力インピーダンスを高く保つことにより、SAR ADC で通常必要とされる消費電力の大きい高帯域幅アンプへの依存度を減らします。入力同相電圧範囲が広いこと、差動およびシングルエンドの両方の信号に本来対応できます。

AD4050/AD4056 は、パワーダウン・モードおよび割込み駆動型ファームウェアを備えたマイクロコントローラにも対応しています。自律モードでは、デジタル・ホストがスリープ状態の間に、範囲外のイベントの検出が可能になります。平均化モードでは、要求に応じて高分解能を計測し、その間、ホスト・プロセッサの演算負荷を軽減します。自己同期型デバイス・イネーブル信号 (DEV_EN) は、AFE デバイスのパワーサイクリングを ADC のサンプリング・タイミングに同期させて、システムの消費電力を最適化すると共に電源投入時のセトリング誤差によるアーチファクトを最小限に抑えます。AD4050/AD4056 は、更なる省電力のために、電圧リファレンスのパワーサイクリングや ADC の電圧リファレンス (V_{REF}) として電源を使用することにも対応しています。

デバイス設定および ADC のデータ・リードバックは、堅牢な 4 線式シリアル・ペリフェラル・インターフェース (SPI) を通じて行われ、巡回冗長検査 (CRC) が全てのデータ転送に適用されます。AD4050/AD4056 は、小型の LFCSP および WLCSP のパッケージで提供され、広い温度範囲で動作するため、多岐にわたるアプリケーションに理想的です。

機能ブロック図

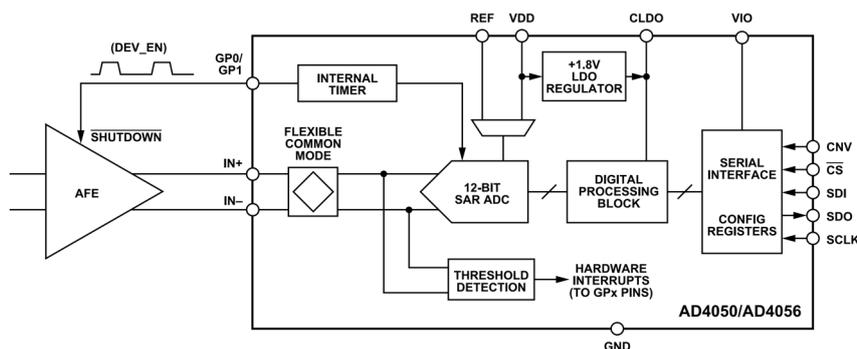


図 1. 機能ブロック図

Rev. 0

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	リファレンスのシャットダウンを利用した高精度の達成	47
アプリケーション.....	1	VDD 消費電力	49
概要.....	1	シリアル・インターフェースの出力データレートの計算	50
機能ブロック図.....	1	レイアウトに関する推奨事項	51
仕様.....	3	レジスタの一覧.....	52
タイミング仕様.....	6	レジスタの詳細.....	53
絶対最大定格.....	9	インターフェース設定 A レジスタ.....	53
熱抵抗.....	9	インターフェース設定 B レジスタ.....	53
静電放電 (ESD) 定格.....	9	デバイス設定レジスタ.....	53
ESD に関する注意.....	9	デバイス・タイプ・レジスタ.....	54
ピン配置およびピン機能の説明	10	製品 ID (LSByte) レジスタ.....	54
代表的な性能特性.....	12	製品 ID (MSByte) レジスタ.....	54
用語の定義.....	17	デバイス・グレード・レジスタ.....	55
動作原理.....	18	スクラッチ・パッド・レジスタ.....	55
概要.....	18	メーカーID (LSByte) レジスタ.....	55
コンバータの動作.....	18	メーカーID (MSByte) レジスタ.....	55
アナログ入力.....	20	予約済みレジスタ.....	56
電圧リファレンス.....	20	インターフェース設定 C レジスタ.....	56
デジタル処理機能.....	21	インターフェース・ステータス・レジスタ.....	57
内蔵タイマー.....	22	デバイス・モード選択レジスタ.....	57
電源.....	22	ADC 動作モード設定レジスタ.....	57
コンパレータの動作.....	22	ADC セットアップ設定レジスタ.....	58
割込み信号および制御信号.....	24	平均化フィルタ設定レジスタ.....	59
動作モード.....	28	汎用ピン設定レジスタ.....	59
サンプル・モード.....	30	割込み設定レジスタ.....	60
平均化モード.....	31	CHOP 信号設定レジスタ.....	60
バースト平均化モード.....	32	タイマー設定レジスタ.....	61
DEV_EN のタイミング図.....	33	最大閾値設定レジスタ.....	62
CHOP のタイミング図.....	34	最小閾値設定レジスタ.....	62
自律モード.....	34	最大閾値ヒステリシス・レジスタ.....	62
スリープ・モード.....	37	最小閾値ヒステリシス・レジスタ.....	63
シリアル・インターフェース.....	38	MON_VAL スケーリング・レジスタ.....	63
設定モード.....	38	ヒューズ CRC レジスタ.....	63
ADC のモード別出力データ形式.....	41	デバイス・ステータス・レジスタ.....	63
デバイス・リセット.....	42	最大割込みサンプル・レジスタ.....	64
アプリケーション情報.....	44	最小割込みサンプル・レジスタ.....	64
代表的なアプリケーション図.....	44	外形寸法.....	65
アナログ・フロントエンドの設計.....	45	オーダー・ガイド.....	65
リファレンス回路設計.....	46	評価用ボード.....	65
アンプのシャットダウンと ADC のサンプリングの同期.....	47		

改訂履歴

8/2024—Revision 0: Initial Version

仕様

特に指定のない限り、VDD = 2.3V~3.6V、VREF = 2.3V~3.6V、VIO = 1.71V~3.6V、リファレンス容量 (CREF) = 2.2μF、最大規定サンプル・レート (fS) での動作とします。特に指定のない限り、他の機能は全てデフォルト設定とし、最小値および最大値は TA = -40°C ~ +125°C における値、代表値は TA = +25°C における値です。

表 1. 仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION					
ADC Resolution		12			Bits
Averaging Filter Resolution	Averaging mode, burst averaging mode	14			Bits
Comparator Mode Resolution	Autonomous modes	12			Bits
SAMPLING DYNAMICS					
Sampling Rate (fS) ¹	AD4050			2	MSPS
	AD4056			500	kSPS
Aperture Delay			0.3		ns
ANALOG INPUT					
Input Voltage (VIN) Range ²	VIN = VIN+ - VIN- Differential mode	-VREF		+VREF	V
	Single-ended mode	0		+VREF	V
Absolute Input Voltage ²	VIN+, VIN-	-0.1		VDD + 0.1	V
Common-Mode Input Voltage (VCM) Range ³	VCM = (VIN+ + VIN-)/2	-0.1		VDD + 0.1	V
Analog Input Leakage Current	IN+, IN-		6		nA
Sampling Capacitance (CIN)			3.4		pF
Analog Input Capacitance ⁴	IN+, IN-				
Track Phase			5.4		pF
Hold Phase			2.0		pF
DC ACCURACY					
No Missing Codes	VREF = 3.3 V	12			Bits
Transition Noise	Sample mode (no averaging)				
	Differential mode		0.08		LSB rms
	Single-ended mode		0.16		LSB rms
Integral Nonlinearity (INL)		-0.1	±0.03	+0.1	LSB
Differential Nonlinearity (DNL) ⁵		-0.1	±0.03	+0.1	LSB
Zero Error		-900	±75	+900	μV
Zero-Error Drift			±0.05		ppm/°C
Gain Error		-0.06	±0.002	+0.06	%FS
Gain Error Drift			±0.2		ppm/°C
Total Unadjusted Error (TUE) ⁶		-600	±20	+600	ppm
Autonomous Mode TUE ⁷			±7		mV
REFERENCE					
VREF Input Range		2.3		VDD	V
REF Standby Current	VREF = 3.3 V		8		nA
REF Average Input Current ⁸	VREF = 3.3 V, fS = 2 MSPS (AD4050)		60	65	μA
	VREF = 3.3 V, fS = 500 kSPS (AD4056)		15	18	μA
AC PERFORMANCE					
Total RMS Noise	VREF = 3.3 V Sample mode (no averaging)		476		μVrms
Signal-to-Noise Ratio (SNR)	VIN = -0.5 dBFS, input frequency (fIN) = 1 kHz				
Differential Mode	Sample mode (no averaging)		73.8		dB

仕様

表 1. 仕様 (続き)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit	
Single-Ended Mode Total Harmonic Distortion (THD)	Averaging mode, $N_{AVG} = 4$		79.4		dB	
	Averaging mode, $N_{AVG} = 256$		85.9		dB	
	Sample mode (no averaging)		73.5		dB	
	$V_{IN} = -0.5$ dBFS, $f_{IN} = 1$ kHz, sample mode		-105	-90	dB	
	Signal-to-Noise and Distortion (SINAD)	$V_{IN} = -0.5$ dBFS, $f_{IN} = 1$ kHz, sample mode		73.8		dB
				73.5		dB
-3 dB Input Bandwidth			200		MHz	
DIGITAL INPUTS						
Input Low Voltage (V_{IL})		$-0.1 \times V_{IO}$		$+0.3 \times V_{IO}$	V	
Input High Voltage (V_{IH})		$0.7 \times V_{IO}$		$1.1 \times V_{IO}$	V	
Input Low Current (I_{IL})		-1		+1	μ A	
Input High Current (I_{IH})		-1		+1	μ A	
Digital Input Capacitance			3		pF	
DIGITAL OUTPUTS						
Output Low Voltage (V_{OL})	Digital output current = +500 μ A			0.3	V	
Output High Voltage (V_{OH})	Digital output current = -500 μ A	$V_{IO} - 0.3$			V	
Digital Output Short-Circuit Current	$V_{IO} = 3.3$ V					
Sourcing	Logic high shorted to 0 V		48		mA	
Sinking	Logic low shorted to 3.3 V		38		mA	
POWER REQUIREMENTS						
VDD		2.3		3.6	V	
VIO		1.71		3.6	V	
POWER SUPPLY CURRENT						
Sleep Mode Current	VDD = 3.3 V $f_S = 0$ SPS					
VDD			10		nA	
VIO	$V_{IO} = 1.8$ V		20		nA	
	$V_{IO} = 3.3$ V		120		nA	
Standby Current	$f_S = 0$ SPS					
VDD			990		nA	
VIO	$V_{IO} = 1.8$ V		50		nA	
	$V_{IO} = 3.3$ V		260		nA	
VDD Active Supply Current ⁹						
Sample Mode and Averaging Mode	$f_S = 10$ kSPS		4		μ A	
	$f_S = 500$ kSPS (AD4056)		0.2	0.27	mA	
	$f_S = 1$ MSPS (AD4050)		0.4		mA	
	$f_S = 1.5$ MSPS (AD4050)		0.6	0.75	mA	
	$f_S = 2$ MSPS (AD4050)		0.8	1	mA	
Autonomous Modes	$f_S = 10$ kSPS		1.12		μ A	
	$f_S = 300$ kSPS (AD4056)		34	67	μ A	
	$f_S = 1$ MSPS (AD4050)		112		μ A	
	$f_S = 2$ MSPS (AD4050)		224	300	μ A	
POWER DISSIPATION						
Sleep Mode Power Dissipation	VDD = VIO = 3.3 V $f_S = 0$ SPS		430		nW	

仕様

表 1. 仕様 (続き)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Standby Power Dissipation	$f_S = 0$ SPS		4.1		μ W
VDD Energy per Conversion			1.35		nJ
VDD Active Power Dissipation ⁹					
Sample Mode and Averaging Mode	$f_S = 10$ kSPS		13.6		μ W
	$f_S = 500$ kSPS (AD4056)		0.68	0.89	mW
	$f_S = 1$ MSPS (AD4050)		1.35		mW
	$f_S = 1.5$ MSPS (AD4050)		2	2.5	mW
	$f_S = 2$ MSPS (AD4050)		2.7	3.3	mW
Autonomous Modes	$f_S = 10$ kSPS		3.7		μ W
	$f_S = 300$ kSPS (AD4056)		112	220	μ W
	$f_S = 1$ MSPS (AD4050)		370		μ W
	$f_S = 2$ MSPS (AD4050)		740	990	μ W

¹ サンプルング・レートは、AD4050/AD4056 ADC の最大サンプル・レートを規定しています。出力データレートは、シリアル・インターフェースで毎秒送信できる ADC サンプルの数であり、シリアル・インターフェースのタイミング仕様に依存します。サンプル・モードおよび平均化モードでは、シリアル・インターフェースが AD4050 の出力データレートを制約するため、2MSPS を下回ります。バースト平均化モードおよび自律モードでは、出力データレートの条件が緩和されるため、AD4050 の ADC コアは最大 2MSPS で動作できます。AD4050/AD4056 の SPI 出力データレートを動作モードごとに推定するためのガイドラインについては、[シリアル・インターフェースの出力データレートの計算](#)のセクションを参照してください。

² V_{IN+} と V_{IN-} は、それぞれ IN+ピンと IN-ピンの電圧を表しています。AD4050/AD4056 は、 V_{IN+} と V_{IN-} の差分をサンプルングして変換します。

³ AD4050/AD4056 の同相入力電圧範囲の詳細な説明については、[広い入力同相電圧範囲](#)のセクションを参照してください。

⁴ トラック・フェーズでは、総入力容量は C_{IN} とピン容量の合計になります。ホールド・フェーズでは、 C_{IN} が入力から遮断されるため、入力容量はピン容量のみになります。[図 35](#) を参照してください。

⁵ DNL の最小仕様および最大仕様は設計により確保されています。

⁶ TUE (総合未調整誤差) は、どのデバイスでも、全入力範囲にわたる理想的な DC 伝達関数からの最大のずれと定義されています。TUE には、各デバイスのゼロ誤差、ゲイン誤差、INL 誤差を組み合わせた影響が含まれています。

⁷ 自律モードにおける TUE はコンパレータの動作に適用されます。[コンパレータの動作および自律モード](#)の各セクションを参照してください。

⁸ 平均 REF 入力電流は、 f_S に伴って線形にスケールリングします ([図 18](#) を参照)。

⁹ VDD 供給電流および消費電力は、サンプル・レートに伴って線形にスケールリングします ([VDD 消費電力](#)のセクション、[図 21](#)、および[図 24](#) を参照してください)。

仕様

タイミング仕様

VDD = VREF = 2.3V~3.6V、VIO = 1.71V~3.6V、デジタル出力負荷容量 (CLOAD) = 20pF とし、他の全機能はデフォルト設定になっています。特に指示のない限り、最小値および最大値は TA = -40°C~+125°C における値であり、代表値は TA = +25°C における値です。

表 2. ADC のタイミング仕様

Parameter ¹	Symbol	Min	Typ	Max	Unit
Sampling Rate ²	f _S				
AD4050				2	MSPS
AD4056				500	kSPS
Sample Period (Time Between Conversions) ²	t _{CYC}				
AD4050		500			ns
AD4056		2000			ns
Conversion Time	t _{CONV}		270	320	ns
Acquisition Time ^{3, 4}	t _{ACQ}				
f _S = 2 MSPS		290	327		ns
f _S = 500 kSPS		1790	1827		ns
Quiet Time (Last SCLK Edge to CNV Rising Edge)	t _{QUIET}	15			ns
CNV High Time	t _{CNVH}	10			ns
CNV Low Time	t _{CNVL}	10			ns
Internal Timer Frequency ⁵	f _{OSC}	-15%	f _{OSC}	+15%	ns

¹ t_{CONV} の仕様は製品テストで確認されています。この表の他のタイミング仕様は全て、特性評価および設計により確保されています。

² サンプリング・レートは、AD4050/AD4056 ADC の最大サンプル・レートを規定しています。出力データレートは、シリアル・インターフェースで每秒送信できる ADC サンプルの数であり、シリアル・インターフェースのタイミング仕様に依存します。サンプル・モードおよび平均化モードでは、シリアル・インターフェースが AD4050 の出力データレートを制約するため、2MSPS を下回ります。バースト平均化モードおよび自律モードでは、出力データレートの条件が緩和されるため、AD4050 の ADC コアは最大 2MSPS で動作できます。AD4050/AD4056 の SPI 出力データレートを動作モードごとに推定するためのガイドラインについては、[シリアル・インターフェースの出力データレートの計算](#)のセクションを参照してください。

³ t_{ACQ} の仕様値は、入力サンプリング容量が所定のサンプル・レートにおいて入力電圧を取り込むのに利用できる時間です。t_{ACQ} の仕様値は、ADC がトラック・フェーズで消費する時間に相当します。t_{ACQ} の仕様値はサンプル・レートに反比例します。そのため、t_{ACQ} の仕様値は、サンプル・レートが減少するにつれて増加します。任意のサンプル周期レートにおける t_{ACQ} の最小仕様値は、次の式、t_{ACQ} = t_{CYC} - 210ns で求められます。

⁴ DEV_EN 信号を使用してアナログ・フロントエンドをパワーサイクリングしている間のアクイジション・タイムの説明については、[デバイス・イネーブリング信号](#)のセクションを参照してください。

⁵ バースト平均化モードおよび自律モードでは、内蔵タイマーでサンプリング周波数が設定されます。AD4050/AD4056 は、最大 f_{osc} の仕様で動作が確保されています。公称のサンプリング周波数オプションについては表 44 を参照してください。

表 3. SPI タイミング—設定モード、VIO ≥ 3.0V

Parameter ¹	Symbol	Min	Typ	Max	Unit
CS High Time	t _{CSH}	15			ns
CS Falling Edge to SDO Valid	t _{EN}			10	ns
CS Rising Edge to SDO High Impedance	t _{CSDIS}			10	ns
SCLK Period	t _{SCLK}	40			ns
SCLK Low Time	t _{SCLKL}	15			ns
SCLK High Time	t _{SCLKH}	15			ns
SDI Valid Setup Time Prior to SCLK Rising Edge (SDI Setup Time)	t _{SSDI}	4			ns
SDI Valid Hold Time After SCLK Rising Edge (SDI Hold Time)	t _{HSDI}	2			ns
SCLK Falling Edge to Data Remains Valid (SDO Hold Time)	t _{HSDO}	2			ns
SCLK Falling Edge to Data Valid (SDO Valid Delay)	t _{DSDO}			11	ns
Operating Mode Update Delay	t _{MODE}	40			ns
Reset Delay	t _{RESET}		5		ms

¹ t_{SCLK}、t_{SCLKL}、t_{SCLKH} の仕様は製品テストで確認されています。この表の他のタイミング仕様は全て、特性評価および設計により確保されています。

仕様

表 4. SPI タイミング—設定モード、VIO ≥ 1.71V

Parameter ¹	Symbol	Min	Typ	Max	Unit
\overline{CS} High Time	t_{CSH}	15			ns
\overline{CS} Falling Edge to SDO Valid	t_{EN}			20	ns
\overline{CS} Rising Edge to SDO High Impedance	t_{CSDIS}			20	ns
SCLK Period	t_{SCLK}	62.5			ns
SCLK Low Time	t_{SCLKL}	25			ns
SCLK High Time	t_{SCLKH}	25			ns
SDI Valid Setup Time Prior to SCLK Rising Edge (SDI Setup Time)	t_{SSDI}	10			ns
SDI Valid Hold Time After SCLK Rising Edge (SDI Hold Time)	t_{HSDI}	4			ns
SCLK Falling Edge to Data Remains Valid (SDO Hold Time)	t_{HSDO}	2			ns
SCLK Falling Edge to Data Valid (SDO Valid Delay)	t_{DSDO}			22	ns
Operating Mode Update Delay	t_{MODE}	62.5			ns
Reset Delay	t_{RESET}		5		ms

¹ t_{SCLK} 、 t_{SCLKL} 、 t_{SCLKH} の仕様は製品テストで確認されています。この表の他のタイミング仕様は全て、特性評価および設計により確保されています。

表 5. SPI タイミング—ADC モード、VIO ≥ 3.0V

Parameter ¹	Symbol	Min	Typ	Max	Unit
\overline{CS} Falling Edge to SDO Valid	t_{EN}			8	ns
\overline{CS} Rising Edge to SDO High Impedance	t_{CSDIS}			8	ns
SCLK Period	t_{SCLK}	12			ns
SCLK Low Time	t_{SCLKL}	5.4			ns
SCLK High Time	t_{SCLKH}	5.4			ns
SDI Valid Setup Time Prior to SCLK Rising Edge (SDI Setup Time)	t_{SSDI}	4			ns
SDI Valid Hold Time After SCLK Rising Edge (SDI Hold Time)	t_{HSDI}	2			ns
SCLK Falling Edge to Data Remains Valid (SDO Hold Time)	t_{HSDO}	1.5			ns
SCLK Falling Edge to Data Valid (SDO Valid Delay)	t_{DSDO}			8	ns
Exit Command to Register Access Delay	t_{CONFIG}			8	ns
Reset Delay	t_{RESET}		5		ms

¹ t_{SCLK} 、 t_{SCLKL} 、 t_{SCLKH} の仕様は製品テストで確認されています。この表の他のタイミング仕様は全て、特性評価および設計により確保されています。

表 6. SPI タイミング—ADC モード、VIO ≥ 1.71V

Parameter ¹	Symbol	Min	Typ	Max	Unit
\overline{CS} Falling Edge to SDO Valid	t_{EN}			15	ns
\overline{CS} Rising Edge to SDO High Impedance	t_{CSDIS}			15	ns
SCLK Period	t_{SCLK}	17			ns
SCLK Low Time	t_{SCLKL}	7.5			ns
SCLK High Time	t_{SCLKH}	7.5			ns
SDI Valid Setup Time Prior to SCLK Rising Edge (SDI Setup Time)	t_{SSDI}	5			ns
SDI Valid Hold Time After SCLK Rising Edge (SDI Hold Time)	t_{HSDI}	4			ns
SCLK Falling Edge to Data Remains Valid (SDO Hold Time)	t_{HSDO}	1.5			ns
SCLK Falling Edge to Data Valid (SDO Valid Delay)	t_{DSDO}			15	ns
Exit Command to Register Access Delay	t_{CONFIG}			15	ns
Reset Delay	t_{RESET}		5		ms

¹ t_{SCLK} の仕様は製品テストで確認されています。この表の他のタイミング仕様は全て、特性評価および設計により確保されています。

仕様

タイミング図

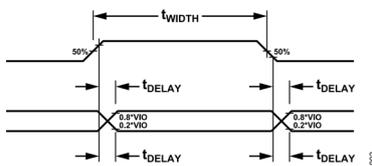


図 2. タイミング仕様における電圧レベル

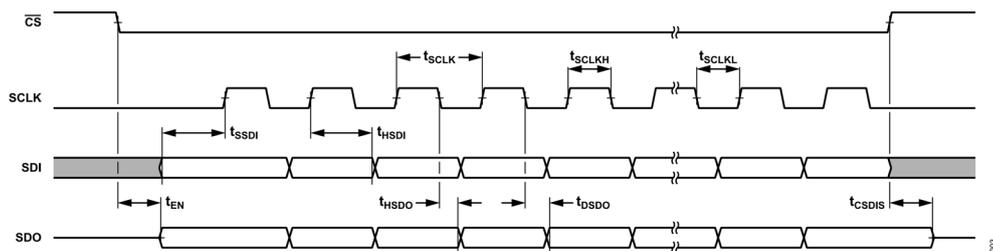


図 3. SPI タイミング仕様の概略図

絶対最大定格

表 7. 絶対最大定格

Parameter	Rating
Analog Inputs	
IN+, IN-, REF to GND	-0.3 V to VDD + 0.3 V
Supply Voltages	
VDD, VIO to GND	-0.3 V to +3.96 V
CLDO to GND	-0.3 V to +2.1 V
Digital Inputs to GND	-0.3 V to VIO + 0.3 V
Digital Outputs to GND	-0.3 V to VIO + 0.3 V
Temperature	
Storage	-55°C to +150°C
Operating T _J Range	-40°C to +125°C
Maximum Reflow (Package Body)	260°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

表 8. 熱抵抗

Package Type ¹	θ_{JA} ²	θ_{JC} ³	Unit
CP-14-7	73.9	52.3	°C/W
CB-16-26	49.6	0.6	°C/W

¹ テスト条件 1：熱抵抗のシミュレーション値は、2S2P JEDEC PCB の使用によって決定します。

² θ_{JA} は、1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲環境の間の熱抵抗です。

³ θ_{JC} は、ジャンクションとケースの間の熱抵抗です。

静電放電（ESD）定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘起帯電デバイス・モデル（FICDM）。

AD4050/AD4056 の ESD 定格

表 9. AD4050/AD4056、14 ピン LFCSP および 16 ボール WLCSP

ESD Model	Withstand Threshold (kV)	Class
HBM	4	3A
FICDM	1.25	C3

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

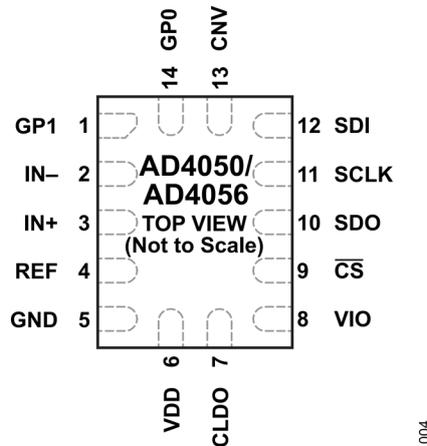


図 4. AD4050/AD4056 LFCSP のピン配置

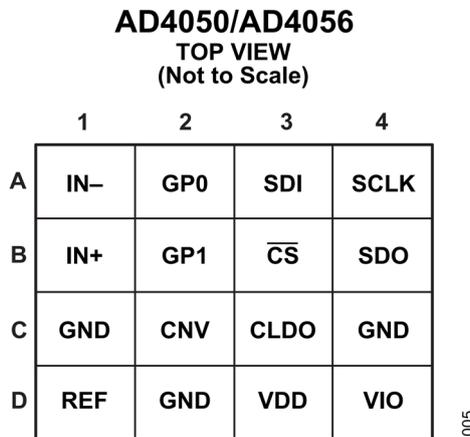


図 5. AD4050/AD4056 WLCSP のピン配置

表 10. AD4050/AD4056 LFCSP および WLCSP のピン機能の説明

LFCSP の ピン番号	WLCSP の ピン番号	記号	タイプ	説明
1	B2	GP1	DO	汎用出力 1。GP1 ピンは、複数のデバイス割込み信号として設定可能なデジタル出力です。 割込み信号および制御信号 のセクションを参照してください。
2	A1	IN-	AI	負側アナログ入力。 アナログ入力 のセクションを参照してください。
3	B1	IN+	AI	正側アナログ入力。 アナログ入力 のセクションを参照してください。
4	D1	REF	AI	リファレンス入力。REF ピンは、2.2μF のコンデンサで GND にデカップリングします。 電圧リファレンス のセクションを参照してください。
5	C1, C4, D2	GND	P	電源グラウンド。
6	D3	VDD	P	アナログ電源。VDD ピンは、1μF のコンデンサで GND にデカップリングします。VDD ピンは、CLDO ピンの供給電圧を提供する +1.8V の内部 LDO レギュレータへの入力にもなります。 電源 のセクションを参照してください。
7	C3	CLDO	P	ADC コアの電源。CLDO ピンには、+1.8V の内部 LDO レギュレータから電源が供給されます。CLDO ピンは、1μF のコンデンサで GND にデカップリングします。 電源 のセクションを参照してください。
8	D4	VIO	P	ロジック電圧供給。VIO ピンでは、デジタル入力およびデジタル出力のロジック電圧レベルを設定します。VIO ピンは、1μF のコンデンサで GND にデカップリングします。 電源 のセクションを参照してください。
9	B3	CS	DI	チップ・セレクト入力（アクティブ・ロー）。 シリアル・インターフェース のセクションを参照してください。
10	B4	SDO	DO	シリアル・データ出力。 シリアル・インターフェース のセクションを参照してください。
11	A4	SCLK	DI	シリアル・データ・クロック入力。 シリアル・インターフェース のセクションを参照してください。
12	A3	SDI	DI	シリアル・データ入力。 シリアル・インターフェース のセクションを参照してください。

LFCSP の ピン番号	WLCSP の ピン番号	記号	タイプ	説明
13	C2	CNV	DI	変換入力。サンプル・モード、平均化モード、パースト平均化モードでは、CNV ピンの立上がりエッジで変換を開始します。CNV ピンは必要に応じて \overline{CS} に接続することもできます。 シリアル・インターフェース のセクションを参照してください。
14	A2	GP0	DO	汎用出力 0。GP0 ピンは、複数のデバイス制御または割込み信号として設定可能なデジタル出力です。 割込み信号 および 制御信号 のセクションを参照してください。

代表的な性能特性

特に指定のない限り、VDD = 3.3V、VREF = 3.3V、VIO = 3.3V、CREF = 2.2μF、最大 fs、TA = 25°C とし、全ての機能はデフォルト設定になっています。

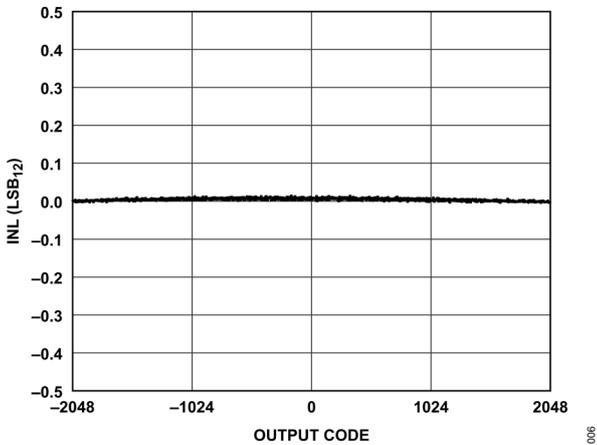


図 6. INL と出力コードの関係

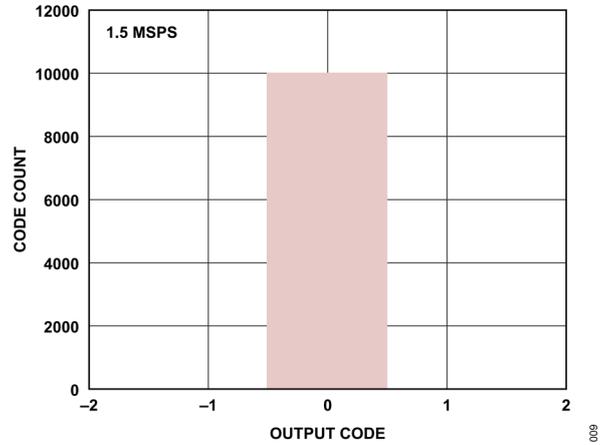


図 9. ヒストグラム、サンプル・モード（平均化なし）

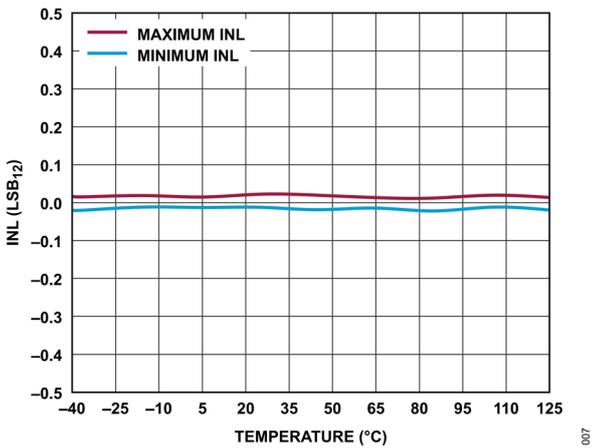


図 7. INL と温度の関係

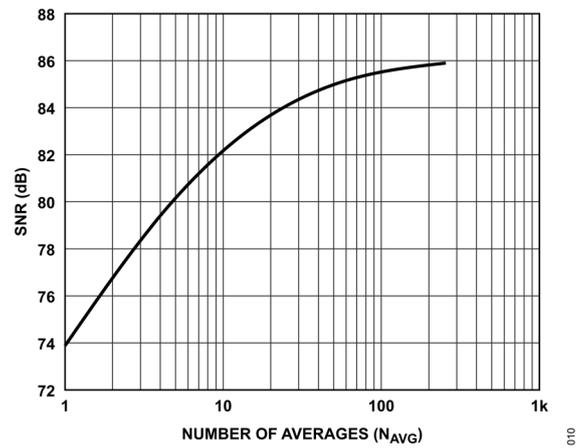


図 10. SNR と平均化回数との関係

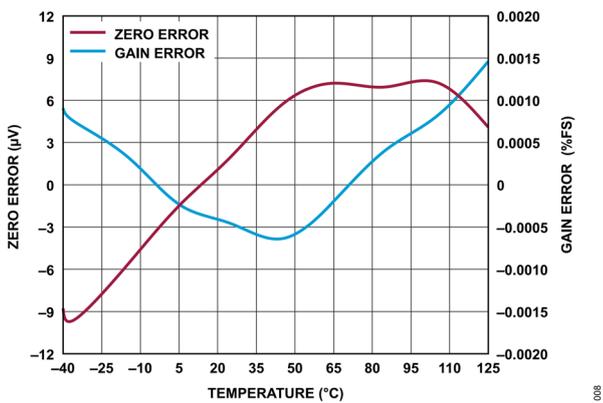


図 8. ゼロ誤差およびゲイン誤差と温度の関係

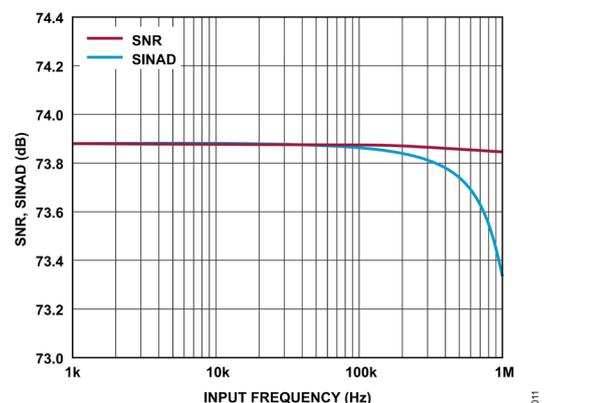


図 11. SNR、SINAD と入力周波数の関係

代表的な性能特性

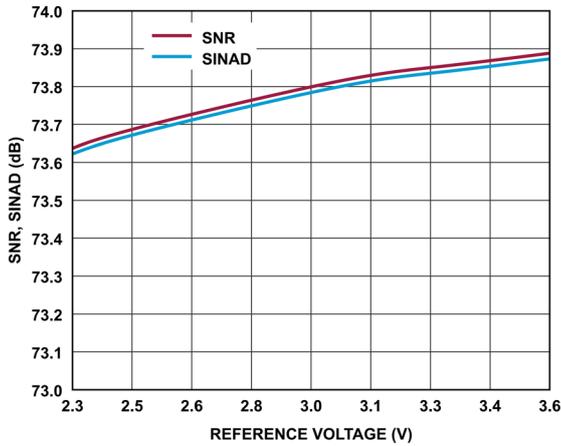


図 12. SNR および SINAD とリファレンス電圧の関係

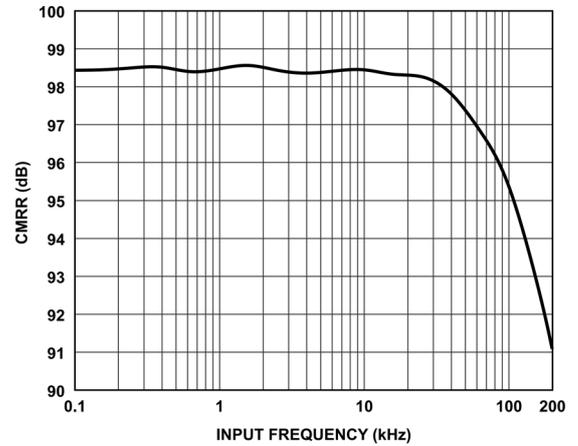


図 15. 同相モード除去比 (CMRR) と入力周波数の関係

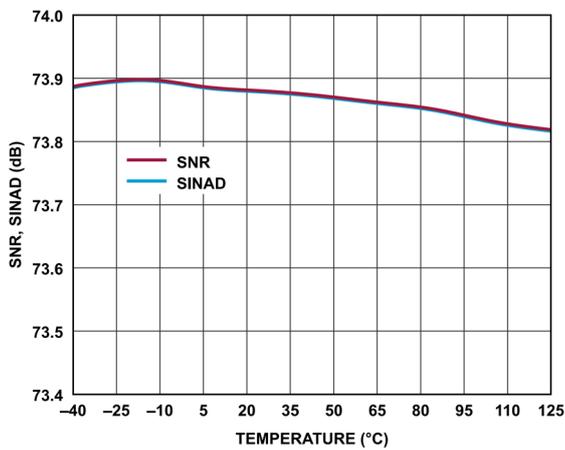


図 13. SNR および SINAD と温度の関係

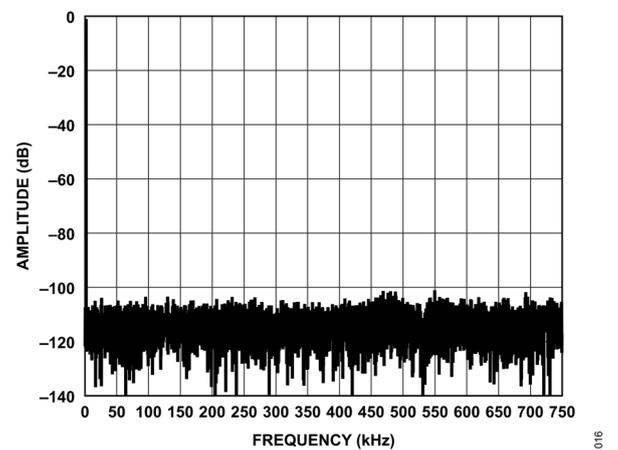


図 16. 高速フーリエ変換 (FFT)、 $f_s = 1.5\text{MSPS}$ 、 $f_{IN} = 1\text{kHz}$

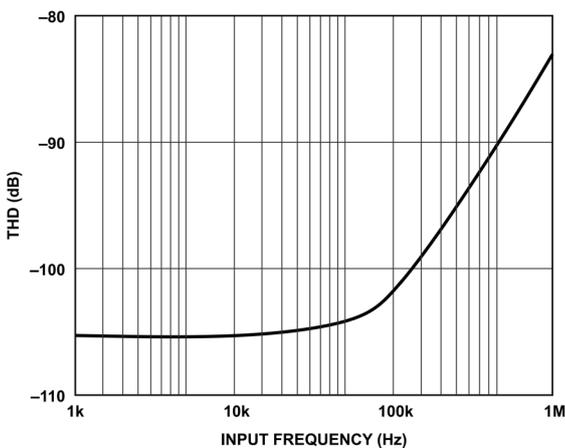


図 14. THD と入力周波数の関係、 $V_{IN} = -1\text{dBFS}$

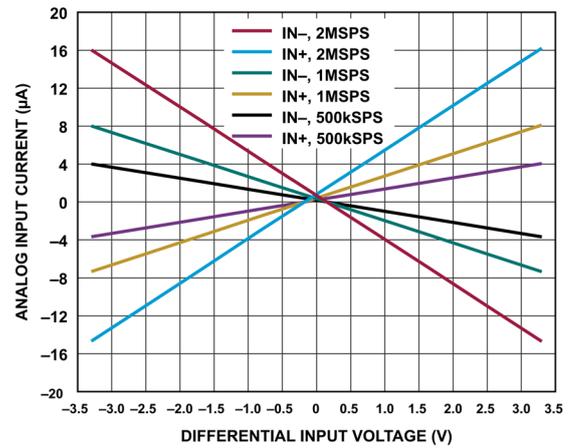


図 17. アナログ入力電流と差動入力電圧の関係

代表的な性能特性

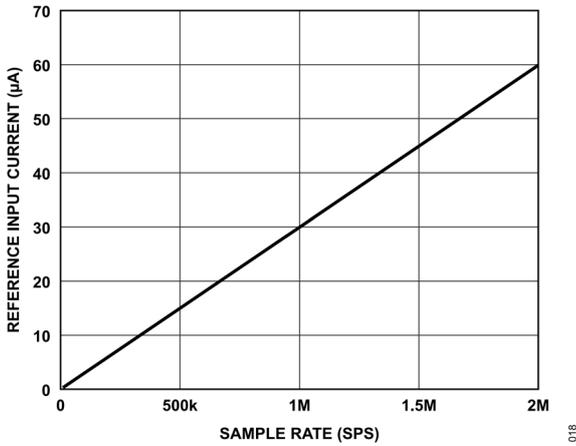


図 18. リファレンス入力電流とサンプル・レートの関係

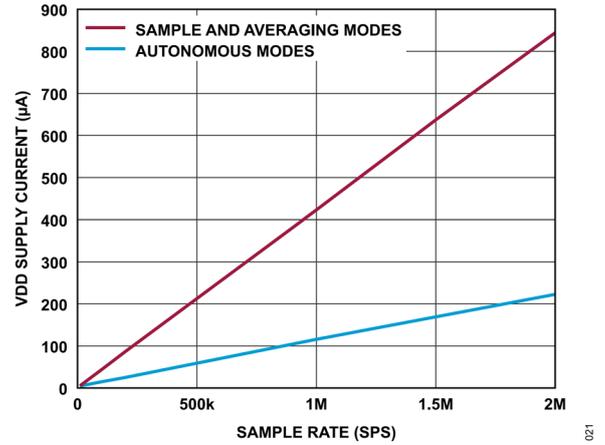


図 21. VDD 供給電流とサンプル・レートの関係

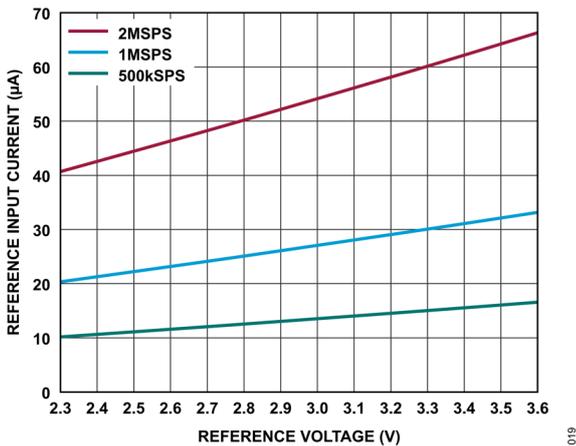


図 19. リファレンス入力電流とリファレンス電圧の関係

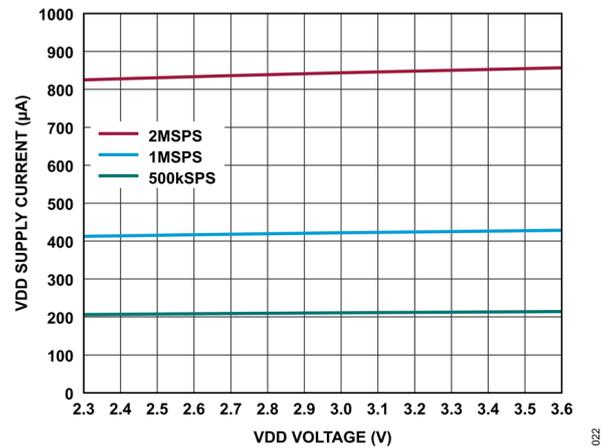


図 22. VDD 供給電流と VDD 電圧の関係

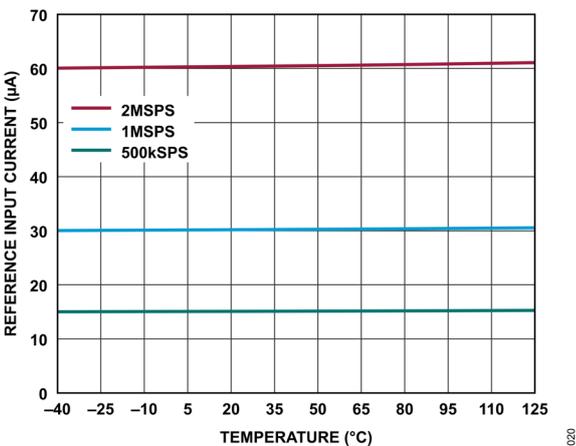


図 20. リファレンス入力電流と温度の関係

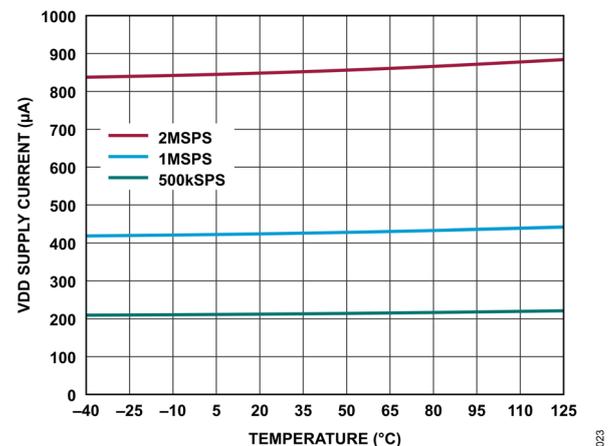


図 23. VDD 供給電流と温度の関係

代表的な性能特性

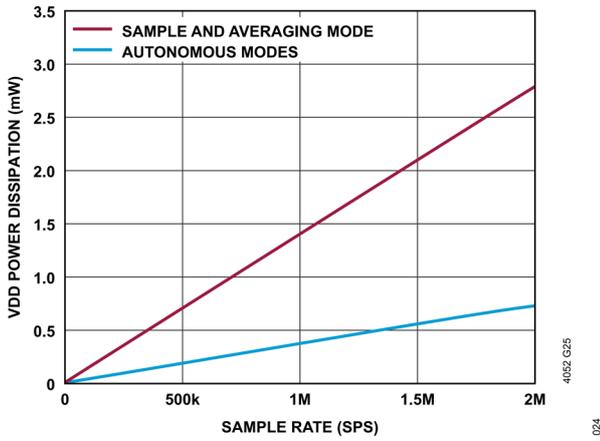


図 24. VDD 消費電力とサンプル・レートの関係

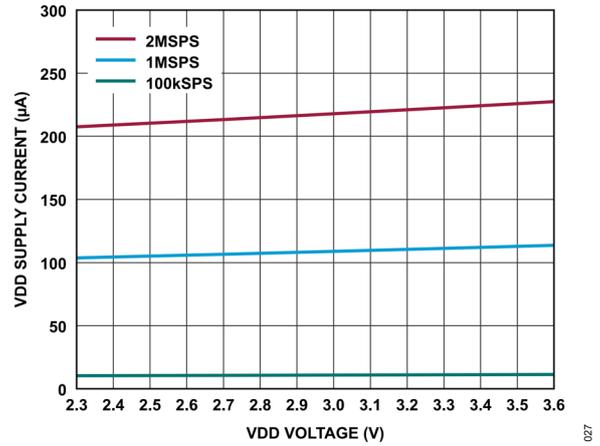


図 27. VDD 供給電流と VDD 電圧の関係 (自律モード)

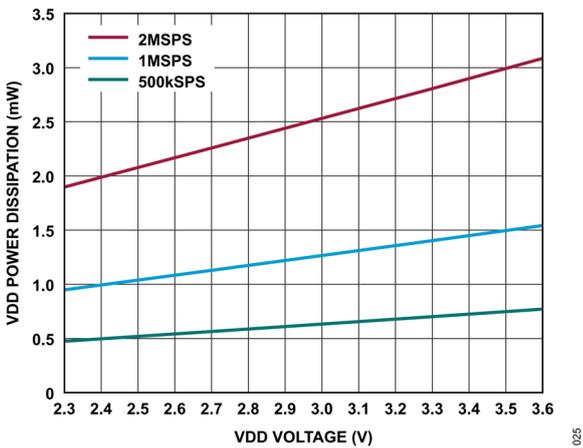


図 25. VDD 消費電力と VDD 電圧の関係

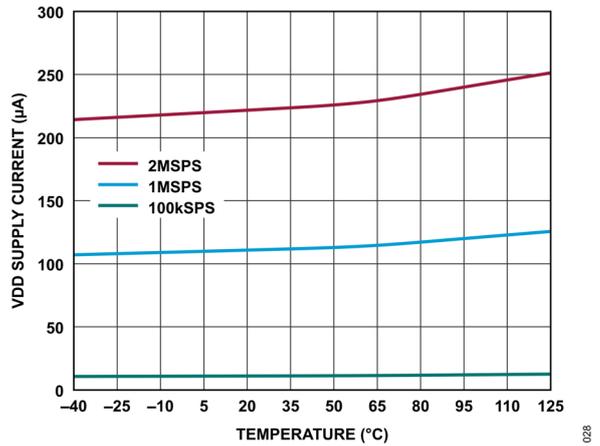


図 28. VDD 供給電流と温度の関係 (自律モード)

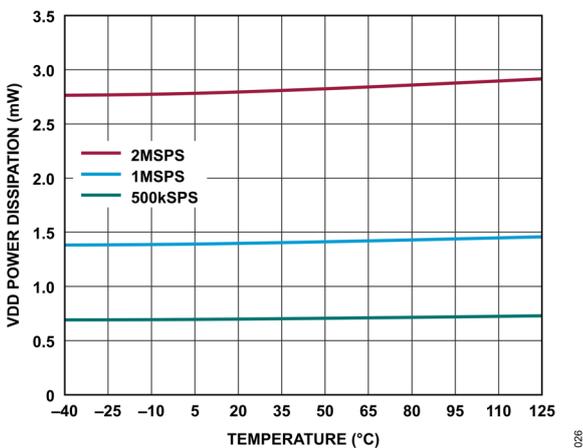


図 26. VDD 消費電力と温度の関係

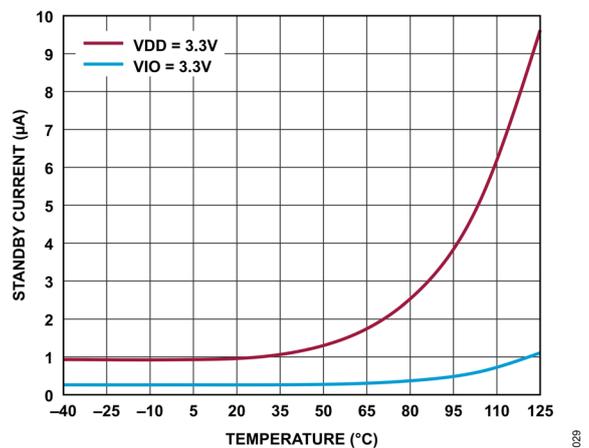


図 29. スタンバイ電流と温度の関係

代表的な性能特性

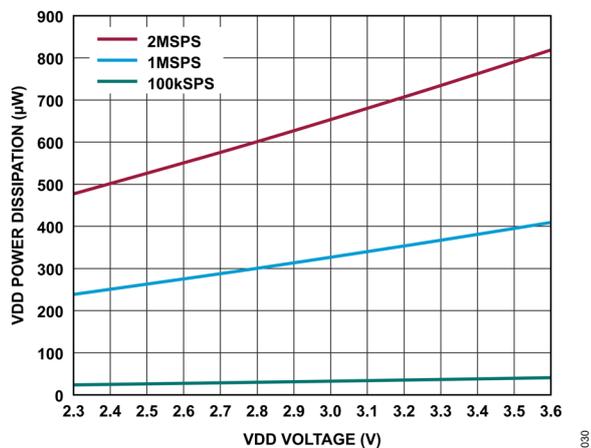


図 30. VDD 消費電力と VDD 電圧の関係 (自律モード)

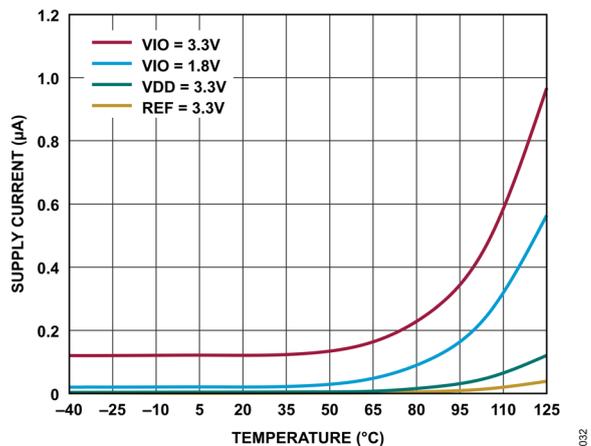


図 32. 供給電流 (スリープ・モード) と温度の関係

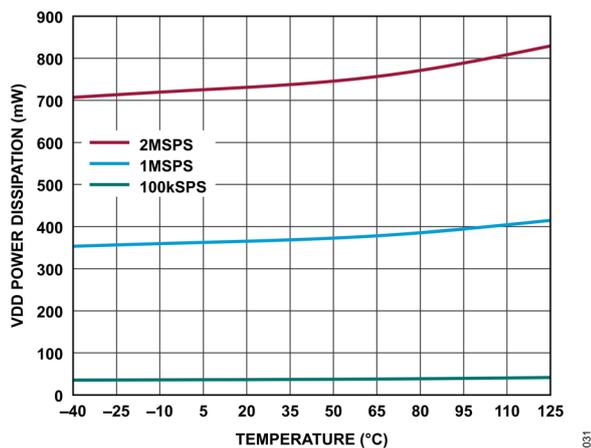


図 31. VDD 消費電力と温度の関係 (自律モード)

用語の定義

積分非直線性 (INL) 誤差

INL は、負のフルスケールから正のフルスケールまで引かれた直線からの個々のコードのずれを表します。負のフルスケールとして使用される点は、最初のコード遷移点の $1/2$ LSB 手前に位置します。正のフルスケールは、最後のコード遷移点を $1/2$ LSB 上回ったレベルとして定義されます。ずれは各コードの中心から真の直線までの距離として測定されます。

微分非直線性 (DNL) 誤差

理想的な ADC では、コード遷移点が 1LSB 間隔で生じます。DNL は、この理想値からの最大のずれを表します。DNL は多くの場合、ノー・ミス・コードが確保されている分解能で規定されています。

ゼロ誤差 (ZE)

ゼロ誤差は、理想的なミッドスケール電圧 (0V) とミッドスケール出力コード (0LSB) を生成する実際の電圧との差分です。

ゲイン誤差 (GE)

最初の遷移 (100...00 から 100...01) は負の公称フルスケールより $1/2$ LSB 上のレベルで発生します。最後の遷移 (011...10 から 011...11) は、公称フルスケールより $1/2$ LSB 下のアナログ電圧で発生します。ゲイン誤差は、最後の遷移の実際のレベルと最初の遷移の実際のレベルとの差分が、理想的なレベル間の差分からどれだけずれているかを示します。

総合未調整誤差 (TUE)

TUE は、最も厳しい条件で測定された、全入力範囲にわたる理想的な ADC 伝達関数からのずれであり、フルスケールに対する ppm 単位で規定されます。TUE には、どのデバイスでもゼロ誤差、ゲイン誤差、INL 誤差を組み合わせた影響が含まれています。

ダイナミック・レンジ (DR)

ダイナミック・レンジは、測定したノイズの合計実効値電圧に対するフルスケール・サイン波の実効値電圧の比率です。ダイナミック・レンジの値はデシベル単位で表されます。ダイナミック・レンジは、全てのノイズ源および DNL アーチファクトを含むように、 -60 dBFS の信号で測定されます。

スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDR は、フルスケール入力信号の実効値振幅とピーク・スプリアス信号との差分であり、デシベル (dB) 単位で表されます。

S/N 比 (SNR)

SNR は、ナイキスト周波数未満の全てのスペクトル成分 (高調波と DC を除く) の実効値の総和に対する、フルスケール・サイン波の実効値電圧の比率です。SNR の値はデシベル単位で表されます。

全高調波歪み (THD)

THD は、フルスケール入力信号の実効値に対する最初の 5 個の高調波成分の実効値総和の比で、単位はデシベルです。

信号/ノイズ + 歪み (SINAD) 比

SINAD は、ナイキスト周波数未満の全てのスペクトル成分 (高調波成分を含むが DC は除く) の実効値の総和に対する、フルスケール・サイン波の実効値電圧の比率です。SINAD の値はデシベル単位で表されます。

有効ビット数 (ENOB)

ENOB は、サイン波入力による分解能の測定値です。

ENOB と SINAD の関係は次式で表されます：

$$\text{ENOB} = (\text{SINAD dB} - 1.76)/6.02$$

ENOB はビット単位で表されます。

同相モード除去比 (CMRR)

CMRR は、周波数 f の入力同相電圧に印加された -1 dBFS のサイン波の電力に対する、ADC 出力における周波数 f の電力の比率です。

$$\text{CMRR}(\text{dB}) = 10 \times \log(P_{\text{ADC_IN}}/P_{\text{ADC_OUT}})$$

ここで、

$P_{\text{ADC_IN}}$ は、入力に印加された周波数 f の同相電力です。

$P_{\text{ADC_OUT}}$ は、ADC 出力における周波数 f の電力です。

アパーチャ遅延

アパーチャ遅延は、CNV 入力の立上がりエッジから、入力信号が変換のためにホールドされるまでの時間です。

動作原理

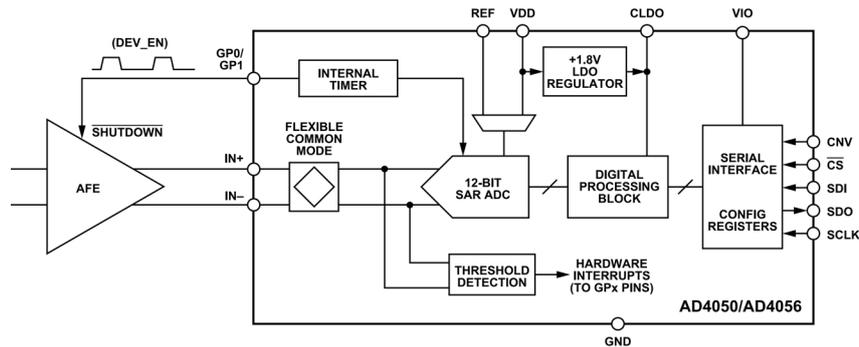


図 33. AD4050/AD4056 の機能ブロック図

概要

AD4050/AD4056 は、小型で超低消費電力、Easy Drive 機能を搭載した 12 ビット SAR ADC です。AD4050/AD4056 の機能セットは、AFE の設計上の制約を緩和し、デジタル・ホストのオーバーヘッドを最小限に抑えることで、低消費電力の高精度計測システムの設計を容易にします。入力容量が小さく、同相入力範囲が広いこと、互換性のある AFE コンポーネントの選択肢が広がり、よりシンプルで低消費電力のシグナル・チェーン・ソリューションが可能になります。ブロック平均化フィルタはノイズを低減すると同時に、ホスト・プロセッサの演算負荷を軽減します。内蔵のタイマー・ブロックは、自律モニタリング・モード、バースト・サンプリングを可能にするほか、デバイスのパワーサイクリングを ADC のサンプリング・タイミングに同期させて実行できるようにします。CHOP 信号は、非常に低い 1/f ノイズおよびオフセット誤差が求められるアプリケーションでチョッピングを利用するオートゼロ・アンプの制御信号として使用できます。様々なハードウェア割込みにより、ユーザ定義のイベント間にデジタル・ホストがスリープ状態に入れるようにします。

AD4050/AD4056 は、性能と電力効率の独自のバランスを提供し、1 回の変換当たりわずか 1.35nJ のエネルギー消費で SNR は 73.8dB、INL は ± 0.1 LSB が確保されます。3.3V の単一電源で動作する場合、AD4050 の電力消費は 2MSPS でわずか 2.7mW、AD4056 の電力消費は 500kSPS でわずか 0.68mW です。AD4050 および AD4056 の両方とも、消費電力はサンプル・レートに伴って線形にスケールします (図 24 を参照)。両デバイスとも、変換を実行しないスタンバイ時の消費電力は 4.1 μ W です。スタンバイ電力を更に低減するにはスリープ・モードが利用可能であり、長期間のアイドル動作では 430nW まで減少します。

AD4050/AD4056 は、デバイス設定および ADC データ・リードバックに使用する CRC 機能を備えた 4 線式 SPI を搭載しており、この SPI は 1.8V~3.3V のロジック・レベルに対応しています。

AD4050/AD4056 には複数の動作モードがあり、それぞれ高精度計測または電力効率の高い信号モニタリングに最適化されています。動作原理のセクションでは、AD4050/AD4056 の機能ブロックについて説明しており、動作モードのセクションでは各動作モードでの機能ブロックの利用方法について説明しています。シリアル・インターフェースのセクションでは、設定レジスタおよび ADC データにアクセスするための SPI プロトコルについて説明しています。レジスタの一覧のセクションでは、設定レジスタについて説明しています。

コンバータの動作

AD4050/AD4056 は、アキュイジション・フェーズと変換フェーズの 2 つのフェーズで動作します。アキュイジション・フェーズでは、内部のトラック&ホールド回路が各入力ピン (IN+ と IN-) に接続され、各ピンの電圧を個別に取り込みます。AD4050/AD4056 は、変換開始トリガが発生して変換が開始されるまで、アキュイジション・フェーズにとどまります。変換フェーズの開始時に、トラック&ホールド回路は取り込んだアナログ入力信号をサンプリングし、対応する 12 ビットのデジタル・コードを SAR ADC コアが生成します。変換フェーズは、12 ビットの変換結果が準備されると終了します。この仕様は、 t_{CONV} として表 2 に示されています。AD4050/AD4056 のアキュイジション・フェーズと変換フェーズは、アキュイジション・タイム (t_{ACQ}) を最大化するために重なり合っています。

サンプル・モードおよび平均化モードでは、CNV ピンの立上がりエッジで変換フェーズが開始されます。AD4050/AD4056 は、内蔵発振器で代わりに変換開始をトリガする複数のモードを提供しており、その中には自律モードも含まれます。関連する動作モードのそれぞれに関する特定の ADC タイミング情報については、動作モードのセクションを参照してください。

伝達関数

図 34 は、AD4050/AD4056 の SAR ADC コアの理想的な伝達関数を示しています。AD4050/AD4056 は、サンプリングした IN+ と IN- の電圧差をフルスケール範囲 (FSR) に対する比として 12 ビットのデジタル・コードにエンコードします。1LSB の単位は、ADC が分解できる最小の離散電圧ステップを意味しており、 V_{REF} 電圧の関数です。平均化モードおよびバースト平均化モードでは、ブロック平均化フィルタが複数の 12 ビット・サンプルの平均を取り、1 つの 14 ビット・コードにします。表 11 および表 12 は、入力電圧とデジタル出力コードの対応を要約しています。

動作原理

AD4050/AD4056 のシリアル・インターフェースは、ADC データをバイトの倍数で出力し、マイクロコントローラのダイレクト・メモリ・アクセス (DMA) コントローラとの最大限の互換性を確保します。ADC のモード別出力データ形式のセクションでは、AD4050/AD4056 の各動作モードにおけるシリアル・インターフェースのデータ・パケット形式について説明しています。

広い入力同相電圧範囲のセクションで説明されているように、AD4050/AD4056 は任意の入力同相電圧に対応しているため、差分型およびシングルエンド型の両方の信号に本来対応しています。AD4050/AD4056 は、2 の補数 (符号付き) およびストレート・バイナリ (符号なし) の両方の形式に対応しており、差動信号またはシングルエンド信号を全 12 ビットの ADC 伝達関数に対応付けます。ADC_MODES レジスタの DATA_FORMAT ビットで、表 11 および表 12 に示されているように、差動モードおよびシングルエンド・モードの伝達関数から選択します。

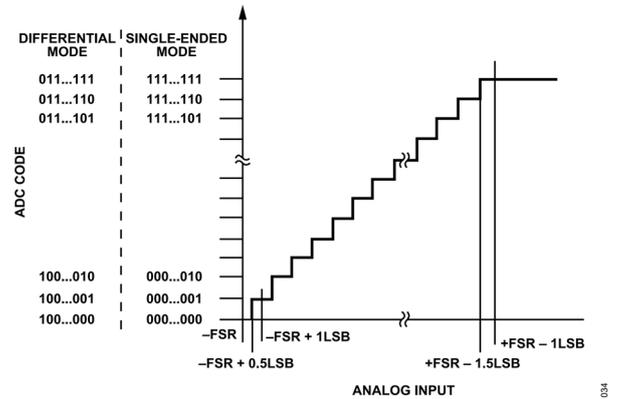


図 34. ADC の理想的な伝達関数

表 11. ADC 入力電圧と出力コードの対応関係 (サンプル・モード)

Description	Differential Mode		Single-Ended Mode	
	V _{IN}	Digital Output Code	V _{IN}	Digital Output Code
FSR - 1 LSB	$(2047/2048) \times V_{REF}$	0x7FF	$(4095/4096) \times V_{REF}$	0xFFF
...
Midscale + 1 LSB	$(1/2048) \times V_{REF}$	0x001	$(2049/4096) \times V_{REF}$	0x801
Midscale	0 V	0x000	$(\frac{1}{2}) \times V_{REF}$	0x800
Midscale - 1 LSB	$-(1/2048) \times V_{REF}$	0xFFF	$(2047/4096) \times V_{REF}$	0x7FF
...
-FSR + 1 LSB	$(-2047/2048) \times V_{REF}$	0x801	$(1/2048) \times V_{REF}$	0x001
-FSR	$-V_{REF}$	0x800	0 V	0x000

表 12. ADC 入力電圧と出力コードの対応関係 (平均化モードおよびバースト平均化モード)

Description	Differential Mode		Single-Ended Mode	
	V _{IN}	Digital Output Code	V _{IN}	Digital Output Code
FSR - 1 LSB	$(8191/8192) \times V_{REF}$	0x1FFF	$(16383/16384) \times V_{REF}$	0x3FFF
...
Midscale + 1 LSB	$(1/8192) \times V_{REF}$	0x0001	$(8193/16384) \times V_{REF}$	0x2001
Midscale	0 V	0x0000	$(\frac{1}{2}) \times V_{REF}$	0x2000
Midscale - 1 LSB	$(-1/8192) \times V_{REF}$	0xFFFF	$(8191/16384) \times V_{REF}$	0x1FFF
...
-FSR + 1 LSB	$(-8191/8192) \times V_{REF}$	0x2001	$(1/16384) \times V_{REF}$	0x0001
-FSR	$-V_{REF}$	0x2000	0 V	0x0000

動作原理

アナログ入力

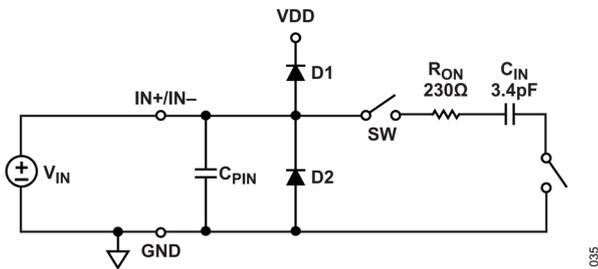


図 35. 等価アナログ入力回路

図 35 は、AD4050/AD4056 の各アナログ入力 (IN+ と IN-) の等価回路を示しています。アナログ入力は、スイッチング容量性負荷としてモデル化されています。アキュイジション・フェーズでは、サンプリング・スイッチ (SW) が各入力ピンを 3.4pF のサンプリング・コンデンサ (C_{IN}) に 230Ω のスイッチ・オン抵抗 (R_{ON}) と直列に接続します。変換フェーズでは、SW を切り離して、サンプリング・コンデンサに保持された IN+ピンおよび IN-ピンの電圧をサンプリングします。D1 および D2 は、IN+ピンおよび IN-ピンからそれぞれ VDD 電源および GND につながる ESD ダイオードを表しています。C_{PIN} は GND に対する各入力ピンのピン容量を表しており、典型的には 2pF です。

AD4050/AD4056 のアナログ入力の実効負荷特性に関する詳細については、AD4050/AD4056 の等価アナログ入力モデルのセクションを参照してください。

Easy Drive 機能

AD4050/AD4056 の Easy Drive 対応アナログ入力は、特殊な高速で低ノイズかつ高出力の ADC ドライバ・アンプへの依存度を最小限にすることで、小型で低消費電力の高精度シグナル・チェーンを可能にするように設計されています。小型のサンプリング・コンデンサによって、SAR ADC に特有の過渡電流グリッチを最小限に抑え、長いアキュイジション・フェーズにより、高サンプル・レートでもセトリング・タイムを最大限に確保します。RC キックバック・フィルタでは、小型のコンデンサと大きな抵抗を使用して、アンプの安定性に関する懸念を軽減し、小型の受動部品 (例えば、0201 NP0/COG コンデンサ) を使用できるようにします。これらの Easy Drive 機能により、セトリング誤差を招くことなく、出力インピーダンスが高いフロントエンド回路と接続できるようになるため、低消費電力アンプやセンサーとの互換性が拡大します (アナログ・フロントエンドの設計のセクションを参照)。

AD4050/AD4056 は、LTspice コンポーネント・ライブラリで利用可能であり、多様な関連アンプとの協調シミュレーションに対応しています。LTspice モデルは、システム・ノイズおよびセトリング精度のシミュレーションのために、入力換算ノイズ・スペクトル密度および入力遷移負荷をエミュレートします。

電圧リファレンス

V_{REF} 電圧で、ADC の FSR が設定されます (伝達関数のセクションを参照)。AD4050/AD4056 の V_{REF} 範囲は 2.3V~VDD であり、VDD 供給電圧の最大値は 3.6V です (表 1 を参照)。

V_{REF} 電圧は、ADC 出力コードを決定する SAR ビット・トライアル中にポーリングされています。ビット・トライアル中に、SAR コアは過渡的な電荷の引き抜きを示します。SAR ビット・トライアル中に V_{REF} 電圧を確実に安定させるには、2.2μF のデカップリング・コンデンサをできるだけ REF ピンの近くに配置します。使用するデカップリング・コンデンサの値が小さくなると (例えば、1μF)、わずかに性能が低下する可能性があります。AD4050/AD4056 を用いて電圧リファレンスを組み合わせるための推奨事項に関する詳細については、リファレンス回路設計のセクションを参照してください。

リファレンス選択モード

AD4050/AD4056 の V_{REF} 電圧は、REF 入力ピンまたは VDD 電源ピンから供給できます。デフォルトでは、REF ピンが V_{REF} ソースとして機能し、この設定は表 1 に記載された性能仕様の達成を目的としたモードです。精度が重要ではない低消費電力の計測に対応するため、またはシステムが長期間にわたり電圧リファレンスをパワーサイクリングしてシステム電力を節約できるようにするために、VDD 供給電圧の選択が用意されています。V_{REF} ソースの選択は、ADC_CONFIG レジスタの REF_SEL ビットで制御します (表 39 を参照)。

AD4050/AD4056 には、自動ゲイン・スケーリング機能が搭載されています。この場合、ADC コアは VDD 供給電圧に対する比として REF 電圧をサンプリングし、適切なゲイン・スケーリング値を MON_VAL レジスタに格納して、VDD を V_{REF} ソースとして使用しても REF の場合と同じ ADC 伝達関数になるようにします。これにより、システムは電圧リファレンス回路を長期間にわたりパワーダウンしても、同程度の性能レベルを保つことができます。自動ゲイン・スケーリング機能の詳細については、リファレンスのシャットダウンを利用した高精度の達成のセクションを参照してください。

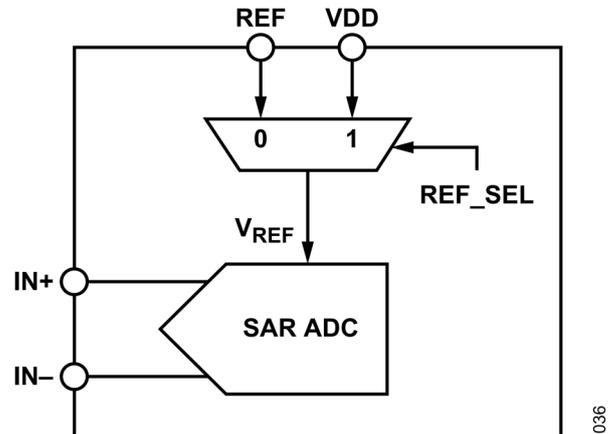


図 36. リファレンス・ソースの選択

動作原理

デジタル処理機能

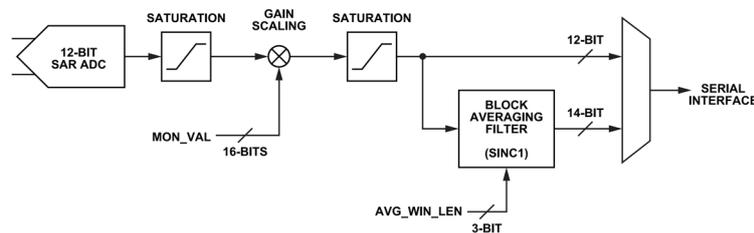


図 37. AD4050/AD4056 のデジタル処理機能

AD4050/AD4056 には、デジタル・ホスト・プロセッサの演算負荷を軽減するために ADC データに適用できる複数のデータ処理機能が搭載されています。図 37 は、利用可能なデータ処理機能のブロック図を示しています。各ブロックの機能および構成については、以下のセクションで詳細に説明します。なお、これらのデジタル処理機能は自律モードでは使用されません。

ゲイン・スケーリング

ゲイン・スケーリング機能では、符号なし 16 ビットのデジタル・ゲイン係数を 12 ビットの ADC 結果に適用します。ゲイン・スケーリングは、システム・ゲイン誤差を校正するために適用できます。ゲイン・スケーリング係数は、以下の式に従って、MON_VAL スケーリング・レジスタ内にある MON_VAL ビット・フィールドで設定されます。

$$Code_{OUT} = Code_{IN} \times (MON_VAL / 0x8000) \quad (1)$$

ここで、MON_VAL は 0x0000 から 0xFFFF の範囲であり、0~1.99997 の実効ゲイン範囲に相当します。

ゲイン・スケーリングは、VDD 電源を V_{REF} ソースとして使用する場合に、ADC 伝達関数のスケーリングにも使用できます（リファレンス選択モードのセクションを参照）。AD4050/AD4056 は、VDD 供給電圧と REF 入力電圧の比を計測し、伝達関数が同じになるように MON_VAL レジスタの値を自動的に調整するように設定できます。外部電圧リファレンス回路は、システムの消費電力を削減するためにパワーダウンさせることができます。詳細については、リファレンスのシャットダウンを利用した高精度の達成のセクションを参照してください。

なお、ゲインをサンプルに適用すると、Code_{OUT} (式 1) が 12 ビットのフルスケールを超えた場合、数値が飽和する可能性があります（フルスケール飽和のセクションを参照）。ゲイン・スケーリング・ブロックの出力が飽和しないように、MON_VAL ビット・フィールドを必ず適切に設定してください。

ゲイン・スケーリングはデフォルトでは無効で、ADC_CONFIG レジスタの SCALE_EN ビット・フィールドを 1 に設定すると有効になります（表 39 を参照）。

フルスケール飽和

変換結果は、サンプリングされたアナログ入力電圧が表 1 に示す入力範囲の制限仕様を超えた場合、（データ処理の前に）デジタル的に飽和します。AD4050/AD4056 には、デジタル出力コードまたは ADC コアおよびゲイン・スケーリング・ブロックが最大値または最小値に達したことを検出する飽和ブロックが、ADC コアの出力およびゲイン・スケーリング・ブロックの出力にそれぞれ設けられています。

いずれかの飽和ブロックが最大値に飽和したコードまたは最小値に飽和したコードを検出すると、DEVICE_STATUS レジスタの OVER_RNG_ERR および UNDER_RNG_ERR のフラグが設定されます。差動モードでは、12 ビットの結果が 0x7FF で最大値に、0x800 で最小値に飽和します。シングルエンド・モードでは、12 ビットの結果が 0xFFFF で最大値に、0x000 で最小値に飽和します。（差動モードおよびシングルエンド・モードの説明は、伝達関数のセクションを参照してください。）

OVER_RNG_ERR および UNDER_RNG_ERR のフラグは、ブロック平均化フィルタを使用して、フィルタ入力データに飽和がないことを確認する場合に周期的にポーリングできます。OVER_RNG_ERR および UNDER_RNG_ERR のフラグは、1 を書き込むことでクリアするビットであるため、デジタル・ホストがポーリングできるまで、その状態を保持します。

ブロック平均化フィルタ

AD4050/AD4056 には、プログラム可能な平均化比率 (N_{AVG}) が 2~256 のブロック平均化フィルタが搭載されています。ブロック平均化フィルタは、デバイスが平均化モードまたはバースト平均化モードのときに、自動的に有効になります。ブロック平均化フィルタは、SINC1 周波数応答を示します。図 38 は、N_{AVG} が 2、4、8、16、32 の場合の平均化フィルタの周波数応答を示しています。

ブロック平均化フィルタは、有効になると、14 ビットの平均結果を生成する前に、12 ビットの ADC 結果のブロックを集積します。N_{AVG} は、平均化された結果ごとの ADC サンプルの数を指します。ブロック平均化フィルタは、N_{AVG} 個のサンプルのブロックをそれぞれ処理した後にリセット（クリア）されます。N_{AVG} 設定は、以下の式を使用して、AVG_CONFIG レジスタの AVG_WIN_LEN ビット・フィールドで設定されます（表 40 を参照）。

$$N_{AVG} = 2^{AVG_WIN_LEN + 1} \quad (2)$$

動作原理

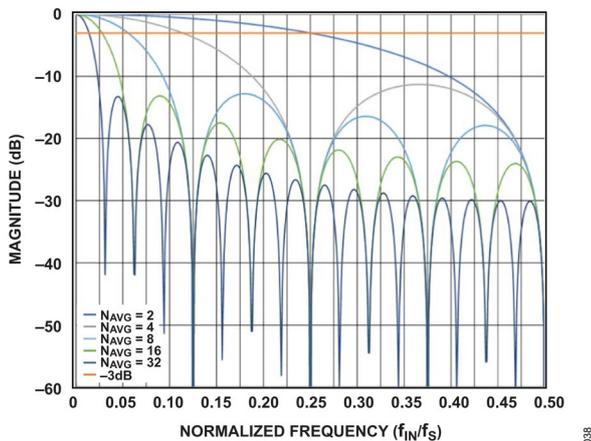


図 38. ブロック平均化フィルタの周波数応答例

内蔵タイマー

AD4050/AD4056 には、バースト平均化モードおよび自律モードで ADC サンプリグ・クロックを発生させる内蔵タイマーが搭載されています。これらのモードにおけるサンプリグ周波数は、TIMER_CONFIG レジスタの FS_BURST_AUTO ビット・フィールドで設定され、2MSPS~111SPS の範囲になります。AD4050/AD4056 で提供される全ての公称サンプリグ・クロック周波数 (f_{osc}) については、[レジスタの詳細](#)のセクションに示す表 44 を参照してください。これらのモードにおける実際のサンプリグ周波数は、 f_{osc} の $\pm 15\%$ の範囲内であることが確保されています (表 2 を参照)。なお、2MSPS および 1MSPS の設定は、AD4056 では無効です。AD4056 では、バースト平均化モードまたは自律モードに入る前に、FS_BURST_AUTO レジスタを状況に応じて適切に更新する必要があります。

内蔵タイマーは、DEV_EN 信号の遅延も制御します ([デバイス・イネーブル信号](#)のセクションを参照)。 t_{PWR_ON} 遅延は、TIMER_PWR_ON ビット・フィールドで設定され、これも TIMER_CONFIG レジスタに含まれています。 t_{PWR_ON} の設定範囲は、0.5 μ s から 9000 μ s までです。全ての公称 t_{PWR_ON} 遅延オプションについては、[レジスタの詳細](#)のセクションに示す表 44 を参照してください。

電源

AD4050/AD4056 には、次の 3 つのパワー・ドメインがあり、その範囲は表 1 に記載されています。

- ▶ VDD はアナログ電源レールです。
- ▶ CLDO は +1.8V の ADC コア電源レールであり、内蔵の +1.8V LDO レギュレータにより生成されます。
- ▶ VIO は、デジタル・インターフェース用のロジック電源レールです。

VDD 電源と VIO 電源は外部から供給する必要があります。CLDO 電源は、VDD レールをソースとする内蔵の +1.8V LDO レギュレータにより内部で生成されます。VDD 供給電流は ADC サンプリグ・レートに依存します。これは、VDD 供給電流が内部 LDO レギュレータを経由して SAR ADC コアに供給されるためです ([VDD 消費電力](#)のセクションを参照)。スリープ・モードでは、内部 LDO レギュレータがパワーダウンし、VDD スタンバイ電流が 10nA まで減少します (表 1 および [スリープ・モード](#)のセクションを参照)。

AD4050/AD4056 には、電源シーケンスの条件がありません。VDD 電源および VIO 電源の最小許容立上がり時間は 100 μ s です。VDD 電源および VIO 電源が安定した後に、デバイス・リセットを実行することが推奨されます ([パワーオン・リセット](#)のセクションを参照)。

VDD、CLDO、VIO の各ピンをそれぞれ 1 μ F のコンデンサで GND にデカップリングすることが推奨されます。VDD を V_{REF} ソースとして選択した場合 ([リファレンス選択モード](#)のセクションで説明されているように)、または VDD および REF の各ピンを共通の外部ソースで駆動する場合、VDD および REF を共通の 2.2 μ F のコンデンサでデカップリングすることが推奨されます。

コンパレータの動作

AD4050/AD4056 の ADC コアは、低消費電力の 12 ビット・ウィンドウ・コンパレータ・モードを閾値の自律的な検出およびモニタリングのために備えています。図 39 は、自律モードで使用されるウィンドウ・コンパレータの簡略化された回路図を示しています。

AD4050/AD4056 には、[自律モード](#)のセクションで説明されているように、2 つの自律サンプリグ・モードがあります。これらの自律モードのいずれかが有効になると、ADC はコンパレータ・モードに入り、内蔵タイマーがサンプリグ・クロックとして機能します ([内蔵タイマー](#)のセクションを参照)。コンパレータは、ユーザがプログラム可能な 4 つの閾値領域との一連の比較を各サンプルに対して順次行い、信号がこれらの領域に入ったときに、アラート・フラグとハードウェア割込みを生成します。

図 40 は、最大および最小の閾値で設定された範囲外の領域を示しています。最大および最小の閾値は、MAX_LIMIT および MIN_LIMIT の各ビット・フィールドを通じて、ユーザがプログラム可能です。MAX_LIMIT および MIN_LIMIT の各フィールドは、12 ビットのコンパレータ分解能のため、それぞれ 12 ビット幅です。最大および最小の閾値には、MAX_HYST および MIN_HYST の各フィールドでそれぞれ設定される個別のヒステリシス設定もあり、これにより、アラート信号を自動でクリアするための別の閾値が定められます。詳細については、[自律モード](#)のセクションを参照してください。

MAX_LIMIT および MIN_LIMIT の各フィールドのデータ形式は、選択された入力範囲モードに一致しています ([伝達関数](#)のセクションで説明されています)。MAX_LIMIT および MIN_LIMIT の各フィールドは、差動モードでは 2 の補数で表され (DATA_FORMAT = 1'b1)、シングルエンド・モードではストレート・バイナリで表されます (DATA_FORMAT = 1'b0)。MAX_HYST および MIN_HYST の各フィールドは、入力モードの設定に関係なく、常にストレート・バイナリです。

コンパレータは、レジスタ・マップに 2 つのアラート信号と自動でクリアされない 2 つのアラート・ビットを備えています。MAX_INTR および MIN_INTR の各信号は、それぞれ最大および最小の閾値イベント用アラート信号です。MAX_INTR および MIN_INTR の各信号は、GP0 ピンおよび GP1 ピンのいずれかまたは両方にルーティングすることができます ([割込み信号および制御信号](#)のセクションを参照)。MAX_FLAG および MIN_FLAG の各ビットは保持されており、1 を書き込んで DEVICE_STATUS レジスタのビットをクリアします。DEVICE_STATUS レジスタには、コンパレータが MAX_FLAG または MIN_FLAG のビットをクリアされる前に設定しようとした場合に、その都度設定される閾値超過ビット (THRESH_OVERRUN) も含まれています。

動作原理

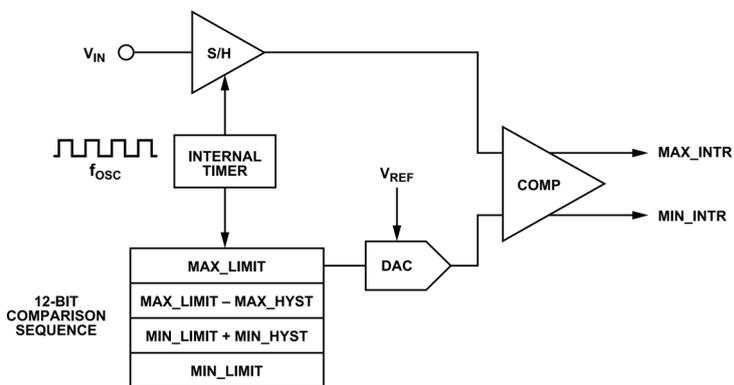


図 39. 自律モード・ウィンドウ・コンパレータの簡略化された回路図

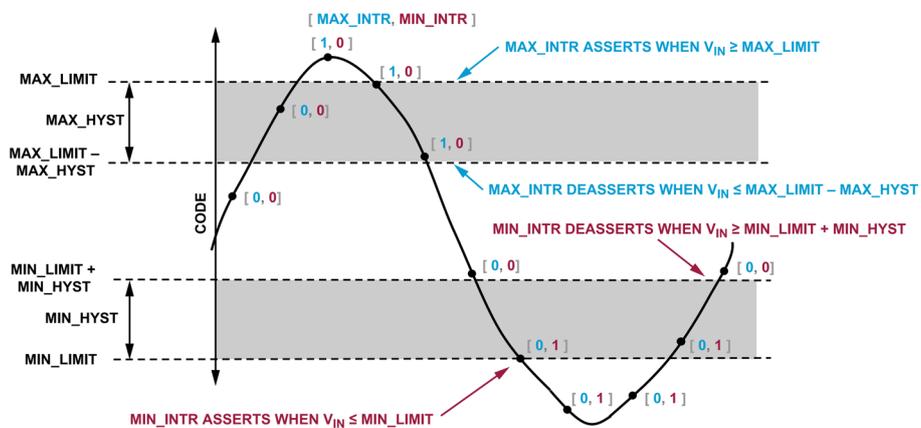


図 40. 閾値イベント領域

動作原理

割込み信号および制御信号

AD4050/AD4056は、ADCサンプリングに対するアナログ・フロントエンド処理とデジタル・バックエンド処理を同期させるために、複数のデジタル信号を生成します。これらの信号は、GP_CONFIGレジスタのGP0_MODEおよびGP1_MODEの各フィールドを使って、それぞれの汎用ピン（GP0とGP1）に割り当てることができます。次のセクションでは、AD4050/AD4056の各デジタル信号の機能およびタイミングに関する詳細について説明します。表13および表41は、GPx_MODEビット・フィールドの各設定に対応するGPx信号の割り当てを示しています。

表 13. GP0 および GP1 の信号割り当て制御

GPx_MODE Setting	GP0 Signal Assignment	GP1 Signal Assignment
3'h0	Disabled/high-Z (default)	Disabled/high-Z
3'h1	GP0_INTR	GP1_INTR
3'h2	RDY	RDY
3'h3	DEV_EN	DEV_EN
3'h4	CHOP	CHOP
3'h5	Logic low	Logic low
3'h6	Logic high	Logic high
3'h7	Invalid	DEV_RDY (default)

静的ロジック出力

AD4050/AD4056のGP0およびGP1のデジタル出力は、静的なロジック・ローまたはロジック・ハイのレベルに設定できます。この機能により、デジタル・ホストはAD4050/AD4056のSPI経由で外部デバイスのロジック設定を制御できるようになり、必要なGPIOリソースを削減します。ロジック出力電圧の仕様および対応する負荷電流条件は、表1のV_{OL}およびV_{OH}で定められています。

データ・レディ信号

データ・レディ信号 ($\overline{\text{RDY}}$) は、新しいADCデータがSPI経由で読み出す準備ができたことを示す、アクティブ・ローの割込み信号です。サンプル・モードでは、 $\overline{\text{RDY}}$ が変換フェーズの開始時にハイになり、変換フェーズの終了時にローに戻り、新しい12ビットの結果が利用可能であることを示します（図47を参照）。平均化モードおよびバースト平均化モードでは、 $\overline{\text{RDY}}$ はN_{AVG}回の変換後にローになり、新しい14ビットの平均結果が利用可能であることを示します（図49および図51を参照）。

閾値アラート信号

コンパレータの閾値アラート信号MAX_INTRおよびMIN_INTRは、GP0_INTRおよびGP1_INTRの各信号を介してGP0ピンまたはGP1ピンにルーティングできます（自律モードのセクションを参照）。GPx_INTR信号のいずれかは、MAX_INTR信号、MIN_INTR信号、またはその両方の論理和に割り当てることができ、最小値および最大値の交差に対して個別のハードウェア割込みを駆動するか、または単一の割込みにまとめる柔軟性を提供します。デフォルトでは、MAX_INTRがGP1_INTRに、MIN_INTRがGP0_INTRに割り当てられます。

アラート信号のGPxピンへのマッピングは、INTR_CONFIGレジスタのGP0_INTR_ENおよびGP1_INTR_ENの各ビット・フィールドによって制御されます（表14および表42を参照）。

表 14. GPx_INTR の設定

GPx_INTR_EN Setting	GPx_INTR Signal Assignment
2'h0	Neither interrupt
2'h1	MIN_INTR
2'h2	MAX_INTR
2'h3	(MAX_INTR) OR (MIN_INTR)

デバイス・レディ信号

デバイス・レディ信号 (DEV_RDY) は、AD4050/AD4056が電源投入またはリセットのルーチンを完了し、シリアル・インターフェース通信を受け付ける準備ができたことを示すアクティブ・ハイ信号です。DEV_RDY信号は電源投入またはリセットの後にGP1ピンにルーティングされるため、デジタル・ホストはAD4050/AD4056がアクティブであるかどうかを把握するためにこの信号をモニターできます。DEV_RDY信号のタイミング図については、デバイス・リセットのセクションを参照してください。

デバイス・イネーブル信号

AD4050/AD4056には、DEV_ENと呼ばれる、シグナル・チェーンのパワーサイクリング制御信号が搭載されています。DEV_EN信号は、シグナル・チェーン・デバイス（アンプ、センサー、電圧リファレンスなど）の有効状態およびパワーダウン状態をADCのサンプリング・タイミングと同期させ、システムの消費電力を最適化すると共に、パワーオン遅延によるサンプリング・エラーを最小限に抑えます。図41は、DEV_EN信号を利用してサンプル間でアンプをパワーダウンさせる代表的なアプリケーション回路を示しています。

DEV_EN信号が有効化されると、内蔵タイマーはCNVの立上がりエッジでトリガされるワンショット・タイマーとして機能します。タイマー遅延 (t_{PWR_ON}) は、ADCのサンプリング・タイミングの前にアンプの電源をオンにしている時間を制御し、接続されるデバイスの特定の起動セトリング時間仕様に合うようにプログラムできます。レジスタの詳細のセクションに示す表44は、TIMER_PWR_ONビット・フィールドで利用可能な公称t_{PWR_ON}設定を示しています。

DEV_EN信号は、GP0またはGP1のデジタル出力に割り当てることで有効になります（表13を参照）。DEV_EN信号は、GP_CONFIGレジスタのDEV_EN_POLビット・フィールドでアクティブ・ハイまたはアクティブ・ローに設定できます（表41を参照）。DEV_ENはデフォルトでアクティブ・ハイです。

動作モードのセクションに示す図52、図53、図54は、DEV_EN信号のタイミング図と、CNVの立上がりエッジに対するADCのサンプリング・タイミングを示しています。サンプル・モードおよび平均化モードでは、変換が完了するごとにDEV_ENがデassertされます。バースト平均化モードでは、DEV_ENはサンプル・バーストの最後の変換が完了するまでassertされたままです。DEV_ENは、自律モードには対応していません。

なお、デバイス・イネーブル信号 (DEV_EN) および CHOP 信号は、同時に有効化することはできません。

動作原理

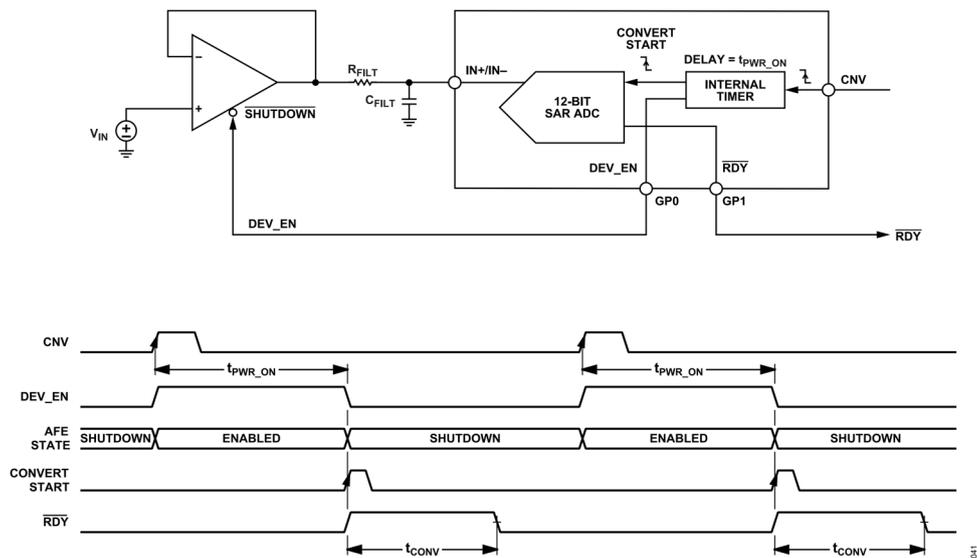


図 41. DEV_EN 信号を用いた代表的なアプリケーション回路

動作原理

チョップ制御信号

AD4050/AD4056 には CHOP と呼ばれる制御信号が搭載されており、この信号は、非常に低い $1/f$ ノイズおよびオフセット誤差が求められるアプリケーションでチョッピングを利用するオートゼロ・アンプの制御信号として使用できます。CHOP 信号は、オートゼロ・アンプのチョッピングと ADC のサンプリングの同期を確保し、ファームウェアで複雑なデジタル同期を行う必要性を取り除きます。

CHOP 信号のローからハイへの遷移およびハイからローへの遷移は、K 回の ADC 変換のたびに起こります。ここで、K は 2 の累乗であり、表 43 に定められている CHOP_WIN_LEN ビット・フィールドと以下の式で設定されます。

$$K = 2^{CHOP_WIN_LENGTH} \tag{3}$$

$$f_{CHOP} = \frac{\left(\frac{f_S}{2}\right)}{2^{CHOP_WIN_LENGTH}} = \frac{\left(\frac{f_S}{2}\right)}{K} \tag{4}$$

例えば、CHOP_WIN_LENGTH = 0 で K = 1 の場合、CHOP 信号の周波数は ADC サンプリング周波数 (f_S) の半分になります。この場合、CHOP 信号は、ある ADC 変換の最後にローからハイへと遷移し、その後、次の ADC 変換の最後にハイからローへと遷移して、1 回の CHOP サイクルを完了します。各 CHOP サイ

クルは 2 つの ADC 変換期間にわたって続くため、オートゼロ・アンプのチョッピング周波数は ADC サンプリング・レートの半分になります。

CHOP 信号のローからハイおよびハイからローへの各遷移は、図 42 に示されているように、変換が終了した後に起こります。CHOP 信号のローからハイおよびハイからローへの各遷移が起きたときに、オートゼロ・アンプの出力にグリッチが発生し、これは次の ADC 変換が始まるまでに安定する必要があります。内部 CHOP 信号で ADC のサンプリングとオートゼロ・アンプのチョッピングを同期させることで、次の ADC 変換が始まるまでにこれらのグリッチに対して許容されるセトリング時間が最大限に確保されるため、これらのグリッチによるエラーが最小限に抑えられます。

CHOP 信号は、GP0 ピンまたは GP1 ピンを CHOP 出力として設定することにより有効化することができます (表 41 を参照)。

CHOP 信号とデバイス・イネーブル信号 (DEV_EN) は同時に有効化することはできません。

動作モードのセクションに示す図 55、図 56、図 57 はそれぞれ、サンプル・モード、平均化モード、バースト平均化モードにおける CNV の立上がりエッジに対する CHOP 信号の遷移のタイミング図を示しています。CHOP 信号は、自律モードには対応していません。

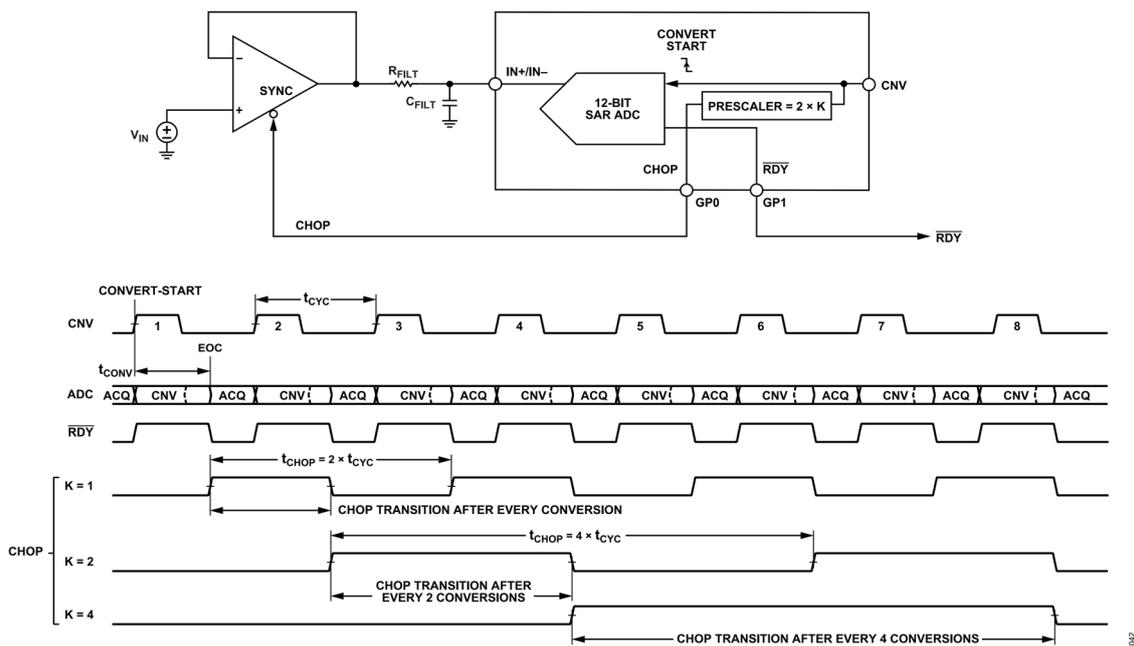


図 42. CHOP 信号を用いた代表的なアプリケーション回路

動作原理

CHOP 時に反転

AD4050/AD4056 には INVERT_ON_CHOP と呼ばれるビット・フィールドも含まれており、これを有効化することで、CHOP 信号を ADC のサンプル反転コントローラとして使用できます。

表 15 は、INVERT_ON_CHOP 設定のステータスおよび CHOP 信号の状態に基づくサンプル反転制御の論理表を示しています。INVERT_ON_CHOP が有効化されると、ADC はその伝達関数を CHOP 信号に合わせて反転します。これにより、チョッパ・アンプにオートゼロ復調段が含まれていない場合、AD4050/AD4056 はオートゼロ復調段として機能できます。

CHOP 信号が有効化された場合、INVERT_ON_CHOP フィールドの状態によって、ADC サンプルが反転されるかどうかが決まります。しかし、CHOP 信号が無効の場合、CHOP 信号は常にローであると想定されているため、INVERT_ON_CHOP は「ドント・ケア」と見なされます。

INVERT_ON_CHOP 機能は、それに関連するビットを表 41 に記載されているようにローまたはハイに設定することで、有効または無効にできます。

表 15. INVERT_ON_CHOP の論理表

INVERT_ON_CHOP	CHOP	Invert Sample
False	Low	False
True	Low	False
False	High	False
True	High	True

動作モード

表 16 は、AD4050/AD4056 の機能モードの概要を示しています。各モードの ADC およびシリアル・インターフェースの機能は、次のセクションに記載されています。

設定モードは、電源投入およびデバイス・リセットの後にデフォルトで起動する、AD4050/AD4056 の動作モードです。その他の動作モードは、表 16 に示されている設定レジスタを介して選択されます。レジスタの書き込みおよび読出しに関する SPI プロトコルは、設定モードのセクションで説明されています。

図 45 は、AD4050/AD4056 の動作モード選択をステート・マシン図として示しています。ENTER_ADC_MODE ビット・フィールドは、AD4050/AD4056 が設定モードにあるのか、または表 16 に示されている 5 つの ADC モードのうち 1 つにあるのかを決定します。ENTER_ADC_MODE を 1'b1 に設定する前に ADC_MODE および AUTO_MODE の各フィールドを設定して、希望する動作モードを選択します。

レジスタ書き込みを介して ENTER_ADC_MODE を 1'b1 に設定すると、それがトリガとなり、AD4050/AD4056 は設定モードから選択された ADC モードへと遷移します (図 43 を参照)。

AD4050/AD4056 は、終了コマンドをトリガとして、使用中の ADC モードから設定モードへと戻ります。AD4050/AD4056 は終了コマンドを受け取ると、内部で ENTER_ADC_MODE ビットを 1'b0 にリセットします。終了コマンドは、CS の立下がりエッジの後に続く SCLK の最初の 5 つの立上がりエッジで、SDI ピンにクロック信号で入力されるコード 5'b10101 で構成されています。図 44 は、終了コマンドのタイミング図を示しています。tCONFIG 仕様は、終了コマンドの CS の立上がりエッジから、AD4050/AD4056 が新しいレジスタ読出しおよび書き込みの SPI トランザクションを受け取ることができるまでの最小遅延を示しています (表 5 および表 6 を参照)。

表 16. AD4050/AD4056 の機能モード

Mode	ENTER_ADC_MODE	ADC_MODE	AUTO_MODE	POWER_MODE
Configuration Mode (Default)	1'b0	Don't Care	Don't care	2'b00
Sample Mode	1'b1	2'b00	Don't care	2'b00
Burst Averaging Mode	1'b1	2'b01	Don't care	2'b00
Averaging Mode	1'b1	2'b10	Don't care	2'b00
Monitor Mode	1'b1	2'b11	1'b0	2'b00
Trigger Mode	1'b1	2'b11	1'b1	2'b00
Sleep Mode	Don't care	Don't care	Don't care	2'b11

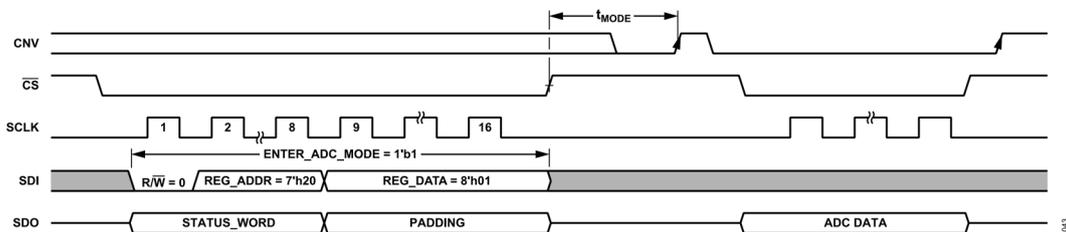


図 43. ENTER_ADC_MODE のタイミング図

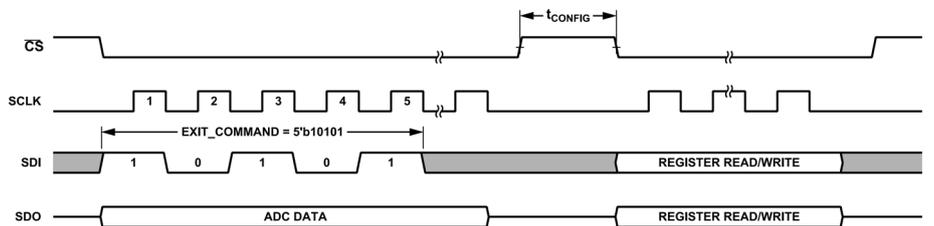


図 44. 終了コマンドのタイミング図

動作モード

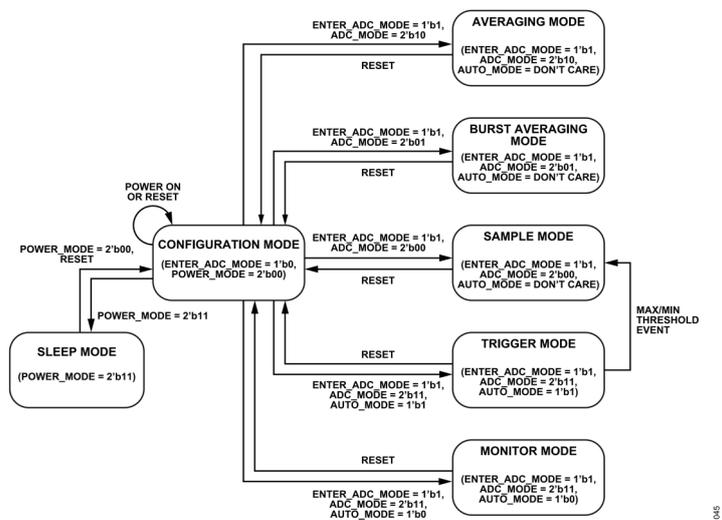


図 45. AD4050/AD4056 のステート・マシン

動作モード

サンプル・モード

サンプル・モードでは、CNV 信号の立上がりエッジが 1 つの変換のトリガになります。変換の終了時に、AD4050/AD4056 は、デジタル・ホストが SPI を介して読み出す 12 ビットの結果を生成します。表 16 は、サンプル・モードを選択する設定レジスタの設定を示しています。図 46 は、AD4050/AD4056 のデジタル・インターフェースに関する代表的な接続図を示しており、推奨される 200Ω の直列抵抗が CNV ピンの近くに配置されています。

図 47 は、サンプル・モードにおけるインターフェースのタイミング図を示しています。t_{CONV} の仕様は、CNV の立上がりエッジから変換の終了までの時間遅延を定量化しています。デジタル・ホストは、 \overline{CS} をアサートして SPI で結果を読み出す前に、最大 t_{CONV} 遅延の間待機する必要があります。 \overline{RDY} 信号は、SPI の読出しを ADC のサンプリング・フェーズに同期させるハードウェア割込みオプションとして機能します（データ・レディ信号のセクションを参照）。最適な性能を確保するために、デジタル・ホストは、SCLK の最後の立下がりエッジから次の CNV の立上がりエッジまでの最小遅延を定める t_{QUIET} の仕様にも従う必要があります。

デフォルトでは、出力されるデータの長さは 12 ビットであり、SCLK の立下がりエッジごとに SDO にクロック出力されます。サンプル・モードでは、12 ビットの ADC データにオプションとして符号拡張バイトおよび CRC バイトも追加できます。サンプル・モードの SDO データ形式のオプションに関する詳細については、ADC のモード別出力データ形式のセクションを参照してください。

サンプル・モードでは、最大サンプリング・レート (f_s) が SPI の出力データレート (f_{ODR}) で制限されます。これは、出力データ長およびシリアル・クロック周波数 (f_{SCLK}) に依存します。特定の動作条件に対する達成可能な最大 f_s の推定に関する詳細については、シリアル・インターフェースの出力データレートの計算のセクションを参照してください。

DEV_EN 信号が有効化されると、変換の開始は、CNV の立上がりエッジに対してプログラム可能な t_{PWR_ON} 遅延分だけ延期されます。DEV_EN 信号を使用する場合の具体的なタイミングの詳細については、デバイス・イネーブル信号のセクションおよび図 52 を参照してください。

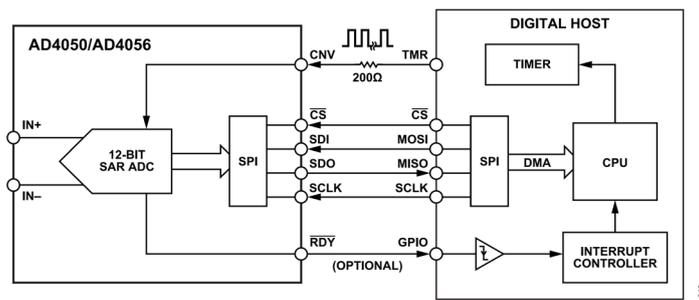


図 46. サンプル・モードの例示的接続図

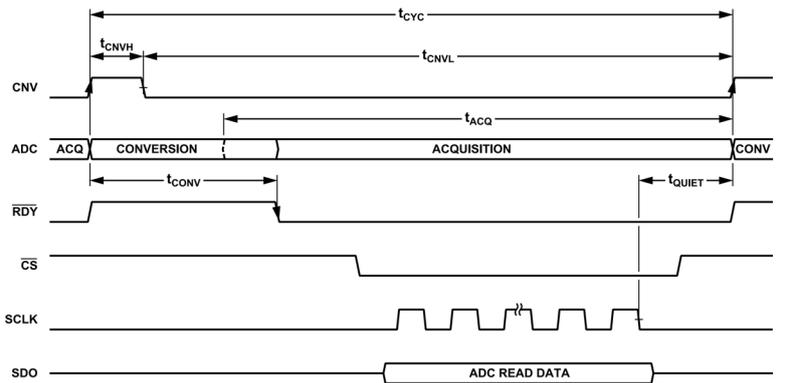


図 47. サンプル・モードのタイミング図

動作モード

平均化モード

平均化モードでは、CNV 信号の立上がりエッジごとに変換の開始がトリガされ、平均化フィルタが複数の連続的な変換結果を蓄積して、14 ビットの平均結果を生成します。表 16 は、平均化モードを選択するための設定レジスタの設定を示しています。図 48 は、AD4050/AD4056 のデジタル・インターフェースに関する代表的な接続図を示しており、推奨される 200Ω の直列抵抗が CNV ピンの近くに配置されています。

図 49 は、平均化モードにおけるインターフェースのタイミング図を示しています。図 49 の全てのタイミング仕様は、タイミング仕様のセクションに記載されています。ADC のサンプリング周期 (t_{cyc}) は CNV 信号の期間で設定され、平均化フィルタの出力データレート (f_{ODR}) は f_s を平均化比率 (N_{AVG}) で割ったものとして定義されます。平均化比率を大きくすると、ノイズ低減と分解能向上の効果が大きくなりますが、 f_{ODR} は低下します。平均化フィルタは、ブロック平均化フィルタのセクションで説明されているように、2~256 の平均化比率に対応しており、AVG_WIN_LEN ビット・フィールドで設定されます。

デジタル・ホストは、 \overline{CS} をアサートして SPI フレームを開始する前に、平均結果が準備できるまで待機する必要があります。RDY 信号は、SPI の読出しを ADC のサンプリング・フェーズに同期させるハードウェア割込みオプションとして機能します

(データ・レディ信号のセクションを参照)。最適な性能を確保するために、デジタル・ホストは、SCLK の最後の立下がりエッジから次の CNV の立上がりエッジまでの最小遅延を定める t_{QUIET} の仕様にも従う必要があります。

デフォルトでは、平均化モードの出力データの長さは 16 ビットであり、14 ビットの平均化された ADC データに 2 ビットの符号拡張が含まれています。平均化モードでは、16 ビットのデータにオプションとして符号拡張バイトおよび CRC バイトも追加できます。平均化モードの SDO データ形式のオプションに関する詳細については、ADC のモード別出力データ形式のセクションを参照してください。

平均化モードでは、最大サンプリング・レート (f_s) が SPI の出力データレート (f_{ODR}) で制限されます。これは、出力データ長およびシリアル・クロック周波数 (f_{SCLK}) に依存します。特定の動作条件に対する達成可能な最大 f_s の推定に関する詳細については、シリアル・インターフェースの出力データレートの計算のセクションを参照してください。

DEV_EN 信号が有効化されると、変換の開始は、CNV の立上がりエッジに対してプログラム可能な t_{PWR_ON} 遅延分だけ延期されます。DEV_EN 信号を使用する場合の具体的なタイミングの詳細については、デバイス・イネーブル信号のセクションおよび図 52 を参照してください。

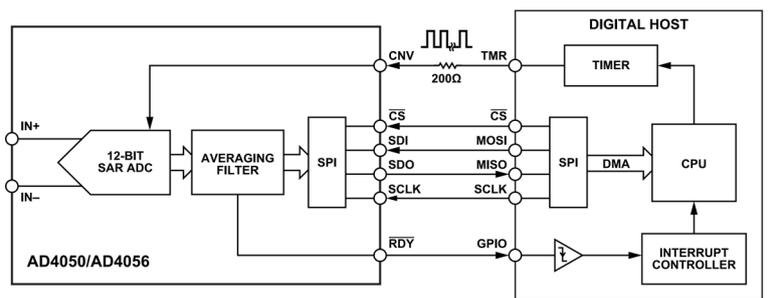


図 48. 平均化モードの例示的接続図

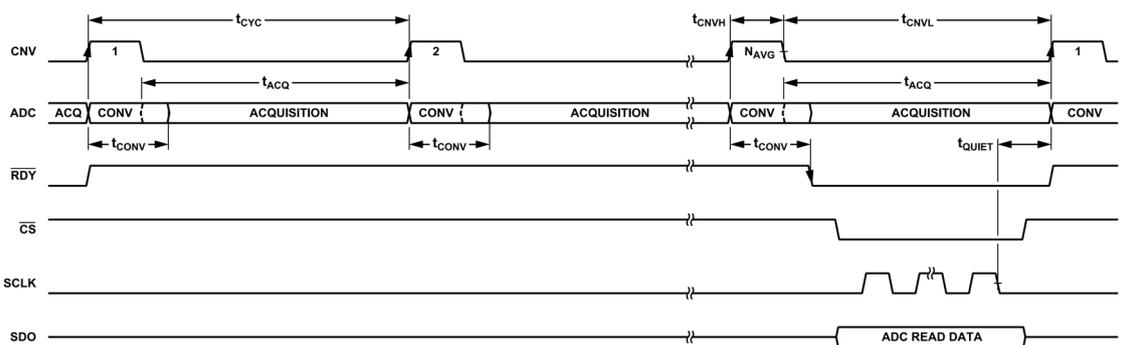


図 49. 平均化モードのタイミング図

動作モード

バースト平均化モード

バースト平均化モードでは、CNV 信号の立上がりエッジがトリガとなって内蔵タイマーを起動して変換バーストを実行し、これを平均化フィルタが蓄積して 14 ビットの平均結果を生成します。表 16 は、バースト平均化モードを選択するための設定レジスタの設定を示しています。図 50 は、AD4050/AD4056 のデジタル・インターフェースに関する代表的な接続図を示しており、推奨される 200Ω の直列抵抗が CNV ピンの近くに配置されています。

図 51 は、バースト平均化モードにおけるインターフェースのタイミング図を示しています。図 51 の全てのタイミング仕様は、**タイミング仕様**のセクションに記載されています。ADC のサンプリング周期 (t_{CYC}) は内蔵タイマーの周波数 (f_{OSC}) で設定され、バースト当たりのサンプル数は平均化比率 (N_{AVG}) で設定されます。表 44 は、f_{OSC} のオプションを示しています。平均化フィルタは、**ブロック平均化フィルタ**のセクションで説明されているように、2~256 の平均化比率に対応しており、AVG_WIN_LEN ビット・フィールドで設定されます。

デジタル・ホストは、 \overline{CS} をアサートして SPI フレームを開始する前に、平均結果が準備できるまで待機する必要があります。 \overline{RDY} 信号は、SPI の読出しを ADC のサンプリング・フェーズに同期させるハードウェア割込みオプションとして機能します

(データ・レディ信号のセクションを参照)。CNV の立上がりエッジからデータ・レディまでの合計遅延は、次の式で表されます。

$$\frac{(N_{AVG}-1)}{f_{OSC}} + t_{CONV} \tag{5}$$

最適な性能を確保するために、デジタル・ホストは、SCLK の最後の立下がりエッジから次の CNV の立上がりエッジまでの最小遅延を定める t_{QUIET} の仕様にも従う必要があります。

デフォルトでは、バースト平均化モードの出力の長さは 16 ビットであり、14 ビットの平均化された ADC データに 2 ビットの符号拡張が含まれています。バースト平均化モードでも、16 ビットのデータに追加できるオプションの符号拡張バイトおよび CRC バイトを提供します。バースト平均化モードの SDO データ形式のオプションに関する詳細については、**ADC のモード別出力データ形式**のセクションを参照してください。

DEV_EN 信号が有効化されると、変換バーストの開始が、CNV の立上がりエッジに対するプログラム可能な t_{PWR_ON} の遅延分だけ延期されます。DEV_EN 信号は、サンプル・バーストの終了までアサートされたままです。DEV_EN 信号を使用する場合の具体的なタイミングの詳細については、**デバイス・イネーブル信号**のセクションおよび図 54 を参照してください。

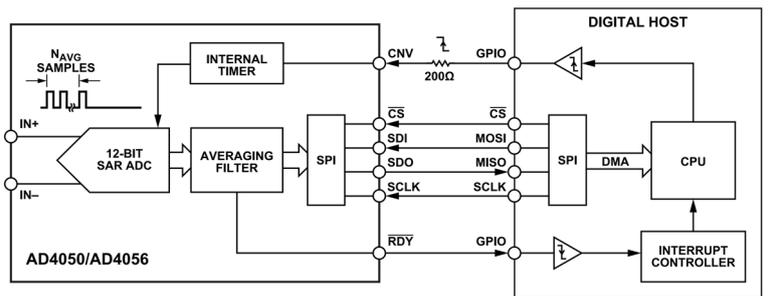


図 50. バースト平均化モードの例示的接続図

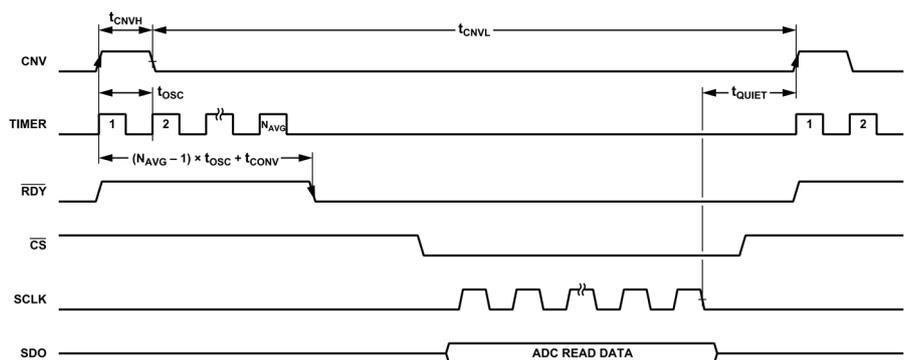


図 51. バースト平均化モードのタイミング図

動作モード

DEV_EN のタイミング図

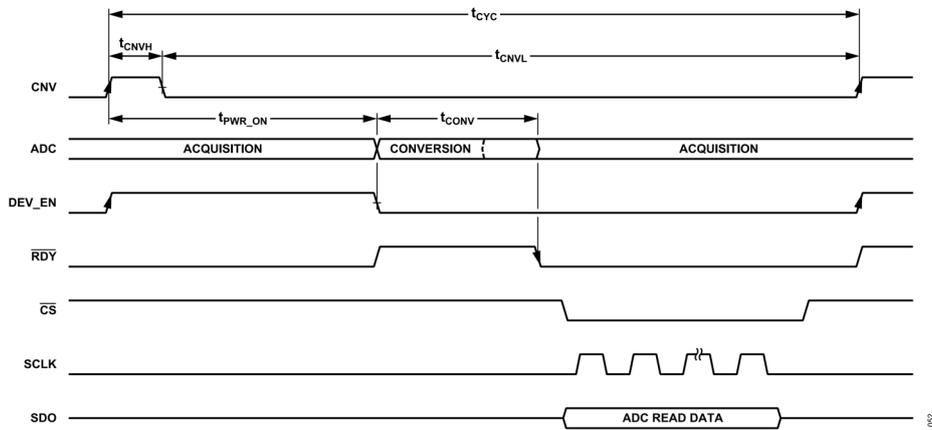


図 52. DEV_EN が有効化されたサンプル・モードのタイミング

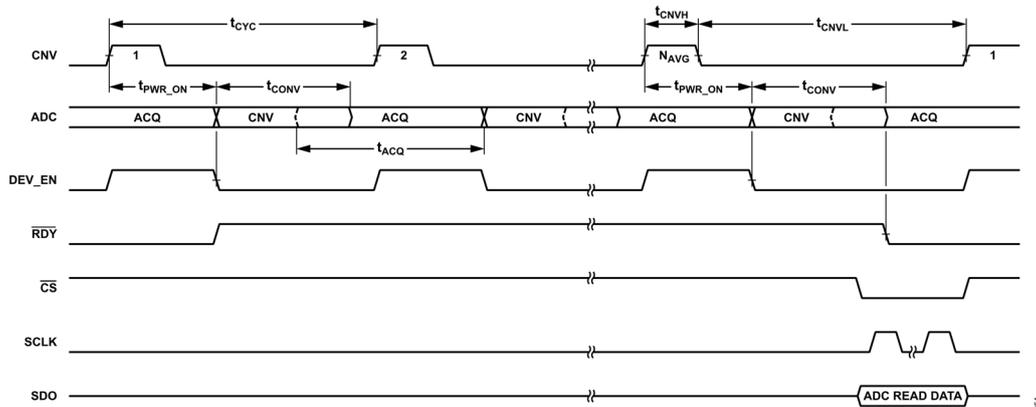


図 53. DEV_EN が有効化された平均化モードのタイミング

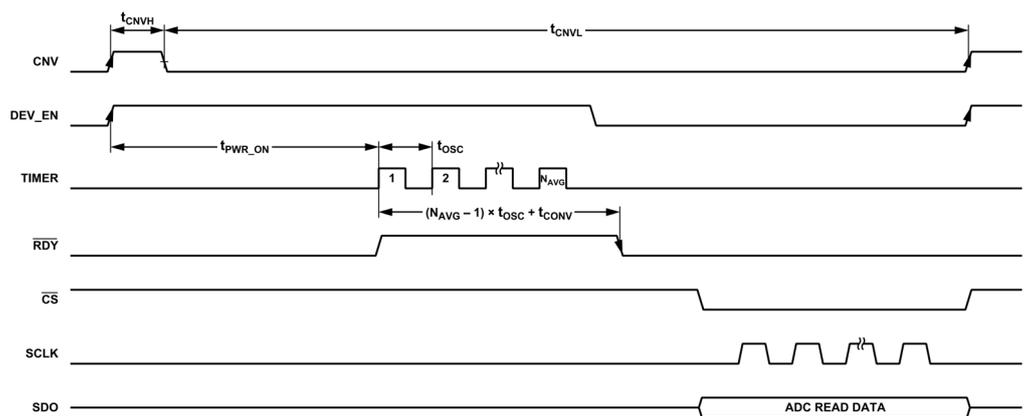


図 54. DEV_EN が有効化されたバースト平均化モードのタイミング

動作モード

CHOP のタイミング図

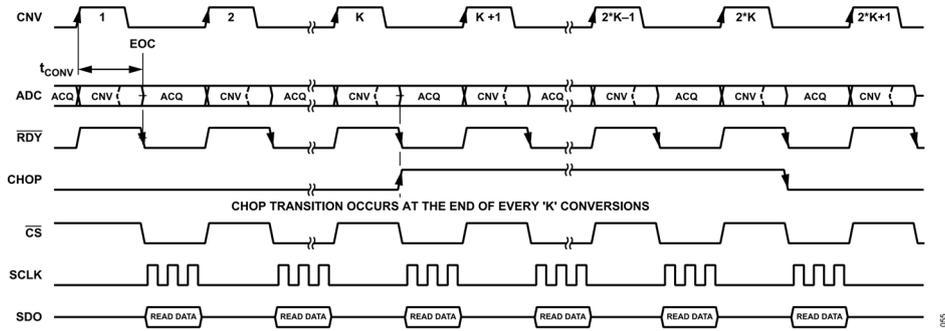


図 55. CHOP が有効化されたサンプル・モードのタイミング

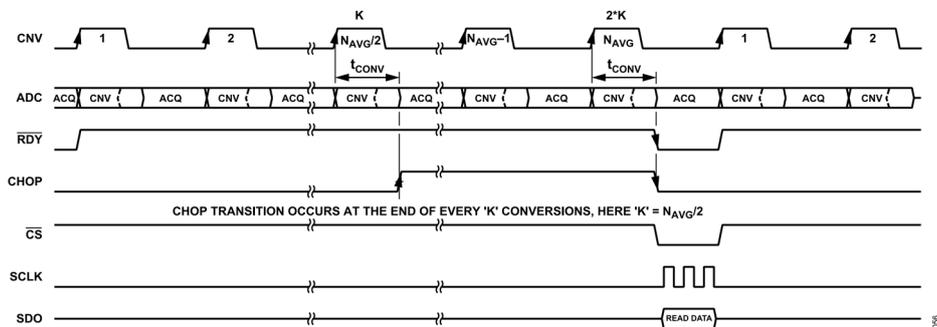


図 56. CHOP が有効化された平均化モードのタイミング

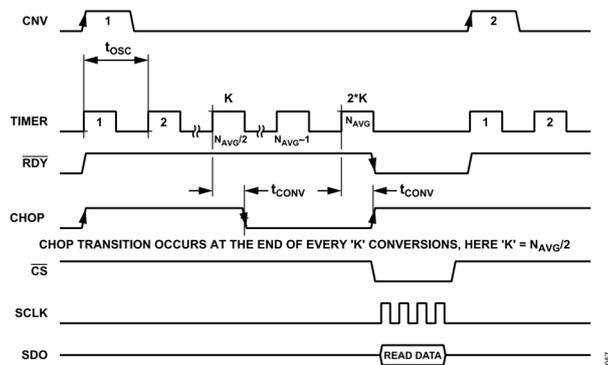


図 57. CHOP が有効化されたバースト平均化モードのタイミング

自律モード

自律モードによって、AD4050/AD4056 は入力信号を自律的にモニターし、範囲外のイベントを検出できるようになります。自律モードには、非自律モードより消費電力が低いという特徴があります。これは、[コンパレータの動作](#)のセクションで説明されているように、ADC コアが低消費電力コンパレータ・モードに入ることによるものです（各モードの消費電力仕様については表 1 を参照）。

AD4050/AD4056 は、モニター・モードおよびトリガ・モードという 2 つの自律モードを提供します。両方の自律モードについては、次のセクションで説明されています。いずれかの自律モードが選択されると、ADC コアはウィンドウ・コンパレータとして機能し、[コンパレータの動作](#)のセクションで説明されて

いるように、ADC サンプルング・クロックは内蔵タイマーによって駆動されます。サンプルング・クロック周波数は、TIMER_CONFIG レジスタの FS_BURST_AUTO ビット・フィールドで設定されます（表 44 を参照）。

コンパレータは、次の 4 つのサンプル&比較動作を繰り返しシーケンスで実行し、それぞれが実行に 1 つのサンプル期間を要するため、シーケンス全体の時間は 4 つのサンプル期間になります。

1. $V_{IN} \geq MAX_LIMIT$
2. $V_{IN} \leq MAX_LIMIT - MAX_HYST$
3. $V_{IN} \geq MIN_LIMIT + MIN_HYST$
4. $V_{IN} \leq MIN_LIMIT$

動作モード

コンパレータは、最大および最小の閾値イベント（それぞれ MAX_INTR および MIN_INTR）用の 2 つのハードウェア・アラート信号を備えています。これらの信号は、[閾値アラート信号](#)のセクションで説明されているように、GPO ピンまたは GPI ピン、あるいはその両方に割り当てることができます。[図 60](#) は、これらのアラート信号をハードウェア割込みとして使用するマイクロコントローラの典型的な接続図を示しています。

モニター・モード

モニター・モードでは、AD4050/AD4056 は、デジタル・ホストが終了コマンドを送信して設定モードに戻すまで、自律モードで継続して動作します（[図 45](#) を参照）。モニター・モードは、ユーザがプログラム可能なヒステリシス設定を利用し、入力信号が範囲内に戻ったときに MAX_INTR および MIN_INTR の各信号を自動でクリアします（[図 40](#) を参照）。

[図 58](#) は、モニター・モードにおけるレジスタ設定、比較シーケンス動作、閾値を超えた後のハードウェア割込みとアラート・

フラグの動作に関するフローチャートを示しています。[表 16](#) は、モニター・モードを選択するための設定レジスタの設定を示しています。

最大閾値または最小閾値を超えたことが検出された場合、MAX_INTR 信号または MIN_INTR 信号がそれぞれアサートされます。内蔵タイマーはサンプリング・クロックの生成を継続し、サンプリングされた入力信号が MAX_HYST および MIN_HYST の各ビット・フィールドで設定された境界内に戻ったときに、MAX_INTR 信号または MIN_INTR 信号がそれぞれデアサートされます。

MAX_FLAG ビットまたは MIN_FLAG ビットも、MAX_INTR または MIN_INTR がそれぞれアサートされるとアサートされます。MAX_FLAG および MIN_FLAG は自動でクリアされないため、信号が範囲内に戻っても自動でクリアされることはありません。終了コマンドを送信した後、自律モードに戻る前に、MAX_FLAG および MIN_FLAG の各ビットをリセットすることが推奨されます。

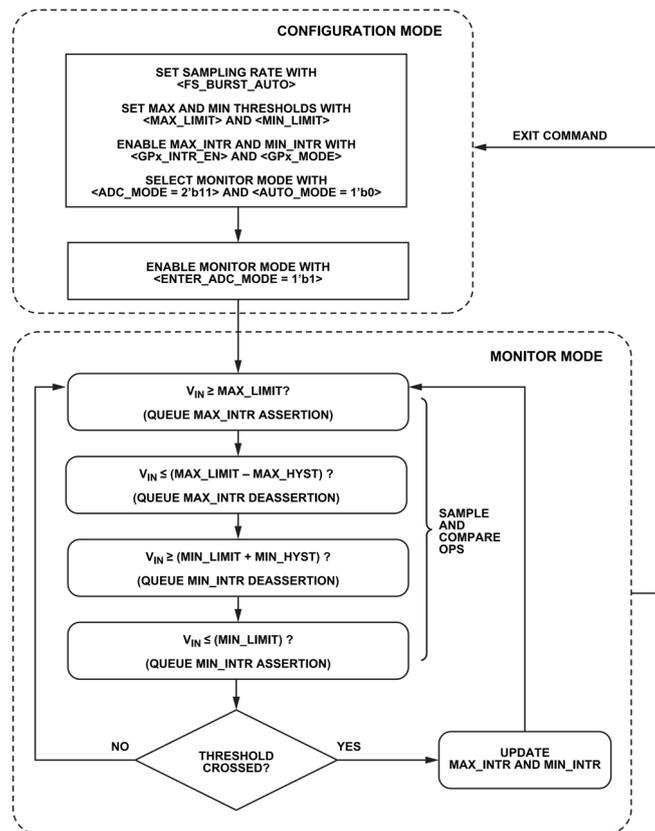


図 58. モニター・モードのフローチャート

動作モード

トリガ・モード

トリガ・モードでは、閾値を超えたことがトリガとなって、AD4050/AD4056は入力信号の12ビット変換とサンプル・モードへの遷移を自律的に実行します。対応するアラート信号およびステータス・ビットがアサートされ、割込みがデジタル・ホストに送信されます。ホストは次に、**サンプル・モード**のセクションで説明されているように **SPI** から、あるいは設定モードの **MAX_SAMPLE_REG** レジスタまたは **MIN_SAMPLE_REG** レジスタから、12ビットの結果を読み出すことができます。

図 59 は、トリガ・モードにおけるレジスタ設定、比較シーケンス動作、閾値を超えた後のハードウェア割込みとアラート・フラグの動作に関するフローチャートを示しています。表 16 は、トリガ・モードを選択するための設定レジスタの設定を示しています。

最大値または最小値を超えたことが検出された場合、**MAX_INTR** 信号または **MIN_INTR** 信号がそれぞれアサートされます。内蔵タイマーは無効となり、自律的なサンプリングを停止し、ADC コアが起動して入力信号を変換します。図 61 は、トリガ・モードにおける閾値検出および ADC サンプリングのタイ

ミング図を示しています。閾値イベントの発生後、ファームウェアは、サンプル・モードで AD4050/AD4056 の動作を続けて更に変換を実行するか、終了コマンドを送信してデバイスを設定モードに遷移させ、アラート・レジスタを読み出すことができます。**MAX_INTR** および **MIN_INTR** の各信号は、レジスタ・モードに遷移する終了コマンドをホストが送信するまで、その状態を保持します。

なお、サンプル・モードに遷移した後、レジスタ・マップ内の **ADC_MODE** ビット・フィールドは内部で 2'h0 に上書きされるため、2'h3 に再度上書きして自律モードに入り直す必要があります。

MAX_FLAG ビットまたは **MIN_FLAG** ビットも、**MAX_INTR** または **MIN_INTR** がそれぞれアサートされるとアサートされます。**MAX_FLAG** および **MIN_FLAG** は自動でクリアされないビットのため、ホストがレジスタを書き込んで 1'b1 に設定するまでクリアされません。終了コマンドを送信した後、自律モードに戻る前に、**MAX_FLAG** および **MIN_FLAG** の各ビットをリセットすることが推奨されます。

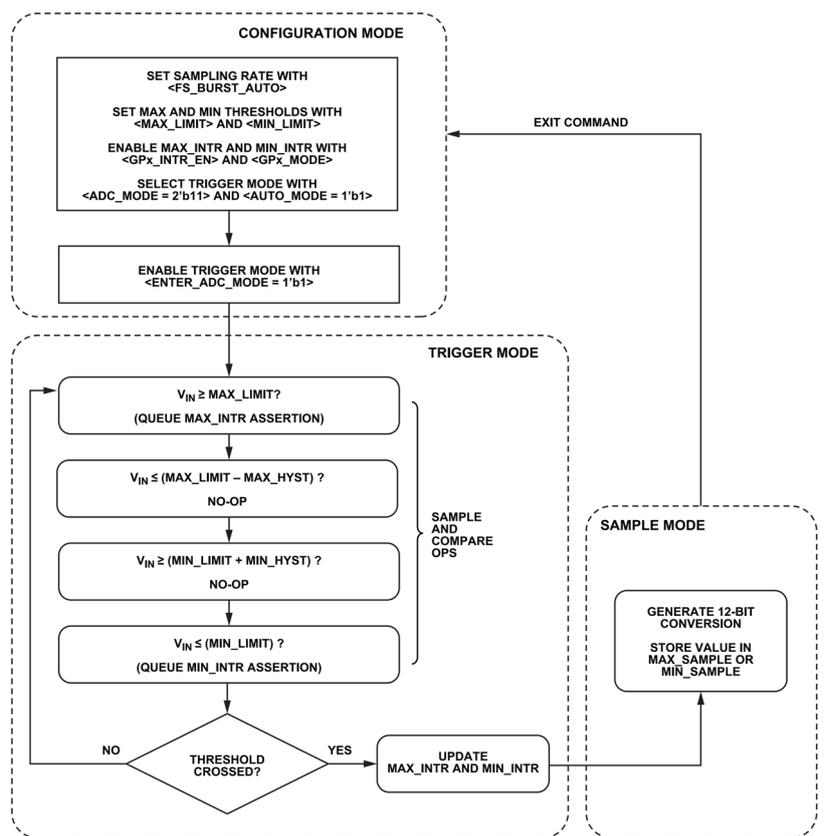


図 59. トリガ・モードのフローチャート

動作モード

自律モードの概略図

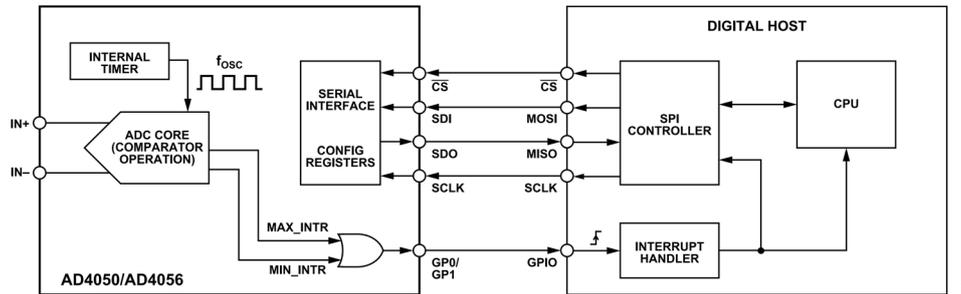


図 60. 自律モードの例示的接続図

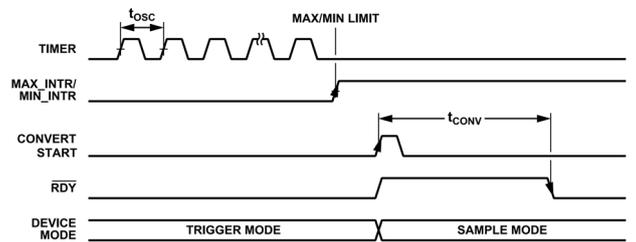


図 61. トリガ・モードのタイミング図

スリープ・モード

スリープ・モードでは、AD4050/AD4056 はデジタル・インターフェース以外の全ての機能ブロックをパワーダウンさせ、長時間のアイドル状態で 430nW という超低消費電力を実現します (表 1 を参照)。DEVICE_CONFIG レジスタの POWER_MODE ビット・フィールドを 2'h3 に設定して、AD4050/AD4056 をスリープ・モードに遷移させます。

内部 LDO レギュレータがパワーダウンし、スリープ・モード中は +1.8V の CLDO 電源の供給を停止します。この機能により、ADC コアとその他の機能ブロックの大部分がパワーダウンします。デジタル・インターフェースはアクティブのままなので、デジタル・ホストは POWER_MODE ビット・フィールドを 2'h0 に書き換えてスリープ・モードを終了し、デバイスを起動させます。デバイスは、スリープ・モードを終了すると設定モードに移ります。設定レジスタの状態は維持されているため、デジタル・ホストは、スリープ・モード終了後にデバイス設定を再設定する必要がありません。

シリアル・インターフェース

AD4050/AD4056 のデジタル・インターフェースには、シリアル・データ転送に使用する 4 線式 SPI、ADC 変換のトリガとなる CNV 入力、2 つの汎用デジタル出力 (GP0 と GP1) が含まれています。SPI は主に、AD4050/AD4056 の設定レジスタの読み出し/書き込みおよび ADC 結果の読み出しに使用します。動作モードのセクションには、SPI の機能およびプロトコルが動作モードごとに説明されています。

AD4050/AD4056 の CNV ピンとデジタル・ホストの間には、200Ω の直列抵抗を配置することが推奨されます (図 69 を参照)。デジタル配線パターンにプルアップ抵抗またはプルダウン抵抗を使用する場合、100kΩ が過剰な消費電力を最小限に抑えるために推奨されます。

AD4050/AD4056 の SPI は、クロック極性 (CPOL) = クロック位相 (CPHA) = 0 のプロトコルに従います。ここで、SCLK 信号はローでアイドル状態になり、データは SDI において SCLK の立上がりエッジでラッチされ、SDO において SCLK の立下がりエッジで更新されます。

AD4050/AD4056 には、レジスタの読み出し/書き込みおよび ADC データの読み出しのために、堅牢なデータ転送をサポートする CRC が備わっています。ADC データは、SPI から中央演算処理装置 (CPU) へのダイレクト・メモリ・アクセス (DMA) といった、マイクロコントローラに内蔵されたメモリの転送操作との互換性を最大限に活用するために、バイト単位の整数倍形式になっています。CRC および符号拡張の詳細については、ADC のモード別出力データ形式のセクションを参照してください。

インターフェースのロジック・レベルは、表 1 に記載されているように、VIO 供給電圧で設定されます。AD4050/AD4056 は、1.8V、2.5V、3.3V の各システムにおけるロジック・レベルに対応しています。なお、SPI のタイミング仕様は、動作モードおよび VIO のロジック・レベルに応じて異なります (タイミング仕様のセクションを参照)。

設定モード

設定モードは、AD4050/AD4056 の動作モードおよび機能を設定するユーザ・レジスタへの読み出し/書き込みで使用します。設定モードは、電源投入およびデバイス・リセットの後にデフォルトで起動する動作モードです。設定モードでは、デジタル・ホストが SPI を経由してユーザ・レジスタにアクセスし、AD4050/AD4056 の CNV 入力は、ADC コアが不要な変換を実行するのを防ぐために無効になります。レジスタの読み出しおよび書き込みがサポートされるのは、設定モードの場合のみです。

図 62 は、設定モードでレジスタの読み出しおよび書き込みを行うためのデータ形式を示しています。レジスタの読み出しおよび書き込みは、命令フェーズの後にデータ・フェーズが続く形式で構成されています。以下のセクションでは、レジスタの読み出しおよび書き込みの各トランザクションのフェーズについて更に詳しく説明します。

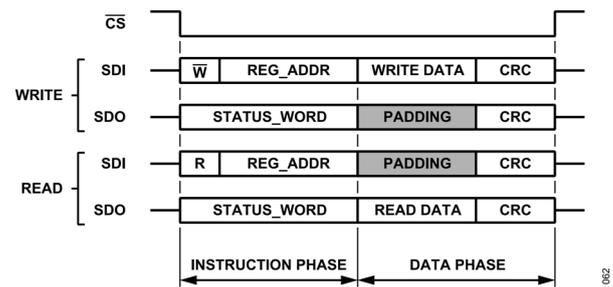


図 62. 設定モードにおける SPI 形式

命令フェーズ

命令フェーズは、 \overline{CS} の立下がりエッジの後に始まります。SPI フレームごとに含まれる命令フェーズは 1 つのみで、この命令フェーズの後に 1 つまたは複数のデータ・フェーズが続きます。命令フェーズは、 R/\overline{W} ビットと、これに続くアクセス対象のレジスタのアドレス (REG_ADDR) で構成されています。データは、SDI 入力において SCLK の立上がりエッジでラッチされ、 R/\overline{W} ビットは、SPI トランザクションがレジスタ読み出しであるか、レジスタ書き込みであるかを規定します。レジスタ読み出しの場合は R/\overline{W} を 1 に、レジスタ書き込みの場合は 0 に設定します。AD4050/AD4056 は、SDO から命令フェーズ中にステータス・ワード (STATUS_WORD) も出力します (ステータス・ワードのセクションを参照)。

全ての設定レジスタのアドレスは、レジスタの一覧のセクションに記載されています。命令フェーズの長さはデフォルトで 8 ビットであり、そのうち REG_ADDR の長さは 7 ビットです。命令フェーズは、STATUS_WORD 全体をクロック出力するために、必要に応じて 16 ビットに拡張することができ、この場合、REG_ADDR の長さは 15 ビットです。命令フェーズを 16 ビットに拡張するには、INTERFACE_CONFIG_B レジスタの ADDR_LEN ビットを 0 に設定してください。

ステータス・ワード

AD4050/AD4056 の命令フェーズには、デバイスの基本的な状態情報をデジタル・ホストに送信するためのステータス・ワード (STATUS_WORD) が含まれています。STATUS_WORD は、図 62 に示されているように、SDO ピンから命令フェーズ中にクロック出力されます。表 17 は、STATUS_WORD の内容を示しています。STATUS_WORD の全ビットは、設定レジスタから選択されたビット・フィールドに対応しています (レジスタの詳細のセクションを参照)。

STATUS_WORD の長さは 1 バイトまたは 2 バイトであり、ADDR_LEN ビットで設定されるレジスタのアクセス・コマンドの長さと同じです (命令フェーズのセクションを参照)。STATUS_WORD の最下位バイトは、ADDR_LEN の設定に関わらず常に含まれています。STATUS_WORD の最上位バイトが含まれるのは、ADDR_LEN ビットが 0 に設定されている場合に限ります。

シリアル・インターフェース

表 17. ステータス・ワードの内容

Status Word Index	Bit Field Name
15	NOT_RDY_ERR
14	0
13	0
12	SCLK_ERR
11	SPI_CRC_ERR
10	WR_INVALID
9	MB_ERR
8	ADDR_INVALID
7	DEVICE_READY
6	INTERFACE_ERR
5	FUSE_CRC_ERR
4	0
3	0
2	THRESH_OVERRUN
1	MAX_FLAG
0	MIN_FLAG

SDO ピンからクロック出力されるか、(レジスタ書き込み時に) SDI ピンでラッチされます。設定モードの各 SPI フレームは、図 63 に示されているように、1 つまたは複数のデータ・フェーズを含むことができます。

各レジスタ・アドレス (REG_ADDR) は 1 バイトのレジスタ・メモリに対応しており、各データ・フェーズは、レジスタの読みまたは書き込みが有効と見なされるために、8 ビット (8SCLK 期間) 単位の整数倍でなければなりません。レジスタの書き込みデータ・フェーズが 8 ビット単位の整数倍でない場合、レジスタは更新されません。

AD4050/AD4056 は、レジスタ・マップの連続した区分に効率的にアクセスするために、レジスタの一括読みおよび書き込みに対応しています。図 63 は、レジスタの一括読みおよび書き込みの SPI プロトコルを示しています。一括読みおよび書き込みのトランザクションを実行するためには、CS 信号をロー状態に保持し、SCLK パルスを送出し続け、複数のデータ・フェーズを連続して実行します。レジスタをストリーミングする場合、命令フェーズでは最初のデータ・フェーズの REG_ADDR を定義し、次の各データ・フェーズではアドレスを 1 ずつデクリメントします。

インターフェース CRC が有効化されると、CRC バイトがデータ・フェーズの各バイトに付加されます (レジスタ・アクセス CRC のセクションを参照)。

データ・フェーズ

データ・フェーズは、命令フェーズの直後に続きます。データ・フェーズでは、レジスタのデータは (レジスタ読み出し時に)

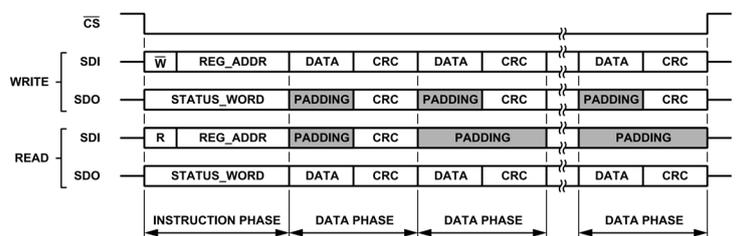


図 63. 設定モードにおけるレジスタのストリーミング

シリアル・インターフェース

レジスタ・アクセス CRC

AD4050/AD4056 には、CRC-8 に基づくレジスタの読出しおよび書込みのエラー・チェック機能がオプションとして含まれており、以下の多項式を使用します。

$$x^8 + x^2 + x + 1 \quad (6)$$

CRC は、CRC_EN および CRC_EN_B の各ビット・フィールドをそれぞれ 0x1 および 0x2 に設定することで有効化されます。CRC が有効化されると、図 63 に示されているように、8 ビットのチェックサム・コードがレジスタの各データ・バイトの後に付加されます。チェックサムの値は、SPI で読み出されたまたは書き込まれたデータから計算されます。これにより、AD4050/AD4056 とデジタル・ホストは破損したシリアル通信を検出できるようになります。

AD4050/AD4056 が対応する SPI トランザクションに一致しないチェックサムを受け取った場合、そのトランザクションは無効と見なされ、INTERFACE_STATUS_A レジスタの SPI_CRC_ERR ビットが 1 に設定されます。SPI_CRC_ERR ビット

は 1 を書き込むことでクリアするビット (R/WIC) です。CRC が有効化された場合、レジスタが読出しおよび書込みを試みるたびに、SPI_CRC_ERR ビットをチェックすることが推奨されます。

レジスタ書込みに無効な CRC がある場合、レジスタの内容は更新されません。図 63 に示されているようなレジスタの一括書込みの場合、AD4050/AD4056 は無効な CRC の後にあるレジスタのデータも無視します。レジスタ読出しに無効な CRC がある場合、デジタル・ホストは受け取ったデータを破棄し、レジスタ読出しをリトライする必要があります。

CRC-8 の計算は、データ・ラインがローにスタックされているかどうかを検出するために、非ゼロ値をシードとします。 \overline{CS} の立下がりエッジの後の最初の CRC のシードは 0xA5 です。一括読出しまたは書込みを実行する場合、以降の全ての CRC のシードは、現在のレジスタ・アドレスの最下位バイト (LSByte) です。表 18 は、設定モードにおける全ての可能なレジスタ読出しおよび書込みトランザクションのデータおよびシード値を要約しています。

表 18. 設定モードの SPI トランザクションにおける CRC データおよびシード値

SPI Transaction Type	Pin	First CRC	Subsequent CRCs
Write	SDI	Seed = 0xA5, Data = [instruction phase data, register write data]	Seed = LSByte of register address, Data = register write data
	SDO	Seed = 0xA5, Data = [instruction phase data, register write data]	Seed = LSByte of register address, Data = register write data
Read	SDI	Seed = 0xA5, Data = [instruction phase data, padding]	Not applicable
	SDO	Seed = 0xA5, Data = [instruction phase data, register read data]	Seed = LSByte of register address, Data = register read data

シリアル・インターフェース

ADC のモード別出力データ形式

このセクションでは、動作モードのセクションで説明された ADC モード (サンプル・モード、平均化モード、バースト平均化モード、トリガ・モード) の SPI 出力データ形式について説明します。出力ワードは、ADC 結果 (ADC_DATA)、省略可能な符号拡張 (SE_BYTE)、CRC バイト (CRC) で構成されています。出力ワード長は、デジタル・ホストのシリアル・インターフェースおよびデータ・パケット転送 (DMA など) との互換性を確保するために、常にバイト単位の整数倍です。また、データ・パケット転送は、多くの場合、バイト単位の整数倍にセグメント化されます。

図 64 はサンプル・モードおよびトリガ・モードに対応した全ての形式を示しており、図 65 は平均化モードおよびバースト平均化モードに対応した全ての形式を示しています。

サンプル・モードおよびトリガ・モードでは、ADC_DATA は 12 ビット長ですが、4 ビットの符号拡張が付加されて合計 16 ビット (2 バイト) になります。平均化モードおよびバースト平均化モードでは、ADC_DATA は 14 ビット長ですが、2 ビットの符号拡張 (SE_BITS) が付加されて合計 16 ビット (2 バイト) になります。ADC_DATA は、DATA_FORMAT ビットの設定に応じて 2 の補数またはストレート・バイナリです (伝達関数のセクションを参照)。

符号拡張バイト

省略可能な SE_BYTE により、AD4050/AD4056 は、必要に応じて、デジタル・ホストのデータ転送サイズに一致したワード長で出力できるようになります。有効化されると、MSB 符号拡張のバイトが ADC データに追加されます。例えば、CRC バイトを有効にしたバースト平均化モードにおけるデフォルトの ADC 出力ワード長は 3 バイトです。しかし、SE_BYTE は、4 バイトの DMA 転送との直接的な互換性を確保するために、出力ワードを 4 バイトに変換できます。ADC_DATA は、ソフトウェアでビットシフトを行うことなく整数値を維持するために右詰めされています。

SE_BYTE は、SIGN_EXT_EN ビットを 1 に設定することで有効化されます。SE_BYTE はデフォルトでは無効化されています。

ADC の CRC

CRC が有効化されると、8 ビットのチェックサム・コードが SDO ピンから出力される ADC 結果に付加されます。CRC のチェックサムは、式 6 と同じ多項式を使用して計算され、SDO データを入力とし、全ての読出しでシード値として 0xA5 が使用されます。CRC は、レジスタ・アクセス CRC のセクションで説明されているように、CRC_EN および CRC_EN_B の各ビット・フィールドを使用して有効化されます。CRC はデフォルトでは無効化されています。

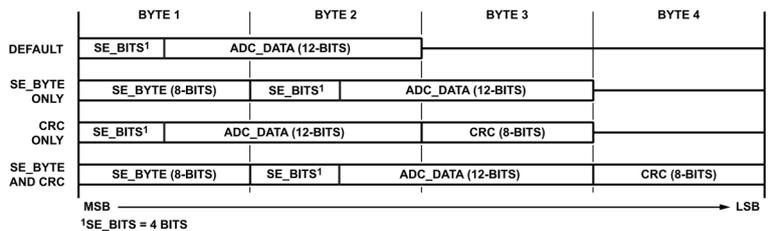


図 64. サンプル・モードおよびトリガ・モードの SPI データ形式

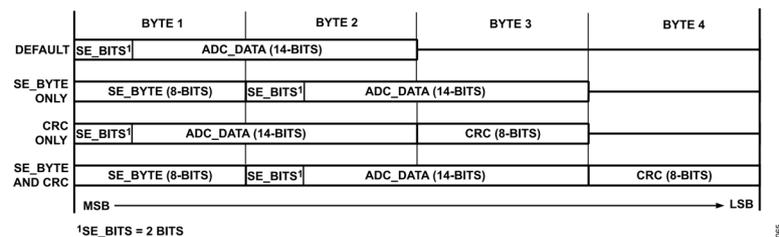


図 65. 平均化モードおよびバースト平均化モードの SPI データ形式

シリアル・インターフェース

デバイス・リセット

デバイス・リセットにより、デバイスのレジスタがデフォルト設定に戻り、AD4050/AD4056 が設定モードに遷移します。次のセクションでは、AD4050/AD4056 のデバイス・リセットのメカニズムについて説明します。

AD4050/AD4056 には、デバイス・リセットが完了したことを示すハードウェア割込み信号 (DEV_RDY) が含まれています。DEV_RDY 信号はアクティブ・ハイであり、デフォルトで GPI ピンに割り当てられているため、デジタル・ホストは、AD4050/AD4056 の SPI が準備できたことをファームウェアに通知するために立上がりエッジについて GPI ピンをモニターできます。詳細については、**デバイス・レディ信号**のセクションを参照してください。

DEVICE_STATUS レジスタの DEVICE_RESET ビットは、デバイス・リセットが発生したことを示します。DEVICE_RESET ビットは 1 を書き込むことでクリアするビットで、ホストが 1'b1 を書き込むまで、その状態が維持されます。DEVICE_RESET ビットは、期待したようにリセットが実行されたことを確認するため、または意図しないリセットが発生したかどうか (例えば、動作中に電源が故障したかどうか) を確認するために参照できます。

リセット・ビット

同じ書き込み命令で INTERFACE_CONFIG_A レジスタの SW_RESET および SW_RESETX の両ビットを 1'b1 に設定することで、リセットが開始されます (**インターフェース設定 A レジスタ**のセクションを参照)。2 つのリセット・ビット・フィールドを使用して、SPI 信号に対する干渉が原因で意図しないリセットが起こる可能性を減らします。これらのリセット・ビットは、INTERFACE_CONFIG_A 設定レジスタに含まれているため、設定モードでのみ利用可能です。

図 66 は、リセット・ビットを使用して AD4050/AD4056 をリセットするタイミング図を示しています。デジタル・ホストは、SPI トランザクションを開始する前に、t_{RESET} 遅延が経過するまで待機する必要があります (表 1 を参照)。

リセット・パターン

図 67 に示されているリセット・パターンにより、デジタル・ホストは、AD4050/AD4056 をどの動作モードからもリセットできます。リセット・パターンは、コード 48'hFFFFFF FFFF FFFE を 3 回繰り返す 18 バイトの SPI 書き込みに相当します。

図 67 は、リセット・ビットを使用して AD4050/AD4056 をリセットするタイミング図を示しています。デジタル・ホストは、SPI トランザクションを開始する前に、t_{RESET} 遅延が経過するまで待機する必要があります (表 1 を参照)。

パワーオン・リセット

AD4050/AD4056 は、VDD レールおよび VIO レールが最初に印加される場合、または両レールをパワーサイクリングする場合には、パワーオン・リセット (POR) を発生させるように設計されています。VDD 電源または VIO 電源に対する POR により、ユーザ設定レジスタの状態はリセットされます。AD4050/AD4056 がスリープ・モードに入り、内部 LDO レギュレータを無効にした場合、設定レジスタはリセットされません (スリープ・モードのセクションを参照)。

図 68 は、AD4050/AD4056 の POR のタイミング図を示しています。デジタル・ホストは、電源が安定した後に t_{RESET} 遅延を待機する必要があります。その後、デジタル・ホストは、リセット・ビットまたはリセット・パターンを使用してリセットを実行する必要があります。最後に、他の SPI トランザクションを実行する前に、更に t_{RESET} 遅延が経過する必要があります。

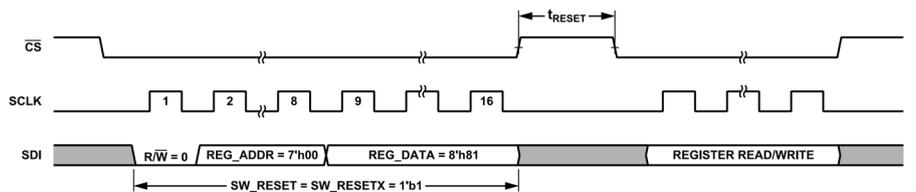


図 66. リセット・ビットのタイミング図

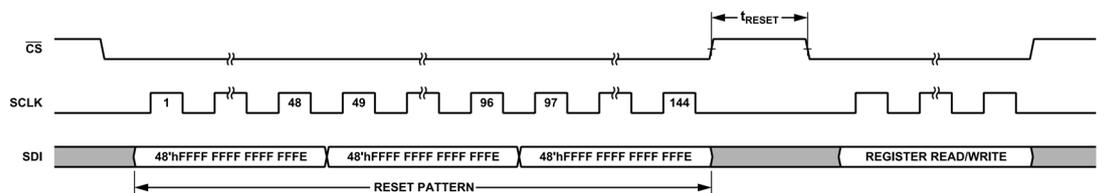


図 67. リセット・パターンのタイミング図

シリアル・インターフェース

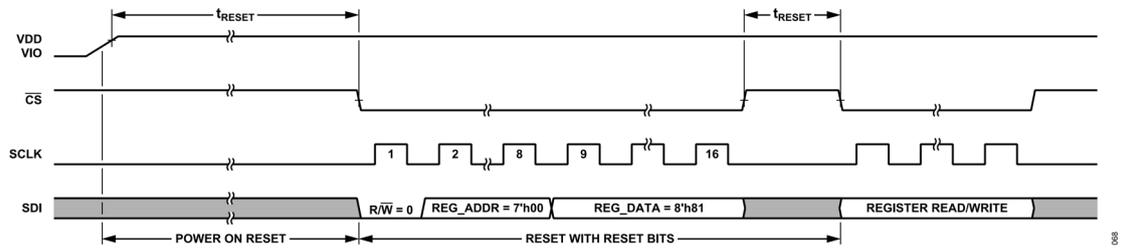


図 68. POR のタイミング図

アプリケーション情報

代表的なアプリケーション図

図 69 は、AD4050/AD4056 を使用した接続図の一例を示しています。AD4050/AD4056 の共通の関連回路には、パワー・マネージメント、電圧リファレンス回路、アナログ・フロントエンドおよびシグナル・コンディショニング回路、ならびに SPI 互換のデジタル・ホスト（マイクロコントローラまたはフィールド・プログラマブル・ゲート・アレイ（FPGA）など）が含まれています。

図 69 に示されている部品群は、AD4050/AD4056 を 2MSPS/500kSPS で動作させるときに最適な性能を得るための一般的な推奨事項であり、全ての使用例を対象にしているわけではありません。以下のセクションでは、部品の選択に関するガイドラインを詳しく示します。

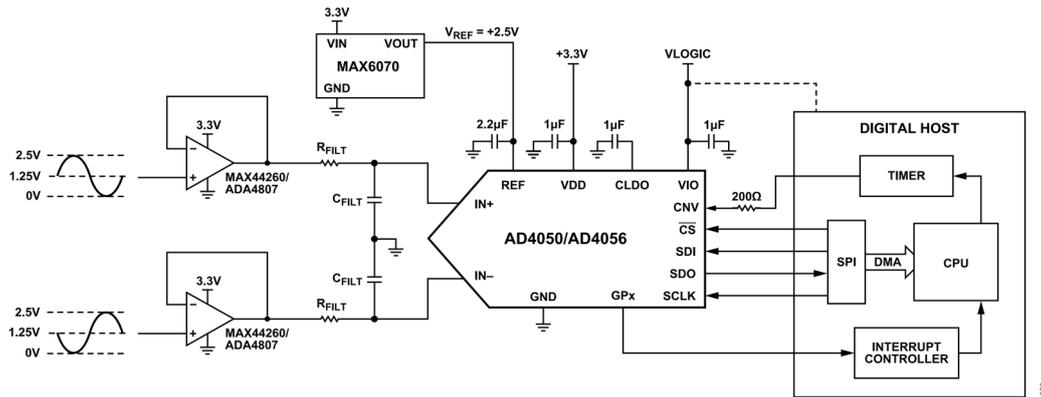


図 69. AD4050/AD4056 の代表的なアプリケーション図

アプリケーション情報

アナログ・フロントエンドの設計

広い入力同相電圧範囲

AD4050/AD4056 のアナログ入力は、各入力の絶対電圧範囲によってのみ制限される広い同相入力電圧範囲を特徴としています (表 1 を参照)。IN+ および IN- の各信号は、0V ~ V_{REF} の範囲に含まれ、同相入力電圧仕様 (V_{CM}) に反することなく使用でき、差動型信号およびシングルエンド型信号の両方との互換性を確保しています。V_{CM} 電圧は、以下の式で与えられ、図 70 にも示されています。

AD4050/AD4056 は、IN+ と IN- の差動電圧を変換し、同相信号は CMRR に応じて減衰します (表 1 および図 15 を参照)。

$$V_{CM} = \frac{V_{IN+} + V_{IN-}}{2} \quad (7)$$

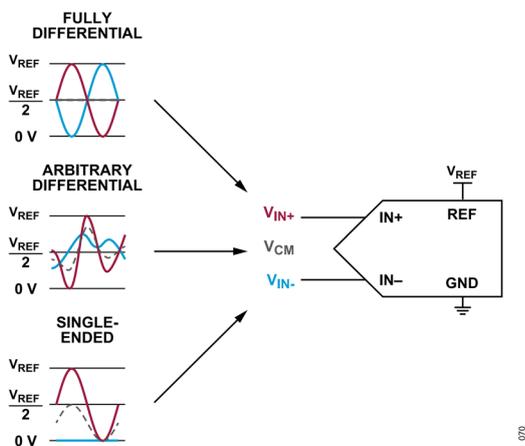


図 70. AD4050/AD4056 の広い入力同相電圧範囲

AD4050/AD4056 の等価アナログ入力モデル

アナログ入力のセクションで説明されているように、AD4050/AD4056 のアナログ入力はスイッチング容量性負荷としてモデル化することができ、IN+ および IN- の入力はそれぞれ一連のサンプリング・スイッチ (SW1) を通って 3.4pF のサンプリング・コンデンサに接続されます。各変換フェーズの一部として、SW1 スイッチは IN+ ピンおよび IN- ピンとサンプリング・コンデンサ (C_{IN}) とを切り離したり再接続したりするため、過渡入力電流と AFE 回路の出力における電圧グリッチが発生します。AD4050/AD4056 の C_{IN} が小さいため、過渡電流と電圧スパイクの大きさが他の SAR ADC と比べて小さく抑えられますが、それでも AFE は、表 1 に示す精度および性能仕様を満たすために、これらのグリッチを (次の変換までに) 十分速く安定させるように設計する必要があります。

図 71 は、AD4050/AD4056 の IN+ および IN- の入力の等価負荷回路モデルを示しています。SW1 はサンプリング・スイッチを表し、SW2 は C_{IN} リセット・スイッチを表しています。SW1 スイッチは変換フェーズの開始時に開くことで、IN+ および IN- の電圧を C_{IN} コンデンサでサンプリングします。アクイジション・

フェーズを開始する前に、SW2 スイッチはサンプリング・コンデンサを互いに短絡して、これを既知の予測可能な状態にリセットします。C_{IN} 容量は IN+ および IN- の両方に対して同じなので、各コンデンサのリセット電圧は以下の式で与えられる同じ値になります。

$$\frac{V_{IN+} + V_{IN-}}{2} \quad (8)$$

ここで、V_{IN+} および V_{IN-} はそれぞれ、サンプリングされた IN+ 電圧および IN- 電圧です。なお、この式は式 7 で与えられた同相入力電圧の式と同じです。

コンバータの動作のセクションで説明したように、AD4050/AD4056 のアクイジション・フェーズと変換フェーズは重なり合っています。アクイジション・フェーズが始まるのは、変換フェーズの開始から 210ns 後です。アクイジション・フェーズの開始時に、SW2 スイッチが開き、SW1 スイッチが閉じることで、C_{IN} が AD4050/AD4056 の入力に再接続されて信号が取得されます。SW1 が閉じたタイミングで、IN+ および IN- の入力は、ある程度の電荷を AFE 回路から吸収するか供給して、C_{IN} コンデンサを意図した信号電圧まで再充電します。過渡電流スパイクによって過渡電圧グリッチが各ピンに発生し、その大きさは、C_{IN} コンデンサから引き出される電荷量と AFE 回路の出力インピーダンスに依存します。

AFE が次の変換フェーズまでに入力グリッチを完全に安定させることができない場合は、SW2 スイッチが直線性誤差の最小化を目的として実装されます。SW2 スイッチにより、サンプリングごとの電荷転送量が入力信号電圧に直線的に関連することになります。最も大きい電流および電圧のグリッチが発生するのは、差動入力電圧が V_{REF} に等しい場合です。例えば、V_{IN-} = 0V で V_{IN+} = V_{REF} = 3.3V の場合、サンプリングごとの電荷転送量は 5.6pC であり、これが IN- 入力に流入し、IN+ 入力から流出します。したがって、定常状態の入力電流も、図 17 に示されているように、入力電圧に直線的に関連しています。したがって、AD4050/AD4056 におけるセトリング誤差は、INL および THD の低下ではなく、追加のゲイン誤差として現れます。}}}

AFE 回路の出力における電圧グリッチを減衰させるために、IN+ および IN- の各ピンには RC キックバック・フィルタを設けることが推奨されます (図 69 を参照)。高精度 SAR A/D コンバータ (ADC) のフロントエンド・アンプと RC フィルタの設計という記事には、適切なセトリングを確保するキックバック・フィルタの RC 部品を選択するためのガイダンスが提供されています。表 19 には、AD4050/AD4056 に使用する一般的な推奨 RC 部品が、いくつかのサンプル・レートに対して示されています (R_{FILT} および C_{FILT} は、それぞれ RC キックバック・フィルタの抵抗値および容量値です)。表 19 に示されている値は初期ガイダンスとして提供されているため、システム設計者は関連アンプがこれらの RC 負荷を安定して駆動できることを確認する必要があります。

過渡シミュレーションに設定された場合、AD4050/AD4056 の LTspice モデルは、図 71 に示されている等価アナログ入力モデルをエミュレートします。

アプリケーション情報

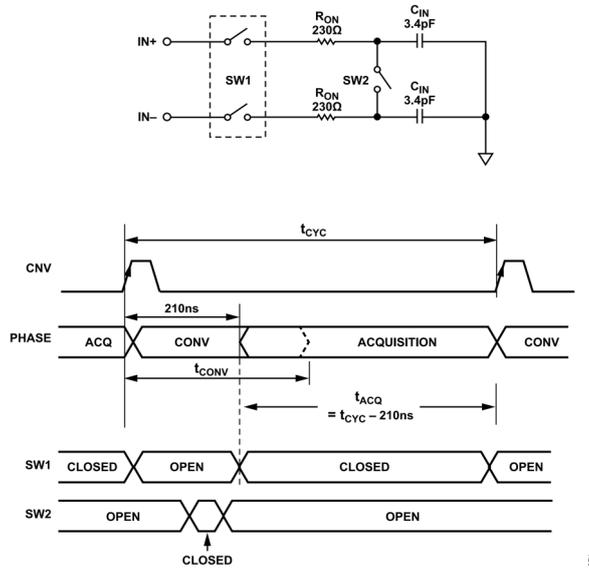


図 71. AD4050/AD4056 の等価入力負荷モデル

表 19. AD4050/AD4056 の RC キックバック・フィルタに関する推奨事項

Sample Rate	t _{ACQ}	R _{FILT}	C _{FILT}	-3 dB Bandwidth
2 MSPS	290 ns	100 Ω	1 nF	1.59 MHz
		200 Ω	360 pF	2.21 MHz
1 MSPS	790 ns	250 Ω	1 nF	636.61 kHz
		523 Ω	360 pF	845.30 kHz
500 kSPS	1790 ns	665 Ω	1 nF	239.33 kHz
		1270 Ω	360 pF	348.10 kHz
100 kSPS	9790 ns	3.57 kΩ	1 nF	44.5 kHz
		6.81 kΩ	360 pF	64.91kHz

ノイズおよび歪みに関する考慮事項

AFE 回路のノイズおよび歪みに関する仕様は、AD4050/AD4056 のノイズおよび歪みの仕様と組み合わせることでシステム全体の性能を決定するため、考慮する必要があります。総システム・ノイズ (v_{N,TOTAL}) は AFE の実効値ノイズ (v_{N,AFE}) と ADC の実効値ノイズ (v_{N,ADC}) の二乗和平方根 (RSS) で表され、以下の式で示されているように AD4050/AD4056 の入力に換算されます。

$$v_{N,TOTAL} = \sqrt{v_{N,AFE}^2 + v_{N,ADC}^2} \quad (9)$$

MT-049 および MT-050 には、オペアンプ回路における v_{N,AFE} の推定方法が説明されており、これはアンプおよび受動部品のノイズ仕様とアンプの構成に基づいています。高精度 SAR A/D コンバータ (ADC) のフロントエンド・アンプと RC フィルタの設計という記事には、システムの SNR と v_{N,AFE} および v_{N,ADC} との関係性を推定する方法が説明されています。

AD4050/AD4056 の等価アナログ入力モデルのセクションで述べたように、AFE と ADC の間にある RC キックバック・フィルタの主目的は、セトリング誤差を最小化することであり、AFE ノイズの除去や、エイリアシングの防止ではありません。RC キックバック・フィルタの帯域幅は任意に低く設定できないため、

RC キックバック・フィルタではなく、アンプ回路の前段またはその中に、何らかのノイズまたはアンチエイリアスのフィルタリング機能を追加で実装することが推奨されます。コンデンサの電圧および温度の定格低下によって生じる信号歪みのアーチファクトを最小限に抑えるために、AFE 回路に使用される全てのコンデンサには、NP0/COG 型の誘電体コンデンサが推奨されます。

リファレンス回路設計

等価 REF 入力モデル

AD4050/AD4056 は、デバイスの入力範囲を定めるために外部電圧リファレンスを必要とします。精度および性能を最大限に引き出すには、低ノイズで安定したリファレンスが不可欠です。

AD4050/AD4056 の REF ピンは、変換フェーズごとに外部リファレンス回路から電荷 (Q_{CONV}) の供給を受けて、SAR ADC のビット・トライアルを実行します。したがって、REF 入力電流 (I_{REF}) は、変換ごとに一度発生する過渡電流負荷として、またサンプル・レートの関数である等価平均 DC 電流負荷として表すことができます (表 1 および図 18 を参照)。電圧リファレンス回路は、AD4050/AD4056 の REF ピンから電荷の過渡現象が生じて、変換結果にゲイン誤差やスタック・ビットが発生しないように、安定した正確な V_{REF} 電圧を維持する必要があります。

アプリケーション情報

リファレンス・デカップリング・コンデンサ (C_{REF}) が強く推奨されるのは、REF ピンによって引き出される瞬時電荷を供給すると共に、 V_{REF} 電圧を LSB 以内に維持するためです。最適な性能を得るには、 C_{REF} に 0402 以上のケース・サイズを持つ $2.2\mu\text{F}$ のコンデンサを実装して、適切なコンデンサの電圧係数を確保してください。スペースに制約のあるアプリケーションでは、ゲイン誤差および INL がわずかに悪化しても、ケース・サイズが 0201 の $1\mu\text{F}$ コンデンサを使用する場合があります。 C_{REF} コンデンサを同じ PCB 層、かつ REF ピンのできるだけ近くに太い配線パターンで配置して、直列インピーダンスを最小化します (レイアウトに関する推奨事項のセクションを参照)。

AD4050/AD4056 がアイドル (変換を実行していない) 状態にある間、REF ピンは小さいスタンバイ電流 (8nA) しか消費しません。AD4050/AD4056 がアイドル状態と変換バーストの実行とを断続的に切り替えるアプリケーション (例えば、バースト平均化モードを使用する場合) では、 I_{REF} がほぼゼロの電流から $60\mu\text{A}/15\mu\text{A}$ ($f_s = 2\text{MSPS}/500\text{kSPS}$ の場合) に急速に変化します。負荷電流のこの変化は、リファレンス回路に出力負荷過渡応答を引き起こすため、 V_{REF} に $\frac{1}{2}\text{LSB}$ を超える変化がある場合には考慮する必要があります。MAX6070 の電圧リファレンスが推奨されるのは、消費電力の低い優れた過渡応答を備えているためです。図 72 には、変換バーストに反応するリファレンス回路に対する過渡負荷効果が示されています。

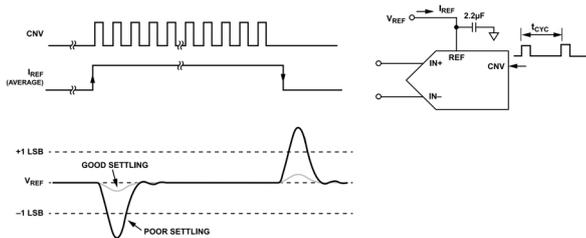


図 72. バースト・サンプリングと電圧リファレンスのセトリング

リファレンス・ノイズに関する考慮事項

電圧リファレンス回路のノイズは、システムレベルのダイナミック・レンジと SNR の目標仕様を達成するために極めて重要です。ほぼフルスケールの大きい入力信号の場合、リファレンス回路からどのようなノイズが発生しても、変換結果に影響を与え、基本的な周波数の周辺で変調します。リファレンスのノイズによって、平均化モードおよびバースト平均化モードで高い平均化比率を使用して得られる SNR の向上や分解能の向上も制限されることとなります。

アンプのシャットダウンと ADC のサンプリングの同期

DEV_EN 信号は、AD4050/AD4056 によって生成されるアンプのパワーダウン信号であり、ADC と同期して、サンプリングのタイミングの前に、アンプの電源投入時のセトリング時間を最大限確保します。図 41 は、AD4050/AD4056 の DEV_EN 信号をオペレーショナル・アンプリファイアと併用する場合の代表的な接続図を示しています。DEV_EN 信号は、この例では GP0 出力ピンに割り当てられます。

デバイス・イネーブル信号のセクションで説明されているように、DEV_EN 信号は、CNV 信号の立上がりエッジの後にアサートされ、接続されたアンプを有効にします。サンプリングのタイミングは、ユーザがプログラム可能な t_{PWR_ON} 遅延が経過するまで延期されます。 t_{PWR_ON} 遅延が経過した後に、DEV_EN 信号はデアサートされ、アンプがパワーダウンします。VIO 電圧で設定される AD4050/AD4056 のロジック・レベル (表 1 に示されています) との互換性を確保するには、アンプのデータシートを参照して、そのシャットダウン・ピンのロジック・レベルを確認してください。

ADC のサンプリング・タイミングまでにアンプの出力を確実に安定させるには、 t_{PWR_ON} 遅延がアンプのターンオン時間仕様より長くなるように設定してください。ターンオン時間は、アンプの出力が ENABLE/SHUTDOWN 入力をアサートした後に仕様規定された精度まで安定するのに必要な時間を示しています。なお、ターンオン時間は負荷とアンプ構成によって変わります。Introduction to Dynamic Power Scaling という記事には、SAR ADC のサンプリングに対するオペレーショナル・アンプリファイアのパワーサイクリングの設定および評価に関してガイダンスが提供されています。

AD4050/AD4056 の様々な動作モードで DEV_EN を使用する際のタイミング図については、図 52 および図 54 を参照してください。

リファレンスのシャットダウンを利用した高精度の達成

低ノイズで高精度の電圧リファレンスが、高精度の SAR ADC と組み合わせてシステムレベルの性能を最大限に引き出すために一般に推奨されます。電圧リファレンス回路には、SAR ADC の REF 入力過渡負荷に対処するために、低出力インピーダンスと高速過渡応答も必要になり、サンプル・バーストを実行する場合には特に重要です (リファレンス回路設計のセクションを参照)。低消費電力の電圧リファレンスは一般に、これらの条件を全て同時に満たすことはできません。そのため、システム設計者はリファレンス・バッファ・アンプの追加を強いられることが多く、結果としてシステム全体の消費電力が増加します。

MAX6070 は消費電力が非常に低い電圧リファレンスであり、リファレンス・バッファ・アンプを介さずに、AD4050/AD4056 の REF ピンを直接駆動できます。しかし、AD4050/AD4056 は、省電力を極めて重視するアプリケーション向けに、精度を悪化させずに電圧リファレンスを無効にできる独自の機能を備えています。

AD4050/AD4056 は、 V_{REF} ソースとして VDD 電源を選択でき、これについては、リファレンス選択モードのセクションで説明されています。 V_{REF} として VDD を使用しながら精度を維持するために、AD4050/AD4056 は、VDD 電源と REF 入力電圧の比を直接計測し、対応するデジタル補正係数を計算して、それに応じて ADC サンプルを自動的にスケールリングすることができます。デジタル補正には、ゲイン・スケールリングのセクションで説明されている MON_VAL フィールドを使用して、REF ドメインと VDD ドメインの間の ADC の伝達関数をスケールリングします。

アプリケーション情報

MON_VAL を使用した自動スケーリングの計算は、2つのフェーズで構成されています。図 73 は、MON_VAL デジタル補正係数の計測および計算を行う際の AD4050/AD4056 の構成を示しています。図 74 は MON_VAL が更新された後の構成を示しており、AD4050/AD4056 は、VDD を V_{REF} ソースとして入力をサンプリングし始めます。表 20 は、両方のフェーズの関連構成の設定値を示しています。

MON_VAL の計算フェーズでは、REF ピンが MAX6070 のような正確な電圧リファレンスで駆動され、REF ピンが V_{REF} ソースとして選択されています。VDD 電圧は、内部で½倍にスケーリングされ、ADC でサンプリングされます。CNV の立上がりエッジが、バースト平均化モードのサンプル・バーストをトリガします。平均化した結果が生成されると、AD4050/AD4056 は 16 ビットのデジタル補正係数を自動的に計算して、それを MON_VAL フィールドに書き込みます。RDY信号は、計算が完了したことを示すために、任意で GP0 ピンまたは GP1 ピンに割り当てることができます。

MON_VAL の適用フェーズでは、ADC は、V_{REF} ソースとして選択された VDD を使用し、IN+ピンおよび IN-ピンを経由した入力信号をサンプリングするように再設定されます。外部電圧リファレンスは、システムの消費電力を削減するためにパワーダウンします。ADC が入力をサンプリングするときに、MON_VAL スケーリング係数がデジタル出力コードに適用され、VDD 電圧ではなく REF 電圧で設定された伝達関数に合わせてスケーリングします。

VDD 電源回路の安定性によっては、システムの精度目標を維持するために、MON_VAL の計算を周期的に行うことが必要になる場合もあります。

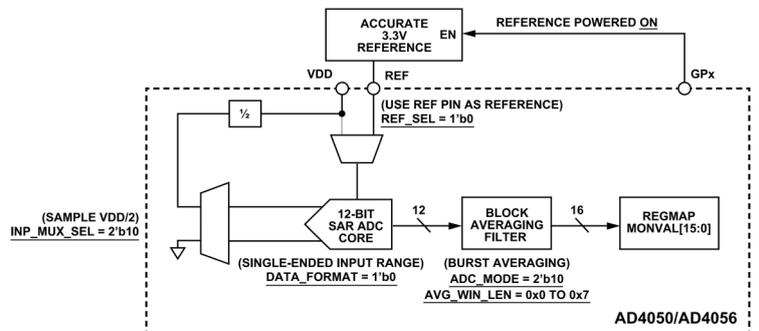


図 73. MON_VAL 計算の構成

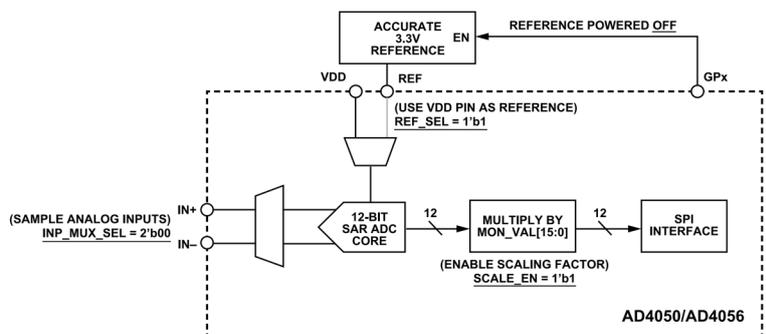


図 74. MON_VAL 適用の構成

アプリケーション情報

表 20. MON_VAL スケーリングの設定値

Bit Field Name	MON_VAL Calculation	MON_VAL Application
REF_SEL	1'b0: V _{REF} = REF	1'b1: V _{REF} = VDD
DATA_FORMAT	1'b0: Single-ended mode	Don't care
INP_MUX_SEL	2'b10: Sample VDD/2	2'b00: Sample IN+ and IN-
ADC_MODE	2'b10: Burst averaging mode	Don't care
AVG_WIN_LEN	Don't care ¹	Don't care
SCALE_EN	1'b0: Scaling disabled	1'b1: Scaling enabled
GP0_SEL	3'b010: \overline{RDY} on GP0 ²	Don't care
GP1_SEL	3'b110: Logic high on GP1 ³	3'b011: Logic low on GP1 ³

¹ MON_VAL の計算には特定の N_{AVG} の値は必要ありませんが、VDD 電源回路のノイズとシステムの精度目標に基づいて N_{AVG} を設定することが推奨されます。

² 任意です。 \overline{RDY} 信号は、MON_VAL の計算が完了したことをデジタル・ホストに通知するハードウェア割込みとして機能できます。

³ 任意です。静的なロジック・レベルは、その入力ロジック・レベルが AD4050/AD4056 の出力ロジック・レベルと一致する場合、電圧リファレンスのイネーブル・ピンとして機能できます。

VDD 消費電力

AD4050/AD4056 などの SAR ADC は、消費電力バジェットが厳しい高精度の計測アプリケーションに理想的です。ADC コアは効果的にデューティサイクル動作を行い、変換を実行するアクティブのときにしか電力を消費しないため、サンプル・レートを

を下げて効果的に消費電力を減らします。図 75 は、瞬時および平均の VDD 入力電流 (I_{DD}) と ADC サンプリングの関係を示しています。表 1 は、いくつかの動作モードおよびサンプル・レートに対する平均供給電流と消費電力を示しています。

AD4050/AD4056 の ADC コアは、電力効率が非常に優れており、いくつかの低電力動作モードで動作できます。アナログ・フロントエンドの設計のセクションで説明されているように、サンプリング・レートを低下させると、AFE およびリファレンス回路の負荷駆動条件も緩和されるため、AD4050/AD4056 は、システム全体の電力最適化のために低消費電力のアンプおよび電圧リファレンスとインターフェースできるようになります。

AD4050/AD4056 がアイドル状態のときに、VDD は 990nA のスタンバイ電流しか消費しません (図 29 を参照)。サンプル・モードおよび平均化モードでは、AD4050/AD4056 の平均 VDD 電流は 1MSPS で 0.4mA、500kSPS で 0.2mA であり、これは 1 回の変換当たり 400pC に相当します。自律モードでは、VDD 電流が 1MSPS で 112μA に、500kSPS で 56μA に低下し、これは 1 回の比較動作当たり 112pC に相当します。図 21 および図 24 は、平均 I_{DD} および消費電力と ADC サンプル・レートの関係を実験モード別に示しています。供給電流および消費電力は、サンプル・レートに伴って線形にスケールします。

バースト平均化モードでは、AD4050/AD4056 は変換バーストを実行し、平均化された結果を生成します。したがって、バースト平均化モードでの平均消費電力は、多数のサンプル・バーストにおける 1 秒当たりの平均変換回数に依存します。これは、バースト・サンプリング・レート N_{AVG}、および CNV 信号の期間に依存します。図 76 は、バースト平均化モードのバースト・サンプリング・フェーズおよびアイドル・フェーズにおける VDD 消費電力を示しています。

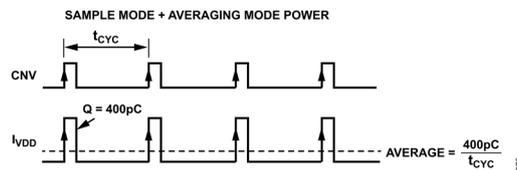


図 75. サンプル・モードおよび平均化モードの I_{DD} と変換期間の関係

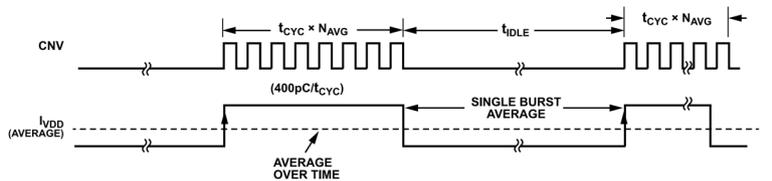


図 76. バースト平均化モードの I_{DD} とバースト変換の関係

アプリケーション情報

シリアル・インターフェースの出力データレート
の計算

AD4050/AD4056 の ADC コアの性能は 2MSPS/500kSPS までの f_s に対して規定されていますが、達成可能な最大の出力データレート (f_{ODR_MAX}) は、シリアル・インターフェース仕様に依存し、実用上の f_s を制限する場合があります。例えば、サンプル・モードおよび平均化モードでは、デジタル・ホストは、前の変換の終了から次の変換の開始までに ADC 結果全体を読み出す必要があり、そうしないと結果が失われます。したがって、これらのモードを使用する特定のアプリケーション向けの最大 f_s および最小サンプル期間 (t_{CYC}) は、AD4050/AD4056 およびデジタル・ホストのタイミング仕様に依存します。

バースト平均化モードおよび自律モードでは、ADC のサンプリング・レートが内蔵タイマーによって設定されます (内蔵タイマーのセクションを参照)。これらのモードでは、シリアル・インターフェースによるサンプリング・レートの制限はありません。デジタル・ホストは 1 つの変換期間内にサンプル全体を読み出す必要がないためです。

図 77 は、サンプル・モードおよび平均化モードで ADC データを読み出す場合のタイミング制限を示しています。サンプル・モードおよび平均化モードの最小 t_{CYC} は、以下の式を用いて推定できます。

$$t_{CYC_MIN} = t_{CONV} + t_{EN} + t_{QUIET} + t_{SCLK} \times (N_{BITS} - 1/2) \tag{10}$$

$$f_{ODR_MAX} = \frac{1}{t_{CYC_MIN}} \tag{11}$$

ここで、

t_{CYC_MIN} は達成可能な最小サンプル期間です。

f_{ODR_MAX} は達成可能な最大出力データレートです。

t_{CONV} は最大変換時間仕様です。

t_{EN} は、 \overline{CS} の立下がりエッジから SDO の有効データまでの最大遅延時間です。

t_{QUIET} は最小静止時間仕様です。

t_{SCLK} はシリアル・クロック周期です。

N_{BITS} はビット単位で表した ADC データ・パケットの長さです。

N_{BITS} のデフォルト値は、サンプル・モードでは 12 ビット、平均化モードでは 14 ビットです (各動作モードに対する N_{BITS} の全オプションについては、ADC のモード別出力データ形式のセクションを参照)。

AD4050/AD4056 は、SPI モード 0 ($CPOL = CPHA = 0$) を使用します。そのため、MSB は \overline{CS} の立下がりエッジの後に SDO ピンに送出され、 t_{EN} 仕様で規定される遅延が発生します。式 10 は、SCLK の最初の立下がりエッジが t_{EN} 仕様を守りながらできるだけ早く発生することを前提にしていますが、 \overline{CS} の立下がりエッジと SCLK の立下がりエッジの間の遅延はデジタル・ホストによって変わる場合があります。

表 5 および表 6 に示された最速 (最小) t_{SCLK} 周期は、SDO データを SCLK の立下がりエッジでラッチできる FPGA などのデジタル・ホストでのみ達成可能です。最大 t_{DSDO} 遅延が最小 t_{SCLK} 仕様の半分より長いからです。AD4050/AD4056 とインターフェースする標準的なマイクロコントローラの場合、データは SCLK の立下がりエッジでラッチされるため、実用上の最小 t_{SCLK} は少なくとも $2 \times t_{DSDO}$ になります。表 21 は f_{ODR_MAX} の計算例を示しており、その値は、式 10 および式 11 を使用し、タイミング仕様に記載された最小 t_{SCLK} 仕様ではなく、 $t_{SCLK} = 2 \times t_{DSDO}$ であると仮定して計算されています。

なお、 t_{DSDO} 遅延は、20pF の C_{LOAD} に対して規定されています。

表 21 の推定値は、 C_{LOAD} の違い、デジタル・ホスト SPI のセットアップおよびホールドの時間仕様、またはデジタル・ホストの SPI トランザクション内にある追加の遅延源 (例えば、SPI データ・バッファのコンテンツを他の周辺機器に転送する際の遅延、または割込みハンドラのレイテンシ) を考慮していません。実際のシリアル・クロック・レートはアプリケーションによって変わるため、個別に確認する必要があります。

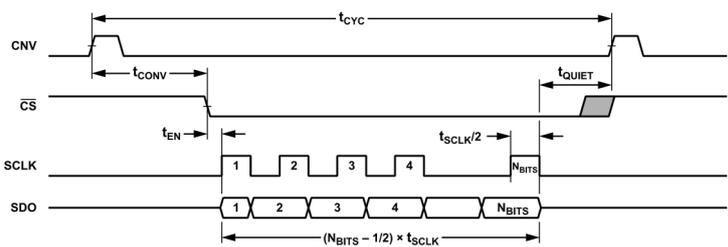


図 77. サンプル・モードおよび平均化モードでのシリアル・インターフェースのリードバック・タイミング

アプリケーション情報

表 21. シリアル・インターフェースの出力データレートの例

VIO Range	Example f_{SCLK} ¹	NBITS	f_{ODR_MAX}
VIO ≥ 3 V	62.5 MHz	16	1.69 MSPS
		24	1.39 MSPS
		32	1.18 MSPS
		40	1.02 MSPS
3 V > VIO ≥ 1.7 V	33.3 MHz	16	1.22 MSPS
		24	947 kSPS
		32	772 kSPS
		40	650 kSPS

¹ 表中の f_{SCLK} の例は、 $t_{SCLK} = 2 \times t_{SDO}$ に対応しています。 t_{SDO} は最大有効データ遅延であり、表 5 および表 6 に示されています。

レイアウトに関する推奨事項

以下の PCB レイアウトのガイドラインが、AD4050/AD4056 を使用して性能を最大限に引き出すために推奨されます。

- ▶ AD4050/AD4056 の下にある PCB 層には、強固なグランド・プレーンを設けます。AD4050/AD4056 の GND ピンとグランド・プレーン層の間は必ず低インピーダンス接続にします。
- ▶ アナログ入力と REF の配線パターンは、デジタル・インターフェースの配線パターンから必ず物理的に分離して、デジタル信号エッジからのクロストークを最小限に抑えます。アナログとデジタルの配線パターン間に GND フィルを設けます。強固なグランド・プレーン層を間に設けずに AD4050/AD4056 の下やアナログ信号の配線パターンの下にデジタル・インターフェースの配線パターンを引き回さないでください。
- ▶ 電圧リファレンス回路と AD4050/AD4056 の REF ピンの間インピーダンスは、 V_{REF} のセトリング問題を防ぐために、できる限り低くします。等価直列抵抗 (ESR) が低いデカップリング・コンデンサを AD4050/AD4056 の REF ピンのできるだけ近くに配置します (リファレンス回路設計のセクションを参照)。電圧リファレンスと AD4050/AD4056 の REF ピンの間には、太い配線パターンを使用します。
- ▶ RC キックバック・フィルタのコンデンサは、IN+ピンおよび IN-ピンのできるだけ近くに配置します (アナログ・フロントエンドの設計のセクションを参照)。
- ▶ 電源のデカップリング・コンデンサは、VDD、CLDO、VIO の各ピンのできるだけ近くに配置します (電源のセクションを参照)。

レジスタの一覧

AD4050/AD4056 には、デバイスの設定用に、プログラム可能なユーザ・レジスタが内蔵されています。これらのレジスタは、AD4050/AD4056 が設定モード中にアクセス可能です。表 22 は、AD4050/AD4056 のユーザ・レジスタ・マップの概要を示しています。レジスタの詳細のセクションでは、各レジスタのビット・フィールドの位置および機能について詳しく説明します。様々なレジスタの詳細を記載した表のアクセス欄では、ビット・フィールドが読出し専用ビット (R)、読出し/書込みビット (R/W)、または 1 を書き込んでクリアするビット (R/W1C) のいずれであるかを示しています。

表 22. AD4050/AD4056 のレジスタ一覧

アドレス	名前	説明	リセット	アクセス
0x00	INTERFACE_CONFIG_A	インターフェース設定 A。	0x10	R/W
0x01	INTERFACE_CONFIG_B	インターフェース設定 B。	0x08	R/W
0x02	DEVICE_CONFIG	デバイス設定。	0xF0	R/W
0x03	DEVICE_TYPE	デバイス・タイプ。	0x07	R
0x04	PRODUCT_ID_L	製品 ID (LSByte)。	0x70	R
0x05	PRODUCT_ID_H	製品 ID (MSByte)。	0x00	R
0x06	DEVICE_GRADE	デバイス・グレード	0x00	R
0x0A	SCRATCH_PAD	スクラッチ・パッド。	0x00	R/W
0x0B	SPI_REVISION	SPI リビジョン。	0x84	R
0x0C	VENDOR_L	メーカーID (LSByte)。	0x56	R
0x0D	VENDOR_H	メーカーID (MSByte)。	0x04	R
0x0E	STREAM_MODE	予約済み。	0x00	R/W
0x0F	TRANSFER_CONFIG	予約済み。	0x00	R/W
0x10	INTERFACE_CONFIG_C	インターフェース設定 C。	0x13	R/W
0x11	INTERFACE_STATUS	インターフェース・ステータス。	0x00	R/W
0x12 to 0x1F	RESERVED	予約済み。	0x00	R
0x20	MODE_SET	デバイス・モード選択。	0x00	R/W
0x21	ADC_MODES	ADC 動作モード設定。	0x80	R/W
0x22	ADC_CONFIG	ADC セットアップ設定。	0x00	R/W
0x23	AVG_CONFIG	平均化フィルタ設定。	0x00	R/W
0x24	GP_CONFIG	汎用ピン設定。	0xF0	R/W
0x25	INTR_CONFIG	割込み設定。	0x21	R/W
0x26	CHOP_CONFIG	CHOP 信号設定。	0x00	R/W
0x27	TIMER_CONFIG	タイマー設定。	0x00	R/W
0x28	MAX_LIMIT_REG[7:0]	最大閾値設定。	0x0000	R/W
0x29	MAX_LIMIT_REG[15:8]			
0x2A	MIN_LIMIT_REG[7:0]	最小閾値設定。	0x0000	R/W
0x2B	MIN_LIMIT_REG[15:8]			
0x2C	MAX_HYST_REG	最大閾値ヒステリシス。	0x00	R/W
0x2D	MIN_HYST_REG	最小閾値ヒステリシス。	0x00	R/W
0x2E	MON_VAL_REG[7:0]	MON_VAL スケーリング。	0x0000	R/W
0x2F	MON_VAL_REG[15:8]			
0x30 to 0x3F	RESERVED	予約済み。	0x00	R
0x40	FUSE_CRC	ヒューズ CRC。	0x00	R/W
0x41	DEVICE_STATUS	デバイス・ステータス。	0x40	R/W
0x42	MAX_SAMPLE_REG[7:0]	最大割込みサンプル。	0x0000	R
0x43	MAX_SAMPLE_REG[15:8]			
0x44	MIN_SAMPLE_REG[7:0]	最小割込みサンプル。	0x0000	R
0x45	MIN_SAMPLE_REG[15:8]			

レジスタの詳細

インターフェース設定 A レジスタ

アドレス : 0x00、リセット : 0x10、レジスタ名 : INTERFACE_CONFIG_A

インターフェース設定の設定値

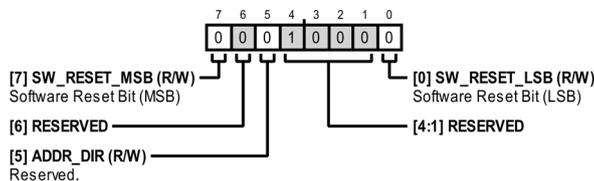


表 23. INTERFACE_CONFIG_A のビット説明

ビット	ビット名	説明	リセット	アクセス
7	SW_RESET_MSB	ソフトウェア・リセット・ビット (MSB)。デバイスのソフトウェア・リセットを開始するには、同じレジスタ書き込みで SW_RESET_MSB および SW_RESET_LSB の両方を 1 に設定します。	0x0	R/W
6	RESERVED	予約済み。	0x0	R
5	ADDR_DIR	予約済み。このビットは 0 に設定する必要があります。ADDR_DIR ビットは、ソフトウェア・リセットではリセットされません。リセットするには、ソフトウェア・リセット・パターンまたはパワーオン・リセットが必要です。	0x0	R/W
[4:1]	RESERVED	予約済み。	0x8	R
0	SW_RESET_LSB	ソフトウェア・リセット・ビット (LSB)。デバイスのソフトウェア・リセットを開始するには、同じレジスタ書き込みで SW_RESET_MSB および SW_RESET_LSB の両方を 1 に設定します。	0x0	R/W

インターフェース設定 B レジスタ

アドレス : 0x01、リセット : 0x08、レジスタ名 : INTERFACE_CONFIG_B

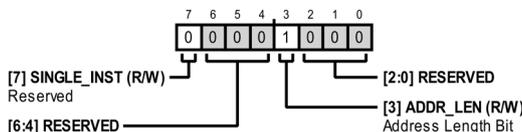


表 24. INTERFACE_CONFIG_B のビット説明

ビット	ビット名	説明	リセット	アクセス
7	SINGLE_INST	予約済み。このビットは 0 に設定する必要があります。	0x0	R/W
[6:4]	RESERVED	予約済み。	0x0	R
3	ADDR_LEN	アドレス長のビット。命令フェーズのレジスタ・アドレスの長さを 7 ビットまたは 15 ビットに設定します。 0 : 15 ビットのアドレス指定。 1 : 7 ビットのアドレス指定。	0x1	R/W
[2:0]	RESERVED	予約済み。	0x0	R

デバイス設定レジスタ

アドレス : 0x02、リセット : 0xF0、レジスタ名 : DEVICE_CONFIG

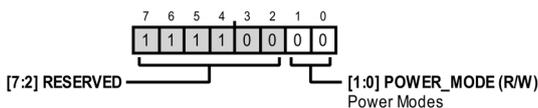


表 25. DEVICE_CONFIG のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x3C	R

レジスタの詳細

表 25. DEVICE_CONFIG のビット説明 (続き)

ビット	ビット名	説明	リセット	アクセス
[1:0]	POWER_MODE	電力モード。 0x0 : アクティブ・モード。 0x1 : 無効。 0x2 : 無効。 0x3 : スリープ・モード (低消費電力)。	0x0	R/W

デバイス・タイプ・レジスタ

アドレス : 0x03、リセット : 0x07、レジスタ名 : DEVICE_TYPE

デバイスのタイプを示します (高精度 ADC)。デバイス・タイプ・レジスタは、製品 ID レジスタと併用して、AD4050/AD4056 をアナログ・デバイセズの他の製品と区別するのに使用されます。

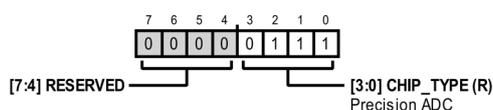


表 26. DEVICE_TYPE のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	CHIP_TYPE	高精度 ADC。	0x7	R

製品 ID (LSByte) レジスタ

アドレス : 0x04、リセット : 0x70、レジスタ名 : PRODUCT_ID_L

一意の製品 ID ビット・フィールドの最下位バイト。製品 ID レジスタは、デバイス・タイプ・レジスタと併用して、AD4050/AD4056 をアナログ・デバイセズの他の製品と区別するのに使用されます。

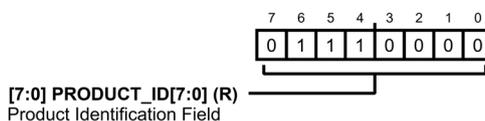


表 27. PRODUCT_ID_L のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[7:0]	製品 ID フィールド。AD4050/AD4056 の一意の PRODUCT_ID 値は 0x0070 です。	0x70	R

製品 ID (MSByte) レジスタ

アドレス : 0x05、リセット : 0x00、レジスタ名 : PRODUCT_ID_H

一意の製品 ID ビット・フィールドの最上位バイト。製品 ID レジスタは、デバイス・タイプ・レジスタと併用して、AD4050/AD4056 をアナログ・デバイセズの他の製品と区別するのに使用されます。

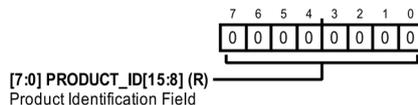


表 28. PRODUCT_ID_H のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[15:8]	製品 ID フィールド。AD4050/AD4056 の一意の PRODUCT_ID 値は 0x0070 です。	0x0	R

レジスタの詳細

デバイス・グレード・レジスタ

アドレス：0x06、リセット：0x00、レジスタ名：DEVICE_GRADE

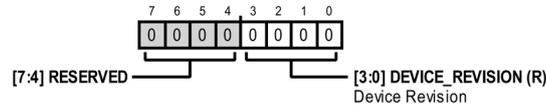


表 29. DEVICE_GRADE のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	DEVICE_REVISION	デバイスのリビジョン。デバイスのハードウェア・リビジョンを示します。	0x0	R

スクラッチ・パッド・レジスタ

アドレス：0x0A、リセット：0x00、レジスタ名：SCRATCH_PAD

インターフェース読出し／書込みテスト用レジスタ。

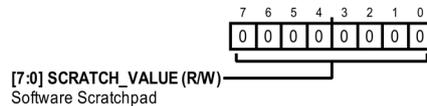


表 30. SCRATCH_PAD のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SCRATCH_VALUE	ソフトウェア・スクラッチパッド。このレジスタは、デバイスとの SPI 通信をテストするために使用します。このレジスタに書き込まれた値はデバイス動作に影響しません。	0x0	R/W

メーカーID (LSByte) レジスタ

アドレス：0x0C、リセット：0x56、レジスタ名：VENDOR_L

このデバイスのメーカーとしてアナログ・デバイセズを示します。メーカーID レジスタは、製品 ID レジスタと併用して、AD4050/AD4056 をアナログ・デバイセズの他の製品と区別するのに使用されます。

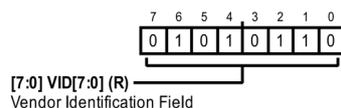


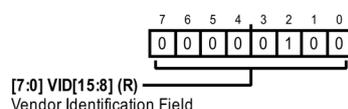
表 31. VENDOR_L のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VID[7:0]	メーカーID フィールド。VID[15:0]フィールドは、アナログ・デバイセズの全ての高精度 ADC で同じ値 (0x0456) です。	0x56	R

メーカーID (MSByte) レジスタ

アドレス：0x0D、リセット：0x04、レジスタ名：VENDOR_H

このデバイスのメーカーとしてアナログ・デバイセズを示します。メーカーID レジスタは、製品 ID レジスタと併用して、AD4050/AD4056 をアナログ・デバイセズの他の製品と区別するのに使用されます。



レジスタの詳細

表 32. VENDOR_H のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VID[15:8]	メーカーID フィールド。VID[15:0]フィールドは、アナログ・デバイセズの全ての高精度 ADC で同じ値 (0x0456) です。	0x04	R

予約済みレジスタ

アドレス : 0x0E、リセット : 0x00、レジスタ名 : STREAM_MODE

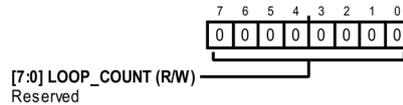


表 33. STREAM_MODE のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LOOP_COUNT	予約済み。このビット・フィールドは 0x00 に設定する必要があります。	0x0	R/W

アドレス : 0x0F、リセット : 0x00、レジスタ名 : TRANSFER_CONFIG

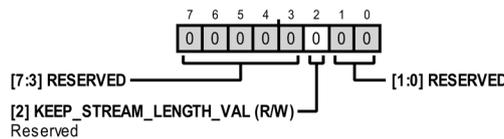


表 34. TRANSFER_CONFIG のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予約済み。	0x0	R
2	KEEP_STREAM_LENGTH_VAL	予約済み。このビットは 0 に設定する必要があります。	0x0	R/W
[1:0]	RESERVED	予約済み。	0x0	R

インターフェース設定 C レジスタ

アドレス : 0x10、リセット : 0x13、レジスタ名 : INTERFACE_CONFIG_C

追加のインターフェース設定値。

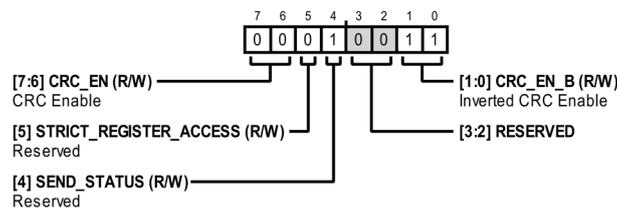


表 35. INTERFACE_CONFIG_C のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	CRC_EN	CRC イネーブル。同じレジスタ書込みで CRC_EN を 0x1 に、CRC_EN_B を 0x2 に設定して、インターフェースの CRC を有効にします。 0 : CRC が無効。 1 : CRC が有効。CRC_EN_B = 0x2 の場合、CRC を有効にします。	0x0	R/W
5	STRICT_REGISTER_ACCESS	予約済み。このビットは 0 に設定する必要があります。	0x0	R/W
4	SEND_STATUS	予約済み。このビットは 1 に設定する必要があります。	0x1	R/W
[3:2]	RESERVED	予約済み。	0x0	R
[1:0]	CRC_EN_B	CRC イネーブルの反転値。CRC を有効にするには、CRC_ENABLE の反転値として書き込みます。	0x3	R/W

レジスタの詳細

インターフェース・ステータス・レジスタ

アドレス：0x11、リセット：0x00、レジスタ名：INTERFACE_STATUS

設定モードでのレジスタ読出しおよび/または書込み時にエラーが発生したことを示すステータス・ビット。インターフェース・ステータスのビットはアクティブ・ハイであり、対応するビット位置に1を書き込むことでクリアされます。

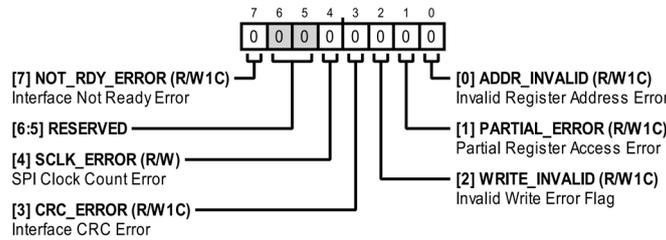


表 36. INTERFACE_STATUS のビット説明

ビット	ビット名	説明	リセット	アクセス
7	NOT_RDY_ERROR	インターフェース準備未完了によるエラー。このエラー・ビットは、デジタル初期化が完了する前にユーザが SPI トランザクションを実行しようとした場合に設定されます。例えば、デバイス・リセットの完了前が該当します。	0x0	R/W1C
[6:5]	RESERVED	予約済み。	0x0	R
4	SCLK_ERROR	SPI クロックのカウント・エラー。このエラー・ビットは、設定モードの SPI トランザクションで受信されたシリアル・クロック周期の数が誤っていた場合に設定されます。例えば、データ・フェーズが 8SCLK 周期の整数倍で構成されていない場合が該当します。	0x0	R/W
3	CRC_ERROR	インターフェースの CRC エラー。このエラー・ビットは、デバイスが無効な CRC チェックサム値を SDI で受信した場合に設定されます（設定モード時）。このエラー・ビットは、CRC が有効化されている場合にのみアクティブとなります。	0x0	R/W1C
2	WRITE_INVALID	無効書込みによるエラー・フラグ。このエラー・ビットは、読出し専用ビットのみを含むレジスタにデジタル・ホストがレジスタ書込みを試みた場合に1に設定されます。	0x0	R/W1C
1	PARTIAL_ERROR	レジスタへの部分的なアクセスによるエラー。このエラー・ビットは、デジタル・ホストが2バイトのレジスタ全体からの読出しまたはそのレジスタ全体への書込みに失敗した場合に1に設定されます（設定モード時）。例えば、MAX_LIMIT_REG レジスタからの読出しが、その2バイトのうち1バイトのみを読み出した後に終了した場合が該当します。	0x0	R/W1C
0	ADDR_INVALID	無効レジスタ・アドレスによるエラー。このエラー・ビットは、デジタル・ホストが未定義のレジスタ・アドレスからの読出し、またはそのアドレスへの書込みを試みた場合に1に設定されます。	0x0	R/W1C

デバイス・モード選択レジスタ

アドレス：0x20、リセット：0x00、レジスタ名：MODE_SET

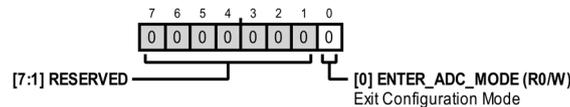


表 37. MODE_SET のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	ENTER_ADC_MODE	設定モードの終了。次の CSB の立上がりエッジで1を書き込んで設定モードを終了します。デバイスは、ADC_MODE および AUTO_MODE の各ビットで選択された動作モードに移行します。このビットは、終了コマンドで自動的にクリアされます。	0x0	R0/W

ADC 動作モード設定レジスタ

アドレス：0x21、リセット：0x80、レジスタ名：ADC_MODES

レジスタの詳細

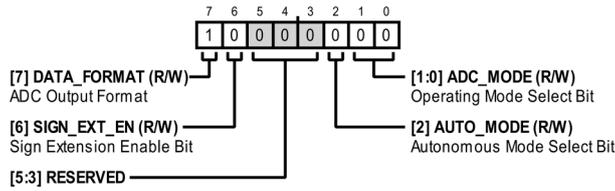


表 38. ADC_MODES のビット説明

ビット	ビット名	説明	リセット	アクセス
7	DATA_FORMAT	ADC の出力形式。 0 : ストレート・バイナリ (符号なし)。 1 : 2 の補数 (符号付き)。	0x1	R/W
6	SIGN_EXT_EN	符号拡張イネーブル・ビット。このビットを設定して、ADC の読出しデータの符号拡張バイトを有効にします。	0x0	R/W
[5:4]	RESERVED	予約済み。0x0 に設定する必要があります。	0x0	R/W
3	RESERVED	予約済み。	0x0	R
2	AUTO_MODE	自律モードの選択ビット。 0 : モニター・モード。 1 : トリガ・モード。	0x0	R/W
[1:0]	ADC_MODE	動作モードの選択ビット。 0x0 : サンプル・モード。 0x1 : パースト平均化モード。 0x2 : 平均化モード。 0x3 : 自律モード。AUTO_MODE ビットでモニター・モードとトリガ・モードのいずれかを選択します。	0x0	R/W

ADC セットアップ設定レジスタ

アドレス : 0x22、リセット : 0x00、レジスタ名 : ADC_CONFIG

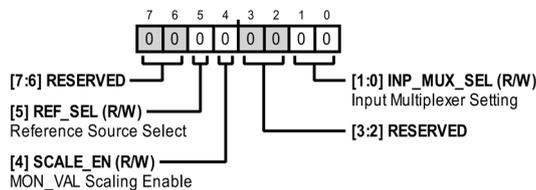


表 39. ADC_CONFIG のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
5	REF_SEL	リファレンス・ソースの選択。ADC のリファレンス・ソースとして、どのピンを使用するかを選択します。 0 : REF。 1 : VDD。	0x0	R/W
4	SCALE_EN	MON_VAL スケーリング・イネーブル。MON_VAL スケーリングは、SCALE_EN が 1 に設定され、同時に入力マルチプレクサがアナログ入力をモニターするよう構成されている場合に有効になります (INP_MUX_SEL ビットを参照)。	0x0	R/W
[3:2]	RESERVED	予約済み。	0x0	R
[1:0]	INP_MUX_SEL	入力マルチプレクサの設定。 0x0 : アナログ入力。ADC がアナログ入力 (IN+ と IN-) に接続されます。 0x1 : 無効。 0x2 : VDD/2。ADC は 1/2 倍にスケーリングされた VDD 電源電圧をモニターします。この設定は、REF の VDD に対する比を求め、それに基づいて MON_VAL スケーリング係数を設定するのに使用されます。 0x3 : 無効。	0x0	R/W

レジスタの詳細

平均化フィルタ設定レジスタ

アドレス : 0x23、リセット : 0x00、レジスタ名 : AVG_CONFIG

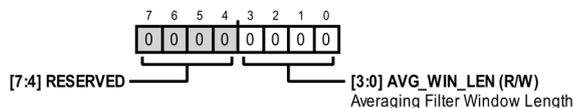


表 40. AVG_CONFIG のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	AVG_WIN_LEN	平均化フィルタのウィンドウ長。平均化モードおよびバースト平均化モードの平均化比率を設定します。平均化比率の範囲は 2 から 4096 までで、2 の累乗で設定されます。 0x0 : 2。 0x1 : 4。 0x2 : 8。 0x3 : 16。 0x4 : 32。 0x5 : 64。 0x6 : 128。 0x7 : 256。	0x0	R/W

汎用ピン設定レジスタ

アドレス : 0x24、リセット : 0xF0、レジスタ名 : GP_CONFIG

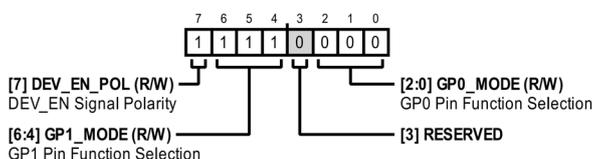


表 41. GP_CONFIG のビット説明

ビット	ビット名	説明	リセット	アクセス
7	DEV_EN_POL	DEV_EN 信号の極性。アクティブ・ハイおよびアクティブ・ローのアンプのイネーブル・ピンとの互換性を確保するために、DEV_EN 信号の極性を設定します。 0 : DEV_EN はアクティブ・ロー。 1 : DEV_EN はアクティブ・ハイ (デフォルト)。	0x1	R/W
[6:4]	GP1_MODE	GP1 ピンの機能選択。 0x0 : 無効/高インピーダンス。 0x1 : GP1_INTR 信号。 0x2 : データ・レディ信号。 0x3 : DEV_EN 信号。 0x4 : CHOP 信号。 0x5 : 静的ロジック・ロー (GND)。 0x6 : 静的ロジック・ハイ (VIO)。 0x7 : DEV_RDY 信号 (デフォルト)。	0x7	R/W
3	INVERT_ON_CHOP	チョップ時の反転の有効化または無効化を制御。 0 : チョップ時の反転が無効。 1 : チョップ時の反転が有効。	0x0	R/W

レジスタの詳細

表 41. GP_CONFIG のビット説明 (続き)

ビット	ビット名	説明	リセット	アクセス
[2:0]	GP0_MODE	GP0 ピンの機能選択。 0x0 : 無効/高インピーダンス (デフォルト)。 0x1 : GP0_INTR 信号。 0x2 : データ・レディ信号。 0x3 : DEV_EN 信号。 0x4 : CHOP 信号。 0x5 : 静的ロジック・ロー。 0x6 : 静的ロジック・ハイ。 0x7 : 無効。	0x0	R/W

注 : CHOP 信号と DEV_EN 信号は同時に有効化できません。

割込み設定レジスタ

アドレス : 0x25、リセット : 0x21、レジスタ名 : INTR_CONFIG

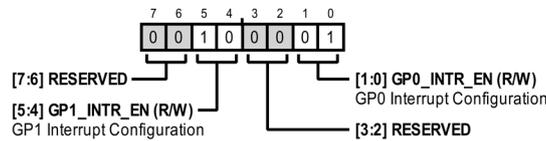


表 42. INTR_CONFIG のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:4]	GP1_INTR_EN	GP1 割込み設定。どの閾値検出割込み信号を GP1_INTR 出力信号に通すかを選択します。 0x0 : 割込みなし。 0x1 : MIN_INTR。 0x2 : MAX_INTR。 0x3 : どちらかの割込み。GP1 は MAX_INTR 信号と MIN_INTR 信号の論理和を出力します。	0x2	R/W
[3:2]	RESERVED	予約済み。	0x0	R
[1:0]	GP0_INTR_EN	GP0 割込み設定。どの閾値検出割込み信号を GP0_INTR 出力信号に通すかを選択します。 0x0 : 割込みなし。 0x1 : MIN_INTR。デフォルト。 0x2 : MAX_INTR。 0x3 : どちらかの割込み。GP0 は MAX_INTR 信号と MIN_INTR 信号の論理和を出力します。	0x1	R/W

CHOP 信号設定レジスタ

アドレス : 0x26、リセット : 0x00、レジスタ名 : CHOP_CONFIG

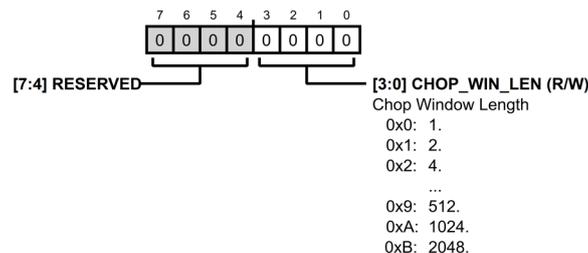


表 43. CHOP_CONFIG のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R

レジスタの詳細

表 43. CHOP_CONFIG のビット説明 (続き)

ビット	ビット名	説明	リセット	アクセス
[3:0]	CHOP_WIN_LEN	<p>チョップ・ウィンドウの長さ。CHOP 信号状態を切り替える前に取得する ADC サンプルの数を設定します。CHOP 信号周期と ADC サンプリグ周期の望ましい比率にするために CHOP_WIN_LEN を設定します。</p> <p>0x0 : 1。 0x1 : 2。 0x2 : 4。 0x3 : 8。 0x4 : 16。 0x5 : 32。 0x6 : 64。 0x7 : 128。 0x8 : 256。 0x9 : 512。 0xA : 1024。 0xB : 2048。</p>	0x0	R/W

タイマー設定レジスタ

アドレス : 0x27、リセット : 0x00、レジスタ名 : TIMER_CONFIG

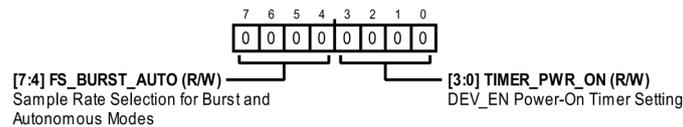


表 44. TIMER_CONFIG のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	FS_BURST_AUTO ¹	<p>バースト・モードおよび自律モードのサンプル・レート選択。</p> <p>0x0 : 2MSPS。 0x1 : 1MSPS。 0x2 : 300kSPS。 0x3 : 100kSPS。 0x4 : 33.3kSPS。 0x5 : 10kSPS。 0x6 : 3kSPS。 0x7 : 1kSPS。 0x8 : 500SPS。 0x9 : 333SPS。 0xA : 250SPS。 0xB : 200SPS。 0xC : 166SPS。 0xD : 140SPS。 0xE : 125SPS。 0xF : 111SPS。</p>	0x0	R/W
[3:0]	TIMER_PWR_ON	<p>DEV_EN パワーオン・タイマーの設定。DEV_EN が GP0 ピンまたは GP1 ピンに選択された場合、DEV_EN のアサートと ADC のサンプリグ・タイミングの間の遅延を選択します。</p> <p>0x0 : 500ns。 0x1 : 1μs。 0x2 : 3.3μs。 0x3 : 10μs。 0x4 : 30μs。 0x5 : 100μs。 0x6 : 330μs。 0x7 : 1ms。 0x8 : 2ms。</p>	0x0	R/W

レジスタの詳細

表 44. TIMER_CONFIG のビット説明 (続き)

ビット	ビット名	説明	リセット	アクセス
		0x9 : 3ms。 0xA : 4ms。 0xB : 5ms。 0xC : 6ms。 0xD : 7ms。 0xE : 8ms。 0xF : 9ms。		

¹なお、2MSPS および 1MSPS の設定は AD4056 では無効です。AD4056 では、バースト平均化モードまたは自律モードに入る前に、FS_BURST_AUTO レジスタを状況に応じて適切に更新する必要があります。

最大閾値設定レジスタ

アドレス : 0x28~0x29、リセット : 0x0000、レジスタ名 : MAX_LIMIT_REG

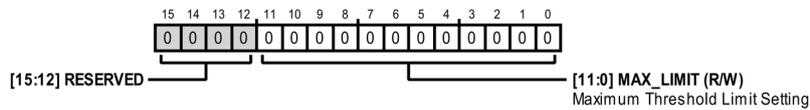


表 45. MAX_LIMIT_REG のビット説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	RESERVED	予約済み。	0x0	R
[11:0]	MAX_LIMIT	最大閾値の設定。自律モードの最大閾値を設定します。DATA_FORMAT ビットで設定される ADC と同じデータ形式 (2 の補数またはストレート・バイナリ) を使用します。	0x0	R/W

最小閾値設定レジスタ

アドレス : 0x2A~0x2B、リセット : 0x0000、レジスタ名 : MIN_LIMIT_REG

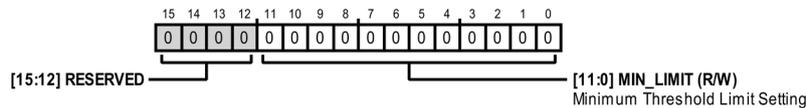


表 46. MIN_LIMIT_REG のビット説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	RESERVED	予約済み。	0x0	R
[11:0]	MIN_LIMIT	最小閾値の設定。自律モードの最小閾値を設定します。DATA_FORMAT ビットで設定される ADC と同じデータ形式 (2 の補数またはストレート・バイナリ) を使用します。	0x0	R/W

最大閾値ヒステリシス・レジスタ

アドレス : 0x2C、リセット : 0x00、レジスタ名 : MAX_HYST_REG

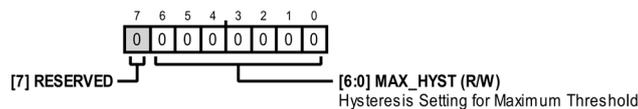


表 47. MAX_HYST_REG のビット説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予約済み。	0x0	R

レジスタの詳細

表 47. MAX_HYST_REG のビット説明

ビット	ビット名	説明	リセット	アクセス
[6:0]	MAX_HYST	最大閾値のヒステリシス設定。モニター・モードで MAX_INTR 信号を自動でクリアするためのヒステリシス設定を設定します。ストレート・バイナリ形式を使用します。	0x0	R/W

最小閾値ヒステリシス・レジスタ

アドレス : 0x2D、リセット : 0x00、レジスタ名 : MIN_HYST_REG

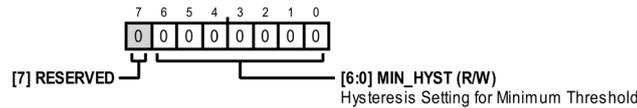


表 48. MIN_HYST_REG のビット説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予約済み。	0x0	R
[6:0]	MIN_HYST	最小閾値のヒステリシス設定。モニター・モードで MIN_INTR 信号を自動でクリアするためのヒステリシス設定を設定します。ストレート・バイナリ形式を使用します。	0x0	R/W

MON_VAL スケーリング・レジスタ

アドレス : 0x2E~0x2F、リセット : 0x0000、レジスタ名 : MON_VAL_REG

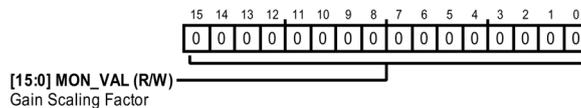


表 49. MON_VAL_REG のビット説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MON_VAL	ゲイン・スケーリング係数。MON_VAL スケーリングを使用する場合に、ADC 結果のスケーリング係数を設定します。MON_VAL は自動的に生成することも、手で設定することもできます。 ゲイン・スケーリングおよびリファレンスのシャットダウンを利用した高精度の達成の各セクションを参照してください。	0x0	R/W

ヒューズ CRC レジスタ

アドレス : 0x40、リセット : 0x00、レジスタ名 : FUSE_CRC

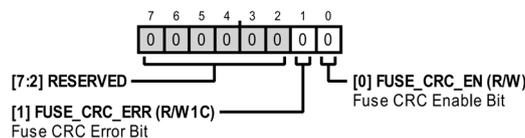


表 50. FUSE_CRC のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	FUSE_CRC_ERR	ヒューズ CRC エラー・ビット。ヒューズ・マップの CRC チェックが無効であることを示します。このビットがヒューズ・マップの CRC チェック後に設定された場合、デバイスをリセットします。	0x0	R/W1C
0	FUSE_CRC_EN	ヒューズ CRC のイネーブル・ビット。このビットを 1 に設定すると、デバイスの内蔵ヒューズ・マップの CRC チェックがトリガされます。ヒューズ・マップの CRC チェックが完了すると、このビットは自動でクリアされます。	0x0	R/W

デバイス・ステータス・レジスタ

アドレス : 0x41、リセット : 0x40、レジスタ名 : DEVICE_STATUS

レジスタの詳細

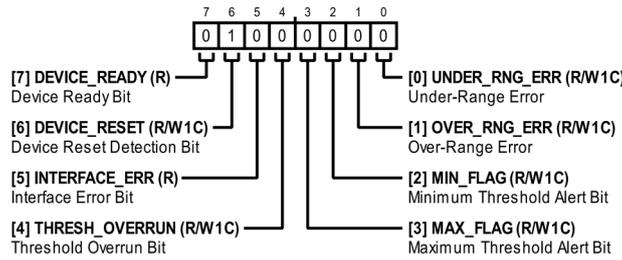


表 51. DEVICE_STATUS のビット説明

ビット	ビット名	説明	リセット	アクセス
7	DEVICE_READY	デバイス・レディ・ビット。デバイスのリセットおよび起動のシーケンスが完了し、デジタル・ホストからのシリアル通信の準備が整うと、このビットは自動的に1に設定されます。	0x0	R
6	DEVICE_RESET	デバイス・リセット検出ビット。デバイス・リセットの発生を示します。このビットは、1に設定するとクリアされます。	0x1	R/W1C
5	INTERFACE_ERR	インターフェース・エラー・ビット。1つまたは複数のインターフェース通信エラーが発生したことを示します。このビットは INTERFACE_STATUS_A レジスタの全ビットの論理和です。	0x0	R
4	THRESH_OVERRUN	閾値超過ビット。このビットは、閾値超過イベントが検出されると1に設定されます。このビットは自動でクリアされず、1を書き込むことでのみクリアされます。	0x0	R/W1C
3	MAX_FLAG	最大閾値アラート・ビット。このビットは、最大閾値違反が検出されると1に設定されます。このビットは自動でクリアされず、1を書き込むことでのみクリアされます。	0x0	R/W1C
2	MIN_FLAG	最小閾値アラート・ビット。このビットは、最小閾値違反が検出されると1に設定されます。このビットは自動でクリアされず、1を書き込むことでのみクリアされます。	0x0	R/W1C
1	OVER_RNG_ERR	オーバーレンジ・エラー。クリアするには1を書き込みます。	0x0	R/W1C
0	UNDER_RNG_ERR	アンダーレンジ・エラー。クリアするには1を書き込みます。	0x0	R/W1C

最大割込みサンプル・レジスタ

アドレス：0x42~0x43、リセット：0x0000、レジスタ名：MAX_SAMPLE_REG

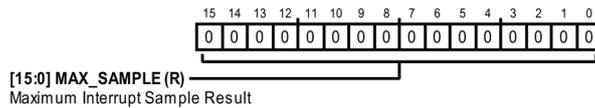


表 52. MAX_SAMPLE_REG のビット説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MAX_SAMPLE	最大割込みによるサンプル結果。トリガ・モードで最大閾値割込みにより生成された ADC 結果を含みます。DATA_FORMAT ビットで設定される ADC と同じデータ形式（2の補数またはストレート・バイナリ）を使用します。	0x0	R

最小割込みサンプル・レジスタ

アドレス：0x44~0x45、リセット：0x0000、レジスタ名：MIN_SAMPLE_REG

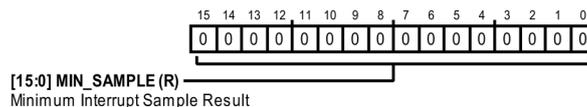


表 53. MIN_SAMPLE_REG のビット説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MIN_SAMPLE	最小割込みによるサンプル結果。トリガ・モードで最小閾値割込みにより生成された ADC 結果を含みます。DATA_FORMAT ビットで設定される ADC と同じデータ形式（2の補数またはストレート・バイナリ）を使用します。	0x0	R

外形寸法

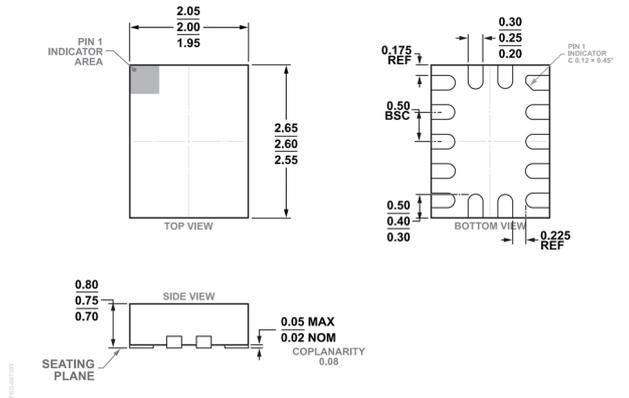


図 78. 14 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]
2mm × 2.6mm ボディ、0.75mm パッケージ高
(CP-14-7)
寸法：mm

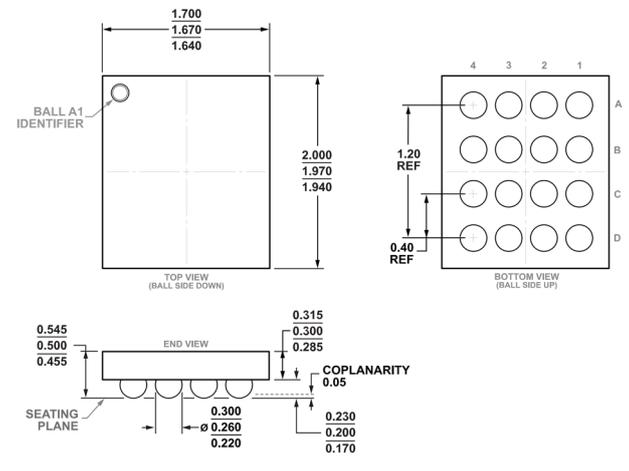


図 79. 16 ボール・ウェハ・レベル・チップ・スケール・パッケージ [WLCSP]
(CB-16-26)
寸法：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
AD4050BCPZ-RL7	-40°C to +125°C	14-Lead LFCSP (2.00 mm × 2.6 mm × 0.75 mm)	REEL, 3000	CP-14
AD4050BCBZ-RL7	-40°C to +125°C	16-Ball WLCSP (1.67 mm × 1.97 mm × 0.5 mm)	REEL, 3000	CB-16
AD4056BCPZ-RL7	-40°C to +125°C	14-Lead LFCSP (2.00 mm × 2.6 mm × 0.75 mm)	REEL, 3000	CP-14
AD4056BCBZ-RL7	-40°C to +125°C	16-Ball WLCSP (1.67 mm × 1.97 mm × 0.5 mm)	REEL, 3000	CB-16

¹ Z = RoHS 準拠製品。

評価用ボード

Model ¹	Description
EVAL-AD4050-ARDZ	Evaluation Board

¹ Z = RoHS 準拠製品。