

特長

ステレオ用の 24 ビットの A/D コンバータと D/A コンバータを内蔵
DAC SNR: 100 dB (A 周波数特性重みづけ)、THD: 48 kHz、3.3 V
で-80 dB

ADC SNR: 90 dB (A 周波数特性重みづけ)、THD: 48 kHz、3.3 V で
-80 dB

高効率ヘッドフォン・アンプを内蔵

ステレオ・ライン入力とモノラル・マイクロフォン入力を装備

低消費電力

ステレオ再生時: 7 mW (1.8 V/1.5 V 電源)
録音および再生時: 14 mW (1.8 V/1.5 V 電源)

低電源電圧

アナログ: 1.8 V~3.6 V
デジタル・コア: 1.5 V~3.6 V
デジタル I/O: 1.8 V~3.6 V

ノーマル・モードでのオーバーサンプリング・レート: 256/384

USB モードでのオーバーサンプリング・レート: 250/272

オーディオ・サンプリング・レート: 8 kHz、11.025 kHz、12 kHz、
16 kHz、22.05 kHz、24 kHz、32 kHz、44.1 kHz、48 kHz、88.2
kHz、96 kHz

28 ピンの 5 mm × 5 mm LFCSP (QFN) パッケージを採用

アプリケーション

携帯電話

MP3 プレーヤ

ポータブル・ゲーム機

ポータブル機器

教育用玩具

概要

SSM2602 は、ステレオ用プログラマブル・ゲイン・アンプ (PGA) ライン入力 1 本とモノラル・マイクロフォン入力 1 本を持つポータブル・デジタル・オーディオ・アプリケーション向けの低消費電力高品質ステレオ・オーディオ・コーデックです。このデバイスは、2 チャンネルの 24 ビット A/D コンバータ (ADC) と 2 チャンネルの 24 ビット D/A コンバータ (DAC) を内蔵しています。

SSM2602 はマスターまたはスレーブとして動作することができます。このデバイスは、様々なマスター・クロック周波数をサポートしており、USB デバイス向けの 12 MHz または 24 MHz、標準 256 f_s または 384 f_s ベースのレート (たとえば 12.288 MHz や 24.576 MHz)、さらに多くの一般的なオーディオ・サンプリング・レート (たとえば 96 kHz、88.2 kHz、48 kHz、44.1 kHz、32 kHz、24 kHz、22.05 kHz、16 kHz、12 kHz、11.025 kHz、8 kHz) などをサポートしています。

SSM2602 の電源電圧は、アナログ回路は 1.8 V まで、デジタル回路は 1.5 V まで、それぞれ下げることができます。すべての電源の最大電圧電源は 3.6 V です。

このデバイスはヘッドフォン・ドライバまたはスピーカ・ドライバとして使用できるため、ソフトウェアから設定可能なステレオ出力オプションにより、アプリケーションの可能性が広がります。ボリューム・コントロール機能を使うと、オーディオ信号の広い範囲のゲイン・コントロールが可能になります。

SSM2602 は、-40°C~+85°C の工業用温度範囲仕様で、28 ピンの 5 mm × 5 mm リードフレーム・チップ・スケール・パッケージ (LFCSP) を採用しています。

機能ブロック図

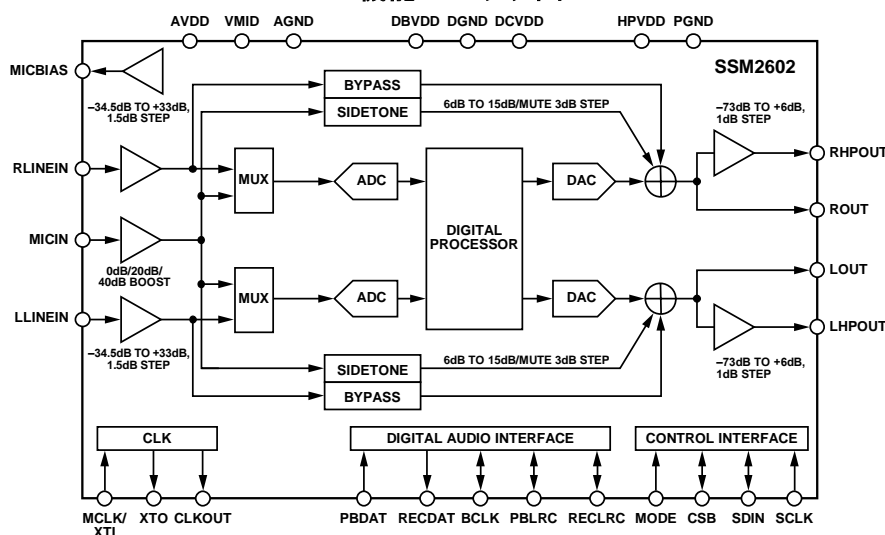


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2008 Analog Devices, Inc. All rights reserved.

Rev. 0

目次

特長.....	1	デジタル・オーディオ・インターフェース	16
アプリケーション	1	ソフトウェア・コントロール・インターフェース.....	18
概要.....	1	代表的なアプリケーション回路	19
機能ブロック図	1	レジスタ・マップ	20
改訂履歴.....	2	レジスタ・マップの詳細	21
仕様.....	3	左チャンネル ADC 入力ボリューム、アドレス 0x00	21
デジタル・フィルタ特性	4	右チャンネル ADC 入力ボリューム、アドレス 0x01	22
タイミング特性.....	4	左チャンネル DAC ボリューム、アドレス 0x02	23
絶対最大定格	8	右チャンネル DAC ボリューム、アドレス 0x03	23
熱抵抗.....	8	アナログ・オーディオ・パス、アドレス 0x04	24
ESD の注意	8	デジタル・オーディオ・パス、アドレス 0x05	24
ピン配置およびピン機能説明	9	パワー・マネジメント、アドレス 0x06	25
代表的な性能特性	10	デジタル・オーディオ I/F、アドレス 0x07.....	26
コンバータ・フィルタの応答	10	サンプリング・レート、アドレス 0x08	26
デジタルのディエンファシス	11	アクティブ、アドレス 0x09.....	29
動作原理.....	12	リセット、アドレス 0x0F.....	29
デジタル・コア	12	ALC コントロール 1、アドレス 0x10	30
ADC および DAC	12	ALC コントロール 2、アドレス 0x11	30
ADC ハイパス・フィルタおよび DAC ディエンファシス・フ ィルタ	12	ノイズ・ゲート、アドレス 0x12	31
自動レベル・コントロール (ALC).....	13	外形寸法.....	32
アナログ・インターフェース	14	オーダー・ガイド.....	32

改訂履歴

2/08—Revision 0: Initial Version

仕様

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $AVDD = DVDD = 3.3\text{ V}$ 、 $PVDD = 3.3\text{ V}$ 、 1 kHz 信号、 $f_s = 48\text{ kHz}$ 、PGA ゲイン = 0 dB 、オーディオ・データは 24 ビット。

表 1.

Parameter	Min	Typ	Max	Unit	Conditions
RECOMMENDED OPERATING CONDITIONS					
Analog Voltage Supply (AVDD)	1.8	3.3	3.6	V	
Digital Power Supply	1.5	3.3	3.6	V	
Ground (AGND, PGND, DGND)		0		V	
POWER CONSUMPTION					
Power-Up					
Stereo Record (1.5 V and 1.8 V)		7		mW	
Stereo Record (3.3 V)		22		mW	
Stereo Playback (1.5 V and 1.8 V)		7		mW	
Stereo Playback (3.3 V)		22		mW	
Power-Down			40	μW	
LINE INPUT					
Input Signal Level (0 dB)		$1 \times AVDD/3.3$		V rms	
Input Impedance		200		$\text{k}\Omega$	PGA gain = 0 dB
		10		$\text{k}\Omega$	PGA gain = +33 dB
		480		$\text{k}\Omega$	PGA gain = -34.5 dB
Input Capacitance		10		pF	
Signal-to-Noise Ratio (A-Weighted)	70	90		dB	PGA gain = 0 dB, AVDD = 3.3 V
		84		dB	PGA gain = 0 dB, AVDD = 1.8 V
Total Harmonic Distortion (THD)		-80		dB	-1 dBFS input, AVDD = 3.3 V
		-75		dB	-1 dBFS input, AVDD = 1.8 V
Channel Separation		80		dB	
Programmable Gain	-34.5	0	+33.5	dB	
Gain Step		1.5		dB	
Mute Attenuation		-80		dB	
MICROPHONE INPUT					
Input Signal Level		1		V rms	
Signal-to-Noise Ratio (A-Weighted)		85		dB	Microphone gain = 0 dB ($R_{\text{SOURCE}} = 40\text{ k}\Omega$)
Total Harmonic Distortion		-70		dB	0 dBFS input, 0 dB gain
Power Supply Rejection Ratio		50		dB	
Mute Attenuation		80		dB	
Input Resistance		10		$\text{k}\Omega$	
Input Capacitance		10		pF	
MICROPHONE BIAS					
Bias Voltage		$0.75 \times AVDD$		V	
Bias Current Source			3	mA	
Noise in the Signal Bandwidth		40		$\text{nV}/\sqrt{\text{Hz}}$	20 Hz to 20 kHz
LINE OUTPUT					
DAC					-1 dBFS input DAC + line output
Full-Scale Output		$1 \times AVDD/3.3$		V rms	
Signal-to-Noise Ratio (A-Weighted)	85	100		dB	AVDD = 3.3 V
		94		dB	AVDD = 1.8 V
THD + N		-80	-70	dB	AVDD = 3.3 V
		-75		dB	AVDD = 1.8 V
Power Supply Rejection Ratio		50		dB	
Channel Separation		80		dB	
HEADPHONE OUTPUT					
Full-Scale Output Voltage		$1 \times AVDD/3.3$		V rms	
Maximum Output Power		30		mW	$R_L = 32\ \Omega$
		60		mW	$R_L = 16\ \Omega$

Parameter	Min	Typ	Max	Unit	Conditions
Signal-to-Noise Ratio (A-Weighted)	85	96		dB	AVDD = 3.3 V
THD + N		90		dB	AVDD = 1.8 V
Power Supply Rejection Ratio		-65		dB	P _{OUT} = 10 mW
Mute Attenuation		-60		dB	P _{OUT} = 20 mW
LINE INPUT TO LINE OUTPUT					
Full-Scale Output Voltage		1 × AVDD/3.3		V rms	
Signal-to-Noise Ratio (A-Weighted)		92		dB	AVDD = 3.3 V
Total Harmonic Distortion		86		dB	AVDD = 1.8 V
Power Supply Rejection		-80		dB	AVDD = 3.3 V
		-80		dB	AVDD = 1.8 V
		50		dB	
MICROPHONE INPUT TO HEADPHONE OUTPUT					
Full-Scale Output Voltage		1 × AVDD/3.3		V rms	
Signal-to-Noise Ratio (A-Weighted)		94		dB	AVDD = 3.3 V
Power Supply Rejection Ratio		88		dB	AVDD = 1.8 V
Programmable Attenuation	6		15	dB	
Gain Step		3		dB	
Mute Attenuation		80		dB	

デジタル・フィルタ特性

表 2.

Parameter	Min	Typ	Max	Unit	Conditions
ADC FILTER					
Pass Band	0		0.445 f _S	Hz	±0.04 dB
Pass-Band Ripple		0.5 f _S		Hz	-6 dB
Stop Band			±0.04	dB	
Stop-Band Attenuation	0.555 f _S			Hz	f > 0.567 f _S
High-Pass Filter Corner Frequency	-61			dB	
		3.7		Hz	-3 dB
		10.4		Hz	-0.5 dB
		21.6		Hz	-0.1 dB
DAC FILTER					
Pass Band	0		0.445 f _S	Hz	±0.04 dB
Pass-Band Ripple		0.5 f _S		Hz	-6 dB
Stop Band			±0.04	dB	
Stop-Band Attenuation	0.555 f _S			Hz	f > 0.565 f _S
	-61			dB	
Core Clock Tolerance					
Frequency Range	8.0		13.8	MHz	
Jitter Tolerance		50		ps	

タイミング特性

表 3.12C® のタイミング

Parameter	Limit		Unit	Description
	t _{MIN}	t _{MAX}		
t _{SCS}	600		ns	Start condition setup time
t _{SCH}	600		ns	Start condition hold time
t _{PH}	600		ns	SCLK pulse width high
t _{PL}	1.3		μs	SCLK pulse width low
f _{SCLK}	0	526	kHz	SCLK frequency

t_{DS}	100		ns	Data setup time
t_{DH}		900	ns	Data hold time
t_{RT}		300	ns	SDIN and SCLK rise time
t_{FT}		300	ns	SDIN and SCLK fall time
t_{HCS}	600		ns	Stop condition setup time

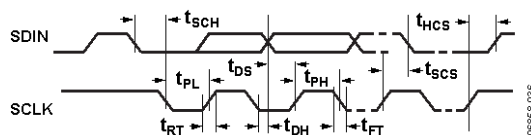


図 2.I2C のタイミング

表 4.SPI のタイミング

Parameter	Limit		Unit	Description
	t_{MIN}	t_{MAX}		
t_{DSU}	20		ns	SDIN to SCLK setup time
t_{DHO}	20		ns	SCLK to SDIN hold time
t_{SCH}	20		ns	SCLK pulse width high
t_{SCL}	20		ns	SCLK pulse width low
t_{SCS}	60		ns	SCLK rising edge to CSB rising edge
t_{CSS}	20		ns	CSB rising to SCLK rising
t_{CSH}	20		ns	CSB pulse width high
t_{CSL}	20		ns	CSB pulse width low
t_{PS}	0	5	ns	Pulse width of spikes to be suppressed

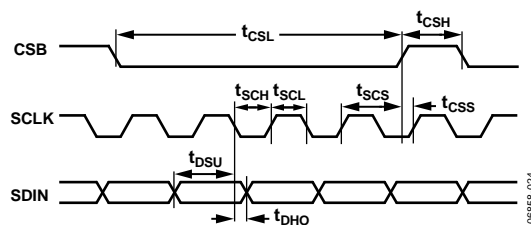


図 3.SPI のタイミング

表 5. デジタル・オーディオ・インターフェースのスレーブ・モード・タイミング

Parameter	Limit		Unit	Description
	t_{MIN}	t_{MAX}		
t_{DS}	10	30	ns	PBDAT setup time from BCLK rising edge
t_{DH}	10		ns	PBDAT hold time from BCLK rising edge
t_{LRSU}	10		ns	RECLRC/PBLRC setup time to BCLK rising edge
t_{LRH}	10		ns	RECLRC/PBLRC hold time to BCLK rising edge
t_{DD}			ns	RECDAT propagation delay from BCLK falling edge (external load of 70 pF)
t_{BCH}	25			ns
t_{BCL}	25		ns	BCLK pulse width low
t_{BCY}	50		ns	BCLK cycle time

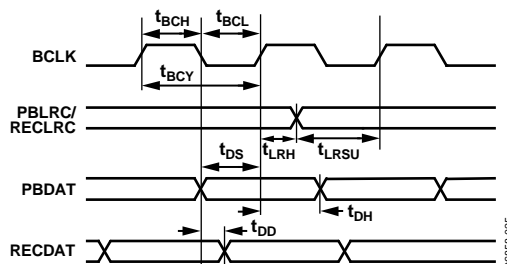


図 4. デジタル・オーディオ・インターフェースのスレーブ・モード・タイミング

表 6. デジタル・オーディオ・インターフェースのマスタ・モード・タイミング

Parameter	Limit		Unit	Description
	t_{MIN}	t_{MAX}		
t_{DST}	30	10	ns	PBDAT setup time to BCLK rising edge
t_{DHT}	10		ns	PBDAT hold time to BCLK rising edge
t_{DL}			ns	RECLRC/PBLRC propagation delay from BCLK falling edge
t_{DDA}			ns	RECDAT propagation delay from BCLK falling edge
t_{BCLKR}	10		ns	BCLK rising time (10 pF load)
t_{BCLKF}	10		ns	BCLK falling time (10 pF load)
t_{BCLKDS}	45:55:00	55:45:00		BCLK duty cycle (normal and USB mode)

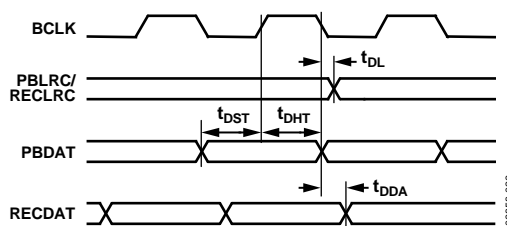


図 5. デジタル・オーディオ・インターフェースのマスタ・モード・タイミング

表7.システム・クロックのタイミング

Parameter	Limit		Unit	Description
	t_{MIN}	t_{MAX}		
t_{XTIY}	72		ns	MCLK/XTI system clock cycle time
t_{MCLKDS}	40:60	60:40:00		MCLK/XTI duty cycle
t_{XTIH}	32		ns	MCLK/XTI system clock pulse width high
t_{XTIL}	32		ns	MCLK/XTI system clock pulse width low
t_{COP}	20		ns	CLKOUT propagation delay from MCLK/XTI falling edge
$t_{COPDIV2}$	20		ns	CLKODIV2 propagation delay from MCLK/XTI falling edge

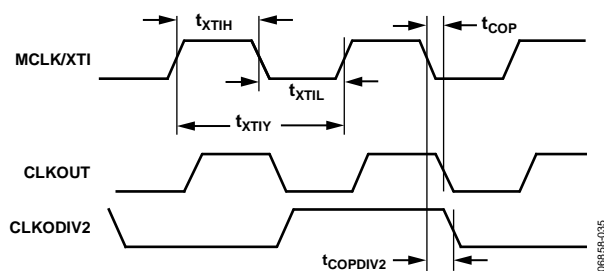


図 6.システム (MCLK) クロックのタイミング

絶対最大定格

特に指定のない限り 25°C。

表 8.

Parameter	Rating
Supply Voltage	5 V
Input Voltage	V_{DD}
Common-Mode Input Voltage	V_{DD}
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	-40°C to +85°C
Junction Temperature Range	-65°C to +165°C
Lead Temperature (Soldering, 60 sec)	300°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 9.熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
28-Lead, 5 mm × 5 mm LFCSP	28	32	°C/W

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

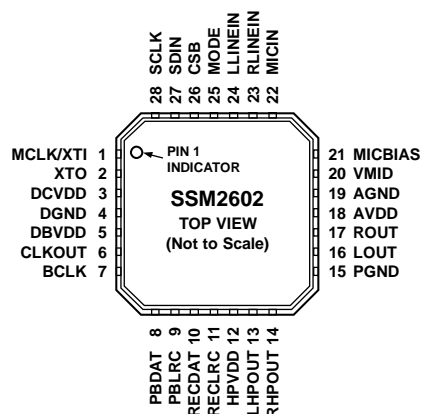


図 7.ピン配置

表 10.ピン機能の説明

ピン番号	記号	タイプ	説明
1	MCLK/XTI	デジタル入力	マスター・クロック入力/水晶入力。
2	XTO	デジタル出力	水晶出力。
3	DCVDD	デジタル電源	デジタル・コア電源。
4	DGND	デジタル・グラウンド	デジタル・グラウンド。
5	DBVDD	デジタル電源	デジタル I/O 電源。
6	CLKOUT	デジタル出力	バッファ付きクロック出力。
7	BCLK	デジタル入力/出力	デジタル・オーディオ・ビット・クロック。
8	PBDAT	デジタル入力	DAC デジタル・オーディオ・データ入力、再生機能。
9	PBLRC	デジタル入力/出力	DAC サンプリング・レート・クロック、再生機能 (右および左チャンネルから)。
10	RECDAT	デジタル出力	ADC デジタル・オーディオ・データ出力、録音機能。
11	RECLRC	デジタル入力/出力	ADC サンプリング・レート・クロック、録音機能 (右および左チャンネルから)。
12	HPVDD	アナログ電源	ヘッドフォン電源。
13	LHPOUT	アナログ出力	左チャンネルのマイクロフォン出力。
14	RHPOUT	アナログ出力	右チャンネルのマイクロフォン出力。
15	PGND	アナログ・グラウンド	ヘッドフォン・グラウンド。
16	LOUT	アナログ出力	左チャンネルのライン出力。
17	ROUT	アナログ出力	右チャンネルのライン出力。
18	AVDD	アナログ電源	アナログ電源。
19	AGND	アナログ・グラウンド	アナログ・グラウンド。
20	VMID	アナログ出力	電源電圧中央値デカップリング入力。
21	MICBIAS	アナログ出力	マイクロフォン・バイアス。
22	MICIN	アナログ入力	マイクロフォン入力信号。
23	RLINEIN	アナログ入力	右チャンネルのライン入力。
24	LLINEIN	アナログ入力	左チャンネルのライン入力。
25	MODE	デジタル入力	I ² C/SPI のコントロール・インターフェース選択。
26	CSB	デジタル入力	3 線式コントロール・インターフェース・チップ・セレクト、アクティブ・ロー/2 線式コントロール・インターフェース I ² C アドレス・セレクト。
27	SDIN	デジタル入力/出力	3 線式コントロール・インターフェース・データ入力/2 線式コントロール・インターフェース・データ入力/出力。
28	SCLK	デジタル入力	3 線式/2 線式コントロール・インターフェース・クロック入力。
	GND パッド	サーマル・パッド。	センター・サーマル・パッド。PCB のグラウンド層へ接続。

代表的な性能特性

コンバータ・フィルタの応答

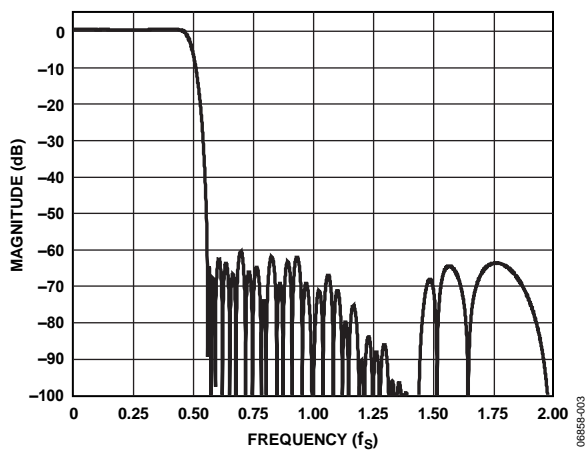


図 8.ADC デジタル・フィルタの周波数応答

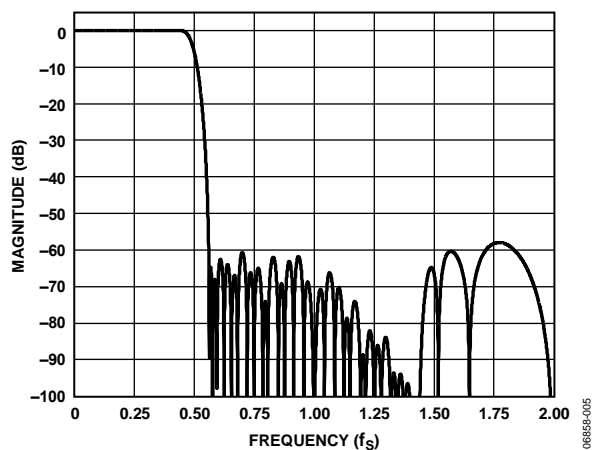


図 10.DAC デジタル・フィルタの周波数応答

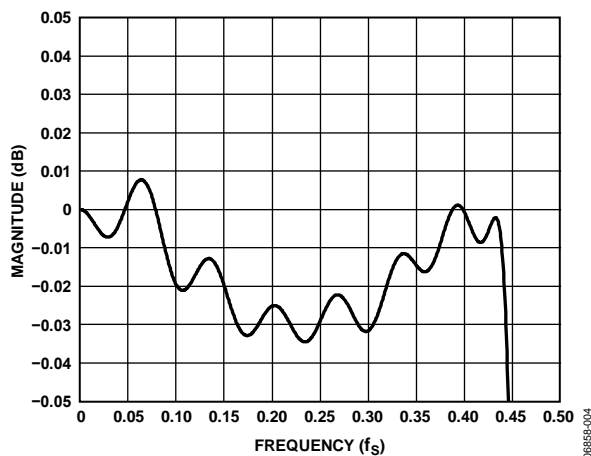


図 9.ADC デジタル・フィルタ・リップル

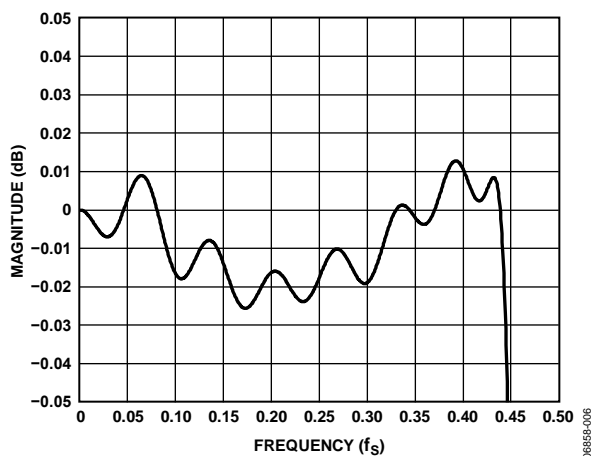


図 11.DAC デジタル・フィルタのリップル

デジタルのディエンファシス

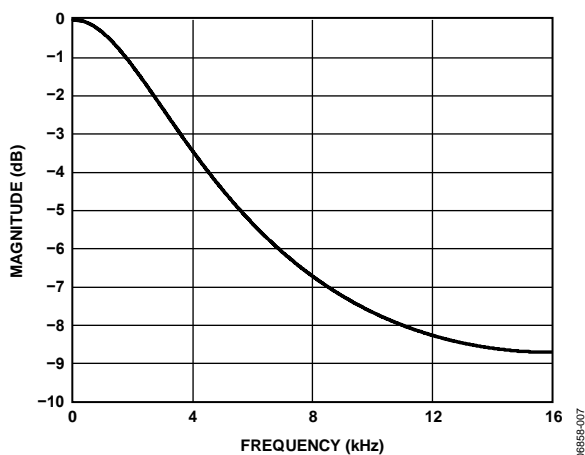


図 12.ディエンファシス周波数応答
オーディオ・サンプリング・レート = 32 kHz

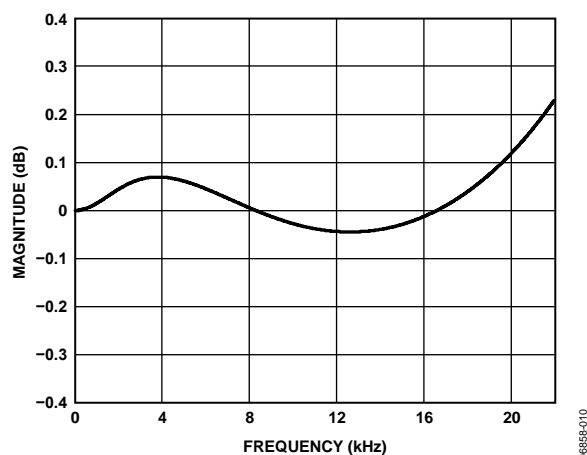


図 15.ディエンファシス誤差
オーディオ・サンプリング・レート = 44.1 kHz

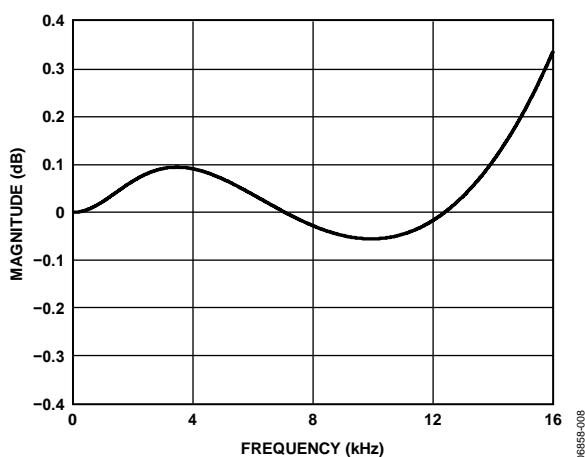


図 13.ディエンファシス誤差
オーディオ・サンプリング・レート = 32 kHz

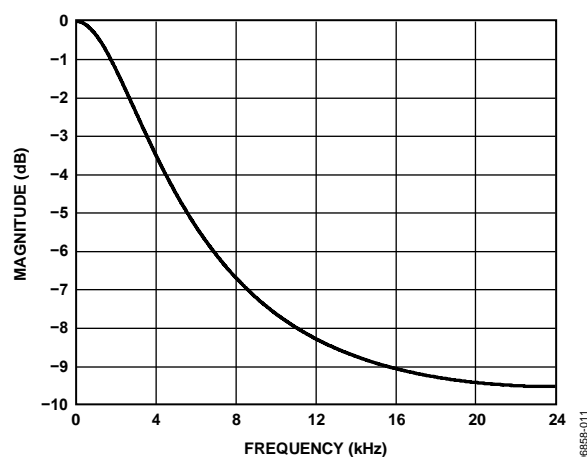


図 16.ディエンファシス周波数応答
オーディオ・サンプリング・レート = 48 kHz

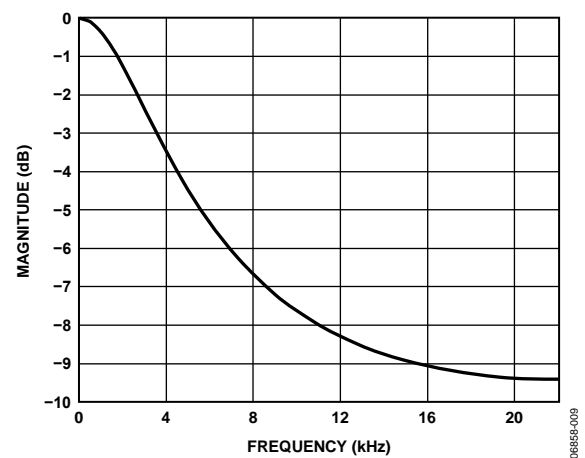


図 14.ディエンファシス周波数応答
オーディオ・サンプリング・レート = 44.1 kHz

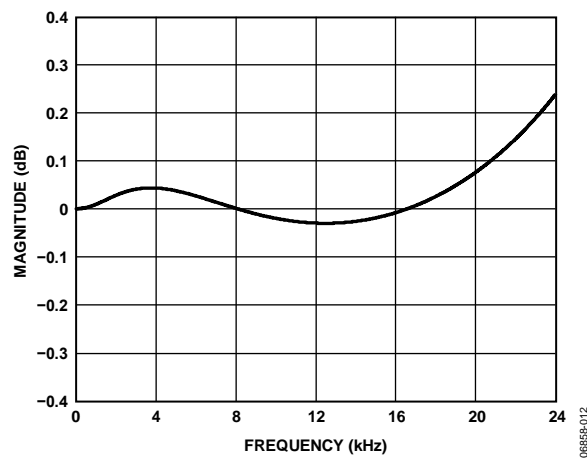


図 17.ディエンファシス誤差
オーディオ・サンプリング・レート = 48 kHz

動作原理

デジタル・コア

SSM2602 デジタル・コア内部には、マスター・クロック (MCLK) と呼ばれる 1 つのクロック・ソースがあり、すべての内部オーディオ・データ処理と同期に対するリファレンス・クロックを発生しています。外部クロック・ソースを使って MCLK ピンを駆動する場合には、50 ps 以下のジッタを持つクロック・ソースを選択するように注意が必要です。MCLK 信号の品質に注意しないと、デジタル・オーディオ品質に悪影響を受けることがあります。

SSM2602 をイネーブルしてシステム内で中心となるリファレンス・クロックを発生するときは、MCLK/XTI 入力ピンと XTO 出力ピンの間に水晶発振器を接続します。

外部デバイス内で中心となるリファレンス・クロックを発生させるときは、外部クロック信号を直接 MCLK/XTI 入力ピンに接続します。この構成では、OSC ビット (レジスタ R6、ビット D5) を使って、SSM2602 の発振器回路をパワーダウンさせて、消費電力を削減することができます。

非常に高い周波数のマスター・クロックを使うアプリケーションでは、SSM2602 内部コアのリファレンス・クロックを MCLK または $MCLK \div 2$ に設定することができます。この機能をイネーブルするときは、CLKDIV2 ビット (レジスタ R8、ビット D6) の設定を調整します。この機能の相補的な機能として、CLKODIV2 ビット (レジスタ R8、ビット D7) をイネーブルして、CLKOUT ピンからのコア・クロック信号またはコア・クロック $\div 2$ 信号で外部クロック・ソースを駆動することもできます。

ADC および DAC

SSM2602 は 1 対のオーバーサンプリング Σ - Δ ADC を内蔵しています。ADC の最大フル・スケール入力レベルは、 $AVDD = 3.3 \text{ V}$ のとき 1.0 V rms です。ADC への入力信号がこのレベルを超えると、データ過負荷が発生して可聴歪みの原因になります。

ADC には、ステレオ・ライン入力またはモノラル・マイクロフォン入力からのアナログ・オーディオを入力することができます。ADC には複数のソースから同時に入力できないため、INSEL ビット (レジスタ R4、ビット D2) を使って、ソースとしてライン入力またはマイクロフォン入力を選択する必要があることに注意してください。

ADC 出力からのデジタル・データは、ADC フィルタを使って処理されます。

ADC チャンネルに対して、SSM2602 は 1 対のオーバーサンプリング Σ - Δ DAC を内蔵しており、内部 DAC フィルタからのデジタル・オーディオ・データをアナログ・オーディオ信号に変換します。コントロール・レジスタの DACMU ビット (レジスタ R5、ビット D3) をセットして、DAC 出力を停止させることもできます。

ADC ハイパス・フィルタおよび DAC ディエンファシス・フィルタ

ADC と DAC では、24 ビットの信号処理を行う個別のデジタル・フィルタを採用しています。これらのデジタル・フィルタは録音モードと再生モードで使用され、使用する個々のサンプリング・レートに対して最適化されます。

録音モード動作では、ADC からの未処理のデータは ADC フィルタに入力され、適切なサンプリング周波数に変換された後に、デジタル・オーディオ・インターフェースへ出力されます。

再生モード動作では、DAC フィルタを使ってデジタル・オーディオ・インターフェースからのデータをユーザー設定のサンプリング・レートを持つオーバーサンプルしたデータへ変換します。このオーバーサンプルされたデータは、DAC で処理された後に、DACSEL (レジスタ R4、ビット D4) をイネーブルすることにより、アナログ出力ミキサーへ送られます。

このデバイスでは、入力ソース信号の DC オフセットを自動的に検出して除去するように設定することができます。この機能を使うときは、ADCHPF ビット (レジスタ R5、ビット D0) を使って、ADC デジタル・フィルタに内蔵されているデジタル・ハイパス・フィルタ (特性については表 2 参照) をイネーブルします。

さらに、DEEMPH ビット (レジスタ R5、ビット D1 とビット D2) を使って、デジタル・ディエンファシスを行うこともできます。

自動レベル・コントロール (ALC)

SSM2602 コーデックは、大きな入力信号が突然入力されても、クリッピングを防止してダイナミック・レンジを向上させるために使用できる自動レベル・コントロール (ALC) 機能を内蔵しています。この機能は、ADC 入力での信号レベルが一定になるように PGA ゲインを連続的に調整することにより実現されています。

ディケイ (ゲイン・ランプアップ) 時間

ディケイ時間とは、PGA ゲインがレンジの 90%まで上昇するのに要する時間を意味します。したがって、録音レベルがターゲット値まで戻するのに要する時間は、ディケイ時間および必要とされるゲイン調整の両方に依存します。ゲイン調整が少ない場合、ターゲット値へ戻る時間はディケイ時間より小さくなります。

アタック (ゲイン・ランプダウン) 時間

アタック時間とは、PGA ゲインがレンジの 90%まで減少するのに要する時間を意味します。したがって、録音レベルがターゲット値まで戻するのに要する時間は、アタック時間および必要とされるゲイン調整の両方に依存します。ゲイン調整が少ない場合、ターゲット値へ戻る時間はアタック時間より小さくなります。

ノイズ・ゲート

ALC 機能がイネーブルされ、かつ入力信号が長時間存在しない場合、ノイズ・ポンピングと呼ばれる現象により「ザー」という音が聞こえるようになります。これを防止するために、SSM2602 ではノイズ・ゲート機能を採用しています。NGTH ビット (レジスタ R18、ビット D3～ビット D7) を使って、ユーザー設定のスレッシュホールドを設定することができます。ノイズ・ゲートをイネーブルすると、ADC 出力がミュートされるか、またはノイズ・ポンピング現象を防止する一定ゲインに維持されます。ノイズ・ゲートの設定については、表 42 を参照してください。

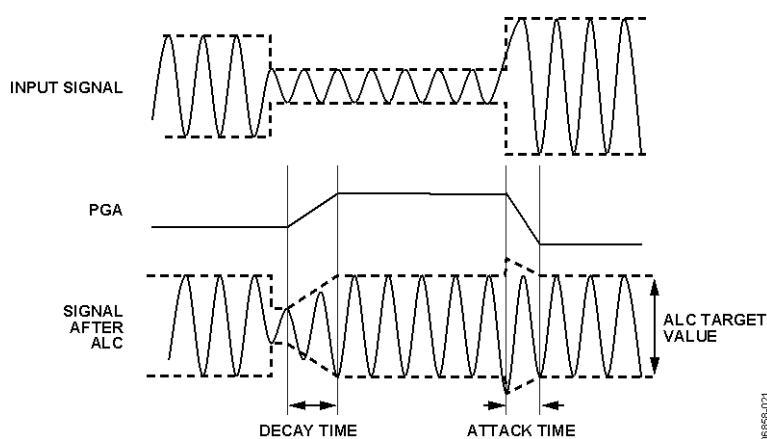


図 18.PGA と ALC のディケイ時間とアタック時間の定義

アナログ・インターフェース

シグナル・チェイン

SSM2602 には、内蔵 ADC へのステレオ・シングルエンド・ライン入力とモノラル・マイクロフォン入力があります。INSEL ビット (レジスタ R4、ビット D2) を設定して、ライン入力またはマイクロフォン入力 (同時入力は不可) を ADC に接続することができます。さらに、SIDETONE_EN (レジスタ R4、ビット D5) と BYPASS (レジスタ R4、ビット D3) ビットを使うと、ライン入力またはマイクロフォン入力をミックスして直接出力ピンに接続することもできます。また、内蔵 DAC からのライン出力とヘッドフォン出力もあります。

ステレオ・ライン入力とモノラル・マイクロフォン入力

SSM2602 には、AVDD と AGND との間に接続した電圧分周器を使って内部で VMID にバイアスしたシングルエンド・ステレオ・ライン入力 (RLINEIN と LLINEIN) があります。このライン入力信号は内部 ADC に接続することができるため、必要に応じて、BYPASS ビット (レジスタ R4、ビット D3) を使って、バイパス・パスして直接出力に接続することができます。

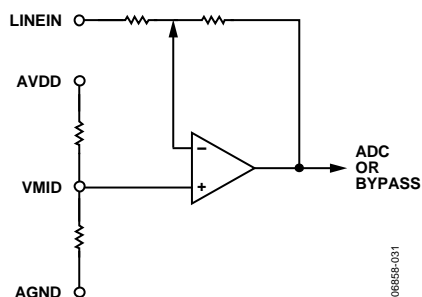


図 19. ADC へのライン入力

ライン入力ボリュームは、LINVOL (レジスタ R0、ビット D0～ビット D5) ビットと RINVOL (レジスタ R1、ビット D0～ビット D5) ビットを設定することにより、 $-34.5 \text{ dB} \sim +33 \text{ dB}$ の範囲で $+1.5 \text{ dB}$ ステップで調整することができます。デフォルトでは、右ライン入力と左ライン入力のボリューム・コントロールは独立に調整可能になっていますが、LRINBOTH ビットまたは RLINBOTH ビットを選択すると、両セットのボリューム・コントロールに同じ値を同時にロードすることができます。ADC へのライン入力信号をミュートするときは、LINMUTE (レジスタ R0、ビット D7) ビットと RINMUTE (レジスタ R1、ビット D7) ビットをセットすることができます。

高インピーダンス低容量のモノラル・マイクロフォン入力ピン (MICIN) には 2 つのゲイン・ステージがあり、マイクロフォン・バイアス・レベル (MICBIAS) は、AVDD と AGND の間に接続した電圧分周器を使って VMID 電圧レベルに内部でバイアスされています。このマイクロフォン入力信号は内部 ADC に接続することができ、必要に応じて、SIDETONE_EN ビット (レジスタ R4、ビット D5) を使って、サイドトーン・パスを経由して直接出力に接続することができます。

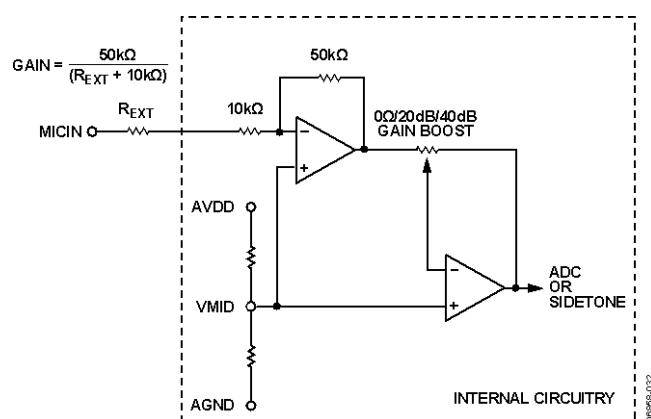


図 20. ADC へのマイクロフォン入力

最初のゲイン・ステージは、 $50 \text{ k}\Omega$ の帰還抵抗と $10 \text{ k}\Omega$ の入力抵抗を内蔵する反転構成の低ノイズ・オペアンプから構成されています。デフォルトのマイクロフォン入力信号ゲインは 14 dB です。MICIN ピンに直列に外部抵抗 (R_{EXT}) を接続すると、マイクロフォン入力信号の初段ステージ・ゲインを次式を使って 0 dB まで下げることができます。

$$\text{マイクロフォン入力ゲイン} = 50 \text{ k}\Omega / (10 \text{ k}\Omega + R_{EXT})$$

マイクロフォン信号パスの 2 番目のステージ・ゲインは、内部マイクロフォン・ブースト回路から構成されています。可能な設定は、 0 dB 、 20 dB 、 40 dB であり、MICBOOST (レジスタ R4、ビット D0) ビットと MICBOOST2 (レジスタ R4、ビット D8) ビットを使って指定します。2 番目のゲイン・ブーストを 20 dB にするときは、MICBOOST または MICBOOST2 のいずれかを選択することができます。2 番目のゲイン・ブーストを 40 dB にするときは、MICBOOST と MICBOOST2 の両方を選択する必要があります。

ライン入力に対する同様な機能では、ADC へのマイクロフォン入力信号をミュートするとき、MUTEMIC ビット (レジスタ R4、ビット D1) をセットすることができます。

両ラインとマイクロフォン入力からオーディオ・データを入力するとき、AVDD = 3.3 V の場合、ADC の最大フルスケール入力力は 1.0 V rms であることに注意してください。ADC の過負荷を避けるためフルスケールより大きい入力電圧を入力しないで下さい。過負荷すると、サウンドの歪みとオーディオ品質の低下が発生します。マイクロフォン入力とライン入力以最適サウンド品質を得るためには、ADC にフルスケールに等しい信号を入力するように、ゲインを注意深く設定する必要があります。これにより、信号対ノイズ比が最大化されて、最適な総合オーディオ品質を得ることができます。

出力へのバイパス・パスとサイドトーン・パス

SIDETONE_EN (レジスタ R4、ビット D5)と BYPASS (レジスタ R4、ビット D3) のソフトウェア・コントロール・レジスタによる選択を使うと、ライン入力またはマイクロフォン入力をミックスして直接出力ピンに接続することができます。これら両モードでは、アナログ入力信号が直接出力端子へ接続され、デジタル変換は行われません。出力ミキサーでのバイパス信号は、各ライン入力に対応する PGA 出力と同じレベルになります。

出力ミキサーでのサイドトーン信号は、コントロール・レジスタの SIDETONE_ATT (レジスタ R4、ビット D6とビット D7) ビットを設定して、-3 dB ステップで -6 dB ~ -15 dB の範囲に減衰させる必要があります。マイクロフォンの初段と 2 段目のステージ・ゲインで初期マイクロフォン信号の増幅が行われた後に、選択したレベルの減衰が行われます。

ライン出とヘッドフォン出力

DAC 出力、マイクロフォン (サイドトーン・パス)、ライン入力 (バイパス・パス) は、出力ミキサーで加算されます。ステレオ・ライン出力とステレオ・ヘッドフォン出力の両方にこの信号を出力することができます。

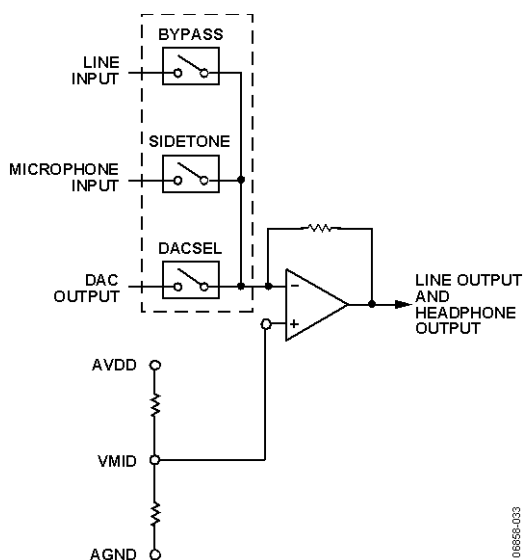


図 21. 出力信号・チェーン

SSM2602 には、効率良いヘッドフォン・アンプ出力、LHPOUT、RHPOUT のセットがあるため、16 Ω または 32 Ω のヘッドフォン・スピーカを駆動することができます。

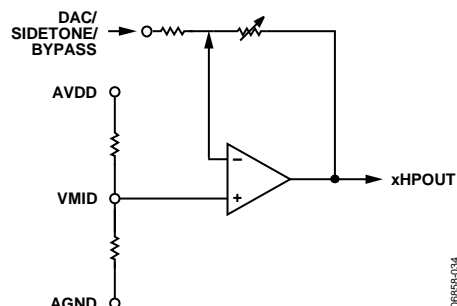


図 22. ヘッドフォン出力

ライン入力と同様な機能では、ヘッドフォン出力コントロール・レジスタの LHPVOL (レジスタ R2、ビット D0~ビット D6) ビットと RHPVOL (レジスタ R3、ビット D0~ビット D6) ビットを設定することにより、デフォルトで LHPOUT ボリュームと RHPOUT ボリュームを独立に調整することができます。LHPVOL ビットと RHPVOL ビットに 0110000 より小さいコードを書き込むと、ヘッドフォン出力をミュートさせることができます。左と右のチャンネル DAC ボリューム・レジスタの LRHPBOTH (レジスタ R2、ビット D8) ビットと RLHPBOTH (レジスタ R3、ビット D8) ビットに書き込みを行うことにより、両チャンネルのボリューム・コントロールに同時にロードすることができます。

AVDD と HPVDD が 3.3 V のとき、ヘッドフォン出力の最大出力レベルは 1.0 V rms です。ポップ雑とクリック雑音を防止するために、デバイスがスタンバイ・モードのときまたはヘッドフォン出力がミュートされたとき、ヘッドフォン出力とライン出力が VMID DC 電圧レベルに維持されます。

SSM2602 のステレオ・ライン出力 (LOUT ピンと ROUT ピン) は、10 k Ω / 50 pF の負荷インピーダンスを駆動することができます。ライン出力信号レベルは、0 dB の固定ゲインを持つ出力ミキサーでは調整できません。ライン出力の最大出力レベルは、AVDD = 3.3 V のとき 1.0 V rms です。

デジタル・オーディオ・インターフェース

デジタル・オーディオ入力では、右詰めモード、左詰めモード、I²S モード、デジタル信号処理(DSP) モードの 4 つのデジタル・オーディオ通信プロトコルをサポートすることができます。

モードを選択するときは、デジタル・オーディオ・インターフェース・レジスタ (レジスタ R7、ビット D1 とビット D0) の FORMAT ビットに書き込みを行います。すべてのモードは MSB ファーストで、16~32 ビットのデータで動作します。

録音モード

デジタル・オーディオ・インターフェースは、RECDAT 出力ピンを使って、録音モード動作のデジタル・オーディオ・データを出力することができます。デジタル・オーディオ・インターフェースは、処理した内部 ADC デジタル・フィルタ・データを RECDAT 出力に出力します。RECDAT でのデジタル・オーディオ・データ・ストリームは、時間領域でマルチプレクスされた左と右のチャンネル・オーディオ・データから構成されています。

RECLRC は、RECDAT ラインの左と右のチャンネル・データを分離するデジタル・オーディオ・フレーム・クロック信号です。

BCLK 信号はデジタル・オーディオ・クロックとして機能します。SSM2602 がマスター・モードまたはスレーブ・モードのいずれにあるかに応じて、BCLK 信号は入力信号または出力信号になります。録音動作時、RECDAT と RECLRC は、データの破壊を防止するため BCLK 信号に同期している必要があります。

再生モード

デジタル・オーディオ・インターフェースは、PBDAT 入力ピンを使って、再生モード動作のデジタル・オーディオ・データを入力することができます。PBDAT でのデジタル・オーディオ・データ・ストリームは、時間領域でマルチプレクスされた左と右のチャンネル・オーディオ・データから構成されています。PBLRC は、PBDAT ラインの左と右のチャンネル・データを分離するデジタル・オーディオ・フレーム・クロック信号です。

BCLK 信号はデジタル・オーディオ・クロックとして機能します。SSM2602 がマスター・モードまたはスレーブ・モードのいずれにあるかに応じて、BCLK 信号は入力信号または出力信号になります。再生動作時、PBDAT と PBLRC は、データの破壊を防止するため BCLK 信号に同期している必要があります。

デジタル・オーディオ・データのサンプリング・レート

SSM2602 は、一般的に使用されている広範囲な DAC と ADC のサンプリング・レートをサポートするため 2 つの動作モード (ノーマルと USB) 持ち、これらのモードは USB ビット (レジスタ R8、ビット D0) で選択することができます。

ノーマル・モードの SSM2602 は、8 kHz~96 kHz のデジタル・オーディオ・サンプリング・レートをサポートします。ノーマル・モードでは、256 f_s と 384 f_s ベースのクロックをサポートします。サンプリング・レートを設定するときは、該当するサンプリング・レート・レジスタの SR コントロール・ビット (レジスタ R8、ビット D2~ビット D5) を設定し、この設定を MCLK ピンを駆動するコア・クロック周波数に一致させる必要があります。ガイドラインについては、表 30 と表 31 を参照してください。

USB モードの SSM2602 は、8 kHz~96 kHz のデジタル・オーディオ・サンプリング・レートをサポートします。一般的なユニバーサル・シリアル・バス (USB) の 12 MHz クロック・レートをサポートするとき、または CLKDIV2 コントロール・レジスタ・ビットがアクティブのときに 24 MHz をサポートするとき、SSM2602 の USB モードをイネーブルします。SR コントロール・ビット (レジスタ R8、ビット D2~ビット D5) に該当するサンプリング・レートを設定する必要があります。ガイドラインについては、表 30 と表 31 を参照してください。

サンプリング・レートは、MCLK 信号から固定分周比で発生されていることに注意してください。すべてのオーディオ処理はコア MCLK 信号を基準とするため、この信号が破壊されると、SSM2602 の出力オーディオ品質が破壊されてしまいます。BCLK/RECLRC/RECDAT 信号または BCLK/PBLRC/PBDAT 信号は、デジタル・オーディオ・インターフェース回路内で MCLK に同期している必要があります。データの同期時にデータが失われるようにするため、MCLK は BCLK 周波数以上である必要があります。

BCLK 周波数は次の値より大きい必要があります。

$$\text{サンプリング・レート} \times \text{ワード長} \times 2$$

BCLK 周波数をこの値より大きくすると、デジタル・オーディオ・インターフェース回路ですべての有効データ・ビットが確実にキャプチャされます。たとえば、32 ビット・ワード長では 32 kHz のデジタル・オーディオ・サンプリング・レートが必要で (BCLK ≥ 2.048 MHz)。

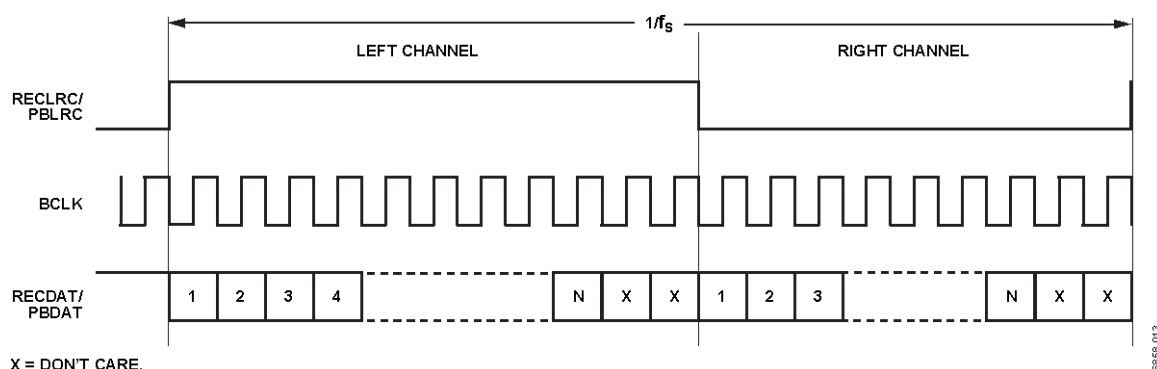


図 23. 左詰めオーディオ入力モード

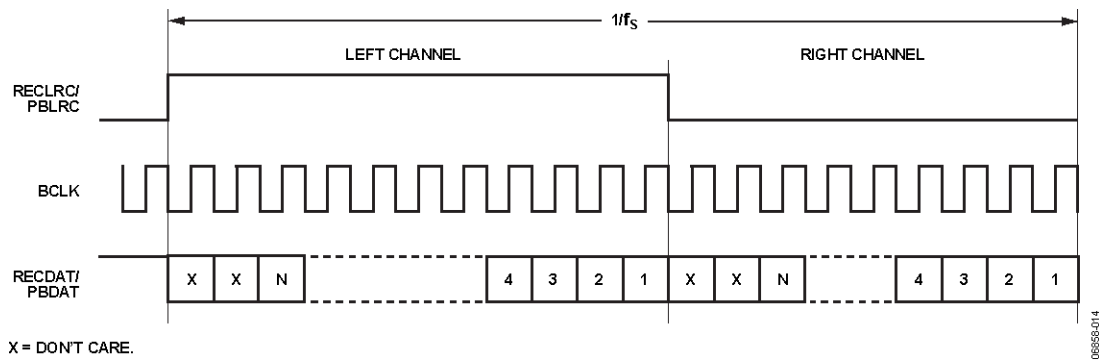


図 24.右詰めオーディオ入力モード

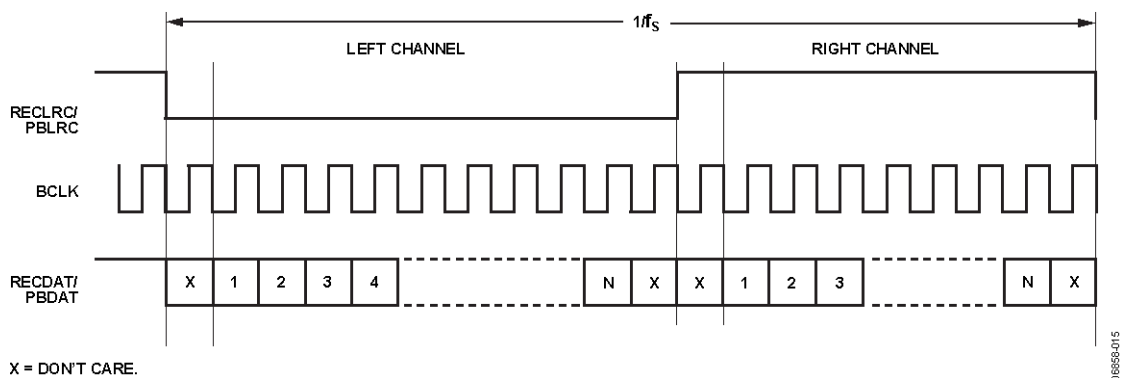


図 25.I2S オーディオ入力モード

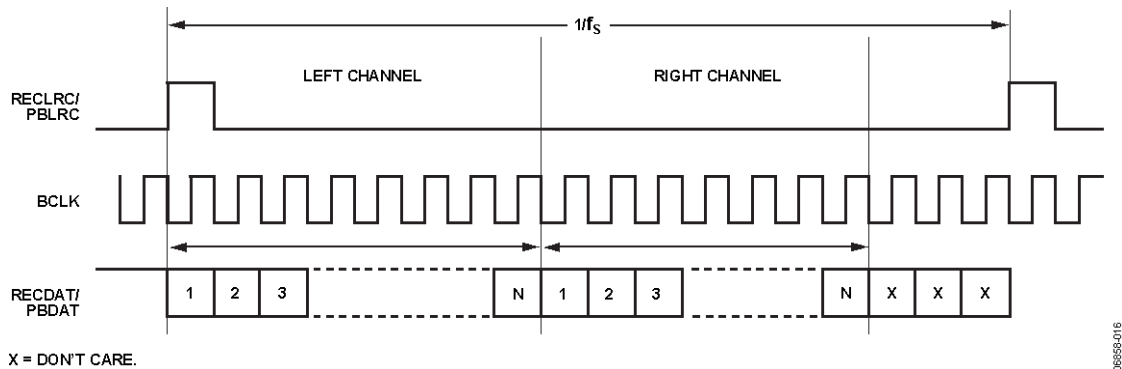


図 26.DSP/パルス符号変調 (PCM) モード・オーディオ入力のサブモード 1 (SM1) [ビット LRP = 0]

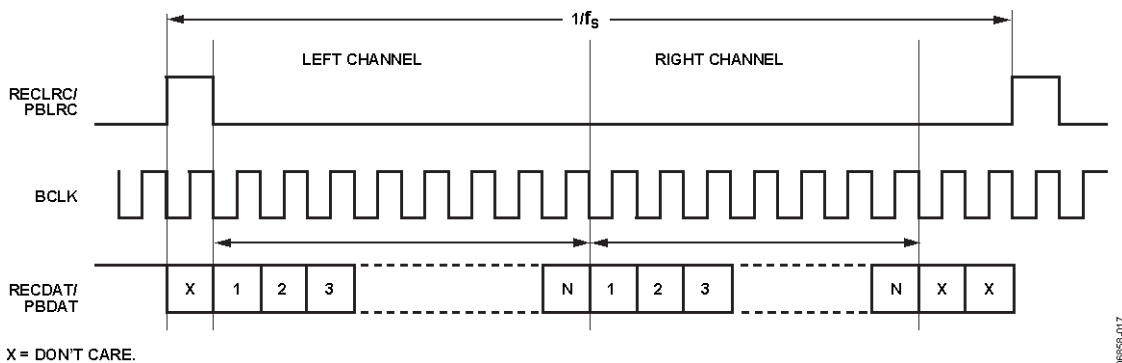


図 27.DSP/PCM モード・オーディオ入力のサブモード 2 (SM2) [ビット LRP = 1]

ソフトウェア・コントロール・インターフェース

ソフトウェア・コントロール・インターフェースは、選択したコントロール・レジスタへのアクセスを可能にし、MODE ピンの設定に応じて2線式 (I²C) または3線式 (SPI) のインターフェースで動作することができます。モード・ピンを0に設定すると、2線式インターフェースが選択され、1に設定すると、3線式インターフェースが選択されます。

各コントロール・レジスタ内では、コントロール・データ・ワードは16ビットでMSBファーストです。ビットB15～ビットB9はレジスタ・マップ・アドレスで、ビットB8～ビットB0は対応するレジスタ・マップのレジスタ・データです。

2線式 (I²C) モードを選択した場合、SDIN がシリアル・コントロール・データ・ワードを発生し、SCLK がシリアル・データをクロック駆動し、CSB が I²C デバイス・アドレスを指定します。CSB ピンを0に設定すると、選択するアドレスは0011010になり、1に設定するとアドレスは0011011になります。

3線式 (SPI) を選択した場合、SDIN がコントロール・データ・ワードを発生し、SCLK がコントロール・データ・ワードをSSM2602へクロック駆動し、CSB はコントロール・データ・ワードをラッチします。

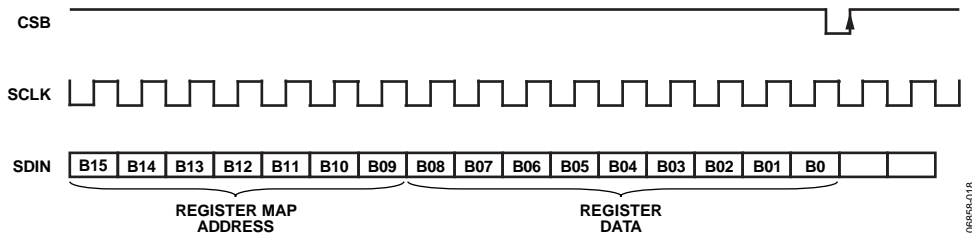


図 28. SPI シリアル・インターフェース

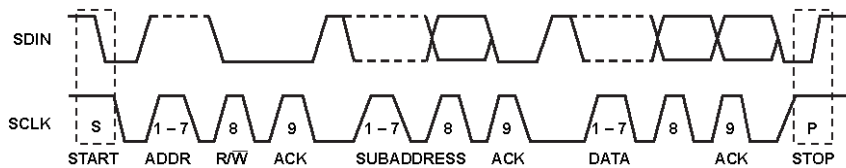
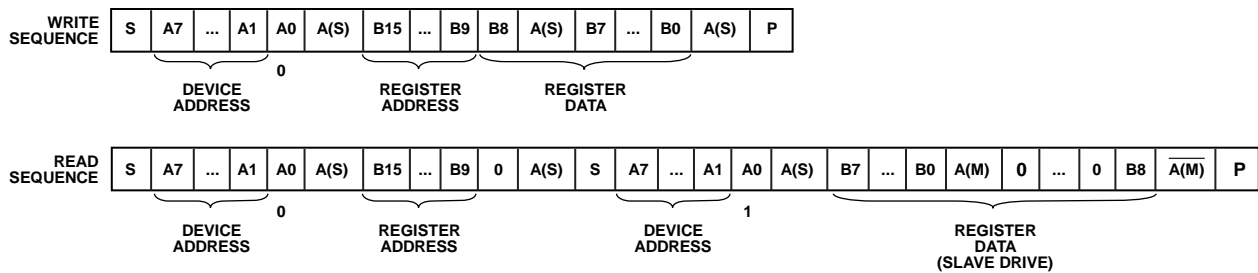


図 29. SSM2602 の 2 線式 I2C の全体的なクロック・タイミング図



S/P = START/STOP BIT.
 A0 = I²C R/W BIT.
 A(S) = ACKNOWLEDGE BY SLAVE.
 A(M) = ACKNOWLEDGE BY MASTER.
 A(M) = ACKNOWLEDGE BY MASTER (INVERSION).

図 30. SSM2602 の I2C 書き込みと読み出しのシーケンス

代表的なアプリケーション回路

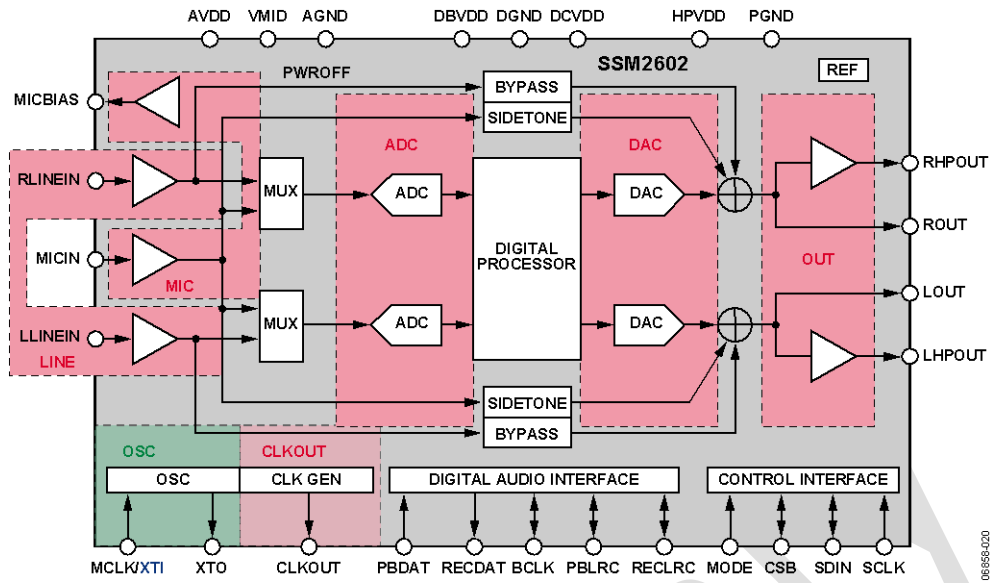


図 31.SSM2602 パワー・マネジメント機能の配置図(コントロール・レジスタ R6、ビット D0~ビット D7)

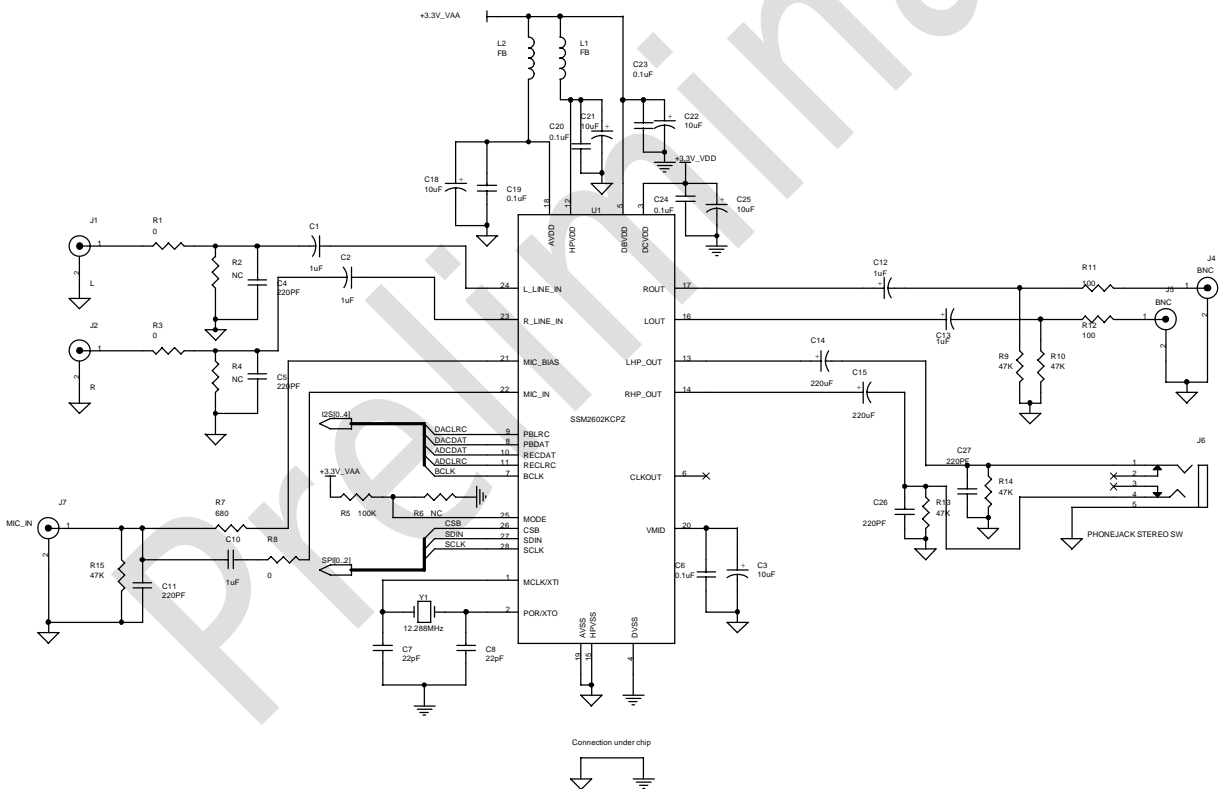


図 32.SSM2602 の代表的なアプリケーション回路

レジスタ・マップ

表 11.レジスタ・マップ

Reg.	Address	Name	D8	D7	D6	D5	D4	D3	D2	D1	D0	Default
R0	0x00	Left-Channel ADC Input Volume	LRINBOTH	LINMUTE	0	LINVOL [5:0]					01001011	
R1	0x01	Right-Channel ADC Input Volume	RLINBOTH	RINMUTE	0	RINVOL [5:0]					01001011	
R2	0x02	Left-Channel DAC Volume	LRHPBOTH	LZCEN	LHPVOL [6:0]					001111001		
R3	0x03	Right-Channel DAC Volume	RLHPBOTH	RZCEN	RHPVOL [6:0]					001111001		
R4	0x04	Analogue Audio Path	MICBOOST2	SIDETONE_ATT [1:0]		SIDETONE_EN	DACSEL	BYPASS	INSEL	MUTEMIC	MICBOOST	000001010
R5	0x05	Digital Audio Path	0	0	0	0	HPOR	DACMU	DEEMPH [1:0]		ADCHPF	000001000
R6	0x06	Power Management	0	PWROFF	CLKOUT	OSC	OUT	DAC	ADC	MIC	LINEIN	010011111
R7	0x07	Digital Audio I/F	0	BCLKIN_V	MS	LRSWAP	LRP	WL [1:0]		FORMAT [1:0]		000001010
R8	0x08	Sampling Rate	0	CLKODIV2	CLKDIV2	SR [3:0]			BOSR	USB	000000000	
R9	0x09	Active	0	0	0	0	0	0	0	0	ACTIVE	000000000
R15	0x0F	Software Reset	RESET [8:0]									000000000
R16	0x10	ALC Control 1	ALCSEL [1:0]		MAXGAIN [2:0]			ALCL [3:0]				001111011
R17	0x11	ALC Control 2	0	DCY [3:0]			ATK [3:0]				000110010	
R18	0x12	Noise Gate	0	NGTH [4:0]				NGG [1:0]		NGAT		000000000

レジスタ・マップの詳細

左チャンネル ADC 入力ボリューム、アドレス 0x00

表 12.左チャンネル ADC 入力ボリューム・レジスタ・ビット・マップ

D8	D7	D6	D5	D4	D3	D2	D1	D0
LRINBOTH	LINMUTE	0	LINVOL [5:0]					

表 13.左チャンネル ADC 入力ボリューム・レジスタ・ビットの説明

Bit Name	Description	Settings
LRINBOTH	Left-to-right line input ADC data load control	0 = disable simultaneous loading of left-channel ADC data to right-channel register (default) 1 = enable simultaneous loading of left-channel ADC data to right-channel register
LINMUTE	Left-channel input mute	0 = disable mute 1 = enable mute on data path to ADC (default)
LINVOL [5:0]	Left-channel PGA volume control	00 0000 = -34.5 dB ... 1.5 dB step up 01 0111 = 0 dB (default) ... 1.5 dB step up 01 1111 = 12 dB 10 0000 = 13.5 dB 10 0001 = 15 dB 10 0010 = 16.5 dB 10 0011 = 18 dB 10 0100 = 19.5 dB 10 0101 = 21 dB 10 0110 = 22.5 dB 10 0111 = 24 dB 10 1000 = 25.5 dB 10 1001 = 27 dB 10 1010 = 28.5 dB 10 1011 = 30 dB 10 1100 = 31.5 dB 10 1101 = 33 dB 11 1111 to 10 1101 = 33 dB

右チャンネル ADC 入力ボリューム、アドレス 0x01

表 14. 右チャンネル ADC 入力ボリューム・レジスタ・ビット・マップ

D8	D7	D6	D5	D4	D3	D2	D1	D0
RLINBOTH	RINMUTE	0	RINVOL [5:0]					

表 15. 右チャンネル ADC 入力ボリューム・レジスタ・ビットの説明

Bit Name	Description	Settings
RLINBOTH	Right-to-left line input ADC data load control	0 = disable simultaneous loading of right-channel ADC data to left-channel register (default) 1 = enable simultaneous loading of right-channel ADC data to left-channel register
RINMUTE	Right-channel input mute	0 = disable mute 1 = enable mute on data path to ADC (default)
RINVOL [5:0]	Right-channel PGA volume control	00 0000 = -34.5 dB ... 1.5 dB step up 01 0111 = 0 dB (default) ... 1.5 dB step up 01 1111 = 12 dB 10 0000 = 13.5 dB 10 0001 = 15 dB 10 0010 = 16.5 dB 10 0011 = 18 dB 10 0100 = 19.5 dB 10 0101 = 21 dB 10 0110 = 22.5 dB 10 0111 = 24 dB 10 1000 = 25.5 dB 10 1001 = 27 dB 10 1010 = 28.5 dB 10 1011 = 30 dB 10 1100 = 31.5 dB 10 1101 = 33 dB 11 1111 to 10 1101 = 33 dB

左チャンネル DAC ボリューム、アドレス 0x02

表 16.左チャンネル DAC ボリューム・レジスタ・ビット・マップ

D8	D7	D6	D5	D4	D3	D2	D1	D0	
LRHPBOTH	LZCEN	LHPVOL [6:0]							

表 17.左チャンネル DAC ボリューム・レジスタ・ビットの説明

Bit Name	Description	Settings
LRHPBOTH	Left-to-right headphone volume load control	0 = disable simultaneous loading of left-channel headphone volume data to right-channel register (default) 1 = enable simultaneous loading of left-channel headphone volume data to right-channel register
LZCEN	Left-channel zero cross detect enable	0 = disable (default) 1 = enable
LHPVOL [6:0]	Left-channel headphone volume control	000 0000 to 010 1111 = mute 011 0000 = -73 dB ... 111 1001 = 0 dB (default) ... 1 dB steps up to 111 1111 = +6 dB

右チャンネル DAC ボリューム、アドレス 0x03

表 18.右チャンネル DAC ボリューム・レジスタ・ビット・マップ

D8	D7	D6	D5	D4	D3	D2	D1	D0	
RLHPBOTH	RZCEN	RHPVOL [6:0]							

表 19.右チャンネル DAC ボリューム・レジスタ・ビットの説明

Bit Name	Description	Settings
RLHPBOTH	Right-to-left headphone volume load control	0 = disable simultaneous loading of right-channel headphone volume data to left-channel register (default) 1 = enable simultaneous loading of right-channel headphone volume data to left-channel register
RZCEN	Right-channel zero cross detect enable	0 = disable (default) 1 = enable
RHPVOL [6:0]	Right-channel headphone volume control	000 0000 to 010 1111 = mute 011 0000 = -73 dB ... 111 1001 = 0 dB (default) ... 1 dB steps up to 111 1111 = +6 dB

アナログ・オーディオ・パス、アドレス 0x04

表 20. アナログ・オーディオ・パス・レジスタ・ビット・マップ

D8	D7	D6	D5	D4	D3	D2	D1	D0
MICB OOST 2	SIDETONE_ATT [1:0]		SIDETONE_EN	DACSEL	BYPASS	INSEL	MUTEMIC	MICBOOST

表 21. アナログ・オーディオ・パス・レジスタ・ビットの説明

Bit Name	Description	Settings
MICBOOST2	Additional microphone amplifier gain booster control.	0 = 0 dB (default) 1 = 20 dB
SIDETONE_ATT [1:0]	Microphone sidetone gain control.	00 = -6 dB (default) 01 = -9 dB 10 = -12 dB 11 = -15 dB
SIDETONE_EN	Sidetone enable. Allow attenuated microphone signal to be mixed at device output terminal.	0 = sidetone disable (default) 1 = sidetone enable
DACSEL	DAC select. Allow DAC output to be mixed at device output terminal.	0 = do not select DAC (default) 1 = select DAC
BYPASS	Bypass select. Allow line input signal to be mixed at device output terminal.	0 = bypass disable 1 = bypass enable (default)
INSEL	Line input or microphone input select to ADC.	0 = line input select to ADC (default) 1 = microphone input select to ADC
MUTEMIC	Microphone mute control to ADC.	0 = mute on data path to ADC disable 1 = mute on data path to ADC enable (default)
MICBOOST	Primary microphone amplifier gain booster control.	0 = 0 dB (default) 1 = 20 dB

デジタル・オーディオ・パス、アドレス 0x05

表 22. デジタル・オーディオ・パス・レジスタ・ビット・マップ

D8	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	HPOR	DACMU	DEEMPH [1:0]		ADCHPF

表 23. デジタル・オーディオ・パス・レジスタ・ビットの説明

Bit Name	Description	Settings
HPOR	Store dc offset when high-pass filter is disabled	0 = clear offset (default) 1 = store offset
DACMU	DAC digital mute	0 = no mute (signal active) 1 = mute (default)
DEEMPH [1:0]	De-emphasis control	00 = no de-emphasis (default) 01 = 32 kHz sampling rate 10 = 44.1 kHz sampling rate 11 = 48 kHz sampling rate
ADCHPF	ADC high-pass filter control	0 = ADC high-pass filter enable (default) 1 = ADC high-pass filter disable

パワー・マネジメント、アドレス 0x06

表 24. パワー・マネジメント・レジスタ・ビット・マップ

D8	D7	D6	D5	D4	D3	D2	D1	D0
0	PWROFF	CLKOUT	OSC	OUT	DAC	ADC	MIC	LINEIN

表 25. パワー・マネジメント・レジスタ・ビットの説明

Bit Name	Description	Settings
PWROFF	Whole chip power-down control	0 = power up 1 = power down (default)
CLKOUT	Clock output power-down control	0 = power up (default) 1 = power down
OSC	Crystal power-down control	0 = power up (default) 1 = power down
OUT	Output power-down control	0 = power up 1 = power down (default)
DAC	DAC power-down control	0 = power up 1 = power down (default)
ADC	ADC power-down control	0 = power up 1 = power down (default)
MIC	Microphone input power-down control	0 = power up 1 = power down (default)
LINEIN	Line input power-down control	0 = power up 1 = power down (default)

消費電力

表 26.

Mode	PWROFF	CLKOUT	OSC	OUT	DAC	ADC	MIC	LINEIN	AVDD (3.3V)	HPVDD (3.3 V)	DCVDD (3.3 V)	DBVDD (3.3 V)	Unit
Record and Playback	0	0	0	0	0	0	0	0	10.7	2.2	3.6	3.1	mA
Playback Only													
Oscillator Enabled	0	0	0	0	0	1	1	1	5.2	2.2	1.7	1.8	mA
External Clock	0	1	1	0	0	1	1	1	5.1	2.2	1.7	1.7	mA
Record Only													
Line Clock	0	0	0	1	1	0	1	0	4.7	N/A	2.0	1.9	mA
Line Oscillator	0	0	1	1	1	0	1	0	4.7	N/A	2.0	1.8	mA
Microphone 1	0	0	0	1	1	0	0	1	4.8	N/A	2.0	1.9	mA
Microphone 2	0	0	1	1	1	0	0	1	4.8	N/A	2.0	1.8	mA
Sidetone (Microphone-to- Headphone Output)													
External Clock	0	0	1	0	1	1	0	1	2.0	2.2	0.2	1.7	mA
Internally Generated Clock	0	0	1	0	1	1	0	1	2.0	2.2	0.2	1.7	mA
Analog Bypass (Line Input or Line Output)													
External Line	0	0	1	0	1	1	1	0	2.0	2.2	0.2	1.7	mA
Internally Generated Line	0	0	1	0	1	1	1	0	2.0	2.2	0.2	1.7	mA
Power-Down													
External Clock	1	1	1	1	1	1	1	1	0.001	<1uA	0.03	0.03	mA
Oscillator	1	1	1	1	1	1	1	1	0.001	<1uA	0.03	0.03	mA

デジタル・オーディオ I/F、アドレス 0x07

表 27. デジタル・オーディオ I/F レジスタ・ビット・マップ

D8	D7	D6	D5	D4	D3	D2	D1	D0
0	BCLKINV	MS	LRSWAP	LRP	WL [1:0]		FORMAT [1:0]	

表 28. デジタル・オーディオ I/F レジスタ・ビットの説明

Bit Name	Description	Settings
BCLKINV	BCLK inversion control	0 = BCLK not inverted (default) 1 = BCLK inverted
MS	Master mode enable	0 = enable slave mode (default) 1 = enable master mode
LRSWAP	Swap DAC data control	0 = output left- and right-channel data as normal (default) 1 = swap left- and right-channel DAC data in audio interface
LRP	Polarity control for clocks in right-justified, left-justified, and I ² S modes	0 = normal PBLRC and RECLRC (default), or DSP Submode 1 1 = invert PBLRC and RECLRC polarity, or DSP Submode 2
WL [1:0]	Data-word length control	00 = 16 bits 01 = 20 bits 10 = 24 bits (default) 11 = 32 bits
FORMAT [1:0]	Digital audio input format control	00 = right justified 01 = left justified 10 = I ² S mode (default) 11 = DSP mode

サンプリング・レート、アドレス 0x08

表 29. サンプリング・レート・レジスタ・ビット・マップ

D8	D7	D6	D5	D4	D3	D2	D1	D0
0	CLKODIV2	CLKDIV2	SR [3:0]			BOSR	USB	

表 30. サンプリング・レート・レジスタ・ビットの説明

Bit Name	Description	Settings
CLKODIV2	CLKOUT divider select	0 = CLKOUT is core clock (default) 1 = CLKOUT is core clock divided by 2
CLKDIV2	Core clock divide select	0 = core clock is MCLK (default) 1 = core clock is MCLK divided by 2
SR [3:0]	Clock setting condition	See Table 31 and Table 32.
BOSR	Base oversampling rate	USB mode: 0 = support for 250 f _s based clock (default) 1 = support for 272 f _s based clock Normal mode: 0 = support for 256 f _s based clock (default) 1 = support for 384 f _s based clock
USB	USB mode select	0 = normal mode enable (default) 1 = USB mode enable

表 31. サンプルング・レートのルックアップ・テーブル、USB をディスエーブル (ノーマル・モード)

MCLK (CLKDIV2 = 0)	MCLK (CLKDIV2 = 1)	ADC Sampling Rate (RECLRC)	DAC Sampling Rate (PBLRC)	USB	SR [3:0]	BOS R	BCLK (MS = 1) ¹
12.288 MHz	24.576 MHz	8 kHz (MCLK/1536)	8 kHz (MCLK/1536)	0	0011	0	MCLK/4
		8 kHz (MCLK/1536)	48 kHz (MCLK/256)	0	0010	0	MCLK/4
		12 kHz (MCLK/1024)	12 kHz (MCLK/1024)	0	0100	0	MCLK/4
		16 kHz (MCLK/768)	16 kHz (MCLK/768)	0	0101	0	MCLK/4
		24 kHz (MCLK/512)	24 kHz (MCLK/512)	0	1110	0	MCLK/4
		32 kHz (MCLK/384)	32 kHz (MCLK/384)	0	0110	0	MCLK/4
		48 kHz (MCLK/256)	8 kHz (MCLK/1536)	0	0001	0	MCLK/4
		48 kHz (MCLK/256)	48 kHz (MCLK/256)	0	0000	0	MCLK/4
		96 kHz (MCLK/128)	96 kHz (MCLK/128)	0	0111	0	MCLK/2
11.2896 MHz	22.5792 MHz	8.0182 kHz (MCLK/1408)	8.0182 kHz (MCLK/1408)	0	1011	0	MCLK/4
		8.0182 kHz (MCLK/1408)	44.1 kHz (MCLK/256)	0	1010	0	MCLK/4
		11.025 kHz (MCLK/1024)	11.025 kHz (MCLK/1024)	0	1100	0	MCLK/4
		22.05 kHz (MCLK/512)	22.05 kHz (MCLK/512)	0	1101	0	MCLK/4
		44.1 kHz (MCLK/256)	8.0182 kHz (MCLK/1408)	0	1001	0	MCLK/4
		44.1 kHz (MCLK/256)	44.1 kHz (MCLK/256)	0	1000	0	MCLK/4
		88.2 kHz (MCLK/128)	88.2 kHz (MCLK/128)	0	1111	0	MCLK/2
18.432 MHz	36.864 MHz	8 kHz (MCLK/2304)	8 kHz (MCLK/2304)	0	0011	1	MCLK/6
		8 kHz (MCLK/2304)	48 kHz (MCLK/384)	0	0010	1	MCLK/6
		12 kHz (MCLK/1536)	12 kHz (MCLK/1536)	0	0100	1	MCLK/6
		16 kHz (MCLK/1152)	16 kHz (MCLK/1152)	0	0101	1	MCLK/6
		24 kHz (MCLK/768)	24 kHz (MCLK/768)	0	1110	1	MCLK/6
		32 kHz (MCLK/576)	32 kHz (MCLK/576)	0	0110	1	MCLK/6
		48 kHz (MCLK/384)	48 kHz (MCLK/384)	0	0000	1	MCLK/6
		48 kHz (MCLK/384)	8 kHz (MCLK/2304)	0	0001	1	MCLK/6
		96 kHz (MCLK/192)	96 kHz (MCLK/192)	0	0111	1	MCLK/3
16.9344 MHz	33.8688 MHz	8.0182 kHz (MCLK/2112)	8.0182 kHz (MCLK/2112)	0	1011	1	MCLK/6
		8.0182 kHz (MCLK/2112)	44.1 kHz (MCLK/384)	0	1010	1	MCLK/6
		11.025 kHz (MCLK/1536)	11.025 kHz (MCLK/1536)	0	1100	1	MCLK/6
		22.05 kHz (MCLK/768)	22.05 kHz (MCLK/768)	0	1101	1	MCLK/6
		44.1 kHz (MCLK/384)	8.0182 kHz (MCLK/2112)	0	1001	1	MCLK/6
		44.1 kHz (MCLK/384)	44.1 kHz (MCLK/384)	0	1000	1	MCLK/6
		88.2 kHz (MCLK/192)	88.2 kHz (MCLK/192)	0	1111	1	MCLK/3

¹ BCLK 周波数はマスター・モードとスレーブ右詰めモードの場合。¹ BCLK 周波数はマスター・モードとスレーブ右詰めモードの場合。

表 32. サンプルング・レートのルックアップ・テーブル、USB をイネーブル (USB モード)

MCLK (CLKDIV2 = 0)	MCLK (CLKDIV2 = 1)	ADC Sampling Rate (RECLRC)	DAC Sampling Rate (PBLRC)	US B	SR [3:0]	BOS R	BCLK (MS = 1) ¹
12.000 MHz	24.000 MHz	8 kHz (MCLK/1500)	8 kHz (MCLK/1500)	1	0011	0	MCLK
		8 kHz (MCLK/1500)	48 kHz (MCLK/250)	1	0010	0	MCLK
		8.0214 kHz (MCLK/1496)	8.0214 kHz (MCLK/1496)	1	1011	1	MCLK
		8.0214 kHz (MCLK/1496)	44.118 kHz (MCLK/272)	1	1010	1	MCLK
		11.0259 kHz (MCLK/1088)	11.0259 kHz (MCLK/1088)	1	1100	1	MCLK
		12 kHz (MCLK/1000)	12 kHz (MCLK/1000)	1	1000	0	MCLK
		16 kHz (MCLK/750)	16 kHz (MCLK/750)	1	1010	0	MCLK
		22.0588 kHz (MCLK/544)	22.0588 kHz (MCLK/544)	1	1101	1	MCLK
		24 kHz (MCLK/500)	24 kHz (MCLK/500)	1	1110	0	MCLK
		32 kHz (MCLK/375)	32 kHz (MCLK/375)	1	0110	0	MCLK
		44.118 kHz (MCLK/272)	8.0214 kHz (MCLK/1496)	1	1001	1	MCLK
		44.118 kHz (MCLK/272)	44.118 kHz (MCLK/272)	1	1000	1	MCLK
		48 kHz (MCLK/250)	8 kHz (MCLK/1500)	1	0001	0	MCLK
		48 kHz (MCLK/250)	48 kHz (MCLK/250)	1	0000	0	MCLK
		88.235 kHz (MCLK/136)	88.235 kHz (MCLK/136)	1	1111	1	MCLK
		96 kHz (MCLK/125)	96 kHz (MCLK/125)	1	0111	0	MCLK

¹ BCLK 周波数はマスター・モードとスレーブ右詰めモードの場合。

アクティブ、アドレス 0x09

表 33. アクティブ・レジスタ・ビット・マップ

D8	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	0	ACTIVE

表 34. アクティブ・レジスタ・ビットの説明

Bit Name	Description	Settings
ACTIVE	Digital core activation control	0 = disable digital core (default) 1 = activate digital core

リセット、アドレス 0x0F

表 35. ソフトウェア・リセット・レジスタ・ビット・マップ

D8	D7	D6	D5	D4	D3	D2	D1	D0
RESET [8:0]								

表 36. ソフトウェア・リセット・レジスタ・ビットの説明

Bit Name	Description	Settings
RESET [8:0]	Write all 0s to this register to set all registers to their default settings. Other data written to this register has no effect.	0 = reset (default)

ALC コントロール 1、アドレス 0x10

表 37.ALC コントロール 1 レジスタ・ビット・マップ

D8	D7	D6	D5	D4	D3	D2	D1	D0
ALCSEL [1:0]		MAXGAIN [2:0]			ALCL [[3:0]			

表 38.ALC コントロール 1 レジスタ・ビットの説明

Bit Name	Description	Settings
ALCSEL [1:0]	ALC select	00 = ALC disabled (default) 01 = ALC enabled on right channel only 10 = ALC enabled on left channel only 11 = ALC enabled on both channels
MAXGAIN [2:0]	PGA maximum gain	000 = -12 dB 001 = -6 dB ... 6 dB steps up to 111 = 30 dB (default)
ALCL [3:0]	ALC target level	0000 = -28.5 dBFS 0001 = -27 dBFS ... 1011 = -12 dBFS (default) ... 1.5 dB steps up to 1111 = -6 dBFS

ALC コントロール 2、アドレス 0x11

表 39.ALC コントロール 2 レジスタ・ビット・マップ

D8	D7	D6	D5	D4	D3	D2	D1	D0
0	DCY [3:0]			ATK [3:0]				

表 40.ALC コントロール 2 レジスタ・ビットの説明

Bit Name	Description	Settings
DCY [3:0]	Decay (release) time control	0000 = 24 ms 0001 = 48 ms 0010 = 96 ms 0011 = 192 ms (default) ... (Time doubles with every step) 1010 = 24.576 sec
ATK [3:0]	ALC attack time control	0000 = 6 ms 0001 = 12 ms 0010 = 24 ms (default) ... (Time doubles with every step) 1010 = 6.144 sec

ノイズ・ゲート、アドレス 0x12

表 41. ノイズ・ゲート・レジスタ・ビット・マップ

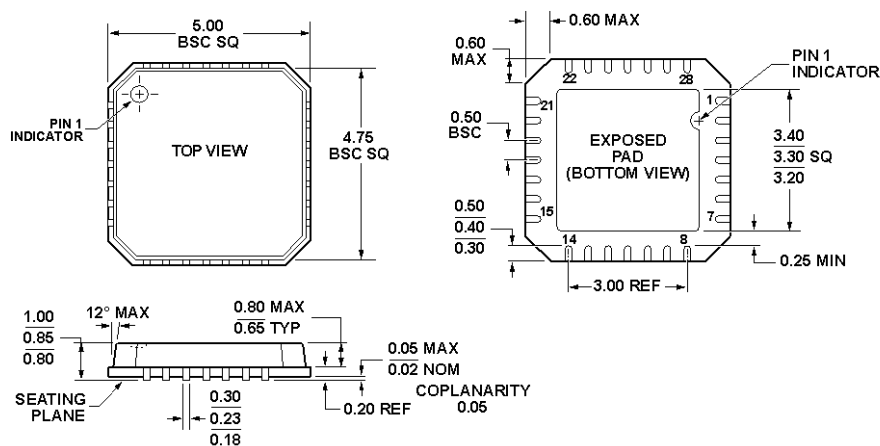
D8	D7	D6	D5	D4	D3	D2	D1	D0
0	NGTH [4:0]					NGG [1:0]		NGAT

表 42. ノイズ・ゲート・レジスタ・ビットの説明

Bit Name	Description	Settings
NGTH [4:0]	Noise gate threshold	00000 = -76.5 dBFS (default) 00001 = -75 dBFS ... 1.5 dB steps up to 11110 = -31.5 dBFS 11111 = -30 dBFS
NGG [1:0]	Noise gate type	X0 = hold PGA gain constant (default) ¹ 01 = mute output 11 = reserved
NGAT	Noise gate control	0 = noise gate disable (default) 1 = noise gate enable

¹ X = don't care.

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-VHHD-1

052487-B

図 33.28 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ]
5 mm × 5 mm ボディ、極薄クワッド
(CP-28-4)
寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
SSM2602CPZ-R2 ¹	-40°C to +85°C	28-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-28-4
SSM2602CPZ-REEL	-40°C to +85°C	28-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-28-4
SSM2602CPZ-REEL7	-40°C to +85°C	28-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-28-4
SSM2602-EVALZ		Evaluation Board	

¹ Z = RoHS 準拠製品