

# デュアルPLLおよびOTP付き マルチ出カクロックジェネレータ

## 概要

MAX9471/MAX9472多用途クロックジェネレータは、コンシューマおよび通信アプリケーションに最適です。MAX9471/MAX9472は、それぞれ個別に4MHz~200MHzに設定することができる2組のバッファ付き位相ロックループ(PLL)出力を備えています。これらのデバイスは、2組のバッファ付きリファレンスクロック出力も提供しています。

MAX9471/MAX9472は、コンシューマ製品で最も広く使用されている1組のMPEG/AC3オーディオおよびビデオ周波数を出力します。これらの周波数は、I<sup>2</sup>Cインタフェース経由または3レベルのFS端子の設定によって選択されます。MAX9471/MAX9472はワンタイムプログラマブル(OTP) ROMを搭載しており、2つのPLL出力のワンタイムプログラムが可能になっています。

MAX9471/MAX9472には、2種類の基本構成が含まれています。一方の構成では、OTP ROMによってPLL1出力を4MHz~200MHzの任意の周波数に設定し、I<sup>2</sup>Cインタフェースまたはプログラマブル端子によってPLL2の出力周波数を1組のオーディオ/ビデオ周波数に設定します。他方の構成では、OTP ROMによってPLL1とPLL2の両方の周波数を4MHz~200MHzの範囲の固定値に設定します。どちらの場合もリファレンス出力は利用可能ですが、OTP ROMでそれをディセーブルすることもできます。

MAX9471/MAX9472のOTP ROMは、お客様の要求に基づいて出荷時に設定されます。所望の周波数のサンプルをご請求ください。

このデバイスは3.3V電源で動作し、-40°C~+85°Cの拡張温度範囲で仕様が規定されています。MAX9471は20ピンTQFNパッケージで提供されます。MAX9472は14ピンTSSOPパッケージで提供されます。

## アプリケーション

デジタルTV  
通信システム  
データネットワークシステム  
セットトップボックス  
ホームエンタテインメントセンター  
マルチメディアPC

\*Maxim Integrated Products, Inc.または二次ライセンスを受けている同社の関連会社からI<sup>2</sup>C部品を購入することにより、これらの部品をI<sup>2</sup>Cシステムで使用するためのPhilips社のI<sup>2</sup>C特許権に基づくライセンスが許諾されたこととなります。但し、システムがPhilips社により定義されたI<sup>2</sup>C標準規格に合致していることを必要とします。

## 特長

- ◆ 5MHz~50MHzの入カクロックリファレンス
- ◆ 水晶または入カクロックベースのリファレンス
- ◆ バッファ付き出力を備えた2組のフラクショナルNフィードバックPLL (4MHz~200MHz)
- ◆ 2組のバッファ付きリファレンスクロック出力
- ◆ OTPによる出荷時プリセットPLL周波数が利用可能(お問い合わせください)
- ◆ I<sup>2</sup>Cインタフェースまたは3レベルの論理端子によってビデオまたはオーディオクロックのプログラムが可能
- ◆ 低RMSジッタPLL (45MHzで14ps)
- ◆ ±200ppmの調整範囲を持つ内蔵VCXO
- ◆ 20ピンTQFNおよび14ピンTSSOPパッケージで提供
- ◆ +3.3V電源
- ◆ -40°C~+85°Cの温度範囲

## 型番

PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX9471ETP+**	-40°C to +85°C	20 TQFN-EP*	T2055-5
MAX9472EUD+†**	-40°C to +85°C	14 TSSOP	U14-2

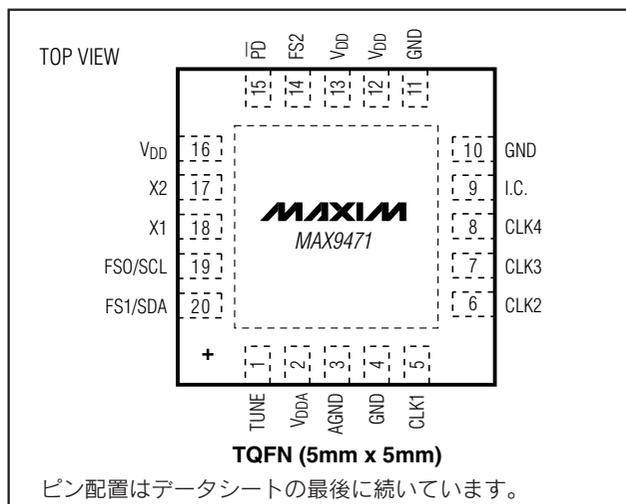
\*エクスポーズドパッド

\*\*サンプル専用のマーキングです。型番についてはお問い合わせください。

+は鉛フリーパッケージを示します。

†開発中。入手性についてはお問い合わせください。

## ピン配置



# デュアルPLLおよびOTP付き マルチ出力クロックジェネレータ

MAX9471/MAX9472

## ABSOLUTE MAXIMUM RATINGS

V <sub>DD</sub> to GND .....	-0.3V to +4.0V	Continuous Power Dissipation (T <sub>A</sub> = +70°C)
V <sub>D<sub>DA</sub></sub> to AGND .....	-0.3V to +4.0V	20-Pin TQFN (derate 21.3mW/°C above +70°C) .....
AGND to GND .....	-0.3V to +0.3V	14-Pin TSSOP (derate 9.1mW/°C above +70°C) .....
All Other Pins to GND .....	-0.3V to V <sub>DD</sub> + 0.3V	Storage Temperature Range .....
Short-Circuit Duration (all LVC MOS outputs).....	Continuous	Maximum Junction Temperature .....
ESD Protection (Human Body Model).....	±2kV	Operating Temperature Range .....
		Lead Temperature (soldering, 10s) .....

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## DC ELECTRICAL CHARACTERISTICS

(V<sub>DD</sub> = V<sub>D<sub>DA</sub></sub> = +3.0V to +3.6V and T<sub>A</sub> = -40°C to +85°C. Typical values at V<sub>DD</sub> = V<sub>D<sub>DA</sub></sub> = 3.3V, T<sub>A</sub> = +25°C, unless otherwise noted.)  
(Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>LVC MOS INPUTS (<math>\overline{\text{PD}}</math>, X1 as a reference INPUT CLK)</b>						
Input High Level	V <sub>IH1</sub>		2.0		V <sub>DD</sub>	V
Input Low Level	V <sub>IL1</sub>		0		0.8	V
Input Current High Level	I <sub>IH1</sub>	V <sub>IN</sub> = V <sub>DD</sub>			20	μA
Input Current Low Level	I <sub>IL1</sub>	V <sub>IN</sub> = 0	-20			μA
<b>THREE-LEVEL INPUTS (FS0, FS1, FS2, as FS2 = open)</b>						
Input High Level	V <sub>IH2</sub>		2.5			V
Input Low Level	V <sub>IL2</sub>				0.8	V
Input Open Level	V <sub>IO2</sub>		1.27		2.10	V
Input Current	I <sub>IL2</sub> , I <sub>IH2</sub>	V <sub>IL2</sub> = 0 or V <sub>IH2</sub> = V <sub>DD</sub>	-10		+10	μA
<b>SERIAL INTERFACE (SCL, SDA) (Note 2)</b>						
Input High Level	V <sub>IH</sub>		0.7 x			V
Input Low Level	V <sub>IL</sub>				0.3 x	V
Input-Leakage Current	I <sub>IH</sub> , I <sub>IL</sub>		-1		+1	μA
Low-Level Output	V <sub>OL</sub>	I <sub>SINK</sub> = 4mA			0.4	V
Input Capacitance	C <sub>I</sub>	(Note 3)		8.4		pF
<b>CLOCK OUTPUTS (CLK<sub>n</sub>)</b>						
Output High Level	V <sub>OH</sub>	I <sub>OH</sub> = -4mA	V <sub>DD</sub> -		0.6	V
Output Low Level	V <sub>OL</sub>	I <sub>OL</sub> = 4mA			0.4	V
<b>POWER SUPPLIES</b>						
Digital Power-Supply Voltage	V <sub>DD</sub>		3.0		3.6	V
Analog Power-Supply Voltage	V <sub>D<sub>DA</sub></sub>		3.0		3.6	V
Total Current for Digital and Analog Supplies	I <sub>DC</sub>	CLK1 at 125MHz and CLK2 at 74.1758MHz; all outputs not loaded		12		mA
Total Power-Down Current	I <sub>PD</sub>	$\overline{\text{PD}}$ = low		60		μA

# デュアルPLLおよびOTP付き マルチ出カクロックジェネレータ

MAX9471/MAX9472

## AC ELECTRICAL CHARACTERISTICS

( $V_{DD} = V_{DDA} = +3.0V$  to  $+3.6V$ ,  $T_A = -40^{\circ}C$  to  $+25^{\circ}C$ . Typical values are at  $V_{DD} = V_{DDA} = 3.3V$ ,  $T_A = +25^{\circ}C$  with  $f_{XTL} = 27MHz$ , unless otherwise noted.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>OUTPUT CLOCKS (CLK1, CLK2)</b>						
Minimum Frequency Range	$f_{OUT}$	$f_{IN} = 5MHz$ to $50MHz$	4			MHz
Maximum Frequency Range	$f_{OUT}$	$f_{IN} = 5MHz$ to $50MHz$ , $C_L < 5pF$	133	200		MHz
Clock Rise Time	$t_R$	20% to 80% of $V_{DD}$ , $C_L = 10pF$ , $f_{OUT} = 74.1758MHz$ (Figure 5)		1.4		ns
Clock Fall Time	$t_F$	80% to 20% of $V_{DD}$ , $C_L = 10pF$ , $f_{OUT} = 74.1758MHz$ (Figure 5)		1.2		ns
Duty Cycle		$f_{OUT} = 74.1758MHz$ , $C_L = 10pF$	42	50	58	%
Output Period Jitter	JP	125MHz, $C_L = 5pF$ , $f_{IN} = 27MHz$		26.3		RMSps
		74.1758MHz, $C_L = 10pF$ , $f_{IN} = 27MHz$		33.6		
Soft Power-On Time	$T_{PO2}$	PD from low to high, $f_{OUT} = 71.1758MHz$ , $f_{IN} = 13MHz$ (Figure 6)		1		ms
Hard Power-On Time	$t_{PO1}$	(Figure 6)		15		ms
<b>VCXO CLOCKS (CLK3, CLK4)</b>						
Crystal Frequency	$f_{XTL}$			27		MHz
Crystal Accuracy				$\pm 30$		ppm
Tuning Voltage Range	$V_{TUNE}$		0		3.0	V
VCXO Tuning Range		$V_{TUNE} = 0$ to $3V$ , $C_1 = C_2 = 4.0pF$	$\pm 150$	$\pm 200$		ppm
TUNE Input Impedance	$Z_{TUNE}$			95		$k\Omega$
Output CLK Accuracy		$V_{TUNE} = 1.5V$ , $C_1 = C_2 = 4.0pF$		$\pm 50$		ppm
Output Duty Cycle		$C_L = 10pF$ load, CLK3	40	50	60	%
Output Period Jitter		$C_L = 10pF$		36		RMSps
Output Rise Time	$t_R$	20% to 80% of $V_{DD}$ (Figure 5), $C_L = 10pF$		1.4		ns
Output Fall Time	$t_F$	80% to 20% of $V_{DD}$ (Figure 5), $C_L = 10pF$		1.4		ns

# デュアルPLLおよびOTP付き マルチ出カクロックジェネレータ

MAX9471/MAX9472

## SERIAL-INTERFACE TIMING CHARACTERISTICS

(V<sub>DD</sub> = V<sub>DDA</sub> = +3.3V, T<sub>A</sub> = -40°C to +85°C, unless otherwise noted.) (Note 1, Figure 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Serial Clock	f <sub>SCL</sub>				400	kHz
Bus Free Time Between STOP and START Conditions	t <sub>BUF</sub>		1.3			μs
Hold Time, Repeated START Condition	t <sub>HD,STA</sub>		0.6			μs
Repeated START Condition Setup Time	t <sub>SU,STA</sub>		0.6			μs
STOP Condition Setup Time	t <sub>SU,STO</sub>		0.6			μs
Data Hold Time	t <sub>HD,DAT</sub>	(Note 4)	15		900	ns
Data Setup Time	t <sub>SU,DAT</sub>		100			ns
SCL Clock Low Period	t <sub>LOW</sub>		1.3			μs
SCL Clock High Period	t <sub>HIGH</sub>		0.7			μs
Rise Time of SDA and SCL, Receiving	t <sub>R</sub>	(Notes 3, 5)	20 + 0.1C <sub>b</sub>		300	ns
Fall Time of SDA and SCL, Receiving	t <sub>F</sub>	(Notes 3, 5)	20 + 0.1C <sub>b</sub>		300	ns
Fall Time of SDA, Transmitting	t <sub>F,TX</sub>	(Notes 3, 6)	20 + 0.1C <sub>b</sub>		250	ns
Pulse Width of Spike Suppressed	t <sub>SP</sub>	(Notes 3, 7)	0		50	ns
Capacitive Load for Each Bus Line	C <sub>b</sub>	(Note 3)			400	pF

**Note 1:** All parameters are tested at T<sub>A</sub> = +25°C. Specifications over temperature are guaranteed by design.

**Note 2:** No high-output level is specified, only the output resistance to the bus. Pullup resistors on the bus provide the high-level voltage.

**Note 3:** Guaranteed by design.

**Note 4:** A master device must provide a hold time of at least 300ns for the SDA signal (referred to V<sub>IL</sub> of the SCL signal) in order to bridge the undefined region of SCL's falling edge.

**Note 5:** C<sub>b</sub> = total capacitance of one bus line in pF. t<sub>R</sub> and t<sub>F</sub> measured between 0.3(V<sub>DD</sub>) and 0.7(V<sub>DD</sub>).

**Note 6:** Bus sink current is less than 6mA. C<sub>b</sub> is the total capacitance of one bus line in pF. t<sub>R</sub> and t<sub>F</sub> are measured between 0.3 × V<sub>DD</sub> and 0.7 × V<sub>DD</sub>.

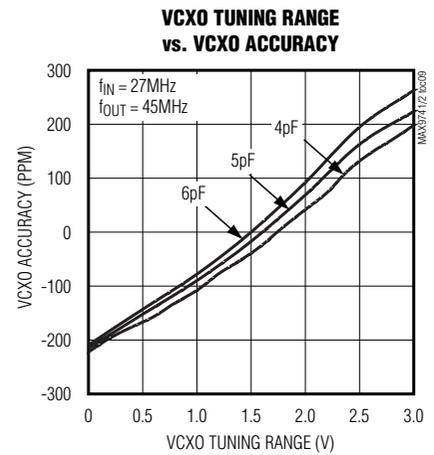
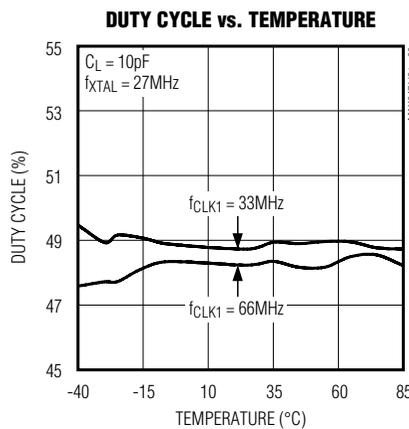
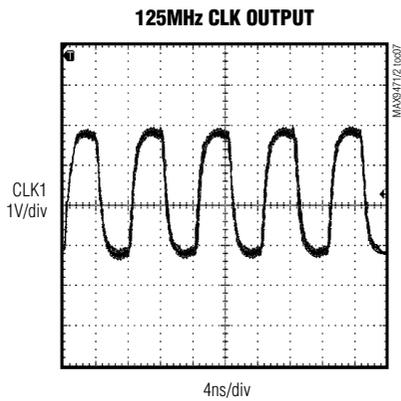
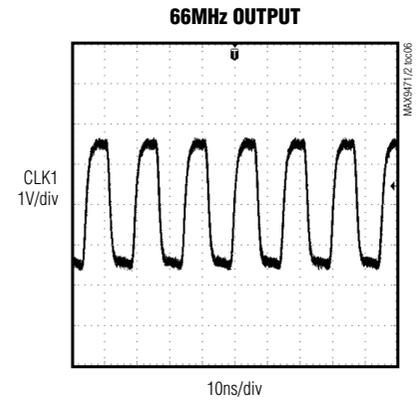
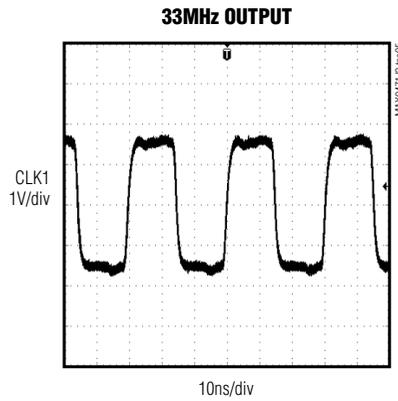
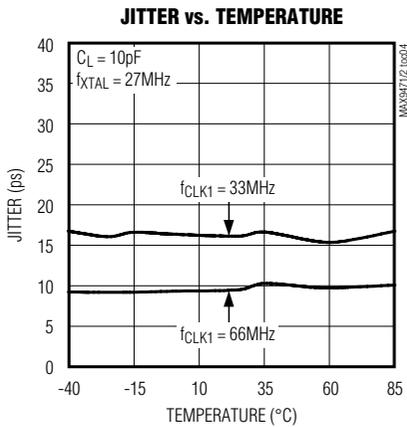
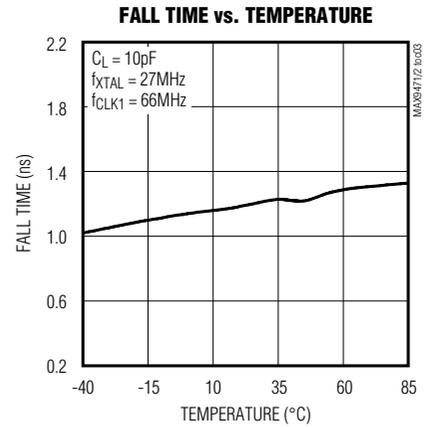
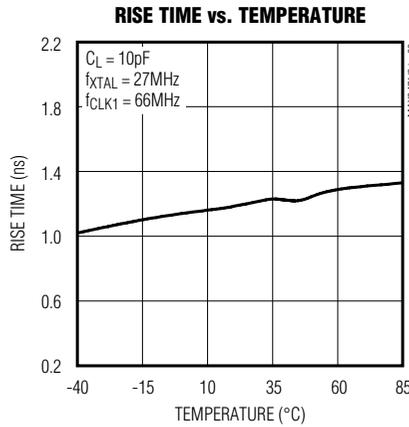
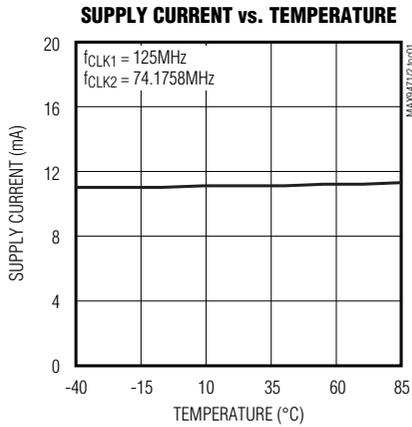
**Note 7:** Input filters on the SDA and SCL inputs suppress noise spikes less than 50ns.

# デュアルPLLおよびOTP付き マルチ出カクロックジェネレータ

MAX9471/MAX9472

## 標準動作特性

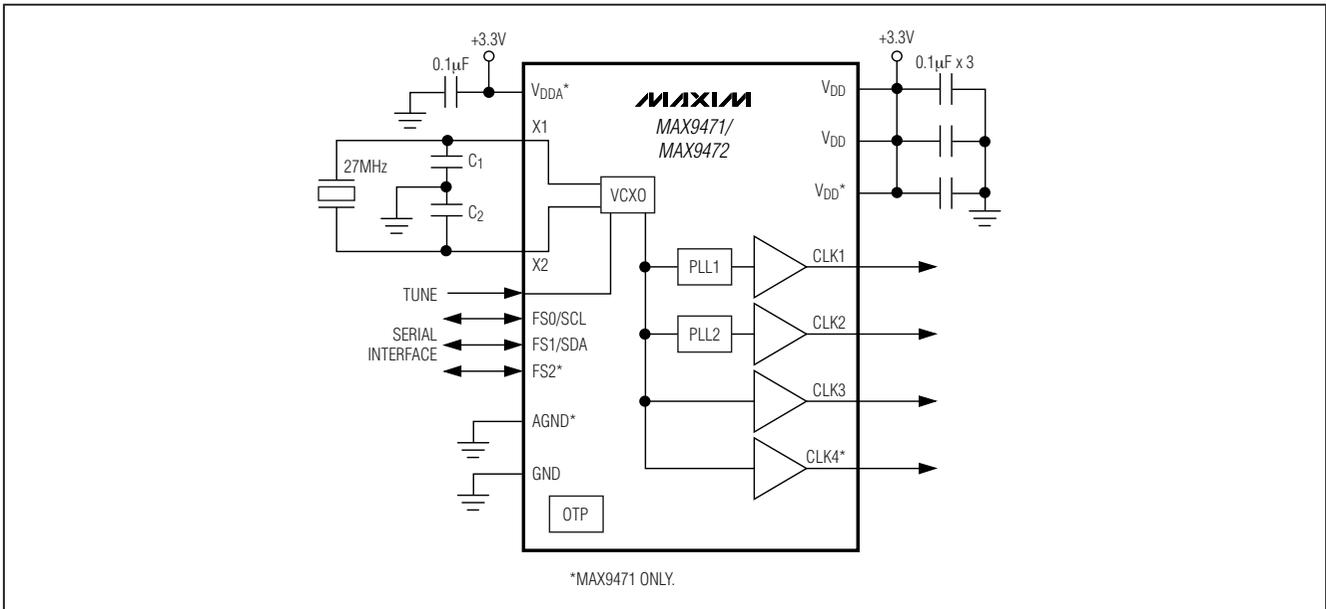
( $V_{DD} = V_{DDA} = +3.3V$ ,  $T_A = +25^\circ C$ ,  $f_{XTL} = 27MHz$ , unless otherwise noted.)



# デュアルPLLおよびOTP付き マルチ出力クロックジェネレータ

MAX9471/MAX9472

## 標準動作回路/ブロック図



## 端子説明

端子		名称	機能
MAX9471	MAX9472		
1	5	TUNE	VCXO調整電圧入力。リファレンスクロック入力を使用する場合は、TUNEをV <sub>DD</sub> に接続してください。
2	—	V <sub>DDA</sub>	アナログ電源。0.1μFのコンデンサでGNDにバイパスしてください。
3	—	AGND	アナロググランド
4, 10, 11	6, 9, 11	GND	グランド
5	7	CLK1	出力クロック1。PLL1のバッファされた出力です。
6	10	CLK2	出力クロック2。PLL2のバッファされた出力です。
7	8	CLK3	出力クロック3。VCXOのバッファされた出力です。
8	—	CLK4	出力クロック4。VCXOのバッファされた出力です。
9	—	I.C.	内部で接続。なにも接続しないでください。
12, 13, 16	4, 12	V <sub>DD</sub>	電源。0.1μFのコンデンサでGNDにバイパスしてください。
14	—	FS2	機能選択2
15	13	$\overline{\text{PD}}$	アクティブローのパワーダウン入力。通常動作の場合はハイにし、MAX9471/MAX9472をパワーダウンモードにする場合はPDをローにしてください。
17	14	X2	水晶接続2。リファレンスクロックを使用する場合はオープンにしてください。
18	1	X1	水晶接続1またはリファレンスクロック入力
19	—	FS0/SCL	機能選択0/シリアルクロック。デバイスをI <sup>2</sup> Cモードにする場合はFS2をハイにしてください(表1参照)。
20	—	FS1/SDA	機能選択1/シリアルデータ。デバイスをI <sup>2</sup> Cモードにする場合はFS2をハイにしてください(表1参照)。
—	2	SDA	シリアルデータ
—	3	SCL	シリアルクロック
EP	—	EP	エクスポーズドパッド(MAX9471のみ)。EPをGNDに接続してください。

# デュアルPLLおよびOTP付き マルチ出力クロックジェネレータ

## 詳細

MAX9471/MAX9472は2組のプログラマブルフラクショナルNフィードバックPLLを備えており、4MHz~200MHzの範囲でほとんどの周波数を生成することができます。MAX9471は4つの出力を提供します。PLL用が2つとリファレンスクロック用が2つです。水晶の周波数は5MHz~30MHzの範囲が可能です。内蔵VCXOは $\pm 200$ ppmの微調整範囲を備えています。

## パワーダウン

$\overline{PD}$ をローにすると、MAX9471/MAX9472はパワーダウンモードに移行します。 $\overline{PD}$ は他のすべての機能に優先し、すべての出力をハイインピーダンスにして、2つのPLLをシャットダウンします。すべての出力は、80k $\Omega$  (typ)のプルダウン抵抗を内蔵しています。

## 電圧制御水晶発振器(VCXO)

MAX9471/MAX9472の内蔵VCXOは、出力クロックの生成に使用されるPLL用のリファレンスクロックを作ります。この発振器は、水晶クロックを基本周波数リファレンスとして使用し、 $\pm 200$ ppmの範囲で微細な調整を行う電圧制御の調整入力を備えています。図1に示すように、調整電圧 $V_{TUNE}$ は0V~3Vまで変化させることができます。水晶はATカットを使用し、 $\pm 30$ ppmの精度を持つ基本モードで発振させてください。水晶のシャントコンデンサは、基板の寄生容量を含めて10pF未満にする必要があります。最大 $\pm 200$ ppmの可変幅を実現するために、水晶の負荷容量は14pF未満にする必要があります。VCXOは自走発振器です。内部POR信号で発振を開始し、 $\overline{PD}$ によってディセーブルすることができます。VCXOは、電源投入時には約5ms、 $V_{TUNE}$ 電圧の変化時には10 $\mu$ sで安定します。コンデンサ $C_1$ および $C_2$ に異なる値を選ぶことによって、さまざまな中心周波数の水晶にすることができます。具体例については「標準動作特性」を参照してください。

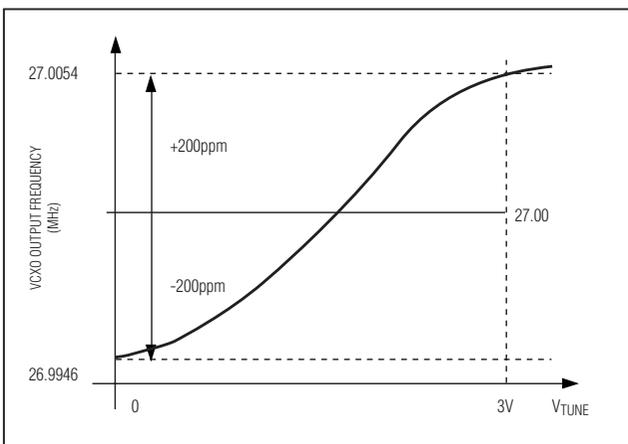


図1. 27MHzの水晶に対するVCXOの調整範囲

MAX9471/MAX9472を入力リファレンスクロック付きのシンセサイザとして使用するには、入力クロックをX1に、TUNEを $V_{DD}$ に接続し、X2は未接続にしてください。この構成は、微調整が不要で、システムリファレンスクロックが利用することができるアプリケーションに適します。

## ワンタイムプログラマブルメモリ

MAX9471/MAX9472は、出荷時に設定可能な不揮発性アプリケーション用のOTPメモリを備えており、シンプルで恒久的なクロック生成が可能になっています。所望の周波数とするMAX9471/MAX9472のプリセットについてはお問い合わせください。

OTPを使用して、MAX9471/MAX9472を2種類の構成に設定することが可能です。第1の構成は、PLL1を4MHz~200MHzの任意の周波数に設定し、PLL2の周波数はI<sup>2</sup>Cまたはプログラマブル端子によって1組のオーディオ/ビデオ用周波数の中から選択します。第2の構成は、PLL1とPLL2の周波数を4MHz~200MHzの範囲の固定値にプリセットします。どちらの場合もリファレンス出力が利用可能ですが、OTPによってそれをディセーブルすることができます。電源投入時にはすべての出力がイネーブルされます。PLL2がオーディオ/ビデオ周波数の選択に構成されている場合、22MHzがデフォルト値になります。それ以外のすべての場合、PLL1とPLL2の出力はプリセット周波数になります。

## CLK2出力の周波数選択

OTP ROMの設定によって、PLL2の出力をMPEGビデオおよびオーディオアプリケーションで一般的に使用される周波数グループの中から選択することができます。周波数の選択は、FS0、FS1、およびFS2の各入力 (MAX9471のみ) またはI<sup>2</sup>Cインタフェースを通して行うことができます。MAX9471の場合、FS2をハイにすることで(表1)、I<sup>2</sup>Cインタフェース経由でPLL2の周波数を選択可能になります。それ以外の場合は、表2に従って周波数が選択されます。MAX9471/MAX9472について、表3にI<sup>2</sup>Cプログラミングのマッピングを示します。

## シリアルインタフェース

MAX9471/MAX9472は、2線式のI<sup>2</sup>C互換シリアルインタフェースを通してプログラム可能です。電源投入後 (MAX9472の場合) およびFS2 = ハイのとき

表1. FS2によるモード選択 (MAX9471のみ)

FS2	MODE
Low or open	Pin programmable
High	I <sup>2</sup> C enabled

# デュアルPLLおよびOTP付き マルチ出力クロックジェネレータ

表2. MAX9471のCLK2周波数の選択  
(FS2 = ローまたはオープン)

FS2	FS1	FS0	FREQUENCY (MHz)
<b>AUDIO FREQUENCIES</b>			
Open	Open	Open	4.096
Open	Open	Low	6.144
Open	Open	High	8.1920
Open	Low	High	11.2896
Open	Low	Open	12.2880
Open	Low	Low	16.3840
Open	High	High	22.5792
Open	High	Open	24.5760
Open	High	Low	9.216
Low	Open	High	16.9344
Low	Open	Open	18.4320
Low	Open	Low	33.8688
Low	High	High	36.864
<b>VIDEO FREQUENCIES</b>			
Low	Low	Low	74.1758241
Low	Low	High	74.25
Low	Low	Open	54.054
High	X	X	Disable three-level pins and enable I <sup>2</sup> C

表3. MAX9471 I<sup>2</sup>CのCLK2周波数の選択  
(FS2 = ハイ)

A4	A3	A2	A1	FREQUENCY (MHz)
<b>AUDIO FREQUENCIES</b>				
0	0	0	0	4.096
0	0	0	1	6.144
0	0	1	0	8.1920
0	0	1	1	11.2896
0	1	0	0	12.2880
0	1	0	1	16.3840
0	1	1	0	22.5792
0	1	1	1	24.5760
1	0	0	0	9.216
1	0	0	1	16.9344
1	0	1	0	18.4320
1	0	1	1	33.8688
1	1	0	0	36.864
<b>VIDEO FREQUENCIES</b>				
1	1	0	1	74.1758241
1	1	1	0	74.25
1	1	1	1	54.054

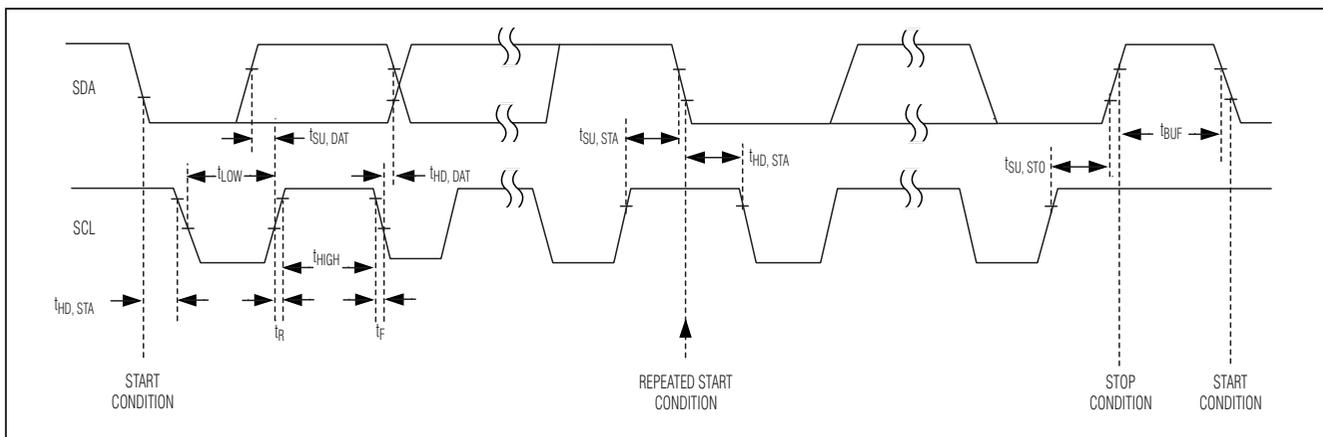


図2. I<sup>2</sup>Cのタイミング図

(MAX9471の場合)にデバイスがアクティブになります。このデバイスはスレーブとして動作し、クロックラインSCLおよびデータラインSDAを通じたデータの送受信によってマスタと双方向通信を行います。マスタ(一般的にはマイクロコントローラ)がMAX9471/MAX9472とのすべてのデータ転送を開始し、データ転送の同期を取るためのSCLクロックを生成します。SDAライン

は入力とオープンドレイン出力の両方として動作します。SDAにはプルアップ抵抗(通常は4.7kΩ)が必要です。SCLラインは入力としてのみ動作します。2線式バス上に複数のマスタが存在する場合、または単一マスタシステムのマスタがオープンドレインのSCL出力を備えている場合、SCLにもプルアップ抵抗(通常は4.7kΩ)が必要になります。図2はI<sup>2</sup>Cのタイミング図です。

# デュアルPLLおよびOTP付き マルチ出カクロックジェネレータ

## デバイスアドレス

MAX9471/MAX9472のデフォルトのI<sup>2</sup>Cアドレスは、出荷時に1100111に設定されています。他のアドレスについてはお問い合わせください。

## スタートおよびストップ条件

インタフェースがビジーでないときは、SCLとSDAの両方がハイのままになります。アクティブなマスタは、SCLがハイのときにSDAをハイからローに移行させることによるスタート(S)条件で、転送の開始を知らせます。スレーブとの通信を終えたマスタは、SCLがハイのときにSDAをローからハイに移行させることによってストップ(P)条件を発行します。これでバスが解放され、次の転送が可能になります(図3)。

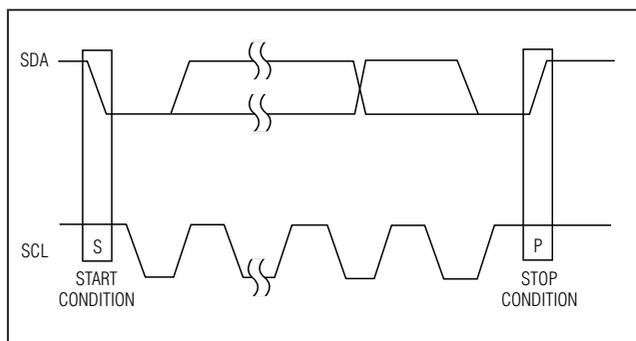


図3. スタートおよびストップの図

## データ転送とACK

スタート条件の後、各SCLクロックパルスで1ビットが転送されます。スタートとストップの間で、複数のビットが2線式バス上で転送されます。最初の7ビットは、デバイスアドレスです。ビット8は、書込み(ロー)または読出し(ハイ)動作を示します(R/W)。ビット9は、アドレスと動作タイプに対するACKです。次の8ビット(ビット10~ビット17)が、内容バイトを形成します。次のビット(ビット18)は、内容バイトに対するACKです。マスタは常に最初の8ビット(アドレス + R/W)を転送します。スレーブ(MAX9471/MAX9472)は、バスから内容バイトを受信することも、あるいは内容バイトをバスに転送することもあります。ACKビットは、アドレスまたは内容を受け取った側が送信します。ローのACKビットは、転送が成功したことを示します。一方、ハイのACKビットは転送の失敗を示します。マスタがストップを送信するまで、さらに多くの内容バイトを連続して転送することが可能です。MAX9471/MAX9472に対するデータ書込みの場合、スレーブID、R/W、およびACKからなる9ビットの後に、1バイトのデータがマスタからMAX9471/MAX9472に送信されます。図4に、データ転送の構造を示します。図5に、CLK\_の立上りおよび立下り時間を示します。

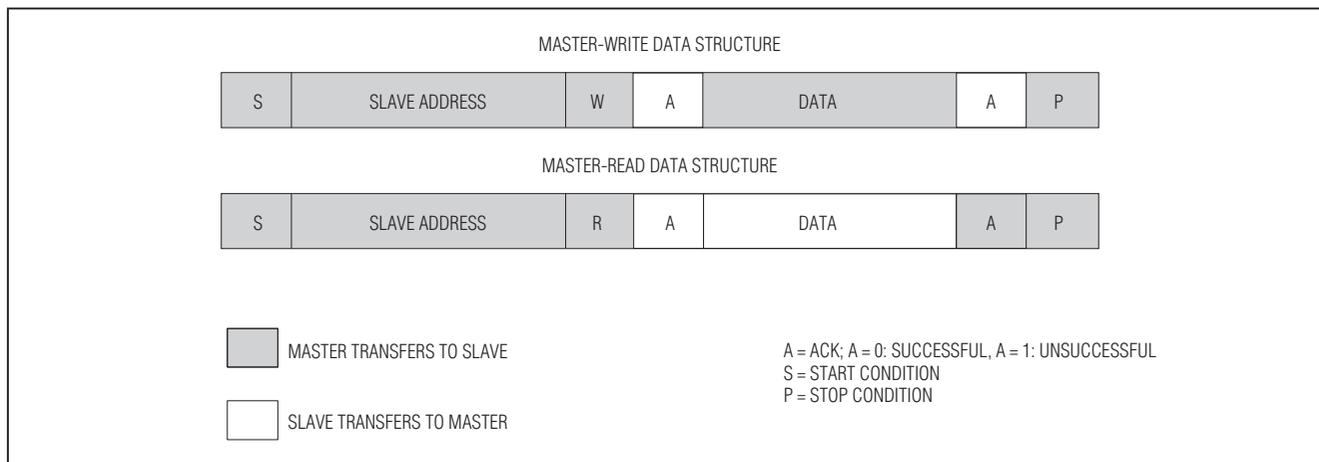


図4. シリアルインタフェースのデータ構造

# デュアルPLLおよびOTP付き マルチ出力クロックジェネレータ

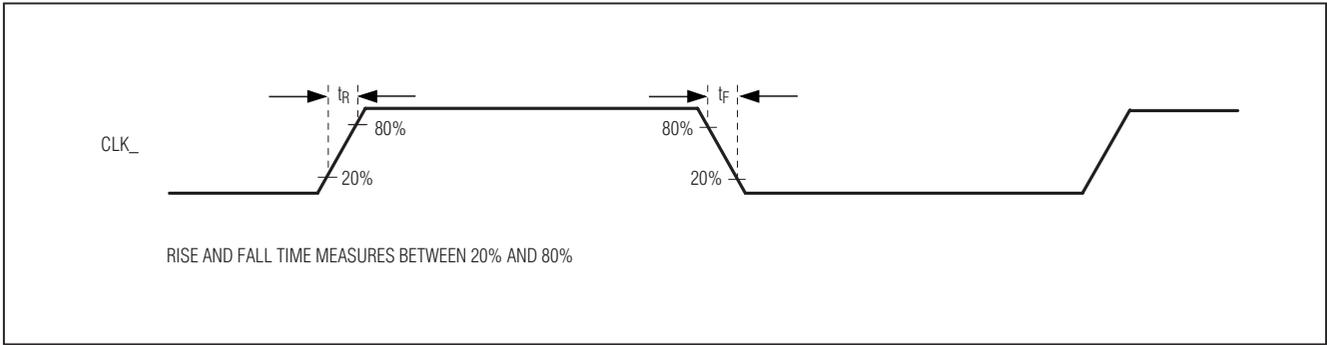


図5. CLK\_の立上りおよび立下り時間

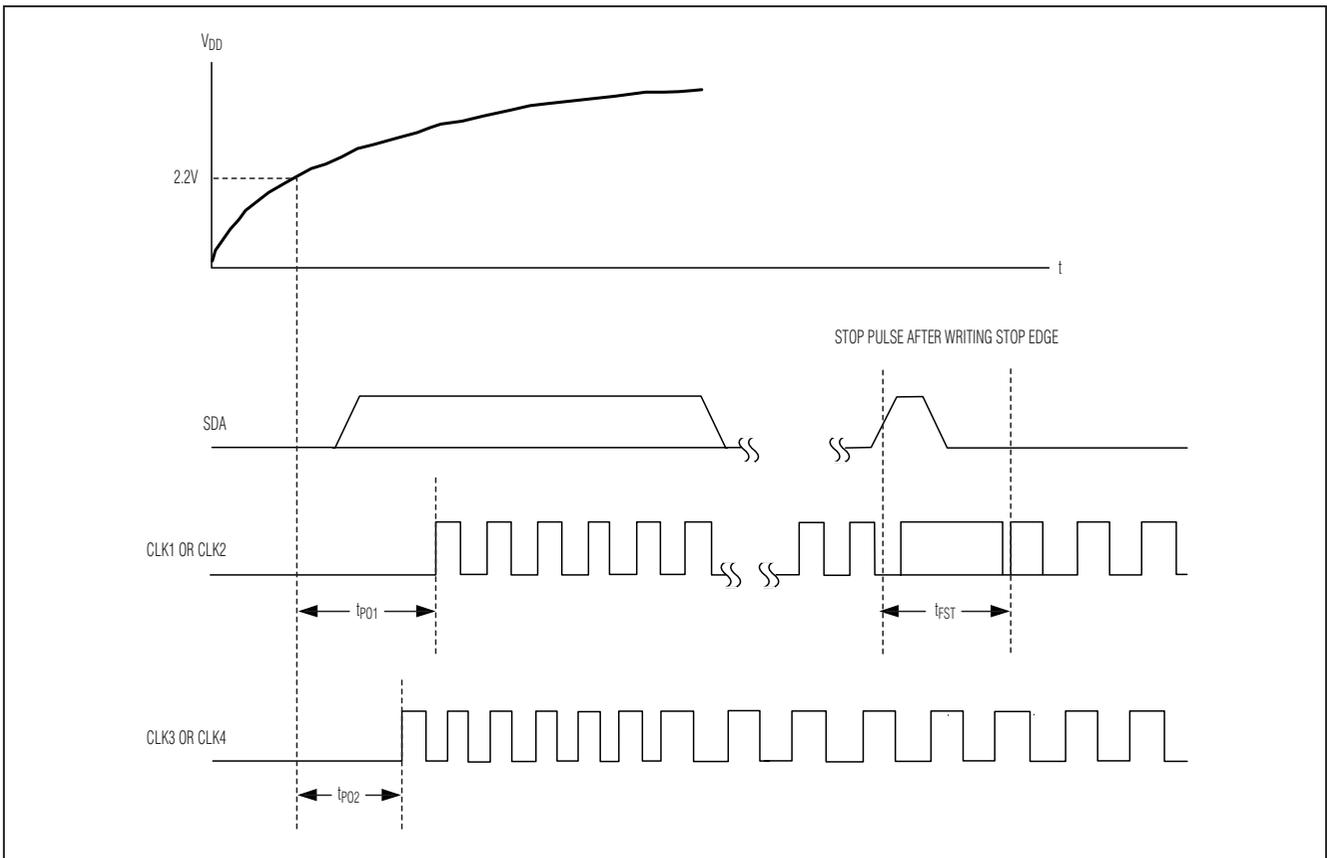


図6. VCXOとPLLのタイミング図

# デュアルPLLおよびOTP付き マルチ出力クロックジェネレータ

MAX9471/MAX9472

## アプリケーション情報

### 水晶の選択

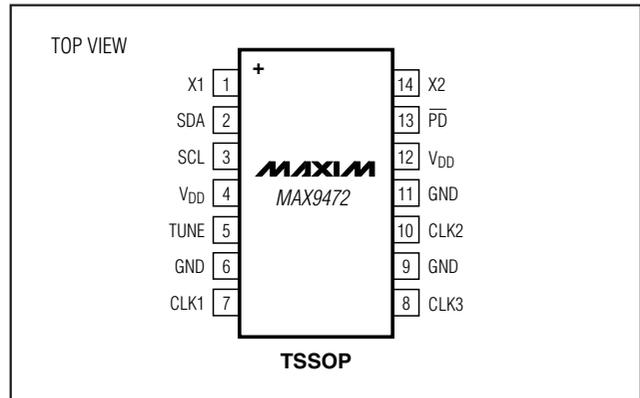
水晶をMAX9471/MAX9472の内蔵発振器と組み合わせて使用する場合、水晶をX1とX2に接続してください。基本モードで  $\pm 30$ ppmの発振精度を持つ、負荷容量14pF未満のATカット水晶を選択してください。広いVCXOの調整範囲を実現するため、7fFより大きな等価直列容量を持つ水晶を選択し、6pF以下のシャントコンデンサでX1およびX2とグランドを接続してください。VCXOを発振器として使用する場合は、両方のシャントコンデンサに約13pFのものを選択します。最小の周波数オフセットを達成する最適なシャントコンデンサを、実験に基づいて決定してください。

### 基板レイアウトの注意点とバイパス処理

MAX9471/MAX9472の発振器周波数の安定性を確保する上で適切なレイアウトが重要になります。最高の性能を得るため、できる限りデバイスの近くに部品を配置してください。

GNDに対するデジタルまたはACの過渡信号によって、クロック出力にノイズが発生する可能性があります。利用可能な中で最も高品質のグランドにGNDを接続してください。できる限りデバイスの近くに配置した0.1 $\mu$ Fのコンデンサで、各V<sub>DD</sub>およびV<sub>DDA</sub>をバイパスしてください。注意深いプリント基板のグランドレイアウトによって、出力とデジタル入力間のクロストークを最少化することができます。

## ピン配置(続き)



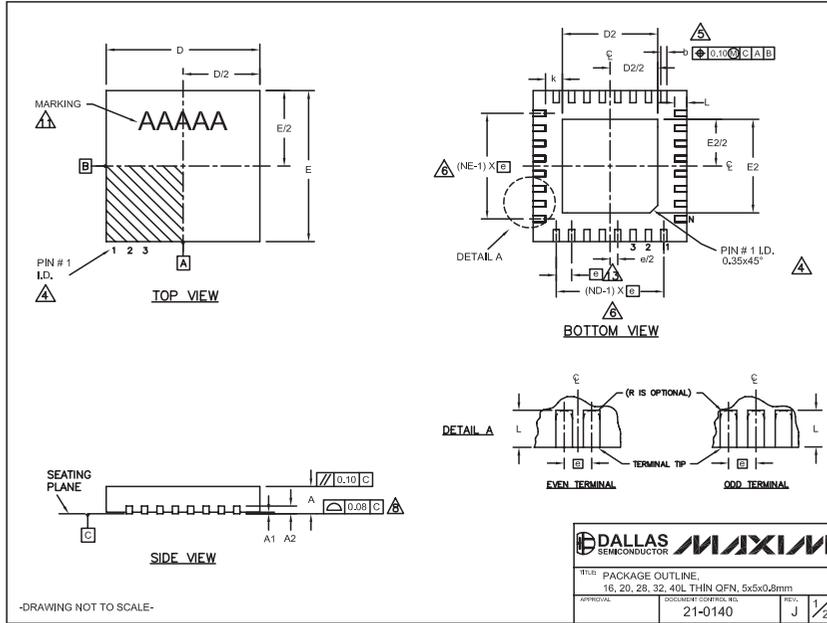
## チップ情報

PROCESS: CMOS

# デュアルPLLおよびOTP付き マルチ出力クロックジェネレータ

## パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)



COMMON DIMENSIONS										EXPOSED PAD VARIATIONS					
PKG.	16L 5x5			20L 5x5			28L 5x5			32L 5x5			40L 5x5		
SYMBOL	MIN	NOM	MAX	MIN	NOM	MAX	MIN	NOM	MAX	MIN	NOM	MAX	MIN	NOM	MAX
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
A1	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05
A2	0.20	REF.		0.20	REF.		0.20	REF.		0.20	REF.		0.20	REF.	
b	0.25	0.30	0.35	0.25	0.30	0.35	0.20	0.25	0.30	0.20	0.25	0.30	0.15	0.20	0.25
D	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10
E	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10
e	0.80 BSC.			0.85 BSC.			0.50 BSC.			0.50 BSC.			0.40 BSC.		
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-
L	0.30	0.40	0.50	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50	0.30	0.40	0.50
N	16			20			28			32			40		
ND	4			5			7			8			10		
NE	4			5			7			8			10		
JEDEC	WHHB			WHHC			WHHD-1			WHHD-2			----		

PKG. CODES	D2			E2		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
T1655-2	3.00	3.10	3.20	3.00	3.10	3.20
T1655-3	3.00	3.10	3.20	3.00	3.10	3.20
T1655N-1	3.00	3.10	3.20	3.00	3.10	3.20
T2055-3	3.00	3.10	3.20	3.00	3.10	3.20
T2055-4	3.00	3.10	3.20	3.00	3.10	3.20
T2055-5	3.15	3.25	3.35	3.15	3.25	3.35
T2855-3	3.15	3.25	3.35	3.15	3.25	3.35
T2855-4	2.60	2.70	2.80	2.60	2.70	2.80
T2855-5	2.60	2.70	2.80	2.60	2.70	2.80
T2855-6	3.15	3.25	3.35	3.15	3.25	3.35
T2855-7	2.60	2.70	2.80	2.60	2.70	2.80
T2855-8	3.15	3.25	3.35	3.15	3.25	3.35
T2855N-1	3.15	3.25	3.35	3.15	3.25	3.35
T3255-3	3.00	3.10	3.20	3.00	3.10	3.20
T3255-4	3.00	3.10	3.20	3.00	3.10	3.20
T3255-5	3.00	3.10	3.20	3.00	3.10	3.20
T3255N-1	3.00	3.10	3.20	3.00	3.10	3.20
T4055-1	3.40	3.50	3.60	3.40	3.50	3.60
T4055-2	3.40	3.50	3.60	3.40	3.50	3.60

\*\*SEE COMMON DIMENSIONS TABLE

**DALLAS SEMICONDUCTOR** **MAXIM**

TITLE: PACKAGE OUTLINE  
16, 20, 28, 32, 40L THIN OFN, 5x5x0.8mm

APPROVAL: \_\_\_\_\_ DOCUMENT CONTROL NO: 21-0140 REV: J 2/2

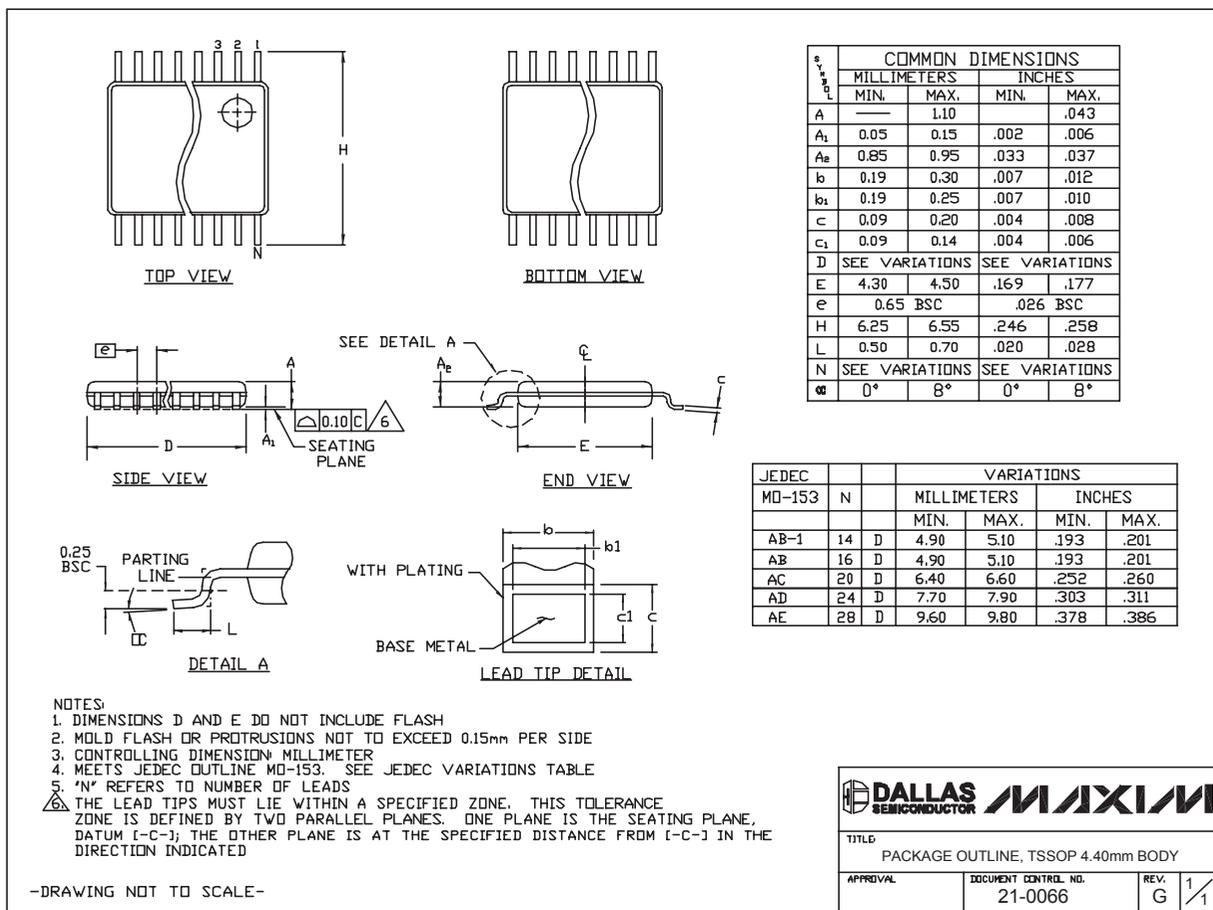
-DRAWING NOT TO SCALE-

- NOTES:
- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
  - ALL DIMENSIONS ARE IN MILLIMETERS; ANGLES ARE IN DEGREES.
  - N IS THE TOTAL NUMBER OF TERMINALS.
  - THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC MO-189-1. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
  - DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
  - ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
  - DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
  - COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
  - DRAWING CONFORMS TO JEDEC MO220, EXCEPT EXPOSED PAD DIMENSION FOR T2855-3 AND T2855-4.
  - WARPAGE SHALL NOT EXCEED 0.10 mm.
  - MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
  - NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY.
  - LEAD CENTERLINES TO BE AT TRUE POSITION AS DEFINED BY BASIC DIMENSION "e", ±0.05.

# デュアルPLLおよびOTP付き マルチ出力クロックジェネレータ

## パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)



TSSOP4.40mm:EPS

MAX9471/MAX9472

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 13

© 2006 Maxim Integrated Products, Inc. All rights reserved. MAXIM is a registered trademark of Maxim Integrated Products, Inc.