

スペクトラム拡散およびフルデュプレックス制御チャンネル内蔵、ギガビットマルチメディア・デシリアライザ

概要

デシリアライザのMAX9270は、Maximのギガビットマルチメディアシリアルリンク(GMSL)技術を採用しています。このデバイスの機能はMAX9260デシリアライザと同一ですが、出力イネーブル(ENABLE)端子が存在しません。出力のイネーブルまたはディセーブルは、レジスタのビットによって行います。このデシリアライザは、任意のGMSLシリアライザとの組合せで、高速ビデオ、オーディオ、および制御データの同時送信用の完全なデジタルシリアルリンクを形成します。

このデシリアライザは、15mのシールドツイストペア(STP)ケーブルの場合で最大2.5Gbpsのシリアルペイロードのデータ速度に対応します。24ビットまたは32ビット幅の平行リンクインターフェースは、それぞれ最大104MHzと78MHzのバスクロックで動作します。このシリアルリンクは、QVGA (320 x 240) から最大でXGA (1280 x 768)、またはデュアルビュー-WVGA (2 x 854 x 480)までのディスプレイパネルをサポートします。

24ビットまたは32ビットモードでは、21または29ビットのデータと同時に、4~32ビットのオーディオワード長と8kHz~192kHzのサンプリングレートをサポートするI²S入力の処理が可能です。内蔵の制御チャンネルは、シリアライザとデシリアライザの間にフルデュプレックス、差動100kbps~1MbpsのUARTリンクを形成します。ホストの電子制御ユニット(ECU)またはマイクロコントローラ(μC)は、シリアライザ側(ビデオディスプレイの場合)またはデシリアライザ側(画像検出の場合)のいずれかに存在します。さらに、制御チャンネルによって、I²C (ベースモード)またはユーザー定義のフルデュプレックスUART形式(バイパスモード)を介して、ECU/μCからシリアルリンクのリモート側のペリフェラルを制御することができます。

チャンネルイコライザによってリンク長が延長され、リンクの信頼性が向上します。スペクトラム拡散を利用して、平行出力データ信号のEMIを低減することができます。差動リンクはISO 10605およびIEC 61000-4-2 ESD保護規格に準拠しています。

このデバイスは、3.3Vのコア電源と1.8V~3.3VのI/O電源を使用します。このデバイスは、エクスポーズドパッドを備えた56ピンTQFNパッケージ(8mm x 8mm x 0.75mm)で提供されます。電気的性能は、-40°C~+105°Cの自動車用温度範囲にわたって保証されています。

アプリケーション

- ディスプレイ用、高速シリアルデータ伝送
- 画像検出用、高速シリアルデータ伝送
- 車載ナビゲーション、インフォテイメント、および画像検出システム

特長

- ◆ 任意のGMSLシリアライザとの組合せが可能
- ◆ 8b/10bライン符号化を使用した、ペイロード速度2.5GbpsのAC結合シリアルリンク
- ◆ 24ビットまたは32ビットの設定可能な平行出力バスによって、最大で18ビットまたは24ビットカラーのXGA (1280 x 768)またはデュアルビュー-WVGA (2 x 854 x 480)パネルをサポート
- ◆ 平行データ速度：8.33MHz~104MHz (24ビットバス)または6.25MHz~78MHz (32ビットバス)
- ◆ 最大ピクセルクロック104MHz/78MHzの10ビットカメラリンク2本または3本をサポート
- ◆ ワード長4ビット~32ビット、8kHz~192kHzのI²Sオーディオチャンネルによって、高精細オーディオをサポート
- ◆ 内蔵のハーフ/フルデュプレックス双方向制御チャンネル(100kbps~1Mbps)
- ◆ 独立した割込み信号によってディスプレイパネルのタッチスクリーン機能をサポート
- ◆ リモート端I²Cマスターとしてペリフェラルを制御
- ◆ ラインイコライザによってリンク長を延長
- ◆ 設定可能なスペクトラム拡散によって平行データ出力のEMIを低減
- ◆ 外部クロック不要
- ◆ 自動データレート検出によって「オンザフライ」のデータレート変更が可能
- ◆ BERテスト用のPRBSチェッカ内蔵
- ◆ ISO 10605およびIEC 61000-4-2 ESD保護
- ◆ 動作温度範囲：-40°C~+105°C
- ◆ 特許出願中

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX9270GTN/V+	-40°C to +105°C	56 TQFN-EP*

/Vは車載認定製品を表します。

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。

*EP = エクスポーズドパッド

T = テープ&リール

標準アプリケーション回路はデータシートの最後に記載されています。

スペクトラム拡散およびフルデュプレックス制御チャネル 内蔵、ギガビットマルチメディア・デシリアライザ

ABSOLUTE MAXIMUM RATINGS

AVDD to EP	-0.5V to +3.9V	IEC 61000-4-2 (R _D = 330Ω, C _S = 150pF)
DVDD to EP	-0.5V to +3.9V	Contact Discharge
IOVDD to EP	-0.5V to +3.9V	(IN+, IN-) to EP
IN+, IN- to EP	-0.5V to +1.9V	Air Discharge
All Other Pins to EP	-0.5V to (IOVDD + 0.5V)	(IN+, IN-) to EP
IN+, IN- Short Circuit to Ground or Supply	Continuous	ISO 10605 (R _D = 2kΩ, C _S = 330pF)
Continuous Power Dissipation (T _A = +70°C)		Contact Discharge
56-Pin TQFN (derate 47.6mW/°C above +70°C)....	3809.5mW	(IN+, IN-) to EP
ESD Protection		Air Discharge
Human Body Model (R _D = 1.5kΩ, C _S = 100pF)		(IN+, IN-) to EP
(IN+, IN-) to EP	±8kV	Operating Temperature Range
All Other Pins to EP	±4kV	Junction Temperature
		Storage Temperature Range.....
		Lead Temperature (soldering, 10s)
		Soldering Temperature (reflow)

PACKAGE THERMAL CHARACTERISTICS (Note 1)

56 TQFN

Junction-to-Ambient Thermal Resistance (θ_{JA}).....21°C/W

Junction-to-Case Thermal Resistance (θ_{JC}).....1°C/W

Note 1: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to japan.maxim-ic.com/thermal-tutorial.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(V_{DVDD} = V_{AVDD} = 3.0V to 3.6V, V_{IOVDD} = 1.7V to 3.6V, R_L = 100Ω ±1% (differential), EP connected to PCB ground (GND), T_A = -40°C to +105°C, unless otherwise noted. Typical values are at V_{DVDD} = V_{AVDD} = V_{IOVDD} = 3.3V, T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SINGLE-ENDED INPUTS (ENABLE, INT, PWDN, SSEN, BWS, ES, DRS, MS, CDS, EQS, DCS)						
High-Level Input Voltage	V _{IH1}		0.65 x V _{IOVDD}			V
Low-Level Input Voltage	V _{IL1}			0.35 x V _{IOVDD}		V
Input Current	I _{IN1}	V _{IN} = 0 to V _{IOVDD}	-10		+10	μA
Input Clamp Voltage	V _{CL}	I _{CL} = -18mA			-1.5	V
SINGLE-ENDED OUTPUTS (DOUT_, SD, WS, SCK, PCLKOUT)						
High-Level Output Voltage	V _{OH}	I _{OH} = -2mA	V _{DCS} = V _{GND}		V _{IOVDD} - 0.3	V
			V _{DCS} = V _{IOVDD}		V _{IOVDD} - 0.2	
Low-Level Output Voltage	V _{OL1}	I _{OL} = 2mA	V _{DCS} = V _{GND}		0.3	V
			V _{DCS} = V _{IOVDD}		0.2	

スペクトラム拡散およびフルデュプレックス制御チャネル 内蔵、ギガビットマルチメディア・デシリアライザ

MAX9270

DC ELECTRICAL CHARACTERISTICS (continued)

($V_{DVDD} = V_{AVDD} = 3.0V$ to $3.6V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), EP connected to PCB ground (GND), $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{DVDD} = V_{AVDD} = V_{IOVDD} = 3.3V$, $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS	
Output Short-Circuit Current	IOS	DOUT_, SD, WS, SCK	$V_O = 0V,$ $V_{DCS} = V_{GND}$	$V_{IOVDD} = 3.0V$ to $3.6V$	15	25	39	mA
				$V_{IOVDD} = 1.7V$ to $1.9V$	3	7	13	
			$V_O = 0V,$ $V_{DCS} = V_{IOVDD}$	$V_{IOVDD} = 3.0V$ to $3.6V$	20	35	63	
				$V_{IOVDD} = 1.7V$ to $1.9V$	5	10	21	
		PCLKOUT	$V_O = 0V,$ $V_{DCS} = V_{GND}$	$V_{IOVDD} = 3.0V$ to $3.6V$	15	33	50	
				$V_{IOVDD} = 1.7V$ to $1.9V$	5	10	17	
			$V_O = 0V,$ $V_{DCS} = V_{IOVDD}$	$V_{IOVDD} = 3.0V$ to $3.6V$	30	54	97	
				$V_{IOVDD} = 1.7V$ to $1.9V$	9	16	32	
I²C AND UART I/O, OPEN-DRAIN OUTPUTS (RX/SDA, TX/SCL, \overline{ERR}, GPIO_, LOCK)								
High-Level Input Voltage	V_{IH2}			0.7 x V_{IOVDD}			V	
Low-Level Input Voltage	V_{IL2}					0.3 x V_{IOVDD}	V	
Input Current	I_{IN2}	$V_{IN} = 0$ to V_{IOVDD} (Note 2)	RX/SDA, TX/SCL	-110		+1	μA	
			GPIO, \overline{ERR} , LOCK	-80		+1		
Low-Level Open-Drain Output Voltage	V_{OL2}	$I_{OL} = 3mA$	$V_{IOVDD} = 1.7V$ to $1.9V$			0.4	V	
			$V_{IOVDD} = 3.0V$ to $3.6V$			0.3	V	
DIFFERENTIAL OUTPUTS FOR REVERSE CONTROL CHANNEL (IN+, IN-)								
Differential High Output Peak Voltage, $(V_{IN+}) - (V_{IN-})$	V_{ROH}	No high-speed data transmission (Figure 1)		30		60	mV	
Differential Low Output Peak Voltage, $(V_{IN+}) - (V_{IN-})$	V_{ROL}	No high-speed data transmission (Figure 1)		-60		-30	mV	
DIFFERENTIAL INPUTS (IN+, IN-)								
Differential High Input Threshold (Peak), $(V_{IN+}) - (V_{IN-})$	$V_{IDH(P)}$	(Figure 2)			40	90	mV	
Differential Low Input Threshold (Peak), $(V_{IN+}) - (V_{IN-})$	$V_{IDL(P)}$	(Figure 2)		-90	-40		mV	
Input Common-Mode Voltage, $((V_{IN+}) + (V_{IN-}))/2$	V_{CMR}			1	1.3	1.6	V	
Differential Input Resistance (Internal)	R_I			80	100	130	Ω	

スペクトラム拡散およびフルデュプレックス制御チャネル 内蔵、ギガビットマルチメディア・デシリアライザ

MAX9270

DC ELECTRICAL CHARACTERISTICS (continued)

($V_{DVDD} = V_{AVDD} = 3.0V$ to $3.6V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), EP connected to PCB ground (GND), $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{DVDD} = V_{AVDD} = V_{IOVDD} = 3.3V$, $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS		
POWER SUPPLY								
Worst-Case Supply Current (Figure 3)	I _{WCS}	$V_{BWS} = V_{GND}$, $f_{PCLKOUT} = 16.6MHz$	2% spread spectrum active	113	166	mA		
			Spread spectrum disabled	105	155			
		$V_{BWS} = V_{GND}$, $f_{PCLKOUT} = 33.3MHz$	2% spread spectrum active	122	181			
			Spread spectrum disabled	110	165			
		$V_{BWS} = V_{GND}$, $f_{PCLKOUT} = 66.6MHz$	2% spread spectrum active	137	211			
			Spread spectrum disabled	120	188			
		$V_{BWS} = V_{GND}$, $f_{PCLKOUT} = 104MHz$	2% spread spectrum active	159	247			
			Spread spectrum disabled	135	214			
		Sleep-Mode Supply Current	I _{CCS}		80		130	μA
		Power-Down Supply Current	I _{CCZ}	$V_{P\overline{WDN}} = V_{GND}$	19		70	μA

AC ELECTRICAL CHARACTERISTICS

($V_{DVDD} = V_{AVDD} = 3.0V$ to $3.6V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), EP connected to PCB ground (GND), $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{DVDD} = V_{AVDD} = V_{IOVDD} = 3.3V$, $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
PARALLEL CLOCK OUTPUT (PCLKOUT)						
Clock Frequency	f _{PCLKOUT}	$V_{BWS} = V_{GND}$, $V_{DRS} = V_{IOVDD}$	8.33		16.66	MHz
		$V_{BWS} = V_{GND}$, $V_{DRS} = V_{GND}$	16.66		104	
		$V_{BWS} = V_{IOVDD}$, $V_{DRS} = V_{IOVDD}$	6.25		12.5	
		$V_{BWS} = V_{IOVDD}$, $V_{DRS} = V_{GND}$	12.5		78	
Clock Duty Cycle	DC	t _{HIGH} /t _T or t _{LOW} /t _T (Figure 4)	40	50	60	%
Clock Jitter	t _J	Period jitter, RMS, spread off, 3.125Gbps, PRBS pattern, UI = 1/f _{PCLKOUT}		0.05		UI
I²C/UART PORT TIMING						
Output Rise Time	t _R	30% to 70%, C _L = 10pF to 100pF, 1k Ω pullup to IOVDD	20		150	ns
Output Fall Time	t _F	70% to 30%, C _L = 10pF to 100pF, 1k Ω pullup to IOVDD	20		150	ns
Input Setup Time	t _{SET}	I ² C only (Figure 5)	100			ns
Input Hold Time	t _{HOLD}	I ² C only (Figure 5)	0			ns

スペクトラム拡散およびフルデュプレックス制御チャネル 内蔵、ギガビットマルチメディア・デシリアライザ

MAX9270

AC ELECTRICAL CHARACTERISTICS (continued)

($V_{DVDD} = V_{AVDD} = 3.0V$ to $3.6V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), EP connected to PCB ground (GND), $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{DVDD} = V_{AVDD} = V_{IOVDD} = 3.3V$, $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
SWITCHING CHARACTERISTICS							
PCLKOUT Rise-and-Fall Time	$t_{R, F}$	20% to 80%, $V_{IOVDD} = 1.7V$ to $1.9V$	$V_{DCS} = V_{IOVDD}$, $C_L = 10pF$	0.4		2.2	ns
			$V_{DCS} = V_{GND}$, $C_L = 5pF$	0.5		2.8	
		20% to 80%, $V_{IOVDD} = 3.0V$ to $3.6V$	$V_{DCS} = V_{IOVDD}$, $C_L = 10pF$	0.25		1.7	
			$V_{DCS} = V_{GND}$, $C_L = 5pF$	0.3		2.0	
Parallel Data Rise-and-Fall Time (Figure 6)	$t_{R, F}$	20% to 80%, $V_{IOVDD} = 1.7V$ to $1.9V$	$V_{DCS} = V_{IOVDD}$, $C_L = 10pF$	0.5		3.1	ns
			$V_{DCS} = V_{GND}$, $C_L = 5pF$	0.6		3.8	
		20% to 80%, $V_{IOVDD} = 3.0V$ to $3.6V$	$V_{DCS} = V_{IOVDD}$, $C_L = 10pF$	0.3		2.2	
			$V_{DCS} = V_{GND}$, $C_L = 5pF$	0.4		2.4	
Deserializer Delay	t_{SD}	Spread spectrum enabled (Figure 7)				2880	Bits
		Spread spectrum disabled (Figure 7)				750	
Lock Time	t_{LOCK}	Spread spectrum enabled (Figure 8)				1500	μs
		Spread spectrum off (Figure 8)				1000	
Power-Up Time	t_{PU}	(Figure 9)				2500	μs
Reverse Control-Channel Output Rise Time	t_R	No high-speed transmission (Figure 1)		180		400	ns
Reverse Control-Channel Output Fall Time	t_F	No high-speed transmission (Figure 1)		180		400	ns
I²S OUTPUT TIMING							
WS Jitter	t_{AJ-WS}	$t_{WS} = 1/f_{WS}$, rising (falling) edge to falling (rising) edge (Note 3)	$f_{WS} = 48kHz$ or 44.1kHz	$0.4e - 3$	$0.5e - 3$	$x t_{WS}$	ns
			$f_{WS} = 96kHz$	$0.8e - 3$	$1e - 3$	$x t_{WS}$	
			$f_{WS} = 192kHz$	$1.6e - 3$	$2e - 3$	$x t_{WS}$	
SCK Jitter	t_{AJ-SCK}	$t_{SCK} = 1/f_{SCK}$, rising edge to rising edge	$n_{WS} = 16$ bits, $f_{WS} = 48kHz$ or $44.1kHz$	$13e - 3$	$16e - 3$	$x t_{SCK}$	ns
			$n_{WS} = 24$ bits, $f_{WS} = 96kHz$	$39e - 3$	$48e - 3$	$x t_{SCK}$	
			$n_{WS} = 32$ bits, $f_{WS} = 192kHz$	0.1	0.13	$x t_{SCK}$	

スペクトラム拡散およびフルデュプレックス制御チャネル内蔵、ギガビットマルチメディア・デシリアライザ

AC ELECTRICAL CHARACTERISTICS (continued)

($V_{DVDD} = V_{AVDD} = 3.0V$ to $3.6V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), EP connected to PCB ground (GND), $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{DVDD} = V_{AVDD} = V_{IOVDD} = 3.3V$, $T_A = +25^\circ C$.)

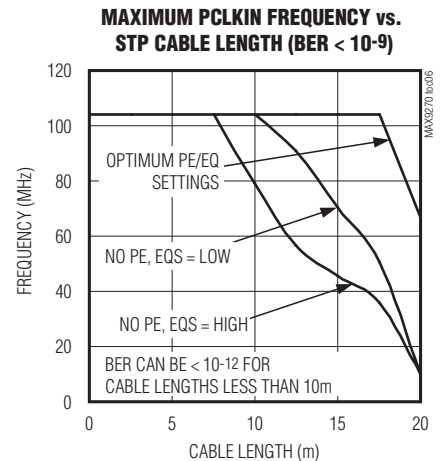
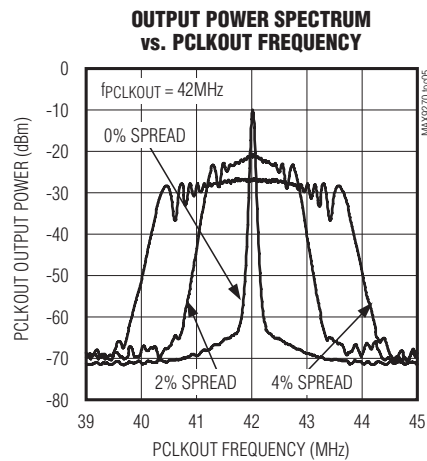
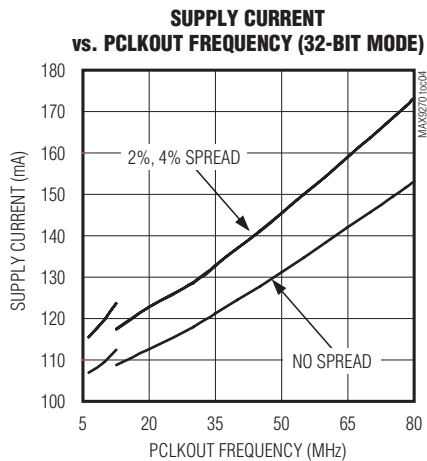
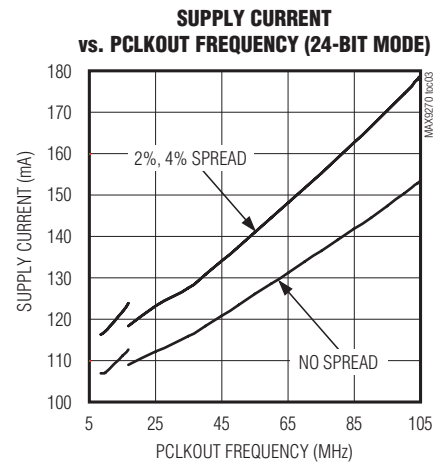
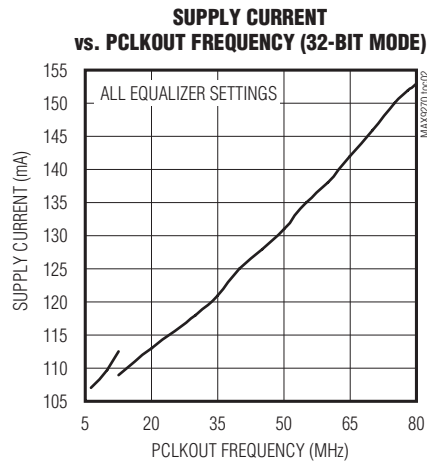
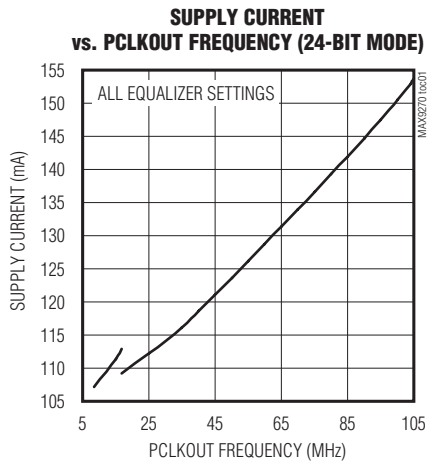
PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Audio Skew Relative to Video	ASK	Video and audio synchronized		3 x tWS	4 x tWS	μs
SCK, SD, WS Rise-and-Fall Time	$t_{r, f}$	20% to 80% $V_{DCS} = V_{IOVDD}$, $C_L = 10pF$ $V_{DCS} = V_{GND}$, $C_L = 5pF$	0.3		3.1	ns
SD, WS Valid Time Before SCK	t_{dVB}	$t_{SCK} = 1/f_{SCK}$ (Figure 11)	0.35 x t_{SCK}	0.5 x t_{SCK}		ns
SD, WS Valid Time After SCK	t_{dVA}	$t_{SCK} = 1/f_{SCK}$ (Figure 11)	0.35 x t_{SCK}	0.5 x t_{SCK}		ns

Note 2: Minimum I_{IN} due to voltage drop across the internal pullup resistor.

Note 3: Rising to rising edge jitter can be twice as large.

標準動作特性

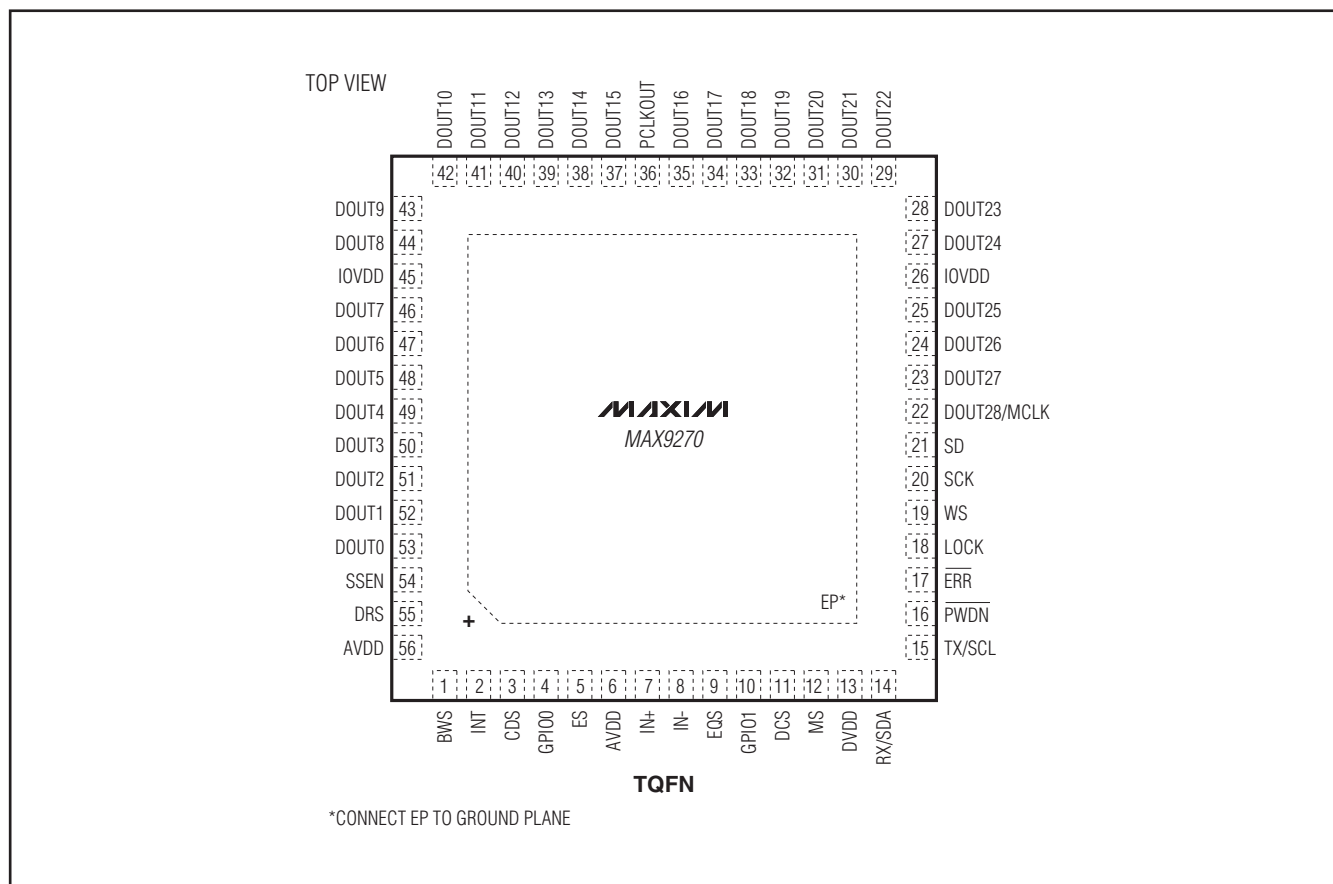
($V_{DVDD} = V_{AVDD} = V_{IOVDD} = 3.3V$, $T_A = +25^\circ C$, unless otherwise noted.)



スペクトラム拡散およびフルデュプレックス制御チャネル 内蔵、ギガビットマルチメディア・デシリアライザ

MAX9270

ピン配置



端子説明

端子	名称	機能
1	BWS	バス幅選択。パラレル出力のバス幅選択入力であり、外付けのプルダウンまたはプルアップ抵抗が必要です。24ビットバスモードにする場合は、BWS = ローに設定してください。32ビットバスモードにする場合は、BWS = ハイに設定してください。
2	INT	割込み。割込み入力であり、外付けのプルダウンまたはプルアップ抵抗が必要です。デシリアライザのINT入力の遷移によって、シリアライザのINT出力がトグルします。
3	CDS	制御方向選択。制御リンクの方向選択入力であり、外付けのプルダウンまたはプルアップ抵抗が必要です。シリアルリンクのシリアライザ側でμCを使用する場合は、CDS = ローに設定してください。シリアルリンクのデシリアライザ側でμCを使用する場合は、CDS = ハイに設定してください。
4	GPIO0	GPIO0。IOVDDへの60kΩのプルアップ抵抗を内蔵した、オープンドレインの汎用入出力です。起動中およびPWDN = ローの場合、GPIO0はハイインピーダンスになります。
5	ES	エッジ選択。PCLKOUTのエッジ選択入力であり、外付けのプルダウンまたはプルアップ抵抗が必要です。立上りエッジをトリガとする場合は、ES = ローに設定してください。立下りエッジをトリガとする場合は、ES = ハイに設定してください。

スペクトラム拡散およびフルデュプレックス制御チャネル内蔵、ギガビットマルチメディア・デシリアライザ

端子説明(続き)

端子	名称	機能
6, 56	AVDD	3.3Vアナログ電源。できる限りデバイスの近くに配置した0.1 μ Fと0.001 μ FのコンデンサでAVDDをEPにバイパスしてください(値の小さい方のコンデンサがAVDD側)。
7, 8	IN+, IN-	差動CML入力+/-。シリアルリンクの差動入力です。
9	EQS	イコライザ選択。デシリアライザのイコライザ選択入力であり、外付けのプルダウンまたはプルアップ抵抗が必要です。起動時またはPWDNの立上りエッジで、EQSの状態がラッチされます。イコライザのブーストを10.7dB (EQTUNE = 1001)にする場合は、EQS = ローに設定してください。イコライザのブーストを5.2dB (EQTUNE = 0100)にする場合は、EQS = ハイに設定してください。
10	GPIO1	GPIO1。IOVDDへの60k Ω のプルアップ抵抗を内蔵した、オープンドレインの汎用入出力です。起動中およびPWDN = ローの場合、GPIO1はハイインピーダンスになります。
11	DCS	駆動電流選択。ドライバの電流選択入力であり、外付けのプルダウンまたはプルアップ抵抗が必要です。高出力の平行データおよびクロック出力ドライバにする場合は、DCS = ハイに設定してください。通常の平行データおよびクロック出力ドライバにする場合は、DCS = ローに設定してください([DC Electrical Characteristics (DC電気的特性)]の表を参照)。
12	MS	モード選択。制御リンクのモード選択/オートスタートモード選択入力であり、外付けのプルダウンまたはプルアップ抵抗が必要です。CDS = ハイの場合、MSによって制御リンクのモードが設定されます([制御チャネルおよびレジスタの設定]の項を参照)。ベースモードを選択するには、MS = ローに設定してください。バイパスモードを選択するには、MS = ハイに設定してください。CDS = ローの場合、MSによってオートスタートモードが設定されます(表13および14を参照)。
13	DVDD	3.3Vデジタル電源。できる限りデバイスの近くに配置した0.1 μ Fと0.001 μ FのコンデンサでDVDDをEPにバイパスしてください(値の小さい方のコンデンサがDVDD側)。
14	RX/SDA	受信/シリアルデータ。IOVDDへの30k Ω のプルアップを内蔵した、UART受信またはI ² Cシリアルデータ入出力です。UARTモードの場合、RX/SDAはデシリアライザのUARTのRx入力です。I ² Cモードの場合、RX/SDAはシリアライザのI ² CマスターのSDA入出力です。
15	TX/SCL	送信/シリアルクロック。IOVDDへの30k Ω のプルアップを内蔵した、UART送信またはI ² Cシリアルクロック出力です。UARTモードの場合、TX/SCLはシリアライザのUARTのTx出力です。I ² Cモードの場合、TX/SCLはデシリアライザのI ² CマスターのSCL出力です。
16	PWDN	パワーダウン。アクティブローのパワーダウン入力であり、外付けのプルダウンまたはプルアップ抵抗が必要です。
17	ERR	エラー。IOVDDへのプルアップを内蔵した、アクティブロー、オープンドレインのビデオデータエラー出力です。通常動作中に復号化エラーの数が設定されたエラーセッションを超えた場合、またはPRBSテスト中に少なくとも1回のPRBSエラーが検出された場合、ERRがローになります。PWDN = ローの場合、ERRはハイインピーダンスになります。
18	LOCK	IOVDDへのプルアップを内蔵した、オープンドレインのロック出力です。LOCK = ハイの場合、正しいシリアルワード境界のアラインメントでPLLがロックされていることを示します。LOCK = ローの場合、PLLがロックされていないかシリアルワード境界のアラインメントが不正であることを示します。設定リンクがアクティブの場合、LOCKはローのままになります。PWDN = ローの場合、LOCKはハイインピーダンスになります。
19	WS	ワード選択。I ² Sのワード選択出力です。
20	SCK	シリアルクロック。I ² Sのシリアルクロック出力です。
21	SD	シリアルデータ。I ² Sのシリアルデータ出力です。SDを選択されているPCLKOUTのエッジでラッチされる追加のデータ出力として使用する場合は、I ² Sをディセーブルしてください。

スペクトラム拡散およびフルデュプレックス制御チャンネル 内蔵、ギガビットマルチメディア・デシリアライザ

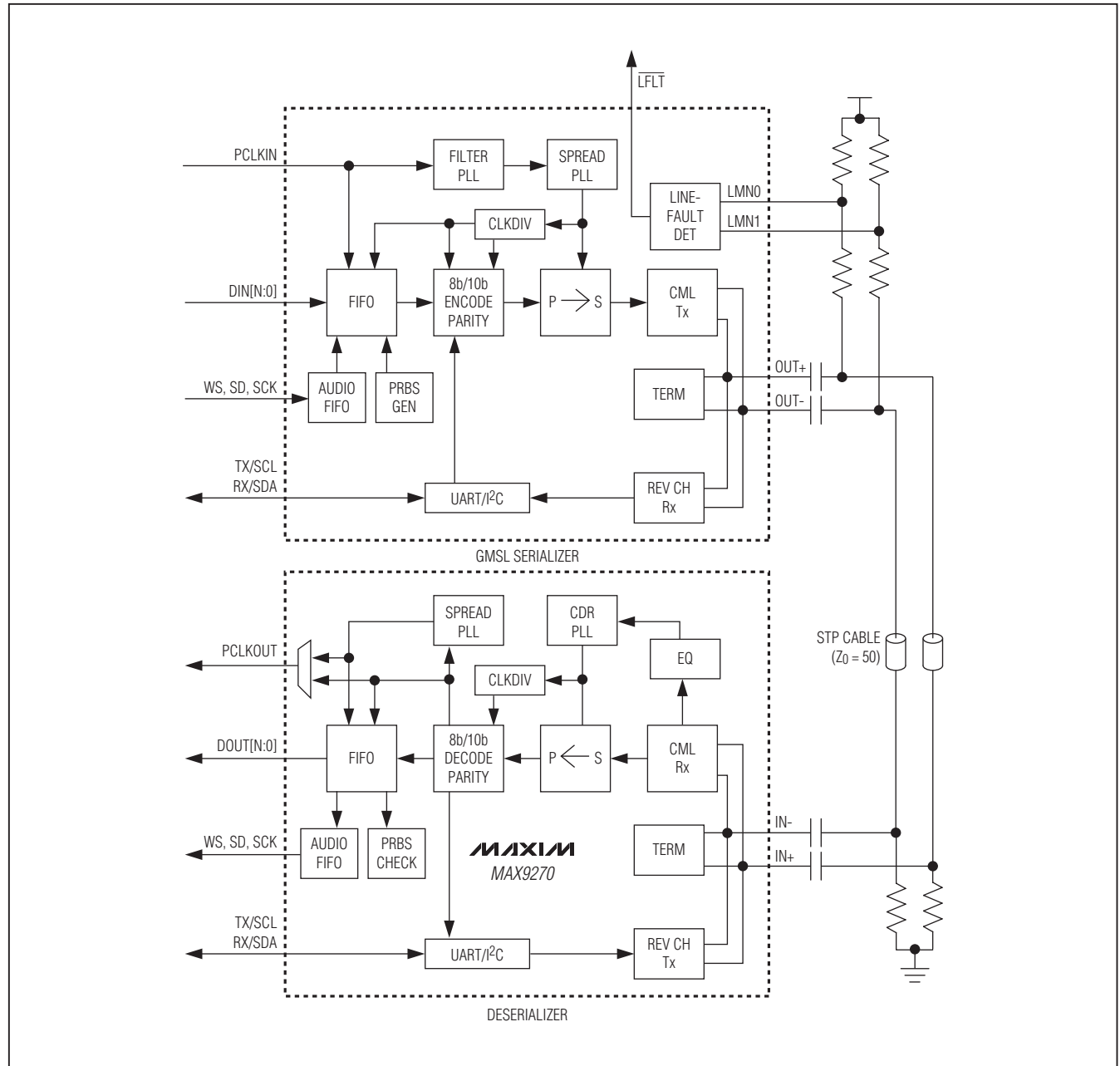
MAX9270

端子説明(続き)

端子	名称	機能
22-25, 27-35, 37-44, 46-53	DOUT28/MCLK, DOUT27, DOUT26, DOUT25, DOUT24-DOUT16, DOUT15-DOUT8, DOUT7-DOUT0	データ出力[0:28]。パラレルデータ出力です。選択されているPCLKOUTのエッジで出力データをストロープすることができます。DOUT0~DOUT20 (RGBおよびSYNC)を使用する場合は、BWS = ロー(24ビットモード)に設定してください。24ビットモードではDOUT21~DOUT28は使用されず、ローに設定されます。DOUT0~DOUT28 (RGB、SYNC、および2つの予備出力)を使用する場合は、BWS = ハイ(32ビットモード)に設定してください。DOUT28を使用して、MCLKを出力することができます(「オーディオアプリケーション用の追加のMCLK出力」の項を参照)。
26, 45	IOVDD	1.8V~3.3Vのロジック/I/O電源。できる限りデバイスの近くに配置した0.1μFと0.001μFのコンデンサでIOVDDをEPにバイパスしてください(値の小さい方のコンデンサがIOVDD側)。
36	PCLKOUT	パラレルクロック出力。DOUT0~DOUT28に使用します。
54	SSEN	スペクトラム拡散イネーブル。パラレル出カスペクトラム拡散イネーブル入力であり、外付けのプルダウンまたはプルアップ抵抗が必要です。起動時またはパワーダウンモード(PWDN = ロー)からの復帰時に、SSENの状態がラッチされます。パラレル出力で±2%のスペクトラム拡散を使用する場合は、SSEN = ハイに設定してください。スペクトラム拡散なしでパラレル出力を使用する場合は、SSEN = ローに設定してください。
55	DRS	データ速度選択。データ速度範囲の選択入力であり、外付けのプルダウンまたはプルアップ抵抗が必要です。パラレル入力データ速度を8.33MHz~16.66MHz (24ビットモード)または6.25MHz~12.5MHz (32ビットモード)にする場合は、DRS = ハイに設定してください。パラレル入力データ速度を16.66MHz~104MHz (24ビットモード)または12.5MHz~78MHz (32ビットモード)にする場合は、DRS = ローに設定してください。
—	EP	エクスポーズパッド。EPはICのグランド接続として機能します。熱的および電気的性能を最大化するために、EPをグランドプレーンに接続する必要があります。

スペクトラム拡散およびフルデュプレックス制御チャンネル内蔵、ギガビットマルチメディア・デシリアライザ

ファンクションダイアグラム



スペクトラム拡散およびフルデュプレックス制御チャネル 内蔵、ギガビットマルチメディア・デシリアライザ

MAX9270

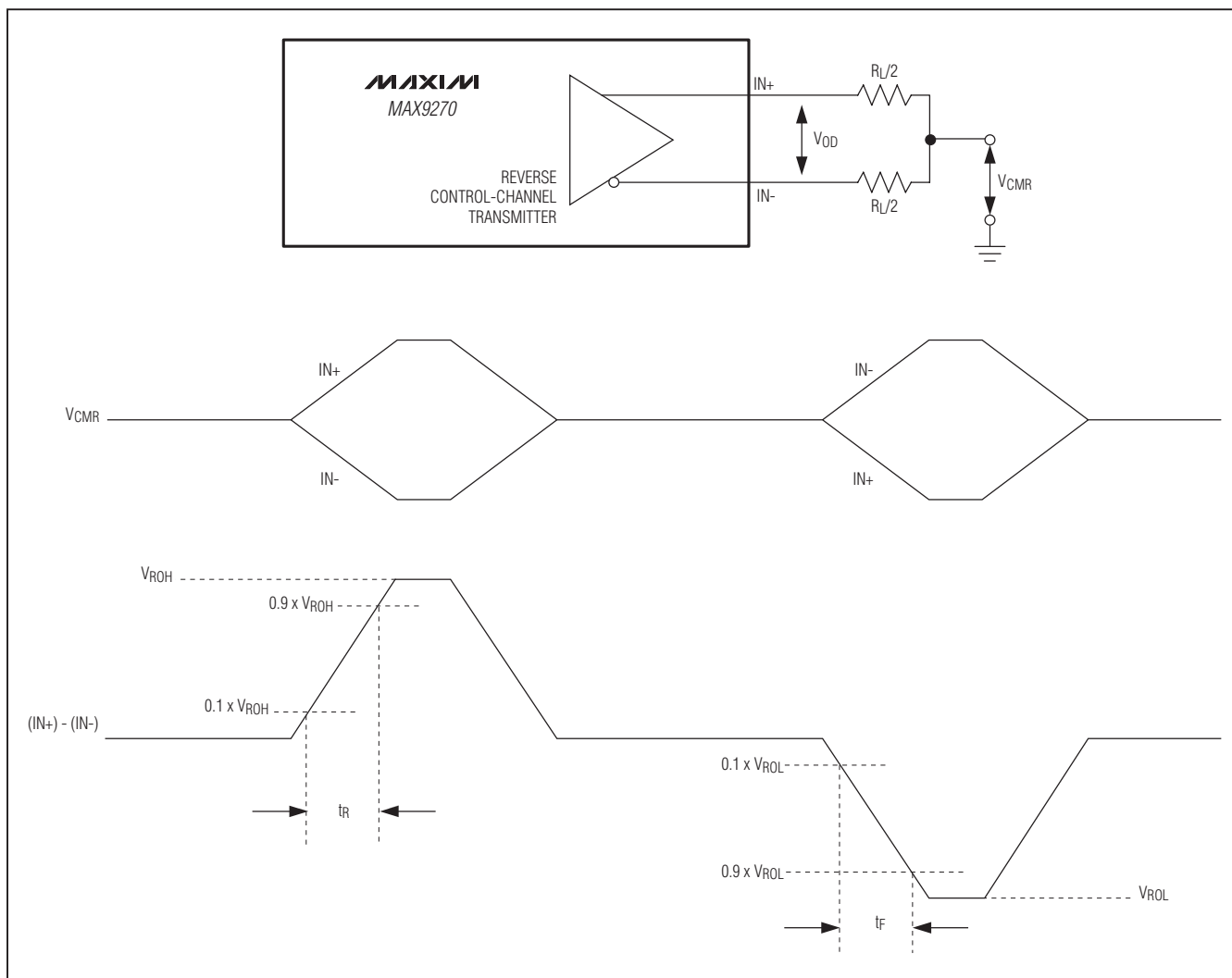


図1. 逆方向制御チャネルの出力パラメータ

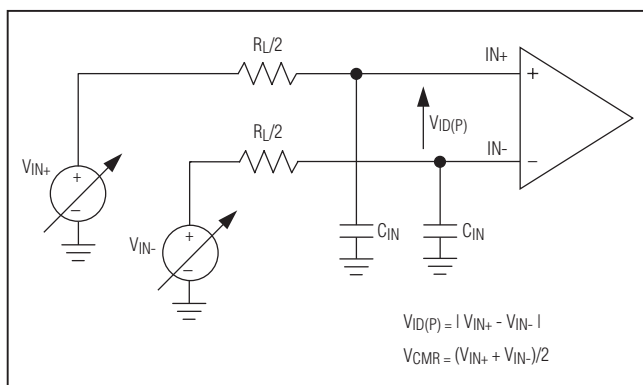


図2. 差動入力測定のためのテスト回路

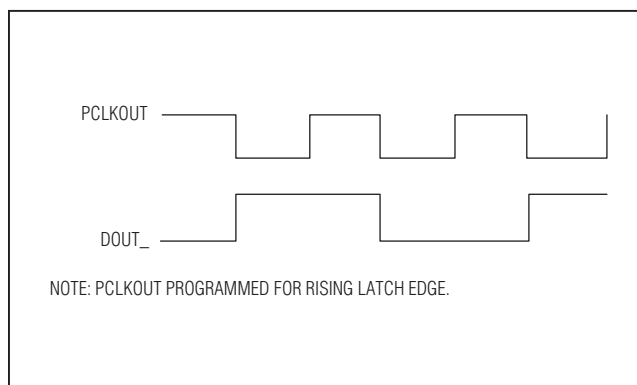


図3. ワorstケースパターンの出力

スペクトラム拡散およびフルデュプレックス制御チャネル 内蔵、ギガビットマルチメディア・デシリアライザ

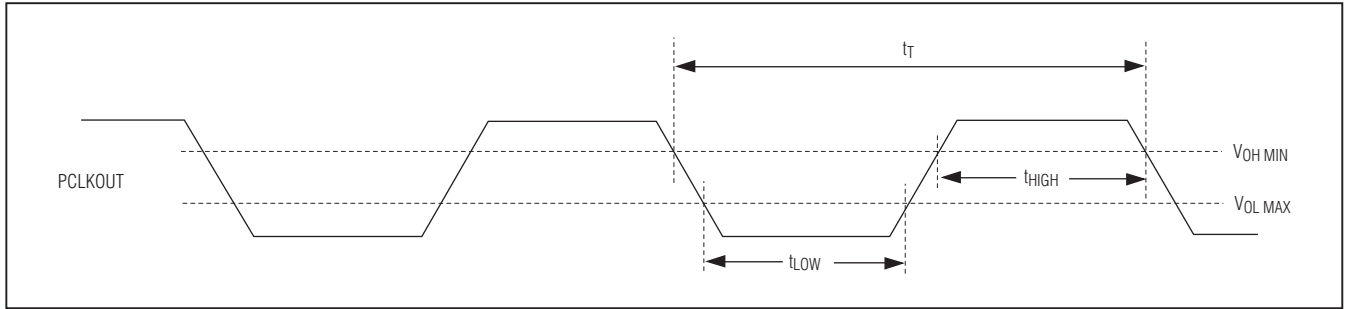


図4. クロック出力のハイおよびロー時間

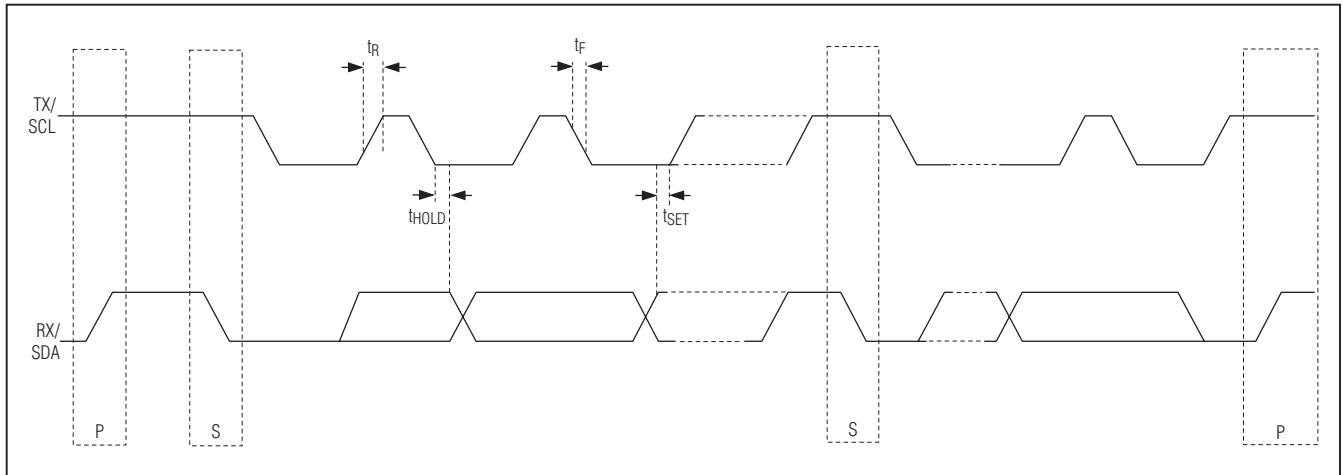


図5. I²Cのタイミングパラメータ

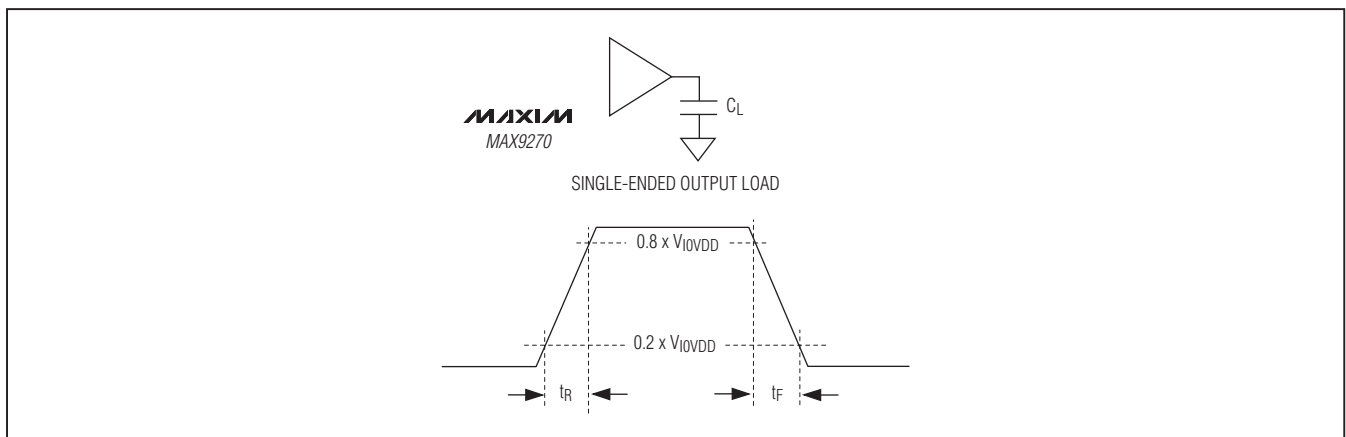


図6. 出力の立上りおよび立下り時間

スペクトラム拡散およびフルデュプレックス制御チャンネル 内蔵、ギガビットマルチメディア・デシリアライザ

MAX9270

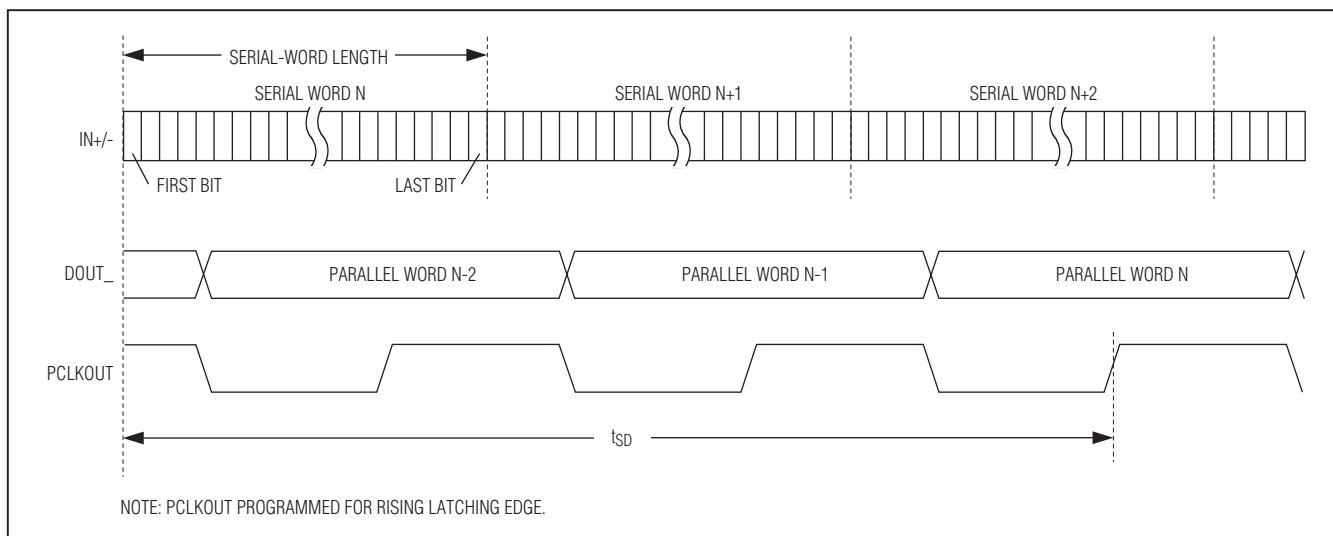


図7. デシリアライザの遅延

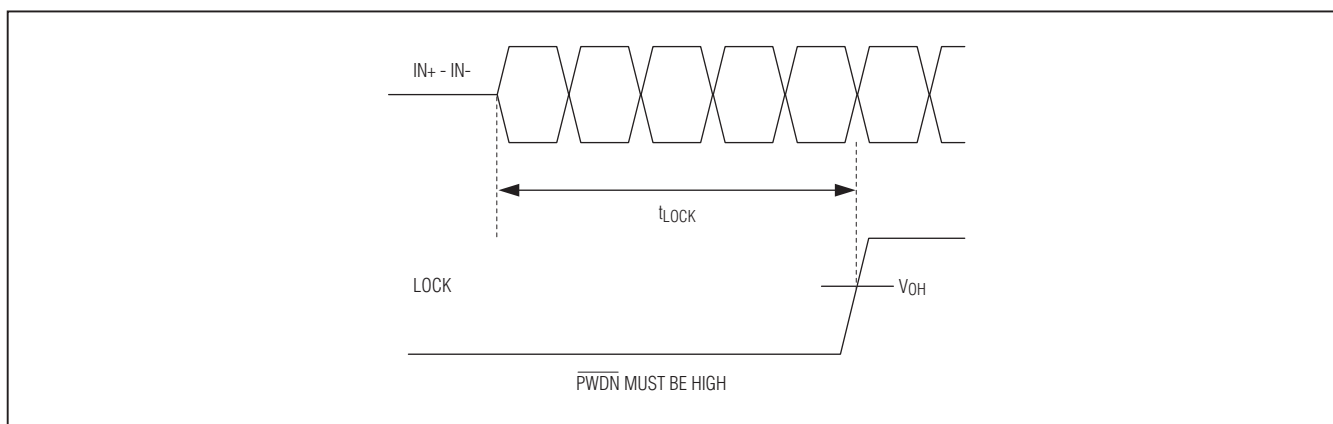


図8. ロック時間

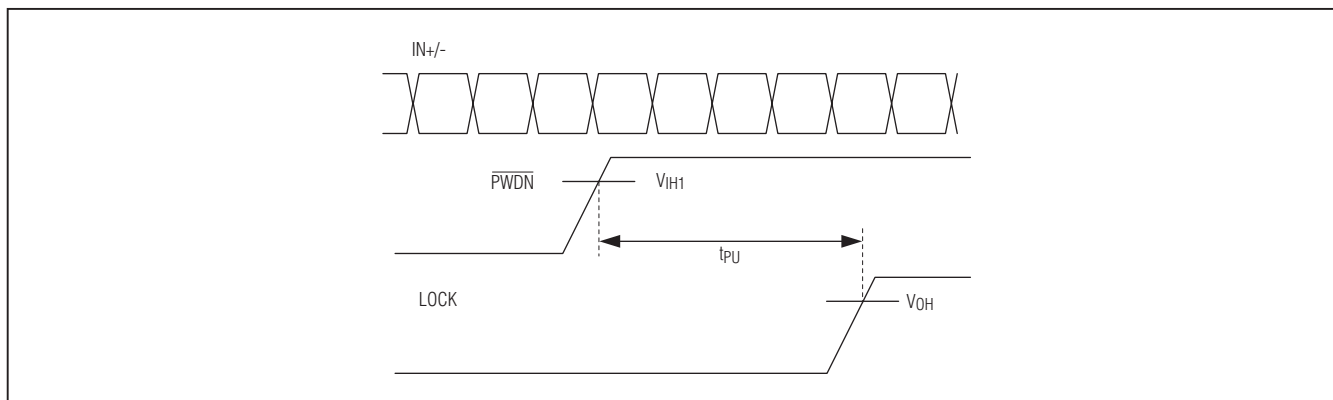


図9. パワーアップ遅延

スペクトラム拡散およびフルデュプレックス制御チャネル内蔵、ギガビットマルチメディア・デシリアライザ

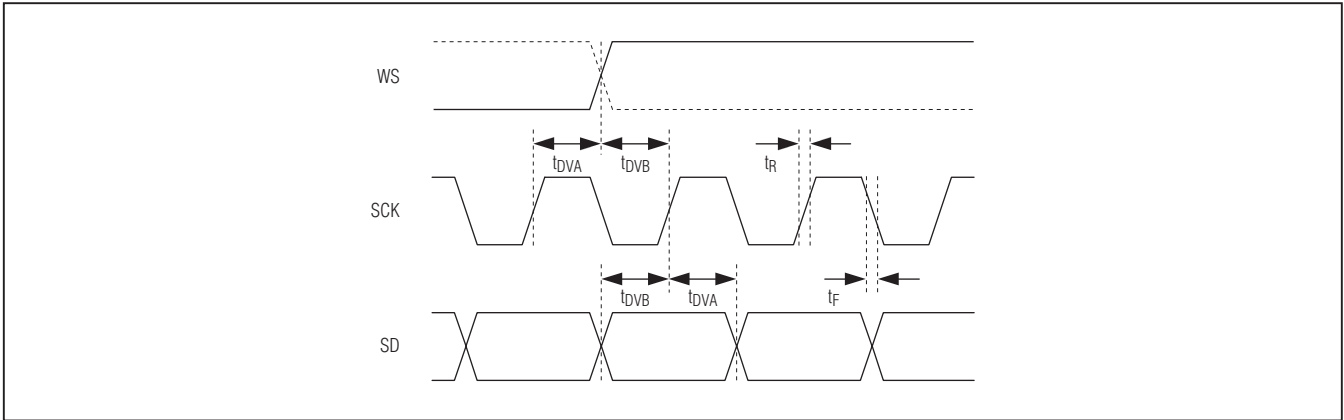


図10. I²Sの出力タイミングパラメータ

詳細

デシリアライザのMAX9270は、MaximのGMSL技術を採用しています。このデバイスは、任意のGMSLシリアライザとの組合せで、ビデオディスプレイまたは画像検出アプリケーション向けに、高速ビデオ、オーディオ、および制御データの同時伝送用の完全なデジタルシリアルリンクを形成します。MAX9270の機能はMAX9260と同一ですが、出力イネーブル端子(ENABLE)が存在しません。出力はデフォルトでイネーブルされ、レジスタビットによって設定可能です。シリアルペイロードデータ速度は、15mのSTPケーブルの場合で最大2.5Gbpsを達成可能です。パラレルインタフェースは24ビットまたは32ビット幅モードに設定可能で、最大バスクロックはそれぞれ104MHzと78MHzです。最小バスクロックは、32ビットモードの場合で6.25MHz、24ビットモードの場合で8.33MHzです。GMSLはこのようにデータ構成の柔軟性が高いため、XGA (1280 x 768)またはデュアルビューWVGA (2 x 854 x 480)のディスプレイパネルをサポート可能です。画像検出の場合、最大78MHzのピクセルクロックで同時に3つの10ビットカメラリンクをサポートします。24ビットモードでは、21ビットのデータおよび制御信号に加えて、I²Sオーディオ信号の処理が可能です。32ビットモードでは、29ビットのデータおよび制御信号に加えて、I²Sオーディオ信号の処理が可能です。カラービデオデータ、ビデオ同期、および制御信号の任意の組合せとシーケンスによって、DOUT_上の21ビットまたは29ビットのパラレルデータが構成されます。I²Sポートは、8kHz~192kHzのサンプリングレートおよび4~32ビットの範囲の任意のオーディオワード長のオーディオデータをサポートします。内蔵の制御チャネルは、シリアライザとデシリアライザの間でUARTリンクを形成します。このUARTリンクは、アプリケーションに応じてハーフデュプレックスモードまたはフル

デュプレックスモードに設定可能です。GMSLは、100kbps~1MbpsのUART速度をサポートします。この制御リンクを使用して、ホストのECUまたはμCはシリアライザおよびデシリアライザとの通信を行うとともに、バックライト制御、グレースケールのガンマ補正、カメラモジュール、タッチスクリーンなど、リモート側のペリフェラルとも通信を行います。すべてのシリアル通信(順方向および逆方向)は、差動信号方式を使用します。ペリフェラルの設定には、I²C形式またはデフォルトのGMSL UART形式を使用します。個別のバイパスモードを備えているため、フルデュプレックス、ユーザー定義のUART形式を使用した通信が可能です。シリアライザ/デシリアライザ間の制御リンクによって、μCとデバイスまたはペリフェラルとの接続が可能になり、ビデオディスプレイまたは画像検出アプリケーションをサポートします。

AC結合のシリアルリンクは、8b/10b符号化を使用しています。このデシリアライザは設定可能なチャネルレイコライザを備えているため、リンク長が延長され、リンクの信頼性が向上します。設定可能なスペクトラム拡散機能によって、パラレルデータ出力のEMIを低減することができます。差動シリアルリンク入力端子は、ISO 10605およびIEC 61000-4-2 ESD保護規格に準拠しています。このデバイスは、3.3Vのコア電源と1.8V~3.3VのI/O電源を使用します。

レジスタマッピング

μCは、シリアライザ/デシリアライザのレジスタを介して、GMSLの様々な動作条件を設定します。シリアライザ/デシリアライザのR0およびR1レジスタに格納されるデフォルトのデバイスアドレスは0x80です。シリアライザまたはデシリアライザのデバイスアドレスを変更するには、R0/R1レジスタに書き込みを行ってください。

スペクトラム拡散およびフルデュプレックス制御チャンネル 内蔵、ギガビットマルチメディア・デシリアライザ

MAX9270

表1. 起動時のデフォルトのレジスタマップ(表12を参照)

REGISTER ADDRESS (hex)	POWER-UP DEFAULT (hex)	POWER-UP DEFAULT SETTINGS (MSB FIRST)
0x00	0x80	SERID = 1000000, serializer device identifier is 1000 000 RESERVED = 0
0x01	0x90	DESID = 1001000, deserializer device identifier is 1001 000 RESERVED = 0
0x02	0x1F or 0x5F	SS = 00 (SSEN = low), SS = 01 (SSEN = high), spread-spectrum settings depend on SSEN pin state at power-up RESERVED = 0 AUDIOEN = 1, I ² S channel enabled PRNG = 11, automatically detect the pixel clock range SRNG = 11, automatically detect serial-data rate
0x03	0x00	AUTOFM = 00, calibrate spread-modulation rate only once after locking RESERVED = 0 SDIV = 00000, autocalibrate sawtooth divider
0x04	0x03 or 0x83	LOCKED = 0, LOCK output = low (read only) OUTENB = 0, outputs enabled PRBSEN = 0, PRBS test disabled SLEEP = 0 or 1, SLEEP setting default depends on CDS and MS pin state at power-up (see the <i>Link Startup Procedure</i> section) INTTYPE = 00, base mode uses I ² C REVCCEN = 1, reverse control channel active (sending) FWCCEN = 1, forward control channel active (receiving)
0x05	0x28 or 0x29	RESERVED = 0 HPFTUNE = 01, 3.75MHz equalizer highpass cutoff frequency PDHF = 0, high-frequency boosting disabled EQTUNE = 1000 (EQS = high, 10.7dB), EQTUNE = 1001 (EQS = low, 5.2dB), EQTUNE default setting depends on EQS pin state at power-up
0x06	0x0F	DISSTAG = 0, staggered outputs enabled AUTORST = 0, error registers/output auto reset disabled DISINT = 0, INT transmission enabled INT = 0, INT output = low (read only) GPIO1OUT = 1, GPIO1 output set to high GPIO1 = 1, GPIO1 input = high (read only) GPIO0OUT = 1, GPIO0 output set to high GPIO0 = 1, GPIO0 input = high (read only)
0x07	0x54	RESERVED = 01010100
0x08	0x30	RESERVED = 00110000
0x09	0xC8	RESERVED = 11001000
0x0A	0x12	RESERVED = 00010010
0x0B	0x20	RESERVED = 00100000

スペクトラム拡散およびフルデュプレックス制御チャネル内蔵、ギガビットマルチメディア・デシリアライザ

表1. 起動時のデフォルトのレジスタマップ(表12を参照)(続き)

REGISTER ADDRESS (hex)	POWER-UP DEFAULT (hex)	POWER-UP DEFAULT SETTINGS (MSB FIRST)
0x0C	0x00	ERRTHR = 00000000, error threshold set to zero for decoding errors
0x0D	0x00 (read only)	DECERR = 00000000, zero decoding errors detected
0x0E	0x00 (read only)	PRBSERR = 00000000, zero PRBS errors detected
0x12	0x00	MCLKSRC = 0, MCLK is derived from PCLKOUT (see Table 4) MCLKDIV = 00000000, MCLK output is disabled
0x1E	0x02 (read only)	ID = 00000010, device ID is 0x02
0x1F	0x0X (read only)	RESERVED = 0000 REVISION = XXXX

表2. BWSを使用したバス幅の選択

BWS INPUT STATE	BUS WIDTH	PARALLEL BUS SIGNALS USED
Low	24	DOUT[0:20], WS, SCK, SD
High	32	DOUT[0:28], WS, SCK, SD

パラレル出力

パラレルバスは、24ビットと32ビットの選択可能な2つのバス幅を使用します。表2に従って、BWSでバス幅を選択してください。24ビットモードの場合、DIN21~DIN28は使用されず、内部でプルダウンされます。どちらのモードでも、SD、SCK、およびWS端子はI²Sオーディオデータ専用です。最初の21または29ビットの信号の割当ては入替え可能であり、シリアルリンクの両端で同一の順序で現れます。画像検出アプリケーションの場合、I²Sオーディオチャンネルを(内部レジスタを介して)ディセーブルすることによって、DIN[0:28]およびSD入力を介して3つの10ビットのカメラデータストリームをシリアルライズすることが可能です。パラレルバスは、8.33MHz~104MHz (24ビットモード) および6.25MHz~78MHz (32ビットモード)のデータクロック速度に対応します。

シリアルリンクの信号方式およびデータ形式

シリアライザの高速データシリアル出力はCML信号方式を採用しており、設定可能なプリエンファシスおよびAC結合を使用します。デシリアライザの高速レシーバは、AC結合および設定可能なチャンネルイコライゼーションを使用します。両者の組合せによって、GMSLは最大15mのSTPケーブル上において最大3.125Gbpsで動作します。

シリアライザは、パラレル入力ビットのスクランブルと符号化を行って、8b/10b符号化された信号をシリアルリンクを介して送信します。デシリアライザは埋め込まれたシリアルクロックを復元した後、データのサンプリング、復号化、

スクランブル解除を行って、パラレル出力バスに出力します。図11および12に、スクランブルと8b/10b符号化を行う前のシリアルデータの packets 形式を示します。24ビットまたは32ビットモードにおいて、最初の21または29のシリアルビットがそれぞれDOUT[20:0]またはDOUT[28:0]に対応します。オーディオチャンネルビット(ACB)には、3つのI²S入力(SD、SCK、およびWS)から取得した符号化されたオーディオ信号が格納されます。順方向制御チャンネル(FCC)ビットは、順方向の制御データを搬送します。最後のビット(PCB)は、先行する23または31ビットのパリティビットです。

逆方向制御チャンネル

GMSLは、逆方向制御チャンネルを使用してビデオストリームと反対方向にデシリアライザからシリアライザへI²C/UARTを送信します。逆方向制御チャンネルと順方向のビデオデータが同一のツイストペア上で共存して、双方リンクを形成します。逆方向制御チャンネルは、順方向制御チャンネルとは無関係に動作します。逆方向制御チャンネルは、起動から500μs後に利用可能となります。順方向シリアルリンクの開始/停止後350μsの間、シリアライザは逆方向制御チャンネルを一時的にディセーブルします。

パラレルデータ速度の選択

デシリアライザは、DRS入力を使用してパラレルデータ速度を設定します。6.25MHz~12.5MHz (32ビットモード) または8.33MHz~16.66MHz (24ビットモード)の範囲の低速パラレルデータ速度を使用する場合は、DRSを

スペクトラム拡散およびフルデュプレックス制御チャネル 内蔵、ギガビットマルチメディア・デシリアライザ

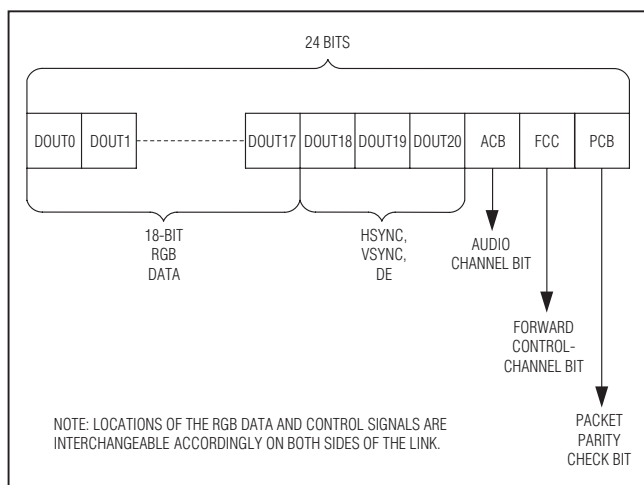


図11. 24ビットモードのシリアルリンクデータ形式

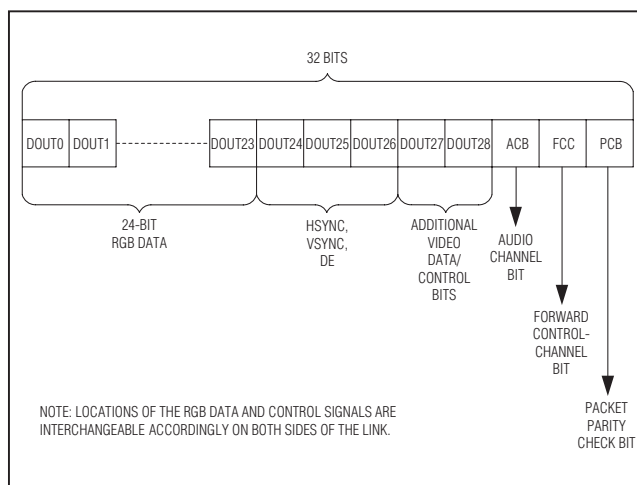


図12. 32ビットモードのシリアルリンクデータ形式

表3. 様々なPCLK_周波数での最大オーディオサンプリングレート

WORD LENGTH (Bits)	PCLK_FREQUENCY (DRS = LOW) (MHz)				PCLK_FREQUENCY (DRS = HIGH) (MHz)			
	12.5	15	16.6	> 20	6.25	7.5	8.33	> 10
8	> 192	> 192	> 192	> 192	> 192	> 192	> 192	> 192
16	> 192	> 192	> 192	> 192	> 192	> 192	> 192	> 192
18	185.5	> 192	> 192	> 192	185.5	> 192	> 192	> 192
20	174.6	> 192	> 192	> 192	174.6	> 192	> 192	> 192
24	152.2	182.7	> 192	> 192	152.2	182.7	> 192	> 192
32	123.7	148.4	164.3	> 192	123.7	148.4	164.3	> 192

ハイに設定してください。12.5MHz (32ビットモード)または16.66MHz (24ビットモード)を超えるパラレルデータ速度の通常動作の場合は、DRSをローに設定してください。

オーディオチャンネル

I²Sオーディオチャンネルは、8kHz~192kHzのオーディオサンプリングレートおよび4ビット~32ビットのオーディオワード長をサポートしています。オーディオビットクロック(SCK)は、PCLKINと同期させる必要はありません。シリアライザが自動的にオーディオデータをPCLKINと同期した単一のビットストリームに符号化します。デシリアライザはオーディオストリームを復号化して、オーディオワードをFIFOに格納します。オーディオ速度検出が内蔵の発振器を使用して継続的にオーディオデータ速度の判定を行い、I²S形式でオーディオを出力します。オーディオチャンネルはデフォルトでイネーブルされます。オーディオチャンネルをディセーブルした場合、両側ともSD端子は通常のパラレルデータ端子として使用可能です。

PCLK_の周波数によって、サポート可能な最大オーディオサンプリングレートが制限される場合があります。表3に、様々なPCLK_周波数での最大オーディオサンプリングレート

を示します。スペクトラム拡散の設定は、I²Sのデータ速度やWSのクロック周波数には影響しません。

オーディオアプリケーション用の追加のMCLK出力

MAX9850などの一部のオーディオDACはメインクロック(MCLK)の同期が不要ですが、それ以外のDACはMCLKがWSの特定の倍数になっている必要があります。MCLKがWSの倍数であることを必要とするオーディオDACチップの場合、I²SオーディオデータをGMSLのPCLK_に同期させてください(ほとんどのアプリケーションではそれが標準的です)。WSの倍数になるようにPCLK_を選択するか、またはクロック合成チップ(MAX9491など)を使用してPCLK_またはSCKから必要なMCLKを再生成してください。

PCLKOUT出力を直接使用することができないオーディオアプリケーション向けに、このデシリアライザは32ビットモードでパラレルラインを1つ減少させることと引き換えにDOUT28から分周されたMCLK出力を提供します(24ビットモードには影響がありません)。デフォルトでは、DOUT28はパラレルデータ出力として動作し、MCLKはオフになります。MCLK出力をイネーブルするには、MCLKDIV (デシリアライザのレジスタ0x12、D[6:0])に

スペクトラム拡散およびフルデュプレックス制御チャネル内蔵、ギガビットマルチメディア・デシリアライザ

表4. f_{src}の設定

MCLKSRC SETTING (REGISTER 0x12, D7)	DATA-RATE SETTING	BIT-WIDTH SETTING	MCLK SOURCE FREQUENCY (f _{src})
0	High speed	24-bit mode	3 x f _{PCLKOUT}
		32-bit mode	4 x f _{PCLKOUT}
	Low speed	24-bit mode	6 x f _{PCLKOUT}
		32-bit mode	8 x f _{PCLKOUT}
1	—	—	Internal oscillator (120MHz typ)

0以外の値を設定してください。MCLKをディセーブルしてDOUT28をパラレルデータ出力に設定するには、MCLKDIVに0x00を設定してください。

出力MCLKの周波数は、次のようになります。

$$f_{\text{MCLK}} = \frac{f_{\text{src}}}{\text{MCLKDIV}}$$

ここで、f_{src}はMCLKのソース周波数(表4)で、MCLKDIVは1~127の分周比です。

MCLKDIVの値は、f_{MCLK}が60MHzを超えないように選択してください。MCLKの周波数をPCLK_{_}から派生させる場合(MCLKSRC = 0)、デシリアライザのスペクトラム拡散の設定による影響は受けません。しかし、シリアライザでスペクトラム拡散をイネーブルした場合は、MCLKにスペクトラム拡散が含まれることとなります。どちらのデバイスのスペクトラム拡散の設定も、内蔵発振器で生成されるMCLK周波数には影響しません。内蔵発振器の周波数範囲は、すべてのプロセスコーナーおよび動作条件にわたって100MHz~150MHzです。

制御チャネルおよびレジスタの設定

μCは制御リンクを使用して、STPリンク上で高速データと同時に制御データの送受信を行います。CDS端子の設定によって、μCはシリアライザ側またはデシリアライザ側のいずれからでもリンクを制御することが可能で、ビデオディスプレイまたは画像検出アプリケーションをサポートします。

μCとシリアライザ/デシリアライザの間の制御リンクは、μCに接続されたデバイスのモード選択(MS)入力に従って、ベースモードまたはバイパスモードで動作します。ベースモードはハーフデュプレックスの制御リンクで、バイパスモードはフルデュプレックスの制御リンクです。ベースモードではμCがホストになり、GMSL UARTプロトコルを使用してシリアライザ/デシリアライザ両方のレジスタにアクセスします。また、UARTパケットを送信してリンクのリモート側のデバイス(LCDアプリケーションにおけるデシリアライザ、または画像検出アプリケーションにおけるシリアライザ)でI²Cに変換することによって、μCがリモート側ペリ

フェラルの設定を行うことも可能です。μCはハーフデュプレックスのデフォルトのGMSL UARTプロトコルを使用して、(INTTYPEレジスタの設定を介して)ベースモードでUARTペリフェラルとの通信を行います。ベースモードにおけるシリアライザおよびデシリアライザのデバイスアドレスは設定可能です。デフォルト値は、それぞれ0x80と0x90です。

ベースモードにおいて、ペリフェラルのインタフェースがI²Cを使用する場合(デフォルト)、シリアライザ/デシリアライザはデバイスアドレスがそれ自体のものとは異なるパケットのみをI²Cに変換します。変換後のI²Cのビットレートは、元のUARTのビットレートと同一です。

バイパスモードの場合、μCはGMSLをバイパスして、そのペリフェラル専用で定義されたUARTプロトコルを使用してペリフェラルと直接通信を行います。このモードでは、μCはGMSLのレジスタにアクセスすることはできません。UARTインタフェースを使用して順方向制御チャネルを介してアクセスされるペリフェラルは、PCLK_{_}によるUART信号の非同期サンプリングに起因する、少なくとも1つのPCLK_{_}周期のジッタに対処する必要があります。

シリアライザは、デシリアライザ宛の制御信号を高速順方向リンクに埋め込みます。ベースモードまたはバイパスモードのいずれにおいても、100μsより長時間のローの値を送信しないでください。デシリアライザは、独自方式の差動ライン符号化を使用して信号をシリアライザに送り返します。制御リンクの速度は、両方向ともに100kbps~1Mbpsの範囲です。ベースモードの場合、シリアライザ/デシリアライザは自動的に制御チャネルのビットレートを検出します。パケットのビットレートは、直前のビットレートに対して最大で倍率3.5までの変更が可能です(「データ周波数の変更」の項を参照)。図13に、ベースモードでのμCとシリアライザ/デシリアライザの間の書込みと読取りのためのUARTのプロトコルを示します。

図14に、UARTのデータ形式を示します。偶数パリティが使用されます。図15および16に、SYNCバイト(0x79)とACKバイト(0xC3)の形式の詳細を示します。μCおよび接続されたスレーブチップは、それぞれSYNCバイトとACK

スペクトラム拡散およびフルデュプレックス制御チャンネル 内蔵、ギガビットマルチメディア・デシリアライザ

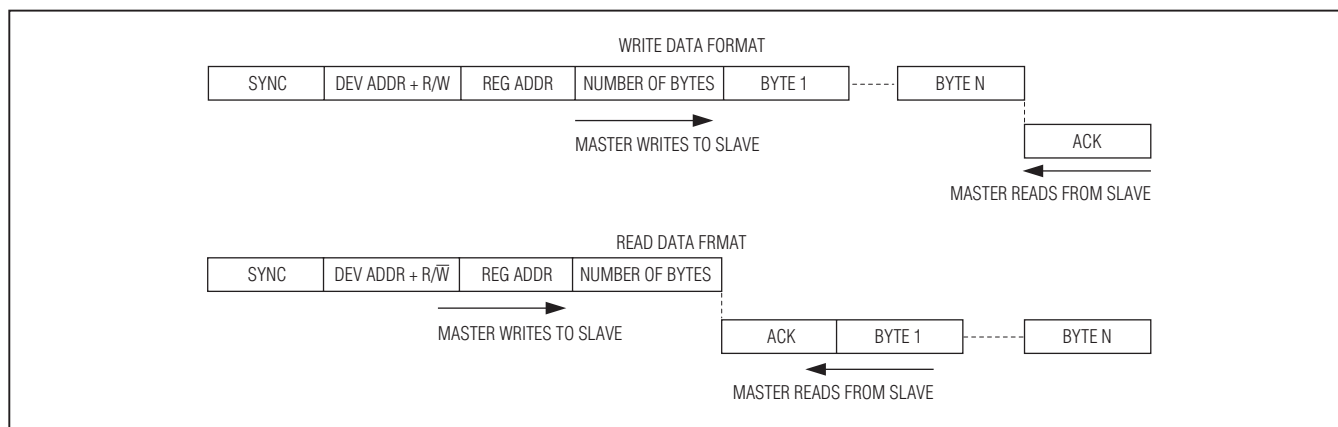


図13. ベースモードのUARTプロトコル

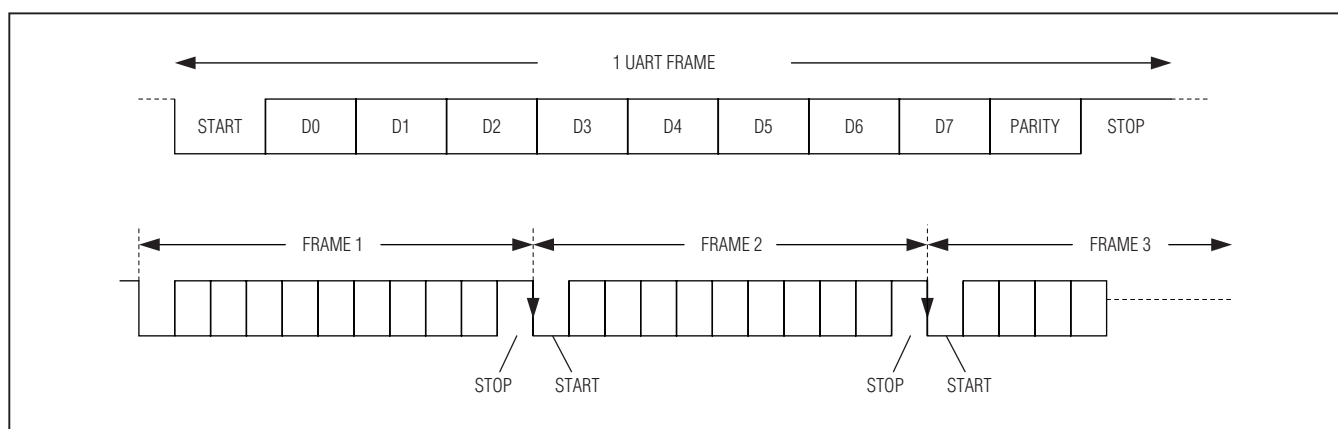


図14. ベースモードのUARTデータ形式

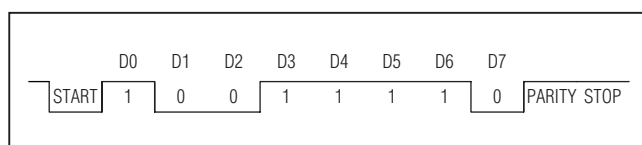


図15. SYNCバイト(0x79)

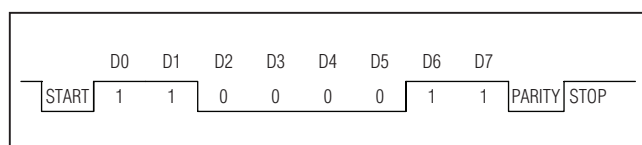


図16. ACKバイト(0xC3)

バイトを生成します。デバイスのウェイクアップや割り込みなどの特定のイベントによって制御経路上に信号が生成されますが、 μ Cはそれらを無視する必要があります。内部レジスタに書き込まれるすべてのデータは、アクノリッジバイトが送信されるまで有効になりません。これによって μ Cは、書き込みコマンドの結果がシリアルリンクに直接影響を与える場合にも、その書き込みコマンドがエラーなしに処理されたかどうかを確認することができます。スレーブはSYNCバイトを使用して、自動的にホストのUARTデータ速度に同期します。制御チャンネルの通信中にデバイスのINTまたはMS入力が入力された場合、制御チャンネルの通信がエラーになる可能性があります。アクノリッジが行われない場合、 μ Cは、スレーブデバイスがパケットを受信した時点で

パケットにエラーがあったか、またはスレーブデバイスからの応答中にエラーが発生したものと想定する必要があります。ベースモードでは、 μ Cは新しいパケットの送信を開始する前にUART Tx/Rxラインを16ビット時間にわたってハイに維持する必要があります。

図17に示すように、リモート側のデバイスはペリフェラルとの間で送受信されるパケットをUART形式からI²C形式に、およびその逆方向に変換します。リモートデバイスは、バイト数カウントを除去して、I²Cのデータバイト間のACKの追加または受信を行います。I²Cのデータ速度はUARTのデータ速度と同一です。

スペクトラム拡散およびフルデュプレックス制御チャネル内蔵、ギガビットマルチメディア・デシリアライザ

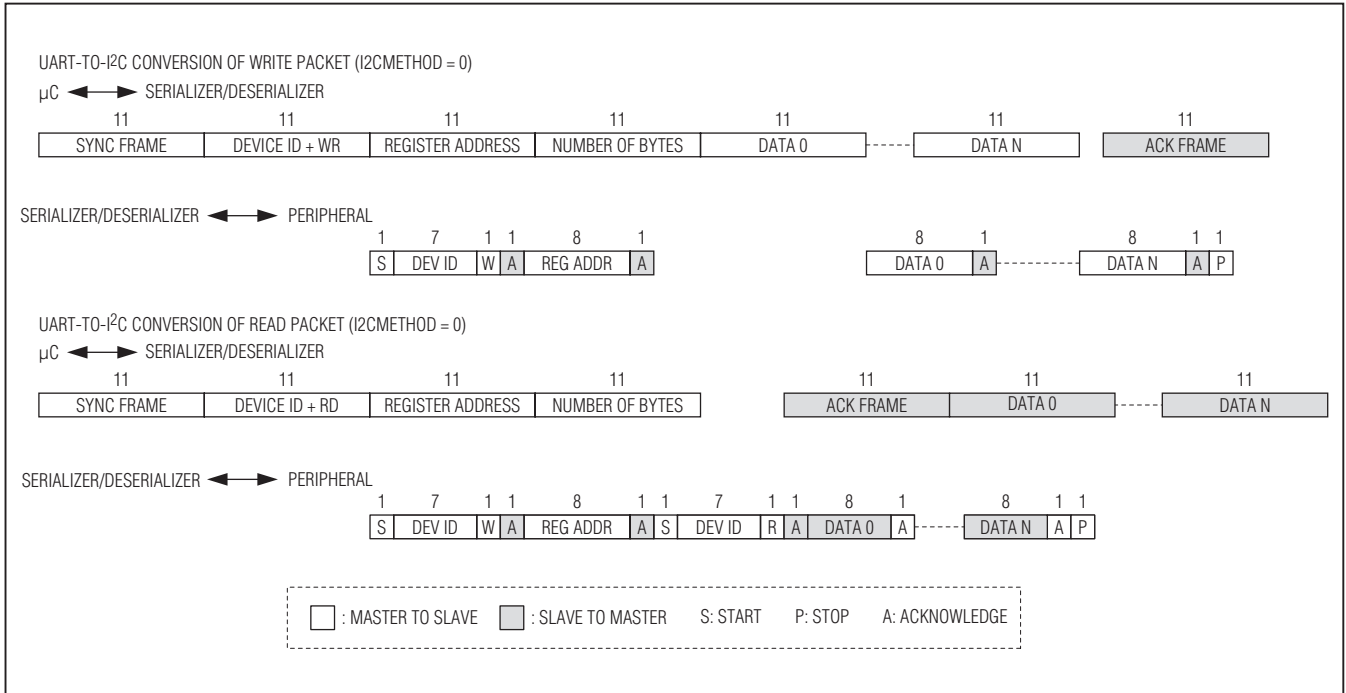


図17. レジスタアドレスが存在する場合のUARTとI²C間の形式変換(I2CMETHOD = 0)

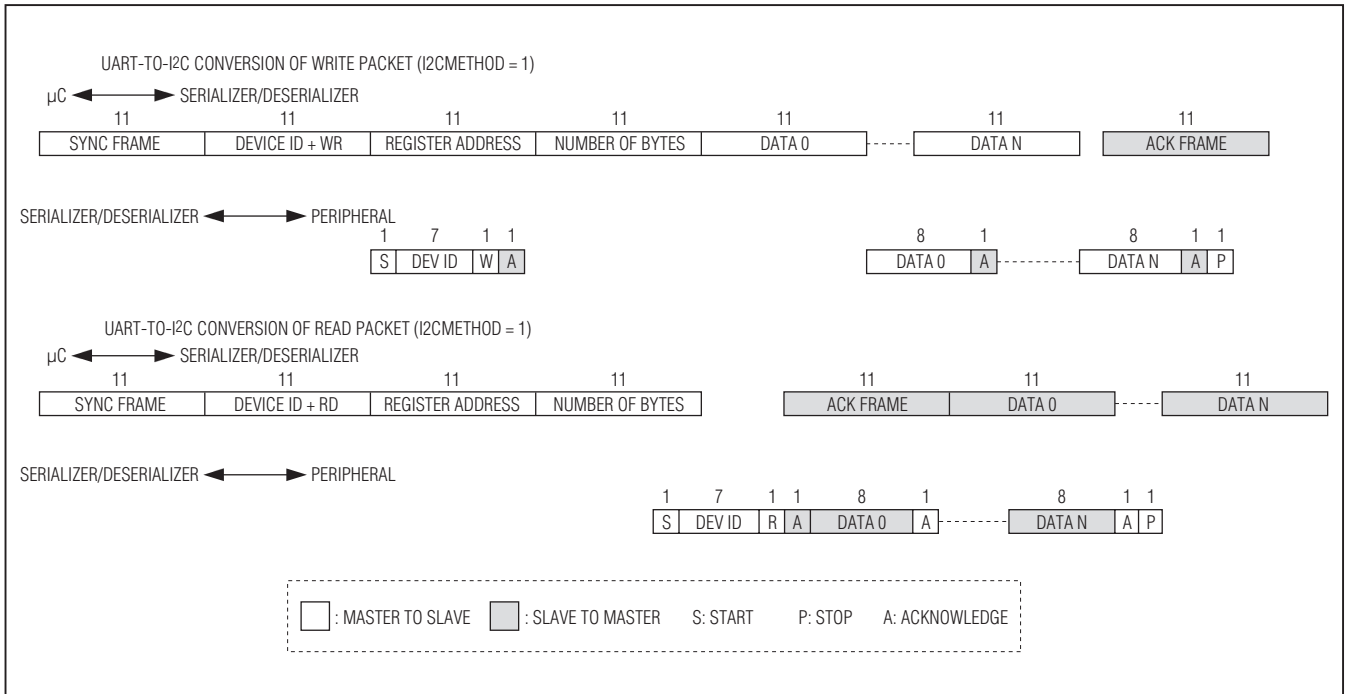


図18. コマンドバイトオンリーモードでのUARTとI²C間の形式変換(I2CMETHOD = 1)

スペクトラム拡散およびフルデュプレックス制御チャネル内蔵、ギガビットマルチメディア・デシリアライザ

コマンドバイトのみのI²Cデバイスとのインタフェース

GMSLのUART-I²C変換は、レジスタアドレスを必要としないデバイス(GPIOエキスパンダのMAX7324など)とのインタフェースを行います。I2CMETHODビットを使用して、I²Cマスターの通信方式を変更してください。I2CMETHOD = 1でコマンドバイトオンリーモードに設定され、I2CMETHOD = 0でデータストリームの最初のバイトがレジスタアドレスであるノーマルモードに設定されます。このモードでは、I²Cマスターはレジスタアドレスバイトを無視して、直接後続のデータバイトの読み取り/書き込みを行います(図18)。

割込み制御

シリアライザのINTは割込み出力で、デシリアライザのINTは割込み入力です。シリアライザの割込み出力は、デシリアライザの割込み入力の遷移に追従します。この割込み機能によって、タッチスクリーンペリフェラル、リモートパワーアップ、リモートモニタリングなどのリモート側の機能がサポートされます。リンクのスタートアップ/シャットダウンなど、逆方向制御チャネルがディセーブされている期間に発生した割込みは、逆方向制御チャネルが再び利用可能になった時点で自動的に再送信されます。デシリアライザ

のレジスタ0x06のビットD4にも、割込み入力の状態が格納されます。また、SETINTレジスタビットへの書き込みによって、シリアライザのINT出力が設定されます。さらに、 μ CはSETINTレジスタビットへの書き込みによってシリアライザのINT出力を設定します。通常動作時には、デシリアライザの割込み入力がトグルした場合に割込み出力の状態が変化します。

ラインイコライザ

このデシリアライザには、高周波数でのケーブル減衰をさらに補正するための、調整可能なラインイコライザが内蔵されています。ケーブルイコライザは、2.1dB~13dBの間で選択可能な11の補正レベルを備えています(表5)。EQS入力で、起動時のデフォルトのイコライゼーションレベルを選択します。EQSの状態は、起動時またはパワーダウンモードからの復帰時にラッチされます。他の補正レベルを選択するには、デシリアライザの該当するレジスタビット(0x05 D[3:0])をセットしてください。所定のケーブルで最も信頼性の高いリンクを作成するために、シリアライザのプリエンファシスと組み合わせて、デシリアライザのイコライゼーションを使用してください。

表5. ケーブルイコライザのブーストレベル

BOOST SETTING (0x05 D[3:0])	TYPICAL BOOST GAIN (dB)
0000	2.1
0001	2.8
0010	3.4
0011	4.2
0100	5.2 Power-up default (EQS = high)
0101	6.2
0110	7
0111	8.2
1000	9.4
1001	10.7 Power-up default (EQS = low)
1010	11.7
1011	13

スペクトラム拡散

シリアルリンクおよびパラレル出力上の遷移によって生成されるEMIを低減するために、このデシリアライザはスペクトラム拡散をサポートしています。デシリアライザでスペクトラム拡散をオンにすることによって、パラレルビデオ出力が拡散されます。シリアライザとデシリアライザの両方でスペクトラム拡散をイネーブルしないでください。パラレル出力で選択可能な2つのスペクトラム拡散レートは、 $\pm 2\%$ および $\pm 4\%$ です(表6)。

起動時に2%の拡散を選択する場合はSSEN入力をハイに設定して、起動時に拡散なしを選択する場合はSSEN入力をローに設定してください。SSENの状態は、起動時またはパワーダウンモードからの復帰時にラッチされます。

スペクトラム拡散をオンにした場合、オーディオデータストリームへの影響はありません。シリアライザのスペクトラム拡散に対する変更は、PCLK₁から取得している場合(MCLKSRC = 0)のMCLK出力にのみ影響します。

表6. パラレル出力の拡散

SS	SPREAD (%)
00	No spread spectrum. Power-up default when SSEN = low.
01	$\pm 2\%$ spread spectrum. Power-up default when SSEN = high.
10	No spread spectrum.
11	$\pm 4\%$ spread spectrum.

スペクトラム拡散およびフルデュプレックス制御チャネル内蔵、ギガビットマルチメディア・デシリアライザ

このデバイスは、拡散変調レートを制御するための鋸歯分周器を内蔵しています。PCLK_{_}の動作範囲の自動検出またはマニュアル設定では、スペクトラム拡散の変調周波数が20kHz~40kHzの範囲内になることが保証されます。さらに、鋸歯分周器のマニュアル設定(SDIV、0x03D[5:0])によって、特定のPCLK_{_}速度に対して特定の変調周波数をユーザーが設定することができます。正常な動作を保証するために、変調周波数は常に20kHz~40kHzの範囲に維持してください。

スペクトラム拡散分周器のマニュアル設定

変調レートとPCLK_{_}周波数の関係は、以下のようになります。

$$f_M = (1 + DRS) \frac{f_{PCLK_}}{MOD \times SDIV}$$

ここで、

f_M = 変調周波数。

DRS = DRS端子の入力値(0または1)。

$f_{PCLK_}$ = パラレルクロック周波数(12.5MHz~104MHz)。

MOD = 表7に示す変調係数。

SDIV = μC によってマニュアル設定される5ビットのSDIV設定値です。

SDIV設定値の設定を行うには、最初に型番および希望するビット幅とスペクトラム拡散の設定に従って変調係数を照会します。希望するパラレルクロックおよび変調周波数を使用して、上記の等式をSDIVについて解いてください。計算結果のSDIVの値が表7に示すSDIVの許容最大値より大きくなった場合は、SDIVを最大値に設定してください。

スリープモード

このデシリアライザは、 μC LCDアプリケーションに接続されていない場合に消費電力を低減するための、低電力スリープモードを備えています。スリープモードを開始するには、SLEEPビットに1をセットしてください。デシリアライザは、シリアルリンクの動作が停止した後またはSLEEP = 1に設定してから8ms後(いずれか先に到来した方)にスリープします。各種の μC および開始条件に応じてデバイスをウェイクアップする方法の詳細については、「リンクのスタートアップ手順」の項を参照してください。

μC 側のデバイスがスリープモードに移行することができないと、そのSLEEPビットは0のままになります。 μC 側の

デバイスを低電力状態にするには、PWDN入力を使用してください。

設定リンクモード

GMSLは、有効なパラレルクロック入力が存在しない場合に2つのデバイス間で制御データ接続を可能にするための、低速の設定リンクを含んでいます。ディスプレイまたはカメラいずれのアプリケーションの場合も、ビデオリンクを確立する前に、設定リンクを使用してイコライザ/プリアンプアンプやその他のレジスタの設定を行うことができます。内蔵発振器が、シリアライザとデシリアライザの間でシリアル設定リンクを確立するためのPCLK_{_}を提供します。デシリアライザのパラレル出力クロックおよびデータラインはディセーブルされます。設定リンクのロックに成功した後も、LOCK出力はローのままになります。設定リンクをオンにするには、シリアライザでCLINKEN = 1に設定してください。ビデオリンクがイネーブルされない限り、設定リンクはアクティブなままになります。SEREN = 1の場合、ビデオリンクが設定リンクをオーバーライドしてロックを試みます。

リンクのスタートアップ手順

表8に、ビデオディスプレイアプリケーションにおけるスタートアップの4つの場合を示します。表9に、画像検出アプリケーションにおけるスタートアップの2つの場合を示します。ディスプレイまたは画像検出のいずれのアプリケーションでも、高速データリンクまたは設定リンクの確立後は常に制御リンクが利用可能であり、GMSLのレジスタまたはペリフェラルの設定を行うことができます。

ビデオディスプレイアプリケーション

リモートディスプレイユニットを使用するビデオディスプレイアプリケーションの場合、 μC をシリアライザに接続して、シリアライザとデシリアライザの両方をCDS = ローに設定してください。表8に、AUTOSおよびMSの設定に基づくスタートアップの4つの場合について概要を示します。

ケース1：オートスタートモード

シリアライザとデシリアライザの両方が起動後またはPWDNがローからハイに遷移したとき、安定したPCLK_{_}が存在する場合はシリアルリンクが確立されます。シリアライザはPCLK_{_}にロックして、シリアルデータをデシリアライザに送信します。その後、デシリアライザはシリアルリンク上の動作を検出して、入力シリアルデータにロックします。

表7. 変調係数および最大SDIV設定値

SPREAD-SPECTRUM SETTING (%)	MODULATION COEFFICIENT (decimal)	SDIV UPPER LIMIT (decimal)
4	208	15
2	208	30

スペクトラム拡散およびフルデュプレックス制御チャネル 内蔵、ギガビットマルチメディア・デシリアライザ

表8. ビデオディスプレイアプリケーション(CDS = ロー)のスタートアップの選択肢

CASE	AUTOS (SERIALIZER)	SERIALIZER POWER-UP STATE	MS (DESERIALIZER)	DESERIALIZER POWER-UP STATE	LINK STARTUP MODE
1	Low	Serialization enabled	Low	Normal (SLEEP = 0)	Both devices power up with the serial link active (autostart).
2	High	Serialization disabled	High	Sleep mode (SLEEP = 1)	Serial link is disabled and the deserializer powers up in sleep mode. Set SEREN = 1 or CLINKEN = 1 in the serializer to start the serial link and wake up the deserializer.
3	High	Serialization disabled	Low	Normal (SLEEP = 0)	Both devices power up in normal mode with the serial link disabled. Set SEREN = 1 or CLINKEN = 1 in the serializer to start the serial link.
4	Low	Serialization enabled	High	Sleep mode (SLEEP = 1)	The deserializer starts in sleep mode. Link autostarts upon the serializer power-up. Use this case when the deserializer powers up before the serializer.

ケース2：スタンバイスタートモード

シリアライザとデシリアライザの両方が起動後、またはPWDNがローからハイに遷移したとき、デシリアライザはスリープモードでスタートアップして、シリアライザはスタンバイモードのままになります(シリアルデータを送信しません)。μCを使用してシリアライザの設定を行い、SEREN = 1に設定してビデオリンクを確立するか、またはCLINKEN = 1に設定して設定リンクを確立してください。安定したPCLK_ (SEREN = 1の場合)または内蔵発振器(CLINKEN = 1の場合)へのロック後、シリアライザはデシリアライザにウェイクアップ信号を送信します。デシリアライザはシリアルデータにロックした後、スリープモードを終了してSLEEP = 0をセットします。8ms後にデシリアライザが入力シリアルデータにロックしていない場合、デシリアライザは再びスリープに移行して、内部のスリープビットがクリアされないまま(SLEEP = 1)になります。

ケース3：リモート側のオートスタートモード

起動後、またはPWDNがローからハイに遷移したとき、リモートデバイス(デシリアライザ)がスタートアップして十分なパワーの入力シリアル信号にロックしようとしません。ホスト側(シリアライザ)はスタンバイモードで、リンクを確立しようとしません。μCを使用してシリアライザを

SEREN = 1に設定して(および安定したPCLK_を印加して)ビデオリンクを確立するか、またはCLINKEN = 1に設定して設定リンクを確立してください。この場合、デシリアライザはシリアライザから送信される短いウェイクアップ信号を無視します。

ケース4：リモート側がスリープモードの場合

起動後またはPWDNがローからハイに遷移したとき、リモートデバイス(デシリアライザ)はスリープモードでスタートアップします。シリアライザが安定したPCLK_で起動してデシリアライザにウェイクアップ信号を送信した後、高速リンクが自動的に確立されます。デシリアライザがシリアライザより先に起動するアプリケーションでは、このモードを使用してください。

画像検出アプリケーション

リモートカメラユニットを使用する画像検出アプリケーションの場合、μCをデシリアライザに接続して、シリアライザとデシリアライザの両方をCDS = ハイに設定してください。デシリアライザは通常モード(SLEEP = 0)で起動して、有効なシリアル入力へのロックを継続的に試みます。表9に、シリアライザのAUTOS端子の状態に基づくスタートアップの2つの場合について概要を示します。

スペクトラム拡散およびフルデュプレックス制御チャネル内蔵、ギガビットマルチメディア・デシリアライザ

表9. 画像検出アプリケーション(CDS = ハイ)のスタートアップの選択肢

CASE	AUTOS (SERIALIZER)	SERIALIZER POWER-UP STATE	DESERIALIZER POWER-UP STATE	LINK STARTUP MODE
1	Low	Serialization enabled	Normal (SLEEP = 0)	Autostart.
2	High	Sleep mode (SLEEP = 1)	Normal (SLEEP = 0)	Serializer is in sleep mode. Wake up the serializer through the control channel (μ C attached to the deserializer).

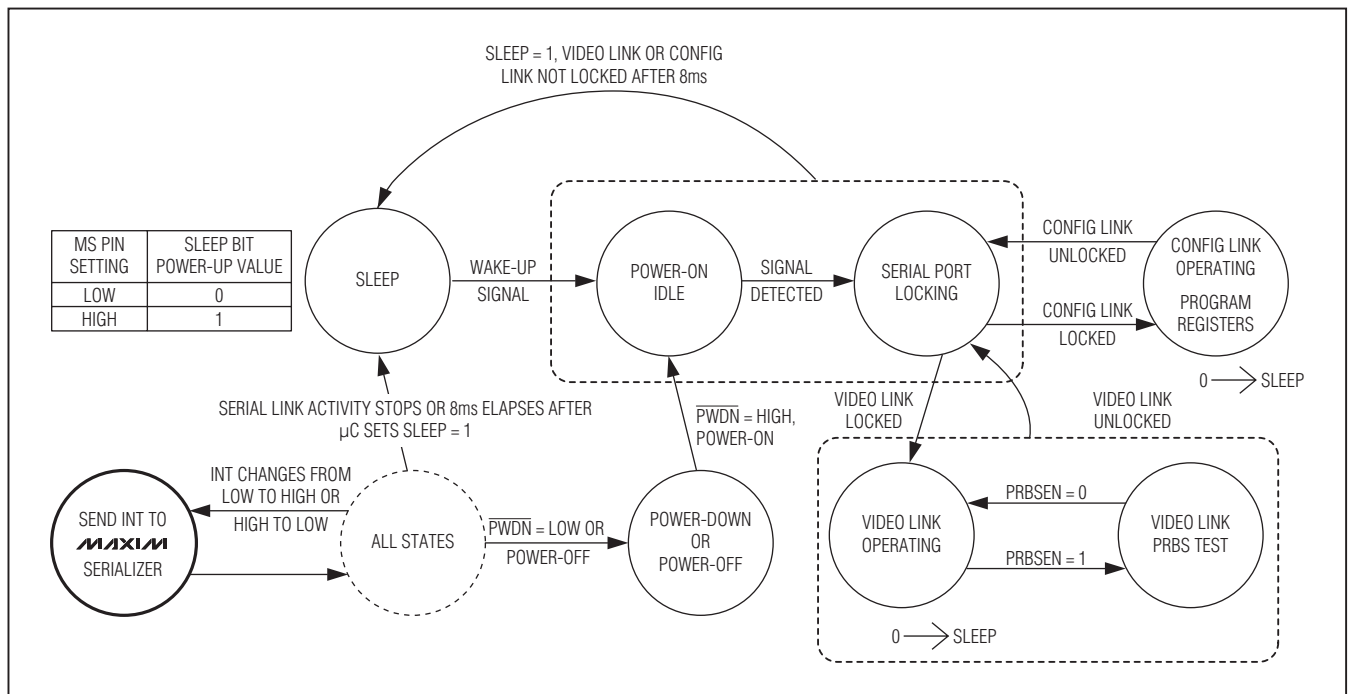


図19. 状態遷移図、CDS = ロー(LCDアプリケーション)

ケース1：オートスタートモード

起動後、またはPWDNがローからハイに遷移したとき、シリアライザは安定したPCLKINにロックして、デシリアライザに高速データを送信します。デシリアライザはシリアルデータにロックして、パラレルビデオデータおよびPCLKOUTを出力します。

ケース2：スリープモード

起動後、またはPWDNがローからハイに遷移したとき、シリアライザはスリープモードで起動します。シリアライザをウェイクアップするには、 μ Cを使用して、少なくとも3つの立上りエッジを含んだ通常のUARTフレーム(たと

えば、0x66)を1Mbps以下のビットレートで送信してください。シリアライザの低電力ウェイクアップレシーバは、逆方向制御チャネル上でウェイクアップフレームを検出して起動します。通常の制御チャネル書き込みパッケージを使用してシリアライザのスリープビットをリセットして(SLEEP = 0)、デバイスを完全に起動させてください。スリープビット書き込みパッケージは、ウェイクアップフレームから少なくとも500 μ s後に送信してください。ウェイクアップフレームの検出後8ms (typ)以内にスリープビットがクリアされない場合、シリアライザは再びスリープモードに移行します。

スペクトラム拡散およびフルデュプレックス制御チャンネル 内蔵、ギガビットマルチメディア・デシリアライザ

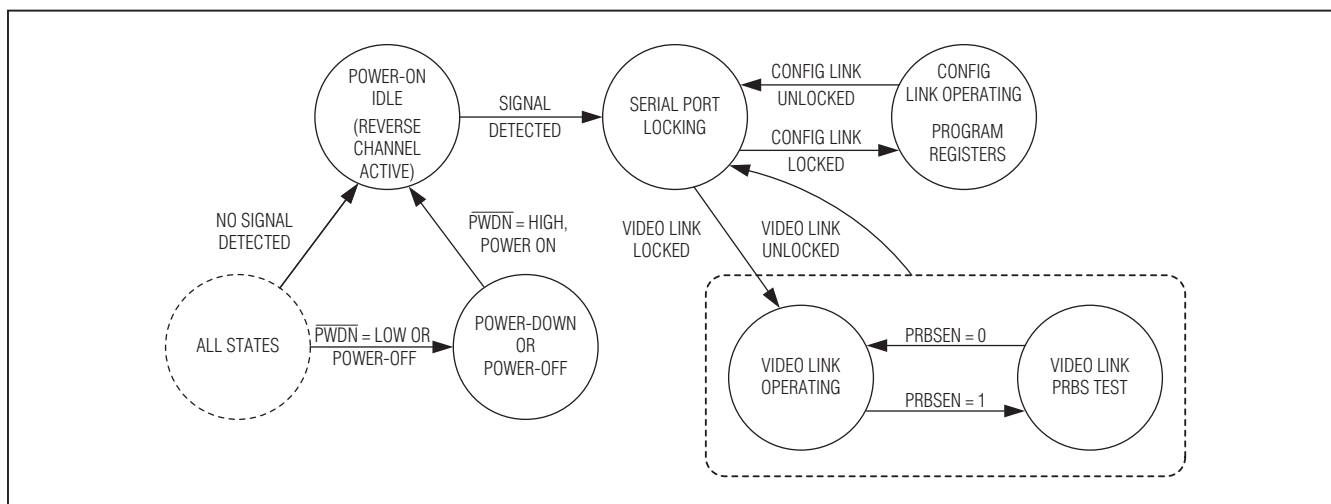


図20. 状態遷移図、CDS = ハイ(カメラアプリケーション)

アプリケーション情報

エラーチェック

このデシリアライザは、シリアルリンクのエラーをチェックして、検出された復号化エラーの数を8ビットのレジスタ(DECERR、0x0D)に格納します。短時間に多数の復号化エラーが検出された場合、デシリアライザのロックが解除されてエラーカウンタが停止します。その後、デシリアライザはシリアルデータへの再ロックを試みます。ビデオリンクのロックに成功した場合、(UARTを介した)DECERRの読取りに成功した場合、またはオートエラーリセットがイネーブルされた場合、DECERRがリセットされます。内部PRBSテスト中はデシリアライザは復号化エラーのチェックを行わず、DECERRは0x00にリセットされます。

ERR出力

このデシリアライザは、オープンドレインのERR出力を備えています。この出力は、通常動作中に復号化エラーの数がエラースレッショルド(ERRTHR、0x0C)を超えた場合、またはPRBSテスト中に少なくとも1回のPRBSエラーが検出された場合ローにアサートします。DECERR(0x0D)のリセット時(DECERRの読取りによる)、ビデオリンクのロック時、またはオートエラーリセット時、ERRはハイに再アサートします。

オートエラーリセット

エラーをリセットするためのデフォルトの方法は、デシリアライザ内のそれぞれのエラーレジスタ(0x0D、0x0E)を読み取ることです。オートエラーリセットは、ERRがローになってから1μs以内に復号化エラーカウンタ(DECERR)およびERR出力をクリアします。オートエラーリセットは、

起動時にはディセーブルされています。オートエラーリセットのイネーブルは、AUTORST(0x06 D6)を介して行ってください。デバイスがPRBSテストモードの場合、オートエラーリセットは実行されません。

自己PRBSテスト

GMSLリンクは、PRBSパターンジェネレータおよびビットエラー検証機能を備えています。PRBSテストを開始するには、最初にシリアルライザ、次にデシリアライザの順で、PRBSEN = 1(0x04 D5)に設定してください。PRBS自己テストを終了する場合は、最初にデシリアライザ、次にシリアルライザの順で、PRBSEN = 0(0x04 D5)に設定してください。デシリアライザは8ビットのレジスタ(0x0E)を使用して、検出されたエラーの数をカウントします。制御リンクによるエラーカウンタの開始と終了の制御も可能です。PRBSモードの間は、デバイスは復号化エラーをカウントせず、ERR出力にはPRBSエラーのみが反映されます。デバイスがPRBSモードの場合、オートエラーリセットは実行されません。

GMSLリンクの両側でのマイクロコントローラの使用(デュアルμC制御)

通常、ビデオディスプレイアプリケーションの場合はシリアルライザ側、画像検出アプリケーションの場合はデシリアライザ側にμCが存在します。前者の場合は両方のCDS端子がローに設定され、後者の場合はCDS端子がハイに設定されます。しかし、シリアルライザのCDS端子がローでデシリアライザのCDS端子がハイの場合は、シリアルライザ/デシリアライザの両方を同時にμCに接続することが可能です。その場合、どちらの側のμCもGMSL UARTプロトコルを使用して通信を行うことができます。

スペクトラム拡散およびフルデュプレックス制御チャネル内蔵、ギガビットマルチメディア・デシリアライザ

両側のμCが同時に制御リンクを使用している場合、制御リンクの競合が発生する可能性があります。GMSLは、競合回避のための解決策を提供していません。競合が原因で通信が失敗した場合、シリアライザ/デシリアライザはアクリッジフレームを送信しません。ユーザーは常に上位層のプロトコルを実装して競合を回避することができます。さらに、シリアルリンク上でのUART通信が必要ない場合は、μCは各デバイスのFWCCENおよびREVCCENビット(0x04 D[1:0])を介して順方向および逆方向の制御チャネルをディセーブルすることができます。シリアルリンク上のUART通信が停止して、μC間の競合が発生しなくなります。デュアルμC動作中にいずれかの側で一方のCDS端子の状態が変化した場合、リンクは「リンクのスタートアップ手順」の項で説明した該当の状態に復帰します。

画像検出リンクでデュアルμCを使用する例として、シリアライザがスリープモードで、デシリアライザによるウェイクアップを待つという場合があります。ウェイクアップ後、シリアライザ側のμCはシリアライザのCDS端子をローに設定して、シリアライザのレジスタのマスター制御を担当します。

データ周波数の変更

ビデオデータ速度(f_{PCLK})および制御データ速度(f_{UART})の両方ともオンザフライでの変更が可能で、複数のクロック速度を使用するアプリケーションをサポートします。システムの最大能力を要求されない場合、低速/低性能のモードを使用することによって大幅な省電力化が可能になります。PCLK₀が安定した後でGMSLリンクをイネーブルしてください。クリーンな周波数変更を保証することができない場合は、5μsの間PCLKINを停止してシリアルリンクを再始動させるか、またはパラレルクロック周波数の変更後に毎回SERENをトグルして自動設定の再キャリブレーションを行ってください。逆方向制御チャネルは、シリアルラインの開始または停止後350μs間は利用することができません。デバイスがUARTの同期パターンを認識することを保証するために、 f_{UART} のオンザフライ変更は1回の倍率を3.5までに制限してください。たとえば、UART周波数を1Mbpsから100kbpsに低下させる場合、最初にデータを333kbpsで送信して、次に100kbpsで送信することによって、低下率をそれぞれ3および3.333にしてください。

LOCK出力のループバック

LOCKをシリアライザにループバックさせるには、LOCK出力をそのデバイスのINT入力に接続してください。シリアライザの割込み出力が、デシリアライザのLOCK出力の遷移に追従します。逆方向チャネル通信はアクティブな順方向リンクを必要とせず動作して、ビデオリンクのLOCKの状態を正確に追尾します。LOCKはビデオリンク

についてのみアサートされ、設定リンクについてはアサートされません。

GPIO

このデバイスは、2つのオープンドレインGPIOが利用可能です。GPIO1OUTおよびGPIO0OUT (0x06 D3、D1)で、GPIOの出力の状態を設定します。GPIO入力バッファは常にイネーブルされています。入力の状態は、GPIO1およびGPIO0 (0x06 D2、D0)に格納されます。GPIO1/GPIO0を入力として使用する場合は、GPIO1OUT/GPIO0OUTに1をセットしてください。

スタガードパラレルデータ出力

このデバイスは、パラレルデータ出力をスタガー(時差出力)させることによってEMIおよびノイズを低減させます。出力のスタガーによって、電源過渡要件も軽減されます。デフォルトでは、デシリアライザは表10に従って出力をスタガーさせます。出力スタガーのディセーブルは、DISSTAGビット(0x06 D7)を介して行ってください。

I²C/UARTのプルアップ抵抗の選択

I²C/UARTのオープンドレインのラインは、どちらもロジックハイレベルを提供するためにプルアップ抵抗を必要とします。電力消費と速度の間にトレードオフの関係が存在するため、プルアップ抵抗値の選択に当っては妥協が必要になります。バスに接続されているすべてのデバイスによって、デバイスが動作していない場合でもある程度の容量が付加されます。I²Cでは、最大400kbpsのデータ速度で定義される高速モードについて、ローからハイへ(30%から70%へ)の立上り時間を300nsと規定しています(詳細については「Electrical Characteristics (電気的特性)」の表のI²Cの仕様を参照)。高速モードの立上り要件を満たすために、立上り時間 $t_r = 0.85 \times R_{PULLUP} \times C_{BUS} < 300ns$ となるプルアップ抵抗を選択してください。遷移時間が低速になりすぎた場合、波形は認識されません。このデバイスは、最大1MbpsのI²C/UART速度をサポートしています。

表10. スタガード出力の遅延

OUTPUT	OUTPUT DELAY RELATIVE TO DOUT0 (ns)	
	DISSTAG = 0	DISSTAG = 1
DOUT0–DOUT5, DOUT21, DOUT22	0	0
DOUT6–DOUT10, DOUT23, DOUT24	0.5	0
DOUT11–DOUT15, DOUT25, DOUT26	1	0
DOUT16–DOUT20, DOUT27, DOUT28	1.5	0
PCLKOUT	0.75	0

スペクトラム拡散およびフルデュプレックス制御チャネル内蔵、ギガビットマルチメディア・デシリアライザ

AC結合

AC結合は、最大でコンデンサの電圧定格までのDC電圧からレシーバを絶縁します。リンクを正常に動作させ、ケーブルの一方の端が高電圧に短絡された場合に保護を提供するためには、4つのコンデンサ(シリアライザの出力に2つ、デシリアライザの入力に2つ)が必要です。AC結合によって、低周波数のグラウンドシフトおよび低周波数のコモンモードノイズが阻止されます。

AC結合コンデンサの選択

電圧ドレupおよび送信されるシンボルのDSV (デジタル総和変動)が原因で、信号の遷移は様々な電圧レベルから開始されることとなります。遷移時間は有限であるため、信号の遷移が異なる電圧レベルから開始されることでタイミングジッタが発生します。AC結合されたリンクの時定数を、ドレupおよびジッタを許容可能なレベルまで減少させるように選択する必要があります。AC結合されたリンク用のRC回路は、CMLレシーバの終端抵抗(R_{TR})、CMLドライバの終端抵抗(R_{TD})、および直列AC結合コンデンサ(C)で構成されます。同一の値の直列コンデンサ4つによるRC時定数は $(C \times (R_{TD} + R_{TR}))/4$ です。 R_{TD} および R_{TR} は、伝送ラインのインピーダンス(通常は100Ω)と整合させる必要があります。そのため、システムの時定数を変える要素として残るのはコンデンサの選択ということになります。より低速の逆方向チャンネル信号を通過させるため、少なくとも0.2μF (100V)の高周波数の表面実装型セラミックコンデンサを使用してください。高速信号に対する寄生効果を低減するため、3.2mm x 1.6mmより小さいケースサイズのコンデンサを使用してください。

電源回路およびバイパス処理

このデバイスは、3.0V~3.6VのAVDDおよびDVDDを使用します。デバイス上のすべてのシングルエンドの入力および出力は、1.7V~3.6VのIOVDDから電力を取得します。入力レベルまたは出力レベルは、IOVDDに比例して増減します。電源電圧の適切なバイパスは、高周波数回路の安定性にとって不可欠です。

表11. GMSLの推奨コネクタおよびケーブル

SUPPLIER	CONNECTOR	CABLE
JAE Electronics, Inc.	MX38-FF	A-BW-Lxxxxx
Nissei Electric Co., Ltd.	GT11L-2S	F-2WME AWG28
Rosenberger Hochfrequenztechnik GmbH	D4S10A-40ML5-Z	Dacar 538

ケーブルおよびコネクタ

CML用の相互接続は、通常は差動インピーダンスが100Ωです。差動インピーダンスが整合されたケーブルおよびコネクタを使用して、インピーダンスの不連続性を最小限に抑えてください。ツイストペアおよびシールドを備えたツイストペアケーブルはリボンケーブルと比較して優れた信号品質を提供し、磁場相殺効果があるためEMIの発生も減少する傾向があります。平衡型ケーブルが拾うノイズはコモンモードになるため、CMLレシーバによって除去されます。表11に、GMSLリンクで使用される推奨ケーブルおよびコネクタを示します。

基板レイアウト

パラレル信号とCMLの高速シリアル信号を分離して、クロストークを防止してください。電源、グラウンド、CML、およびデジタル信号の各層が独立している4層PCBを使用してください。PCBトレース間を接近させ、差動特性インピーダンスが100ΩになるようにPCBトレースのレイアウトを行ってください。トレースのサイズは使用するトレースの種類(マイクロストリップまたはストリップライン)によって異なります。50ΩのPCBトレース2本を接近させた場合、差動インピーダンスは100Ωにならないことに注意してください。トレース間が接近している場合、インピーダンスが低下します。

CMLチャンネル用のPCBトレース(各CMLチャンネルごとに2本の導線が存在)を平行に配置して、差動特性インピーダンスを維持してください。ビアの使用は避けてください。ビアを使用する必要がある場合は、各CMLチャンネル当り1組のみを使用して、各ラインのビアをPCBトレース全長の中の同一位置に配置してください。これによって、反射が発生する場合、同時に発生することになります。ビアを自動テスト装置用のテストポイントにしないでください。差動ペアを構成するPCBトレースは長さを等しくして、差動ペア内におけるスキューを回避してください。

スペクトラム拡散およびフルデュプレックス制御チャネル内蔵、ギガビットマルチメディア・デシリアライザ

ESD保護

ESD耐性の定格は、ヒューマンボディモデル、IEC 61000-4-2、およびISO 10605に準拠しています。ISO 10605およびIEC 61000-4-2規格は、電子システムのESD耐性を規定しています。シリアル入力は、ISO 10605のESD保護およびIEC 61000-4-2のESD保護に適合しています。他のすべての端子は、ヒューマンボディモデルのESD耐性に適合しています。ヒューマンボディモデルの放電コンポーネントは、 $C_S = 100\text{pF}$ および $R_D = 1.5\text{k}\Omega$ です(図21)。IEC 61000-4-2の放電コンポーネントは、 $C_S = 150\text{pF}$ および $R_D = 330\Omega$ です(図22)。ISO 10605の放電コンポーネントは、 $C_S = 330\text{pF}$ および $R_D = 2\text{k}\Omega$ です(図23)。

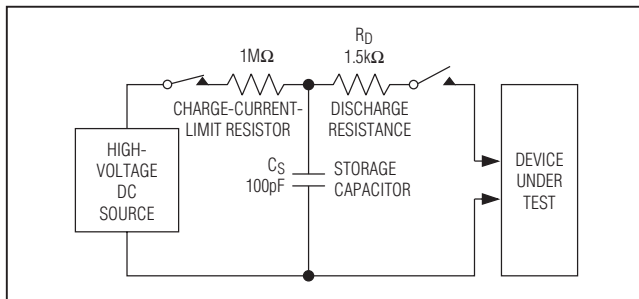


図21. ヒューマンボディモデルESD試験回路

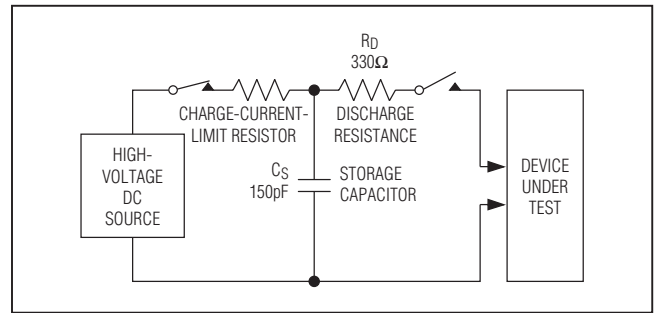


図22. IEC 61000-4-2接触放電ESD試験回路

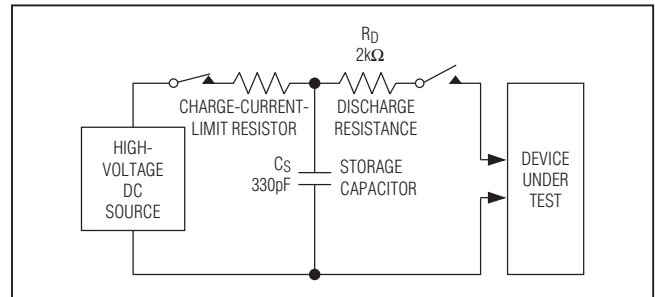


図23. ISO 10605接触放電ESD試験回路

表12. レジスタ表

REGISTER ADDRESS	BITS	NAME	VALUE	FUNCTION	DEFAULT VALUE
0x00	D[7:1]	SERID	XXXXXXX	Serializer device address.	1000000
	D0	—	0	Reserved.	0
0x01	D[7:1]	DESID	XXXXXXX	Deserializer device address.	1001000
	D0	—	0	Reserved.	0
0x02	D[7:6]	SS	00	No spread spectrum. Power-up default when SSEN = low.	00, 01
			01	±2% spread spectrum. Power-up default when SSEN = high.	
			10	No spread spectrum.	
			11	±4% spread spectrum.	
	D5	—	0	Reserved.	0
	D4	AUDIOEN	0	Disable I ² S channel.	1
			1	Enable I ² S channel.	
	D[3:2]	PRNG	00	12.5MHz to 25MHz pixel clock.	11
			01	25MHz to 50MHz pixel clock.	
			10	50MHz to 104MHz pixel clock.	
			11	Automatically detect the pixel clock range.	
	D[1:0]	SRNG	00	0.5 to 1Gbps serial-data rate.	11
01			1 to 2Gbps serial-data rate.		
10			2 to 3.125Gbps serial-data rate.		
11			Automatically detect serial-data rate.		

スペクトラム拡散およびフルデュプレックス制御チャネル 内蔵、ギガビットマルチメディア・デシリアライザ

MAX9270

表12. レジスタ表(続き)

REGISTER ADDRESS	BITS	NAME	VALUE	FUNCTION	DEFAULT VALUE
0x03	D[7:6]	AUTOFM	00	Calibrate spread-modulation rate only once after locking.	00
			01	Calibrate spread-modulation rate every 2ms after locking.	
			10	Calibrate spread-modulation rate every 16ms after locking.	
			11	Calibrate spread-modulation rate every 256ms after locking.	
	D5	—	0	Reserved.	0
	D[4:0]	SDIV	00000	Autocalibrate sawtooth divider.	00000
XXXXX			Manual SDIV setting (see the <i>Manual Programming of the Spread-Spectrum Divider</i> section).		
0x04	D7	LOCKED	0	LOCK output is low.	0 (read only)
			1	LOCK output is high.	
	D6	OUTENB	0	Enable outputs.	0
			1	Disable outputs.	
	D5	PRBSEN	0	Disable PRBS test.	0
			1	Enable PRBS test.	
	D4	SLEEP	0	Normal mode default value depends on CDS and MS pin values at power-up).	0, 1
			1	Activate sleep mode default value depends on CDS and MS pin values at power-up).	
	D[3:2]	INTTYPE	00	Base mode uses I ² C peripheral interface.	00
			01	Base mode uses UART peripheral interface.	
			10, 11	Base mode peripheral interface disabled.	
	D1	REVCCEN	0	Disable reverse control channel to serializer (sending).	1
			1	Enable reverse control channel to serializer (sending).	
	D0	FWDCCEN	0	Disable forward control channel from serializer (receiving).	1
1			Enable forward control channel from serializer (receiving).		

スペクトラム拡散およびフルデュプレックス制御チャネル 内蔵、ギガビットマルチメディア・デシリアライザ

MAX9270

表12. レジスタ表(続き)

REGISTER ADDRESS	BITS	NAME	VALUE	FUNCTION	DEFAULT VALUE
0x05	D7	I2CMETHOD	0	I ² C conversion sends the register address.	0
			1	Disable sending of I ² C register address (command-byte-only mode).	
	D[6:5]	HPFTUNE	00	7.5MHz Equalizer highpass cutoff frequency.	01
			01	3.75MHz cutoff frequency.	
			10	2.5MHz cutoff frequency.	
			11	1.87MHz cutoff frequency.	
	D4	PDHF	0	High-frequency boosting enabled.	0
			1	High-frequency boosting disabled.	
	D[3:0]	EQTUNE	0000	2.1dB equalizer boost gain.	0100, 1001
			0001	2.8dB equalizer boost gain.	
			0010	3.4dB equalizer boost gain.	
			0011	4.2dB equalizer boost gain.	
			0100	5.2dB equalizer boost gain. Power-up default when EQS = high.	
			0101	6.2dB equalizer boost gain.	
			0110	7dB equalizer boost gain.	
0111			8.2dB equalizer boost gain.		
1000			9.4dB equalizer boost gain.		
1001			10.7dB equalizer boost gain. Power-up default when EQS = low.		
1010			11.7dB equalizer boost gain.		
1011			13dB equalizer boost gain.		
11XX			Do not use.		
0x06	D7	DISSTAG	0	Enable staggered outputs.	0
			1	Disable staggered outputs.	
	D6	AUTORST	0	Do not automatically reset error registers and outputs.	0
			1	Automatically reset error registers and outputs.	
	D5	DISINT	0	Enable interrupt transmission to serializer.	0
			1	Disable interrupt transmission to serializer.	
	D4	INT	0	INT input = low (read only).	0 (read only)
			1	INT input = high (read only).	
	D3	GPIO1OUT	0	Output low to GPIO1.	1
			1	Output high to GPIO1.	
	D2	GPIO1	0	GPIO1 is low.	1 (read only)
			1	GPIO1 is high.	
	D1	GPIO0OUT	0	Output low to GPIO0.	1
			1	Output high to GPIO0.	
D0	GPIO0	0	GPIO0 is low.	1 (read only)	
		1	GPIO0 is high.		

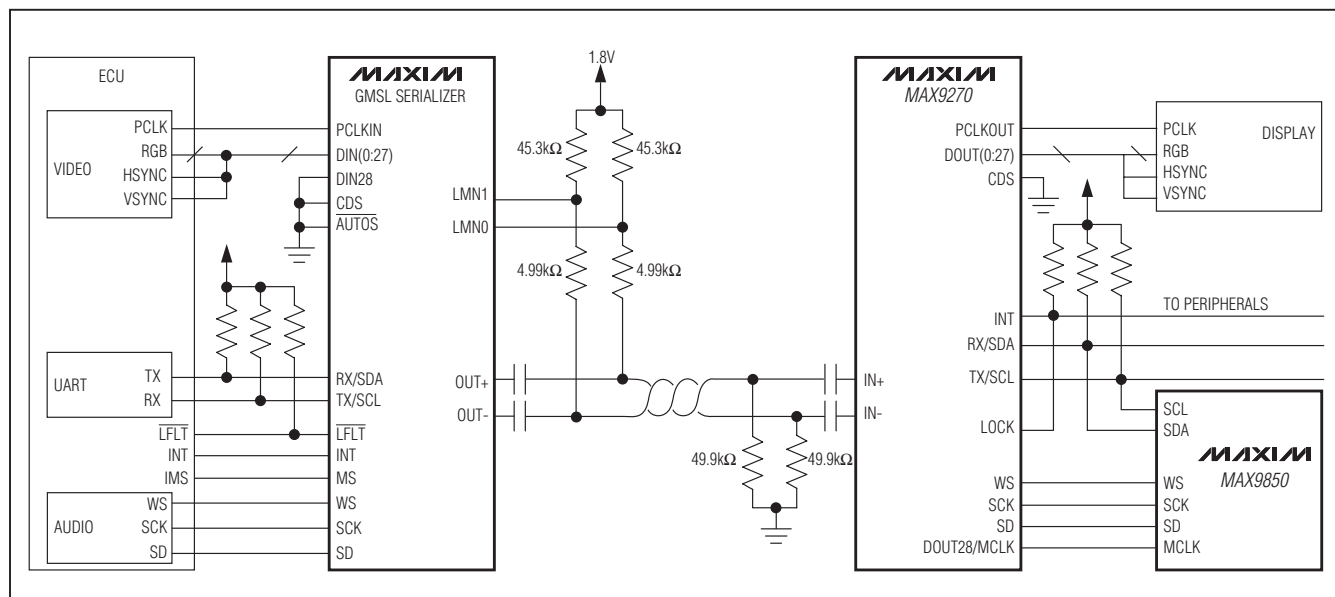
スペクトラム拡散およびフルデュプレックス制御チャネル 内蔵、ギガビットマルチメディア・デシリアライザ

MAX9270

表12. レジスタ表(続き)

REGISTER ADDRESS	BITS	NAME	VALUE	FUNCTION	DEFAULT VALUE
0x07	D[7:0]	—	01010100	Reserved.	01010100
0x08	D[7:0]	—	00110000	Reserved.	00110000
0x09	D[7:0]	—	11001000	Reserved.	11001000
0x0A	D[7:0]	—	00010010	Reserved.	00010010
0x0B	D[7:0]	—	00100000	Reserved.	00100000
0x0C	D[7:0]	ERRTHR	XXXXXXXX	Error threshold for decoding errors. \overline{ERR} = low when DECERR > ERRTHR.	00000000
0x0D	D[7:0]	DECERR	XXXXXXXX	Decoding error counter. This counter remains zero while the device is in PRBS test mode.	00000000 (read only)
0x0E	D[7:0]	PRBSERR	XXXXXXXX	PRBS error counter.	00000000 (read only)
0x12	D7	MCLKSRC	0	MCLK derived from PCLKOUT (see Table 4).	0
			1	MCLK derived from internal oscillator.	
0x12	D[6:0]	MCLKDIV	0000000	MCLK disabled.	0000000
			XXXXXXXX	MCLK divider.	
0x1E	D[7:0]	ID	00000010	Device identifier (MAX9270 = 0x02).	00000010 (read only)
0x1F	D[7:4]	—	0000	Reserved.	0000 (read only)
	D[3:0]	REVISION	XXXX	Device revision.	(read only)

標準アプリケーション回路



スペクトラム拡散およびフルデュプレックス制御チャネル 内蔵、ギガビットマルチメディア・デシリアライザ

チップ情報

PROCESS: CMOS

パッケージ

最新のパッケージ図面情報およびランドパターン(フットプリント)はjapan.maxim-ic.com/packagesを参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点に注意してください。

パッケージ タイプ	パッケージ コード	ドキュメント No.	ランド パターンNo.
56 TQFN-EP	T5688+2	21-0135	90-0046

スペクトラム拡散およびフルデュプレックス制御チャンネル 内蔵、ギガビットマルチメディア・デシリアライザ

MAX9270

改訂履歴

版数	改訂日	説明	改訂ページ
0	12/10	初版	—
1	1/11	「特長」に特許出願中を追加	1

マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maximは完全にMaxim製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maximは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 _____ **33**

© 2011 Maxim Integrated Products

MaximはMaxim Integrated Products, Inc.の登録商標です。