EVALUATION KIT AVAILABLE

19-6594; Rev 0; 3/13

MAX9240

6.25MHz～100MHz、25ビットGMSLデシリアライザ、同軸またはSTPケーブル用、ライン障害検出付き

概要

小型デシリアライザのMAX9240は、50Ω同軸または100Ωシールドツイストペア(STP)ケーブル上でGMSLシリアライザとインタフェースするように設計されています。このデバイスは、シリアライザのMAX9271またはMAX9273とペアを構成します。

パラレル出力は、シングルまたはダブル出力に設定可能です。ダブル出力は、各ピクセルクロックサイクルでパラレルワードの半分をストローブ出力します。ダブル出力は、ダブル入力機能を備えたGMSLシリアライザと組み合わせて使用することができます。

このデバイスは、9.6kbps～1Mbpsで動作する制御チャネルを内蔵しています。この制御チャネルを使用することによって、マイクロコントローラ(µC)は、ビデオタイミングから独立して任意の時点で、シリアライザ/デシリアライザ、ペリフェラルデバイスの各レジスタを設定することができます。2つの設定可能なGPIOポートおよび継続的にサンプリングされるGPI入力が利用可能です。

より長いケーブルを使用するために、このデバイスは設定可能なイコライザを備えています。パラレル出力は、設定可能なスペクトラム拡散が利用可能です。シリアル入力は、ISO 10605およびIEC 61000-4-2 ESD規格に準拠しています。コア電源範囲は1.7V～1.9Vで、I/O電源範囲は1.7V～3.6Vです。このデバイスは48ピンTQFN-EPパッケージ(7mm x 7mm、0.5mmリードピッチ)で提供され、-40℃～+105℃の温度範囲で動作します。

アプリケーション

車載カメラシステム

型番はデータシートの最後に記載されています。

標準アプリケーション回路はデータシートの最後に記載されています。

関連部品およびこの製品とともに使用可能な推奨製品については、japan.maximintegrated.com/MAX9240.related を参照してください。

利点および特長

- カメラアプリケーションに最適
  - 低コスト50Ω同軸ケーブルとFAKRAコネクタ、または100Ω STPで動作
  - エラー検出/補正
  - クロックストレッチ機能を備えたI²C-I²Cモードの制御チャネル：9.6kbps～1Mbps
  - クラス最高レベルの消費電流：90mA (max)
  - メガピクセルカメラ用ダブルレートクロック
  - ケーブルイコライゼーションによって15mのケーブルでフルスピードが可能
  - 48ピンTQFN-EPパッケージ(7mm x 7mm、0.5mmリードピッチ)
- メガピクセルカメラに対応する高速データデシリアライズ機能
  - シリアルビットレート：最大1.5Gbps (シングルまたはダブル出力：6.25MHz～100MHzクロック)
- 柔軟なシステム設計を可能にする複数の制御チャネルモード
  - UART-UARTまたはUART-I²Cモードの制御チャネル：9.6kbps～1Mbps
- EMIおよびシールドの要件を軽減
  - 入力：100mV～500mVシングルエンドまたは50mV～400mV差動に設定可能
  - パラレル出力の設定可能なスペクトラム拡散によるEMIの低減
  - シリアル入力のスペクトラム拡散をトラッキング
- カメラの起動および検証用のペリフェラル機能
  - シリアルリンクのBERテスト用のPRBSチェッカ内蔵
  - シリアルリンクの相互短絡、グランドへの短絡、バッテリへの短絡、またはオープンに対する障害検出
  - 2つのGPIOポート
  - カメラのフレーム同期トリガおよびその他の用途の専用「アップ/ダウン」GPI
  - スリープモードからのリモート/ローカルウェイクアップ
- 車載用および産業用の厳しい要件に適合
  - 動作温度：-40℃～+105℃
  - IEC 61000-4-2 ESD保護：±10kV接触および±15kV気中放電
  - ISO 10605 ESD保護：±10kV接触および±30kV気中放電

本データシートは日本語翻訳であり、相違及び誤りのある可能性があります。設計の際は英語版データシートを参照してください。

価格、納期、発注情報についてはMaxim Direct (0120-551056)にお問い合わせいただくか、Maximのウェブサイト(japan.maximintegrated.com)をご覧ください。

6.25MHz～100MHz、25ビットGMSLデシリアライザ、同軸またはSTPケーブル用、ライン障害検出付き

目次

概要 . . . 1
アプリケーション . . . 1
利点および特長 . . . 1
Absolute Maximum Ratings* . . . 6
Package Thermal Characteristics . . . 6
DC Electrical Characteristics . . . 6
AC ELECTRICAL CHARACTERISTICS . . . 9
標準動作特性 . . . 11
ピン配置 . . . 13
端子説明 . . . 13
ファンクションダイアグラム . . . 16
詳細 . . . 21
- レジスタマッピング . . . 21
- ビットマップ . . . 21
- シリアルリンクの信号方式とデータ形式 . . . 27
- 逆方向制御チャネル . . . 27
- データレートの選択 . . . 27
- 制御チャネルおよびレジスタの設定 . . . 28
- UARTインタフェース . . . 28
  - コマンドバイトのみのI^2CデバイスとUARTとのインタフェース . . . 29
  - UARTバイパスモード . . . 29
- I^2Cインタフェース . . . 29
  - START条件とSTOP条件 . . . 31
  - ビット転送 . . . 31
  - アクノリッジ . . . 31
  - スレーブアドレス . . . 32
  - バスリセット . . . 32
  - 書込みの形式 . . . 32
  - 読取りの形式 . . . 32
  - リモート側デバイスとのI^2C通信 . . . 33
- I^2Cアドレス変換 . . . 33
- 制御チャネルブロードキャストモード . . . 33
- GPO/GPI制御 . . . 33
- PRBSテスト . . . 34
- ラインイコライザ . . . 34
- スペクトラム拡散 . . . 34
- スペクトラム拡散分周器のマニュアル設定 . . . 34
- 追加的なエラー検出/訂正 . . . 35
  - 巡回冗長検査(CRC) . . . 35

目次(続き)

ハミングコード . . . 35
HS/VSの符号化/トラッキング . . . 35
シリアル入力 . . . 35
同軸スプリッタモード . . . 36
ケーブルタイプ設定入力(CX/TP) . . . 36
スリープモード . . . 36
パワーダウンモード . . . 36
設定リンク . . . 36
リンクのスタートアップ手順 . . . 37
アプリケーション情報 . . . 39
エラーチェック . . . 39
$\overline{\text{ERR}}$出力 . . . 39
オートエラーリセット . . . 39
デュアルμC制御 . . . 39
クロック周波数の変更 . . . 39
同期喪失の高速検出 . . . 39
フレーム同期の供給(カメラアプリケーション) . . . 40
デバイスアドレスのソフトウェア設定 . . . 40
3レベル設定入力 . . . 40
設定のブロック . . . 40
他のGMSLデバイスとの互換性 . . . 40
GPIO . . . 40
スタガードパラレル出力 . . . 40
ローカル制御チャネルイネーブル(LCCEN) . . . 41
ライン障害検出 . . . 41
内蔵入力プルダウン . . . 42
I^2C/UARTのプルアップ抵抗の選択 . . . 42
AC結合 . . . 42
AC結合コンデンサの選択 . . . 42
電源回路とバイパス処理 . . . 42
電源の表 . . . 42
ケーブルとコネクタ . . . 42
基板レイアウト . . . 43
ESD保護 . . . 43
標準アプリケーション回路 . . . 50
型番 . . . 50
チップ情報 . . . 50
パッケージ . . . 50
改訂履歴 . . . 51

図リスト

図1. 逆方向制御チャネルの出力パラメータ . . . 17
図2. 差動入力測定のテスト回路 . . . 18
図2a. ライン障害 . . . 18
図3. ワーストケースパターンの出力 . . . 19
図4. パラレルクロック出力のハイおよびロー時間 . . . 19
図5. I²Cのタイミングパラメータ . . . 19
図6. 出力の立上りおよび立下り時間 . . . 20
図7. デシリアライザの遅延 . . . 20
図8. GPI-GPO間の遅延 . . . 20
図9. ロック時間 . . . 21
図10. 起動遅延 . . . 21
図11. シングル出力の波形(シリアライザでシングル入力を使用) . . . 22
図12. シングル出力の波形(シリアライザでダブル入力を使用) . . . 22
図13. ダブル出力の波形(シリアライザでシングル入力を使用) . . . 23
図14. ダブル出力の波形(シリアライザでダブル入力を使用) . . . 23
図15. シリアルデータ形式 . . . 27
図16. ベースモードのGMSL UARTプロトコル . . . 28
図17. ベースモードのGMSL UARTデータ形式 . . . 29
図18. SYNCバイト(0x79) . . . 29
図19. ACKバイト(0xC3) . . . 29
図20. レジスタアドレスによるGMSL UARTとI²Cの間の形式変換(I2CMETHOD = 0) . . . 30
図21. レジスタアドレスによるGMSL UARTとI²Cの間の形式変換(I2CMETHOD = 1) . . . 30
図22. START条件とSTOP条件 . . . 31
図23. ビット転送 . . . 31
図24. アクノリッジ . . . 31
図25. スレーブアドレス . . . 32
図26. I²Cの書込みの形式 . . . 32
図27. 複数のレジスタに対する書込みの形式 . . . 32
図28. I²Cの読取りの形式 . . . 33
図29. 2:1同軸モードスプリッタ接続図 . . . 36
図30. 同軸モード接続図 . . . 36
図31. 状態図、リモートマイクロコントローラアプリケーション . . . 38
図32. ヒューマンボディモデルESDテスト回路 . . . 43
図33. IEC 61000-4-2接触放電ESDテスト回路 . . . 43
図34. ISO 10605接触放電ESDテスト回路 . . . 43

表リスト

表1. 起動時のデフォルトのレジスタマップ(表16を参照) 24
表2. 出力マップ. 26
表3. データレート選択表 27
表4. I²Cのビットレート範囲 33
表5. ケーブルイコライザのブーストレベル. 34
表6. パラレル出力の拡散 34
表7. 変調係数と最大SDIV設定値 34
表8. 設定入力マップ. 36
表9. ビデオディスプレイアプリケーションのスタートアップ手順 37
表10. 画像検出アプリケーションのスタートアップ手順. 38
表11. MAX9240の機能上の互換性 40
表12. スタガード出力の遅延 41
表13. ダブル機能設定. 41
表13a. ライン障害のマッピング. 41
表14. 標準電源電流(ワーストケースの入力パターンを使用) 42
表15. GMSLの推奨コネクタとケーブル 42
表16. レジスタ表(表1を参照) 44

ABSOLUTE MAXIMUM RATINGS*

AVDD to EP ..... -0.5V to +1.9V
DVDD to EP ..... -0.5V to +1.9V
IOVDD to EP ..... -0.5V to +3.9V
IN+, IN- to EP ..... -0.5V to +1.9V
LMN_ TO EP (15mA current limit) ..... -0.5V to +3.9V
All other pins to EP ..... -0.5V to (V_{IOVDD} + 0.5V)
IN+, IN- short circuit to ground or supply ..... Continuous
Continuous Power Dissipation (T_A = +70°C)
TQFN (derate 40mW/°C above +70°C) 3200mW
Junction Temperature ..... +150°C
Operating Temperature Range ..... -40°C to +105°C
Storage Temperature Range ..... -65°C to +150°C
Lead Temperature (soldering, 10s) ..... +300°C
Soldering Temperature (reflow) ..... +260°C

EP is connected to PCB ground.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

PACKAGE THERMAL CHARACTERISTICS (Note 1)

TQFN
Junction-to-Ambient Thermal Resistance (θ_{JA}) ..... 25°C/W
Junction-to-Case Thermal Resistance (θ_{JC}) ..... 1°C/W

Note 1: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to **japan.maximintegrated.com/thermal-tutorial**.

DC ELECTRICAL CHARACTERISTICS

(V_{AVDD} = V_{DVDD} = 1.7V to 1.9V, V_{IOVDD} = 1.7V to 3.6V, R_L = 100Ω ±1% (differential), EP connected to PCB ground, T_A = -40°C to +105°C, unless otherwise noted. Typical values are at V_{AVDD} = V_{DVDD} = V_{IOVDD} = 1.8V, T_A = +25°C.)(Note 2)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
SINGLE-ENDED INPUTS (I2CSEL, LCCEN, GPI, $\overline{PWDN}$, MS/HVEN)							
High-Level Input Voltage	V_{IH1}			0.65 x V_{IOVDD}			V
Low-Level Input Voltage	V_{IL1}					0.35 x V_{IOVDD}	V
Input Current	I_{IN1}	V_{IN} = 0V to V_{IOVDD}		-10		+20	µA
THREE-LEVEL LOGIC INPUTS (CX/TP)							
High-Level Input Voltage	V_{IH}			0.7 x V_{IOVDD}			V
Low-Level Input Voltage	V_{IL}					0.3 x V_{IOVDD}	V
Mid-Level Input Current	I_{INM}	(Note 3)		-10		+10	µA
Input Current	I_{IN}			-150		+150	µA
SINGLE-ENDED OUTPUTS (DOUT_, PCLKOUT)							
High-Level Output Voltage	V_{OH1}	I_{OUT} = -2mA	DCS = 0	V_{IOVDD} - 0.3			V
			DCS = 1	V_{IOVDD} - 0.2			
Low-Level Output Voltage	V_{OL1}	I_{OUT} = 2mA	DCS = 0			0.3	V
			DCS = 1			0.2	

DC ELECTRICAL CHARACTERISTICS (continued)

(V_{AVDD} = V_{DVDD} = 1.7V to 1.9V, V_{IOVDD} = 1.7V to 3.6V, R_L = 100Ω ±1% (differential), EP connected to PCB ground, T_A = -40°C to +105°C, unless otherwise noted. Typical values are at V_{AVDD} = V_{DVDD} = V_{IOVDD} = 1.8V, T_A = +25°C.)(Note 2)

PARAMETER	SYMBOL	CONDITIONS			MIN	TYP	MAX	UNITS
Output Short-Circuit Current	I_{OS}	DOUT_	V_O = 0V, DCS = 0	V_{IOVDD} = 3.0V to 3.6V	15	25	39	mA
				V_{IOVDD} = 1.7V to 1.9V	3	7	13	
			V_O = 0V, DCS = 1	V_{IOVDD} = 3.0V to 3.6V	20	35	63	
				V_{IOVDD} = 1.7V to 1.9V	5	10	21	
		PCLKOUT	V_O = 0V, DCS = 0	V_{IOVDD} = 3.0V to 3.6V	15	33	50	
				V_{IOVDD} = 1.7V to 1.9V	5	10	17	
			V_O = 0V, DCS = 1	V_{IOVDD} = 3.0V to 3.6V	30	54	97	
				V_{IOVDD} = 1.7V to 1.9V	9	16	32	
OPEN-DRAIN INPUTS/OUTPUTS (GPIO0/DBL, GPIO1/BWS, RX/SDA/EDC, TX/SCL/ES, $\overline{ERR}$, LOCK, $\overline{LFLT}$)								
High-Level Input Voltage	V_{IH2}				0.7 x V_{IOVDD}			V
Low-Level Input Voltage	V_{IL2}						0.3 x V_{IOVDD}	V
Input Current	I_{IN2}	(Note 4)	RX/SDA, TX/SCL		-110		+5	µA
			LOCK, $\overline{ERR}$, GPIO_, $\overline{LFLT}$		-80		+5	
			DBL, BWS, EDC, ES		-10		+20	
Low-Level Output Voltage	V_{OL2}	I_{OUT} = 3mA	V_{IOVDD} = 1.7V to 1.9V				0.4	V
			V_{IOVDD} = 3.0V to 3.6V				0.3	
OUTPUT FOR REVERSE CONTROL CHANNEL (IN+, IN-)								
Differential High Output Peak Voltage, (V_{IN}+) - (V_{IN}-)	V_{ROH}	No high-speed data transmission (Figure 1)			30		60	mV
Differential Low Output Peak Voltage, (V_{IN}+) - (V_{IN}-)	V_{ROL}	No high-speed data transmission (Figure 1)			-60		-30	mV
DIFFERENTIAL INPUTS (IN+, IN-)								
Differential High Input Threshold (Peak) Voltage, (V_{IN}+) - (V_{IN}-)	$V_{IDH(P)}$	(Figure 2)	Activity detector, medium threshold (0x22 D[6:5] = 01)				60	mV
			Activity detector, low threshold (0x22 D[6:5] = 00)				45	
Differential Low Input Threshold (Peak) Voltage, (V_{IN}+) - (V_{IN}-)	$V_{IDL(P)}$	(Figure 2)	Activity detector, medium threshold (0x22 D[6:5] = 01)		-60			mV
			Activity detector, medium threshold (0x22 D[6:5] = 00)		-45			
Input Common-Mode Voltage ((V_{IN}+) + (V_{IN}-))/2	V_{CMR}				1	1.3	1.6	V
Differential Input Resistance (Internal)	R_I				80	105	130	Ω

DC ELECTRICAL CHARACTERISTICS (continued)

(V_{AVDD} = V_{DVDD} = 1.7V to 1.9V, V_{IOVDD} = 1.7V to 3.6V, R_L = 100Ω ±1% (differential), EP connected to PCB ground, T_A = -40°C to +105°C, unless otherwise noted. Typical values are at V_{AVDD} = V_{DVDD} = V_{IOVDD} = 1.8V, T_A = +25°C.)(Note 2)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
SINGLE-ENDED INPUTS (IN+, IN-)							
Single-Ended High Input Threshold (Peak) Voltage, (V_{IN}+) - (V_{IN}-)	$V_{IDH(P)}$	Activity detector, medium threshold (0x22 D[6:5] = 01)				43	mV
		Activity detector, low threshold (0x22 D[6:5] = 00)				33	
Single-Ended Low Input Threshold (Peak) Voltage, (V_{IN}+) - (V_{IN}-)	$V_{IDL(P)}$	Activity detector, medium threshold (0x22 D[6:5] = 01)		-43			mV
		Activity detector, medium threshold (0x22 D[6:5] = 00)		-33			
Input Resistance (Internal)	R_I			40	52.5	65	Ω
LINE FAULT DETECTION INPUT (LMN0, LMN1)							
Short-to-GND Threshold	V_{TG}	Figure 2A				0.3	V
Normal Threshold	V_{TN}	Figure 2A		0.57		1.07	V
Open Threshold	V_{TO}	Figure 2A		1.45		V_{IO} + 0.06	V
Open Input Threshold	V_{IO}	Figure 2A		1.49		1.75	V
Short-to-Battery Threshold	V_{TE}	Figure 2A		2.47			V
POWER SUPPLY							
Worst-Case Supply Current (Figure 3)	I_{WCS}	BWS = 0, single output, EQ off	$f_{PCLKOUT}$ = 25MHz		42	65	mA
			$f_{PCLKOUT}$ = 50MHz		61	90	
		BWS = 0, double output, EQ off	$f_{PCLKOUT}$ = 50MHz		42	70	
			$f_{PCLKOUT}$ = 100MHz		62	90	
Sleep Mode Supply Current	I_{CCS}				50	100	µA
Power-Down Current	I_{CCZ}	$\overline{PWDN}$ = EP			15	70	µA
ESD PROTECTION							
IN+, IN- (Note 5)	V_{ESD}	Human Body Model, R_D = 1.5kΩ, C_S = 100pF			±8		kV
		IEC 61000-4-2, R_D = 330Ω, C_S = 150pF	Contact discharge		±10		
			Air discharge		±15		
		ISO 10605, R_D = 2kΩ, C_S = 330pF	Contact discharge		±10		
			Air discharge		±30		
All Other Pins (Note 6)	V_{ESD}	Human Body Model, R_D = 1.5kΩ, C_S = 100pF			±4		kV

AC ELECTRICAL CHARACTERISTICS

(V_{AVDD} = V_{DVDD} = 1.7V to 1.9V, V_{IOVDD} = 1.7V to 3.6V, R_L = 100Ω ±1% (differential), EP connected to PCB ground, T_A = -40°C to +105°C, unless otherwise noted. Typical values are at V_{AVDD} = V_{DVDD} = V_{IOVDD} = 1.8V, T_A = +25°C.)(Note 2)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
PARALLEL CLOCK OUTPUT (PCLKOUT)							
Clock Frequency	$f_{PCLKOUT}$	BWS = 0, DRS = 1		8.33		16.66	MHz
		BWS = 0, DRS = 0		16.66		50	
		BWS = 1, DRS = 1		6.25		12.5	
		BWS = 1, DRS = 0		12.5		37.5	
		BWS = 1, DRS = 0, 15-bit double input		25		75	
		BWS = 0, DRS = 0, 11-bit double input		33.33		100	
Clock Duty Cycle	DC	t_{HIGH}/t_T or t_{LOW}/t_T (Figure 4, Note 7)		40	50	60	%
Clock Jitter	t_J	Period jitter, peak to peak, spread off, 1.5Gbps, PRBS pattern, UI = $1/f_{PCLKOUT}$ (Note 7)			0.05		UI
I²C/UART PORT TIMING							
I²C/UART Bit Rate				9.6		1000	kbps
Output Rise Time	t_R	30% to 70%, C_L = 10pF to 100pF, 1kΩ pullup to V_{IOVDD}		20		120	ns
Output Fall Time	t_F	70% to 30%, C_L = 10pF to 100pF, 1kΩ pullup to V_{IOVDD}		20		120	ns
Input Setup Time	t_{SET}	I²C only (Figure 5, Note 7)		100			ns
Input Hold Time	t_{HOLD}	I²C only (Figure 5, Note 7)		0			ns
SWITCHING CHARACTERISTICS							
PCLKOUT Rise-and-Fall Time	t_R, t_F	20% to 80%, V_{IOVDD} = 1.7V to 1.9V (Note 7)	DCS = 1, C_L = 10pF	0.4		2.2	ns
			DCS = 0, C_L = 5pF	0.5		2.8	
		20% to 80%, V_{IOVDD} = 3.0V to 3.6V (Note 7)	DCS = 1, C_L = 10pF	0.25		1.7	
			DCS = 0, C_L = 5pF	0.3		2.0	
Parallel Data Rise-and-Fall Time (Figure 6)	t_R, t_F	20% to 80%, V_{IOVDD} = 1.7V to 1.9V (Note 7)	DCS = 1, C_L = 10pF	0.5		3.1	ns
			DCS = 0, C_L = 5pF	0.6		3.8	
		20% to 80%, V_{IOVDD} = 3.0V to 3.6V (Note 7)	DCS = 1, C_L = 10pF	0.3		2.2	
			DCS = 0, C_L = 5pF	0.4		2.4	
Deserializer Delay	t_{SD}	(Figure 7, Notes 7, 8)	Spread spectrum enabled			6960	Bits
			Spread spectrum disabled			2160	
Reverse Control-Channel Output Rise Time	t_R	No forward-channel data transmission (Figure 1, Note 7)		180		400	ns
Reverse Control-Channel Output Fall Time	t_F	No forward-channel data transmission (Figure 1, Note 7)		180		400	ns

AC ELECTRICAL CHARACTERISTICS (continued)

(V_{AVDD} = V_{DVDD} = 1.7V to 1.9V, V_{IOVDD} = 1.7V to 3.6V, R_L = 100Ω ±1% (differential), EP connected to PCB ground, T_A = -40°C to +105°C, unless otherwise noted. Typical values are at V_{AVDD} = V_{DVDD} = V_{IOVDD} = 1.8V, T_A = +25°C.)(Note 2)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
GPI-to-GPO Delay	t_{GPIO}	Deserializer GPI to serializer GPO (cable delay not included) (Figure 8)				350	µs
Lock Time	t_{LOCK}	(Figure 9, Note 7)	Spread spectrum enabled			1.5	ms
			Spread spectrum disabled			1	
Power-Up Time	t_{PU}	(Figure 10)				6	ms

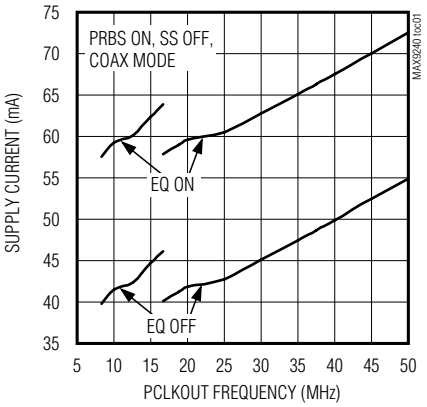
Note 2: Limits are 100% production tested at T_A = +105°C. Limits over the operating temperature range and relevant supply voltage range are guaranteed by design and characterization.
Note 3: To provide a midlevel, leave the input open, or, if driven, put driver in high impedance. High-impedance leakage current must be less than ±10µA.
Note 4: I_{IN} min due to voltage drop across the internal pullup resistor.
Note 5: Specified pin to ground.
Note 6: Specified pin to all supply/ground.
Note 7: Guaranteed by design and not production tested.
Note 8: Measured in serial link bit times. Bit time = 1/(30 x $f_{PCLKOUT}$) for BWS = GND. Bit time = 1/(40 x $f_{PCLKOUT}$) for BWS = 1.

6.25MHz～100MHz、25ビットGMSLデシリアライザ、同軸またはSTPケーブル用、ライン障害検出付き

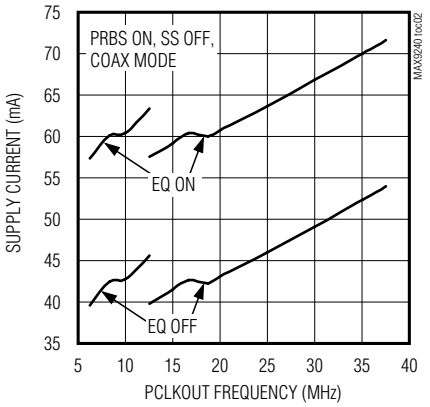
標準動作特性

(V_{AVDD} = V_{DVDD} = V_{IOVDD} = 1.8V, DBL = low, T_A = +25°C, unless otherwise noted.)

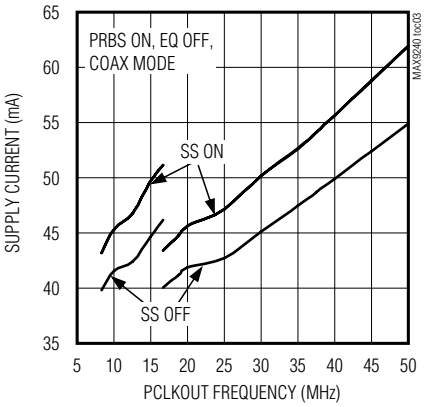
SUPPLY CURRENT vs. PCLKOUT FREQUENCY (BWS = 0)



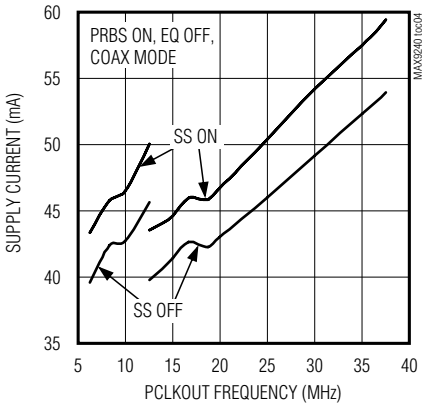
SUPPLY CURRENT vs. PCLKOUT FREQUENCY (BWS = 1)



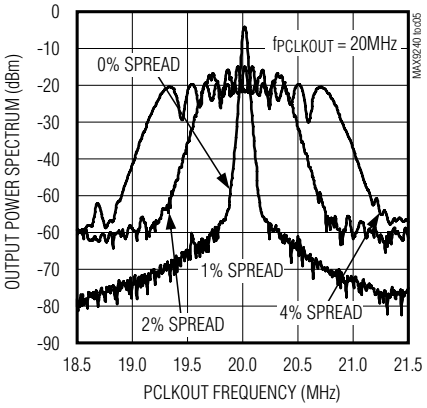
SUPPLY CURRENT vs. PCLKOUT FREQUENCY (BWS = 0)



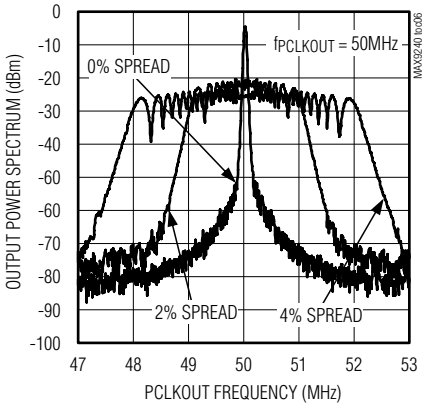
SUPPLY CURRENT vs. PCLKOUT FREQUENCY (BWS = 1)



OUTPUT POWER SPECTRUM vs. PCLKOUT FREQUENCY (VARIOUS SPREAD)



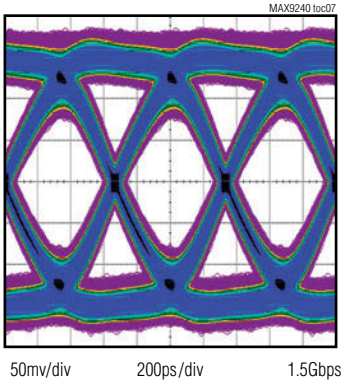
OUTPUT POWER SPECTRUM vs. PCLKOUT FREQUENCY (VARIOUS SPREAD)



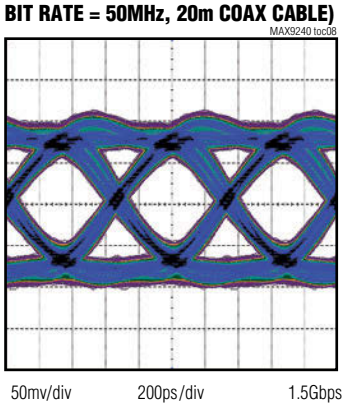
標準動作特性(続き)

(V_{AVDD} = V_{DVDD} = V_{IOVDD} = 1.8V, DBL = low, T_A = +25°C, unless otherwise noted.)

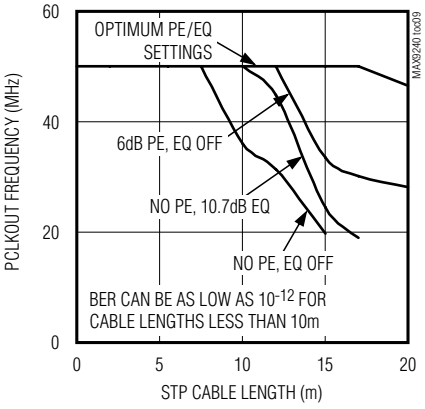
SERIAL LINK SWITCHING PATTERN WITH 6dB PREEMPHASIS (PARALELL BIT RATE = 50MHz, 10m STP CABLE)



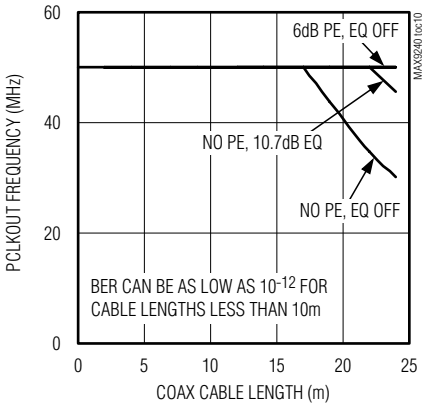
SERIAL LINK SWITCHING PATTERN WITH 6dB PREEMPHASIS (PARALELL BIT RATE = 50MHz, 20m COAX CABLE)



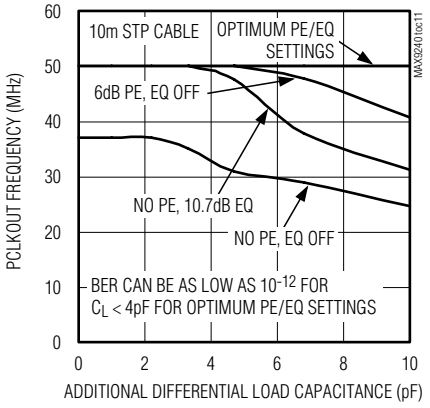
MAXIMUM PCLKOUT FREQUENCY vs. STP CABLE LENGTH (BER ≤ 10^{-10})



MAXIMUM PCLKOUT FREQUENCY vs. COAX CABLE LENGTH (BER ≤ 10^{-10})

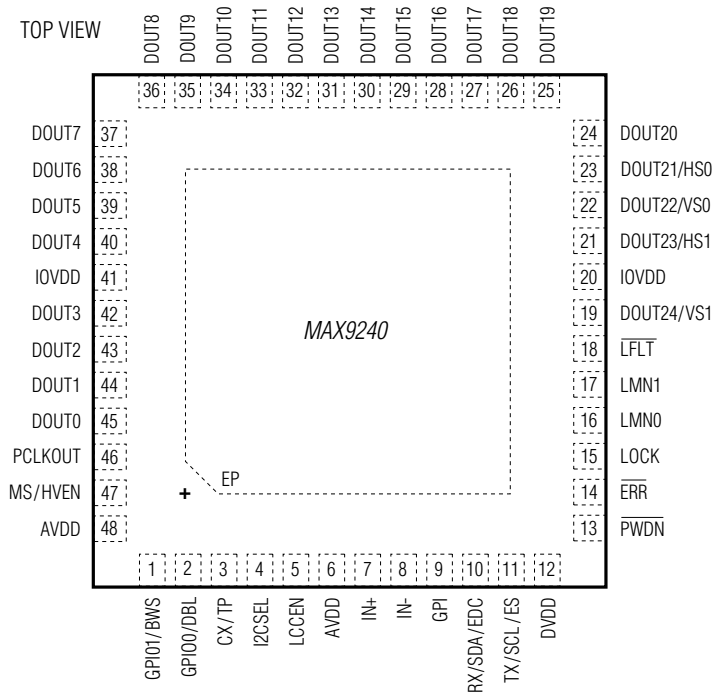


MAXIMUM PCLKOUT FREQUENCY vs. ADDITIONAL DIFFERENTIAL C_L (BER ≤ 10^{-10})



6.25MHz～100MHz、25ビットGMSLデシリアライザ、同軸またはSTPケーブル用、ライン障害検出付き

ピン配置



TQFN
(7mm x 7mm X 0.75mm)
CONNECT EP TO GROUND PLANE

端子説明

端子	名称	機能
1	GPIO1/BWS	GPIO/バス幅選択入力。機能はLCCENの状態によって決まります(表13)。 GPIO1 (LCCEN = ハイ)：IOVDDへの60kΩのプルアップを内蔵したオープンドレインの汎用入出力。 BWS (LCCEN = ロー)：EPへのプルダウンを内蔵した入力。22ビットの入力ラッチにするにはBWS = ローに設定します。30ビットの入力ラッチにするにはBWS = ハイに設定します。
2	GPIO0/DBL	GPIO/ダブルモード入力。機能はLCCENの状態によって決まります(表13)。 GPIO0 (LCCEN = ハイ)：IOVDDへの60kΩのプルアップを内蔵したオープンドレインの汎用入出力。 DBL (LCCEN = ロー)：EPへのプルダウンを内蔵した入力。ダブル入力モードを使用するにはDBL = ハイに設定します。 シングル入力モードを使用するにはDBL = ローに設定します。
3	CX/TP	同軸/ツイストペア3レベル設定入力(表8)
4	I2CSEL	I^2C選択。EPへのプルダウンを内蔵した制御チャネルインタフェースのプロトコル選択入力です。 I^2Cスレーブインタフェースを選択するにはI2CSEL = ハイに設定します。UARTインタフェースを選択するにはI2CSEL = ローに設定します。

端子説明(続き)

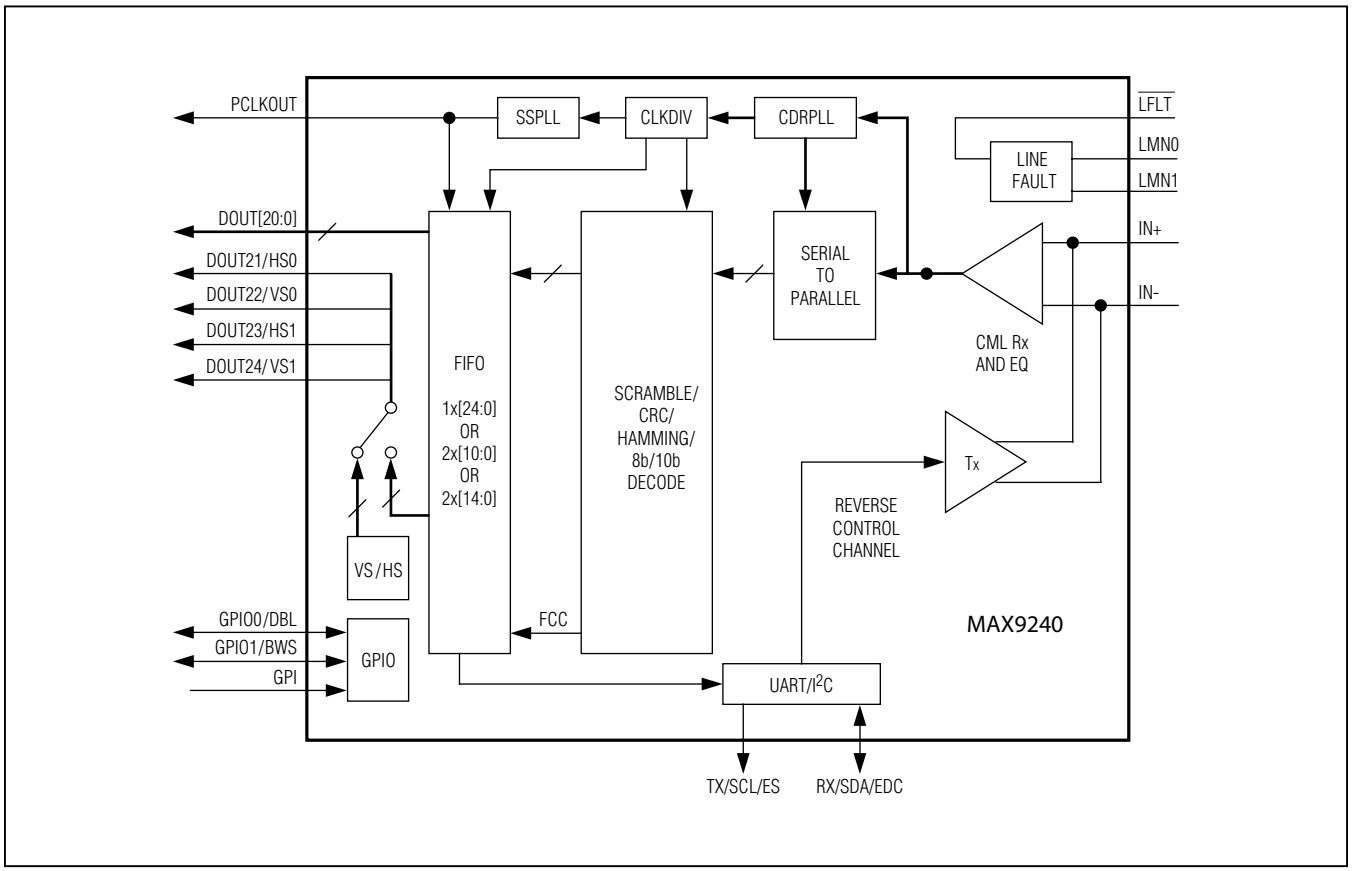
端子	名称	機能
5	LCCEN	EPへのプルダウンを内蔵したローカル制御チャネルイネーブル入力。LCCEN = ハイに設定すると、制御チャネルインタフェースの端子がイネーブルされます。LCCEN = ローに設定すると、制御チャネルインタフェースの端子がディセーブルされ、指示された端子で代替機能が選択されます(表13)。
6, 48	AVDD	1.8Vアナログ電源。できる限りデバイスの近くに配置した0.1µFと0.001µFのコンデンサでAVDDをEPに接続します(値の小さい方のコンデンサがAVDD側)。
7	IN+	非反転同軸/ツイストペアシリアル入力
8	IN-	反転同軸/ツイストペアシリアル入力
9	GPI	汎用入力。GMSLデシリアライザのGPI (またはINT)入力はGPIに追従します。
10	RX/SDA/EDC	受信/シリアルデータ/エラー検出訂正。機能はLCCENの状態によって決まります(表13)。 RX/SDA (LCCEN = ハイ)：IOVDDへの30kΩのプルアップを内蔵した入出力。UARTモードでは、RX/SDAはMAX9240のUARTのRx入力です。I^2Cモードでは、RX/SDAはMAX9240のI^2Cマスター/スレーブのSDA入力/出力です。RX/SDAはオープンドレインのドライバを備えているため、プルアップ抵抗が必要です。 EDC (LCCEN = ロー)：EPへのプルダウンを内蔵した入力。エラー検出訂正をイネーブルするには、EDC = ハイに設定します。エラー検出訂正をディセーブルするには、EDC = ローに設定します。
11	TX/SCL/ES	送信/シリアルクロック/エッジ選択。機能はLCCENの状態によって決まります(表13)。 TX/SCL (LCCEN = ハイ)：IOVDDへの30kΩのプルアップを内蔵した入出力。UARTモードでは、TX/SCLはMAX9240のUARTのTx出力です。I^2Cモードでは、TX/SCLはMAX9240のI^2Cマスター/スレーブのSCL入力/出力です。TX/SCLはオープンドレインのドライバを備えており、プルアップ抵抗が必要です。 ES (LCCEN = ロー)：EPへのプルダウンを内蔵した入力。ESがハイのとき、PCLKOUTはPCLKOUTの立下りエッジで有効なデータを示します。ESがローのとき、PCLKOUTはPCLKOUTの立上りエッジで有効なデータを示します。ピクセルクロック動作中は、ES入力を変更しないでください。
12	DVDD	1.8Vデジタル電源。できる限りデバイスの近くに配置した0.1µFと0.001µFのコンデンサでDVDDをEPにバイパスします(値の小さい方のコンデンサがDVDD側)。
13	$\overline{\text{PWDN}}$	EPへのプルダウンを内蔵したアクティブローのパワーダウン入力。パワーダウンモードに移行して消費電力を削減するには、$\overline{\text{PWDN}}$をローに設定します。
14	$\overline{\text{ERR}}$	エラー出力。IOVDDへの60kΩのプルアップを内蔵したオープンドレインのデータエラー検出/訂正指示出力。$\overline{\text{ERR}}$はオープンドレインのドライバのため、プルアップ抵抗が必要です。
15	LOCK	IOVDDへの60kΩのプルアップを内蔵したオープンドレインのロック出力。LOCK = ハイは、正しいシリアルワード境界のアライメントでPLLがロックされていることを示します。LOCK = ローは、PLLがロックされていないか、またはシリアルワード境界のアライメントが不正であることを示します。設定リンクがアクティブのときやPRBSテスト中、LOCKはローのままです。$\overline{\text{PWDN}}$ = ローのとき、LOCKはハイインピーダンスです。LOCKはオープンドレインのドライバで、プルアップ抵抗が必要です。

端子説明(続き)

端子	名称	機能
16	LMN0	ライン障害監視入力0 (図2Aを参照)
17	LMN1	ライン障害監視入力1 (図2Aを参照)
18	$\overline{LFLT}$	アクティブロー、オープンドレインのライン障害出力。$\overline{LFLT}$はIOVDDへの60kΩのプルアップを内蔵しています。$\overline{LFLT}$ = ローはライン障害を示します。$\overline{PWDN}$ = ローのとき、$\overline{LFLT}$はハイインピーダンスです。
19	DOUT24/VS1	パラレルデータ/垂直同期1出力。起動時にデフォルトでパラレルデータ出力になります。 VS/HSの符号化がディセーブルのときはパラレルデータ出力です。 VS/HSの符号化がイネーブルのときは、シングル出力の上位半分の復号化された垂直同期です(表2)。
20, 41	IOVDD	入出力電源電圧。1.8V～3.3Vのロジック入出力電源です。できる限りデバイスの近くに配置した0.1µFと0.001µFのコンデンサでIOVDDをEPにバイパスします(値の小さい方のコンデンサがIOVDD側)。
21	DOUT23/HS1	パラレルデータ/水平同期1出力。起動時にデフォルトでパラレルデータ出力になります。 VS/HSの符号化がディセーブルのときはパラレルデータ出力です。 VS/HSの符号化がイネーブルのときは、シングル出力の上位半分の復号化された水平同期です(表2)。
22	DOUT22/VS0	パラレルデータ/垂直同期0出力。起動時にデフォルトでパラレルデータ出力になります。 VS/HSの符号化がディセーブルのときはパラレルデータ出力です。 VS/HSの符号化がイネーブルのときは、シングル出力の下位半分の復号化された垂直同期です(表2)。
23	DOUT21/HS0	パラレルデータ/水平同期0出力。起動時にデフォルトでパラレルデータ出力になります。 VS/HSの符号化がディセーブルのときはパラレルデータ出力です。 VS/HSの符号化がイネーブルのときは、シングル出力の下位半分の復号化された水平同期です(表2)。
24–40, 42–45	DOUT20–DOUT0	パラレルデータ出力
46	PCLKOUT	パラレルクロック出力。パラレルデータを別のデバイスの入力にラッチします。
47	MS/HVEN	EPへのプルダウンを内蔵したモード選択/HSとVSの符号化イネーブル。機能はLCCENの状態によって決まります(表13)。 MS (LCCEN = ハイ)：ベースモードを選択するにはMS = ローに設定します。バイパスモードを選択するにはMS = ハイに設定します。 HVEN (LCCEN = ロー)：DOUT_/HS_とDOUT_/VS_でHS/VSの符号化をイネーブルするには、HVEN = ハイに設定します。 DOUT_/HS_とDOUT_/VS_をパラレルデータ出力として使用するには、HVEN = ローに設定します。
—	EP	エクスポーズドパッド。EPは内部でデバイスのグランドに接続されています。十分な熱的および電気的性能を実現するために、一連のビアを介してEPをPCBのグランドプレーンに接続する**必要**があります。

6.25MHz～100MHz、25ビットGMSLデシリアライザ、同軸またはSTPケーブル用、ライン障害検出付き

ファンクションダイアグラム



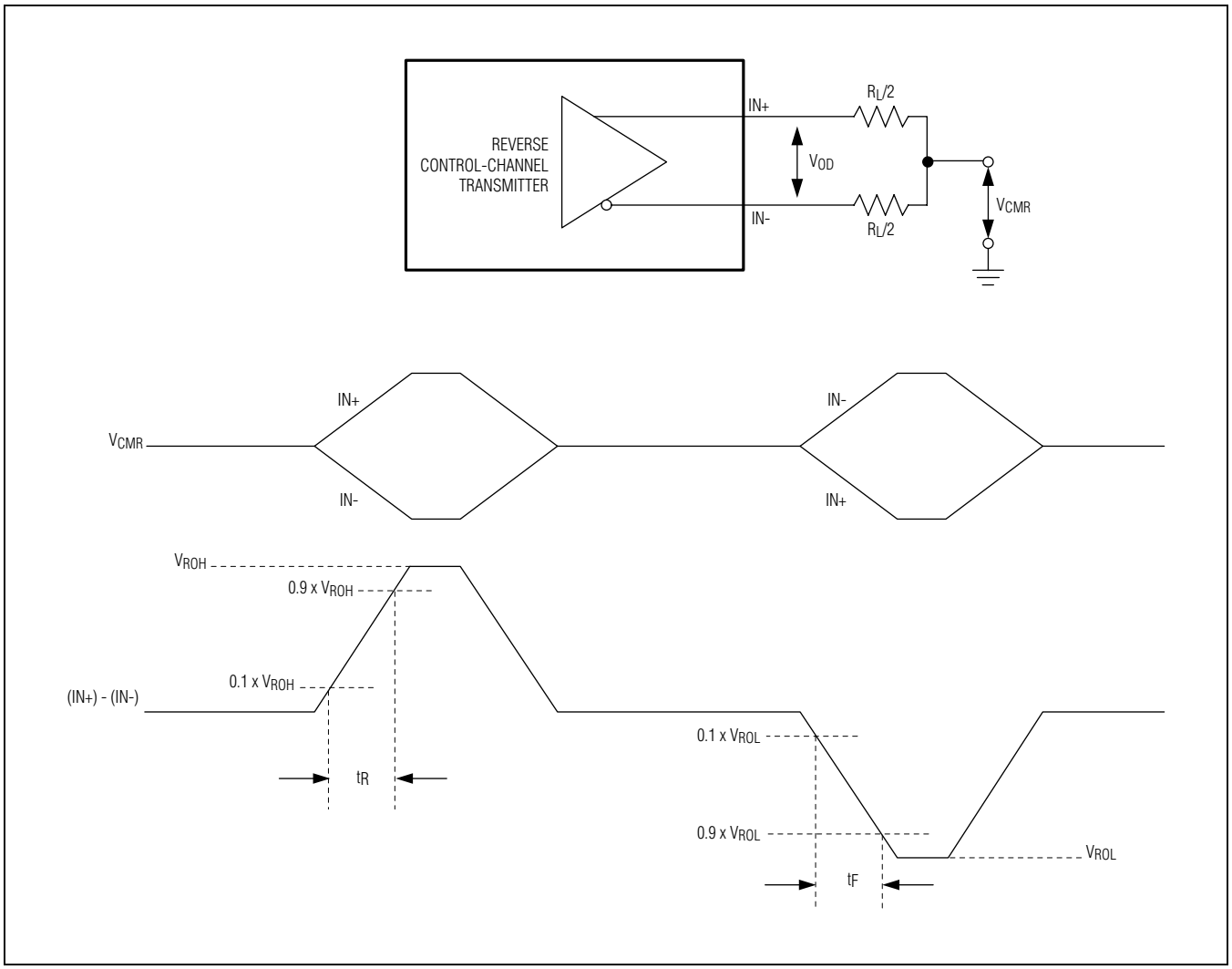


図 1. 逆方向制御チャネルの出力パラメータ

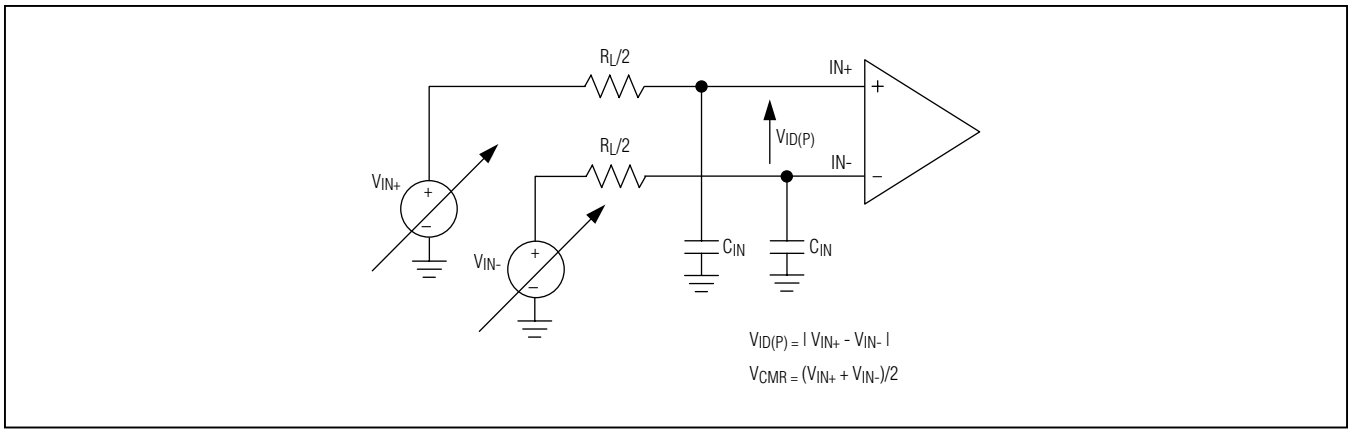


図 2. 差動入力測定のテスト回路

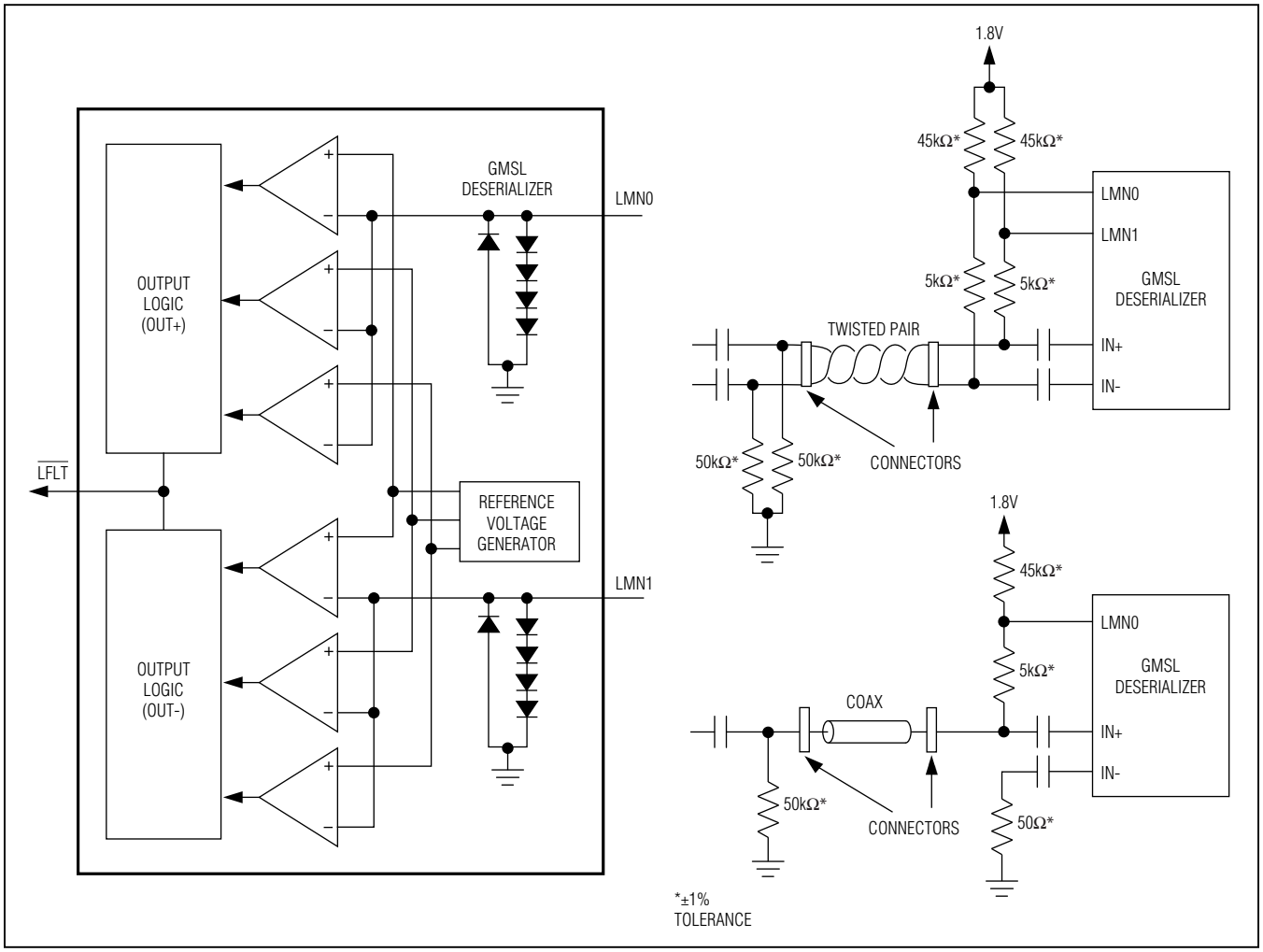


図 2a. ライン障害

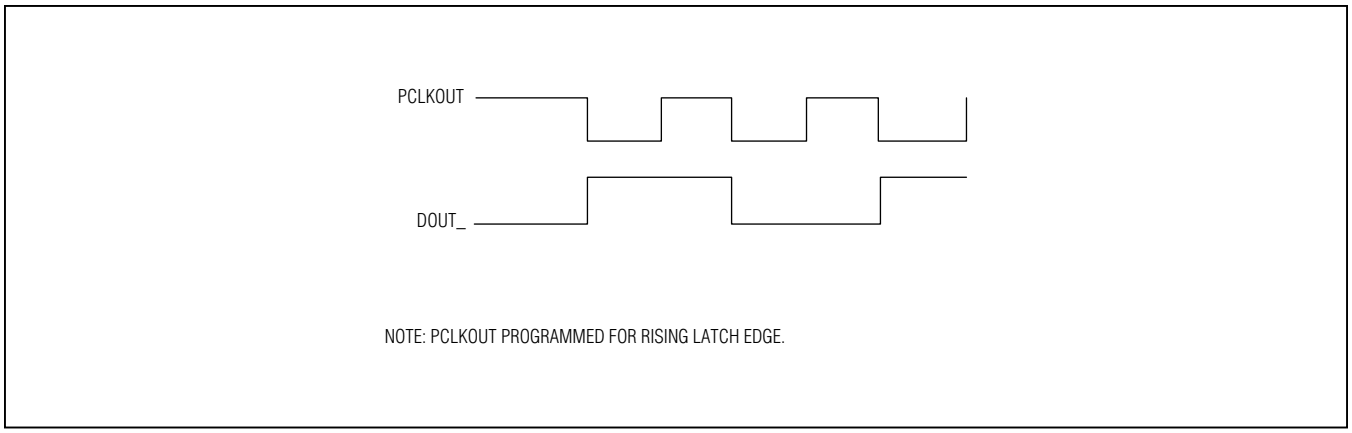


図 3. ワーストケースパターンの出力

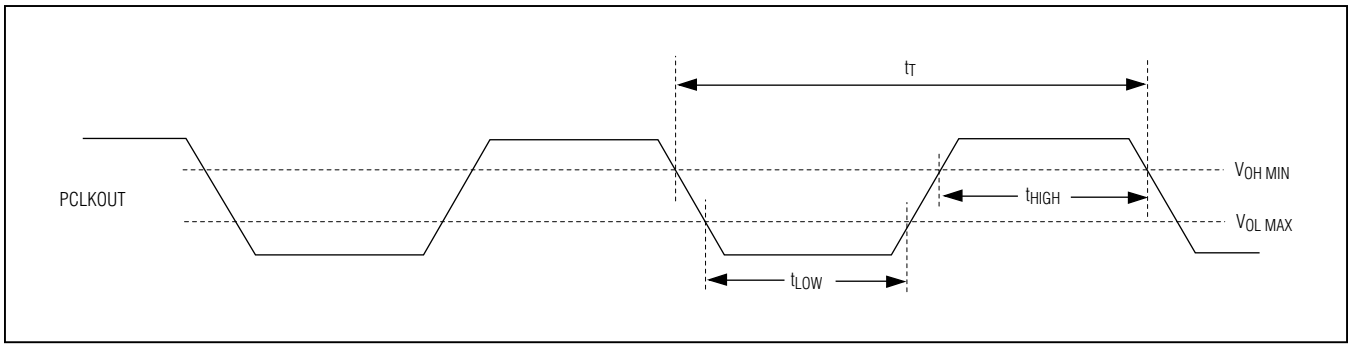


図 4. パラレルクロック出力のハイおよびロー時間

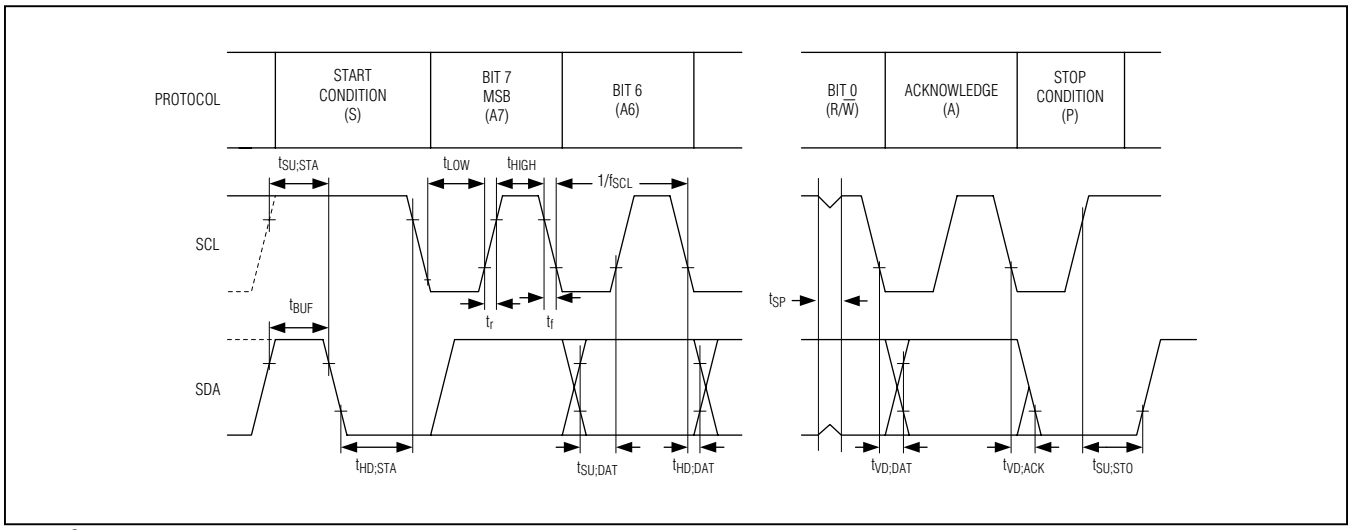


図 5. I²C のタイミングパラメータ

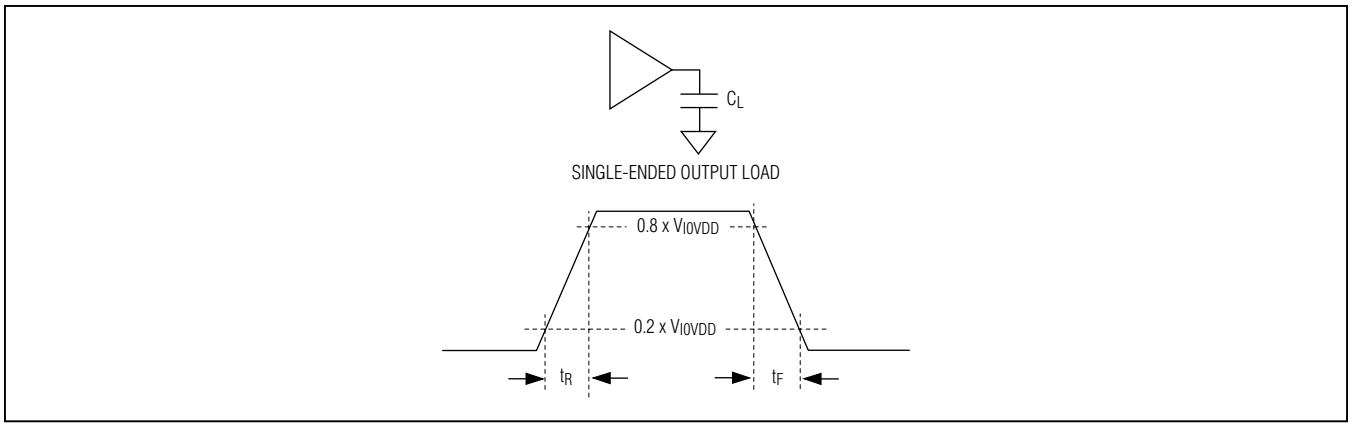


図 6. 出力の立上りおよび立下り時間

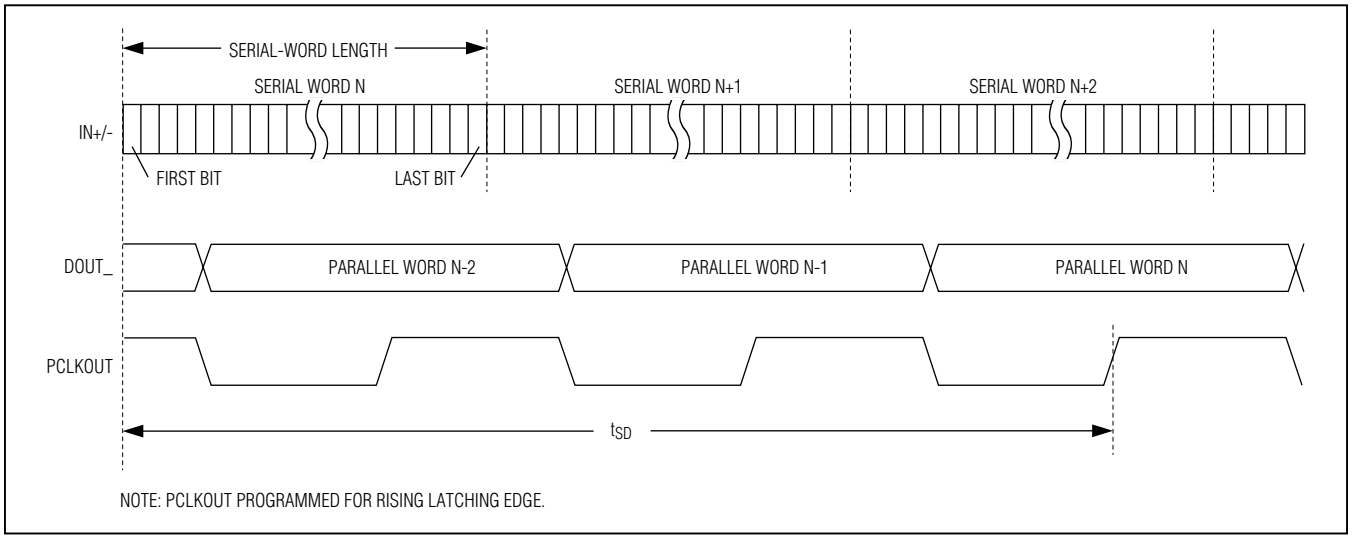


図 7. デシリアライザの遅延

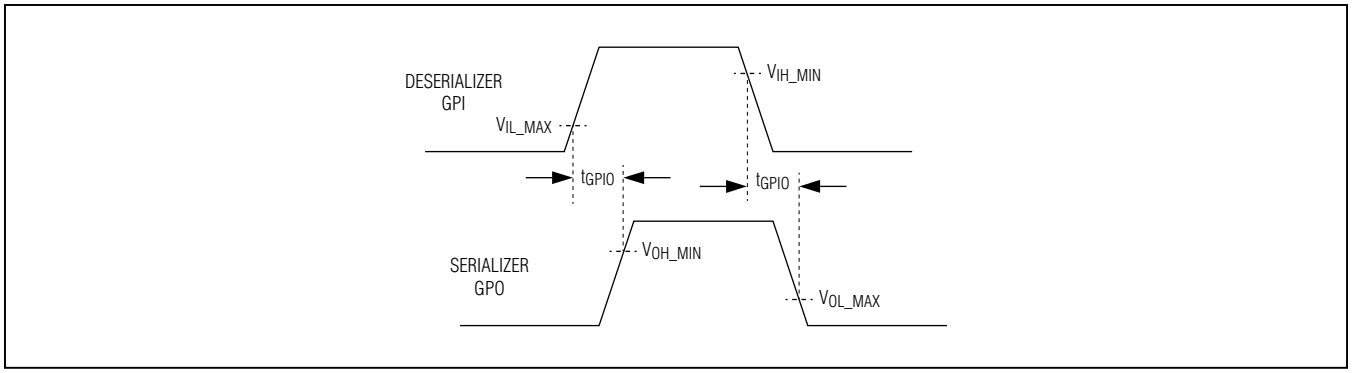


図 8. GPI-GPO 間の遅延

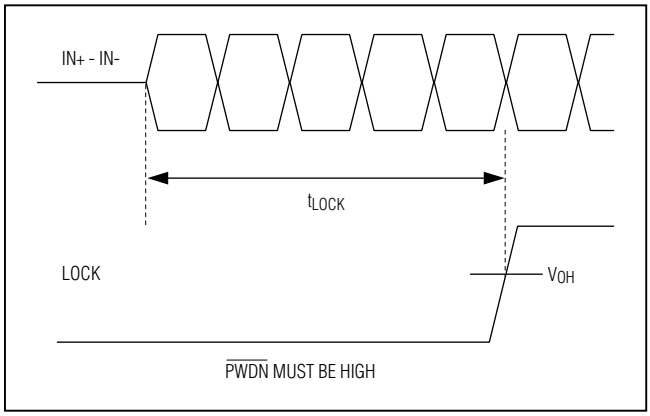


図 9. ロック時間

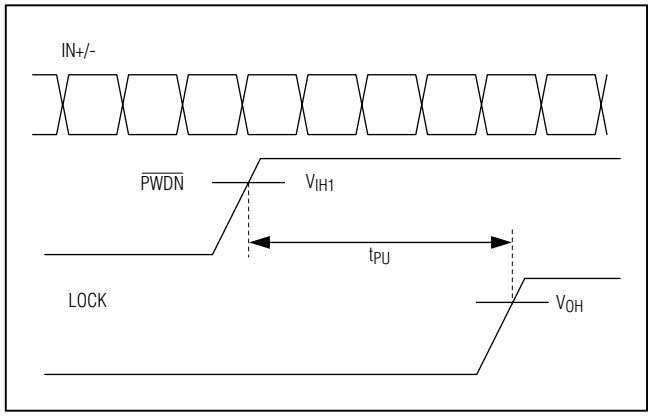


図 10. 起動遅延

詳細

デシリアライザのMAX9240は、シリアライザのMAX9271またはMAX9273と組み合わせたときにフル機能で動作しますが、どのGMSLシリアライザと組み合わせても基本的な機能を発揮します。

このデシリアライザは最大シリアルビットレートが1.5Gbpsで15m以上のケーブルに対応し、25ビットのシングル出力モードでは50MHz、15ビット/11ビットのダブル出力モードでは各々75MHz/100MHzの最高出力クロックで動作します。このビットレートと出力の柔軟性によって、18ビットカラーでQVGA (320 x 240)～WVGA (800 x 480)以上のさまざまなディスプレイのほか、メガピクセルのイメージセンサーにも対応します。入力イコライゼーションとGMSLシリアライザのプリ/デエンファシスを組み合わせることでケーブル長が延長され、リンクの信頼性が向上します。

制御チャネルを通じて、µCでシリアライザとデシリアライザのレジスタやペリフェラル上のレジスタを設定することができます。制御チャネルは、GPIOの設定やGPIOへのアクセスにも使用可能です。µCはどちらのリンク端でも、または2つのµCを使用するときは両端に配置することができます。制御チャネルでは2つの動作モードを利用可能です。ベースモードではI^2CまたはGMSL UARTプロトコルのどちらかを使用し、バイパスモードではユーザー定義のUARTプロトコルを使用します。UARTプロトコルではフルデュプレックス通信が可能で、I^2Cではハーフデュプレックス通信が可能です。

スペクトラム拡散を利用すると、パラレル出力のEMIを低減することができます。シリアル入力は、ISO 10605とIEC 61000-4-2のESD保護基準に適合しています。

レジスタマッピング

レジスタはデシリアライザの動作条件を設定し、ベースモードで制御チャネルを使用して設定されます。デシリアライザはそれ自体のデバイスアドレスと、組み合わせるシリアライザのデバイスアドレスを保持します。同様に、シリアライザはそれ自体のデバイスアドレスとデシリアライザのアドレスを保持します。デバイスアドレスが変更されるたびに、新しいアドレスを両方のデバイスに書き込む必要があります。デシリアライザのデフォルトのデバイスアドレスはCX/TP入力によって設定され、GMSLシリアライザのデフォルトのデバイスアドレスはいずれも0x80です(表1と表8を参照)。両デバイスのレジスタ0x00と0x01がデバイスアドレスを保持します。

ビットマップ

パラレル出力の機能と幅は、ダブル/シングル出力モード(DBL)、HS/VSの符号化(HVEN)、使用するエラー訂正(EDC)、バス幅(BWS)の各端子の設定に依存します。表2は、制御端子設定のビットマップを示しています。使用しない出力ビットはローに駆動されます。

パラレル出力には、シングル出力とダブル出力の2つの出力モードがあります。シングル出力モードでは、デシリアライズしたパラレルデータがPCLKOUTサイクル単位でクロックアウトされます。デバイスは、6.25MHz～50MHzのピクセルクロックを受け入れます(図11と図12)。

ダブル出力モードでは、デバイスはデシリアライズしたデータを、シリアルワードレートの2倍で出力される2つのハーフサイズワードに分割します(図13と図14)。シリアライザ/デシリアライザは、11ビットのダブル出力モードでは33.3MHz～100MHz、15ビットのダブル出力モードでは25MHz～75MHzのピクセルクロックレートを使用します。

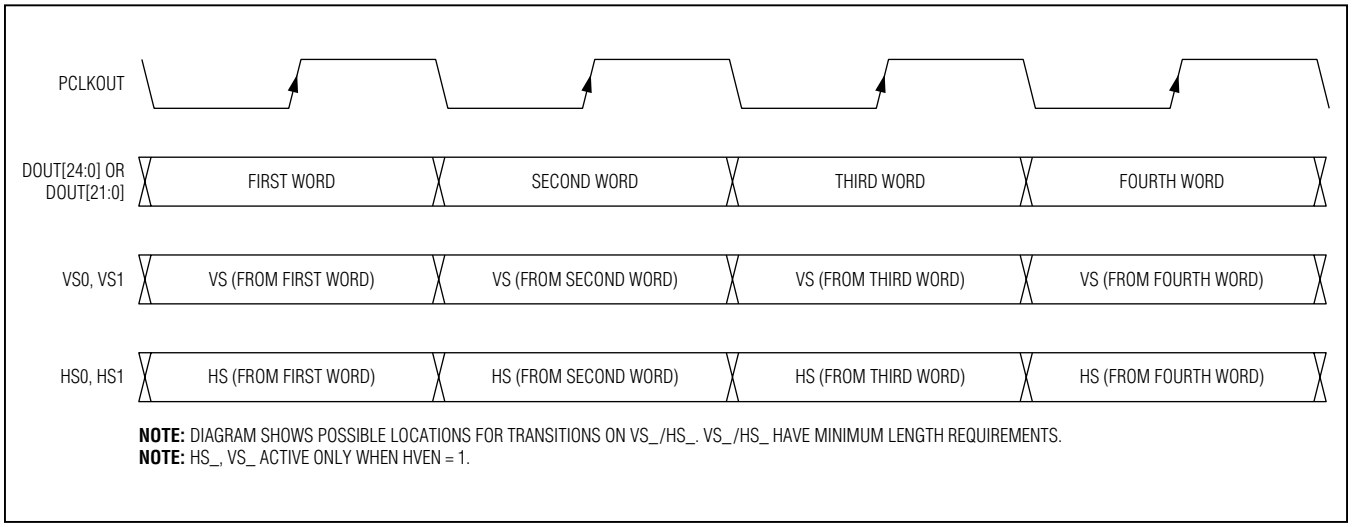


図 11. シングル出力の波形 (シリアライザでシングル入力を使用)

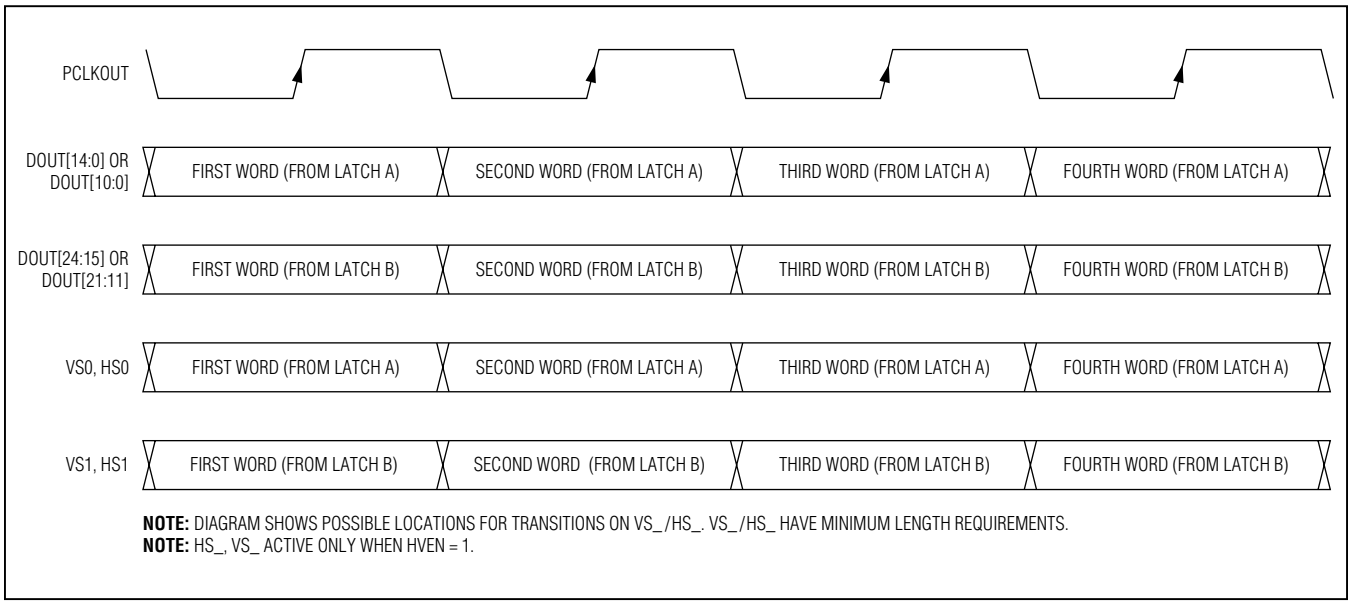


図 12. シングル出力の波形 (シリアライザでダブル入力を使用)

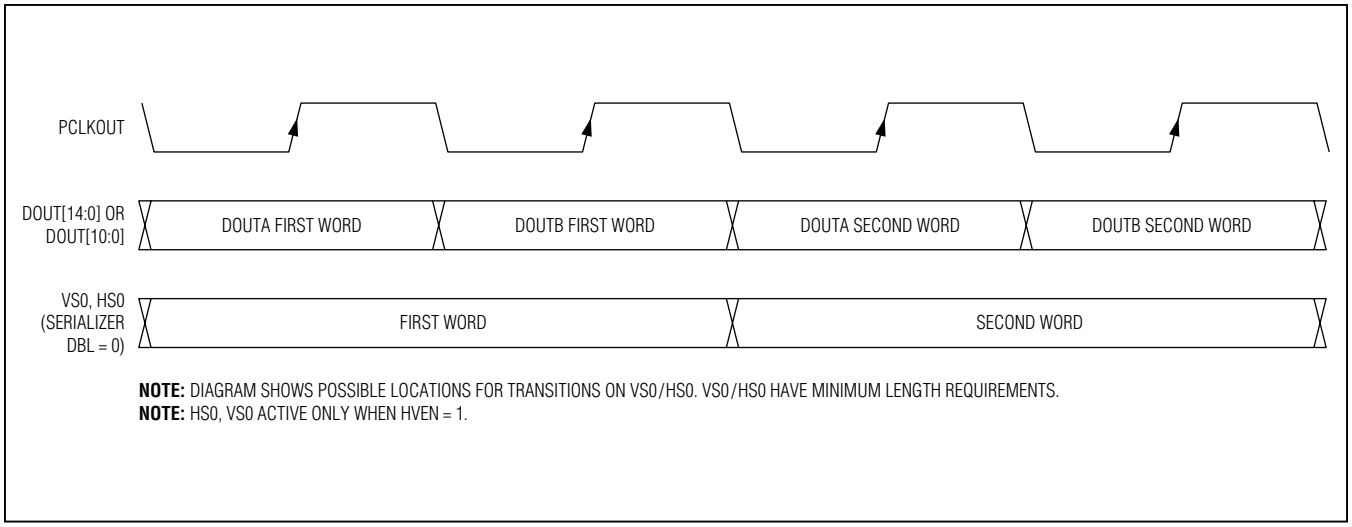


図 13. ダブル出力の波形 (シリアライザでシングル入力を使用)

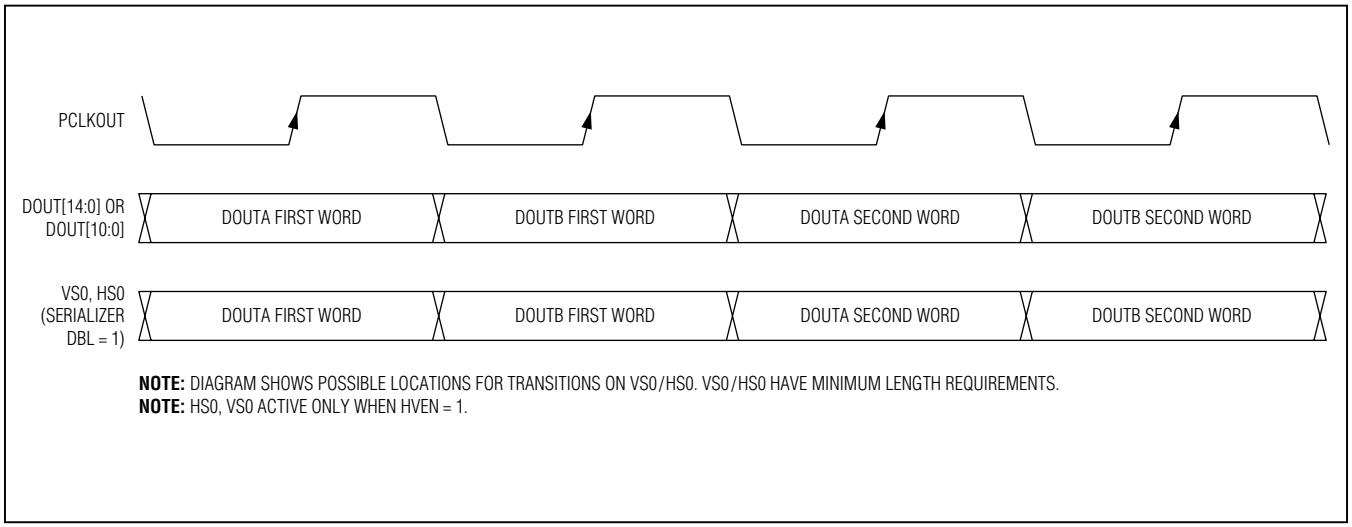


図 14. ダブル出力の波形 (シリアライザでダブル入力を使用)

表1. 起動時のデフォルトのレジスタマップ(表16を参照)

REGISTER ADDRESS (hex)	POWER-UP DEFAULT (hex)	起動時のデフォルト設定 (MSBから)
0x00	0x80	SERID = 1000000、シリアライザのデバイスアドレス 予備 = 0
0x01	0x90 or 0x92	DESID = 1001000 (CX/TP = ハイまたはロー)、DESID = 1001001 (CX/TP = ミッドレベル)、デシリアライザのデバイスアドレスは起動時のCX/TP入力の状態によって決まります CFGBLOCK = 0、レジスタ0x00～0x1Fは読取り/書込み可能です
0x02	0x1F	SS = 00、スペクトラム拡散はディセーブルです 予備 = 01 PRNG = 11、ピクセルクロック範囲を自動的に検出します SRNG = 11、シリアルデータレートを自動的に検出します
0x03	0x00	AUTOFM = 00、ロック後に1回のみ拡散変調率を較正します 予備 = 0 SDIV = 00000、鋸歯分周器を自動較正します
0x04	0x07	LOCKED = 0、LOCK出力はローです(読取り専用) OUTENB = 0、出力はイネーブルです PRBSEN = 0、PRBSテストはディセーブルです SLEEP = 0、スリープモードは非アクティブ化されています(「リンクのスタートアップ手順」の項を参照) INTTYPE = 01、ベースモードでUARTを使用します REVCCEN = 1、逆方向制御チャネルはアクティブです(送信時) FWDCCEN = 1、順方向制御チャネルはアクティブです(受信時)
0x05	0x24	I2CMETHOD = 0、I^2Cマスターはレジスタアドレスを送信します DCS = 0、通常のパラレル出力ドライバ電流 HVTRMODE = 1、HS/VSの完全な周期的トラッキング ENEQ = 0、イコライザはディセーブルです EQTUNE = 1001、10.7dBのイコライゼーション
0x06	0x02 or 0x22	予備 = 00X00010
0x07	0xXX	DBL = 0または1、シングル/ダブル入力モードの設定は起動時のLCCENとGPIO0/DBLの状態によって決まります DRS = 0、高データレートモード BWS = 0または1、ビット幅の設定は起動時のLCCENとGPIO1/BWSの状態によって決まります ES = 0または1、エッジ選択入力の設定は起動時のLCCENとTX/SCL/ESの状態によって決まります HVTRACK = 0または1、HS/VSのトラッキングの設定は起動時のLCCENとMS/HVENの状態によって決まります HVEN = 0または1、HS/VSのトラッキングと符号化の設定は起動時のLCCENとMS/HVENの状態によって決まります EDC = 00または10、エラー検出/訂正の設定は起動時のLCCENとRX/SDA/EDCの状態によって決まります

表1. 起動時のデフォルトのレジスタマップ(表16を参照) (続き)

REGISTER ADDRESS (hex)	POWER-UP DEFAULT (hex)	起動時のデフォルト設定 (MSBから)
0x08	0x00	INVVS = 0、デシリアライザはVSYNCを反転しません INVHS = 0、デシリアライザはHSYNCを反転しません 予備 = 0 UNEQDBL = 0、シリアライザのDBLはデシリアライザと同じではありません DISSTAG = 0、出力はスタガーされます AUTORST = 0、エラーレジスタ/出力のオートリセットはディセーブルです ERRSEL = 00、エラーの検出によってERRがトリガされます
0x09	0x00	I2CSCRA = 0000000、I^2CアドレストランスレータのソースAは0x00です 予備 = 0
0x0A	0x00	I2CDSTA = 0000000、I^2CアドレストランスレータのデスティネーションAは0x00です 予備 = 0
0x0B	0x00	I2CSCRB = 0000000、I^2CアドレストランスレータのソースBは0x00です 予備 = 0
0x0C	0x00	I2CDSTB = 0000000、I^2CアドレストランスレータのデスティネーションBは0x00です 予備 = 0
0x0D	0x36	I2CLOCACK = 0、順方向チャネルが利用可能でないときはアクノリッジが生成されません I2CSLVSH = 01、I^2Cのセットアップ/ホールド時間は469ns/234nsです I2CMSTBT = 101、I^2C-I^2Cマスタービットレート設定は339kbps (typ)です I2CSLVTO = 10、I^2C-I^2Cスレーブリモートタイムアウトは1024µs (typ)です
0x0E	0x6A	予備 = 01 GPIEN = 1、シリアライザに対するGPI-GPO間の信号伝送をイネーブルします GPIIN = 0、GPI入力はローです(読取り専用) GPIO1OUT = 1、GPIO1をハイに設定します GPIO1IN = 0、GPIO1入力はローです(読取り専用) GPIO0OUT = 1、GPIO0をハイに設定します GPIO0IN = 0、GPIO0入力はローです(読取り専用)
0x0F	0x00	DETTHR = 00000000、検出されたエラーのエラースレッショルドは0に設定されます
0x10	0x00 (read only)	DETERR = 00000000、検出されたエラーは0件です
0x11	0x00	CORRTHR = 00000000、訂正されたエラーのエラースレッショルドは0に設定されます
0x12	0x00 (read only)	CORRERR = 00000000、訂正されたエラーは0件です
0x13	0x00 (read only)	PRBSERR = 00000000、検出されたPRBSエラーは0件です
0x14	0x0A (read only)	PRBSOK = 0、PRBSテストは完了していません 予備 = 000 LFNEG = 10、フォルトは検出されていません LFPOS = 10、フォルトは検出されていません
0x15	0x2X	予備 = 00100XXX
0x16	0x30	予備 = 00110000
0x17	0x54	予備 = 01010100
0x18	0x30	予備 = 00110000
0x19	0xC8	予備 = 11001000

表1. 起動時のデフォルトのレジスタマップ(表16を参照) (続き)

REGISTER ADDRESS (hex)	POWER-UP DEFAULT (hex)	起動時のデフォルト設定 (MSBから)
0x1A	0xXX (read only)	予備 = XXXXXXXX
0x1B	0xXX (read only)	予備 = XXXXXXXX
0x1C	0xXX (read only)	予備 = XXXXXXXX
0x1D	0x0X (read only)	CXTP = 0、ツイストペア入力 CXSEL = 0、非反転入力 I2CSEL = 0、UART入力 LCCEN = 0、ローカル制御チャネルはディセーブルです 予備 = XXXX
0x1E	0x0A (read only)	ID = 00001011、デバイスIDは0x0Cです
0x1F	0x0X (read only)	予備 = 000 CAPS = 0、HDCP非対応 REVISION = XXXX

X = 不定。

表2. 出力マップ

EDC	BWS	DBL	HVEN	OUTPUT* (PAIRED WITH MAX9271)	OUTPUT* (PAIRED WITH MAX9273)	PCLK RANGE** (MHz)
0	0	0	0	DOUT0:15	DOUT0:21	16.66 to 50
0	0	0	1	DOUT0:13, HS, VS	DOUT0:20, HS, VS	16.66 to 50
0	0	1	0	DOUT0:10	DOUT0:10	33.33 to 100
0	0	1	1	DOUT0:10, HS, VS	DOUT0:10, HS, VS	33.33 to 100
0	1	0	0	DOUT0:15	DOUT0:21	12.5 to 37.5
0	1	0	1	DOUT0:13, HS, VS	DOUT0:20, HS, VS	12.5 to 37.5
0	1	1	0	DOUT0:14	DOUT0:14	25 to 75
0	1	1	1	DOUT0:13, HS, VS	DOUT0:14, HS, VS	25 to 75
1	0	0	0	DOUT0:15	DOUT0:15	16.66 to 50
1	0	0	1	DOUT0:13, HS, VS	DOUT0:15, HS, VS	16.66 to 50
1	0	1	0	DOUT0:7	DOUT0:7	33.33 to 100
1	0	1	1	DOUT0:7, HS, VS	DOUT0:7, HS, VS	33.33 to 100
1	1	0	0	DOUT0:15	DOUT0:21	12.5 to 37.5
1	1	0	1	DOUT0:13, HS, VS	DOUT0:20, HS, VS	12.5 to 37.5
1	1	1	0	DOUT0:14	DOUT0:14	25 to 75
1	1	1	1	DOUT0:13, HS, VS	DOUT0:14, HS, VS	25 to 75

**利用可能な出力の数は、MAX9240に接続されたシリアライザによって変わります。
**デバイスは高速モードです(DRS = ロー)。低速モード(DRS = ハイ)におけるPCLKの範囲については、表3を参照してください。

6.25MHz～100MHz、25ビットGMSLデシリアライザ、同軸またはSTPケーブル用、ライン障害検出付き

シリアルリンクの信号方式とデータ形式

シリアライザは設定可能なプリ/デエンファシスとAC結合を備え、ツイストペアケーブルの駆動に差動CML信号方式、同軸ケーブルの駆動にシングルエンドCML信号方式を使用します。デシリアライザは、AC結合と設定可能なチャネルイコライゼーションを使用します。

入力データはスクランブルされた後、8b/10b符号化されます。デシリアライザは埋め込まれたシリアルクロックを復元した後、データをサンプリング、復号化、およびスクランブル解除します。24ビット/32ビットモードでは、22ビット/30ビットに、使用状況に応じてビデオデータやエラー訂正ビットが含まれます。23番目/31番目のビットは、順方向制御チャネルのデータを搬送します。最後のビットは、先行する23ビット/31ビットのパリティビットです(図15)。

逆方向制御チャネル

シリアライザは、逆方向制御チャネルを使用してビデオストリームと反対方向にデシリアライザからI^2C/UARTやGPOの信号を受信します。逆方向制御チャネルと順方向のビデオデータが同一のシリアルケーブル上で共存して、双方向リンクを形成します。逆方向制御チャネルは、順方向制御チャネルとは無関係に動作します。逆方向制御チャネルは、起動から2ms後に利用可能になります。順方向シリアルリンクの開始/停止後350µsの間、シリアライザは逆方向制御チャネルを一時的にディセーブルします。

データレートの選択

シリアライザ/デシリアライザは、DRS、DBL、BWSを使用してPCLKOUTの周波数範囲を設定します(表3)。6.25MHz～12.5MHz (32ビットのシングル出力モード)または8.33MHz～16.66MHz (24ビットのシングル出力モード)のPCLKOUT周波数範囲を使用するには、DRS = 1に設定します。通常動作の場合は、DRS = 0に設定します。DRS = 1のときにダブル出力モードを使用することは推奨されません。

表3. データレート選択表

DRS SETTING	DBL SETTING	BWS SETTING	PCLKOUT RANGE (MHz)
0	0 (single input)	0 (24-bit mode)	16.66 to 50
0	0	1 (32-bit mode)	12.5 to 35
0	1 (double input)	0	33.3 to 100
0	1	1	25 to 75
1	0	0	8.33 to 16.66
1	0	1	6.25 to 12.5
1	1	0	Do Not Use
1	1	1	Do Not Use

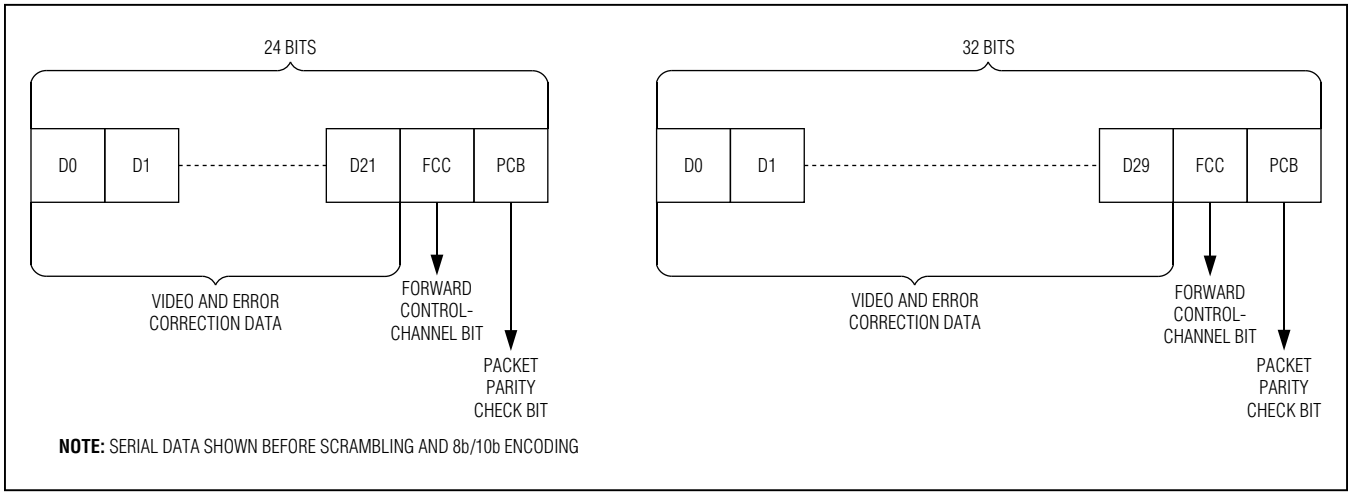


図 15. シリアルデータ形式

制御チャネルおよびレジスタの設定

µCは制御チャネルを利用して、シリアルリンク上で高速データと同時に制御データを送受信することができます。µCはシリアライザまたはデシリアライザのどちらかの側からリンクを制御し、ビデオ表示や画像検出のアプリケーションをサポートします。µCとシリアライザまたはデシリアライザの間の制御チャネルは、µCに接続されたデバイスのモード選択(MS/HVEN)入力に応じて、ベースモードまたはバイパスモードで動作します。ベースモードはハーフデュプレックスの制御チャネルで、バイパスモードはフルデュプレックスの制御チャネルです。

UARTインタフェース

ベースモードではµCがホストで、GMSL UARTプロトコルを使用してリンクのどちらかの側からシリアライザとデシリアライザの両方のレジスタにアクセスすることができます。また、UARTパケットをシリアライザまたはデシリアライザに送信してリンクのリモート側のデバイスでI^2Cに変換することによって、µCがリモート側ペリフェラルの設定を行うことも可能です。µCはシリアライザ/デシリアライザのデフォルトのハーフデュプレックスGMSL UARTプロトコルを使用して、(INTTYPEレジスタの設定によって)ベースモードでUARTペリフェラルと通信します。ベースモードにおけるシリアライザ/デシリアライザのデバイスアドレスは設定可能です。シリアライザのデフォルト値は0x80で、デシリアライザのデフォルト値はCX/TP入力によって決まります(表8)。

ペリフェラルのインタフェースがI^2Cである場合、シリアライザ/デシリアライザはデバイスアドレスがシリアライザまたはデシリアライザのものと異なるUARTパケットをI^2Cに変換します。変換後のI^2Cのビットレートは、元のUARTのビットレートと同じです。

デシリアライザは差動ライン符号化を使用して、信号を逆方向チャネルでシリアライザに送信します。制御チャネルのビットレートは、両方向とも9.6kbps～1Mbpsです。ベースモードでは、シリアライザ/デシリアライザは自動的に制御チャネルのビットレートを検出します。パケットのビットレートは、直前のビットレートと比べて最大3.5倍まで上下に変更可能です。制御チャネルのビットレート変更の詳細については、「クロック周波数の変更」の項を参照してください。

図16は、µCとシリアライザ/デシリアライザの間でベースモードにおける書込みと読取りを行うUARTプロトコルを示しています。

図17はUARTのデータ形式を示しています。図18と図19は、SYNCバイト(0x79)とACKバイト(0xC3)の形式を詳しく示しています。µCと接続先のスレーブチップは、それぞれSYNCバイトとACKバイトを生成します。デバイスのウェイクアップやGPIなどのイベントによって制御チャネル上にµCが無視することができる遷移が発生します。シリアライザ/デシリアライザのレジスタに書き込まれたデータは、ACKバイトが送信されるまで有効になりません。これによってµCは、書込みコマンドの結果がシリアルリンクに直接影響を与える場合でも、その書込みコマンドがエラーなく受信されたかどうかを確認することができます。スレーブはSYNCバイトを使用して、ホストのUARTのデータレートと同期します。制御チャネルの通信中にデシリアライザのGPIまたはMS/HVEN入力がトグルした場合や、ライン障害が発生した場合、制御チャネルの通信はエラーになります。アクノリッジが行われないか、(制御チャネルのタイムアウトのために1ms程度)遅延した場合、µCではスレーブデバイスがパケットを受信したときにパケットにエラーがあったか、またはスレーブデバイスからの応答中にエラーが発生したと想定する必要があります。ベースモードでは、µCは新しいパケットの送信を開始する前にUARTのTx/Rxラインを16ビット時間の間、ハイに維持する必要があります。

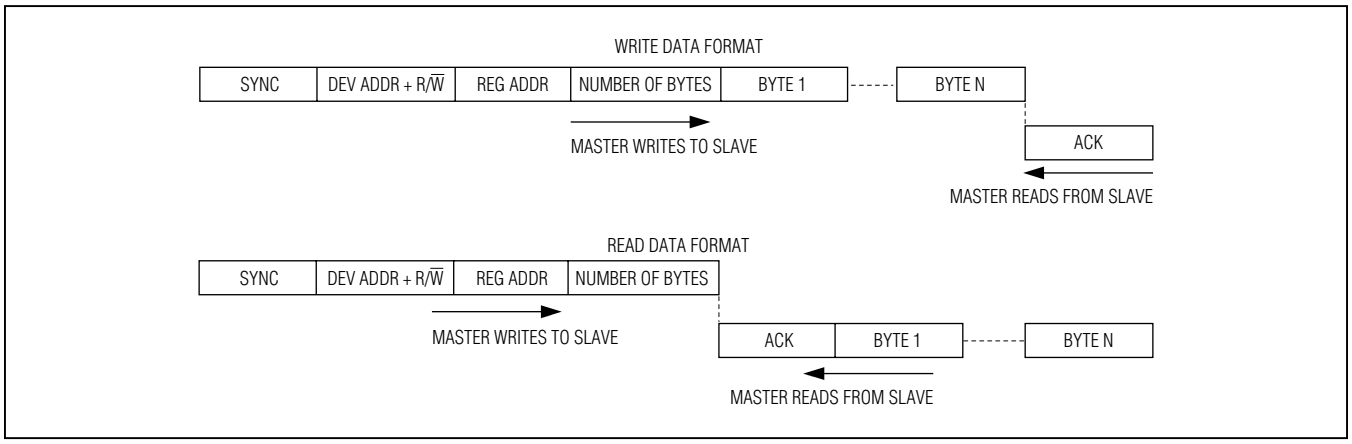


図 16. ベースモードの GMSL UART プロトコル

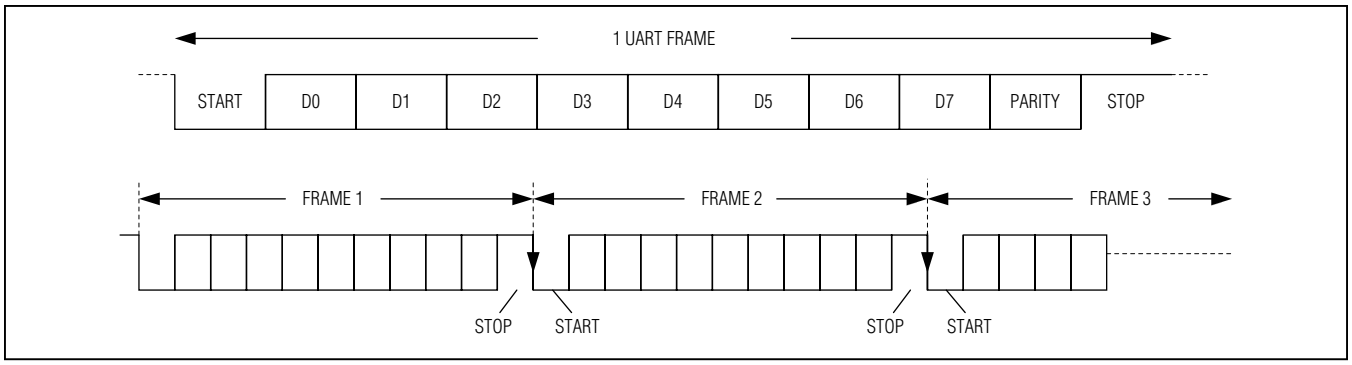


図 17. ベースモードの GMSL UART データ形式

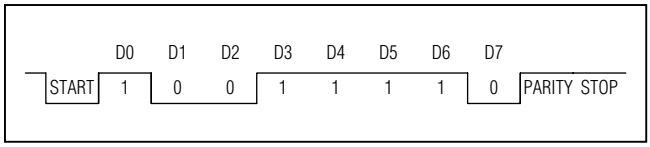


図 18. SYNC バイト (0x79)

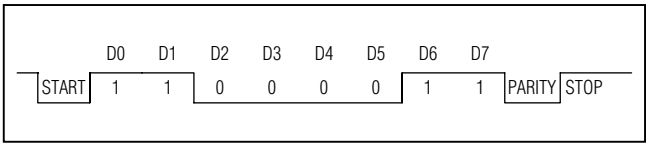


図 19. ACK バイト (0xC3)

図20に示すように、リモート側のデバイスはペリフェラルとの間で送受信されるパケットをUART形式からI^2C形式に、またその逆方向に変換します。リモートデバイスはバイト数カウントを除去し、I^2Cのデータバイト間でACKを追加したり受信したりします。I^2CのビットレートはUARTのビットレートと同じです。

コマンドバイトのみのI^2CデバイスとUARTとのインタフェース

シリアライザ/デシリアライザのUART-I^2C変換は、GPIOエキスパンダのMAX7324など、レジスタアドレスを必要としないデバイスとのインタフェースを行うことができます。このモードでは、I^2Cマスターはレジスタアドレスバイトを無視して、直接後続のデータバイトの読取り/書込みを行います(図21)。I2CMETHODビットを使用して、I^2Cマスターの通信方式を変更します。I2CMETHOD = 1でコマンドバイトオンリーモードに設定され、I2CMETHOD = 0でデータストリームの最初のバイトがレジスタアドレスであるノーマルモードに設定されます。

UARTバイパスモード

バイパスモードでは、シリアライザ/デシリアライザはμCからのUARTコマンドを無視し、μCは専用に定義されたUARTプロトコルを使用してペリフェラルと直接通信します。このモードでは、μCはシリアライザ/デシリアライザのレジスタにアクセスすることはできません。UARTインタフェースを使用し順方向制御チャネルでアクセスされるペリフェラルは、PCLKOUTによるUART信号の非同期サンプリングのために、1 PCLKOUT周期以上のジッタ(±10ns)に対処する必要があります。制御チャネルをバイパスモードにするには、MS/HVEN = ハイに設定します。μCがデシリアライザに接続されるアプリケーションの場合、MS/HVENをハイに設定してからバイパス制御チャネルがアクティブになるまでの間に1msの待ち時間が存在します。μCがシリアライザに接続されている場合は、バイパスモードへの切り替え時に遅延時間は存在しません。正常なGPO機能を確保するために、100μsより長くロジックロー値を送信しないでください。バイパスモードは、どちらの方向でも最小10kbpsまでのビットレートを受け付けます。GPI機能の制限事項については、「GPO/GPI制御」の項を参照してください。GPI制御を使用する場合、制御チャネルのデータパターンは100μsより長くローに維持しないでください。

I^2Cインタフェース

I^2C-I^2Cモードでは、デシリアライザの制御チャネルインタフェースは、I^2C対応の2線式インタフェース経由でデータを送受信します。このインタフェースは、シリアルデータライン(SDA)とシリアルクロックライン(SCL)を使用してマスターとスレーブの間で双方向通信を実現します。μCのマスターがデバイスとの間のすべてのデータ転送を開始し、データ転送を同期させるSCLクロックを生成します。I^2Cトランザクションがローカル側デバイスの制御チャネルポートで始まると、リモート側デバイスの制御チャネルポートは、リモート側のI^2Cペリフェラルとのインタフェースを行うI^2Cマスターになります。このI^2Cマスターは、デシリアライザによって(SCLをローに維持して)課されるクロックストレッチングを受け入れる必要があります。SDAラインとSCLラインは、入力とオープンドレイン出力の両方として動作します。SDAとSCLにはプルアップ抵抗が必要です。各伝送は、マスターによって送信されるSTART条件(図5)、それに続くデバイスの7ビットのスレーブアドレスとR/$\overline{W}$ビット、レジスタアドレスバイト、1つ以上のデータバイト、およびSTOP条件で構成されます。

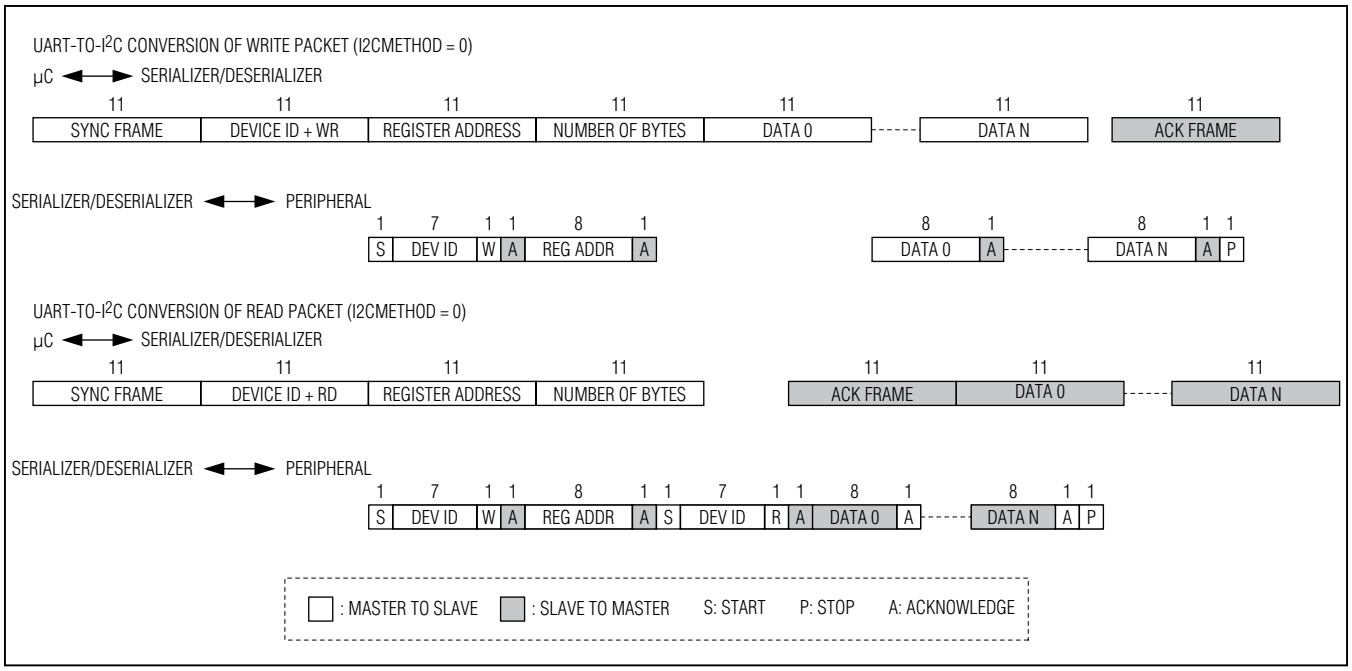


図 20. レジスタアドレスによる GMSL UART と I²C の間の形式変換 (I2CMETHOD = 0)

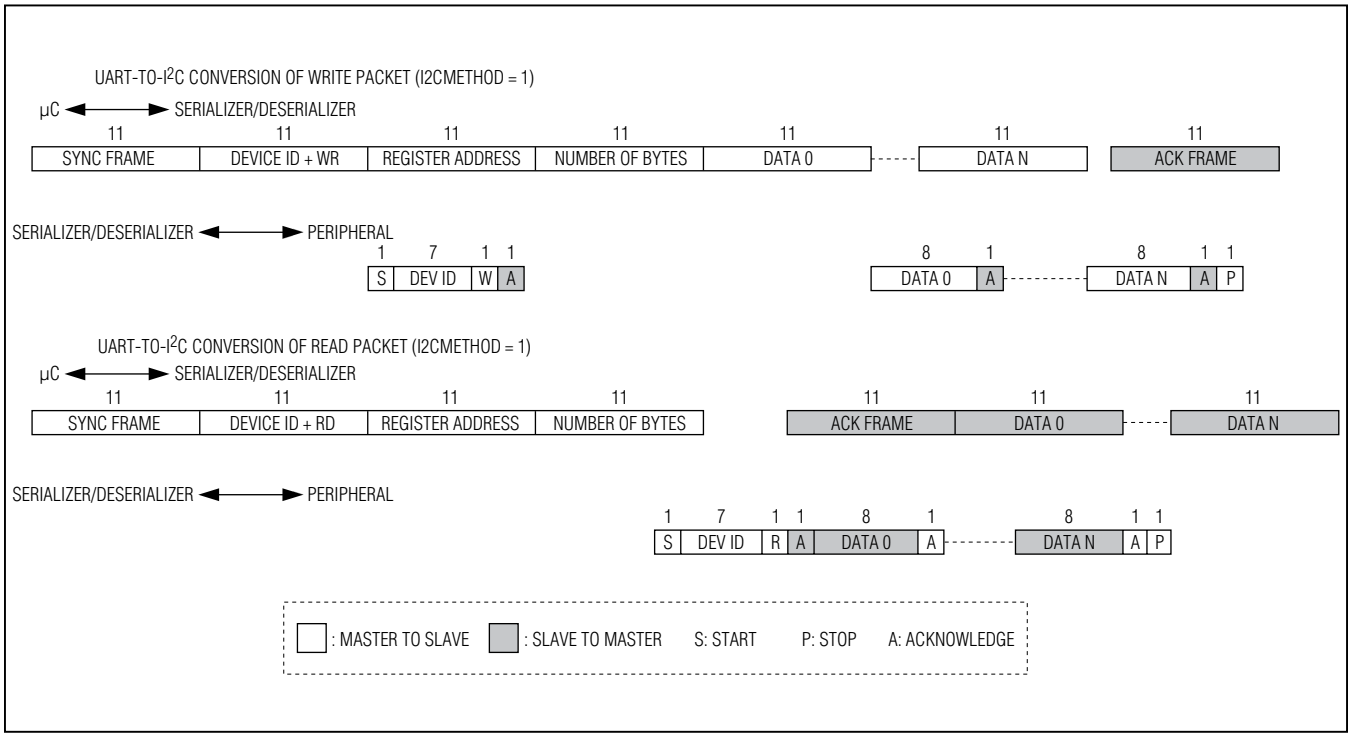


図 21. レジスタアドレスによる GMSL UART と I²C の間の形式変換 (I2CMETHOD = 1)

START条件とSTOP条件

インタフェースがビジーでないときは、SCLとSDAの両方がハイのままです。マスターは、SCLがハイの間にSDAをハイからローに遷移させてSTART (S)条件を確立し、送信の開始を通知します(図22を参照)。スレーブとの通信を完了したら、マスターはSCLがハイの間にSDAをローからハイに遷移させてSTOP (P)条件を発行します。その後バスが解放され、次の送信が可能になります。

ビット転送

各クロックパルス中に1データビットが転送されます(図23)。SCLがハイの間は、SDA上のデータが安定している必要があります。

アクノリッジ

アクノリッジビットは、受信側で各データバイト受取りのハンドシェイクに使用される、クロック制御された9番目のビットです(図24)。したがって、転送されるバイトごとに実際上9ビットが必要です。マスターが9番目のクロックパルスを生成し、受信側はアクノリッジのクロックパルス中にSDAをプルダウンします。SDAラインは、クロックパルスのハイの期間中はローで安定しています。マスターがスレーブデバイスに送信するときは、スレーブデバイスが受信側であるため、スレーブデバイスがアクノリッジビットを生成します。スレーブデバイスがマスターに送信するときは、マスターが受信側であるため、マスターがアクノリッジビットを生成します。順方向制御チャネルがアクティブでない(ロックされていない)ときでも、デバイスはアクノリッジを生成します。順方向制御チャネルがアクティブでないときにアクノリッジが生成されないようにするには、I2CLOCACKビットをローに設定します。

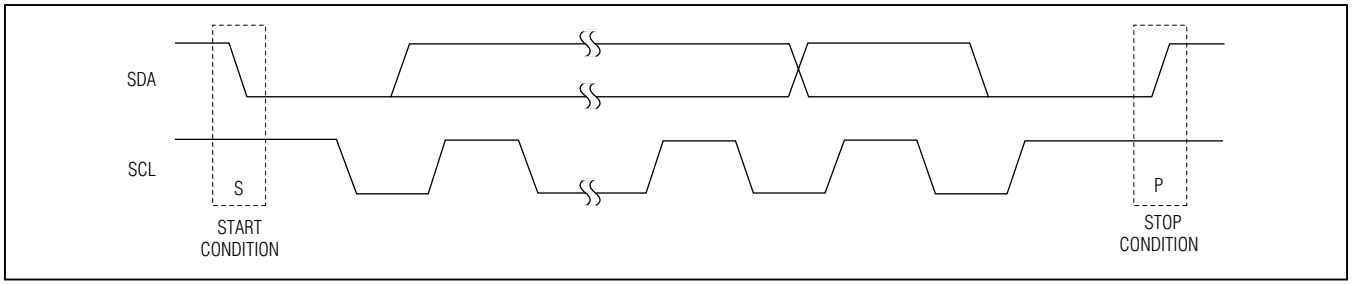


図 22. START 条件と STOP 条件

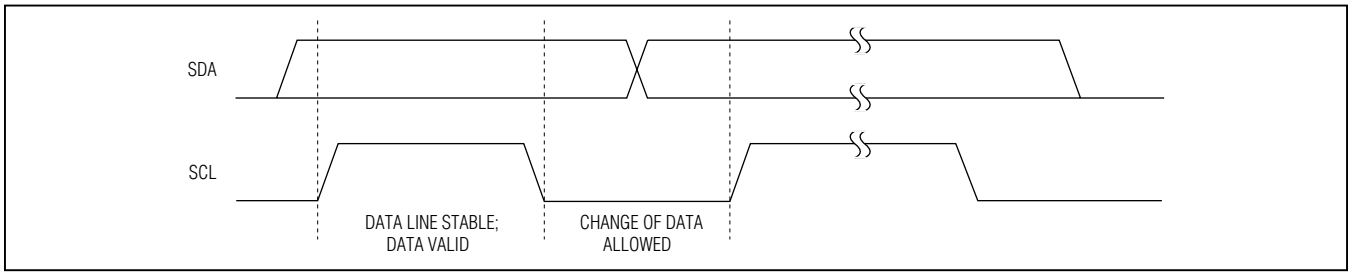


図 23. ビット転送

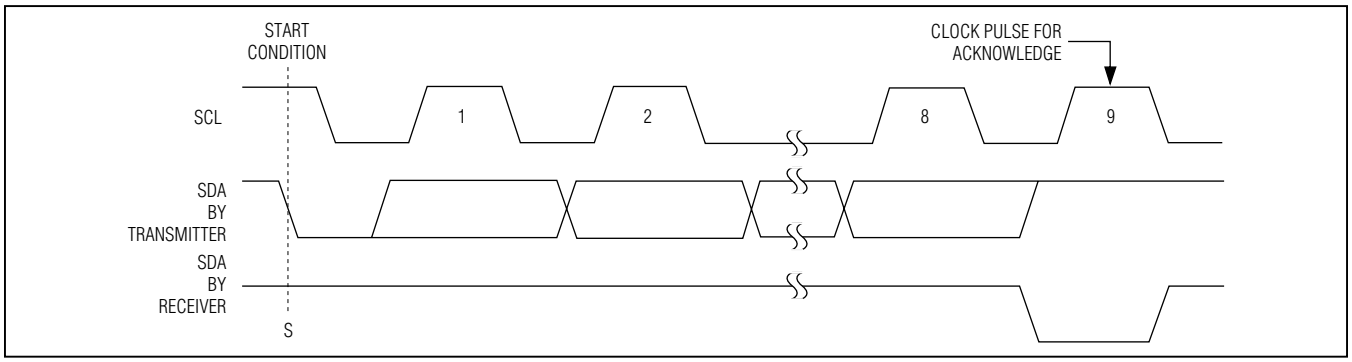


図 24. アクノリッジ

スレーブアドレス

シリアライザ/デシリアライザには7ビット長のスレーブアドレスがあります。7ビットのスレーブアドレスに続くビットはR/$\overline{W}$ビットで、書込みコマンドの場合はロー、読取りコマンドの場合はハイです。スレーブアドレスは読取りコマンドでは100100X1、書込みコマンドでは100100X0です。図25を参照してください。

バスリセット

このデバイスは、読取りのI²C START条件でバスをリセットします。R/$\overline{W}$ビットが1に設定されている場合は、シリアライザ/デシリアライザがデータをマスターに送信するため、マスターがデバイスから読取りを行います。

書込みの形式

シリアライザ/デシリアライザへの書込みは、R/$\overline{W}$ビットを0に設定したスレーブアドレスと、それに続く1バイト以上の情報の送信で構成されます。情報のうち最初のバイトは、レジスタアドレスまたはコマンドバイトです。このレジスタアドレスによって、次のバイト受信時にデバイスのどのレジスタに書込みを行うかが決まります。レジスタアドレスの受信後にSTOP (P)条件が検出された場合、デバイスはレジスタアドレスを格納する以外の動作を行いません(図26)。レジスタアドレスの後に受信されるバイトは、すべてデータバイトです。最初のデータバイトはレジスタアドレスによって選択されたレジスタに格納され、その後のデータバイトは後続のレジスタに格納されます(図27)。STOP条件の前に複数のデータバイトが送信された場合、レジスタアドレスが自動インクリメントされるため、それらのバイトは後続のレジスタに格納されます。

読取りの形式

シリアライザ/デシリアライザの読取りでは、書込みの場合に格納されたレジスタアドレスがアドレスポインタとして使用されるのと同様に、内部的に保存されたレジスタアドレスがアドレスポインタとして使用されます。書込みの場合と同じルールに従って各データバイトが読み取られた後にポインタが自動インクリメントされます。したがって、読取りはまず書込みを実行してレジスタアドレスを設定することによって開始されます(図28)。これでマスターはデバイスから連続するバイトを読み取ることができ、最初のデータバイトは直前に書込みを行ったレジスタアドレスによって指定されるレジスタアドレスから読み取られます。マスターがNACKを送信したら、デバイスは有効なデータの送信を停止します。

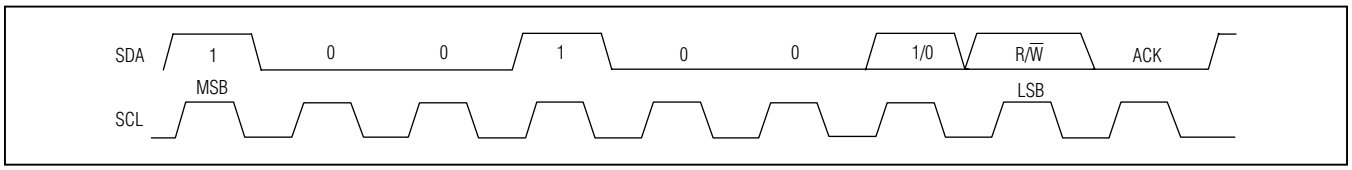


図 25. スレーブアドレス

図 26. I²C の書込みの形式

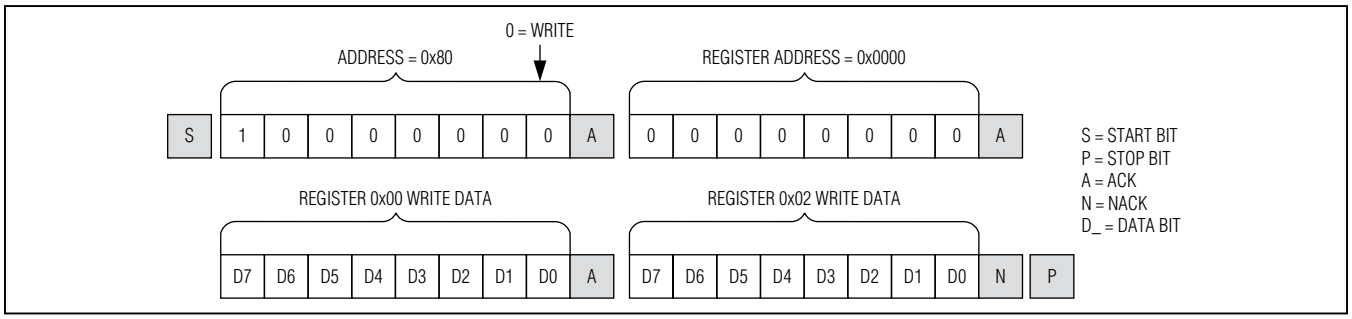


図 27. 複数のレジスタに対する書込みの形式

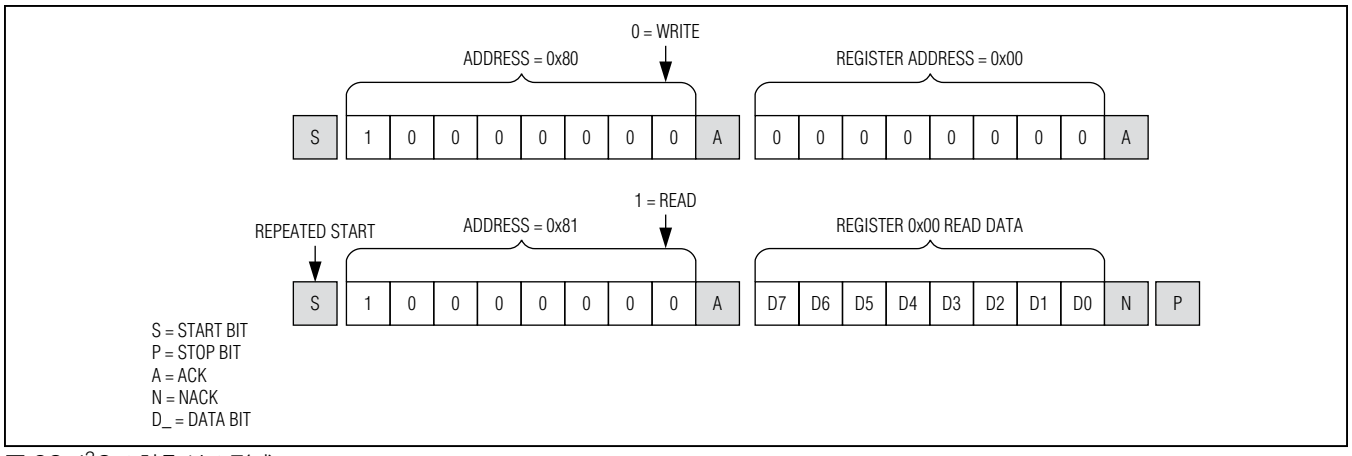


図 28. I²C の読取りの形式

表4. I²Cのビットレート範囲

LOCAL BIT RATE	REMOTE BIT-RATE RANGE	I2CMSTBT SETTING
f > 50kbps	Up to 1Mbps	Any
20kbps < f < 50kbps	Up to 400kbps	Up to 110
f < 20kbps	Up to 10kbps	000

リモート側デバイスとのI²C通信

このデシリアライザは、SCLのクロックストレッチングを使用して、通信リンクのリモート側にあるペリフェラルとのI²C通信をサポートします。通信リンクのどちらかの側に複数のマスターが存在する可能性がある間、調停は行われません。接続されたマスターは、SCLのクロックストレッチングをサポートしている必要があります。リモート側のI²Cビットレート範囲は、ローカル側のI²Cビットレートに基づいて設定する必要があります。サポートされているリモート側ビットレートを表4に示しています。リモートのI²Cビットレートを設定するには、I2CMSTBT（レジスタ0x0D）を設定します。400kbps以外のビットレートを使用する場合、ローカル側とリモート側のI²Cセットアップ時間とホールド時間は、両側でSLV_SHレジスタを設定して調整する必要があります。

I²Cアドレス変換

このデシリアライザは、最大2つのデバイスアドレスのI²Cアドレス変換をサポートしています。アドレス変換は、限られたI²Cアドレスで一意のデバイスアドレスをペリフェラルに割り当てるために使用します。ソースアドレス（変換元のアドレス）は、レジスタ0x09と0x0Bに格納されます。デスティネーションアドレス（変換先のアドレス）は、レジスタ0x0Aと0x0Cに格納されます。

制御チャネルブロードキャストモード

このデシリアライザは、複数のペリフェラルデバイスを制御するためのブロードキャストコマンドをサポートしています。ブロードキャストデバイスアドレスとして使用する未使用のデバイスアドレスを選択します。ブロードキャストデバイスアドレス（レジスタ0x09、0x0Bに格納されたソースアドレス）をペリフェラルデバイスアドレス（レジスタ0x0A、0x0Cに格納されたデスティネーションアドレス）に変換するようにリモート側のGMSLデバイスを設定します。ブロードキャストアドレスに送信されたコマンドはいずれも指定のペリフェラルすべてに送信され、1つのペリフェラルの一意デバイスアドレスに送信されたコマンドはその特定のデバイスにのみ送信されます。

GPO/GPI制御

シリアライザのGPOは、デシリアライザのGPIの遷移に追従します。このGPO/GPI機能を使用すると、サラウンドビューカメラシステムでフレーム同期のような信号を送信することができます。GPI-GPO間の遅延は0.35ms（max）です。GPI遷移間の時間を0.35ms以上に維持します。これには、同軸スプリッタモードにおけるもう1つのデシリアライザからの遷移も含まれます。デシリアライザのレジスタ0x0EのビットD4に、GPI入力の状態が格納されます。起動後、GPOはローです。µCはシリアライザのSET_GPOレジスタビットへの書込みによってGPOを設定することができます。正常なGPO/GPI機能を確保するため、デシリアライザのRX/SDA入力（UARTモード）では、ベースモードまたはバイパスモードのどちらにおいても100µsより長くロジックロー値を送信しないでください。

PRBSテスト

シリアライザは、デシリアライザのビットエラー検証と連携するPRBSパターンジェネレータを内蔵しています。PRBSテストを実行するには、まずデシリアライザ、次にシリアライザの順で、PRBSEN = 1 (0x04、D5)に設定します。PRBSテストを終了するには、シリアライザでPRBSEN = 0 (0x04、D5)に設定します。

ラインイコライザ

このデシリアライザには、高周波数でのケーブル減衰をさらに補正するための調整可能なラインイコライザが内蔵されています。ケーブルイコライザは、2.1dB～13dBの間で選択可能な11の補正レベルを備えています(表5)。**デバイスはイコライザをディセーブルした状態で起動します。**他の補正レベルを選択する場合は、デシリアライザの該当するレジスタビット(0x05 D[3:0])を設定します。所定のケーブルで最も信頼性の高いリンクを実現するために、シリアライザのプリエンファシスとともに、デシリアライザのイコライゼーションを使用します。

スペクトラム拡散

遷移によって生じるEMIを低減するため、このデシリアライザの出力ではスペクトラム拡散を設定可能です。デシリアライザを駆動するシリアライザでスペクトラム拡散を設定可能である場合は、両方同時に拡散をイネーブルしないでください。両方でイネーブルすると、相互作用によって効果が相殺されます。スペクトラム拡散の設定可能な振幅は±2%と±4%です(表6)。

このデシリアライザは、拡散変調率を制御するための鋸歯分周器を内蔵しています。PCLKOUTの動作範囲の自動検出によって、スペクトラム拡散の変調周波数が20kHz～40kHzの範囲内になることが保証されます。さらに、鋸歯分周器のマニュアル設定(SDIV: 0x03、D[5:0])によって、PCLKOUTの周波数に応じてユーザーが変調周波数を設定することも可能です。範囲をマニュアル選択する際は、約20kHzの固定変調周波数になるようにSDIVの値を設定します。

スペクトラム拡散分周器のマニュアル設定

デシリアライザの変調率とPCLKOUTの周波数の関係は、次のように表されます。

$$f_M = (1 + DRS)\frac{f_{PCLKOUT}}{MOD \times SDIV}$$

ここで、

f_M = 変調周波数

DRS = DRSの値(0または1)

$f_{PCLKOUT}$ = PCLKOUTの周波数

MOD = 表7に示す変調係数

SDIV = µCによってマニュアル設定される5ビットのSDIV設定値

SDIV設定値を設定するには、まず目的のバス幅とスペクトラム拡散の設定に基づいて変調係数を選択します。目的のピクセルクロックと変調周波数を使用して、上記の式をSDIVについて解きます。計算したSDIVの値が表7に示すSDIVの許容最大値より大きい場合は、SDIVを最大値に設定します。

表5. ケーブルイコライザのブーストレベル

BOOST SETTING (0x05 D[3:0])	TYPICAL BOOST GAIN (dB)
0000	2.1
0001	2.8
0010	3.4
0011	4.2
0100	5.2
0101	6.2
0110	7
0111	8.2
1000	9.4
1001	**10.7 Default***
1010	11.7
1011	13

*イコライザは起動時にディセーブルです。

表6. パラレル出力の拡散

SS	SPREAD (%)
00	No spread spectrum. **Power-up default.**
01	±2% spread spectrum.
10	No spread spectrum.
11	±4% spread spectrum.

表7. 変調係数と最大SDIV設定値

SPREAD-SPECTRUM SETTING (%)	MODULATION COEFFICIENT (dec)	SDIV UPPER LIMIT (dec)
4	208	15
2	208	30

追加的なエラー検出/訂正

デフォルトモード(追加的なエラー検出/訂正がディセーブル)では、データの符号化/復号化は以前のGMSLシリアライザ/デシリアライザと同じです(パリティのみ)。シリアライザでは、パラレル出力ワードがスクランブルされ、パリティビットが追加されます。スクランブルされたワードは、(BWSの設定に応じて) 3または4バイトに分割され、8b/10b符号化された後、順次送信されます。デシリアライザでは、同じ処理が逆の順序で実行されます。パリティビットは、デシリアライザでワード境界の確認やエラー検出に使用されます。エラーはエラーカウンタレジスタでカウントされ、エラー端子がエラーを指示します。

デシリアライザは、次の2つの追加的なエラー検出/訂正方式のうち1つを使用することができます(レジスタ設定によって選択可能)。

1) 6ビットの巡回冗長検査

2) 6ビットのハミングコードと16ワードのインタリーブ

巡回冗長検査(CRC)

CRCがイネーブルのとき、シリアライザは入力データに6ビットのCRCを付加します。そのため、CRCを使用しない場合に比べて、入力データワード内で利用可能なビットが6だけ減少します(詳細については表2を参照)。たとえば、BWS = 0のときは22ビットではなく16ビットが入力データに利用可能で、BWS = 1のときは30ビットではなく24ビットが利用可能です。

CRCジェネレータの多項式は$x^6 + x + 1$です(ITU-T G704の通信規格で使用されている式と同様)。

パリティビットはワード境界の検出に使用されるため、CRCがイネーブルのときでも付加されます。CRCがイネーブルのときは、各データワードがスクランブルされ、6ビットのCRCと1ビットのパリティが付加された後、8b/10b符号化されます。

デシリアライザでは、CRCコードが再計算されます。再計算したCRCコードが受信したCRCコードと一致しない場合、エラーフラグが立てられます。このCRCエラーはエラーカウンタに通知されます。

ハミングコード

ハミングコードは、エラーの検出や訂正を行うためのシンプルで効果的なエラー訂正コードです。MAX9240デシリアライザは、(GMSLシリアライザのMAX9271/MAX9273と組み合わせた場合)ピクセル単位のシングルエラー訂正/ダブルエラー検出のハミングコード方式を使用します。

このデシリアライザでは、バーストエラー対策のためにデータインタリーブを使用します。シリアルリンク上で最大11連続ビットのバーストエラーが訂正され、最大31連続ビットのバーストエラーが検出されます。

ハミングコードはCRCと同様にオーバーヘッドを増加させます。利用可能な入力ワードサイズの詳細については、表2を参照してください。

HS/VSの符号化/トラッキング

GMSLシリアライザによるHS/VSの符号化によって、ピクセルデータの帯域幅を維持しつつ水平同期と垂直同期の信号を送信することが可能です。HS/VSの符号化をイネーブルした場合、HS/VSの各遷移につき1ビデオピクセルのデータを使用して、最大100MHzのクロックで10ビットのピクセルデータを送信することができます。それに対して、HS/VSの符号化を使用しなければ、最大100MHzのクロックで8ビットのデータ送信になります。デシリアライザはHS/VSの復号化を実行し、HS/VS信号の周期を監視し、ボーティングを使用してHS/VSのビットエラーをフィルタします。HS/VSの符号化を使用する場合、デシリアライザでDBL = 0のときはHS/VSで2 PCLKOUTサイクル以上の低パルス時間を使用します。DBL = 1のときは、HS/VSで5 PCLKOUTサイクル以上の低パルス時間と2 PCLKOUTサイクル以上の高パルス時間を使用します。ハミングコードをHS/VSの符号化とともに使用する場合は、16 PCLKOUTサイクルごとに2回を超える遷移を送信しないでください。

シリアライザでダブル入力モード(DBL = 1)を使用するときは、HSまたはVS信号のアクティブ時間 + ブランキング時間をPCLKOUTサイクルの偶数倍にする必要があります。シリアライザでDBL = 1、デシリアライザでDBL = 0のときは、シリアライザの入力で2ピクセルクロックサイクルのHS/VSが、デシリアライザのHS0/VS0およびHS1/VS1出力から1サイクルで出力されます。HS/VSの1つ目のサイクルはHS0/VS0から出力され、2つ目のサイクルはHS1/VS1から出力されます。HVEN = 0のとき、HS1とVS1は使用されません。

HS/VSのトラッキングをHS/VSの符号化なしで使用する場合は、DOUT0をHSYNCに、DOUT1をVSYNCに使用します。この場合、シリアライザ/デシリアライザでDBLの値が異なっていれば、デシリアライザでUNEQDBLレジスタビットを1に設定します。シリアライザとデシリアライザでDBLの設定が異なり、HVEN = 0である場合は、DBL = 1の側でのみHS/VSの反転を使用します。HSYNCまたはVSYNCがローのときは、HS/VSの符号化によってパケットが送信されます。ピクセルクロックがアクティブでない時間中にデータパケットを送信するために入力のHSYNCおよびVSYNC信号でアクティブローの規則を使用する場合は、HS/VS反転レジスタビットを使用します。

シリアル入力

このデバイスは、100Ωツイストペアと50Ω同軸の2種類のケーブルからシリアルデータを受信することができます(75Ωのケーブルに対応したデバイスについては、お問い合わせください)。

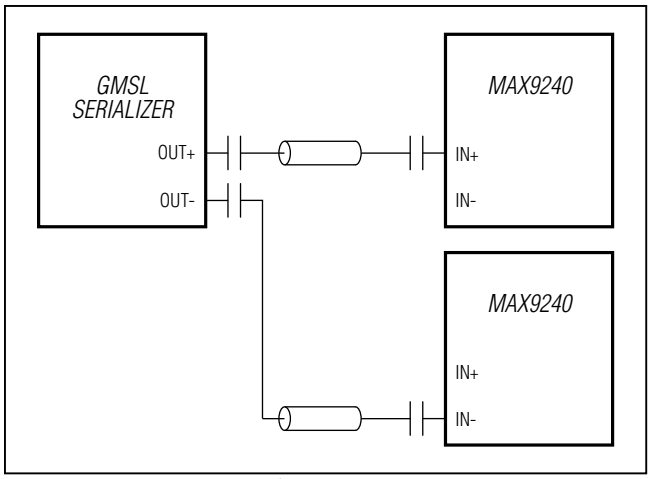


図 29. 2:1 同軸モードスプリッタ接続図

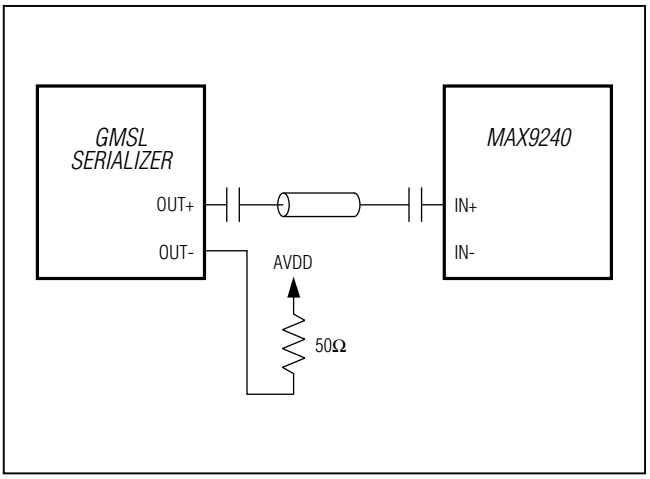


図 30. 同軸モード接続図

同軸スプリッタモード

同軸モードでは、シリアライザのOUT+とOUT-がアクティブです。そのため、1:2スプリッタとして使用することが可能です(図29)。同軸モードでは、OUT+をデシリアライザのIN+に接続します。

OUT-は、もう1つのデシリアライザのIN-に接続します。制御チャネルのデータは、シリアライザから両方のデシリアライザとそれらに接続されたペリフェラルにブロードキャストされます。制御データを1つのデシリアライザに送信するには、固有のアドレスを指定します。使用しないIN_端子をすべて未接続のままにするか、またはそれらを50Ωとコンデンサを介してグランドに接続し、電源電圧変動除去性能を引き上げます。OUT-を使用しない場合は、OUT-を50Ωの抵抗を介してAVDDに接続します(図30)。シリアライザと各デシリアライザにμCがあるときは、一度に1つのμCしか通信することができません。競合を防止するには、一方のスプリッタ制御チャネルリンクをディセーブルします。制御チャネルリンクをディセーブルするには、DIS_REV_PまたはDIS_REV_Nレジスタビットを使用します。

ケーブルタイプ設定入力(CX/TP)

CX/TPはシリアル入力の起動時の状態を決定します。同軸モードでは、CX/TPはデフォルトのデバイスアドレスのほか、どちらの同軸入力がアクティブであるかも決定します(表8)。これらの機能は、該当するレジスタビットに書き込むことによって起動後に変更することができます。

スリープモード

このデシリアライザには、消費電力を削減するスリープモードが内蔵されています。デバイスは、制御チャネルを使用したローカルμCまたはリモートμCからのコマンドによって、スリープモードを開始または終了します。スリープモードを開始するには、SLEEPビットを1に設定します。シリアライザはSLEEP = 1に設定した後、ただちにスリープします。SLEEP = 1に設定した後、シリアルリンクがアイドル状態になるか、または8msが経過すると、デシリアライザはスリープします。ローカル側からウェイクアップさせるには、任意の制御チャネルコマンドをデシリアライザに送り、チップが起動するまで5ms待ってから0をSLEEPレジスタビットに書き込み、ウェイクアップを永続化します。リモート側からウェイクアップさせるには、シリアライズをイネーブルします。デシリアライザはシリアルリンクでアクティビティを検出した後、ロックする際に自動的にそのSLEEPレジスタビットを0に設定します。

表8. 設定入力マップ

CX/TP	FUNCTION
High	Coax+ input. Device address 0x90.
Mid	Coax- input. Device address 0x92.
Low	Twisted-pair input. Device address 0x90.

パワーダウンモード

このデシリアライザには、スリープモードよりも大幅に消費電力を削減するパワーダウンモードがあります。パワーダウンモードを開始するには、$\overline{\text{PWDN}}$をローに設定します。パワーダウンモードでは、デバイスの出力はハイインピーダンス状態のままです。パワーダウンモードに入ると、デバイスのレジスタはリセットされます。パワーダウンを終了した場合、外部端子GPIO1/BWS、GPIO0/DBL、CX/TP、I2CSEL、LCCEN、RX/SDA/EDC、TX/SCL/ES、MS/HVENの状態はラッチされます。

設定リンク

クロック入力が存在しない場合、制御チャネルは設定リンクと呼ばれる低速モードで動作することができます。これ

によって、マイクロプロセッサはビデオリンクを起動する前に設定レジスタをプログラム可能です。内部発振器が設定リンクにクロックを供給します。設定リンクをイネーブルするには、シリアライザでCLINKEN = 1に設定します。設定リンクは、ビデオリンクがイネーブルされるまでアクティブです。SEREN = 1のとき、ビデオリンクは設定リンクを無効にしてロックを試みます。

リンクのスタートアップ手順

表9は、ビデオディスプレイアプリケーションのスタートアップ手順を示しています。表10は、画像検出アプリケーションのスタートアップ手順を示しています。ビデオリンクまたは設定リンクが確立されたら、制御チャネルを利用可能です。デシリアライザがシリアライザの後に起動した場合、制御チャネルは起動から2ms後まで利用不可になります。

表9. ビデオディスプレイアプリケーションのスタートアップ手順

NO.	µC	シリアライザ	デシリアライザ
—	µCはシリアライザに接続されています。	すべての設定入力を設定します。いずれかの設定入力がリンクの一方の端で利用可能で、もう一方の端で利用不可である場合は、常にその設定入力をローに接続します。	すべての設定入力を設定します。いずれかの設定入力がリンクの一方の端で利用可能で、もう一方の端で利用不可である場合は、常にその設定入力をローに接続します。
1	起動します。	起動してデフォルト設定をロードします。	起動してデフォルト設定をロードします。
2	(自動的にイネーブルされていない場合) CLINKEN = 1に設定して設定リンクをイネーブルし、アクノリッジを取得します。リンクが確立されるまで待ちます(約3ms)。	設定リンクを確立します。	設定リンク信号にロックします。
3	デシリアライザで1つのリンク設定ビット(DRS、BWS、またはEDC)を書き込み、アクノリッジを取得します。	—	設定がデフォルト設定から変更されます(BWSまたはEDCが変更されるとロック喪失が発生する場合があります)。
4	シリアライザの対応するリンク設定ビットを書き込み、アクノリッジを取得します。	設定がデフォルト設定から変更されます。	再び設定リンク信号にロックします。
5	リンクが確立されるまで(約3ms)待った後、すべてのシリアルリンクビットが設定されるまでステップ3と4を繰り返します。	—	—
6	シリアライザ/デシリアライザで残りの設定ビットを書き込み、アクノリッジを取得します。	設定がデフォルト設定から変更されます。	設定がデフォルト設定から変更されます。
7	SEREN = 1に設定してビデオリンクをイネーブルし、アクノリッジを取得します。リンクが確立されるまで待ちます(約3ms)。	データのシリアライズを開始します。	シリアルリンク信号にロックし、データのデシリアライズを開始します。

表10. 画像検出アプリケーションのスタートアップ手順

NO.	µC	シリアライザ	デシリアライザ
—	µCはデシリアライザに接続されています。	すべての設定入力を設定します。いずれかの設定入力がリンクの一方の端で利用可能で、もう一方の端で利用不可である場合は、常にその設定入力をローに接続します。	すべての設定入力を設定します。いずれかの設定入力がリンクの一方の端で利用可能で、もう一方の端で利用不可である場合は、常にその設定入力をローに接続します。
1	起動します。	起動してデフォルト設定をロードします。シリアルリンクを確立します。	起動してデフォルト設定をロードします。シリアルリンク信号にロックします。
3	デシリアライザの設定ビットを書き込み、アクノリッジを取得します。	—	設定がデフォルト設定から変更されます(ロック喪失が発生する場合があります)。
4	シリアライザの設定ビットを書き込みます。ロック喪失が発生した場合、アクノリッジを取得することはできません(または、ダミーのアクノリッジを取得します)。	設定がデフォルト設定から変更されます。	再びシリアルリンク信号にロックします。
5	(自動的にイネーブルされていない場合) SEREN = 1に設定してビデオリンクをイネーブルします。ロック喪失が発生した場合、アクノリッジを取得することはできません(または、ダミーのアクノリッジを取得します)。リンクが確立されるまで待ちます(約3ms)。	データのシリアライズを開始します。	シリアルリンク信号にロックし、データのデシリアライズを開始します。

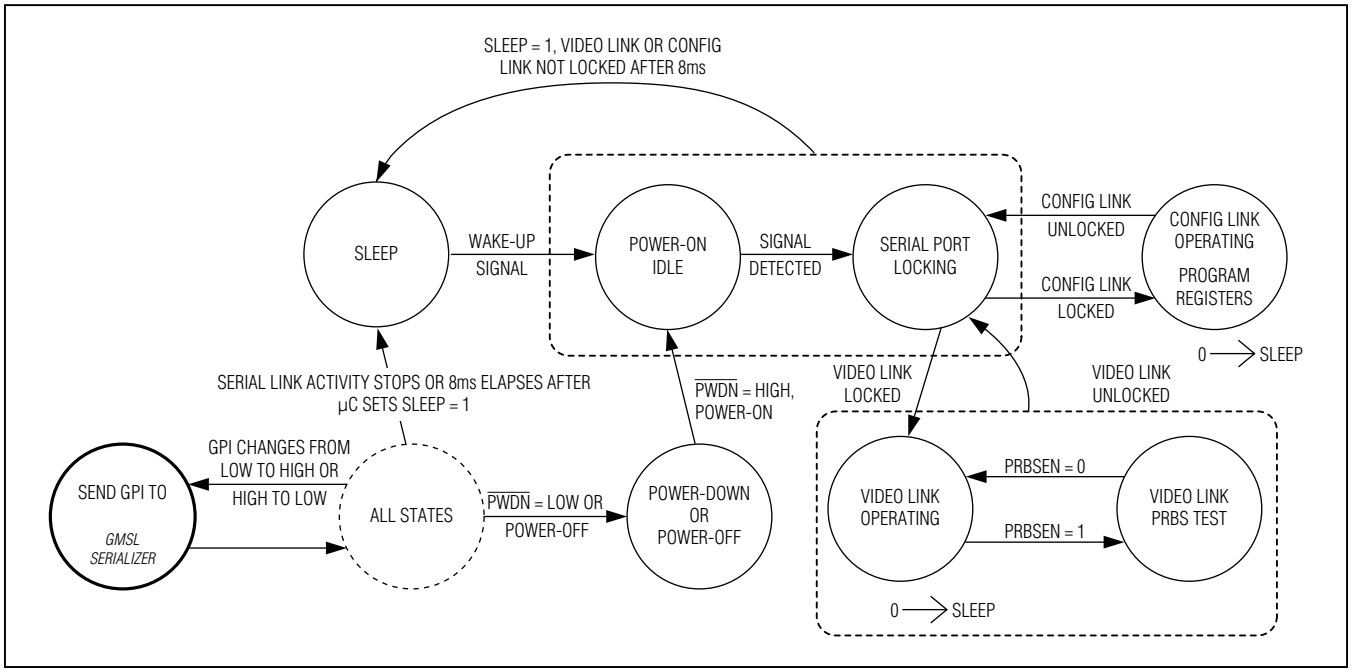


図 31. 状態図、リモートマイクロコントローラアプリケーション

アプリケーション情報

エラーチェック

このデシリアライザはシリアルリンクのエラーをチェックして、検出および訂正されたエラーの数を8ビットレジスタDETERR (0x10)とCORRERR (0x12)に格納します。短時間に多数の8b/10bエラーが検出された場合(エラー率 ≥ 1/4)、デシリアライザのロックが解除されてエラーカウンタが停止します。その後、デシリアライザはシリアルデータへの再ロックを試みます。ビデオリンクのロックに成功した場合、(µCを介して)それぞれのレジスタの読取りに成功した場合、またはオートエラーリセットがイネーブルされるたびに、DETERRとCORRERRがリセットされます。デシリアライザは内部PRBSテスト中に個別のPRBSレジスタを使用し、DETERRとCORRERRは0x00にリセットされます。

$\overline{\text{ERR}}$出力

このデシリアライザは、オープンドレインの$\overline{\text{ERR}}$出力を備えています。通常動作中に検出/訂正されたエラーの数がそれぞれのエラースレッショルドを超えた場合や、PRBSテスト中に少なくとも1つのPRBSエラーが検出された場合、この出力はローにアサートされます。DETERR/CORRERRの読取り、ビデオリンクのロック、またはオートエラーリセットによってDETERRとCORRERRがリセットされるたびに、$\overline{\text{ERR}}$はハイに再アサートされます。

オートエラーリセット

エラーをリセットするデフォルトの方式は、デシリアライザの各エラーレジスタ(0x10、0x12、0x13)を読み取ることです。オートエラーリセットは、$\overline{\text{ERR}}$がローになってから約1µs後にエラーカウンタDETERR/CORRERRと$\overline{\text{ERR}}$出力をクリアします。オートエラーリセットは、起動時にはディセーブルされています。オートエラーリセットは、AUTORST (0x08、D2)によってイネーブルします。デバイスがPRBSテストモードのときは、オートエラーリセットは実行されません。

デュアルµC制御

通常、システムには制御チャネルを実行するµCが1つ存在し、ビデオディスプレイアプリケーションではシリアライザ側、画像検出アプリケーションではデシリアライザ側に置かれています。とはいえ、µCが双方に1つずつ同時に存在し、制御チャネルを交互に実行する場合もあります。この場合は、各µCがシリアライザやデシリアライザ、すべてのペリフェラルデバイスと通信可能です。

両方のµCが同時に制御チャネルを使用しようとした場合は、競合が発生します。こうした競合は、ユーザーが上位のプロトコルを実装することで防止する必要があります。さらに、制御チャネルでは、リンクの両側にあるI^2Cマスターの間で調停が行われません。競合のために通信が失敗すると、アクノリッジフレームが生成されません。シリアルリンクでの通信が不要な場合、µCはシリアライザ/デシリアライザのFWDCCENビットとREVCCENビット(0x04、D[1:0])を使用して順方向と逆方向の制御チャネルをディセーブルすることができます。シリアルリンクでの通信が停止され、µCの間で競合が発生することはありません。

画像検出アプリケーションでデュアルµCを使用する一例として、シリアライザがスリープモードで、デシリアライザ側のµCによるウェイクアップを待つという場合があります。ウェイクアップ後は、シリアライザ側のµCがシリアライザのレジスタのマスター制御を担当します。

クロック周波数の変更

シリアルリンクのイネーブルは、ビデオクロック($f_{PCLKOUT}$)と制御チャネルクロック(f_{UART}/f_{I2C})が安定した後に行うことが推奨されます。クロック周波数を変更する際は、5µsの間ビデオクロックを停止し、新しい周波数でクロックを適用してから、シリアルリンクを再始動するか、またはSERENをトグルします。新しい周波数がグリッチなくただちに安定する場合は、クロック周波数のオンザフライ変更が可能です。逆方向制御チャネルは、シリアルラインの開始または停止後350µsの間、利用することができません。UARTインタフェースを使用する際は、デバイスがUARTの同期パターンを確実に認識することができるように、f_{UART}のオンザフライ変更で1回の倍率を3.5までに制限します。たとえば、UART周波数を1Mbpsから100kbpsに引き下げるときは、まずデータを333kbpsで送信し、次に100kbpsで送信することによって、それぞれ3と3.333の低下率にします。

同期喪失の高速検出

リンク品質の尺度として、同期喪失からの回復時間があります。ホストは、デシリアライザのLOCK出力をGPI入力に接続することによって、ロック喪失の通知をすばやく受け取ることができます。タッチスクリーンコントローラなどの他のソースでGPI入力を使用している場合、µCは同期喪失による割込みと通常の割込みを識別するルーチンを実装することができます。逆方向制御チャネルの通信はアクティブな順方向リンクの動作を必要とせず、GMSLリンクのLOCKステータスを正確に追跡します。LOCKはビデオリンクについてのみアサートされ、設定リンクについてはアサートされません。

フレーム同期の供給(カメラアプリケーション)

GPI/GPOは、ECUからのフレーム同期信号を必要とするカメラアプリケーション(サラウンドビューシステムなど)にシンプルなソリューションを提供します。ECUのフレーム同期信号をGPI入力に接続し、GPO出力をカメラのフレーム同期入力に接続します。GPI/GPOの遅延は275µs (typ)です。複数のGPI/GPOチャネル間のスキューは115µs (max)です。低スキューの信号が必要な場合は、カメラのフレーム同期入力をGMSLデシリアライザのGPIOの1つに接続し、I^2Cのブロードキャスト書込みコマンドを使用してGPIO出力の状態を変更します。この場合、スキューが1.5µs以下になります。

デバイスアドレスのソフトウェア設定

シリアライザとデシリアライザの両方が、設定可能なデバイスアドレスを備えています。これによって、複数のGMSLデバイス(やI^2Cペリフェラル)が同じ制御チャネル上で共存可能です。シリアライザのデバイスアドレスは、各デバイスのレジスタ0x00にあり、デシリアライザのデバイスアドレスは各デバイスのレジスタ0x01にあります。

デバイスアドレスを変更するには、まずアドレスを変更するデバイスに書込みを行います(シリアライザのデバイスアドレスを変更する場合はシリアライザのレジスタ0x00、デシリアライザのデバイスアドレスを変更する場合はデシリアライザのレジスタ0x01)。

次に、同じアドレスをもう一方のデバイスの対応するレジスタに書き込みます(シリアライザのデバイスアドレスを変更する場合はデシリアライザのレジスタ0x00、デシリアライザのデバイスアドレスを変更する場合はシリアライザのレジスタ0x01)。

3レベル設定入力

CX/TPは、シリアルインタフェースの設定や起動時のデフォルトを制御する3レベル入力です。CX/TPは、ハイレベルを設定する場合はプルアップ抵抗を介してIOVDDに接続し、ローレベルを設定する場合はプルダウン抵抗を介してGNDに接続し、ミッドレベルを設定する場合はIOVDD/2に接続するか、またはオープンにします。デジタル制御の場合は、3ステートのロジックを使用して3レベルのロジック入力を駆動します。

設定のブロック

このデシリアライザは、レジスタに対する変更をブロックすることができます。すべてのレジスタを読取り専用にするには、CFGBLOCKをセットします。一度セットしたら、電源が取り外されるか、$\overline{PWDN}$がローになるまでレジスタはブロックされたままです。

他のGMSLデバイスとの互換性

MAX9240デシリアライザは、シリアライザのMAX9271/MAX9273と組み合わせるように設計されていますが、任意のGMSLシリアライザと相互運用可能です。動作上の制限事項については、表11を参照してください。

GPIO

このデシリアライザでは、設定入力として使用していない場合、2つのオープンドレインGPIOを利用可能です。GPIO1OUTとGPIO0OUT (0x0E、D3とD1)でGPIOの出力の状態を設定します。GPIO出力ビットを0に設定すると出力がローに駆動され、ビットを1に設定すると出力が駆動されないままになり、内蔵/外付けプルアップ抵抗によってハイに駆動されます。GPIO入力バッファは常にイネーブルです。入力の状態は、GPIO1とGPIO0 (0x0E、D2とD0)に格納されます。GPIO1/GPIO0を入力として使用する際は、GPIO1OUT/GPIO0OUTを1に設定します。

スタガードパラレル出力

このデシリアライザは、パラレルデータ出力をスタガー(時差出力)させてEMIやノイズを低減します。出力のスタガーによって、電源の過渡要件も軽減されます。デフォルトでは、デシリアライザは表12に基づいて出力をスタガーさせます。出力のスタガーをディセーブルするには、DISSTAGビット(0x08、D3)を使用します。

表11. MAX9240の機能上の互換性

MAX9240の機能	GMSLデシリアライザ
HSYNC/VSYNCの符号化	シリアライザで機能がサポートされていない場合、デシリアライザでオフにする必要があります。
ハミングコードによるエラー訂正	シリアライザで機能がサポートされていない場合、デシリアライザでオフにする必要があります。
I^2C-I^2C	シリアライザで機能がサポートされていない場合、UART-I^2CまたはUART-UARTを使用する必要があります。
CRCによるエラー検出	シリアライザで機能がサポートされていない場合、デシリアライザでオフにする必要があります。
ダブル出力	シリアライザで機能がサポートされていない場合、データは1/2の出力周波数で1つのワードとして入力されます。
同軸	デシリアライザで機能がサポートされていない場合、使用しないシリアル出力を直列の200nFと50Ωを介してAVDDに接続し、逆方向制御チャネルの振幅を100mVに設定する必要があります。
I^2Sの符号化	シリアライザで機能がサポートされていない場合、シリアライザでI^2Sをディセーブルする必要があります。

表12. スタガード出力の遅延

OUTPUT	OUTPUT DELAY RELATIVE TO DOUT0 (ns)	
	DISSTAG = 0	DISSTAG = 1
DOUT0–DOUT5, DOUT21, DOUT22	0	0
DOUT6–DOUT10, DOUT23, DOUT24	0.5	0
DOUT11–DOUT15	1	0
DOUT16–DOUT20	1.5	0
PCLKOUT	0.75	0

表13. ダブル機能設定

LCCEN	GPIO0/DBL FUNCTION	GPIO1/BWS FUNCTION	MS/HVEN FUNCTION	RX/SDA/EDC FUNCTION	TX/SCL/ES FUNCTION
High	Functions as GPIO	Functions as GPIO	MS input (low = base mode, high = bypass mode)	UART/I²C input/output	UART/I²C input/output
Low	DBL input (low = single input, high = double input)	BWS input (low = 24-bit mode, high = 32-bit mode)	HVEN input (low = HS/VS encoding disabled, high = HS/VS encoding enabled)	EDC input (low = error detection/ correction disabled, high = error detection/ correction enabled)	ES input (low = valid DOUT_ on rising edge of PCLKOUT, high = valid DOUT_ on falling edge of PCLKOUT)

表13a. ライン障害のマッピング

REGISTER ADDRESS	BITS	NAME	VALUE	ライン障害のタイプ
0x14	D[3:2]	LFNEG	00	負のケーブルワイヤが電源電圧に短絡
			01	負のケーブルワイヤがグランドに短絡
			10	通常動作
			11	負のケーブルワイヤが切断
	D[1:0]	LFPOS	00	正のケーブルワイヤが電源電圧に短絡
			01	正のケーブルワイヤがグランドに短絡
			10	通常動作
			11	正のケーブルワイヤが切断

ローカル制御チャネルイネーブル(LCCEN)

このデシリアライザは、μCが接続されていないときにデバイスを限定的に設定するための入力を備えています。ローカル制御チャネルをディセーブルしてダブル機能設定入力をイネーブルするには、起動時にLCCEN = ローに接続します(表13)。すべての入力設定の状態が起動時にラッチされます。

ライン障害検出

このデシリアライザのライン障害検出器は、システムフォルト診断のために、地絡、天絡、オープンリンクなどのライン障害を監視します。図2aは、必要な外付け抵抗の接続を示しています。ライン障害が検出されると$\overline{LFLT}$がローになり、ラインが正常に戻ると$\overline{LFLT}$はハイになります。ライン障害の障害タイプは、デシリアライザの0x14 D[3:0]に格納されます。$\overline{LFLT}$をμCでフィルタして、一時的なグランドシフトに対する検出器の感度を引き下げます。フォルト検出器のスレッショルド電圧は、デシリアライザのグランド基準です。その他の受動部品によってケーブルのDCレベルが設定されます(図2a)。シリアライザとGMSLデシリアライザのグランドが異なる場合、通常動作中のリンクDC電圧が変動してフォルト検出スレッショルドの1つを超える可能性があります。

フォルト検出回路には、天絡に対処することができる電力定格の抵抗を選択します。同軸モードでは、使用しないライン障害入力を未接続のままにします。信号線間短絡を検出する場合は、アプリケーションノート4709「GMSLラインフォルト検出」を参照してください。表13Aは、ライン障害の各タイプのマッピングを示しています。

内蔵入力プルダウン

3レベル入力を除く制御および設定入力は、GNDへのプルダウン抵抗を内蔵しています。外付けのプルダウン抵抗は不要です。

I^2C/UARTのプルアップ抵抗の選択

I^2CとUARTのオープンドレインのラインは、ロジックハイレベルを提供するためにプルアップ抵抗を必要とします。消費電力と速度はトレードオフの関係にあるため、プルアップ抵抗値を選択する際に妥協が必要になることがあります。バスに接続されたすべてのデバイスによって、デバイスが動作していないときでもある程度のキャパシタンスが付加されます。I^2Cでは、最大400kbpsのデータレートで定義されるファストモードについて、300nsの立上り時間(30%から70%)を規定しています(詳細については、「AC Electrical Characteristics (ACの電気的特性)」の表にあるI^2Cの仕様を参照)。ファストモードの立上り時間の要件を満たすために、立上り時間$t_R = 0.85 \times R_{PULLUP} \times C_{BUS} < 300$nsとなるプルアップ抵抗を選択します。遷移時間が過度に長くなると、波形は認定されません。デシリアライザは、最大1Mbps (UART-I^2Cモード)と400kbps (I^2C-I^2Cモード)のI^2C/UART速度をサポートしています。

AC結合

AC結合は、最大でコンデンサの定格電圧までのDC電圧からレシーバを絶縁します。リンクを正常に動作させ、ケーブルのどちらかの端が天絡された場合に保護を提供するには、シリアライザの出力とデシリアライザの入力にコンデンサが必要です。AC結合は、低周波のグランドシフトや低周波のコモンモードノイズを遮断します。

AC結合コンデンサの選択

電圧ドループと送信されるシンボルのDSV (デジタル総和変動)が原因で、信号の遷移はさまざまな電圧レベルから開始されます。遷移時間は固定されているため、信号の遷移がさまざまな電圧レベルから開始されるとタイミングジッタが発生します。AC結合されたリンクの時定数を、ドループとジッタが許容可能なレベルまで減少するように選択する必要があります。AC結合されたリンク用のRCネットワークは、CML/同軸レシーバの終端抵抗(R_{TR})、CML/同軸ドライバの終端抵抗(R_{TD})、および直列AC結合コンデンサ(C)で構成されます。同一の値の直列コンデンサ4つによるRC時定数は、$(C \times (R_{TD} + R_{TR}))/4$です。$R_{TD}$と$R_{TR}$は、伝送ラインのインピーダンスと整合させる必要があります(通常は100Ω差動と50Ωシングルエンド)。したがって、システムの時定数を変更する要素として残るのはコンデンサの選択です。より低速の逆方向制御チャネルの信号を通過させるために、天絡に耐える十分な定格電圧を備えた、0.2µF以上の高周波表面実装セラミックコンデンサを使用します。3.2mm x 1.6mmより小さいケースサイズのコンデンサを使用して、高速信号に対する寄生の影響を低減します。

電源回路とバイパス処理

このデシリアライザは、1.7V～1.9VのAVDDとDVDDを使用します。シリアル入力以外のすべての入力と出力は、1.7V～3.6VのIOVDDから電力を取得し、入力レベルと出力レベルはIOVDDに比例して増減します。電源電圧の適切なバイパスは、高周波回路の安定化に不可欠です。GPI-GPO間の遅延は0.35ms (max)です。GPI伝送間の時間を0.35ms以上に維持します。

電源の表

「Electrical Characteristics (電気的特性)」の表に示された電源電流は、AVDD、DVDD、IOVDDからの電流の合計です。各電源からの標準電流を表14に示しています。

ケーブルとコネクタ

CML用の相互接続は、標準で100Ωの差動インピーダンスを備えています。差動インピーダンスが整合されたケーブルとコネクタを使用して、インピーダンスの不連続性を最小限に抑えます。同軸ケーブルは、標準で50Ωの特性インピーダンスを備えています(75Ωの動作については、お問い合わせください)。表15は、GMSLリンクで使用される推奨ケーブルとコネクタを示しています。

表14. 標準電源電流(ワーストケースの入力パターンを使用)

PCLK (MHz)	AVDD (mA)	DVDD (mA)	IOVDD (mA)
25	25.1	9.2	10.3
50	33.3	13.7	13.3

表15. GMSLの推奨コネクタとケーブル

SUPPLIER	CONNECTOR	CABLE	TYPE
Rosenberger	59S2AX-400A5-Y	RG174	Coax
JAE	MX38-FF	A-BW-Lxxxxx	STP
Nissei	GT11L-2S	F-2WME AWG28	STP
Rosenberger	D4S10A-40ML5-Z	Dacar 538	STP

基板レイアウト

LVCMOSロジック信号とCML/同軸の高速信号を分離してクロストークを防止します。電源、グランド、CML/同軸、およびLVCMOSロジック信号の各層が独立している4層PCBを使用します。PCBトレースを互いに近付けてレイアウトし、差動特性インピーダンスが100Ωになるようにします。トレースのサイズは、使用するトレースの種類(マイクロストリップまたはストリップライン)によって異なります。50ΩのPCBトレース2本を接近させた場合、差動インピーダンスが100Ωにならないことに注意してください。トレースが互いに接近しているとインピーダンスは低下します。同軸を駆動する際は、シングルエンド出力に50Ωのトレースを使用します。

差動CMLチャネル用のPCBトレースを並列に配線して、差動特性インピーダンスを維持します。ビアは使用しません。差動ペアを構成するPCBトレースの長さを等しくして、差動ペア内におけるスキューを回避します。

ESD保護

ESD耐性の定格は、ヒューマンボディモデル、IEC 61000-4-2、およびISO 10605に準拠しています。ISO 10605とIEC 61000-4-2規格は、電子装置のESD耐性を規定しています。シリアルリンク入力は、ISO 10605のESD保護とIEC 61000-4-2のESD保護に対して定格が定められています。すべての端子は、ヒューマンボディモデルに対してテストされています。ヒューマンボディモデルの放電コンポーネントは、C_S = 100pFとR_D = 1.5kΩです(図32)。IEC 61000-4-2の放電コンポーネントは、C_S = 150pFとR_D = 330Ωです(図33)。ISO 10605の放電コンポーネントは、C_S = 330pFとR_D = 2kΩです(図34)。

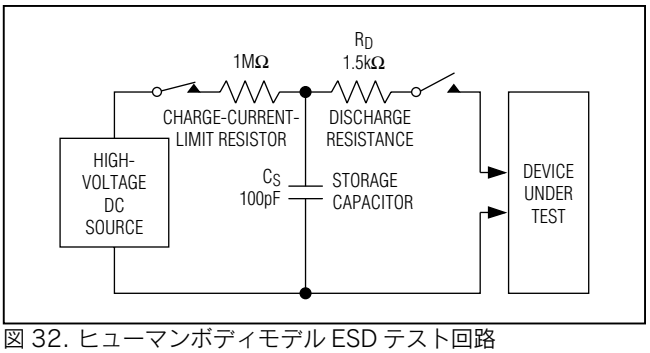


図 32. ヒューマンボディモデル ESD テスト回路

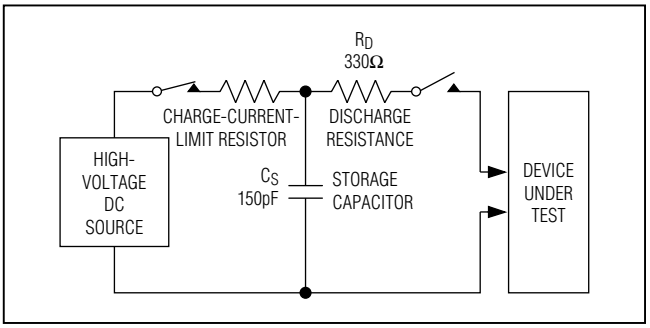


図 33. IEC 61000-4-2 接触放電 ESD テスト回路

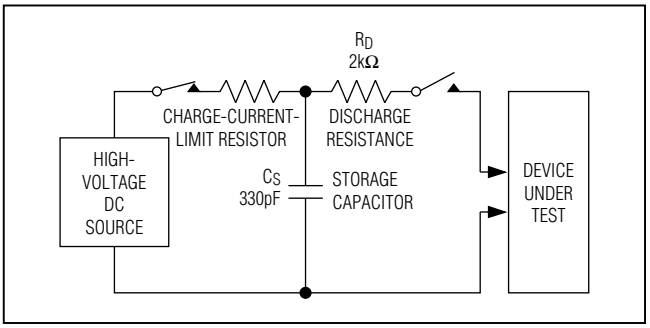


図 34. ISO 10605 接触放電 ESD テスト回路

表16. レジスタ表(表1を参照)

REGISTER ADDRESS	BITS	NAME	VALUE	機能	DEFAULT VALUE
0x00	D[7:1]	SERID	XXXXXXX	シリアライザのデバイスアドレス。	1000000
	D0	—	0	予備。	0
0x01	D[7:1]	DESID	XXXXXXX	デシリアライザのデバイスアドレス。デフォルトのアドレスはCX/TP入力の状態によって決まります(表8)。	1001000, 1001001
	D0	CFGBLOCK	0	通常動作。	0
			1	レジスタ0x00～0x1Fは読取り専用です。	
0x02	D[7:6]	SS	00	スペクトラム拡散なし。	00
			01	±2%のスペクトラム拡散。	
			10	スペクトラム拡散なし。	
			11	±4%のスペクトラム拡散。	
	D[5:4]	—	01	予備。	01
	D[3:2]	PRNG	00	12.5MHz～25MHzのピクセルクロック。	11
			01	25MHz～50MHzのピクセルクロック。	
			10	使用しません。	
			11	ピクセルクロック範囲を自動検出します。	
	D[1:0]	SRNG	00	0.5Gbps～1Gbpsのシリアルデータレート。	11
			01	1Gbps～2Gbpsのシリアルデータレート。	
			10	シリアルデータレートを自動検出します。	
			11	シリアルデータレートを自動検出します。	
0x03	D[7:6]	AUTOFM	00	ロック後に1回のみ拡散変調率を較正します。	00
			01	ロック後2msごとに拡散変調率を較正します。	
			10	ロック後16msごとに拡散変調率を較正します。	
			11	ロック後256msごとに拡散変調率を較正します。	
	D5	—	0	予備。	0
	D[4:0]	SDIV	00000	鋸歯分周器を自動較正します。	00000
			XXXXX	マニュアルSDIV設定。「スペクトラム拡散分周器のマニュアル設定」の項を参照してください。	

表16. レジスタ表(表1を参照) (続き)

REGISTER ADDRESS	BITS	NAME	VALUE	機能	DEFAULT VALUE
0x04	D7	LOCKED	0	LOCK出力はローです。	0 (read only)
			1	LOCK出力はハイです。	
	D6	OUTENB	0	出力をイネーブルします。	0
			1	出力をディセーブルします。	
	D5	PRBSEN	0	PRBSテストをディセーブルします。	0
			1	PRBSテストをイネーブルします。	
	D4	SLEEP	**0**	通常モード。	0
			1	スリープモードをアクティブ化します。	
	D[3:2]	INTTYPE	00	I2CSEL = 0のとき、ローカル制御チャネルでI^2Cを使用します。	01
			01	I2CSEL = 0のとき、ローカル制御チャネルでUARTを使用します。	
			10, 11	ローカル制御チャネルはディセーブルです。	
	D1	REVCCEN	0	シリアライザへの逆方向制御チャネルをディセーブルします(送信時)。	1
			1	シリアライザへの逆方向制御チャネルをイネーブルします(送信時)。	
	D0	FWDCCEN	0	シリアライザからの順方向制御チャネルをディセーブルします(受信時)。	1
			1	シリアライザからの順方向制御チャネルをイネーブルします(受信時)。	
0x05	D7	I2CMETHOD	0	UARTをI^2Cに変換する際、I^2C変換でレジスタアドレスを送信します。	0
			1	UARTをI^2Cに変換する際、I^2Cレジスタアドレスの送信をディセーブルします(コマンドバイトオンリーモード)。	
	D6	DCS	0	通常のパラレル出力ドライバ電流。	0
			1	ブーストしたパラレル出力ドライバ電流。	
	D5	HVTRMODE	0	HS/VSの部分的な周期的トラッキング。	1
			1	HS/VSの完全な周期的トラッキング。	
	D4	ENEQ	**0**	**イコライザはディセーブルです。起動時のデフォルトです。**	0
			1	イコライザはイネーブルです。	
	D[3:0]	EQTUNE	0000	2.1dBのイコライザブーストゲイン。	1001
			0001	2.8dBのイコライザブーストゲイン。	
			0010	3.4dBのイコライザブーストゲイン。	
			0011	4.2dBのイコライザブーストゲイン。	
			0100	5.2dBのイコライザブーストゲイン。	
			0101	6.2dBのイコライザブーストゲイン。	
			0110	7dBのイコライザブーストゲイン。	
			0111	8.2dBのイコライザブーストゲイン。	
			1000	9.4dBのイコライザブーストゲイン。	
			1001	10.7dBのイコライザブーストゲイン。**起動時のデフォルトです。**	
			1010	11.7dBのイコライザブーストゲイン。	
			1011	13dBのイコライザブーストゲイン。	
			11XX	使用しません。	

表16. レジスタ表(表1を参照) (続き)

REGISTER ADDRESS	BITS	NAME	VALUE	機能	DEFAULT VALUE
0x06	D[7:0]	—	00000010	予備。	00000010
0x07	D7	DBL	**0**	シングル入力モード。**LCCEN = ハイまたはGPIO0/DBL = ローの場合の起動時のデフォルトです。**	0, 1
			1	ダブル入力モード。**LCCEN = ローおよびGPIO0/DBL = ハイの場合の起動時のデフォルトです。**	
	D6	DRS	0	高データレートモード。	0
			1	低データレートモード。	
	D5	BWS	**0**	24ビットモード。**LCCEN = ハイまたはGPIO1/BWS = ローの場合の起動時のデフォルトです。**	0, 1
			1	32ビットモード。**LCCEN = ローおよびGPIO1/BWS = ハイの場合の起動時のデフォルトです。**	
	D4	ES	**0**	出力データはPCLKOUTの立上りエッジで有効です。**LCCEN = ハイまたはTX/SCL/ES = ローの場合の起動時のデフォルトです。**ピクセルクロック動作中は、この値を変更しないでください。	0, 1
			1	出力データはPCLKOUTの立上りエッジで有効です。**LCCEN = ローおよびTX/SCL/ES = ハイの場合の起動時のデフォルトです。**ピクセルクロック動作中は、この値を変更しないでください。	
	D3	HVTRACK	**0**	HS/VSのトラッキングはディセーブルです。**LCCEN = ハイまたはMS/HVEN = ローの場合の起動時のデフォルトです。**	0, 1
			1	HS/VSのトラッキングはイネーブルです。**LCCEN = ローおよびMS/HVEN = ハイの場合の起動時のデフォルトです。**	
	D2	HVEN	**0**	HS/VSの符号化はディセーブルです。**LCCEN = ハイまたはMS/HVEN = ローの場合の起動時のデフォルトです。**	0, 1
			1	HS/VSの符号化はイネーブルです。**LCCEN = ローおよびMS/HVEN = ハイの場合の起動時のデフォルトです。**	
	D[1:0]	EDC	00	1ビットのパリティによるエラー検出(GMSLコンパチブル)。**LCCEN = ハイまたはRX/SDA/EDC = ローの場合の起動時のデフォルトです。**	00, 10
			01	6ビットのCRCによるエラー検出。	
			10	6ビットのハミングコード(シングルビットエラー訂正、ダブルビットエラー検出)と16ワードのインタリーブ。**LCCEN = ローおよびRX/SDA/EDC = ハイの場合の起動時のデフォルトです。**	
			11	使用しません。	

表16. レジスタ表(表1を参照) (続き)

REGISTER ADDRESS	BITS	NAME	VALUE	機能	DEFAULT VALUE
0x08	D7	INVVS	0	VSまたはDOUT0を反転しません。	0
			1	HVEN = 1のときはVSを反転します。HVEN = 0のときはDOUT0を反転します。 デシリアライザでDBL = 0およびシリアライザでDBL = 1の場合は使用しません。	
	D6	INVHS	0	HSまたはDOUT1を反転しません。	0
			1	HVEN = 1のときはHSを反転します。HVEN = 0のときはDOUT1を反転します。 デシリアライザでDBL = 0およびシリアライザでDBL = 1の場合は使用しません。	
	D5	—	0	予備。	0
	D4	UNEQDBL	0	シリアライザのDBLはデシリアライザと同じではありません。	0
			1	シリアライザのDBLはデシリアライザと同じです(HVEN = 0およびHVTRACK = 1のときにのみ1に設定されます)。	
	D3	DISSTAG	0	スタガード出力をイネーブルします。	0
			1	スタガード出力をディセーブルします。	
	D2	AUTORST	0	エラーレジスタおよび出力を自動的にリセットしません。	0
			1	$\overline{\text{ERR}}$のアサートから1µs後にDETERRレジスタとCORRERRレジスタを自動的にリセットします。	
	D[1:0]	ERRSEL	00	DETERRがDETTHRより大きいときに$\overline{\text{ERR}}$がアサートされます。	00
			01	CORRERRがCORRTHRより大きいときに$\overline{\text{ERR}}$がアサートされます。	
			10, 11	DETERRがDETTHRより大きいか、またはCORRERRがCORRTHRより大きいときに$\overline{\text{ERR}}$がアサートされます。	
0x09	D[7:1]	I2CSRCA	XXXXXXX	I^2CアドレストランスレータのソースA。	0000000
	D0	—	0	予備。	0
0x0A	D[7:1]	I2CDSTA	XXXXXXX	I^2CアドレストランスレータのデスティネーションA。	0000000
	D0	—	0	予備。	0
0x0B	D[7:1]	I2CSRCB	XXXXXXX	I^2CアドレストランスレータのソースB。	0000000
	D0	—	0	予備。	0
0x0C	D[7:1]	I2CDSTB	XXXXXXX	I^2CアドレストランスレータのデスティネーションB。	0000000
	D0	—	0	予備。	0

表16. レジスタ表(表1を参照) (続き)

REGISTER ADDRESS	BITS	NAME	VALUE	機能	DEFAULT VALUE
0x0D	D7	I2CLOCACK	0	順方向チャネルが利用可能でないときはアクノリッジが生成されません。	0
			1	順方向チャネルが利用可能でないときは、I^2C-I^2Cスレーブがローカルのアクノリッジを生成します。	
	D[6:5]	I2CSLVSH	00	352ns/117nsのI^2Cセットアップ/ホールド時間。	01
			01	469ns/234nsのI^2Cセットアップ/ホールド時間。	
			10	938ns/352nsのI^2Cセットアップ/ホールド時間。	
			11	1046ns/469nsのI^2Cセットアップ/ホールド時間。	
	D[4:2]	I2CMSTBT	000	8.47kbps (typ)のI^2C-I^2Cマスタービットレート設定。	101
			001	28.3kbps (typ)のI^2C-I^2Cマスタービットレート設定。	
			010	84.7kbps (typ)のI^2C-I^2Cマスタービットレート設定。	
			011	105kbps (typ)のI^2C-I^2Cマスタービットレート設定。	
			100	173kbps (typ)のI^2C-I^2Cマスタービットレート設定。	
			101	339kbps (typ)のI^2C-I^2Cマスタービットレート設定。	
			110	533kbps (typ)のI^2C-I^2Cマスタービットレート設定。	
			111	837kbps (typ)のI^2C-I^2Cマスタービットレート設定。	
	D[1:0]	I2CSLVTO	00	64µs (typ)のI^2C-I^2Cスレーブリモートタイムアウト。	10
			01	256µs (typ)のI^2C-I^2Cスレーブリモートタイムアウト。	
			10	1024µs (typ)のI^2C-I^2Cスレーブリモートタイムアウト。	
			11	I^2C-I^2Cスレーブリモートタイムアウトなし。	
0x0E	D[7:6]	—	01	予備。	01
	D5	GPIEN	0	シリアライザに対するGPI-GPO間の信号伝送をディセーブルします。	1
			1	シリアライザに対するGPI-GPO間の信号伝送をイネーブルします。	
	D4	GPIIN	0	GPI入力はローです。	0 (read only)
			1	GPI入力はハイです。	
	D3	GPIO1OUT	0	GPIO1をローに設定します。	1
			1	GPIO1をハイに設定します。	
	D2	GPIO1IN	0	GPIO1入力はローです。	0 (read only)
			1	GPIO1入力はハイです。	
	D1	GPIO0OUT	0	GPIO0をローに設定します。	1
			1	GPIO0をハイに設定します。	
	D0	GPIO0IN	0	GPIO0入力はローです。	0 (read only)
			1	GPIO0入力はハイです。	
0x0F	D[7:0]	DETTHR	XXXXXXXX	検出されたエラーのエラースレッショルド。	00000000
0x10	D[7:0]	DETERR	XXXXXXXX	検出されたエラーのカウンタ。	00000000 (read only)
0x11	D[7:0]	CORRTHR	XXXXXXXX	訂正されたエラーのエラースレッショルド。	00000000
0x12	D[7:0]	CORRERR	XXXXXXXX	訂正されたエラーのカウンタ。	00000000 (read only)
0x13	D[7:0]	PRBSERR	XXXXXXXX	PRBSエラーのカウンタ。	00000000 (read only)

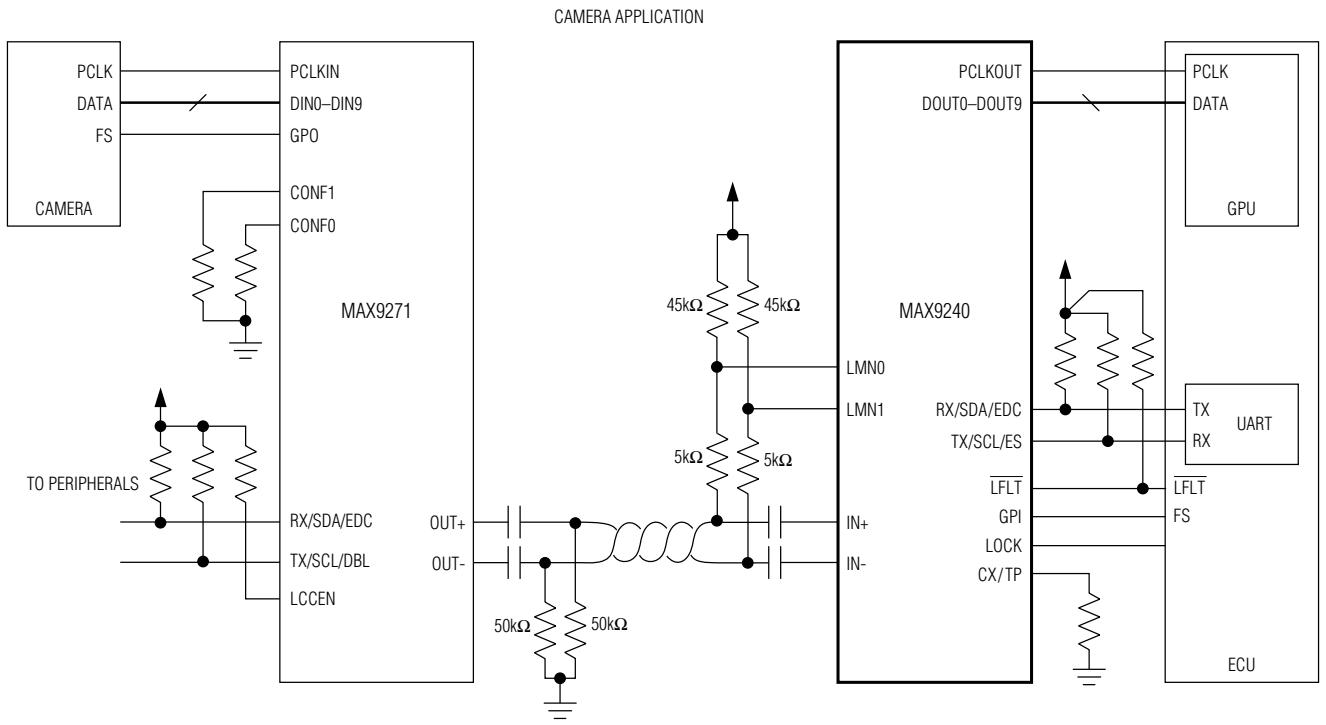
表16. レジスタ表(表1を参照) (続き)

REGISTER ADDRESS	BITS	NAME	VALUE	機能	DEFAULT VALUE
0x14	D7	PRBSOK	0	PRBSテストは完了していません。	0 (read only)
			1	PRBSテストは問題なく完了しました。	
	D[6:4]	—	000	予備。	000 (read only)
	D[3:2]	LFNEG	00	負のケーブルワイヤが電源電圧に短絡	10 (read only)
			01	負のケーブルワイヤがグランドに短絡	
			10	通常動作	
			11	負のケーブルワイヤが切断	
	D[1:0]	LFPOS	00	正のケーブルワイヤが電源電圧に短絡	10 (read only)
			01	正のケーブルワイヤがグランドに短絡	
			10	通常動作	
			11	正のケーブルワイヤが切断	
0x15	D[7:0]	—	00100XXX	予備。	00100XXX
0x16	D[7:0]	—	00110000	予備。	00110000
0x17	D[7:0]	—	01010100	予備。	01010100
0x18	D[7:0]	—	00110000	予備。	00110000
0x19	D[7:0]	—	11001000	予備。	11001000
0x1A	D[7:0]	—	XXXXXXXX	予備。	00000000 (read only)
0x1B	D[7:0]	—	XXXXXXXX	予備。	00000000 (read only)
0x1C	D[7:0]	—	XXXXXXXX	予備。	00000000 (read only)
0x1D	D7	CXTP	0	CX/TP入力はローです。	0 (read only)
			1	CX/TP入力はハイです。	
	D6	CXSEL	0	CXSELは0です。	0 (read only)
			1	CXSELは1です。	
	D5	I2CSEL	0	入力はローです。	0 (read only)
			1	入力はハイです。	
	D4	LCCEN	0	入力はローです。	0 (read only)
			1	入力はハイです。	
	D[3:0]	—	XXXX	予備。	0000 (read only)
0x1E	D[7:0]	ID	00001011	デバイスID (MAX9240 = 0x0C)。	1011 (read only)
0x1F	D[7:5]	—	000	予備。	000 (read only)
	D4	CAPS	0	HDCP非対応。	0 (read only)
			1	HDCP対応。	
	D[3:0]	REVISION	XXXX	デバイスリビジョン。	(read only)

X = 任意。

6.25MHz～100MHz、25ビットGMSLデシリアライザ、同軸またはSTPケーブル用、ライン障害検出付き

標準アプリケーション回路



NOTE: NOT ALL PULLUP/PULLDOWN RESISTORS ARE SHOWN. SEE PIN DESCRIPTION FOR DETAILS.

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX9240GTM+	-40°C to +105°C	48 TQFN-EP*
MAX9240GTM/V+**	-40°C to +105°C	48 TQFN-EP*

/Vは車載認定製品を表します。
+は鉛(Pb)フリー/RoHS準拠パッケージを表します。
*EP = エクスポーズドパッド。
**開発中の製品。出荷時期についてはお問い合わせください。

チップ情報

PROCESS: CMOS

パッケージ

最新のパッケージ図面情報およびランドパターン(フットプリント)は japan.maximintegrated.com/packages を参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点を注意してください。

パッケージタイプ	パッケージコード	外形図No.	ランドパターンNo.
48 TQFN-EP	T4877+4	21-0144	90-0130

6.25MHz～100MHz、25ビットGMSLデシリアライザ、同軸またはSTPケーブル用、ライン障害検出付き

改訂履歴

版数	改訂日	説明	改訂ページ
0	3/13	初版	—

マキシム・ジャパン株式会社　〒141-0032　東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F　TEL: 03-6893-6600

Maxim Integratedは完全にMaxim Integrated製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maxim Integratedは随時予告なく回路及び仕様を変更する権利を留保します。「Electrical Characteristics (電気的特性)」の表に示すパラメータ値(min、maxの各制限値)は、このデータシートの他の場所で引用している値より優先されます。

© 2013 Maxim Integrated Products, Inc.　Maxim IntegratedおよびMaxim IntegratedのロゴはMaxin Integrated Products, Inc.の商標です。