

MAX9240A

6.25MHz~100MHz、25ビットGMSLデシリアライザ、
同軸またはSTPケーブル用、ラインフォルト検出付き

概要

小型デシリアライザのMAX9240Aは、50Ω同軸または100Ωシールド付きツイストペア(STP)ケーブルでのGMSLシリアライザとインタフェースするように設計されています。このデバイスは、シリアライザのMAX9271またはMAX9273とペアを構成します。

パラレル出力は、シングルまたはダブル出力に設定可能です。ダブル出力は、各ピクセルクロックサイクルでパラレルワードの半分をストロブ出力します。ダブル出力は、ダブル入力機能を備えたGMSLシリアライザと組み合わせで使用することができます。

このデバイスは、9.6kbps~1Mbpsで動作する制御チャンネルを内蔵しています。この制御チャンネルを使用することによって、マイクロコントローラ(μC)は、ビデオタイミングから独立して任意の時点で、シリアライザ/デシリアライザおよびペリフェラルデバイスの各レジスタを設定することができます。2つの設定可能なGPIOポートおよび継続的にサンプリングされるGPI入力が入力可能です。

より長いケーブルを使用するために、デバイスは設定可能なイコライザを備えています。パラレル出力で設定可能なスペクトラム拡散が使用可能です。シリアル入力は、ISO 10605およびIEC 61000-4-2のESD規格に準拠しています。コア電源範囲は1.7V~1.9Vで、I/O電源範囲は1.7V~3.6Vです。このデバイスは48ピンTQFN-EPパッケージ(7mm x 7mm、0.5mmリードピッチ)で提供され、-40°C~+105°Cの温度範囲で動作します。

アプリケーション

- 車載カメラシステム

型番はデータシートの最後に記載されています。

標準アプリケーション回路はデータシートの最後に記載されています。

関連部品およびこの製品とともに使用可能な推奨製品については、www.maximintegrated.com/jp/MAX9240Aを参照してください。

利点及び特長

- カメラアプリケーションに最適
 - 低コスト50Ω同軸ケーブルとFAKRAコネクタ、または100Ω STPで動作
 - エラー検出/補正
 - クロックストレッチ機能を備えたI²C-I²Cモードの制御チャンネル：9.6kbps~1Mbps
 - クラス最高レベルの消費電流：90mA (max)
 - メガピクセルカメラ用ダブルレートクロック
 - ケーブルイコライゼーションによって15mのケーブルでフルスピードが可能
 - 48ピンTQFN-EPパッケージ(7mm x 7mm、0.5mmリードピッチ)
- メガピクセルカメラに対応する高速データデシリアライズ機能
 - シリアルビットレート：最大1.5Gbps (シングルまたはダブル出力：6.25MHz~100MHzクロック)
- 複数の制御チャンネルモードによってシステムの柔軟性を実現
 - UART-UARTまたはUART-I²Cモードの制御チャンネル：9.6kbps~1Mbps
- EMIおよびシールド要件を軽減
 - 入力：100mV~500mVシングルエンドまたは50mV~400mV差動に設定可能
 - パラレル出力の設定可能なスペクトラム拡散によってEMIを低減
 - シリアル入力のスペクトラム拡散をトラッキング
- カメラの起動と検証用のペリフェラル機能
 - シリアルリンクのBERテスト用のPRBSチェッカ内蔵
 - シリアルリンクの相互短絡、グラウンドへの短絡、バッテリーへの短絡、またはオープンに対する障害検出
 - 2つのGPIOポート
 - カメラのフレーム同期トリガおよびその他の用途の専用「アップ/ダウン」GPI
 - スリープモードからのリモート/ローカルウェイクアップ
- 車載用および産業用の厳しい要件に適合
 - 動作温度：-40°C~+105°C
 - IEC 61000-4-2 ESD保護：±10kV接触および±15kV気中放電
 - ISO 10605 ESD保護：±10kV接触および±30kV気中放電



目次

概要	1
アプリケーション	1
利点及び特長	1
Absolute Maximum Ratings*	6
Package Thermal Characteristics	6
DC Electrical Characteristics	6
AC Electrical Characteristics	9
標準動作特性	11
ピン配置	13
端子説明	14
ファンクションダイアグラム	16
詳細	21
レジスタマッピング	21
ビットマップ	21
シリアルリンクの信号方式とデータ形式	27
逆方向制御チャンネル	27
データレートを選択	27
制御チャンネルおよびレジスタの設定	28
UARTインタフェース	28
コマンドバイトのみのI ² CデバイスとUARTとのインタフェース	29
UARTバイパスモード	29
I ² Cインタフェース	29
START条件とSTOP条件	31
ビット転送	31
アクノリッジ	31
スレーブアドレス	32
バスリセット	32
書込みの形式	32
読取りの形式	32
リモート側デバイスとのI ² C通信	33
I ² Cアドレス変換	33
制御チャンネルブロードキャストモード	33
GPO/GPI制御	33
PRBSテスト	34
ラインイコライザ	34
スペクトラム拡散	34
スペクトラム拡散分周器のマニュアル設定	34
追加のエラー検出/訂正	35
巡回冗長検査(CRC)	35
ハミングコード	35

目次(続き)

HS/VSの符号化/トラッキング	35
シリアル入力	35
同軸モードスプリッタ	36
ケーブルタイプ設定入力(CX/TP)	36
スリープモード	36
パワーダウンモード	36
設定リンク	36
リンクのスタートアップ手順	37
アプリケーション情報	39
エラーチェック	39
ERR出力	39
オートエラーリセット	39
デュアル μ C制御	39
クロック周波数の変更	39
同期喪失の高速検出	39
フレーム同期の供給(カメラアプリケーション)	40
デバイスアドレスのソフトウェア設定	40
3レベル設定入力	40
設定のブロック	40
他のGMSLデバイスとの互換性	40
GPIO	40
スタガードパラレル出力	40
ローカル制御チャネルイネーブル(LCCEN)	41
ラインフォルト検出	41
内蔵入力プルダウン	42
I ² C/UARTのプルアップ抵抗の選択	42
AC結合	42
AC結合コンデンサの選択	42
電源回路とバイパス処理	42
電源の表	42
ケーブルおよびコネクタ	42
基板レイアウト	43
ESD保護	43
標準アプリケーション回路	50
型番	50
チップ情報	50
パッケージ	50
改訂履歴	51

図リスト

図1. 逆方向制御チャネルの出力パラメータ	17
図2. 差動入力測定テスト回路	18
図2a. ラインフォルト	18
図3. ワーストケースパターン出力	19
図4. パラレルクロック出力のハイおよびロー時間	19
図5. I ² Cのタイミングパラメータ	19
図6. 出力の立上りおよび立下り時間	20
図7. デシリアライザの遅延	20
図8. GPI-GPO間の遅延	20
図9. ロック時間	21
図10. 起動遅延	21
図11. シングル出力の波形(シリアライザでシングル入力を使用)	22
図12. シングル出力の波形(シリアライザでダブル入力を使用)	22
図13. ダブル出力の波形(シリアライザでシングル入力を使用)	23
図14. ダブル出力の波形(シリアライザでダブル入力を使用)	23
図15. シリアルデータ形式	27
図16. ベースモードのGMSL UARTプロトコル	28
図17. ベースモードのGMSL UARTデータ形式	29
図18. SYNCバイト(0x79)	29
図19. ACKバイト(0xC3)	29
図20. レジスタアドレスによるGMSL UARTとI ² C間の形式変換(I2CMETHOD = 0)	30
図21. レジスタアドレスによるGMSL UARTとI ² C間の形式変換(I2CMETHOD = 1)	30
図22. START条件とSTOP条件	31
図23. ビット転送	31
図24. アクノリッジ	31
図25. スレーブアドレス	32
図26. I ² Cの書込みの形式	32
図27. 複数のレジスタに対する書込みの形式	32
図28. I ² Cの読取りの形式	33
図29. 2:1同軸モードスプリッタ接続図	36
図30. 同軸モード接続図	36
図31. 状態図、リモートマイクロコントローラアプリケーション	38
図32. ヒューマンボディモデルESDテスト回路	43
図33. IEC 61000-4-2接触放電ESDテスト回路	43
図34. ISO 10605接触放電ESDテスト回路	43

表リスト

表1. 起動時のデフォルトのレジスタマップ(表16を参照)	24
表2. 出力マップ	26
表3. データレート選択表	27
表4. I ² Cのビットレート範囲	33
表5. ケーブルイコライザのブーストレベル	34
表6. パラレル出力の拡散	34
表7. 変調係数と最大SDIV設定値	34
表8. 設定入力マップ	36
表9. ビデオディスプレイアプリケーションのスタートアップ手順	37
表10. 画像検出アプリケーションのスタートアップ手順	38
表11. MAX9240Aの機能上の互換性	40
表12. スタガード出力の遅延	41
表13. ダブル機能設定	41
表13a. ラインフォルトのマッピング	41
表14. 標準消費電流(ワーストケースの 入力パターンを使用)	42
表15. GMSLの推奨コネクタおよびケーブル	42
表16. レジスタ表(表1を参照)	44

Absolute Maximum Ratings*

AVDD to EP.....	-0.5V to +1.9V	TQFN (derate 40mW/°C above +70°C).....	3200mW
DVDD to EP.....	-0.5V to +1.9V	Junction Temperature.....	+150°C
IOVDD to EP.....	-0.5V to +3.9V	Operating Temperature.....	-40°C to +105°C
IN+, IN- to EP.....	-0.5V to +1.9V	Storage Temperature Range.....	-65°C to +150°C
LMN_ TO EP (15mA current limit).....	-0.5V to +3.9V	Lead Temperature (soldering, 10s).....	+300°C
All other pins to EP.....	-0.5V to (V _{IOVDD} + 0.5V)	Soldering Temperature (reflow).....	+260°C
IN+, IN- short circuit to ground or supply	Continuous	*EP is connected to PCB ground.	
Continuous Power Dissipation (T _A = +70°C)			

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Package Thermal Characteristics (Note 1)

TQFN			
Junction-to-Ambient Thermal Resistance (θ _{JA}).....	25°C/W	Junction-to-Case Thermal Resistance (θ _{JC}).....	1°C/W

Note 1: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to www.maximintegrated.com/jp/thermal-tutorial.

DC Electrical Characteristics

(V_{AVDD} = V_{DVDD} = 1.7V to 1.9V, V_{IOVDD} = 1.7V to 3.6V, R_L = 100Ω ±1% (differential), EP connected to PCB ground, T_A = -40°C to +105°C, unless otherwise noted. Typical values are at V_{AVDD} = V_{DVDD} = V_{IOVDD} = 1.8V, T_A = +25°C.)(Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SINGLE-ENDED INPUTS (I2CSEL, LCCEN, GPI, PWDN, MS/HVEN)						
High-Level Input Voltage	V _{IH1}		0.65 x V _{IOVDD}			V
Low-Level Input Voltage	V _{IL1}			0.35 x V _{IOVDD}		V
Input Current	I _{IN1}	V _{IN} = 0V to V _{IOVDD}	-10		+20	μA
THREE-LEVEL LOGIC INPUTS (CX/TP)						
High-Level Input Voltage	V _{IH}		0.7 x V _{IOVDD}			V
Low-Level Input Voltage	V _{IL}			0.3 x V _{IOVDD}		V
Mid-Level Input Current	I _{INM}	(Note 3)	-10		+10	μA
Input Current	I _{IN}		-150		+150	μA
SINGLE-ENDED OUTPUTS (DOUT_, PCLKOUT)						
High-Level Output Voltage	V _{OH1}	I _{OUT} = -2mA	DCS = 0	V _{IOVDD} - 0.3		V
			DCS = 1	V _{IOVDD} - 0.2		
Low-Level Output Voltage	V _{OL1}	I _{OUT} = 2mA	DCS = 0		0.3	V
			DCS = 1		0.2	

DC Electrical Characteristics (continued)

($V_{AVDD} = V_{DVDD} = 1.7V$ to $1.9V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), EP connected to PCB ground, $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = V_{IOVDD} = 1.8V$, $T_A = +25^\circ C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS	
Output Short-Circuit Current	I_{OS}	DOOUT_	$V_O = 0V$, DCS = 0	$V_{IOVDD} = 3.0V$ to $3.6V$	15	25	39	mA
				$V_{IOVDD} = 1.7V$ to $1.9V$	3	7	13	
		PCLKOUT	$V_O = 0V$, DCS = 1	$V_{IOVDD} = 3.0V$ to $3.6V$	20	35	63	
				$V_{IOVDD} = 1.7V$ to $1.9V$	5	10	21	
			$V_O = 0V$, DCS = 0	$V_{IOVDD} = 3.0V$ to $3.6V$	15	33	50	
				$V_{IOVDD} = 1.7V$ to $1.9V$	5	10	17	
	$V_{IOVDD} = 3.0V$ to $3.6V$	30	54	97				
	$V_{IOVDD} = 1.7V$ to $1.9V$	9	16	32				
OPEN-DRAIN INPUTS/OUTPUTS (GPIO0/DBL, GPIO1/BWS, RX/SDA/EDC, TX/SCL/ES, ERR, LOCK, LFLT)								
High-Level Input Voltage	V_{IH2}			0.7 x V_{IOVDD}			V	
Low-Level Input Voltage	V_{IL2}				0.3 x V_{IOVDD}		V	
Input Current	I_{IN2}	(Note 4)	RX/SDA, TX/SCL	-110	+5		μA	
			LOCK, ERR, GPIO_, LFLT	-80	+5			
			DBL, BWS, EDC, ES	-10	+20			
Low-Level Output Voltage	V_{OL2}	$I_{OUT} = 3mA$	$V_{IOVDD} = 1.7V$ to $1.9V$		0.4		V	
			$V_{IOVDD} = 3.0V$ to $3.6V$		0.3			
OUTPUT FOR REVERSE CONTROL CHANNEL (IN+, IN-)								
Differential High Output Peak Voltage, (V_{IN+}) - (V_{IN-})	V_{ROH}	No high-speed data transmission (Figure 1)		30	60		mV	
Differential Low Output Peak Voltage, (V_{IN+}) - (V_{IN-})	V_{ROL}	No high-speed data transmission (Figure 1)		-60	-30		mV	
DIFFERENTIAL INPUTS (IN+, IN-)								
Differential High Input Threshold (Peak) Voltage, (V_{IN+}) - (V_{IN-})	$V_{IDH(P)}$	(Figure 2)	Activity detector, medium threshold (0x22 D[6:5] = 01)		60		mV	
			Activity detector, low threshold (0x22 D[6:5] = 00)		45			
Differential Low Input Threshold (Peak) Voltage, (V_{IN+}) - (V_{IN-})	$V_{IDL(P)}$	(Figure 2)	Activity detector, medium threshold (0x22 D[6:5] = 01)	-60			mV	
			Activity detector, medium threshold (0x22 D[6:5] = 00)	-45				
Input Common-Mode Voltage ($(V_{IN+}) + (V_{IN-})/2$)	V_{CMR}			1	1.3	1.6	V	
Differential Input Resistance (Internal)	R_I			80	105	130	Ω	

DC Electrical Characteristics (continued)

($V_{AVDD} = V_{DVDD} = 1.7V$ to $1.9V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), EP connected to PCB ground, $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = V_{IOVDD} = 1.8V$, $T_A = +25^\circ C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SINGLE-ENDED INPUTS (IN+, IN-)						
Single-Ended High Input Threshold (Peak) Voltage, (V_{IN+}) - (V_{IN-})	$V_{IDH(P)}$	Activity detector, medium threshold ($0x22 D[6:5] = 01$)			43	mV
		Activity detector, low threshold ($0x22 D[6:5] = 00$)			33	
Single-Ended Low Input Threshold (Peak) Voltage, (V_{IN+}) - (V_{IN-})	$V_{IDL(P)}$	Activity detector, medium threshold ($0x22 D[6:5] = 01$)	-43			mV
		Activity detector, medium threshold ($0x22 D[6:5] = 00$)	-33			
Input Resistance (Internal)	R_I		40	52.5	65	Ω
LINE FAULT DETECTION INPUT (LMN0, LMN1)						
Short-to-GND Threshold	V_{TG}	Figure 2A			0.3	V
Normal Threshold	V_{TN}	Figure 2A	0.57		1.07	V
Open Threshold	V_{TO}	Figure 2A	1.45		$V_{IO} + 0.06$	V
Open Input Voltage	V_{IO}	Figure 2A	1.47		1.75	V
Short-to-Battery Threshold	V_{TE}	Figure 2A	2.47			V
POWER SUPPLY						
Worst-Case Supply Current (Figure 3)	I_{WCS}	BWS = 0, single output, EQ off	$f_{PCLKOUT} = 25MHz$	42	65	mA
			$f_{PCLKOUT} = 50MHz$	61	90	
		BWS = 0, double output, EQ off	$f_{PCLKOUT} = 50MHz$	42	70	
			$f_{PCLKOUT} = 100MHz$	62	90	
Sleep Mode Supply Current	I_{CCS}			50	100	μA
Power-Down Current	I_{CCZ}	PWDN = EP		15	70	μA
ESD PROTECTION						
IN+, IN- (Note 5)	V_{ESD}	Human Body Model, $R_D = 1.5k\Omega$, $C_S = 100pF$		± 8		kV
		IEC 61000-4-2, $R_D = 330\Omega$, $C_S = 150pF$	Contact discharge	± 10		
			Air discharge	± 15		
		ISO 10605, $R_D = 2k\Omega$, $C_S = 330pF$	Contact discharge	± 10		
Air discharge	± 30					
All Other Pins (Note 6)	V_{ESD}	Human Body Model, $R_D = 1.5k\Omega$, $C_S = 100pF$		± 4		kV

AC Electrical Characteristics

($V_{AVDD} = V_{DVDD} = 1.7V$ to $1.9V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), EP connected to PCB ground, $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = V_{IOVDD} = 1.8V$, $T_A = +25^\circ C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
PARALLEL CLOCK OUTPUT (PCLKOUT)							
Clock Frequency	$f_{PCLKOUT}$	BWS = 0, DRS = 1	8.33		16.66	MHz	
		BWS = 0, DRS = 0	16.66		50		
		BWS = 1, DRS = 1	6.25		12.5		
		BWS = 1, DRS = 0	12.5		37.5		
		BWS = 1, DRS = 0, 15-bit double input	25		75		
		BWS = 0, DRS = 0, 11-bit double input	33.33		100		
Clock Duty Cycle	DC	t_{HIGH}/t_T or t_{LOW}/t_T (Figure 4, Note 7)	40	50	60	%	
Clock Jitter	t_J	Period jitter, peak to peak, spread off, 1.5Gbps, PRBS pattern, UI = $1/f_{PCLKOUT}$ (Note 7)		0.05		UI	
I²C/UART PORT TIMING							
I ² C/UART Bit Rate			9.6		1000	kbps	
Output Rise Time	t_R	30% to 70%, $C_L = 10pF$ to $100pF$, $1k\Omega$ pullup to V_{IOVDD}	20		120	ns	
Output Fall Time	t_F	70% to 30%, $C_L = 10pF$ to $100pF$, $1k\Omega$ pullup to V_{IOVDD}	20		120	ns	
Input Setup Time	t_{SET}	I ² C only (Figure 5, Note 7)	100			ns	
Input Hold Time	t_{HOLD}	I ² C only (Figure 5, Note 7)	0			ns	
SWITCHING CHARACTERISTICS							
PCLKOUT Rise-and-Fall Time	t_R, t_F	20% to 80%, $V_{IOVDD} = 1.7V$ to $1.9V$ (Note 7)	DCS = 1, $C_L = 10pF$	0.4		2.2	ns
			DCS = 0, $C_L = 5pF$	0.5		2.8	
		20% to 80%, $V_{IOVDD} = 3.0V$ to $3.6V$ (Note 7)	DCS = 1, $C_L = 10pF$	0.25		1.7	
			DCS = 0, $C_L = 5pF$	0.3		2.0	
Parallel Data Rise-and-Fall Time (Figure 6)	t_R, t_F	20% to 80%, $V_{IOVDD} = 1.7V$ to $1.9V$ (Note 7)	DCS = 1, $C_L = 10pF$	0.5		3.1	ns
			DCS = 0, $C_L = 5pF$	0.6		3.8	
		20% to 80%, $V_{IOVDD} = 3.0V$ to $3.6V$ (Note 7)	DCS = 1, $C_L = 10pF$	0.3		2.2	
			DCS = 0, $C_L = 5pF$	0.4		2.4	
Deserializer Delay	t_{SD}	(Figure 7, Notes 7, 8)	Spread spectrum enabled			6960	Bits
			Spread spectrum disabled			2160	
Reverse Control-Channel Output Rise Time	t_R	No forward-channel data transmission (Figure 1, Note 7)	180		400	ns	
Reverse Control-Channel Output Fall Time	t_F	No forward-channel data transmission (Figure 1, Note 7)	180		400	ns	

AC Electrical Characteristics (continued)

($V_{AVDD} = V_{DVDD} = 1.7V$ to $1.9V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), EP connected to PCB ground, $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = V_{IOVDD} = 1.8V$, $T_A = +25^\circ C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
GPI-to-GPO Delay	t_{GPIO}	Deserializer GPI to serializer GPO (cable delay not included) (Figure 8)			350	μs
Lock Time	t_{LOCK}	(Figure 9, Note 7)	Spread spectrum enabled		1.5	ms
			Spread spectrum disabled		1	
Power-Up Time	t_{PU}	(Figure 10)			6	ms

Note 2: Limits are 100% production tested at $T_A = +105^\circ C$. Limits over the operating temperature range and relevant supply voltage range are guaranteed by design and characterization.

Note 3: To provide a midlevel, leave the input open, or, if driven, put driver in high impedance. High-impedance leakage current must be less than $\pm 10\mu A$.

Note 4: I_{IN} min due to voltage drop across the internal pullup resistor.

Note 5: Specified pin to ground.

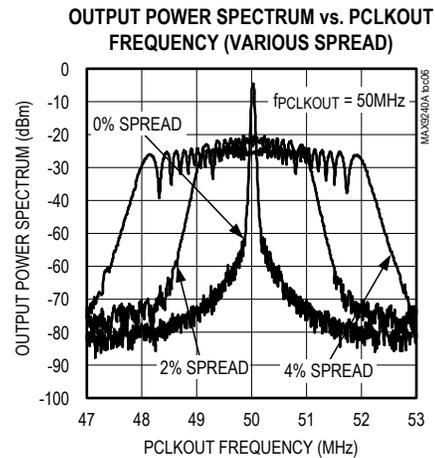
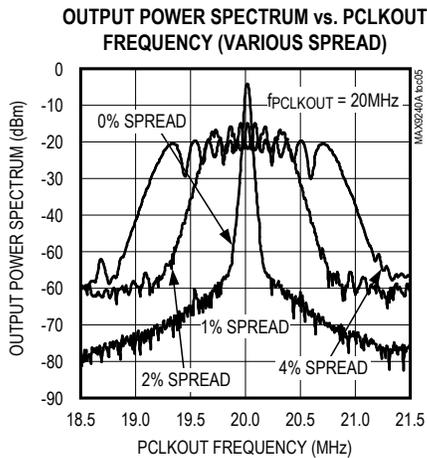
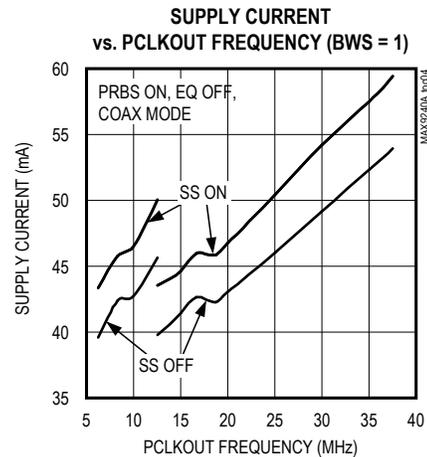
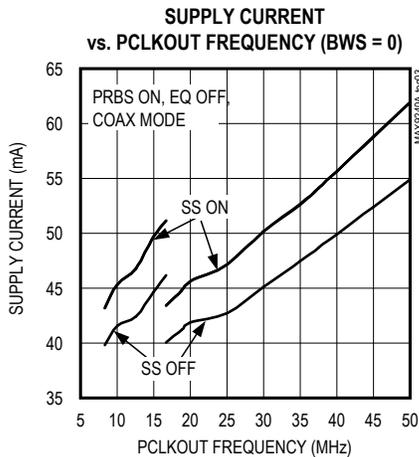
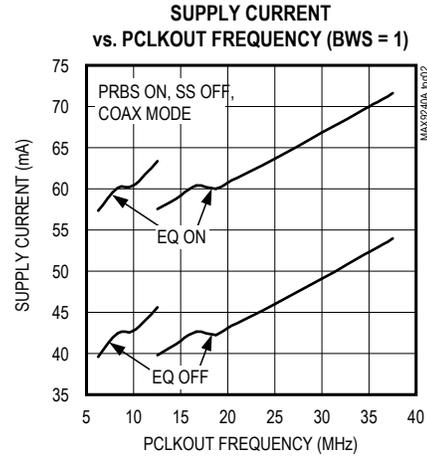
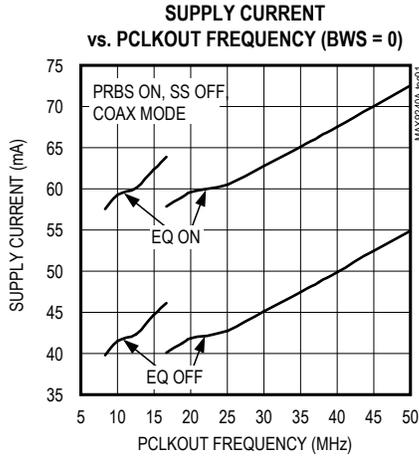
Note 6: Specified pin to all supply/ground.

Note 7: Guaranteed by design and not production tested.

Note 8: Measured in serial link bit times. Bit time = $1/(30 \times f_{PCLKOUT})$ for BWS = GND. Bit time = $1/(40 \times f_{PCLKOUT})$ for BWS = 1.

標準動作特性

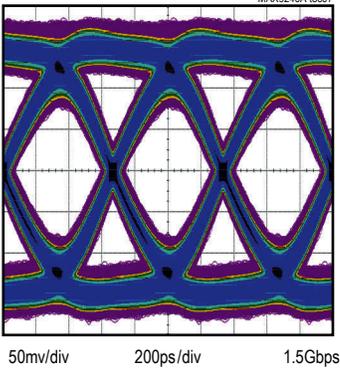
($V_{AVDD} = V_{DVDD} = V_{IOVDD} = 1.8V$, $DBL = low$, $T_A = +25^\circ C$, unless otherwise noted.)



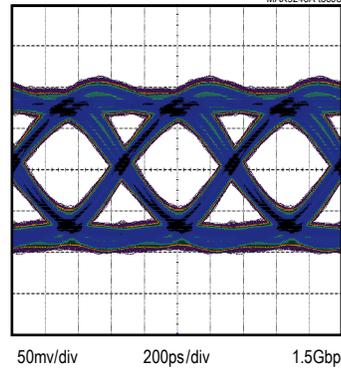
標準動作特性(続き)

($V_{AVDD} = V_{DVDD} = V_{IOVDD} = 1.8V$, $DBL = low$, $T_A = +25^\circ C$, unless otherwise noted.)

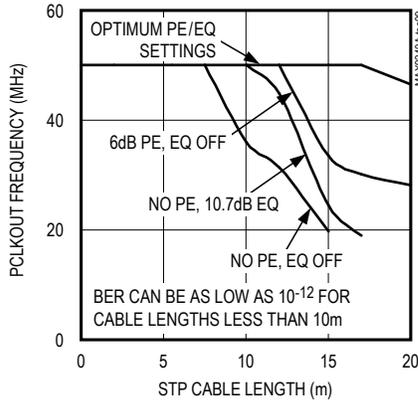
SERIAL LINK SWITCHING PATTERN
WITH 6dB PREAMPHASIS (PARALELL
BIT RATE = 50MHz, 10m STP CABLE)



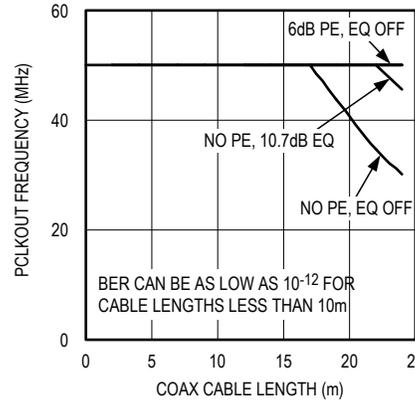
SERIAL LINK SWITCHING PATTERN
WITH 6dB PREAMPHASIS (PARALELL
BIT RATE = 50MHz, 20m COAX CABLE)



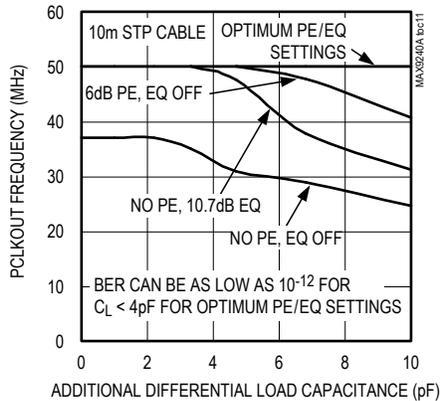
MAXIMUM PCLKOUT FREQUENCY
vs. STP CABLE LENGTH (BER ≤ 10⁻¹⁰)



MAXIMUM PCLKOUT FREQUENCY
vs. COAX CABLE LENGTH (BER ≤ 10⁻¹⁰)



MAXIMUM PCLKOUT FREQUENCY
vs. ADDITIONAL DIFFERENTIAL C_L (BER ≤ 10⁻¹⁰)



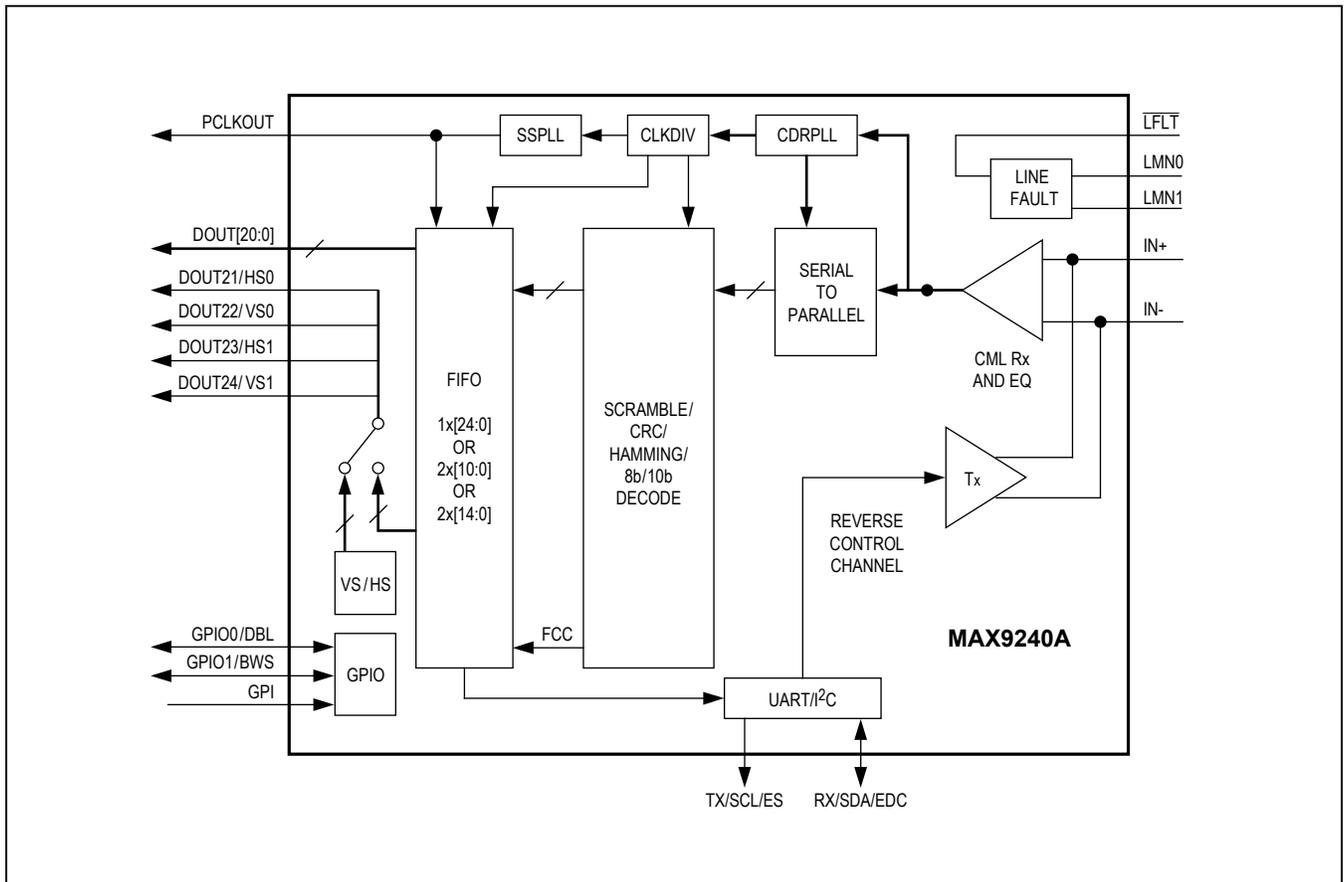
端子説明

端子	名称	機能
1	GPIO1/BWS	GPIO/バス幅選択入力。機能はLCCENの状態によって決まります(表13)。 GPIO1 (LCCEN = ハイ) : IOVDDへの60kΩのプルアップを内蔵したオープンドレインの汎用入出力。 BWS (LCCEN = ロー) : EPへのプルダウンを内蔵した入力。22ビットの入力ラッチにするにはBWS = ローに設定します。30ビットの入力ラッチにするにはBWS = ハイに設定します。
2	GPIO0/DBL	GPIO/ダブルモード入力。機能はLCCENの状態によって決まります(表13)。 GPIO0 (LCCEN = ハイ) : IOVDDへの60kΩのプルアップを内蔵したオープンドレインの汎用入出力。 DBL (LCCEN = ロー) : EPへのプルダウンを内蔵した入力。ダブル入力モードを使用するにはDBL = ハイに設定します。シングル入力モードを使用するにはDBL = ローに設定します。
3	CX/TP	同軸/ツイストペア3レベル設定入力(表8)
4	I2CSEL	I ² C選択。EPへのプルダウンを内蔵した制御チャンネルインタフェースのプロトコル選択入力です。I ² Cスレーブインタフェースを選択するにはI2CSEL = ハイに設定します。UARTインタフェースを選択するにはI2CSEL = ローに設定します。
5	LCCEN	EPへのプルダウンを内蔵したローカル制御チャンネルイネーブル入力。LCCEN = ハイに設定すると、制御チャンネルインタフェースの端子がイネーブルされます。LCCEN = ローに設定すると、制御チャンネルインタフェースの端子がディセーブルされ、指示された端子で代替機能が選択されます(表13)。
6, 48	AVDD	1.8Vアナログ電源。できる限りデバイスの近くに配置した0.1μFと0.001μFのコンデンサでAVDDをEPに接続します(値の小さい方のコンデンサがAVDD側)。
7	IN+	非反転同軸/ツイストペアシリアル入力
8	IN-	反転同軸/ツイストペアシリアル入力
9	GPI	汎用入力。GMSLシリアライザのGPO (またはINT)入力はGPIに追従します。
10	RX/SDA/EDC	受信/シリアルデータ/エラー検出訂正。機能はLCCENの状態によって決まります(表13)。 RX/SDA (LCCEN = ハイ) : IOVDDへの30kΩのプルアップを内蔵した入出力。UARTモードでは、RX/SDAはMAX9240AのUARTのRx入力です。I ² Cモードでは、RX/SDAはMAX9240AのI ² Cマスター/スレーブのSDA入力/出力です。RX/SDAはオープンドレインのドライバを備えているため、プルアップ抵抗が必要です。 EDC (LCCEN = ロー) : EPへのプルダウンを内蔵した入力。エラー検出訂正をイネーブルするには、EDC = ハイに設定します。エラー検出訂正をディセーブルするには、EDC = ローに設定します。
11	TX/SCL/ES	送信/シリアルクロック/エッジ選択。機能はLCCENの状態によって決まります(表13)。 TX/SCL (LCCEN = ハイ) : IOVDDへの30kΩのプルアップを内蔵した入出力。UARTモードでは、TX/SCLはMAX9240AのUARTのTx出力です。I ² Cモードでは、TX/SCLはMAX9240AのI ² Cマスター/スレーブのSCL入力/出力です。TX/SCLはオープンドレインのドライバを備えており、プルアップ抵抗が必要です。 ES (LCCEN = ロー) : EPへのプルダウンを内蔵した入力。ESがハイのとき、PCLKOUTはPCLKOUTの立下りエッジで有効なデータを示します。ESがローのとき、PCLKOUTはPCLKOUTの立上りエッジで有効なデータを示します。ピクセルクロック動作中は、ES入力を変更しないでください。
12	DVDD	1.8Vデジタル電源。できる限りデバイスの近くに配置した0.1μFと0.001μFのコンデンサでDVDDをEPにバイパスします(値の小さい方のコンデンサがDVDD側)。
13	PWDN	EPへのプルダウンを内蔵したアクティブローのパワーダウン入力。パワーダウンモードに移行して消費電力を削減するには、PWDNをローに設定します。
14	ERR	エラー出力。IOVDDへの60kΩのプルアップを内蔵したオープンドレインのデータエラー検出/訂正指示出力。PWDN = ローのとき、ERRは出力ハイです。

端子説明(続き)

端子	名称	機能
15	LOCK	IOVDDへの60kΩのプルアップを内蔵したオープンドレインのロック出力。LOCK = ハイは、正しいシリアルワード境界のアライメントでPLLがロックされていることを示します。LOCK = ローは、PLLがロックされていないか、またはシリアルワード境界のアライメントが不正であることを示します。設定リンクがアクティブ時またはPRBSテスト中は、LOCKはローのままです。P \overline WDN = ローのとき、LOCKは出力ハイです。
16	LMN0	ラインフォルト監視入力0 (図2Aを参照)
17	LMN1	ラインフォルト監視入力1 (図2Aを参照)
18	LFLT	アクティブロー、オープンドレインのラインフォルト出力。LFLTはIOVDDへの60kΩのプルアップを内蔵しています。LFLT = ローはラインフォルトを示します。P \overline WDN = ローのとき、LFLTは出力ハイです。
19	DOUT24/VS1	パラレルデータ/垂直同期1出力。起動時にデフォルトでパラレルデータ出力になります。VS/HSの符号化がディセーブルのときはパラレルデータ出力です。VS/HSの符号化がイネーブルのときは、シングル出力の上位半分の復号化された垂直同期です(表2)。
20, 41	IOVDD	入出力電源電圧。1.8V~3.3Vのロジック入出力電源です。できる限りデバイスの近くに配置した0.1μFと0.001μFのコンデンサでIOVDDをEPにバイパスします(値の小さい方のコンデンサがIOVDD側)。
21	DOUT23/HS1	パラレルデータ/水平同期1出力。起動時にデフォルトでパラレルデータ出力になります。VS/HSの符号化がディセーブルのときはパラレルデータ出力です。VS/HSの符号化がイネーブルのときは、シングル出力の上位半分の復号化された水平同期です(表2)。
22	DOUT22/VS0	パラレルデータ/垂直同期0出力。起動時にデフォルトでパラレルデータ出力になります。VS/HSの符号化がディセーブルのときはパラレルデータ出力です。VS/HSの符号化がイネーブルのときは、シングル出力の下位半分の復号化された垂直同期です(表2)。
23	DOUT21/HS0	パラレルデータ/水平同期0出力。起動時にデフォルトでパラレルデータ出力になります。VS/HSの符号化がディセーブルのときはパラレルデータ出力です。VS/HSの符号化がイネーブルのときは、シングル出力の下位半分の復号化された水平同期です(表2)。
24-40, 42-45	DOUT20- DOUT0	パラレルデータ出力
46	PCLKOUT	パラレルクロック出力。パラレルデータを別のデバイスの入力にラッチします。
47	MS/HVEN	EPへのプルダウンを内蔵したモード選択/HSとVSの符号化イネーブル。機能はLCCENの状態によって決まります(表13)。 MS (LCCEN = ハイ) : ベースモードを選択するにはMS = ローに設定します。バイパスモードを選択するにはMS = ハイに設定します。 HVEN (LCCEN = ロー) : DOUT_/HS_とDOUT_/VS_でHS/VSの符号化をイネーブルするには、HVEN = ハイに設定します。DOUT_/HS_とDOUT_/VS_をパラレルデータ出力として使用するには、HVEN = ローに設定します。
—	EP	エクスポーズドパッド。EPは内部でデバイスのグランドに接続されています。十分な熱的および電気的性能を実現するために、一連のビアを介してEPをPCBのグランドプレーンに接続する必要があります。

ファンクションダイアグラム



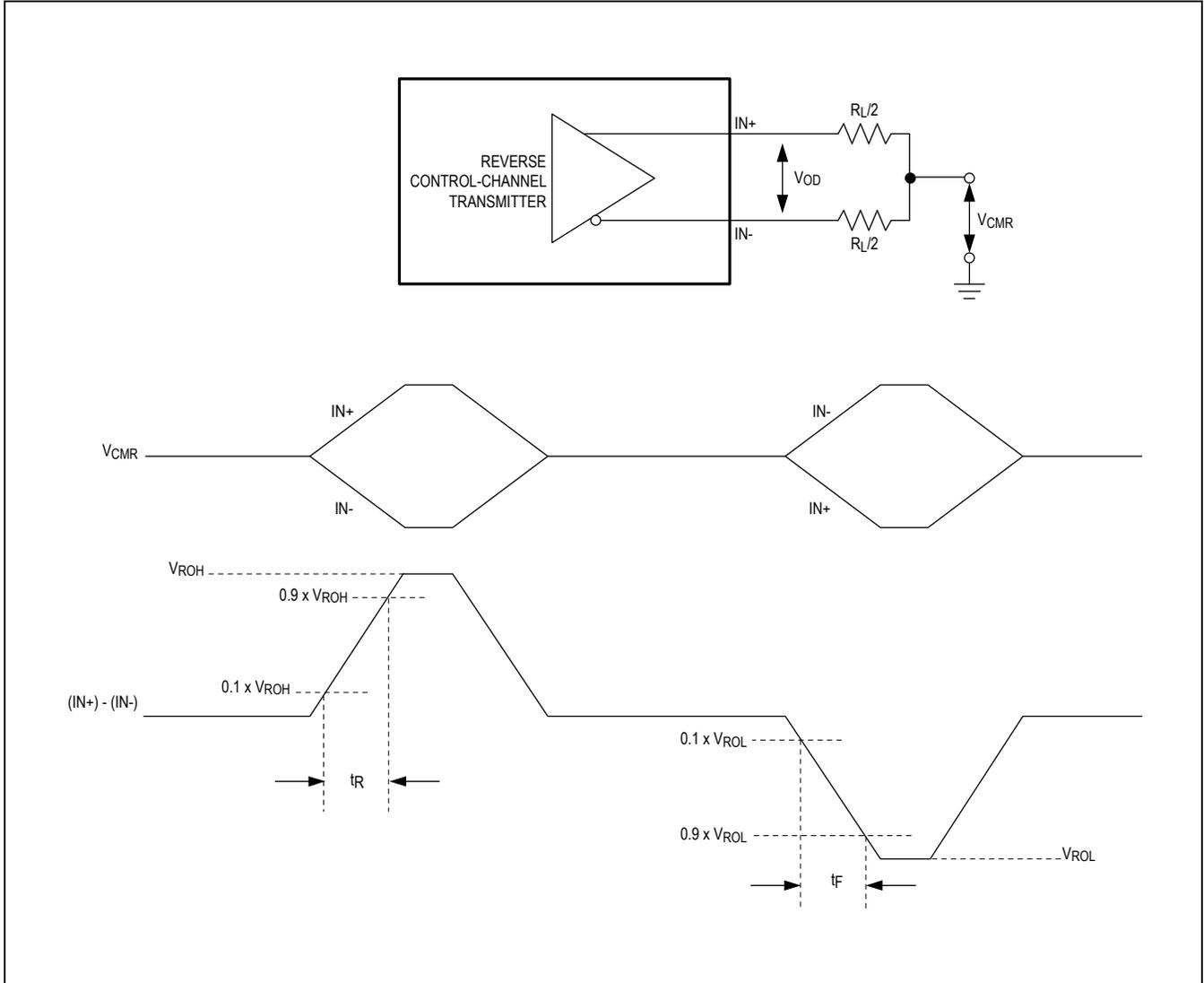


図 1. 逆方向制御チャネルの出力パラメータ

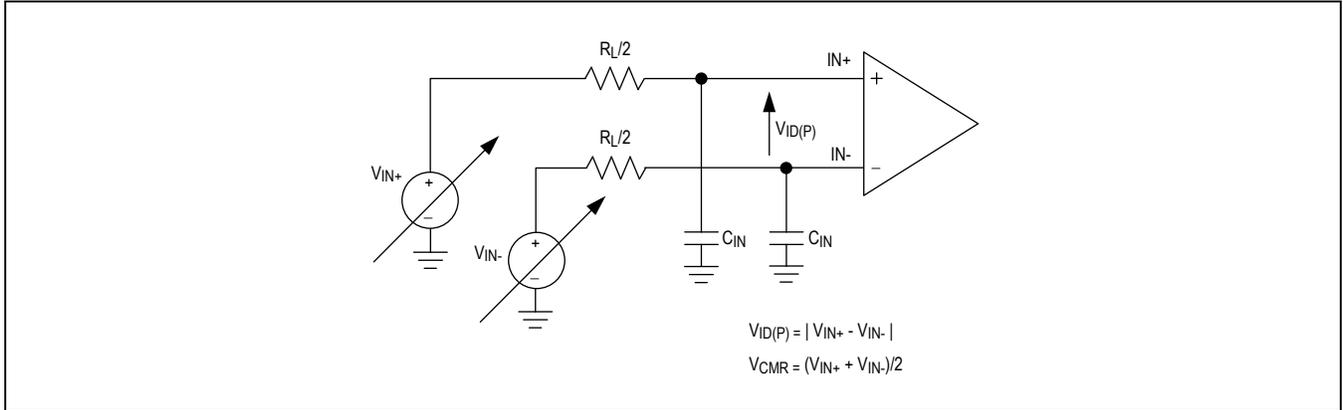


図 2. 差動入力測定のためのテスト回路

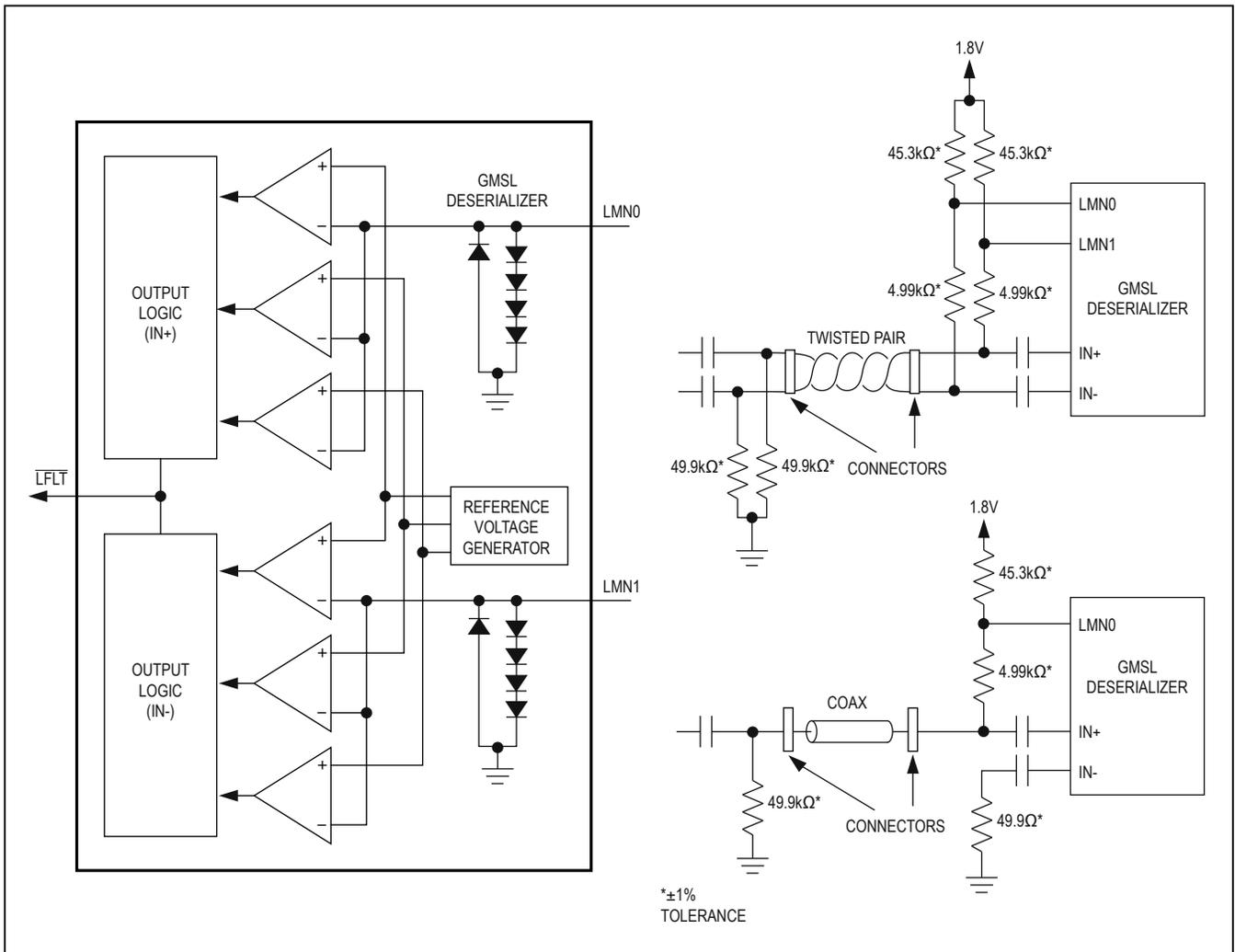


図 2a. ラインフォルト

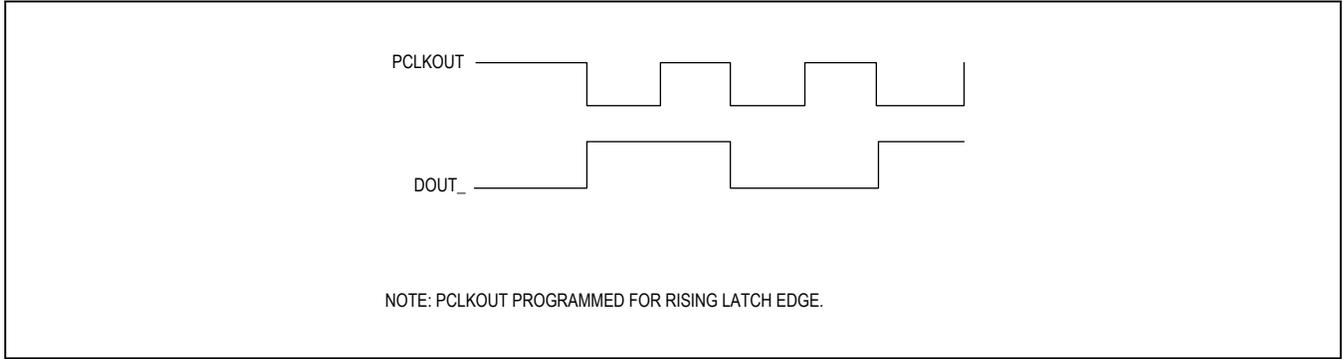


図 3. ワーストケースパターンの出力

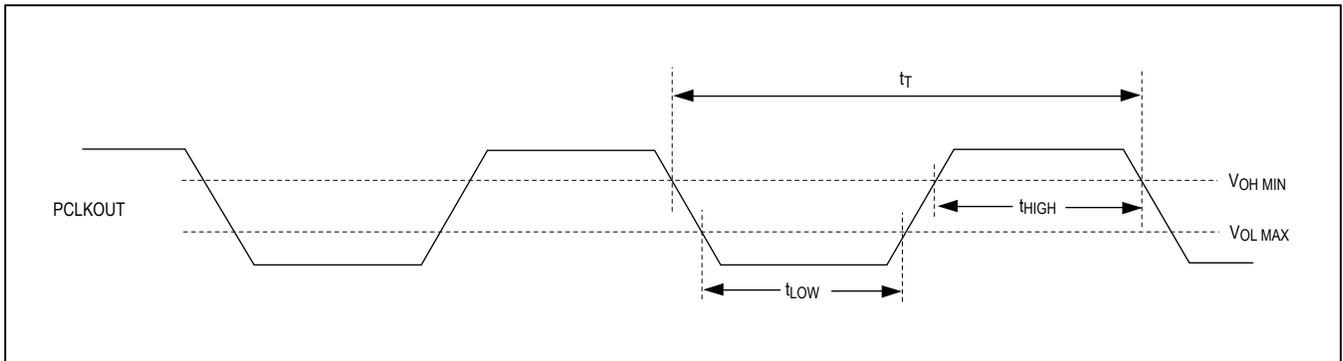


図 4. パラレルクロック出力のハイおよびロー時間

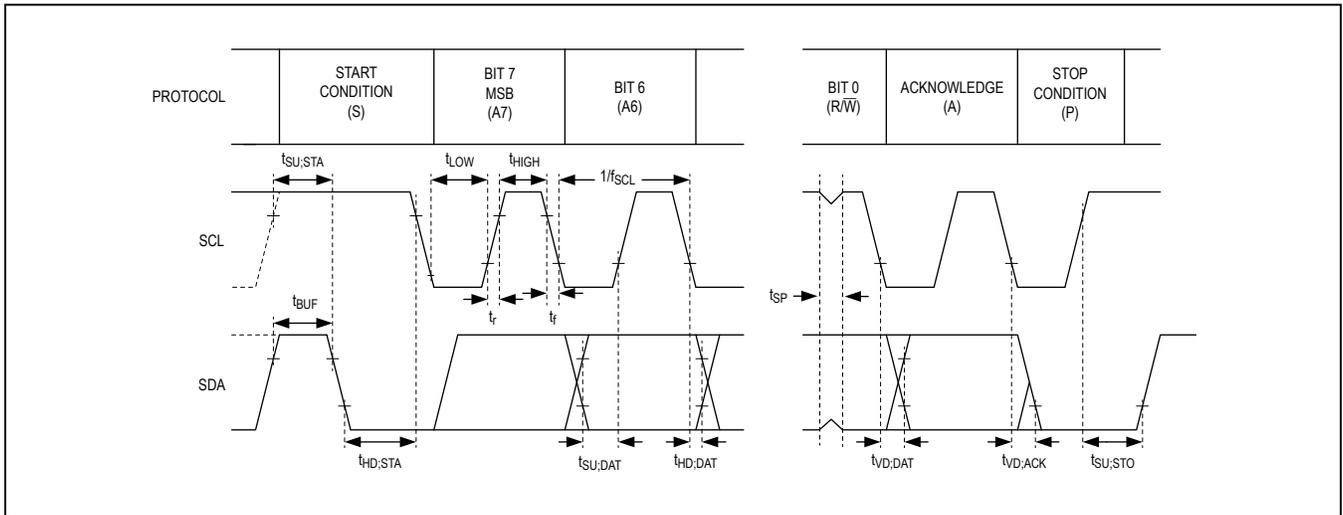


図 5. I²C のタイミングパラメータ

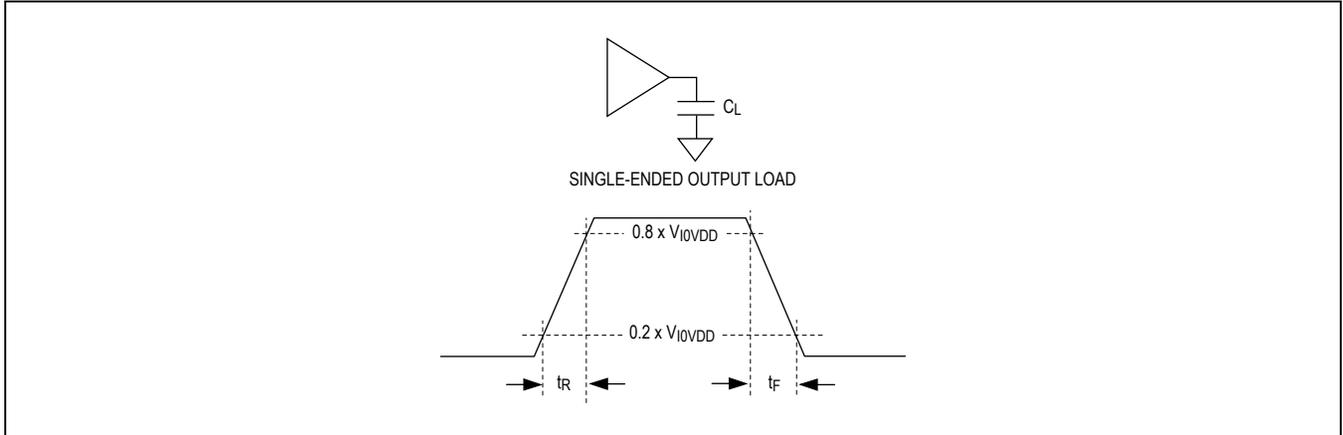


図 6. 出力の立ち上がりおよび立ち下り時間

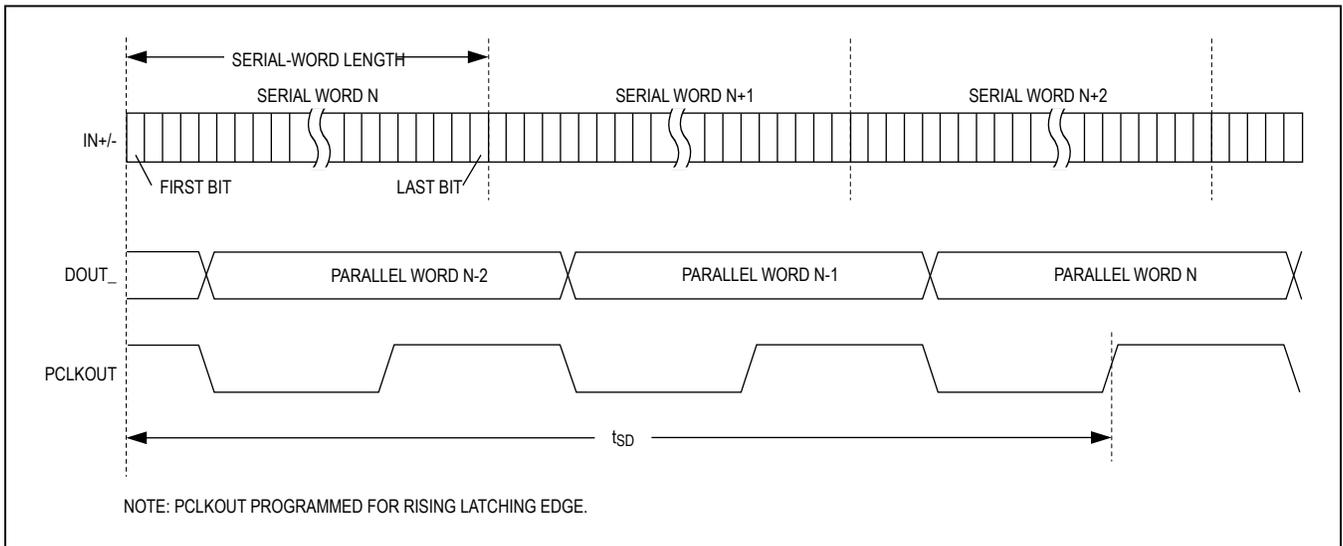


図 7. デシリアライザの遅延

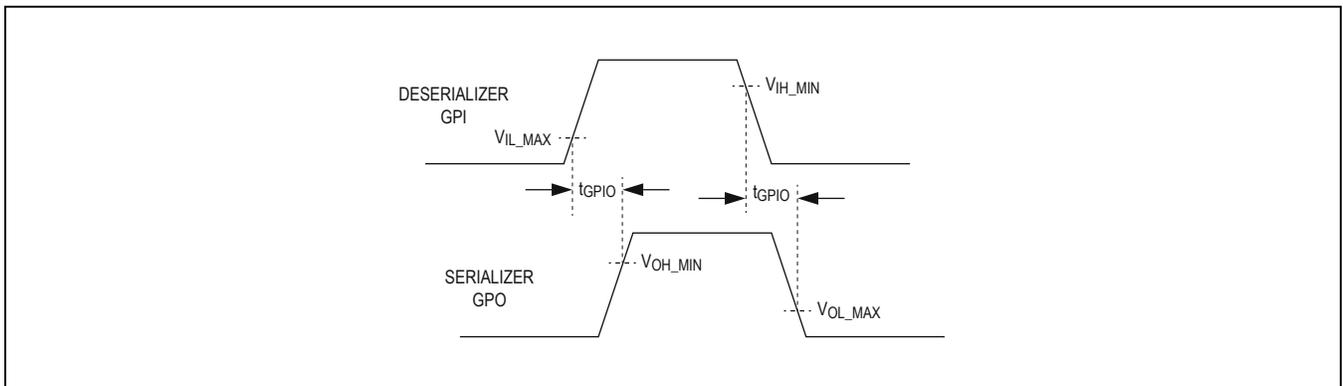


図 8. GPI-GPO 間の遅延

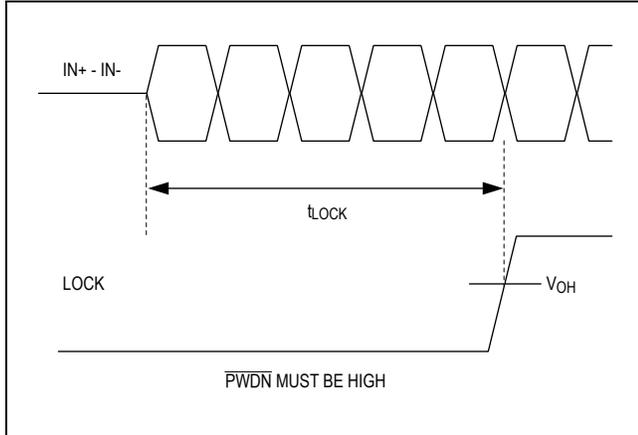


図 9. ロック時間

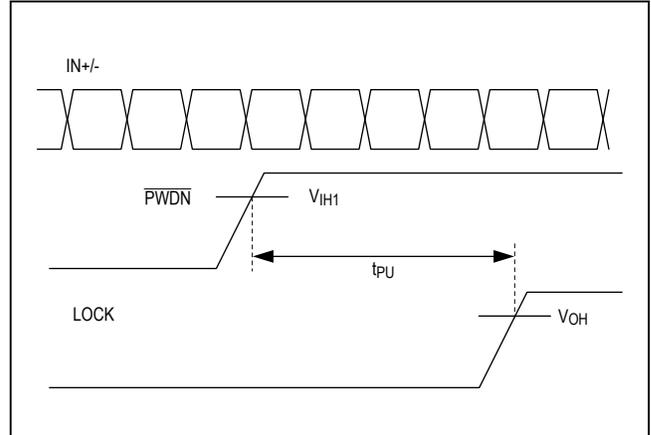


図 10. 起動遅延

詳細

デシリアライザのMAX9240Aは、シリアルライザのMAX9271またはMAX9273と組み合わせたときにフル機能で動作しますが、どのGMSLシリアルライザと組み合わせても基本的な機能を発揮します。

このデシリアライザは最大シリアルビットレートが1.5Gbpsで15m以上のケーブルに対応し、25ビットのシングル出力モードでは50MHz、15ビット/11ビットのダブル出力モードでは各々75MHz/100MHzの最高出力クロックで動作します。このビットレートと出力の柔軟性によって、18ビットカラーでQVGA (320 x 240)~WVGA(800 x 480)以上のさまざまなディスプレイのほか、メガピクセルのイメージセンサーにも対応します。入力コライゼーションとGMSLシリアルライザのプリ/デエンファシスを組み合わせることでケーブル長が延長され、リンクの信頼性が向上します。

制御チャンネルによって、 μ Cからシリアルライザとデシリアライザのレジスタおよびペリフェラル上のレジスタを設定することができます。制御チャンネルは、GPIOの設定やアクセスにも使用します。 μ Cはどちらのリンク端にも、または2つの μ Cを使用する場合は両端に配置することができます。制御チャンネルでは2つの動作モードを利用可能です。ベースモードではI²CまたはGMSL UARTプロトコルのどちらかを使用し、バイパスモードではユーザー定義のUARTプロトコルを使用します。UARTプロトコルではフルデュプレックス通信が可能で、I²Cではハーフデュプレックス通信が可能です。

スペクトラム拡散を利用すると、平行出力のEMIを低減することができます。シリアル入力は、ISO 10605とIEC 61000-4-2のESD保護基準に適合しています。

レジスタマッピング

レジスタはデシリアライザの動作条件を設定し、ベースモードで制御チャンネルを使用して設定されます。デシリアライザはそれ自体のデバイスアドレスと、組み合わせるシリアルライザのデバイスアドレスを保持します。同様に、シリアルライザはそれ自体のデバイスアドレスとデシリアライザのアドレスを保持します。デバイスアドレスが変更されるたびに、新しいアドレスを両方のデバイスに書き込む必要があります。デシリアライザのデフォルトのデバイスアドレスはCX/TP入力によって設定され、GMSLシリアルライザのデフォルトのデバイスアドレスはいずれも0x80です(表1と表8を参照)。両デバイスのレジスタ0x00と0x01がデバイスアドレスを保持します。

ビットマップ

平行出力の機能と幅は、ダブル/シングル出力モード(DBL)、HS/V_Sの符号化(HVEN)、使用するエラー訂正(EDC)、バス幅(BWS)の各端子の設定に依存します。表2に、制御端子設定のビットマップを示します。使用しない出力ビットはローに駆動されます。

平行出力には、シングル出力とダブル出力の2つの出力モードがあります。シングル出力モードでは、デシリアライズした平行データがPCLKOUTサイクル単位でクロックアウトされます。デバイスは、6.25MHz~50MHzのピクセルクロックを受け入れます(図11と図12)。

ダブル出力モードでは、デバイスはデシリアライズしたデータを、シリアルワードレートの2倍で出力される2つのハーフサイズワードに分割します(図13と図14)。シリアルライザ/デシリアライザは、11ビットのダブル出力モードでは33.3MHz~100MHz、15ビットのダブル出力モードでは25MHz~75MHzのピクセルクロックレートを使用します。

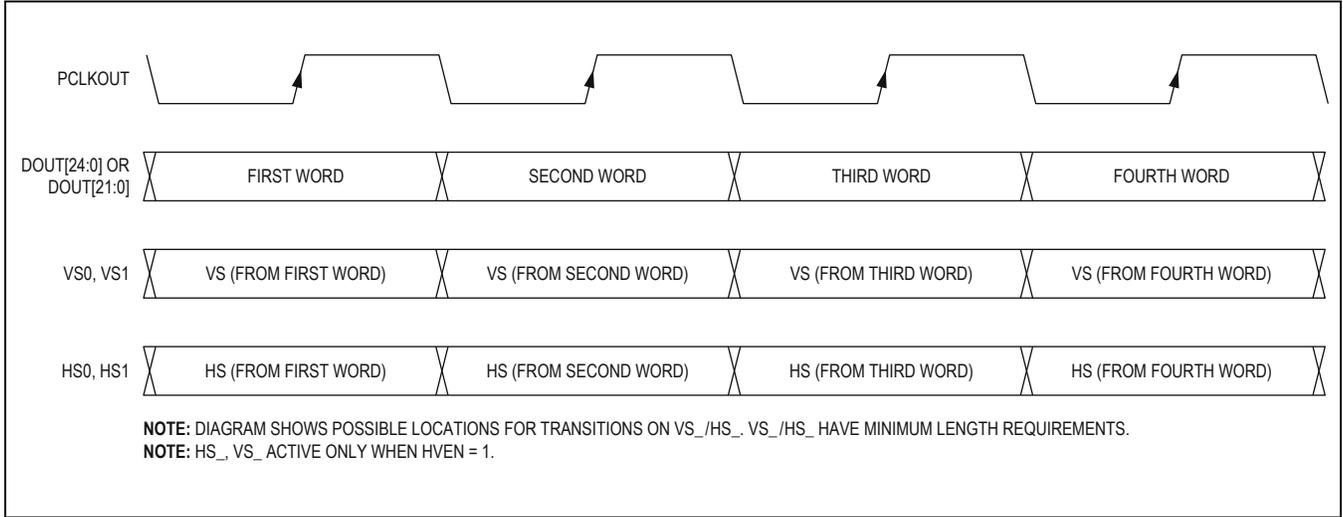


図 11. シングル出力の波形 (シリアライザでシングル入力を使用)

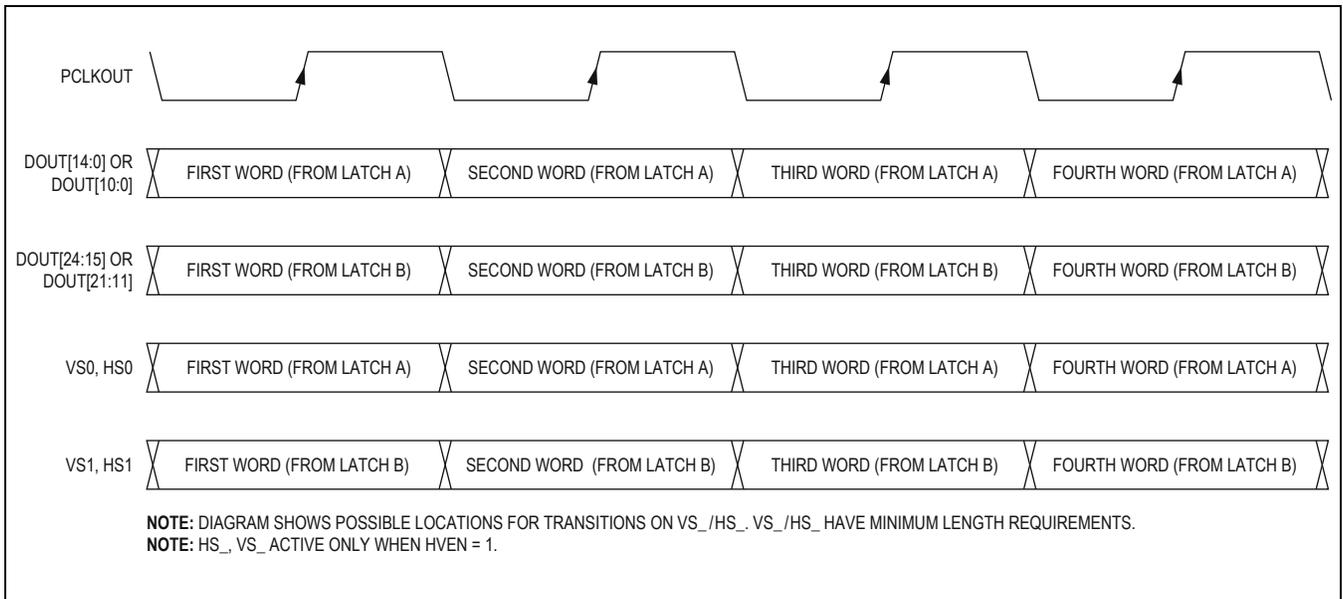


図 12. シングル出力の波形 (シリアライザでダブル入力を使用)

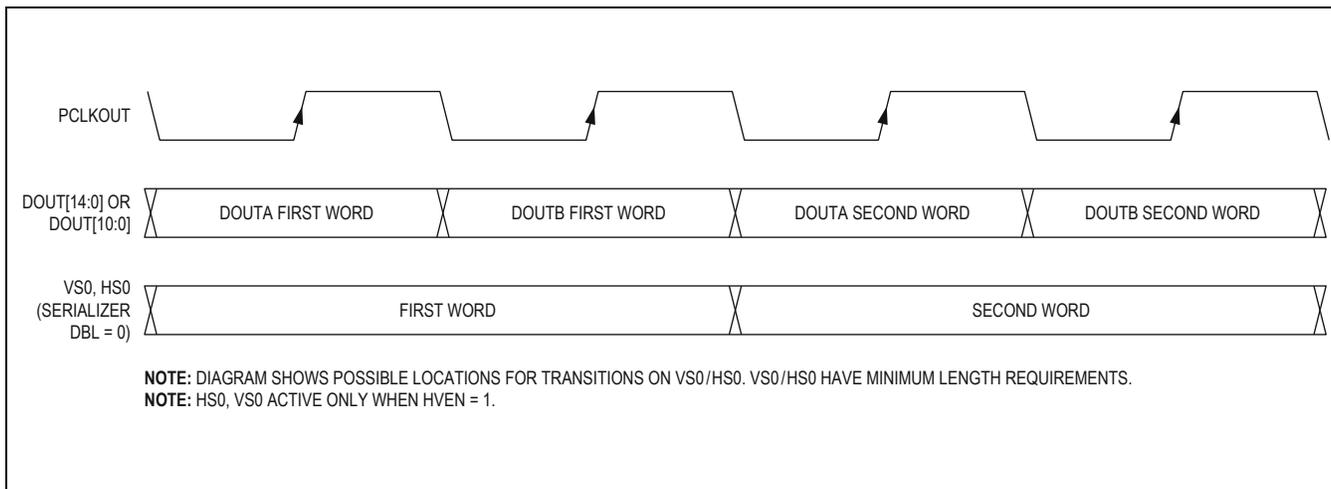


図 13. ダブル出力の波形 (シリアライザでシングル入力を使用)

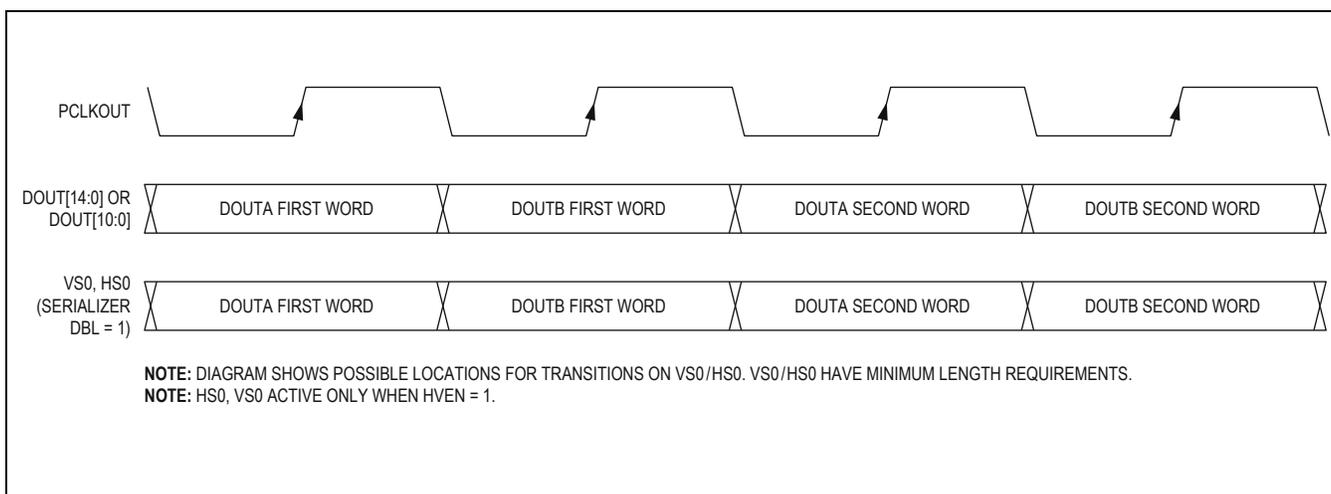


図 14. ダブル出力の波形 (シリアライザでダブル入力を使用)

表1. 起動時のデフォルトのレジスタマップ(表16を参照)

REGISTER ADDRESS (hex)	POWER-UP DEFAULT (hex)	POWER-UP DEFAULT SETTINGS (MSB FIRST)
0x00	0x80	SERID = 1000000, serializer device address RESERVED = 0
0x01	0x90 or 0x92	DESID = 1001000 (CX/TP = high or low), DESID = 1001001 (CX/TP = midlevel), deserializer device address is determined by the state of the CX/TP input at power-up CFGBLOCK = 0, registers 0x00 to 0x1F are read/write
0x02	0x1F	SS = 00, spread spectrum disabled RESERVED = 01 PRNG = 11, automatically detect the pixel clock range SRNG = 11, automatically detect serial-data rate
0x03	0x00	AUTOFM = 00, calibrate spread-modulation rate only once after locking RESERVED = 0 SDIV = 00000, autocalibrate sawtooth divider
0x04	0x07	LOCKED = 0, LOCK output is low (read only) OUTENB = 0, output enabled PRBSEN = 0, PRBS test disabled SLEEP = 0, sleep mode deactivated (see the <i>Link Startup Procedure</i> section) INTTYPE = 01, base mode uses UART REVCCEN = 1, reverse control channel active (sending) FWDCCEN = 1, forward control channel active (receiving)
0x05	0x24	I2CMETHOD = 0, I ² C master sends the register address DCS = 0, normal parallel output driver current HVTRMODE = 1, full periodic HS/VS tracking ENEQ = 0, equalizer disabled EQTUNE = 1001, 10.7dB equalization
0x06	0x02 or 0x22	RESERVED = 00X00010
0x07	0xXX	DBL = 0 or 1, single-/double-input mode setting determined by the state of LCCEN and GPIO0/DBL at startup DRS = 0, high data-rate mode BWS = 0 or 1, bit width setting determined by the state of LCCEN and GPIO1/BWS at startup ES = 0 or 1, edge-select input setting determined by the state of LCCEN and TX/SCL/ES at startup HVTRACK = 0 or 1, HS/VS tracking setting determined by the state of LCCEN and MS/HVEN at startup HVEN = 0 or 1, HS/VS tracking encoding setting determined by the state of LCCEN and MS/HVEN at startup EDC = 00 or 10, error-detection/correction setting determined by the state of LCCEN and RX/SDA/EDC at startup

表1. 起動時のデフォルトのレジスタマップ(表16を参照) (続き)

REGISTER ADDRESS (hex)	POWER-UP DEFAULT (hex)	POWER-UP DEFAULT SETTINGS (MSB FIRST)
0x08	0x00	INVVS = 0, deserializer does not invert VSYNC INVHS = 0, deserializer does not invert HSYNC RESERVED = 0 UNEQDBL = 0, serializer DBL is not the same as deserializer DISSTAG = 0, outputs are staggered AUTORST = 0, error registers/output autoreset disabled ERRSEL = 00, detected errors trigger $\overline{\text{ERR}}$
0x09	0x00	I2CSCRA = 00000000, I ² C address translator source A is 0x00 RESERVED = 0
0x0A	0x00	I2CDSTA = 00000000, I ² C address translator destination A is 0x00 RESERVED = 0
0x0B	0x00	I2CSCRB = 00000000, I ² C address translator source B is 0x00 RESERVED = 0
0x0C	0x00	I2CDSTB = 00000000, I ² C address translator destination B is 0x00 RESERVED = 0
0x0D	0xB6	I2CLOCACK = 1, acknowledge not generated when forward channel is not available I2CSLVSH = 01, 469ns/234ns I ² C setup/hold time I2CMSTBT = 101, 339kbps (typ) I ² C-to-I ² C master bit-rate setting I2CSLVTO = 10, 1024 μ s (typ) I ² C-to-I ² C slave remote timeout
0x0E	0x6A	RESERVED = 01 GPIEN = 1, enable GPI-to-GPO signal transmission to serializer GPIIN = 0, GPI input is low (read only) GPIO1OUT = 1, set GPIO1 to high GPIO1IN = 0, GPIO1 input is low (read only) GPIO0OUT = 1, set GPIO0 to high GPIO0IN = 0, GPIO0 input is low (read only)
0x0F	0x00	DETTNR = 00000000, error threshold set to zero for detected errors
0x10	0x00 (read only)	DETERR = 00000000, zero errors detected
0x11	0x00	CORRTHR = 00000000, error threshold set to zero for corrected errors
0x12	0x00 (read only)	CORRERR = 00000000, zero errors corrected
0x13	0x00 (read only)	PRBSERR = 00000000, zero PRBS errors detected
0x14	0x0A (read only)	PRBSOK = 0, PRBS test not completed RESERVED = 000 LFNEG = 10, no faults detected LFPOS = 10, no faults detected
0x15	0x2X	RESERVED = 00100XXX
0x16	0x30	RESERVED = 00110000
0x17	0x54	RESERVED = 01010100
0x18	0x30	RESERVED = 00110000
0x19	0xC8	RESERVED = 11001000

表1. 起動時のデフォルトのレジスタマップ(表16を参照) (続き)

REGISTER ADDRESS (hex)	POWER-UP DEFAULT (hex)	POWER-UP DEFAULT SETTINGS (MSB FIRST)
0x1A	0xXX (read only)	RESERVED = XXXXXXXX
0x1B	0xXX (read only)	RESERVED = XXXXXXXX
0x1C	0xXX (read only)	RESERVED = XXXXXXXX
0x1D	0x0X (read only)	CXTP = 0, twisted-pair input CXSEL = 0, noninverting input I2CSEL = 0, UART input LCCEN = 0, local control channel disabled RESERVED = XXXX
0x1E	0x0A (read only)	ID = 00001100, device ID is 0x0C
0x1F	0x0X (read only)	RESERVED = 000 CAPS = 0, not HDCP capable REVISION = XXXX

X = 不定。

表2. 出カマップ

EDC	BWS	DBL	HVEN	OUTPUT* (PAIRED WITH MAX9271)	OUTPUT* (PAIRED WITH MAX9273)	PCLK RANGE** (MHz)
0	0	0	0	DOUT0:15	DOUT0:21	16.66 to 50
0	0	0	1	DOUT0:13, HS, VS	DOUT0:20, HS, VS	16.66 to 50
0	0	1	0	DOUT0:10	DOUT0:10	33.33 to 100
0	0	1	1	DOUT0:10, HS, VS	DOUT0:10, HS, VS	33.33 to 100
0	1	0	0	DOUT0:15	DOUT0:21	12.5 to 37.5
0	1	0	1	DOUT0:13, HS, VS	DOUT0:20, HS, VS	12.5 to 37.5
0	1	1	0	DOUT0:14	DOUT0:14	25 to 75
0	1	1	1	DOUT0:13, HS, VS	DOUT0:14, HS, VS	25 to 75
1	0	0	0	DOUT0:15	DOUT0:15	16.66 to 50
1	0	0	1	DOUT0:13, HS, VS	DOUT0:15, HS, VS	16.66 to 50
1	0	1	0	DOUT0:7	DOUT0:7	33.33 to 100
1	0	1	1	DOUT0:7, HS, VS	DOUT0:7, HS, VS	33.33 to 100
1	1	0	0	DOUT0:15	DOUT0:21	12.5 to 37.5
1	1	0	1	DOUT0:13, HS, VS	DOUT0:20, HS, VS	12.5 to 37.5
1	1	1	0	DOUT0:14	DOUT0:14	25 to 75
1	1	1	1	DOUT0:13, HS, VS	DOUT0:14, HS, VS	25 to 75

*利用可能な出力の数は、MAX9240Aに接続されたシリアライザによって変わります。

**デバイスは高速モードです(DRS = ロー)。低速モード(DRS = ハイ)におけるPCLKの範囲については、表3を参照してください。

シリアルリンクの信号方式とデータ形式

シリアライザは設定可能なプリ/デエンファシスとAC結合を備え、ツイストペアケーブルの駆動に差動CML信号方式、同軸ケーブルの駆動にシングルエンドCML信号方式を使用します。デシリアライザは、AC結合と設定可能なチャネルイコライゼーションを使用します。

入力データはスクランブルされた後、8b/10b符号化されます。デシリアライザは埋め込まれたシリアルクロックを復元した後、データをサンプリング、復号化、およびスクランブル解除します。24ビット/32ビットモードでは、22ビット/30ビットに、ビデオデータおよび/または(使用している場合)エラー訂正ビットが含まれます。23番目/31番目のビットは、順方向制御チャンネルのデータを搬送します。最後のビットは、先行する23ビット/31ビットのパリティビットです(図15)。

逆方向制御チャンネル

シリアライザは、逆方向制御チャンネルを使用してビデオストリームと反対方向にデシリアライザからI²C/UARTおよび

GPOの信号を受信します。逆方向制御チャンネルと順方向のビデオデータが同一のシリアルケーブル上で共存して、双方向リンクを形成します。逆方向制御チャンネルは、順方向制御チャンネルとは無関係に動作します。逆方向制御チャンネルは、起動から2ms後に利用可能になります。順方向シリアルリンクの開始/停止後350μsの間、シリアライザは逆方向制御チャンネルを一時的にディセーブルします。

データレートの選択

シリアライザ/デシリアライザは、DRS、DBL、BWSを使用してPCLKOUTの周波数範囲を設定します(表3)。6.25MHz~12.5MHz (32ビットのシングル出力モード)または8.33MHz~16.66MHz (24ビットのシングル出力モード)のPCLKOUT周波数範囲を使用するには、DRS = 1に設定します。通常動作の場合は、DRS = 0に設定します。DRS = 1のときにダブル出力モードを使用することは推奨されません。

表3. データレート選択表

DRS SETTING	DBL SETTING	BWS SETTING	PCLKOUT RANGE (MHz)
0	0 (single input)	0 (24-bit mode)	16.66 to 50
0	0	1 (32-bit mode)	12.5 to 35
0	1 (double input)	0	33.3 to 100
0	1	1	25 to 75
1	0	0	8.33 to 16.66
1	0	1	6.25 to 12.5
1	1	0	Do Not Use
1	1	1	Do Not Use

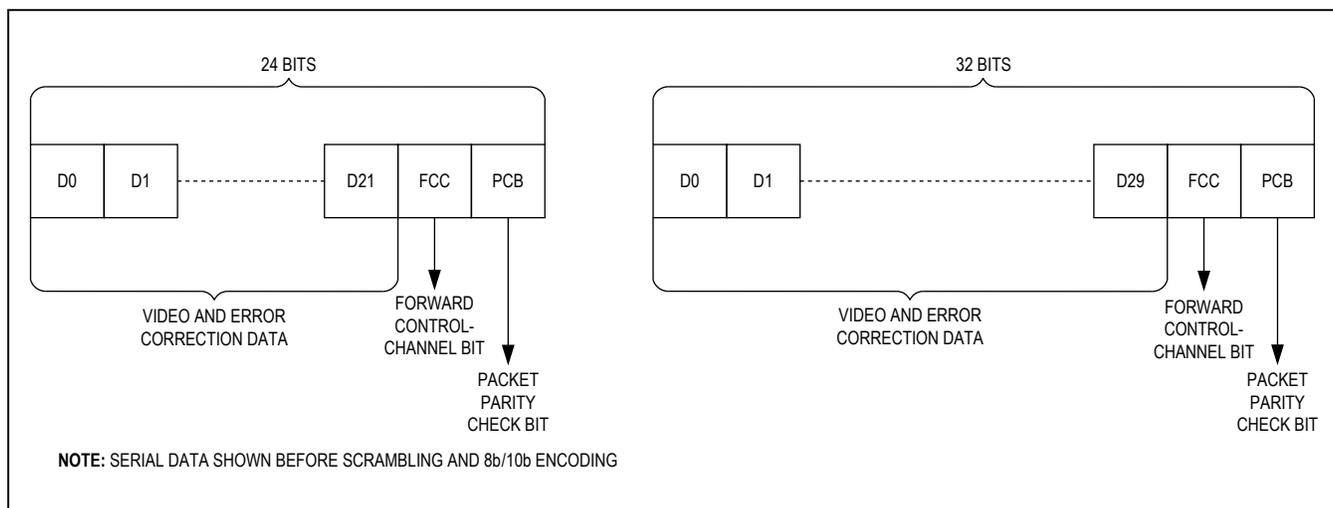


図 15. シリアルデータ形式

制御チャンネルおよびレジスタの設定

μCは制御チャンネルを利用して、シリアルリンク上で高速データと同時に制御データを送受信することができます。μCはシリアライザまたはデシリアライザのどちらかの側からリンクを制御し、ビデオ表示または画像検出のアプリケーションをサポートします。μCとシリアライザまたはデシリアライザ間の制御チャンネルは、μCに接続されたデバイスのモード選択(MS/HVEN)入力に応じて、ベースモードまたはバイパスモードで動作します。ベースモードはハーフデュプレックスの制御チャンネルで、バイパスモードはフルデュプレックスの制御チャンネルです。

UARTインタフェース

ベースモードではμCがホストで、GMSL UARTプロトコルを使用してリンクのどちら側からでもシリアライザとデシリアライザの両方のレジスタにアクセスすることができます。また、UARTパケットをシリアライザまたはデシリアライザに送信してリンクのリモート側のデバイスでI²Cに変換することによって、μCがリモート側ペリフェラルの設定を行うことも可能です。μCはシリアライザ/デシリアライザのデフォルトのハーフデュプレックスGMSL UARTプロトコルを使用して、(INTTYPEレジスタの設定によって)ベースモードでUARTペリフェラルと通信します。ベースモードにおけるシリアライザ/デシリアライザのデバイスアドレスは設定可能です。シリアライザのデフォルト値は0x80で、デシリアライザのデフォルト値はCX/TP入力によって決まります(表8)。

ペリフェラルのインタフェースがI²Cである場合、シリアライザ/デシリアライザはデバイスアドレスがシリアライザまたはデシリアライザのものとは異なるUARTパケットをI²Cに変換します。変換後のI²Cのビットレートは、元のUARTのビットレートと同じです。

デシリアライザは差動ライン符号化を使用して、信号を逆方向チャンネルでシリアライザに送信します。制御チャンネル

のビットレートは、両方向とも9.6kbps~1Mbpsです。ベースモードでは、シリアライザ/デシリアライザは自動的に制御チャンネルのビットレートを検出します。パケットのビットレートは、直前のビットレートと比べて最大3.5倍まで上下に変更可能です。詳細については、「[クロック周波数の変更](#)」の項を参照してください。

図16は、μCとシリアライザ/デシリアライザ間でベースモードにおける書込みと読取りを行うUARTプロトコルを示しています。

図17はUARTのデータ形式を示しています。偶数パリティが使用されます。図18と図19は、SYNCバイト(0x79)とACKバイト(0xC3)の形式を詳しく示しています。μCと接続先のスレーブチップは、それぞれSYNCバイトとACKバイトを生成します。デバイスのウェイクアップやGPIなどのイベントによって制御チャンネル上にμCが無視することができる遷移が発生します。シリアライザ/デシリアライザのレジスタに書き込まれたデータは、ACKバイトが送信されるまで有効になりません。これによってμCは、書込みコマンドの結果がシリアルリンクに直接影響を与える場合でも、その書込みコマンドがエラーなく受信されたかどうかを確認することができます。スレーブはSYNCバイトを使用して、ホストのUARTのデータレートと同期します。制御チャンネルの通信中にデシリアライザのGPIまたはMS/HVEN入力が入力された場合、またはラインフォルトが発生した場合、制御チャンネルの通信はエラーになります。アクノリッジが行われないか、(制御チャンネルのタイムアウトのために1ms程度)遅延した場合、μCではパケット送信または応答でエラーがあったと想定する必要があります。ベースモードでは、μCはパケット内のバイト間でUARTのTx/Rxラインを4ビット時間以上ハイに維持しないようにする必要があります。新しいパケットの送信を開始する前にUARTのTx/Rxラインを少なくとも16ビット時間の間ハイに維持してください。

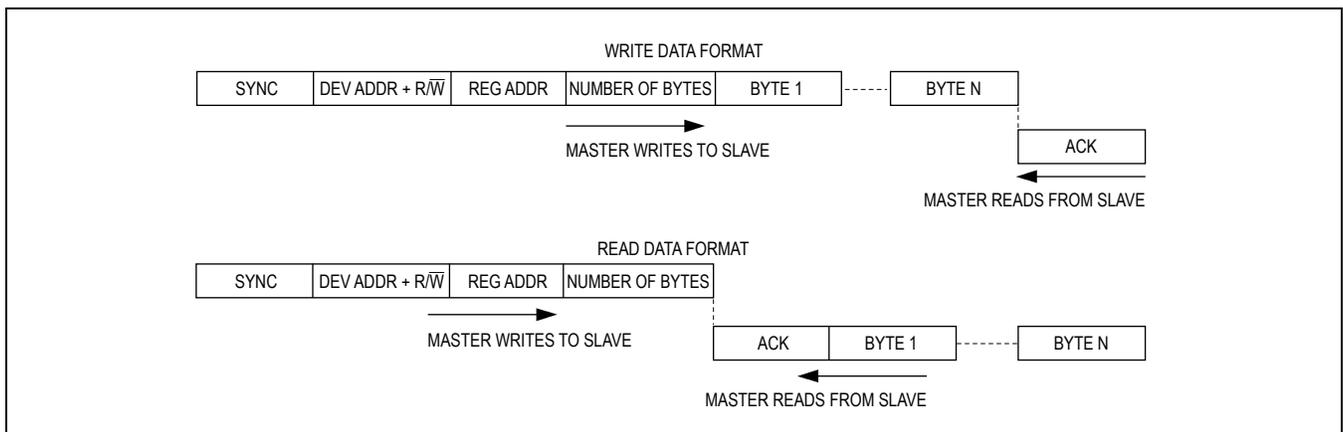


図 16. ベースモードの GMSL UART プロトコル

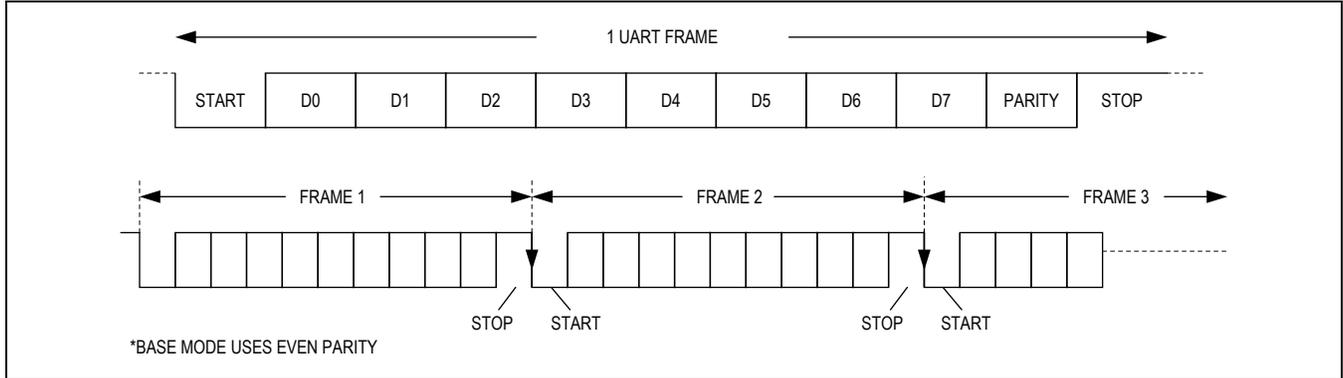


図 17. ベースモードの GMSL UART データ形式

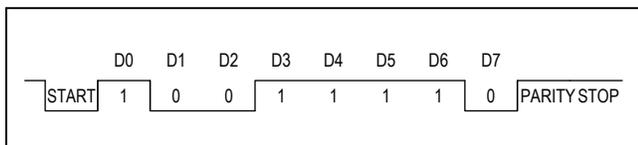


図 18. SYNC バイト (0x79)

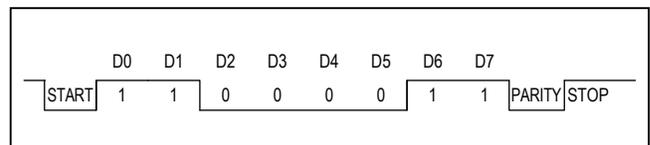


図 19. ACK バイト (0xC3)

図20に示すように、リモート側のデバイスはペリフェラルとの間で送受信されるパケットをUART形式からI²C形式に、またその逆方向に変換します。リモートデバイスはバイト数カウントを除去し、I²Cのデータバイト間でACKを追加したり受信したりします。I²CのビットレートはUARTのビットレートと同じです。

コマンドバイトのみのI²CデバイスとUARTとのインタフェース
シリアルライザ/デシリアルライザのUART-I²C変換は、GPIO エキスパンダのMAX7324など、レジスタアドレスを必要としないデバイスとのインタフェースを行うことができます。このモードでは、I²Cマスターはレジスタアドレスバイトを無視して、直接後続のデータバイトの読取り/書込みを行います(図21)。I²C METHODビットを使用して、I²Cマスターの通信方式を変更します。I²C METHOD = 1でコマンドバイトオンリーモードに設定され、I²C METHOD = 0でデータストリームの最初のバイトがレジスタアドレスであるノーマルモードに設定されます。

UARTバイパスモード

バイパスモードでは、シリアルライザ/デシリアルライザはμCからのUARTコマンドを無視し、μCは専用で定義されたUARTプロトコルを使用してペリフェラルと直接通信します。このモードでは、μCはシリアルライザ/デシリアルライザのレジスタにアクセスすることはできません。UARTインタフェースを使用し順方向制御チャンネルでアクセスされるペリフェラルは、PCLKOUTによるUART信号の非同期サンプリングのために、1 PCLKOUT周期以上のジッタ(±10ns)に対処する必要があります。制御チャンネルをバイパスモードにするには、MS/HVEN = ハイに設定します。μCがデシリアルライザに接続されるアプリケーションの場合、MS/HVEN

をハイに設定してからバイパス制御チャンネルがアクティブになるまでの間に1msの待ち時間が存在します。μCがシリアルライザに接続されている場合は、バイパスモードへの切り替え時に遅延時間は存在しません。正常なGPO機能を確保するために、100μsより長くロジックロー値を送信しないでください。バイパスモードは、どちらの方向でも最小10kbpsまでのビットレートを受け付けます。GPI機能の制限事項については、「[GPO/GPI制御](#)」の項を参照してください。GPI制御を使用する場合、制御チャンネルのデータパターンは100μsより長くローに維持しないでください。

I²Cインタフェース

I²C-I²Cモードでは、デシリアルライザの制御チャンネルインタフェースは、I²C対応の2線式インタフェース経路でデータを送受信します。このインタフェースは、シリアルデータライン(SDA)とシリアルクロックライン(SCL)を使用してマスターとスレーブ間で双方向通信を実現します。μCのマスターがデバイスとの間のすべてのデータ転送を開始し、データ転送を同期させるSCLクロックを生成します。I²Cトランザクションがローカル側デバイスの制御チャンネルポートで始まると、リモート側デバイスの制御チャンネルポートは、リモート側のI²Cペリフェラルとのインタフェースを行うI²Cマスターになります。このI²Cマスターは、デシリアルライザによって(SCLをローに維持して)課されるクロックストレッチングを受け入れる必要があります。SDAラインとSCLラインは、入力とオープンドレイン出力の両方として動作します。SDAとSCLにはプルアップ抵抗が必要です。各伝送は、マスターによって送信されるSTART条件(図5)、それに続くデバイスの7ビットのスレーブアドレスとR/Wビット、レジスタアドレスバイト、1つ以上のデータバイト、およびSTOP条件で構成されます。

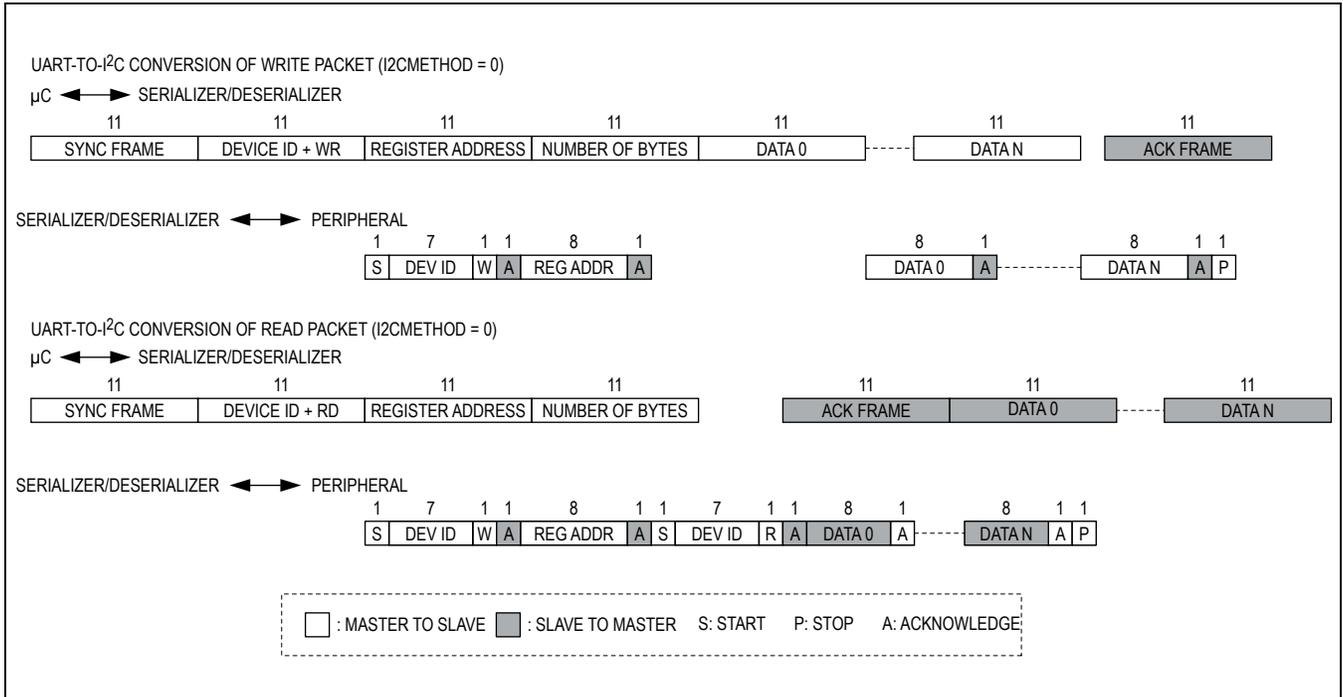


図 20. レジスタアドレスによる GMSL UART と I²C 間の形式変換 (I2CMETHOD = 0)

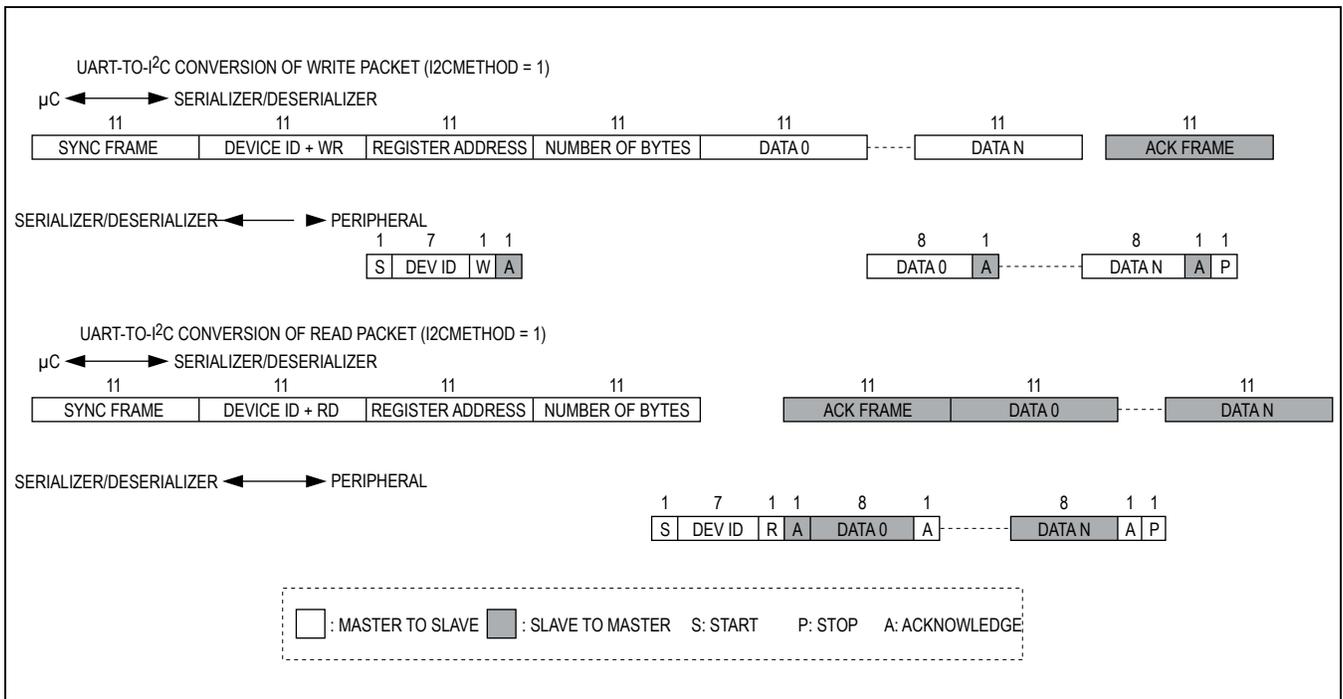


図 21. レジスタアドレスによる GMSL UART と I²C 間の形式変換 (I2CMETHOD = 1)

START条件とSTOP条件

インタフェースがビジーでないときは、SCLとSDAの両方がハイのままです。マスターは、SCLがハイの間にSDAをハイからローに遷移させてSTART (S)条件を確立し、送信の開始を通知します(図22を参照)。スレーブとの通信を完了したら、マスターはSCLがハイの間にSDAをローからハイに遷移させてSTOP (P)条件を発行します。その後バスが解放され、次の送信が可能になります。

ビット転送

各クロックパルス中に1データビットが転送されます(図23)。SCLがハイの間は、SDA上のデータが安定している必要があります。

アクノリッジ

アクノリッジビットは、受信側で各データバイト受取りのハンドシェイクに使用される、クロック制御された9番目のビットです(図24)。したがって、転送されるバイトごとに実際上9ビットが必要です。マスターが9番目のクロックパルスを生じ、受信側はアクノリッジのクロックパルス中にSDAをプルダウンします。SDAラインは、クロックパルスのハイの期間中はローで安定しています。マスターがスレーブデバイスに送信するときは、スレーブデバイスが受信側であるため、スレーブデバイスがアクノリッジビットを生じ、マスターが受信側であるため、マスターがアクノリッジビットを生じ、順方向制御チャンネルがアクティブでない(ロックされていない)ときでも、デバイスはアクノリッジを生じ、順方向制御チャンネルがアクティブでないときにアクノリッジが生成されないようにするには、I2CLOCKACKビットをローに設定します。

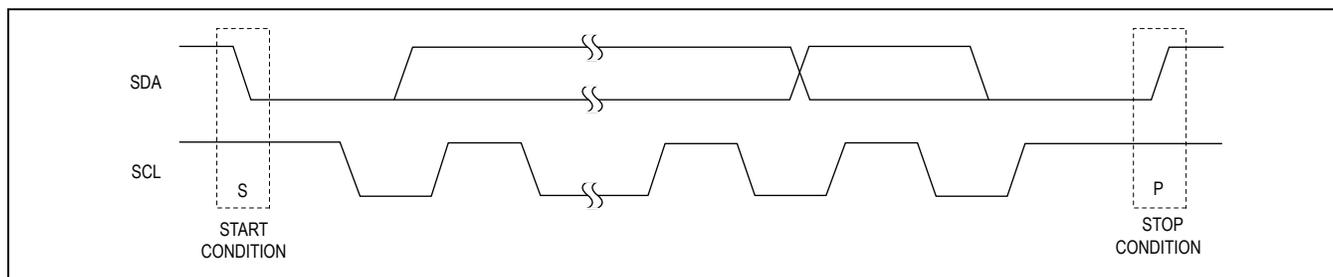


図 22. START 条件と STOP 条件

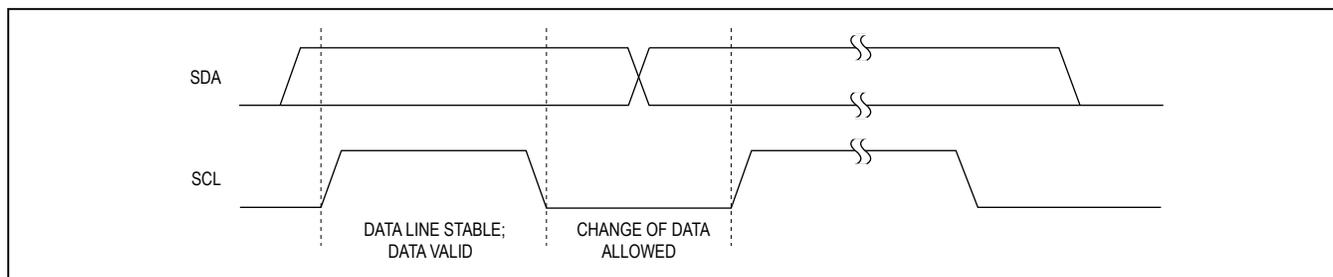


図 23. ビット転送

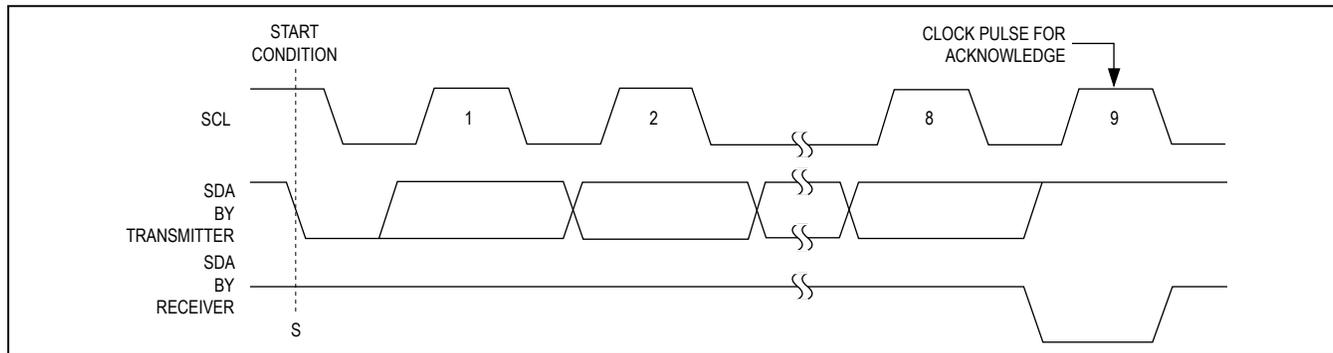


図 24. アクノリッジ

スレーブアドレス

シリアライザ/デシリアライザには7ビット長のスレーブアドレスがあります。7ビットのスレーブアドレスに続くビットはR/Wビットで、書込みコマンドの場合はロー、読取りコマンドの場合はハイです。スレーブアドレスは読取りコマンドでは100100X1、書込みコマンドでは100100X0です。[図25](#)を参照してください。

バスリセット

このデバイスは、読取りのI²C START条件でバスをリセットします。R/Wビットが1に設定されている場合は、シリアライザ/デシリアライザがデータをマスターに送信するため、マスターがデバイスから読取りを行います。

書込みの形式

シリアライザ/デシリアライザへの書込みは、R/Wビットを0に設定したスレーブアドレスと、それに続く1バイト以上の情報の送信で構成されます。情報のうち最初のバイトは、レジスタアドレスまたはコマンドバイトです。このレジスタアドレスによって、次のバイト受信時にデバイスのどのレジスタに書込みを行うかが決まります。レジスタアドレスの受信後にSTOP (P)条件が検出された場合、デバイスはレジスタアドレスを格納する以外の動作を行いません([図26](#))。

レジスタアドレスの後に受信されるバイトは、すべてデータバイトです。最初のデータバイトはレジスタアドレスによって選択されたレジスタに格納され、その後のデータバイトは後続のレジスタに格納されます([図27](#))。STOP条件の前に複数のデータバイトが送信された場合、レジスタアドレスが自動インクリメントされるため、それらのバイトは後続のレジスタに格納されます。

読取りの形式

シリアライザ/デシリアライザの読取りでは、書込みの場合に格納されたレジスタアドレスがアドレスポイントとして使用されるのと同様に、内部的に保存されたレジスタアドレスがアドレスポイントとして使用されます。書込みの場合と同じルールに従って各データバイトが読み取られた後にポイントが自動インクリメントされます。したがって、読取りはまず書込みを実行してレジスタアドレスを設定することによって開始されます([図28](#))。これでマスターはデバイスから連続するバイトを読み取ることができ、最初のデータバイトは直前に書込みを行ったレジスタアドレスによって指定されるレジスタアドレスから読み取られます。マスターがNACKを送信すると、デバイスは有効なデータの送信を停止します。

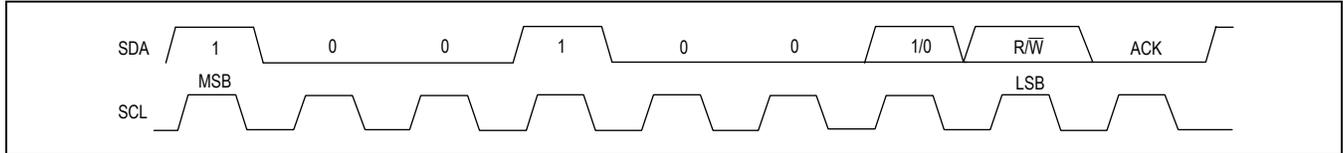


図 25. スレーブアドレス

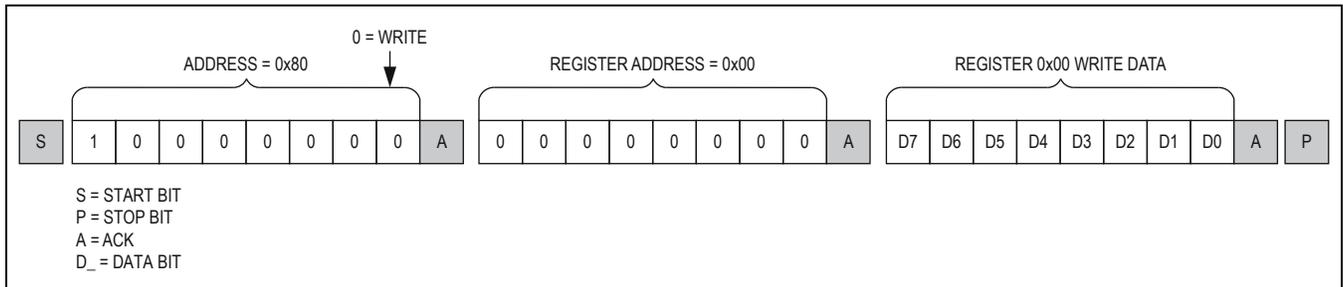


図 26. I²C の書込みの形式

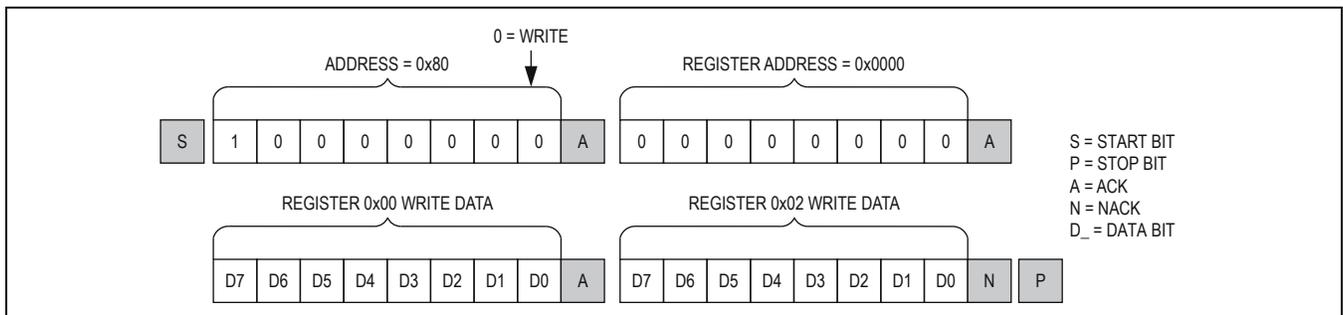


図 27. 複数のレジスタに対する書込みの形式

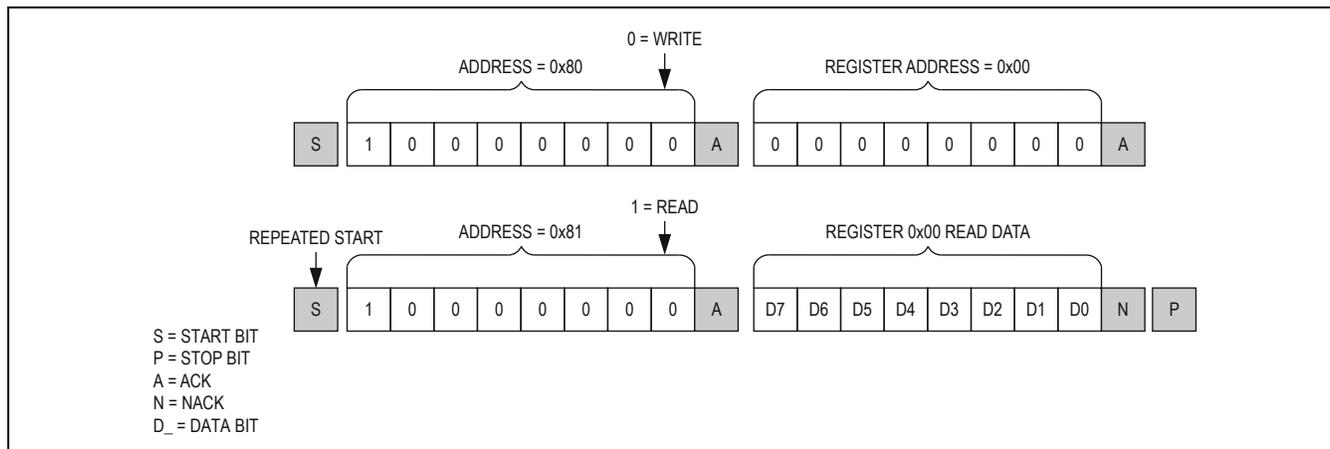


図 28. I²C の読取りの形式

表4. I²Cのビットレート範囲

LOCAL BIT RATE	REMOTE BIT-RATE RANGE	I2CMSTBT SETTING
f > 50kbps	Up to 1Mbps	Any
20kbps < f < 50kbps	Up to 400kbps	Up to 110
f < 20kbps	Up to 10kbps	000

リモート側デバイスとのI²C通信

このデシリアライザは、SCLのクロックストレッチングを使用して、通信リンクのリモート側にあるペリフェラルとのI²C通信をサポートします。通信リンクのどちら側にも複数のマスターが存在することが可能ですが、調停は行われません。接続されたマスターは、SCLのクロックストレッチングをサポートしている必要があります。リモート側のI²Cビットレート範囲は、ローカル側のI²Cビットレートに基づいて設定する必要があります。サポートされているリモート側ビットレートを表4に示します。リモートのI²Cビットレートを設定するには、I2CMSTBT (レジスタ0x0D)を設定します。400kbps以外のビットレートを使用する場合、ローカル側とリモート側のI²Cセットアップ時間とホールド時間を調整するため、両方の側でSLV_SHレジスタを設定する必要があります。

I²Cアドレス変換

このデシリアライザは、最大2つのデバイスアドレスのI²Cアドレス変換をサポートしています。アドレス変換は、限られたI²Cアドレスで一意的なデバイスアドレスをペリフェラルに割り当てるために使用します。ソースアドレス(変換元のアドレス)は、レジスタ0x09と0x0Bに格納されます。デスティネーションアドレス(変換先のアドレス)は、レジスタ0x0Aと0x0Cに格納されます。

制御チャンネルブロードキャストモード

このデシリアライザは、複数のペリフェラルデバイスを制御するためのブロードキャストコマンドをサポートしています。未使用のデバイスアドレスを選択してブロードキャストデバイスアドレスとして使用します。ブロードキャストデバイスアドレス(レジスタ0x09、0x0Bに格納されたソースアドレス)をペリフェラルデバイスアドレス(レジスタ0x0A、0x0Cに格納されたデスティネーションアドレス)に変換するようにリモート側のGMSLデバイスを設定します。ブロードキャストアドレスに送信されたコマンドはいずれも指定のペリフェラルすべてに送信され、1つのペリフェラルの一意的デバイスアドレスに送信されたコマンドはその特定のデバイスにのみ送信されます。

GPO/GPI制御

シリアライザのGPOは、デシリアライザのGPIの遷移に追従します。このGPO/GPI機能を使用すると、サラウンドビューカメラシステムのフレーム同期などの信号を送信することができます。GPI-GPO間の遅延は0.35ms (max)です。GPIの遷移間の時間を0.35ms以上に維持してください。これには、同軸スプリッタモードにおけるもう1つのデシリアライザからの遷移も含まれます。デシリアライザのレジスタ0x0EのビットD4に、GPI入力の状態が格納されます。起動後、GPOはローです。μCはシリアライザのSET_GPOレジスタビットへの書き込みによってGPOを設定することができます。正常なGPO/GPI機能を確保するため、ベースモードまたはバイパスモードのどちらにおいても、デシリアライザのRX/SDA入力(UARTモード)に100μsより長くロジックロー値を送信しないでください。

PRBSテスト

シリアライザは、デシリアライザのビットエラー検証と連携するPRBSパターンジェネレータを内蔵しています。PRBSテストを実行するには、まずデシリアライザ、次にシリアライザの順で、PRBSEN = 1 (0x04, D5)に設定します。PRBSテストを終了するには、シリアライザでPRBSEN = 0 (0x04, D5)に設定します。

ラインイコライザ

このデシリアライザには、高周波数でのケーブル減衰をさらに補正するための調整可能なラインイコライザが内蔵されています。ケーブルイコライザは、2.1dB~13dBの間で選択可能な11の補正レベルを備えています(表5)。デバイスの起動時には、イコライザはディセーブルされています。他のイコライゼーションレベルを選択する場合は、デシリアライザの該当するレジスタビット(0x05 D[3:0])をセットします。所定のケーブルで最も信頼性の高いリンクを実現するため、シリアライザのプリアンファシスとともに、デシリアライザのイコライゼーションを使用します。

スペクトラム拡散

遷移によって生じるEMIを低減するため、このデシリアライザの出力ではスペクトラム拡散を設定可能です。デシリアライザを駆動するシリアライザでスペクトラム拡散を設定可能である場合は、両方同時に拡散をイネーブルしないでください。両方でイネーブルすると、相互作用によって効果が相殺されます。スペクトラム拡散の設定可能な振幅は±2%と±4%です(表6)。

表5. ケーブルイコライザのブーストレベル

BOOST SETTING (0x05 D[3:0])	TYPICAL BOOST GAIN (dB)
0000	2.1
0001	2.8
0010	3.4
0011	4.2
0100	5.2
0101	6.2
0110	7
0111	8.2
1000	9.4
1001	10.7 Default*
1010	11.7
1011	13

このデシリアライザは、拡散変調率を制御するための鋸歯分周器を内蔵しています。PCLKOUTの動作範囲の自動検出によって、スペクトラム拡散の変調周波数が20kHz~40kHzの範囲内になることが保証されます。さらに、鋸歯分周器のマニュアル設定(SDIV : 0x03, D[5:0])によって、PCLKOUTの周波数に応じてユーザーが変調周波数を設定することも可能です。範囲をマニュアル選択する際は、約20kHzの固定変調周波数になるようにSDIVの値を設定します。

スペクトラム拡散分周器のマニュアル設定

デシリアライザの変調率とPCLKOUTの周波数の関係は、次のように表されます。

$$f_M = (1 + DRS) \frac{f_{PCLKOUT}}{MOD \times SDIV}$$

ここで、

f_M = 変調周波数

DRS = DRSの値(0または1)

$f_{PCLKOUT}$ = PCLKOUTの周波数

MOD = 表7に示す変調係数

SDIV = μC によってマニュアル設定される5ビットのSDIV設定値

SDIV設定値を設定するには、まず目的のバス幅とスペクトラム拡散の設定に基づいて変調係数を選択します。目的のピクセルクロックと変調周波数を使用して、上記の式をSDIVについて解きます。計算したSDIVの値が表7に示すSDIVの許容最大値より大きい場合は、SDIVを最大値に設定します。

表6. パラレル出力の拡散

SS	SPREAD (%)
00	No spread spectrum. Power-up default.
01	±2% spread spectrum.
10	No spread spectrum.
11	±4% spread spectrum.

表7. 変調係数と最大SDIV設定値

SPREAD-SPECTRUM SETTING (%)	MODULATION COEFFICIENT (dec)	SDIV UPPER LIMIT (dec)
4	208	15
2	208	30

追加のエラー検出/訂正

デフォルトモード(追加のエラー検出/訂正がディセーブル)では、データの符号化/復号化は以前のGMSLシリアライザ/デシリアライザと同じです(パリティのみ)。シリアライザで、パラレル入力ワードがスクランブルされ、パリティビットが付加されます。スクランブルされたワードは、(BWSの設定に応じて) 3または4バイトに分割され、8b/10b符号化された後、シリアル送信されます。デシリアライザでは、同じ処理が逆の順序で実行されます。パリティビットは、デシリアライザによってワード境界の発見およびエラー検出に使用されます。エラーはエラーカウンタレジスタでカウントされ、エラー端子がエラーを通知します。

デシリアライザは、次の2つの追加のエラー検出/訂正方式の1つを使用することができます(レジスタ設定によって選択可能)。

- 1) 6ビットの巡回冗長検査
- 2) 6ビットのハミングコード(16ワードのインタリーブ)

巡回冗長検査(CRC)

CRCがイネーブルのとき、シリアライザは入力データに6ビットのCRCを付加します。そのため、CRCを使用しない場合に比べて、入力データワード内で利用可能なビット数が6だけ減少します(詳細については表2を参照)。たとえば、BWS = 0のときは22ビットではなく16ビットが入力データに利用可能で、BWS = 1のときは30ビットではなく24ビットが利用可能です。

CRCジェネレータの多項式は $x^6 + x + 1$ です(ITU-T G704の通信規格で使用されている式と同様)。

パリティビットはワード境界の検出に使用されるため、CRCがイネーブルのときでも付加されます。CRCがイネーブルのときは、各データワードがスクランブルされ、6ビットのCRCと1ビットのパリティが付加された後、8b/10b符号化されます。

デシリアライザでは、CRCコードが再計算されます。再計算したCRCコードが受信したCRCコードと一致しない場合、エラーフラグが立てられます。このCRCエラーはエラーカウンタに通知されます。

ハミングコード

ハミングコードは、エラーの検出および訂正を行うための簡素で効果的なエラー訂正コードです。MAX9240Aデシリアライザは、(GMSLシリアライザのMAX9271/MAX9273と組み合わせた場合)ピクセル単位シングルエラー訂正/ダブルエラー検出のハミングコード方式を使用します。

このデシリアライザは、バーストエラー対策のためにデータインタリーブを使用します。シリアルリンク上で最大11連続ビットのバーストエラーが訂正され、最大31連続ビットのバーストエラーが検出されます。

ハミングコードはCRCと同様にオーバーヘッドを増加させます。利用可能な入力ワードサイズの詳細については、表2を参照してください。

HS/VSの符号化/トラッキング

GMSLシリアライザによるHS/VSの符号化によって、ピクセルデータの帯域幅を維持しつつ水平同期と垂直同期の信号を送信することが可能です。HS/VSの符号化をイネーブルした場合、HS/VSの各遷移につき1ビデオピクセルのデータを使用して、最大100MHzのクロックで10ビットのピクセルデータを送信することができます。それに対して、HS/VSの符号化を使用しなければ、最大100MHzのクロックで8ビットのデータ送信になります。デシリアライザはHS/VSの復号化を実行し、HS/VS信号の周期をトラッキングし、ポーティングを使用してHS/VSのビットエラーをフィルタします。HS/VSの符号化を使用する場合、デシリアライザでDBL = 0のときは、HS/VSで2 PCLKOUTサイクル以上のローのパルス時間を使用します。DBL = 1のときは、HS/VSで5 PCLKOUTサイクル以上のローのパルス時間と2 PCLKOUTサイクル以上のハイのパルス時間を使用します。ハミングコードをHS/VSの符号化とともに使用する場合は、16 PCLKOUTサイクルごとに2回を超える遷移を送信しないでください。

シリアライザでダブル入力モード(DBL = 1)を使用するときは、HSまたはVS信号のアクティブ時間 + ブランキング時間をPCLKOUTサイクルの偶数倍にする必要があります。シリアライザでDBL = 1、デシリアライザでDBL = 0のときは、シリアライザの入力で2ピクセルクロックサイクルのHS/VSが、デシリアライザのHS0/VS0およびHS1/VS1出力から1サイクルで出力されます。HS/VSの1つ目のサイクルはHS0/VS0から出力され、2つ目のサイクルはHS1/VS1から出力されます。HVEN = 0のとき、HS1とVS1は使用されません。

HS/VSのトラッキングをHS/VSの符号化なしで使用する場合は、DOUT0をHSYNCに、DOUT1をVSYNCに使用します。この場合、シリアライザ/デシリアライザでDBLの値が異なっている場合は、デシリアライザでUNEQDBLレジスタビットを1に設定します。シリアライザとデシリアライザでDBLの設定が異なり、HVEN = 0である場合は、DBL = 1の側でのみHS/VSの反転を使用します。HS/VSの符号化は、HSYNCまたはVSYNCがローのときにパケットを送信します。ピクセルクロックがアクティブでない時間中にデータパケットを送信するために入力のHSYNCおよびVSYNC信号でアクティブローの規則を使用する場合は、HS/VS反転レジスタビットを使用します。

シリアル入力

このデバイスは、100Ωツイストペアと50Ω同軸の2種類のケーブルからシリアルデータを受信することができます(75Ωのケーブルに対応したデバイスについては、お問い合わせください)。

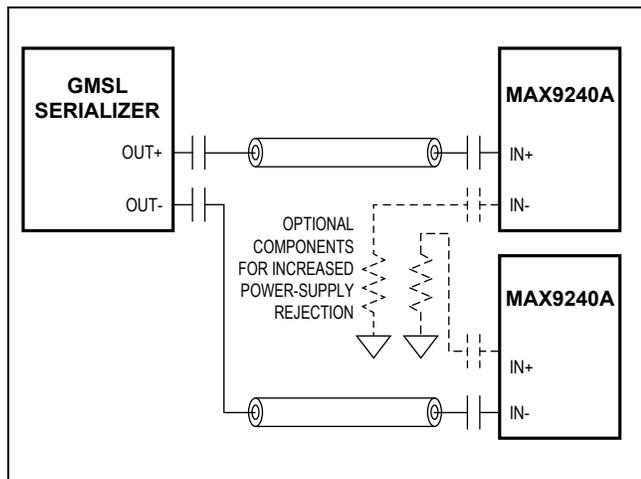


図 29. 2:1 同軸モードスプリッタ接続図

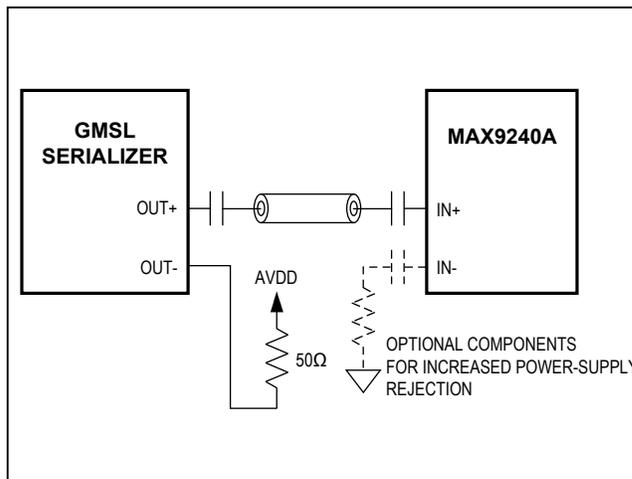


図 30. 同軸モード接続図

同軸モードスプリッタ

同軸モードでは、シリアライザのOUT+とOUT-がアクティブです。そのため、1:2スプリッタとして使用することが可能です(図29)。同軸モードで、OUT+をデシリアライザのIN+に接続します。OUT-を第2のデシリアライザのIN-に接続します。制御チャンネルのデータは、シリアライザから両方のデシリアライザおよびそれらに接続されたペリフェラルにブロードキャストされます。制御データを1つのデシリアライザに送信するには、固有のアドレスを指定します。未使用のIN_端子は、すべて未接続のままにするか、または50Ωおよびコンデンサを介してグラウンドに接続して電源電圧変動除去性能を引き上げます。OUT-を使用しない場合は、50Ωの抵抗を介してOUT-をAVDDに接続します(図30)。シリアライザおよび各デシリアライザにμCがある場合は、一度に1つのμCのみが通信可能です。競合を防止するため、一方のスプリッタ制御チャンネルリンクをディセーブルします。制御チャンネルリンクをディセーブルするには、DIS_REV_PまたはDIS_REV_Nレジスタビットを使用します。

ケーブルタイプ設定入力(CX/TP)

CX/TPはシリアル入力の起動時の状態を決定します。同軸モードでは、CX/TPはデフォルトのデバイスアドレスとともに、どちらの同軸入力もアクティブであるかも決定します(表8)。これらの機能は、該当するレジスタビットに書き込むことによって起動後に変更することができます。

スリープモード

このデシリアライザには、消費電力を削減するスリープモードが内蔵されています。デバイスは、制御チャンネルを使用したローカルμCまたはリモートμCからのコマンドによって、スリープモードに移行または終了します。スリープモードを開始するには、SLEEPビットを1に設定します。シリアライザは、SLEEP = 1に設定した後、ただちにスリープします。デシリアライザは、SLEEP = 1に設定した後、シリアルリンクがアイドル状態になるか、または8msが経過すると(いずれか早い方で)スリープします。ローカル側からウェイクアップさせるには、任意の制御チャンネルコマンドをデシリアライザに送り、チップが起動するまで5ms待つてから0をSLEEPレジスタビットに書き込み、ウェイクアップを永続化します。リモート側からウェイクアップさせるには、シリアライズをイネーブルします。デシリアライザはシリアルリンクでアクティビティを検出した後、ロックする際に自動的にそのSLEEPレジスタビットを0に設定します。

表8. 設定入力マップ

CX/TP	FUNCTION
High	Coax+ input. Device address 0x90.
Mid	Coax- input. Device address 0x92.
Low	Twisted-pair input. Device address 0x90.

このデシリアライザには、スリープモードに比べてさらに消費電力を削減するパワーダウンモードがあります。パワーダウンモードに移行するには、PWDNをローに設定します。パワーダウンモードでは、デバイスの出力はハイインピーダンスのままです。パワーダウンに移行すると、デバイスのレジスタはリセットされます。パワーダウンを終了する時点で、外部端子GPIO1/BWS、GPIO0/DBL、CX/TP、I2CSEL、LCCEN、RX/SDA/EDC、TX/SCL/ES、およびMS/HVENの状態がラッチされます。

パワーダウンモード

このデシリアライザには、スリープモードに比べてさらに消費電力を削減するパワーダウンモードがあります。パワーダウンモードに移行するには、PWDNをローに設定します。パワーダウンモードでは、デバイスの出力はハイインピーダンスのままです。パワーダウンに移行すると、デバイスのレジスタはリセットされます。パワーダウンを終了する時点で、外部端子GPIO1/BWS、GPIO0/DBL、CX/TP、I2CSEL、LCCEN、RX/SDA/EDC、TX/SCL/ES、およびMS/HVENの状態がラッチされます。

設定リンク

クロック入力が存在しない場合、制御チャンネルは設定リンクと呼ばれる低速モードで動作することができます。これによって、マイクロプロセッサはビデオリンクを起動する前に設定レジスタをプログラム可能です。内部発振器が設定リンクにクロックを供給します。設定リンクをイネーブルするには、シリアライザでCLINKEN = 1に設定します。設定リンクは、ビデオリンクがイネーブルされるまでアクティブです。SEREN = 1のとき、ビデオリンクは設定リンクを無効にしてロックを試みます。

リンクのスタートアップ手順

表9に、ビデオディスプレイアプリケーションのスタートアップ手順を示します。表10に、画像検出アプリケーションのスタートアップ手順を示します。制御チャンネルは、ビデオ

リンクまたは設定リンクの確立後に利用可能です。デシリアライザがシリアライザの後に起動した場合、制御チャンネルは起動から2ms後まで利用不可になります。

表9. ビデオディスプレイアプリケーションのスタートアップ手順

NO.	μC	シリアライザ	デシリアライザ
—	μCはシリアライザに接続されています。	すべての設定入力を設定します。いずれかの設定入力があるリンクの一方の端で利用可能で、もう一方の端で利用不可である場合は、常にその設定入力をローに接続します。	すべての設定入力を設定します。いずれかの設定入力があるリンクの一方の端で利用可能で、もう一方の端で利用不可である場合は、常にその設定入力をローに接続します。
1	起動します。	起動してデフォルト設定をロードします。	起動してデフォルト設定をロードします。
2	(自動的にイネーブルされていない場合) CLINKEN = 1に設定して設定リンクをイネーブルし、アクノリッジを取得します。リンクが確立されるまで待ちます(約3ms)。	設定リンクを確立します。	設定リンク信号にロックします。
3	デシリアライザで1つのリンク設定ビット(DRS、BWS、またはEDC)を書き込み、アクノリッジを取得します。	—	設定がデフォルト設定から変更されます (BWSまたはEDCが変更されるとロック喪失が発生する場合があります)。
4	シリアライザの対応するリンク設定ビットを書き込み、アクノリッジを取得します。	設定がデフォルト設定から変更されます。	再び設定リンク信号にロックします。
5	リンクが確立されるまで(約3ms)待った後、すべてのシリアルリンクビットが設定されるまでステップ3と4を繰り返します。	—	—
6	シリアライザ/デシリアライザで残りの設定ビットを書き込み、アクノリッジを取得します。	設定がデフォルト設定から変更されます。	設定がデフォルト設定から変更されます。
7	SEREN = 1に設定してビデオリンクをイネーブルし、アクノリッジを取得します。リンクが確立されるまで待ちます(約3ms)。	データのシリアライズを開始します。	シリアルリンク信号にロックし、データのデシリアライズを開始します。

表10. 画像検出アプリケーションのスタートアップ手順

NO.	μC	シリアライザ	デシリアライザ
—	μCはデシリアライザに接続されています。	すべての設定入力を設定します。いずれかの設定入力が入力可能な一方の端で利用可能で、もう一方の端で利用不可である場合は、常にその設定入力をローに接続します。	すべての設定入力を設定します。いずれかの設定入力が入力可能な一方の端で利用可能で、もう一方の端で利用不可である場合は、常にその設定入力をローに接続します。
1	起動します。	起動してデフォルト設定をロードします。シリアルリンクを確立します。	起動してデフォルト設定をロードします。シリアルリンク信号にロックします。
3	デシリアライザの設定ビットを書き込み、アクノリッジを取得します。	—	設定がデフォルト設定から変更されます(ロック喪失が発生する場合があります)。
4	シリアライザの設定ビットを書き込みます。ロック喪失が発生した場合、アクノリッジを取得することはできません(または、ダミーのアクノリッジを取得します)。	設定がデフォルト設定から変更されます。	再びシリアルリンク信号にロックします。
5	(自動的にイネーブルされていない場合) SEREN = 1に設定してビデオリンクをイネーブルします。ロック喪失が発生した場合、アクノリッジを取得することはできません(または、ダミーのアクノリッジを取得します)。リンクが確立されるまで待ちます(約3ms)。	データのシリアライズを開始します。	シリアルリンク信号にロックし、データのデシリアライズを開始します。

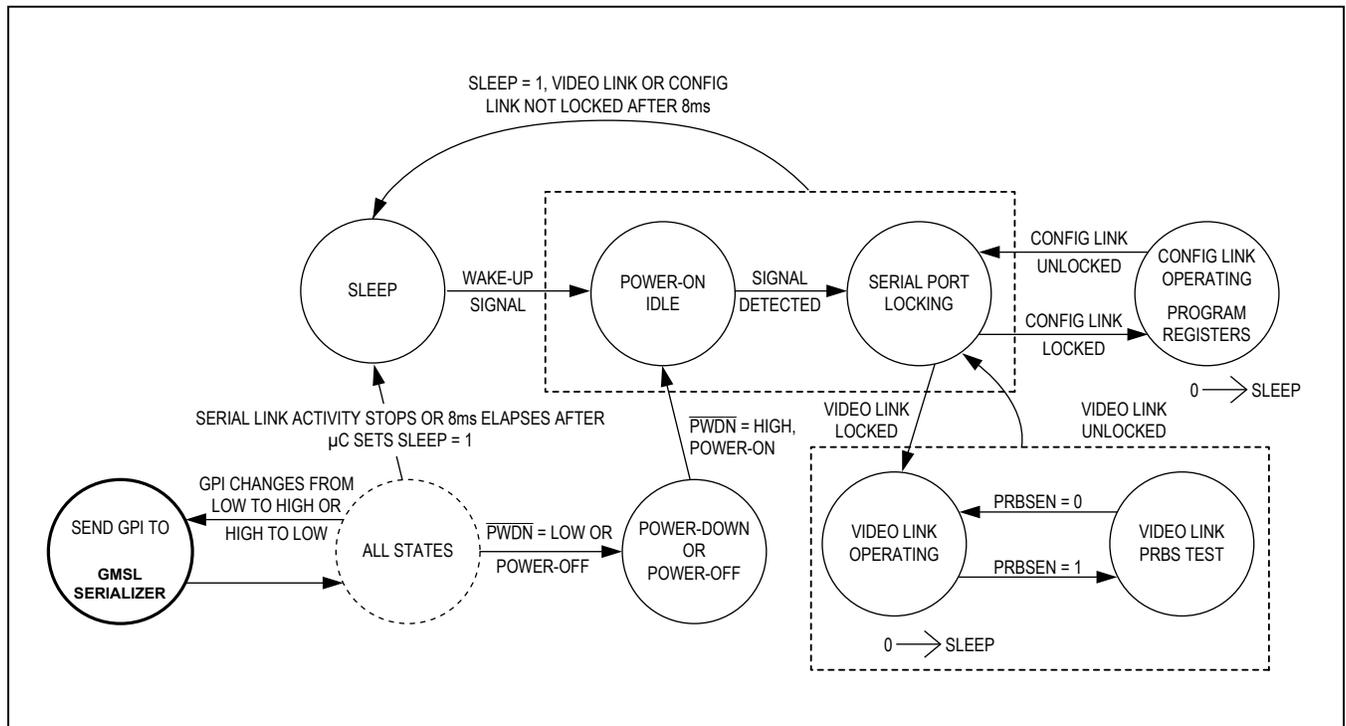


図 31. 状態図、リモートマイクロコントローラアプリケーション

アプリケーション情報

エラーチェック

このデシリアライザはシリアルリンクのエラーをチェックして、検出および訂正されたエラーの数を8ビットレジスタ DETERR (0x10)とCORRERR (0x12)に格納します。短時間に多数の8b/10bエラーが検出された場合(エラー率 > 1/4)、デシリアライザのロックが解除されてエラーカウンタが停止します。その後、デシリアライザはシリアルデータへの再ロックを試みます。ビデオリンクのロックに成功した場合、(μCを介して)それぞれのレジスタの読取りに成功した場合、またはオートエラーリセットがイネーブルされるたびに、DETERRとCORRERRがリセットされます。デシリアライザは内部PRBSテスト中に個別のPRBSレジスタを使用し、DETERRとCORRERRは0x00にリセットされます。

ERR出力

このデシリアライザは、オープンドレインのERR出力を備えています。通常動作中に検出/訂正されたエラーの数がそれぞれのエラースレッショルドを超えた場合や、PRBSテスト中に少なくとも1つのPRBSエラーが検出された場合、この出力はローにアサートされます。DETERR/CORRERRの読取り、ビデオリンクのロック、またはオートエラーリセットによってDETERRとCORRERRがリセットされるたびに、ERRはハイにデアサートされます。

オートエラーリセット

エラーをリセットするデフォルトの方式は、デシリアライザの各エラーレジスタ(0x10、0x12、および0x13)を読み取ることです。オートエラーリセットは、ERRがローになってから約1μs後にエラーカウンタDETERR/CORRERRとERR出力をクリアします。オートエラーリセットは、起動時にはディセーブルされています。オートエラーリセットは、AUTORST (0x08、D2)を介してイネーブルします。デバイスがPRBSテストモードのときは、オートエラーリセットは実行されません。

デュアルμC制御

通常、システムには制御チャネルを実行するμCが1つ存在し、ビデオディスプレイアプリケーションではシリアライザ側、画像検出アプリケーションではデシリアライザ側に位置します。とはいえ、μCが双方に1つずつ同時に存在し、制御チャネルを交互に実行する場合があります。この場合は、各μCがシリアライザやデシリアライザ、すべてのペリフェラルデバイスと通信可能です。

両方のμCが同時に制御チャネルを使用しようとした場合は、競合が発生します。こうした競合は、ユーザーが上位のプロトコルを実装することで防止する必要があります。さらに、制御チャネルでは、リンクの両側にあるI²Cマスター間で調停が行われません。競合によって通信が失敗すると、アクノリッジフレームが生成されません。シリアルリンクでの通信が不要な場合、μCはシリアライザ/デシリアライザのFWDCENビットとREVCCENビット(0x04、D[1:0])を使用して順方向と逆方向の制御チャネルをディセーブルすることができます。シリアルリンクでの通信が停止され、μC間で競合が発生することはありません。

画像検出アプリケーションでデュアルμCを使用する一例として、シリアライザがスリープモードで、デシリアライザ側のμCによるウェイクアップを待つという場合があります。ウェイクアップ後は、シリアライザ側のμCがシリアライザのレジスタのマスター制御を担当します。

クロック周波数の変更

シリアルリンクのイネーブルは、ビデオクロック(f_{PCLKOUT})と制御チャネルクロック(f_{UART}/f_{I2C})が安定した後に行うことが推奨されます。クロック周波数を変更する際は、5μsの間ビデオクロックを停止し、新しい周波数でクロックを適用してから、シリアルリンクを再始動するか、またはSERENをトグルします。新しい周波数がグリッチなくただちに安定する場合は、クロック周波数のオンザフライ変更が可能です。逆方向制御チャネルは、シリアルリンクの開始または停止後350μsの間、利用することができません。UARTインタフェースを使用する際は、デバイスがUARTの同期パターンを確実に認識できるように、f_{UART}のオンザフライ変更で1回の倍率を3.5までに制限します。たとえば、UART周波数を1Mbpsから100kbpsに引き下げるときは、まずデータを333kbpsで送信し、次に100kbpsで送信することによって、それぞれ3と3.333の低下率にします。

同期喪失の高速検出

リンク品質の尺度として、同期喪失からの回復時間があります。ホストは、デシリアライザのLOCK出力をGPI入力に接続することによって、ロック喪失の通知をすばやく受け取ることができます。タッチスクリーンコントローラなどの他のソースでGPI入力を使用している場合、μCは同期喪失による割込みと通常の割込みを識別するルーチンを実装することができます。逆方向制御チャネルの通信はアクティブな順方向リンクの動作を必要とせず、GMSLリンクのLOCKステータスを正確に追跡します。LOCKはビデオリンクについてのみアサートされ、設定リンクについてはアサートされません。

フレーム同期の供給(カメラアプリケーション)

GPI/GPOは、ECUからのフレーム同期信号を必要とするカメラアプリケーション(サラウンドビューシステムなど)にシンプルなソリューションを提供します。ECUのフレーム同期信号をGPI入力に接続し、GPO出力をカメラのフレーム同期入力に接続します。GPI/GPOの遅延は275 μ s (typ)です。複数のGPI/GPOチャンネル間のスキューは115 μ s (max)です。低スキューの信号が必要な場合は、カメラのフレーム同期入力をGMSLデシリアライザのGPIOの1つに接続し、I²Cのブロードキャスト書き込みコマンドを使用してGPIO出力の状態を変更します。この場合、スキューが1.5 μ s以下になります。

デバイスアドレスのソフトウェア設定

シリアライザとデシリアライザの両方が、設定可能なデバイスアドレスを備えています。これによって、複数のGMSLデバイス(およびI²Cペリフェラル)が同じ制御チャンネル上で共存可能です。シリアライザのデバイスアドレスは各デバイスのレジスタ0x00にあり、デシリアライザのデバイスアドレスは各デバイスのレジスタ0x01にあります。デバイスアドレスを変更するには、まずアドレスを変更するデバイスに書き込みを行います(シリアライザのデバイスアドレスを変更する場合はシリアライザのレジスタ0x00、デシリアライザのデバイスアドレスを変更する場合はデシリアライザのレジスタ0x01)。次に、同じアドレスをもう一方のデバイスの対応するレジスタに書き込みます(シリアライザのデバイスアドレスを変更する場合はデシリアライザのレジスタ0x00、デシリアライザのデバイスアドレスを変更する場合はシリアライザのレジスタ0x01)。

3レベル設定入力

CX/TPは、シリアルインタフェースの設定および起動時のデフォルトを制御する3レベル入力です。CX/TPは、ハイレベルを設定する場合はプルアップ抵抗を介してIOVDDに接続し、ローレベルを設定する場合はプルダウン抵抗を介してGNDに接続し、ミッドレベルを設定する場合は

IOVDD/2に接続するか、またはオープンにします。デジタル制御の場合は、3ステートのロジックを使用して3レベルのロジック入力を駆動します。

設定のブロック

このデシリアライザは、レジスタに対する変更をブロックすることができます。すべてのレジスタを読み取り専用にするには、CFGBLOCKをセットします。一度セットすると、電源が除去されるか、またはPWRDNがローになるまでレジスタはブロックされたままです。

他のGMSLデバイスとの互換性

MAX9240Aデシリアライザは、シリアライザのMAX9271/MAX9273と組み合わせるように設計されていますが、任意のGMSLシリアライザと相互運用可能です。動作上の制限事項については、[表11](#)を参照してください。

GPIO

このデシリアライザでは、設定入力として使用していない場合、2つのオープンドレインGPIOを利用可能です。GPIO1OUTとGPIO0OUT (0x0E、D3とD1)でGPIOの出力の状態を設定します。GPIO出力ビットを0に設定すると出力がローに駆動され、ビットを1に設定すると出力が駆動されないままになり、内蔵/外付けプルアップ抵抗によってハイに駆動されます。GPIO入力バッファは常にインエーブルです。入力の状態は、GPIO1およびGPIO0 (0x0E、D2およびD0)に格納されます。GPIO1/GPIO0を入力として使用する際は、GPIO1OUT/GPIO0OUTを1に設定します。

スタガードパラレル出力

このデシリアライザは、パラレルデータ出力をスタガー(時差出力)させてEMIとノイズを低減します。出力のスタガーによって、電源の過渡要件も軽減されます。デフォルトでは、デシリアライザは[表12](#)に基づいて出力をスタガーさせます。出力のスタガーをディセーブルするには、DISSTAGビット(0x08、D3)を使用します。

表11. MAX9240Aの機能上の互換性

MAX9240Aの機能	GMSLデシリアライザ
HSYNC/VSYNCの符号化	シリアライザで機能がサポートされていない場合、デシリアライザでオフにする必要があります。
ハミングコードによるエラー訂正	シリアライザで機能がサポートされていない場合、デシリアライザでオフにする必要があります。
I ² C-I ² C	シリアライザで機能がサポートされていない場合、UART-I ² CまたはUART-UARTを使用する必要があります。
CRCによるエラー訂正	シリアライザで機能がサポートされていない場合、デシリアライザでオフにする必要があります。
ダブル出力	シリアライザで機能がサポートされていない場合、データは出力周波数の1/2の速度で1つのワードとして入力されます。
同軸	デシリアライザで機能がサポートされていない場合、使用しないシリアル出力を直列の200nFと50 Ω を介してAVDDに接続し、逆方向制御チャンネルの振幅を100mVに設定する必要があります。
I ² Sの符号化	シリアライザで機能がサポートされている場合、シリアライザでI ² Sをディセーブルする必要があります。

表12. スタガード出力の遅延

OUTPUT	OUTPUT DELAY RELATIVE TO DOUT0 (ns)	
	DISSTAG = 0	DISSTAG = 1
DOUT0–DOUT5, DOUT21, DOUT22	0	0
DOUT6–DOUT10, DOUT23, DOUT24	0.5	0
DOUT11–DOUT15	1	0
DOUT16–DOUT20	1.5	0
PCLKOUT	0.75	0

表13. ダブル機能設定

LCCEN	GPIO0/DBL FUNCTION	GPIO1/BWS FUNCTION	MS/HVEN FUNCTION	RX/SDA/EDC FUNCTION	TX/SCL/ES FUNCTION
High	Functions as GPIO	Functions as GPIO	MS input (low = base mode, high = bypass mode)	UART/I ² C input/output	UART/I ² C input/output
Low	DBL input (low = single input, high = double input)	BWS input (low = 24-bit mode, high = 32-bit mode)	HVEN input (low = HS/VS encoding disabled, high = HS/VS encoding enabled)	EDC input (low = error detection/ correction disabled, high = error detection/ correction enabled)	ES input (low = valid DOUT_ on rising edge of PCLKOUT, high = valid DOUT_ on falling edge of PCLKOUT)

表13a. ラインフォルトのマッピング

REGISTER ADDRESS	BITS	NAME	VALUE	LINE FAULT TYPE
0x14	D[3:2]	LFNEG	00	Negative cable wire shorted to supply voltage
			01	Negative cable wire shorted to ground
			10	Normal operation
			11	Negative cable wire disconnected
	D[1:0]	LFPOS	00	Positive cable wire shorted to supply voltage
			01	Positive cable wire shorted to ground
			10	Normal operation
			11	Positive cable wire disconnected

ローカル制御チャンネルイネーブル(LCCEN)

このデシリアライザは、 μ Cが接続されていないときにデバイスを限定的に設定するための入力を用意しています。ローカル制御チャンネルをディセーブルしてダブル機能設定入力をイネーブルするには、起動時にLCCEN = ローに接続します(表13)。すべての入力設定の状態が起動時にラッチされます。

ラインフォルト検出

このデシリアライザのラインフォルト検出器は、システムフォルト診断のために、地絡、天絡、オープンリンクなどのライン障害を監視します。図2aは、必要な外付け抵抗

の接続を示します。ラインフォルトが検出されると $\overline{\text{LFLT}}$ がローになり、ラインが正常に戻ると $\overline{\text{LFLT}}$ はハイになります。ラインフォルトの障害タイプは、デシリアライザの0x14 D[3:0]に格納されます。 $\overline{\text{LFLT}}$ を μ Cでフィルタして、一時的なグラウンドシフトに対する検出器の感度を引き下げます。フォルト検出器のスレッショルド電圧は、デシリアライザのグラウンド基準です。追加の受動部品によってケーブルのDCレベルが設定されます(図2a)。シリアライザとGMSLデシリアライザのグラウンドが異なる場合、通常動作時のリンクDC電圧が変動してフォルト検出スレッショルドの1つを超える可能性があります。

フォルト検出回路には、天絡に対処することができる電力定格の抵抗を選択します。同軸モードでは、未使用のラインフォルト入力を未接続のままにします。信号線間短絡を検出する場合は、アプリケーションノート4709「MAX9259のGMSLラインフォルト検出」を参照してください。表13aに、ラインフォルトの各タイプのマッピングを示します。

内蔵入力プルダウン

3レベル入力以外の制御および設定入力は、GNDへのプルダウン抵抗を内蔵しています。外付けのプルダウン抵抗は不要です。

I²C/UARTのプルアップ抵抗の選択

I²CとUARTのオープンドレインのラインは、ロジックハイレベルを提供するためにプルアップ抵抗を必要とします。消費電力と速度はトレードオフの関係にあるため、プルアップ抵抗値を選択する際に妥協が必要になることがあります。バスに接続されたすべてのデバイスによって、デバイスが動作していないときでもある程度の容量が付加されます。I²Cでは、最大400kbpsのデータレートで定義されるファーストモードについて、立上り時間(30%から70%)を300nsと規定しています(詳細については、「[AC Electrical Characteristics \(ACの電氣的特性\)](#)」の表に記載されたI²Cの仕様を参照)。ファーストモードの立上り時間の要件を満たすため、立上り時間 $t_R = 0.85 \times R_{PULLUP} \times C_{BUS} < 300ns$ となるプルアップ抵抗を選択します。遷移時間が過度に長くなると、波形は認定されません。デシリアライザは、最大1Mbps (UART-I²Cモード)と400kbps (I²C-I²Cモード)のI²C/UART速度をサポートしています。

AC結合

AC結合は、最大でコンデンサの定格電圧までのDC電圧からレシーバを絶縁します。リンクを正常に動作させ、ケーブルのどちらかの端が天絡された場合に保護を提供するには、シリアルライザの出力とデシリアライザの入りにコンデンサが必要です。AC結合は、低周波のグラウンドシフトや低周波のコモンモードノイズを遮断します。

AC結合コンデンサの選択

電圧ドループと送信されるシンボルのDSV (デジタル総和変動)が原因で、信号の遷移はさまざまな電圧レベルから開始されます。遷移時間は固定されているため、信号の遷移がさまざまな電圧レベルから開始されるとタイミングジッタが発生します。AC結合されたリンクの時定数を、ドループとジッタが許容可能なレベルまで減少するように選択する必要があります。AC結合されたリンク用のRCネットワークは、CML/同軸レシーバの終端抵抗(R_{TR})、CML/同軸ドライバの終端抵抗(R_{TD})、および直列AC結合コンデンサ(C)で構成されます。同一の値の直列コンデンサ4つ

によるRC時定数は、 $(C \times (R_{TD} + R_{TR}))/4$ です。R_{TD}とR_{TR}は、伝送ラインのインピーダンスと整合させる必要があります(通常は100Ω差動と50Ωシングルエンド)。したがって、システムの時定数を変更する要素として残るのはコンデンサの選択です。より低速の逆方向制御チャネルの信号を通過させるために、天絡に耐える十分な定格電圧を備えた、0.22μF以上の高周波表面実装セラミックコンデンサを使用します。3.2mm x 1.6mmより小さいケースサイズのコンデンサを使用して、高速信号に対する寄生の影響を低減します。

電源回路とバイパス処理

このデシリアライザは、1.7V~1.9VのAVDDとDVDDを使用します。シリアル入力以外のすべての入力と出力は、1.7V~3.6VのIOVDDから電力を取得し、入力レベルと出力レベルはIOVDDに比例して増減します。電源電圧の適切なバイパスは、高周波回路の安定化に不可欠です。GPI-GPO間の遅延は0.35ms (max)です。GPI伝送間の時間を0.35ms以上に維持します。

電源の表

「Electrical Characteristics (電氣的特性)」の表に示された消費電流は、AVDD、DVDD、およびIOVDDからの電流の合計です。各電源からの標準電流を表14に示します。

ケーブルおよびコネクタ

CML用の相互接続は、標準で100Ωの差動インピーダンスを備えています。差動インピーダンスが整合されたケーブルおよびコネクタを使用して、インピーダンスの不連続性を最小限に抑えます。同軸ケーブルは、標準で50Ωの特性インピーダンスを備えています(75Ωの動作については、お問い合わせください)。表15に、GMSLリンクで使用される推奨ケーブルおよびコネクタを示します。

表14. 標準消費電流(ワーストケースの入力パターンを使用)

PCLK (MHz)	AVDD (mA)	DVDD (mA)	IOVDD (mA)
25	25.1	9.2	10.3
50	33.3	13.7	13.3

表15. GMSLの推奨コネクタおよびケーブル

SUPPLIER	CONNECTOR	CABLE	TYPE
Rosenberger	59S2AX-400A5-Y	RG174	Coax
JAE	MX38-FF	A-BW-Lxxxxx	STP
Nissei	GT11L-2S	F-2WME AWG28	STP
Rosenberger	D4S10A-40ML5-Z	Dacar 538	STP

基板レイアウト

LVC MOSロジック信号とCML/同軸の高速信号を分離してクロストークを防止します。電源、グランド、CML/同軸、およびLVC MOSロジック信号の各層が独立している4層PCBを使用します。PCBトレースを互いに近付けてレイアウトし、差動特性インピーダンスが 100Ω になるようにします。トレースのサイズは、使用するトレースの種類(マイクロストリップまたはストリップライン)によって異なります。 50Ω のPCBトレース2本を接近させた場合、差動インピーダンスが 100Ω にならないことに注意してください。トレースが互いに接近しているとインピーダンスは低下します。同軸を駆動する際は、シングルエンド出力に 50Ω のトレースを使用します。

差動CMLチャンネル用のPCBトレースは平行に配線して、差動特性インピーダンスを維持します。ビアは使用しません。差動ペアを構成するPCBトレースの長さを等しくして、差動ペア内におけるスキューを回避します。

ESD保護

ESD耐性の定格は、ヒューマンボディモデル、IEC 61000-4-2、およびISO 10605に準拠しています。ISO 10605およびIEC 61000-4-2規格は、電子装置のESD耐性を規定しています。シリアルリンク入力は、ISO 10605のESD保護とIEC 61000-4-2のESD保護に対して定格が定められています。すべての端子は、ヒューマンボディモデルに対してテストされています。ヒューマンボディモデルの放電コンポーネントは、 $C_S = 100\text{pF}$ と $R_D = 1.5\text{k}\Omega$ です(図32)。IEC 61000-4-2の放電コンポーネントは、 $C_S = 150\text{pF}$ と $R_D = 330\Omega$ です(図33)。ISO 10605の放電コンポーネントは、 $C_S = 330\text{pF}$ と $R_D = 2\text{k}\Omega$ です(図34)。

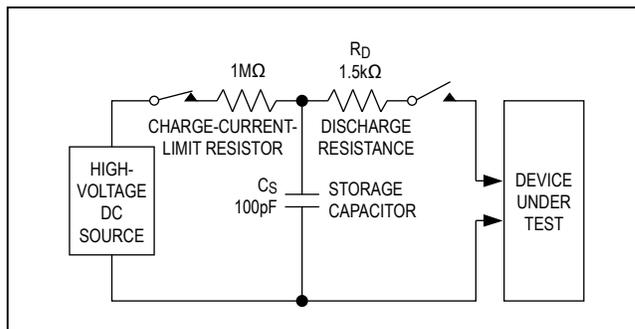


図 32. ヒューマンボディモデル ESD テスト回路

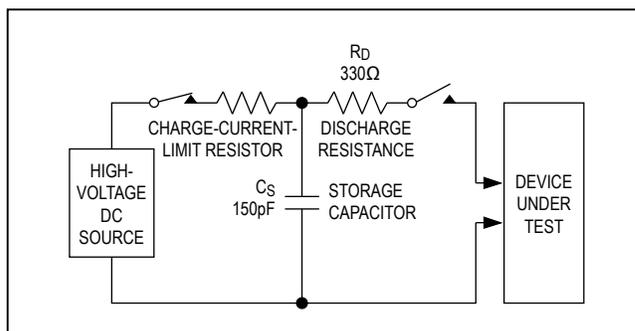


図 33. IEC 61000-4-2 接触放電 ESD テスト回路

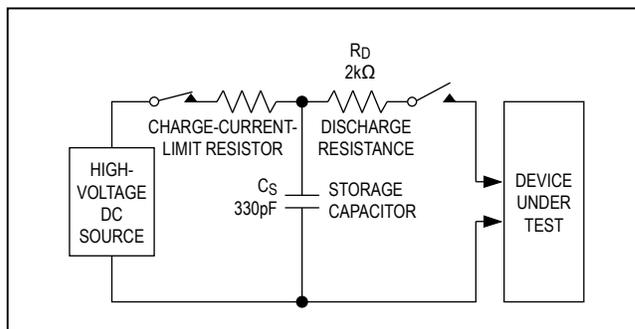


図 34. ISO 10605 接触放電 ESD テスト回路

表16. レジスタ表(表1を参照)

REGISTER ADDRESS	BITS	NAME	VALUE	FUNCTION	DEFAULT VALUE
0x00	D[7:1]	SERID	XXXXXXX	Serializer device address.	1000000
	D0	—	0	Reserved.	0
0x01	D[7:1]	DESID	XXXXXXX	Deserializer device address. Default address is determined by the state of the CX/TP input (Table 8).	1001000, 1001001
	D0	CFGBLOCK	0 1	Normal operation. Registers 0x00 to 0x1F are read only.	0
0x02	D[7:6]	SS	00	No spread spectrum.	00
			01	±2% spread spectrum.	
			10	No spread spectrum.	
			11	±4% spread spectrum.	
	D[5:4]	—	01	Reserved.	01
	D[3:2]	PRNG	00	12.5MHz to 25MHz pixel clock.	11
			01	25MHz to 50MHz pixel clock.	
			10	Do not use.	
			11	Automatically detect the pixel clock range.	
	D[1:0]	SRNG	00	0.5Gbps to 1Gbps serial-data rate.	11
01			1Gbps to 1.5Gbps serial-data rate.		
10			Automatically detect serial-data rate.		
11			Automatically detect serial-data rate.		
0x03	D[7:6]	AUTOFM	00	Calibrate spread-modulation rate only once after locking.	00
			01	Calibrate spread-modulation rate every 2ms after locking.	
			10	Calibrate spread-modulation rate every 16ms after locking.	
			11	Calibrate spread-modulation rate every 256ms after locking.	
	D5	—	0	Reserved.	0
	D[4:0]	SDIV	00000 XXXXX	Autocalibrate sawtooth divider. Manual SDIV setting. See the <i>Manual Programming of the Spread-Spectrum Divider</i> section.	00000

表16. レジスタ表(表1を参照) (続き)

REGISTER ADDRESS	BITS	NAME	VALUE	FUNCTION	DEFAULT VALUE
0x04	D7	LOCKED	0	LOCK output is low.	0 (read only)
			1	LOCK output is high.	
	D6	OUTENB	0	Enable outputs.	0
			1	Disable outputs.	
	D5	PRBSEN	0	Disable PRBS test.	0
			1	Enable PRBS test.	
	D4	SLEEP	0	Normal mode.	0
			1	Activate sleep mode.	
	D[3:2]	INTTYPE	00	Local control channel uses I ² C when I ² CSEL = 0.	01
			01	Local control channel uses UART when I ² CSEL = 0.	
			10, 11	Local control channel disabled.	
	D1	REVCCEN	0	Disable reverse control channel to serializer (sending).	1
			1	Enable reverse control channel to serializer (sending).	
	D0	FWCCEN	0	Disable forward control channel from serializer (receiving).	1
1			Enable forward control channel from serializer (receiving).		
0x05	D7	I ² CMETHOD	0	I ² C conversion sends the register address when converting UART to I ² C.	0
			1	Disable sending of I ² C register address when converting UART to I ² C (command-byte-only mode).	
	D6	DCS	0	Normal parallel output driver current.	0
			1	Boosted parallel output driver current.	
	D5	HVTRMODE	0	Partial periodic HS/VS tracking.	1
			1	Full periodic HS/VS tracking.	
	D4	ENEQ	0	Equalizer disabled. Power-up default.	0
			1	Equalizer enabled.	
	D[3:0]	EQTUNE	0000	2.1dB equalizer-boost gain.	1001
			0001	2.8dB equalizer-boost gain.	
			0010	3.4dB equalizer-boost gain.	
			0011	4.2dB equalizer-boost gain.	
			0100	5.2dB equalizer-boost gain.	
			0101	6.2dB equalizer-boost gain.	
			0110	7dB equalizer-boost gain.	
			0111	8.2dB equalizer-boost gain.	
1000			9.4dB equalizer-boost gain.		
1001			10.7dB equalizer-boost gain. Power-up default.		
1010			11.7dB equalizer-boost gain.		
1011			13dB equalizer-boost gain.		
11XX	Do not use.				

表16. レジスタ表(表1を参照) (続き)

REGISTER ADDRESS	BITS	NAME	VALUE	FUNCTION	DEFAULT VALUE
0x06	D[7:0]	—	00000010	Reserved.	00000010
0x07	D7	DBL	0	Single-input mode. Power-up default when LCCEN = high or GPIO0/DBL = low.	0, 1
			1	Double-input mode. Power-up default when LCCEN = low and GPIO0/DBL = high.	
	D6	DRS	0	High data-rate mode.	0
			1	Low data-rate mode.	
	D5	BWS	0	24-bit mode. Power-up default when LCCEN = high or GPIO1/BWS = low.	0, 1
			1	32-bit mode. Power-up default when LCCEN = low and GPIO1/BWS = high.	
	D4	ES	0	Output data valid on rising edge of PCLKOUT. Power-up default when LCCEN = high or TX/SCL/ES = low. Do not change this value while the pixel clock is running.	0, 1
			1	Output data valid on falling edge of PCLKOUT. Power-up default when LCCEN = low and TX/SCL/ES = high. Do not change this value while the pixel clock is running.	
	D3	HVTRACK	0	HS/VS tracking disabled. Power-up default when LCCEN = high or MS/HVEN = low.	0, 1
			1	HS/VS tracking enabled. Power-up default when LCCEN = low and MS/HVEN = high.	
	D2	HVEN	0	HS/VS encoding disabled. Power-up default when LCCEN = high or MS/HVEN = low.	0, 1
			1	HS/VS encoding enabled. Power-up default when LCCEN = low and MS/HVEN = high.	
	D[1:0]	EDC	00	1-bit parity error detection (GMSL compatible). Power-up default when LCCEN = high or RX/SDA/EDC = low.	00, 10
			01	6-bit CRC error detection.	
			10	6-bit hamming code (single-bit error correct, double-bit error detect) and 16-word interleaving. Power-up default when LCCEN = low and RX/SDA/EDC = high.	
			11	Do not use.	

表16. レジスタ表(表1を参照) (続き)

REGISTER ADDRESS	BITS	NAME	VALUE	FUNCTION	DEFAULT VALUE
0x08	D7	INVVS	0	No VS or DOUT0 inversion.	0
			1	Invert VS when HVEN = 1. Invert DOUT0 when HVEN = 0. Do not use if DBL = 0 in the deserializer and DBL = 1 in the serializer.	
	D6	INVHS	0	No HS or DOUT1 inversion.	0
			1	Invert HS when HVEN = 1. Invert DOUT1 when HVEN = 0. Do not use if DBL = 0 in the deserializer and DBL = 1 in the serializer.	
	D5	—	0	Reserved.	0
	D4	UNEQDBL	0	Serializer DBL is not the same as deserializer.	0
			1	Serializer DBL same as deserializer (set to 1 only when HVEN = 0 and HVTRACK = 1).	
	D3	DISSTAG	0	Enable staggered outputs.	0
			1	Disable staggered outputs.	
	D2	AUTORST	0	Do not automatically reset error registers and outputs.	0
			1	Automatically reset DETERR and CORRERR registers 1Fs after \overline{ERR} asserts.	
	D[1:0]	ERRSEL	00	\overline{ERR} asserts when DETERR is larger than DETTHR.	00
01			\overline{ERR} asserts when CORRERR is larger than CORRTHR.		
10, 11			\overline{ERR} asserts when DETERR is larger than DETTHR or CORRERR is larger than CORRTHR.		
0x09	D[7:1]	I2CSRCA	XXXXXXX	I ² C address translator source A.	0000000
	D0	—	0	Reserved.	0
0x0A	D[7:1]	I2CDSTA	XXXXXXX	I ² C address translator destination A.	0000000
	D0	—	0	Reserved.	0
0x0B	D[7:1]	I2CSRCA	XXXXXXX	I ² C address translator source B.	0000000
	D0	—	0	Reserved.	0
0x0C	D[7:1]	I2CDSTB	XXXXXXX	I ² C address translator destination B.	0000000
	D0	—	0	Reserved.	0

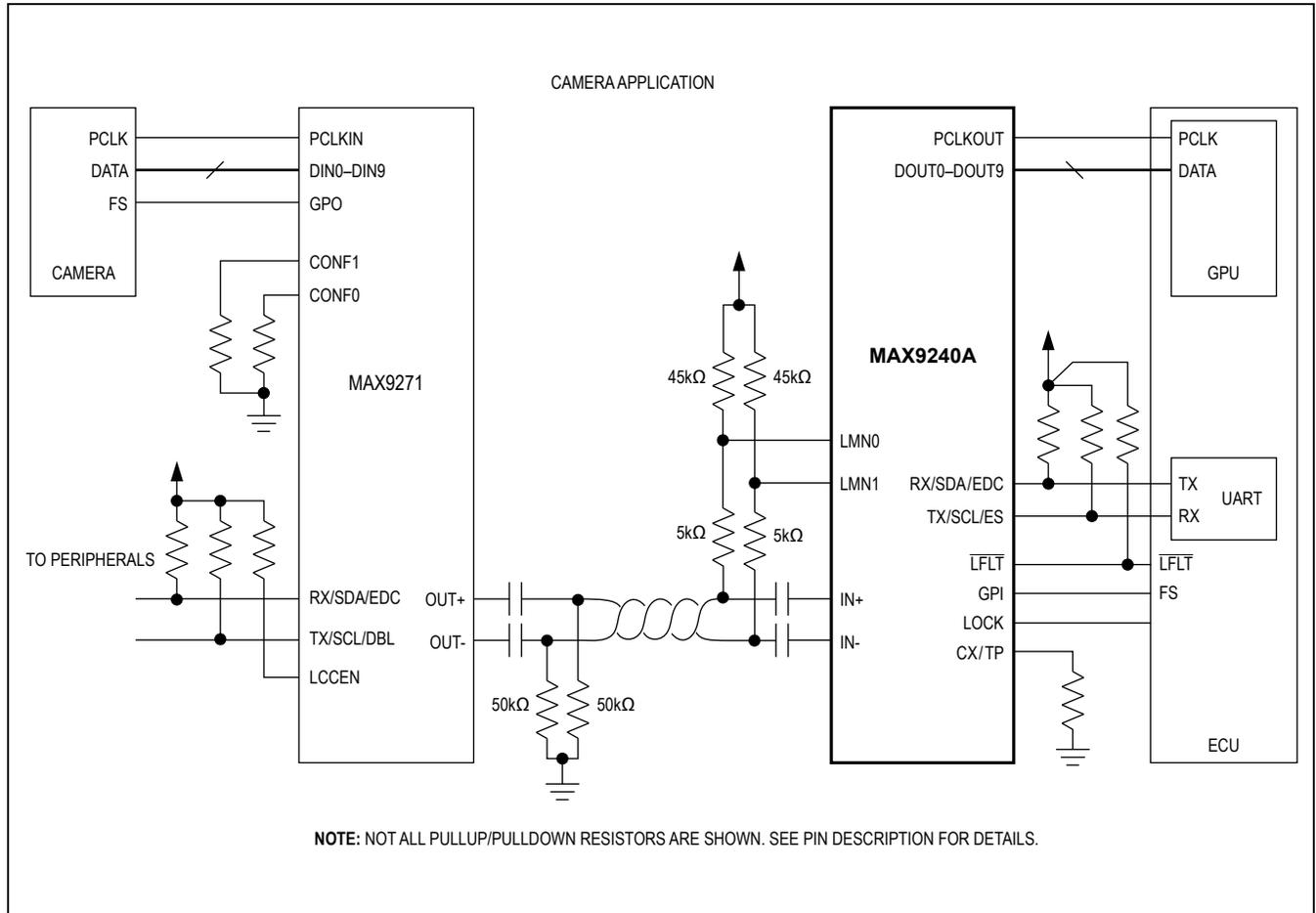
表16. レジスタ表(表1を参照) (続き)

REGISTER ADDRESS	BITS	NAME	VALUE	FUNCTION	DEFAULT VALUE
0x0D	D7	I2CLOCACK	0	Acknowledge not generated when forward channel is not available.	1
			1	I ² C-to-I ² C slave generates local acknowledge when forward channel is not available.	
	D[6:5]	I2CSLVSH	00	352ns/117ns I ² C setup/hold time.	01
			01	469ns/234ns I ² C setup/hold time.	
			10	938ns/352ns I ² C setup/hold time.	
			11	1046ns/469ns I ² C setup/hold time.	
	D[4:2]	I2CMSTBT	000	8.47kbps (typ) I ² C-to-I ² C master bit-rate setting.	101
			001	28.3kbps (typ) I ² C-to-I ² C master bit-rate setting.	
			010	84.7kbps (typ) I ² C-to-I ² C master bit-rate setting.	
			011	105kbps (typ) I ² C-to-I ² C master bit-rate setting.	
			100	173kbps (typ) I ² C-to-I ² C master bit-rate setting.	
			101	339kbps (typ) I ² C-to-I ² C master bit-rate setting.	
			110	533kbps (typ) I ² C-to-I ² C master bit-rate setting.	
			111	837kbps (typ) I ² C-to-I ² C master bit-rate setting.	
	D[1:0]	I2CSLVTO	00	64μs (typ) I ² C-to-I ² C slave remote timeout.	10
			01	256μs (typ) I ² C-to-I ² C slave remote timeout.	
10			1024μs (typ) I ² C-to-I ² C slave remote timeout.		
11			No I ² C-to-I ² C slave remote timeout.		
0x0E	D[7:6]	—	01	Reserved.	01
	D5	GPIEN	0	Disable GPI-to-GPO signal transmission to serializer.	1
			1	Enable GPI-to-GPO signal transmission to serializer.	
	D4	GPIIN	0	GPI input is low.	0 (read only)
			1	GPI input is high.	
	D3	GPIO1OUT	0	Set GPIO1 to low.	1
			1	Set GPIO1 to high.	
	D2	GPIO1IN	0	GPIO1 input is low.	0 (read only)
			1	GPIO1 input is high.	
	D1	GPIO0OUT	0	Set GPIO0 to low.	1
			1	Set GPIO0 to high.	
	D0	GPIO0IN	0	GPIO0 input is low.	0 (read only)
1			GPIO0 input is high.		
0x0F	D[7:0]	DETTTHR	XXXXXXXX	Error threshold for detected errors.	00000000
0x10	D[7:0]	DETErr	XXXXXXXX	Detected error counter.	00000000 (read only)
0x11	D[7:0]	CORRTHR	XXXXXXXX	Error threshold for corrected errors.	00000000
0x12	D[7:0]	CORRERR	XXXXXXXX	Corrected error counter.	00000000 (read only)
0x13	D[7:0]	PRBSERR	XXXXXXXX	PRBS error counter.	00000000 (read only)

表16. レジスタ表(表1を参照) (続き)

REGISTER ADDRESS	BITS	NAME	VALUE	FUNCTION	DEFAULT VALUE
0x14	D7	PRBSOK	0	PRBS test not completed.	0 (read only)
			1	PRBS test completed with success.	
	D[6:4]	—	000	Reserved.	000 (read only)
	D[3:2]	LFNEG	00	Negative cable wire shorted to supply voltage	10 (read only)
			01	Negative cable wire shorted to ground	
			10	Normal operation	
			11	Negative cable wire disconnected	
	D[1:0]	LFPOS	00	Positive cable wire shorted to supply voltage	10 (read only)
			01	Positive cable wire shorted to ground	
			10	Normal operation	
			11	Positive cable wire disconnected	
	0x15	D[7:0]	—	00100XXX	Reserved.
0x16	D[7:0]	—	00110000	Reserved.	00110000
0x17	D[7:0]	—	01010100	Reserved.	01010100
0x18	D[7:0]	—	00110000	Reserved.	00110000
0x19	D[7:0]	—	11001000	Reserved.	11001000
0x1A	D[7:0]	—	XXXXXXXX	Reserved.	00000000 (read only)
0x1B	D[7:0]	—	XXXXXXXX	Reserved.	00000000 (read only)
0x1C	D[7:0]	—	XXXXXXXX	Reserved.	00000000 (read only)
0x1D	D7	CXTP	0	CX/TP input is low.	0 (read only)
			1	CX/TP input is high.	
	D6	CXSEL	0	CXSEL is 0.	0 (read only)
			1	CXSEL is 1.	
	D5	I2CSEL	0	Input is low.	0 (read only)
			1	Input is high.	
	D4	LCCEN	0	Input is low.	0 (read only)
1			Input is high.		
D[3:0]	—	XXXX	Reserved.	0000 (read only)	
0x1E	D[7:0]	ID	00001100	Device identifier (MAX9240A = 0x0C).	00001100 (read only)
0x1F	D[7:5]	—	000	Reserved.	000 (read only)
	D4	CAPS	0	Not HDCP capable.	0 (read only)
			1	HDCP capable.	
D[3:0]	REVISION	XXXX	Device revision.	(read only)	

標準アプリケーション回路



型番

PART	TEMP RANGE	PIN-PACKAGE
MAX9240AGTM+	-40°C to +105°C	48 TQFN-EP*
MAX9240AGTM/V+**	-40°C to +105°C	48 TQFN-EP*

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。
 /Vは車載認定製品を表します。
 *EP = エクスポーズドパッド。
 **開発中の製品。出荷時期についてはお問い合わせください。

チップ情報

PROCESS: BiCMOS

パッケージ

最新のパッケージ図面情報およびランドパターン(フットプリント)は www.maximintegrated.com/jp/packaging を参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点に注意してください。

パッケージタイプ	パッケージコード	外形図 No.	ランドパターン No.
48 TQFN-EP	T4877+4	21-0144	90-0130

MAX9240A

6.25MHz~100MHz、25ビットGMSLデシリアライザ、
同軸またはSTPケーブル用、ラインフォルト検出付き

改訂履歴

版数	改訂日	説明	改訂ページ
0	3/14	初版	—



マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maxim Integratedは完全にMaxim Integrated製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maxim Integratedは随時予告なく回路及び仕様を変更する権利を留保します。「Electrical Characteristics (電気的特性)」の表に示すパラメータ値 (min、maxの各制限値)は、このデータシートの他の場所で引用している値より優先されます。

Maxim Integrated 160 Rio Robles, San Jose, CA 95134 USA 1-408-601-1000

51