

フローズルーピン配置の クワッドLVDSラインドライバ

概要

MAX9123は、高データ速度、低電力及び低ノイズを必要とするアプリケーションに最適なクワッド低電圧差動信号(LVDS)差動ラインドライバです。MAX9123は、インピーダンスが約100Ωに調整された媒体を通じて最大800Mbps(400MHz)の速度でデータを伝送することが保証されています。伝送媒体としては回路基板トレース、バックプレーン又はケーブルが可能です。

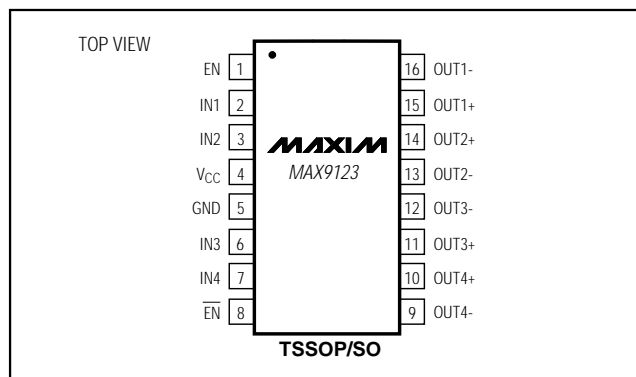
MAX9123は、4つのLVTTTL/LVCMOS入力レベルを受付け、それらをLVDS出力信号に変換します。さらに、2つのイネーブル入力(EN及びEN)を通じて4つの出力全てをハイインピーダンス状態に設定することができます。これにより、ハイインピーダンス中にデバイスを超低電力状態(16mW typ)に設定することができます。イネーブルは4つのトランスミッタ全てに共通です。出力はANSI TIA/EIA-644 LVDS規格に準拠しています。フローズルーピン配置によりプリント基板レイアウトがシンプルになり、LVTTTL/LVCMOS入力とLVDS出力を分離することによりクロストークが低減されています。

MAX9123は+3.3Vの単一電源で動作し、仕様温度範囲は-40 ~ +85℃です。パッケージは16ピンTSSOP及びSOPです。終端処理が内蔵され、フローズルーピン配置を備えたクワッドLVDSラインレシーバについては、MAX9121/MAX9122*データシートを参照して下さい。

アプリケーション

デジタルコピー機	DSLAM
レーザプリンタ	ネットワークスイッチ/ ルータ
セルラ電話ベース ステーション	バックプレーン
アッドドロップマルチ プレクサ	インターコネクト
デジタル クロスコネクト	クロック分配

ピン配置



* 開発中。発売時期についてはお問い合わせ下さい。

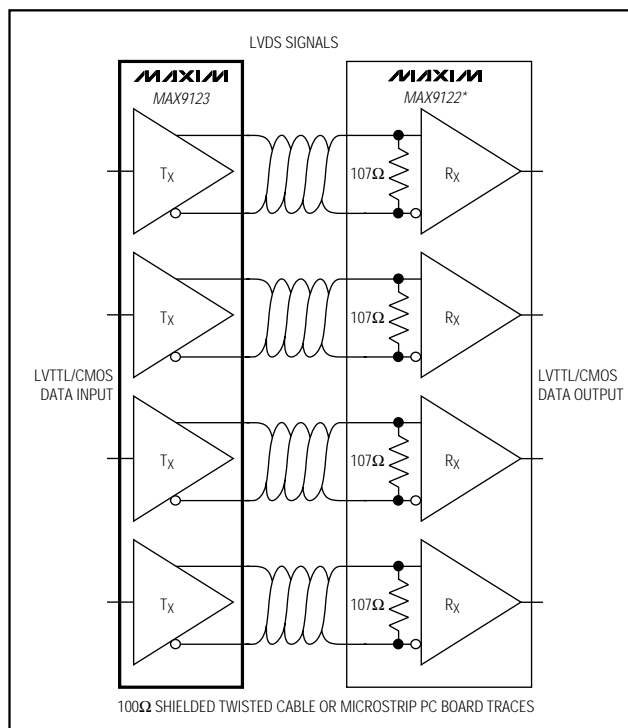
特長

- ◆ フローズルーピン配置
プリント基板レイアウトを簡略化
クロストークを低減
- ◆ DS90LV047Aとピンコンパチブル
- ◆ 保証データレート: 800Mbps
- ◆ 最大パルススキュー: 250ps
- ◆ TIA/EIA-644 LVDS規格に準拠
- ◆ 単一電源: +3.3V
- ◆ パッケージ: 16ピンTSSOP及びSOP

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX9123EUE	-40°C to +85°C	16 TSSOP
MAX9123ESE	-40°C to +85°C	16 SO

標準アプリケーション回路



フロースルーピン配置の クワッドLVDSラインドライバ

MAX9123

ABSOLUTE MAXIMUM RATINGS

V_{CC} to GND-0.3V to +4.0V
 IN₋, EN, $\overline{\text{EN}}$ to GND-0.3V to (V_{CC} + 0.3V)
 OUT₊, OUT₋ to GND-0.3V to +3.9V
 Short-Circuit Duration (OUT₊, OUT₋)Continuous
 Continuous Power Dissipation (T_A = +70°C)
 16-Pin TSSOP (derate 9.4mW/°C above +70°C)755mW
 16-Pin SO (derate 8.7mW/°C above +70°C)696mW

Storage Temperature Range-65°C to +150°C
 Maximum Junction Temperature+150°C
 Operating Temperature Range-40°C to +85°C
 Lead Temperature (soldering, 10s)+300°C
 ESD Protection
 Human Body Model, IN₋, OUT₊, OUT₋±4kV

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(V_{CC} = +3.0V to +3.6V, R_L = 100Ω ±1%, T_A = -40°C to +85°C. Typical values are at V_{CC} = +3.3V, T_A = +25°C, unless otherwise noted.) (Notes 1, 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
LVDS OUTPUT (OUT₊, OUT₋)						
Differential Output Voltage	V _{OD}	Figure 1	250	368	450	mV
Change in Magnitude of V _{OD} Between Complementary Output States	ΔV _{OD}	Figure 1		1	35	mV
Offset Voltage	V _{OS}	Figure 1	1.125	1.25	1.375	V
Change in Magnitude of V _{OS} Between Complementary Output States	ΔV _{OS}	Figure 1		4	25	mV
Output High Voltage	V _{OH}				1.6	V
Output Low Voltage	V _{OL}		0.90			V
Differential Output Short-Circuit Current (Note 3)	I _{OSD}	Enabled, V _{OD} = 0			-9	mA
Output Short-Circuit Current	I _{OS}	OUT ₊ = 0 at IN ₋ = V _{CC} or OUT ₋ = 0 at IN ₋ = 0, enabled		-3.8	-9	mA
Output High-Impedance Current	I _{OZ}	EN = low and $\overline{\text{EN}}$ = high, OUT ₊ = 0 or V _{CC} , OUT ₋ = 0 or V _{CC} , R _L = ∞	-10		10	μA
Power-Off Output Current	I _{OFF}	V _{CC} = 0 or open, OUT ₊ = 0 or 3.6V, OUT ₋ = 0 or 3.6V, R _L = ∞	-20		20	μA
INPUTS (IN₋, EN, $\overline{\text{EN}}$)						
High-Level Input Voltage	V _{IH}		2.0		V _{CC}	V
Low-Level Input Voltage	V _{IL}		GND		0.8	V
Input Current	I _{IN}	IN ₋ , EN, $\overline{\text{EN}}$ = 0 or V _{CC}	-20		20	μA
SUPPLY CURRENT						
No-Load Supply Current	I _{CC}	R _L = ∞, IN ₋ = V _{CC} or 0 for all channels		9.2	11	mA
Loaded Supply Current	I _{CCL}	R _L = 100Ω, IN ₋ = V _{CC} or 0 for all channels		22.7	30	mA
Disabled Supply Current	I _{CCZ}	Disabled, IN ₋ = V _{CC} or 0 for all channels, EN = 0, $\overline{\text{EN}}$ = V _{CC}		4.9	6	mA

フロースルーピン配置の クワッドLVDSラインドライバ

MAX9123

SWITCHING CHARACTERISTICS

($V_{CC} = +3.0V$ to $+3.6V$, $R_L = 100\Omega \pm 1\%$, $C_L = 15pF$, $T_A = -40^\circ C$ to $+85^\circ C$. Typical values are at $V_{CC} = +3.3V$, $T_A = +25^\circ C$, unless otherwise noted.) (Notes 4, 5, 6)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Differential Propagation Delay High to Low	tPHLD	Figures 2 and 3	0.7		1.7	ns
Differential Propagation Delay Low to High	tPLHD	Figures 2 and 3	0.7		1.7	ns
Differential Pulse Skew (Note 7)	tSKD1	Figures 2 and 3		0.04	0.25	ns
Differential Channel-to-Channel Skew (Note 8)	tSKD2	Figures 2 and 3		0.07	0.35	ns
Differential Part-to-Part Skew (Note 9)	tSKD3	Figures 2 and 3		0.13	0.8	ns
Differential Part-to-Part Skew (Note 10)	tSKD4	Figures 2 and 3		0.43	1.0	ns
Rise Time	tTLH	Figures 2 and 3	0.2	0.39	1.0	ns
Fall Time	tTHL	Figures 2 and 3	0.2	0.39	1.0	ns
Disable Time High to Z	tPHZ	Figures 4 and 5		2.7	5	ns
Disable Time Low to Z	tPLZ	Figures 4 and 5		2.7	5	ns
Enable Time Z to High	tPZH	Figures 4 and 5		2.3	7	ns
Enable Time Z to Low	tPZL	Figures 4 and 5		2.3	7	ns
Maximum Operating Frequency (Note 11)	fMAX		400			MHz

Note 1: Maximum and minimum limits over temperature are guaranteed by design and characterization. Devices are 100% tested at $T_A = +25^\circ C$.

Note 2: Currents into the device are positive, and current out of the device is negative. All voltages are referenced to ground except V_{OD} .

Note 3: Guaranteed by correlation data.

Note 4: AC parameters are guaranteed by design and characterization.

Note 5: C_L includes probe and jig capacitance.

Note 6: Signal generator conditions for dynamic tests: $V_{OL} = 0$, $V_{OH} = 3V$, $f = 100MHz$, 50% duty cycle, $R_O = 50\Omega$, $t_R \leq 1ns$, $t_F \leq 1ns$ (0% to 100%).

Note 7: tSKD1 is the magnitude difference of differential propagation delay. $tSKD1 = |tPHLD - tPLHD|$.

Note 8: tSKD2 is the magnitude difference of tPHLD or tPLHD of one channel to the tPHLD or tPLHD of another channel on the same device.

Note 9: tSKD3 is the magnitude difference of any differential propagation delays between devices at the same V_{CC} and within $5^\circ C$ of each other.

Note 10: tSKD4 is the magnitude difference of any differential propagation delays between devices operating over the rated supply and temperature ranges.

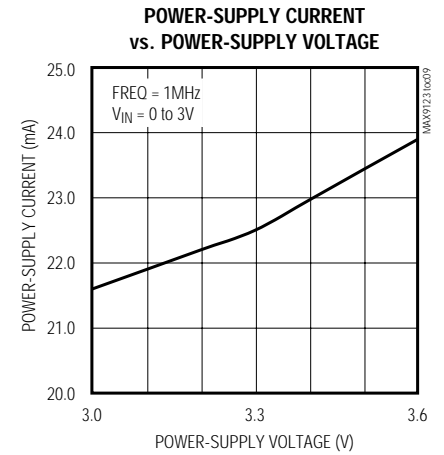
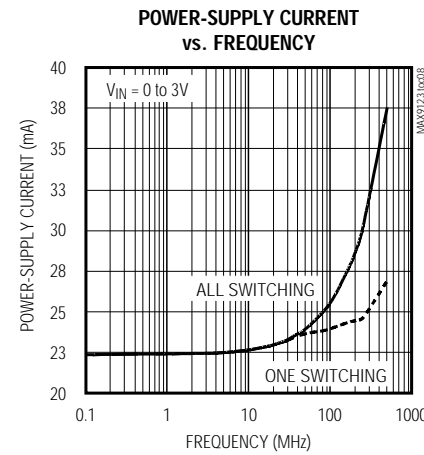
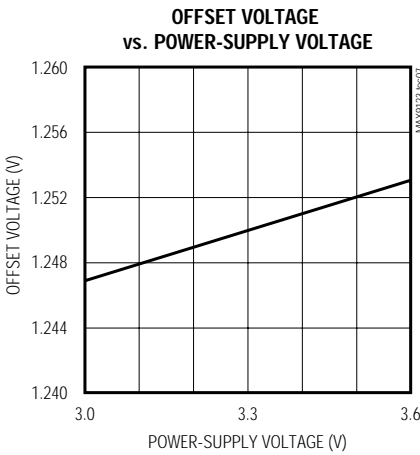
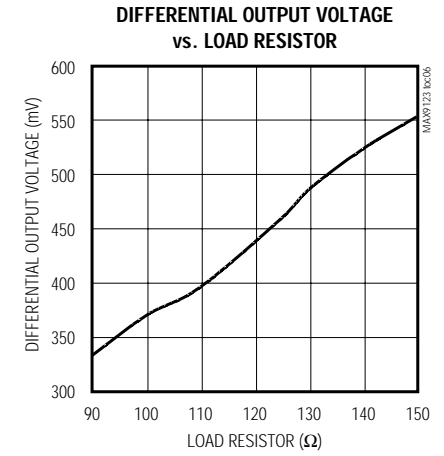
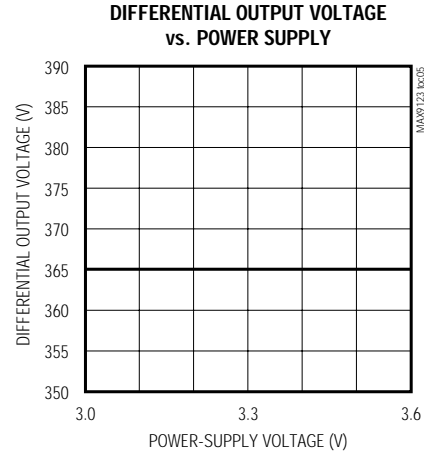
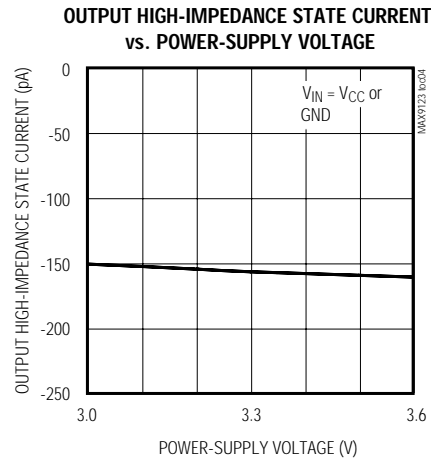
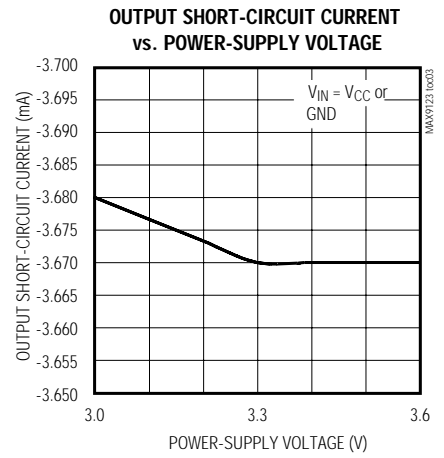
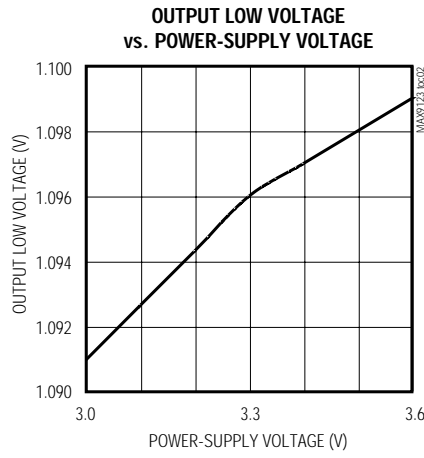
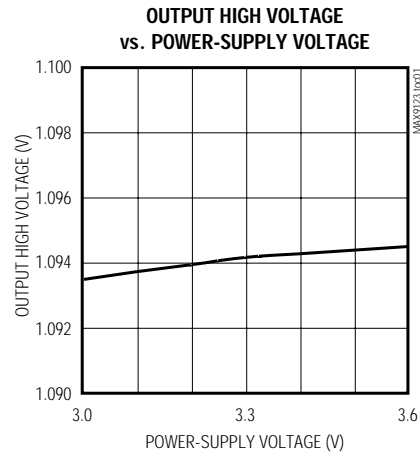
Note 11: fMAX signal generator conditions: $V_{OL} = 0$, $V_{OH} = 3V$, $f = 400MHz$, 50% duty cycle, $R_O = 50\Omega$, $t_R \leq 1ns$, $t_F \leq 1ns$ (0% to 100%). Transmitter output criteria: duty cycle = 45% to 55%, $V_{OD} \geq 250mV$.

フロースルーピン配置の クワッドLVDSラインドライバ

MAX9123

標準動作特性

($V_{CC} = +3.3V$, $R_L = 100\Omega$, $C_L = 15pF$, $T_A = +25^\circ C$, unless otherwise noted.)

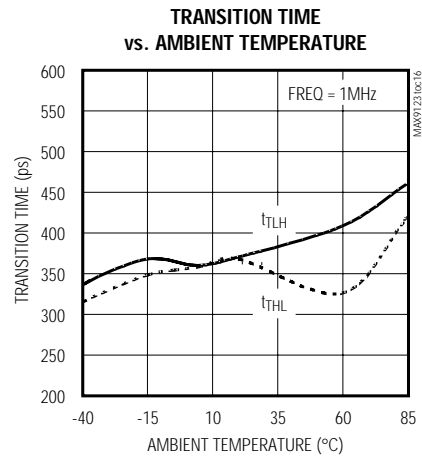
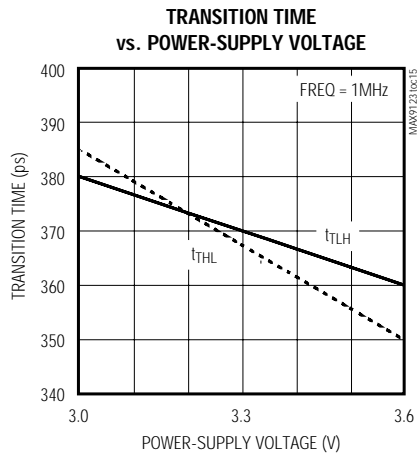
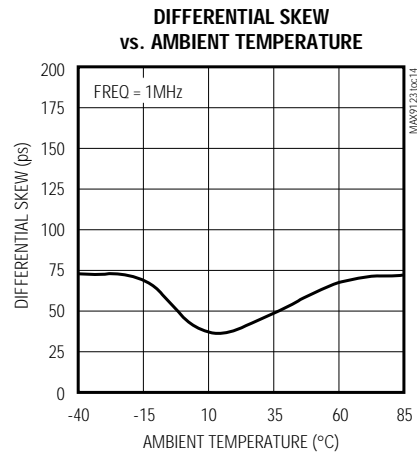
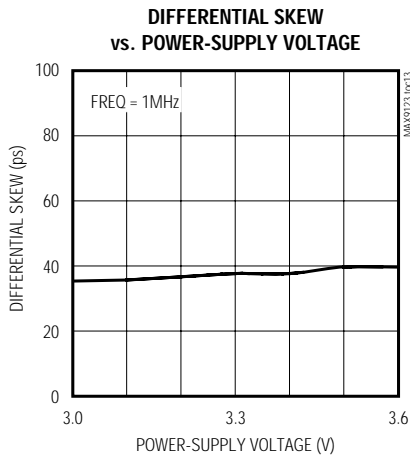
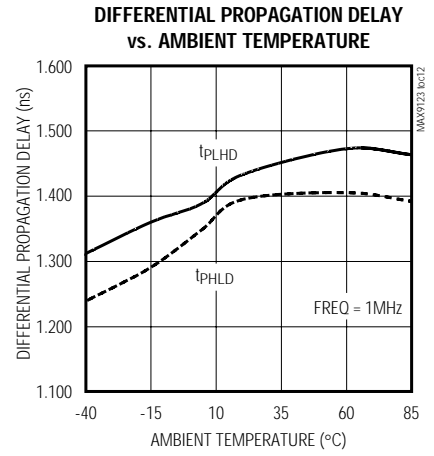
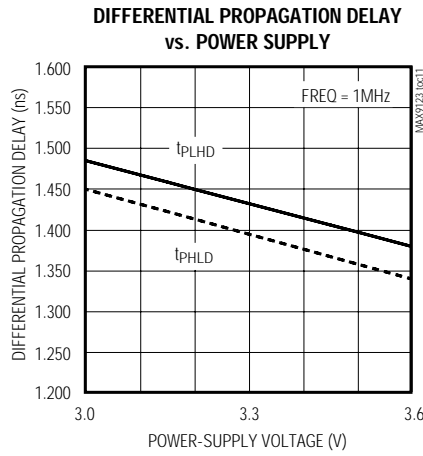
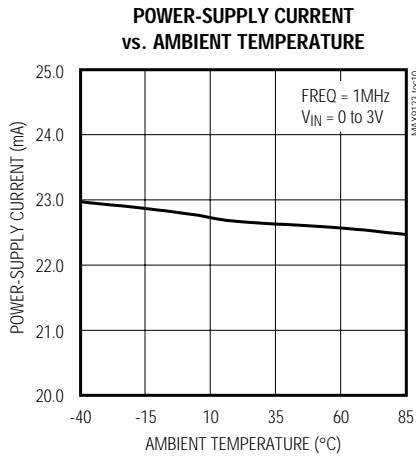


フロースルーピン配置の クワッドLVDSラインドライバ

MAX9123

標準動作特性(続き)

($V_{CC} = +3.3V$, $R_L = 100\Omega$, $C_L = 15pF$, $T_A = +25^\circ C$, unless otherwise noted.)



フロースルーピン配置の クワッドLVDSラインドライバ

MAX9123

端子説明

端子	名称	機能
1	EN	ドライバイネーブル入力。ENがローの場合ドライバはディセーブルされます。ENは内部でプルダウンされています。EN = ハイで $\overline{\text{EN}}$ = ロー又はオープンの場合、出力はアクティブです。ENと $\overline{\text{EN}}$ のその他の組み合わせでは出力はディセーブルされ、ハイインピーダンスになります。
2, 3, 6, 7	IN ₋	LVTTTL/LVCMOSドライバ入力
4	V _{CC}	電源入力。0.1 μ F及び0.001 μ FセラミックレジスタでV _{CC} をGNDにバイパスして下さい。
5	GND	グラウンド
8	$\overline{\text{EN}}$	ドライバイネーブル入力。 $\overline{\text{EN}}$ がハイの場合トランスミッタがディセーブルされます。 $\overline{\text{EN}}$ は内部でプルダウンされています。
9, 12, 13, 16	OUT ₋	反転LVDSドライバ出力
10, 11, 14, 15	OUT ₊	非反転LVDSドライバ出力

詳細

LVDSインタフェース規格は、インピーダンスが調整された媒体を通じた2点間通信用の信号法です (ANSI/TIA/EIA-644 及びIEEE 1596.3規格で定義)。LVDS規格は他の一般的な通信規格と比べて低い電圧スイングを使用しているため、より小さな消費電力でより高いデータ速度を実現し、同時にEMI放射とノイズへの感受性を低減しています。

MAX9123は、高速2点間及び低電力アプリケーション用に設計された800Mbpsクワッド差動LVDSドライバです。本デバイスはLVTTTL/LVCMOS入力レベルを受け入れ、それをLVDS出力信号に変換します。

MAX9123は、電流ステアリング構成を使用して2.5mA ~ 4.0mAの出力電流を生成します。電流ステアリング法により、グラウンドバウンスが小さくなり、貫通電流がなくなるため、ノイズマージンとシステム速度性能が向上します。ドライバ出力は短絡電流制限されており、デバイスに電源が供給されていない場合あるいはディセーブルされている時にハイインピーダンス状態になります。

MAX9123の電流ステアリング構造は、信号を終端処理して伝送ループを完成するために抵抗性負荷を必要とします。本デバイスは電圧ではなく電流をスイッチングするため、実際の出力電圧スイングはLVDSレシーバの入力にある終端処理抵抗の値によって決まります。ロジック状態は終端処理抵抗を流れる電流の向きによって決まります。出力電流が標準値の3.7mAで、100 Ω の負荷を駆動している場合、MAX9123は370mVの出力電圧を生成します。

終端処理

MAX9123は電流ステアリングデバイスであるため、終端処理抵抗がないと出力電圧が生成されません。終端処理抵抗は伝送ラインの差動インピーダンスにマッチングして下さい。出力電圧レベルは終端処理抵抗の値に依存します。MAX9123は、レシーバ入力において100 Ω 終端処理抵抗を使用した2点間インタフェース用に最適化されています。終端処理抵抗は伝送媒体の特性インピーダンスに依存しますが、90 Ω ~ 132 Ω が可能です。

表1. 入出力関数表

ENABLES		INPUTS	OUTPUTS	
EN	$\overline{\text{EN}}$	IN ₋	OUT ₊	OUT ₋
H	L or open	L	L	H
H	L or open	H	H	L
All other combinations of ENABLE pins		Don't care	Z	Z

アプリケーション情報

電源バイパス

V_{CC}は、高周波表面実装セラミック0.1 μ F及び0.001 μ Fコンデンサを並列に接続したものを使用し、デバイスにできるだけ近いところでバイパスして下さい。小さい方のコンデンサを一番近くして下さい。

差動トレース

出力トレース特性はMAX9123の性能に影響します。トレースインピーダンスを伝送媒体にマッチングさせるために、インピーダンスが調整されたトレースを使用して下さい。

フロースルーピン配置のクワッドLVDSラインドライバ

MAX9123

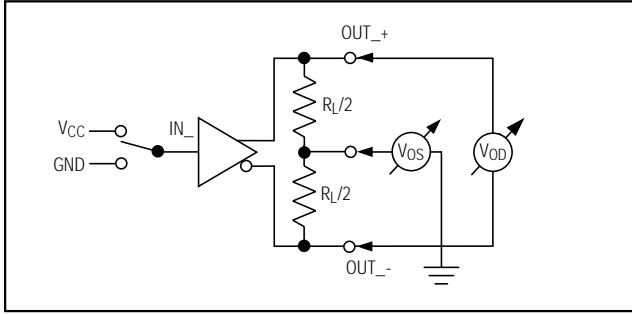


図1. ドライバの V_{OD} 及び V_{OS} の試験回路

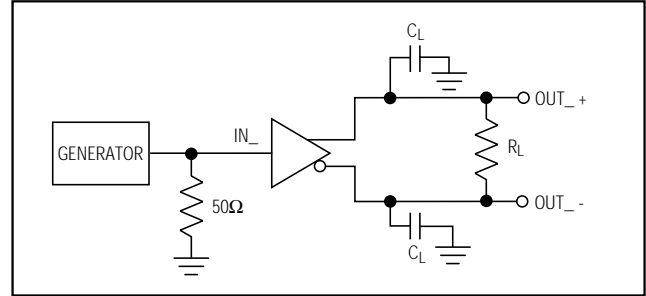


図2. ドライバ伝播遅延及び遷移時間の試験回路

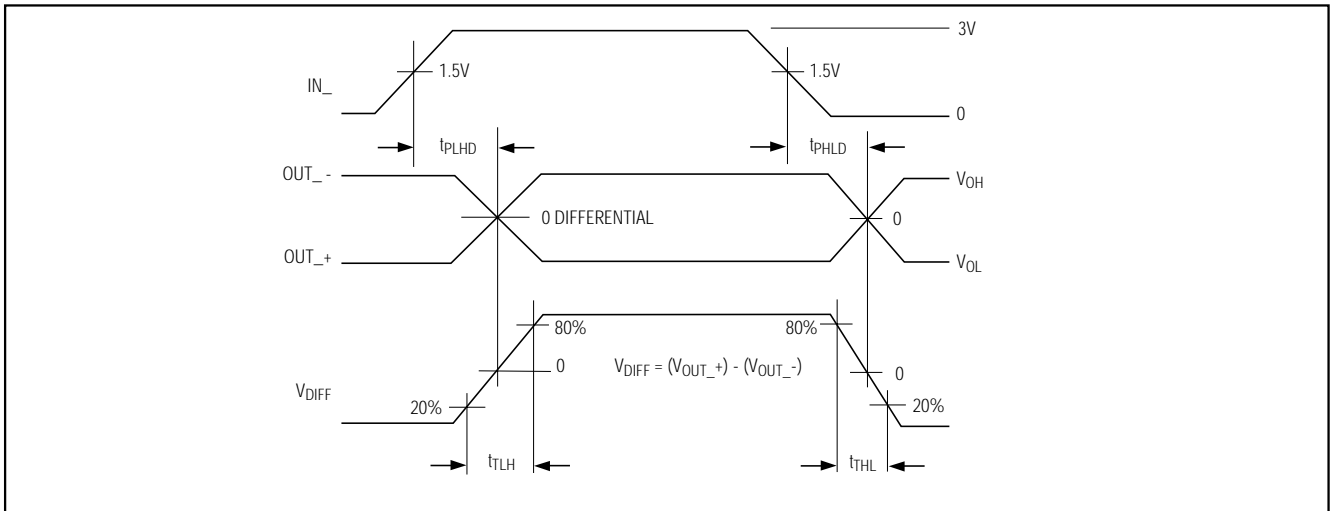


図3. ドライバ伝播遅延及び遷移時間の波形

反射を排除して下さい。また、差動トレース同士を近接して配線することにより、ノイズが同相で結合するようにして下さい。トレースの電気的長さをマッチングさせることにより、スキューを低減して下さい。スキューが過剰な場合、磁束のキャンセルが劣化することがあります。

差動トレース間の距離を維持することにより、インピーダンスの不連続性を避けて下さい。インピーダンスの不連続性をさらに徹底して防ぐには、90°の角を避け、ビアの数を少なくして下さい。

ケーブル及びコネクタ

伝送媒体としては、公称差動インピーダンスが100Ωのものを使用して下さい。インピーダンスの不連続性を最小限にするために、差動インピーダンスがマッチングされたケーブルとコネクタを使用して下さい。

リボンあるいはシンプルな同軸ケーブル等の非平衡ケーブルは避けて下さい。ツイストペア等の平衡ケーブルは、キャンセル効果によって優れた信号品質を提供し、

EMIを削減します。平衡ケーブルはノイズを同相で拾う傾向があるため、ノイズはLVDSレシーバで除去されます。

基板レイアウト

LVDSアプリケーションの場合、電源、グランド、LVDS信号及び入力信号を別々に提供する4層基板を推奨します。結合を防ぐため、LVTTTL/LVCMOSとLVDS信号をお互いから分離して下さい。

チップ情報

TRANSISTOR COUNT: 1246

PROCESS: CMOS

フロースルーピン配置の クワッドLVDSラインドライバ

MAX9123

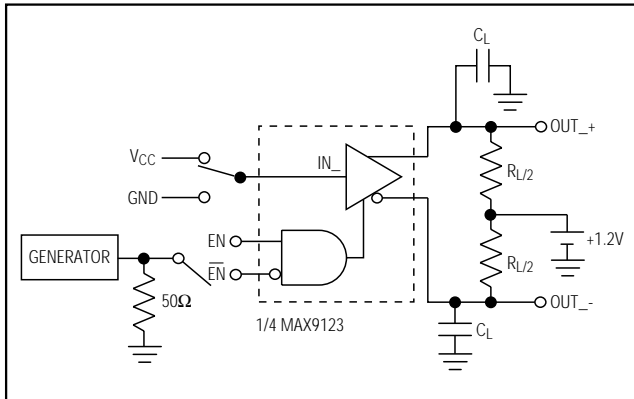


図4. ドライバのハイインピーダンス遅延試験回路

ファンクションダイアグラム

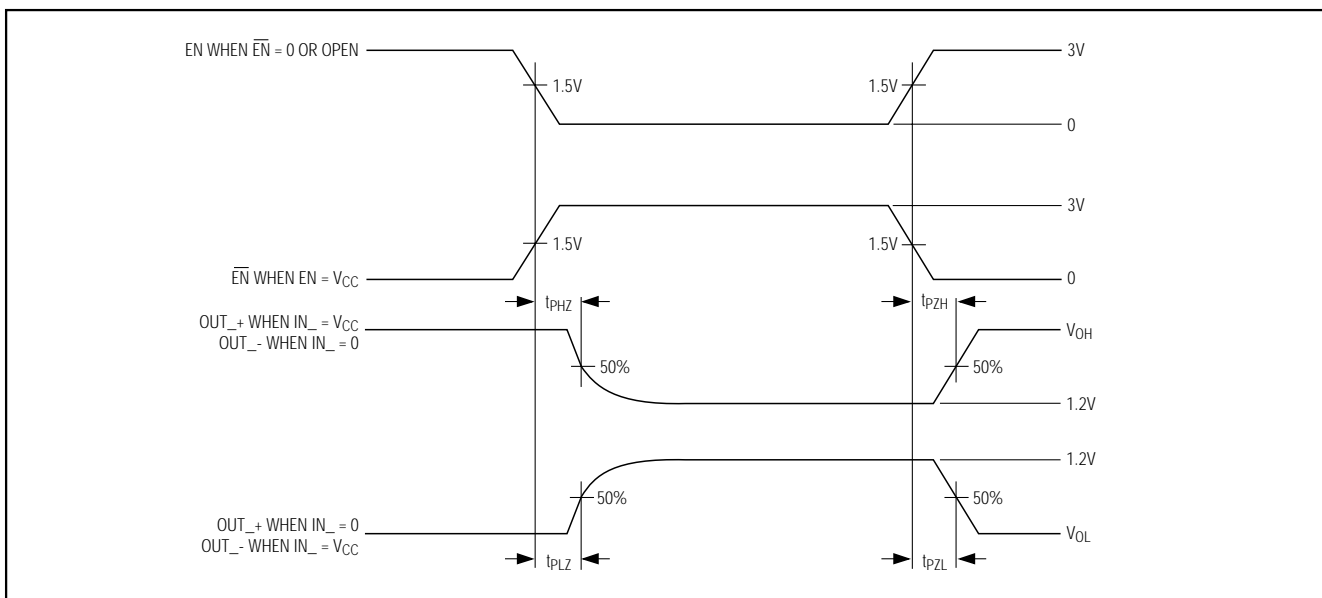
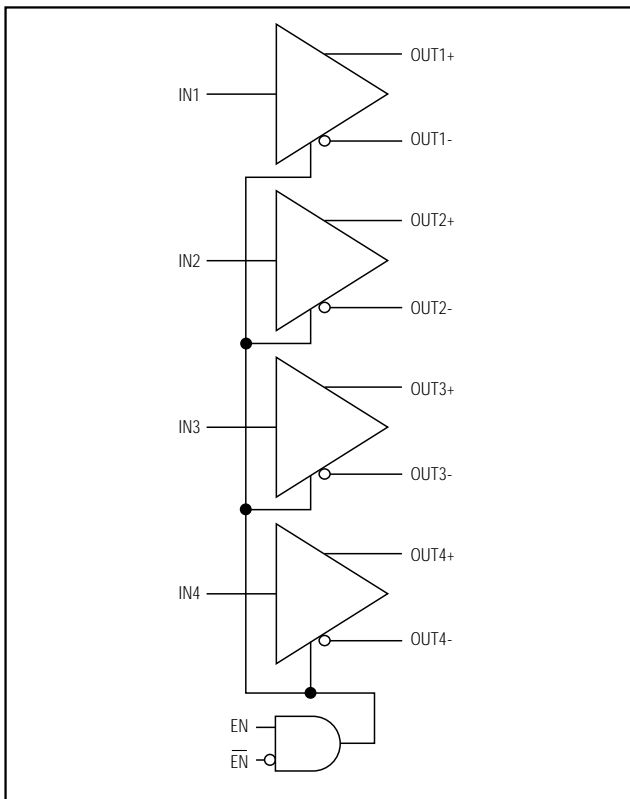


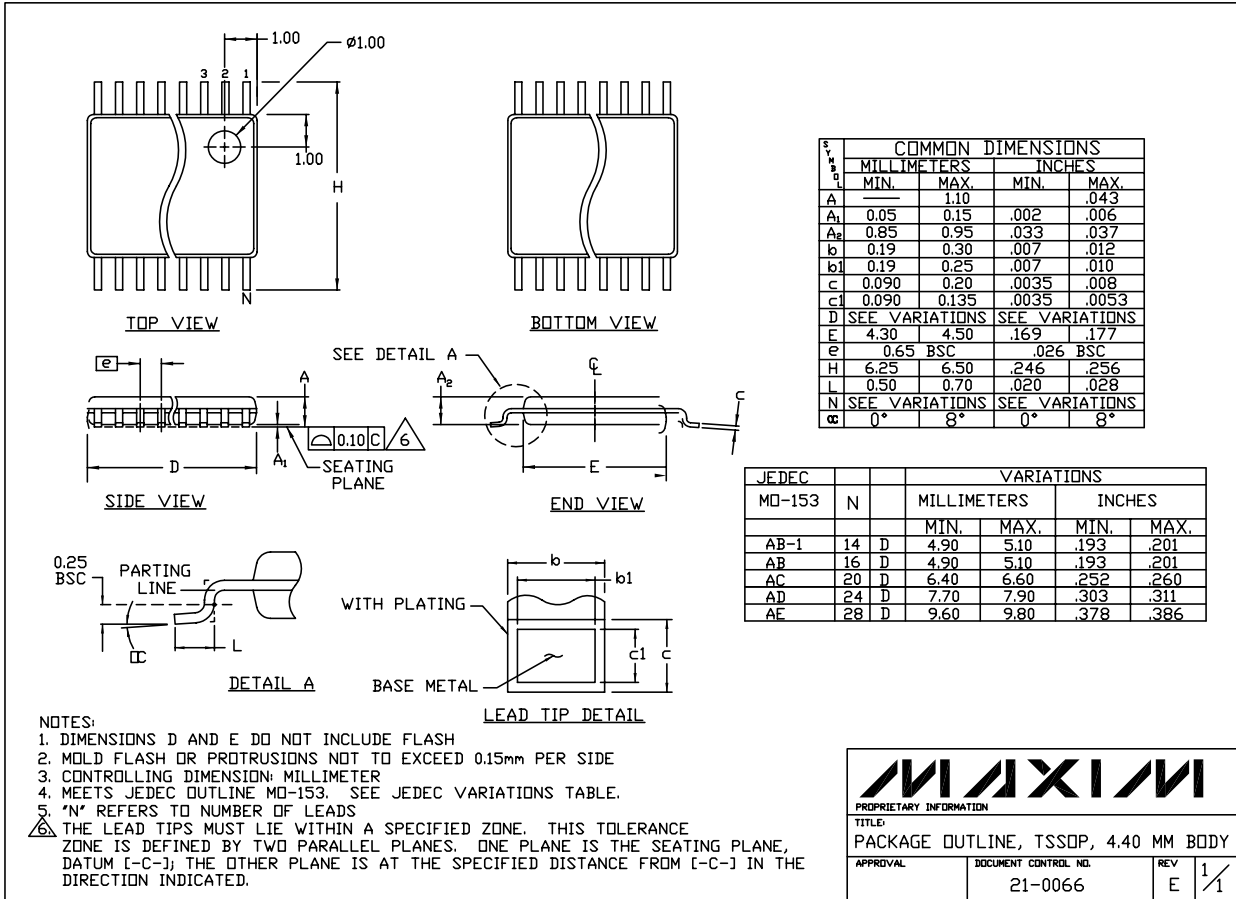
図5. ドライバのハイインピーダンス遅延波形

フロースルーピン配置の クワッドLVDSラインドライバ

パッケージ

MAX9123

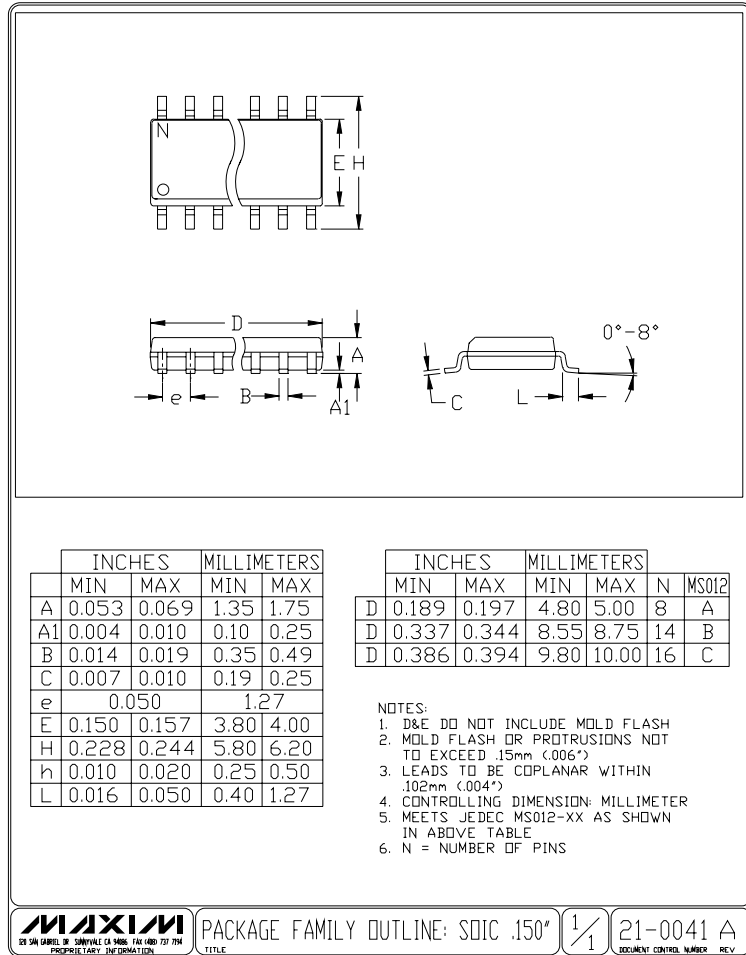
TSSOP, NO PADS, EPS



フロースルーピン配置の クワッドLVDSラインドライバ

MAX9123

パッケージ(続き)



販売代理店

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

10 _____ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600