

シングルLVDSラインレシーバ、SC70

概要

MAX9115は、シングルの低電圧差動信号(LVDS)ラインレシーバで、高速データレート、低電力、及び低ノイズを要求するアプリケーションに最適です。本デバイスは、最高200Mbps(100MHz)速度でのデータ受信を保証しています。

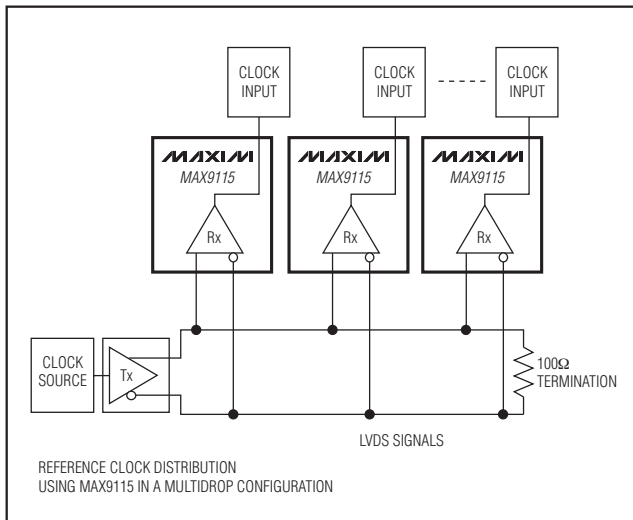
MAX9115はLVDS差動入力を受け付け、LVTTTL/LVCMOS出力に変換します。フェイルセーフ機能は、入力が駆動されておらずオープン、終端、或いは短絡されている時に出力をハイにします。本デバイスは広範囲の入力同相範囲をサポートしているため、ドライバとレシーバ間のグラウンド電位差及び同相ノイズを許容できます。MAX9115は、ANSI TIA/EIA-644 LVDS規格に適合しています。

MAX9115は、+3.3V単一電源で動作し、-40°C~+85°Cで動作可能となっています。又、省スペース5ピンSC70パッケージで提供されています。シングル/デュアルLVDSラインドライバについては、MAX9110/MAX9112データシートを参照して下さい。

アプリケーション

クロック分配
 携帯電話ベースステーション
 デジタルクロスコネクタ
 ネットワークスイッチ/ルータ
 DSLAM
 レーザプリンタ

標準動作回路



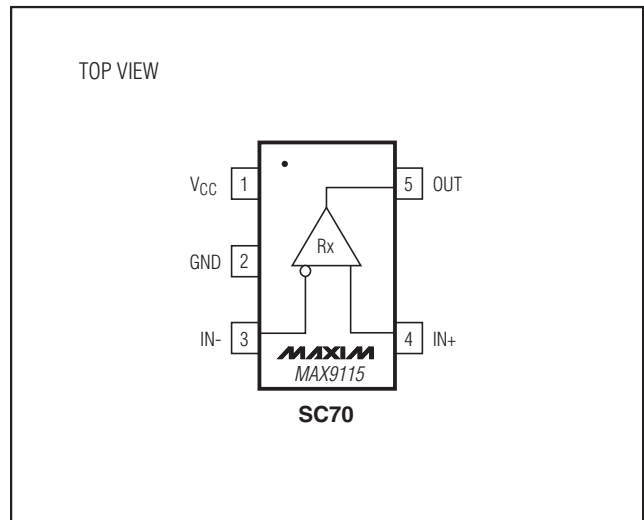
特長

- ◆ パッケージ：省スペースSC70(SOT23の50%)
- ◆ 保証データ速度：200Mbps
- ◆ 低パルススキュー：350ps(max)
- ◆ 電源オフ時にハイインピーダンスになるLVDS入力により、ホットスワップが可能
- ◆ ANSI TIA/EIA-644 LVDS規格に適合
- ◆ 電源：+3.3V単一
- ◆ 入力が非駆動の時(オープン、終端、又は短絡)出力をハイに設定するフェイルセーフ回路
- ◆ フェイルセーフモードにおける低消費電流：150µA(typ)

型番

PART	TEMP. RANGE	PIN-PACKAGE	TOP MARK
MAX9115EXK-T	-40°C to +85°C	5 SC70-5	ACI

ピン配置



シングルLVDSラインレシーバ、SC70

MAX9115

ABSOLUTE MAXIMUM RATINGS

V _{CC} to GND	-0.3V to +4.0V
IN+, IN- to GND	-0.3V to +4.0V
OUT to GND	-0.3V to (V _{CC} + 0.3V)
Continuous Power Dissipation (T _A = +70°C)	
5-Pin SC70 (derate 3.1mW/°C above +70°C)	247 mW
Output Short to GND (OUT) (Note 1)	1s
Storage Temperature Range	-65°C to +150°C

Maximum Junction Temperature	+150°C
Operating Temperature Range	-40°C to +85°C
Lead Temperature (soldering, 10s)	+300°C
ESD Protection	
Human Body Model (IN+, IN-)	±6kV

Note 1: Package leads soldered to a PC board having copper ground and V_{CC} planes. Do not exceed Maximum Junction Temperature.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

V_{CC} = +3.0V to +3.6V, differential input voltage |V_{ID}| = 0.05V to 1.0V, input common voltage V_{CM} = |V_{ID}|/2 to 2.4V - |V_{ID}|/2, T_A = -40°C to +85°C, unless otherwise noted. Typical values at V_{CC} = +3.3V, T_A = +25°C. (Notes 2, 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
LVDS INPUTS (IN+, IN-)						
Differential Input High Threshold	V _{TH}				50	mV
Differential Input Low Threshold	V _{TL}		-50			mV
Input Current	I _{IN+} , I _{IN-}	0.05V ≤ V _{ID} ≤ 0.6V	-20		20	μA
		0.6V < V _{ID} ≤ 1.0V	-25		25	
Power-Off Input Current	I _{INO}	0.05V ≤ V _{ID} ≤ 0.6V, V _{CC} = 0	-20		20	μA
		0.6V < V _{ID} ≤ 1.0V, V _{CC} = 0	-25		25	
Input Resistance	R _{IN1}	V _{CC} = +3.6V or 0, Figure 1	35			kΩ
	R _{IN2}	V _{CC} = +3.6V or 0, Figure 1	132			
LVTTTL/LVC MOS OUTPUT (OUT)						
Output High Voltage	V _{OH}	I _{OH} = -8.0mA Inputs open or undriven short or undriven 100Ω termination V _{ID} = +50mV	V _{CC} - 0.3		V	
			V _{CC} - 0.3			
Output Low Voltage	V _{OL}	I _{OL} = +8.0mA, V _{ID} = -50mV			0.25	V
Output Short-Circuit Current	I _{OS}	V _{ID} = +50mV, V _{OUT} = 0			-125	mA
SUPPLY CURRENT						
Supply Current	I _{CC}	No load, inputs undriven (fail-safe)		150	300	μA
		No load, inputs driven			7	mA

シングルLVDSラインレシーバ、SC70

MAX9115

AC ELECTRICAL CHARACTERISTICS

($V_{CC} = +3.0V$ to $+3.6V$, $C_L = 15pF$, differential input voltage $|V_{ID}| = 0.15V$ to $1.0V$, input common voltage $V_{CM} = |V_{ID}|/2$ to $2.4V - |V_{ID}|/2$, input rise and fall time = $1ns$ (20% to 80%), input frequency = $100MHz$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values at $V_{CC} = +3.3V$, $|V_{ID}| = 0.2V$, $V_{CM} = 1.2V$, $T_A = +25^{\circ}C$.) (Figures 2 and 3) (Notes 4 and 5)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Differential Propagation Delay High to Low	tPHLD		1.2	1.9	3	ns
Differential Propagation Delay Low to High	tPLHD		1.2	1.9	3	ns
Differential Pulse Skew tPHLD - tPLHD (Note 6)	tSKD1				350	ps
Differential Part-to-Part Skew (Note 7)	tSKD2				1.3	ns
Differential Part-to-Part Skew (Note 8)	tSKD3				1.8	ns
Rise-Time	tTLH			0.5	0.8	ns
Fall-Time	tTHL			0.5	0.8	ns
Maximum Operating Frequency (Note 9)	fMAX		100			MHz

Note 2: Maximum and minimum limits over temperature are guaranteed by design and characterization. Devices are production tested at $T_A = +25^{\circ}C$.

Note 3: Current into a pin is defined as positive. Current out of a pin is defined as negative. All voltages are referenced to ground except V_{TH} , V_{TL} , and V_{ID} .

Note 4: AC parameters are guaranteed by design and characterization.

Note 5: C_L includes scope probe and test jig capacitance.

Note 6: t_{SKD1} is the magnitude difference of differential propagation delays. $t_{SKD1} = |t_{PHLD} - t_{PLHD}|$.

Note 7: t_{SKD2} is the magnitude difference of any differential propagation delays between parts operating over rated conditions at the same V_{CC} and within $5^{\circ}C$ of each other.

Note 8: t_{SKD3} is the magnitude difference of any differential propagation delays between parts operating over rated conditions.

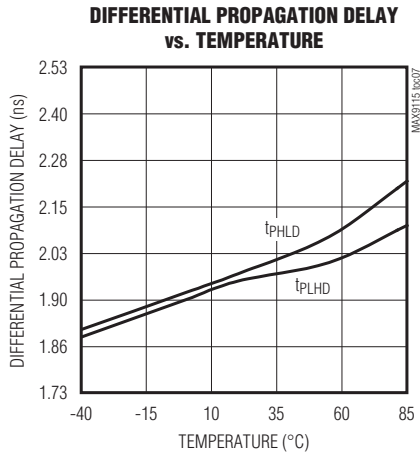
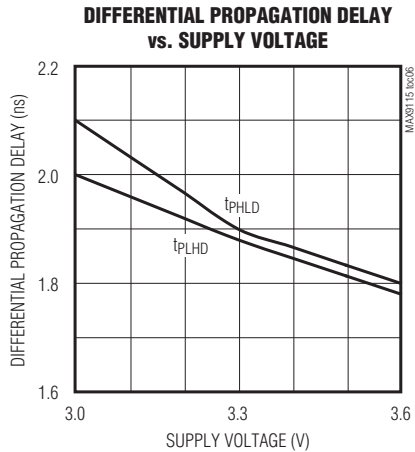
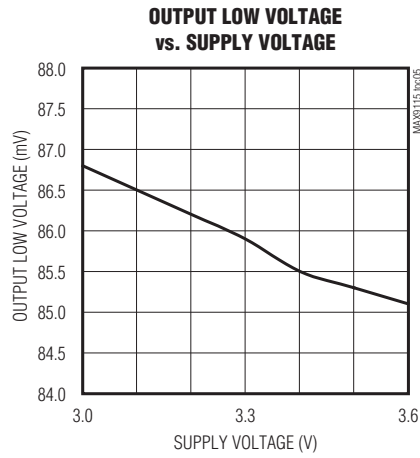
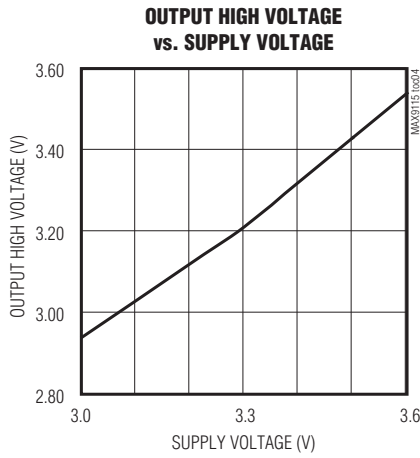
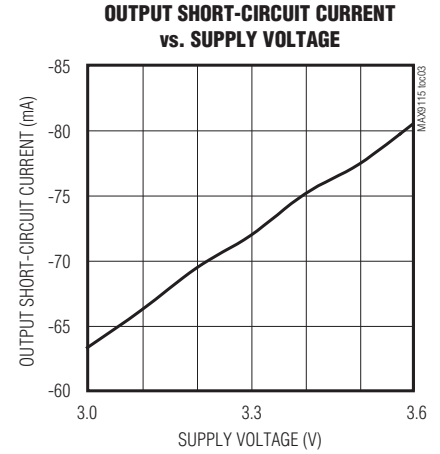
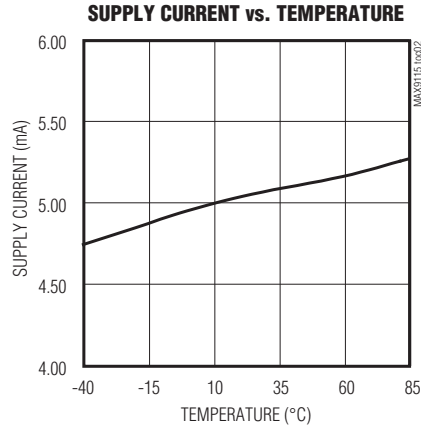
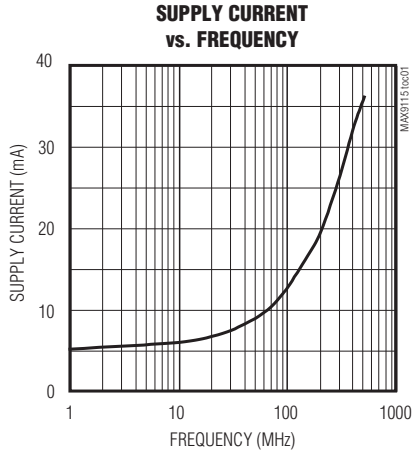
Note 9: f_{MAX} pulse generator output conditions: rise-time = fall-time = $1ns$ (0% to 100%), 50% duty cycle, $V_{OH} = +1.3V$, $V_{OL} = +1.1V$. MAX9115 output criteria: 60% to 40% duty cycle, $V_{OL} = 0.25V$ max, $V_{OH} = 2.7V$ min, load = $15pF$.

シングルLVDSラインレシーバ、SC70

MAX9115

標準動作特性

($V_{CC} = +3.3V$, $C_L = 15pF$, $|V_{ID}| = 0.2V$, $V_{CM} = 1.2V$, input rise and fall time = 1ns (20% to 80%), input frequency = 100MHz, 50% duty cycle, $T_A = +25^\circ C$, unless otherwise noted.)

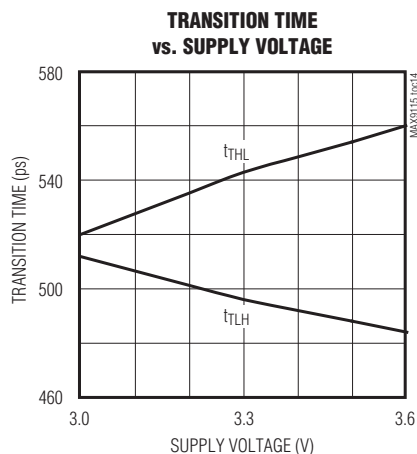
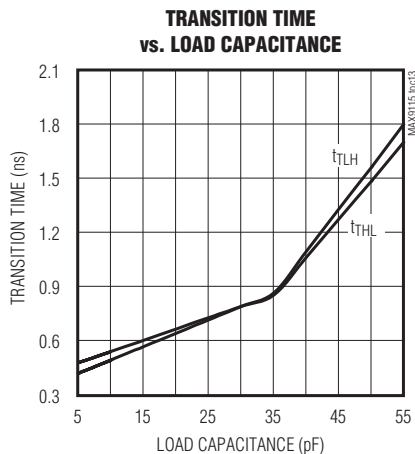
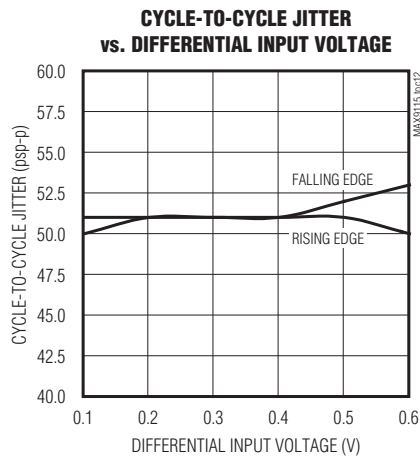
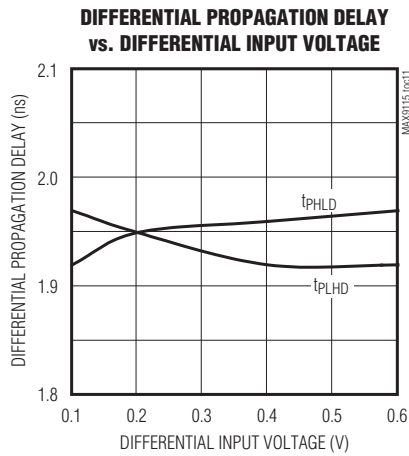
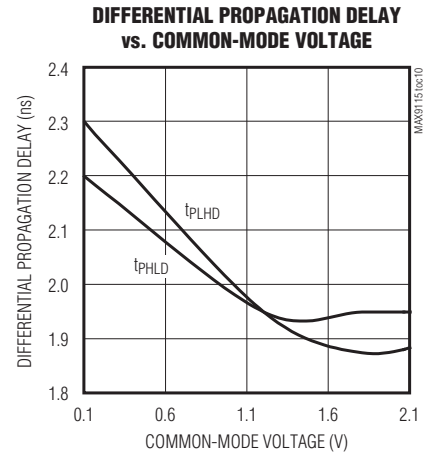
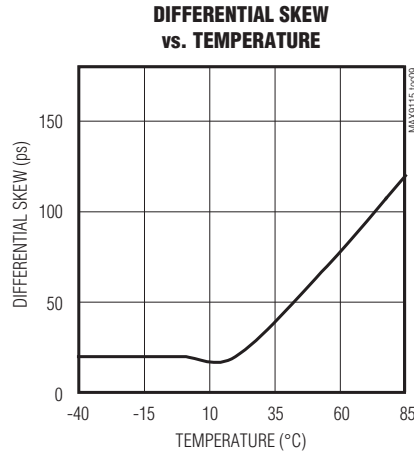
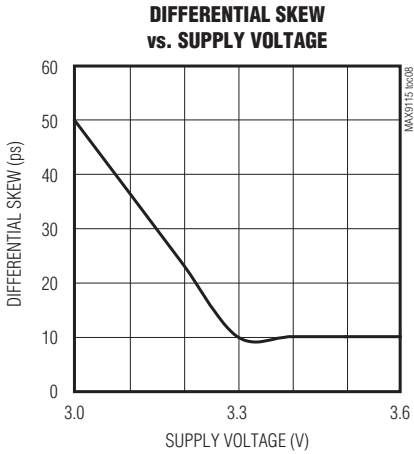


シングルLVDSラインレシーバ、SC70

MAX9115

標準動作特性(続き)

($V_{CC} = +3.3V$, $C_L = 15pF$, $|V_{ID}| = 0.2V$, $V_{CM} = 1.2V$, input rise and fall time = 1ns (20% to 80%), input frequency = 100MHz, 50% duty cycle, $T_A = +25^\circ C$, unless otherwise noted.)



シングルLVDSラインレシーバ、SC70

MAX9115

端子説明

端子	名称	機能
1	VCC	電源入力。0.01 μ FのセラミックコンデンサでVCCをGNDにバイパスして下さい。
2	GND	グラウンド
3	IN-	反転LVDS差動入力
4	IN+	非反転LVDS差動入力
5	OUT	LVTTL/LVCMOS出力

詳細

LVDSは、ANSI TIA/EIA-644及びIEEE 1596.3規格で規定されているように、インピーダンスが調整された媒体を介した2点間の通信用です。LVDSは、他の一般的な通信規格よりも小さい電圧スイングを使用するため、低消費電力及び高速データレートを実現しつつ、EMI放出及びシステムのノイズ感受性を低減します。

MAX9115は、高速データレート、低電力、及び低ノイズを要求するアプリケーションに最適なシングルLVDSラインレシーバです。本デバイスはLVDS入力を受け付け、それをLVTTL/LVCMOS出力に変換します。レシーバは、0~+2.4Vの入力電圧範囲内で最低50mV、最高1Vの差動信号を検出します。

LVDSドライバの250mV~450mV差動出力は、公称+1.25Vのオフセットを中心としています。このオフセットはレシーバの0~+2.4V入力電圧範囲と組み合わせ、約 ± 1 Vの信号シフト(レシーバから見た場合)を許容します。これによってドライバ及びレシーバの基準グラウンドの差、カップリングノイズの同相効果、又はこれら両方を許容できます。LVDS規格の入力電圧仕様は、レシーバのグラウンド基準に0~+2.4V範囲となっています。

フェイルセーフ

MAX9115のフェイルセーフ機能は、次の条件時に出力をハイに設定し、消費電流を低減します。

- 入力オープンの時
- 入力駆動されておらず、短絡されている時
- 入力駆動されておらず、終端されている時

上記の条件下では入力におけるノイズがレシーバを切り換え、データを受信しているかのようにシステムが認識する可能性があるため、フェイルセーフ回路は重要です。オープンになっているか、駆動されておらず、終端されている入力の状態は、ケーブルが切断されているか、LVDSドライバ出力がハイインピーダンスの時に発生することがあります。短絡状態は、ケーブルの不良が原因で発生することがあります。

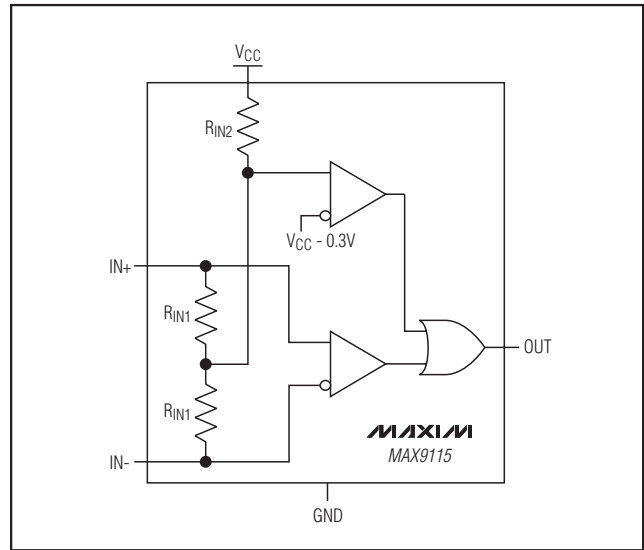


図1. 入力フェイルセーフ回路

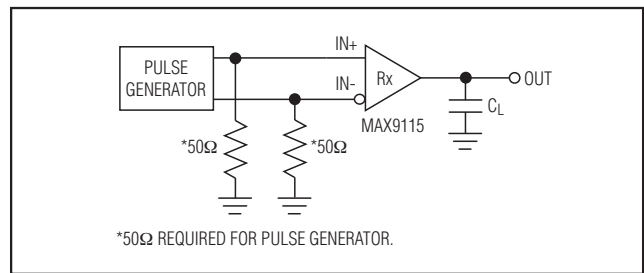


図2. 伝播遅延及び遷移時間試験回路

フェイルセーフ入力回路(図1)は、入力同相電圧をサンプリングし、 $V_{CC} - 0.3V$ (公称)と比較します。入力がLVDS規格に指定されているレベルまで駆動された時、入力同相電圧は $V_{CC} - 0.3V$ 以下で、フェイルセーフ回路は有効にはなりません。入力がオープンの場合、又は入力が駆動されず、かつ短絡されているか、駆動されず、かつ並列終端されている場合、入力電流はありません。この場合、フェイルセーフ回路のプルアップ抵抗は両方の入力を $V_{CC} - 0.3V$ 以上に引き上げ、フェイルセーフ回路を有効にし、出力を強制的にハイにします。

アプリケーション情報

電源バイパス

V_{CC} を0.01 μ Fの高周波表面実装セラミックコンデンサと、デバイスのできるだけ近くで並列にバイパスして下さい。

差動トレース

入力トレース特性はMAX9115の性能に影響を及ぼしません。インピーダンスが100Ω(typ)に調整されたPC基板トレースを使用し、終端抵抗をこの特性インピーダンスにマッチングさせて下さい。

反射を除去し、差動トレース同士を近接して配線し、ノイズが同相で結合するようにして下さい。トレースの電気的長さを同一にしスキューを低減して下さい。過剰なスキューは、磁場の相殺を劣化させることがあります。

入力差動信号は互いに近づけて配線し、外部磁場を相殺して下さい。差動インピーダンスの不連続を避けるために、差動トレース間を一定距離になる様にして下さい。インピーダンスの不連続をさらに防ぐために、ビアの数を最小限に抑えて下さい。

ケーブル及びコネクタ

伝送媒体として、100Ω(typ)に調整された差動インピーダンスのものを使用して下さい。インピーダンスの不連続を最小限に抑えるため、差動インピーダンスをマッチングしたケーブル及びコネクタを使用して下さい。

リボン或いは単純な同軸ケーブル等の非平衡ケーブルは避けて下さい。ツイストペア等の平衡ケーブルは、相殺効果により、優れた信号品質を提供し、EMIも低減します。平衡ケーブルはノイズを同相で拾う傾向があるため、LVDSレシーバでノイズが除去され易くなります。

終端処理

MAX9115には外部終端抵抗が必要です。終端抵抗は伝送ラインの差動インピーダンスと同一にして下さい。終端抵抗は通常100Ωですが、伝送媒体の特性インピーダンスに応じて90Ω～132Ωの範囲です。

MAX9115を使用する時は、入力終端抵抗とMAX9115レシーバ入力の距離を最小限に抑え、1%表面実装抵抗を使用して下さい。

ボードレイアウト

LVDSアプリケーション用には、電源、グランド、及び入出力信号を分離した層をもつ4層PCボードを推奨します。カップリングを防ぐため、LVDS入力信号と出力LVCMOS/LVTTL信号を互いに遠ざけて下さい(図4)。クロストークを最小限に抑えるため、出力を入力と並列にしないで下さい。IN+とOUT間を分離するため、グランドピンのトレースをパッケージの下を通してIN+とOUTの間の反対側まで延ばして下さい。

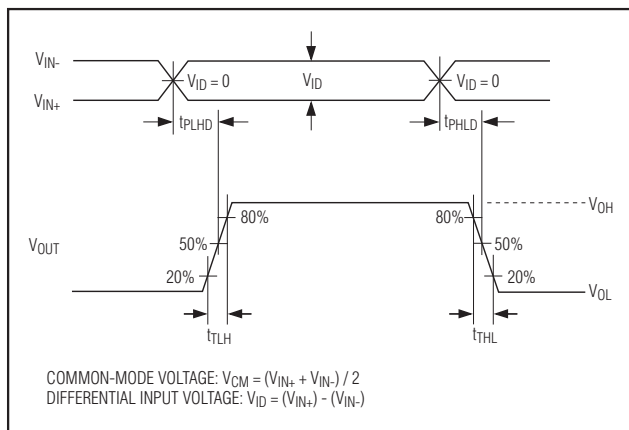


図3. 伝播遅延と遷移時間波形

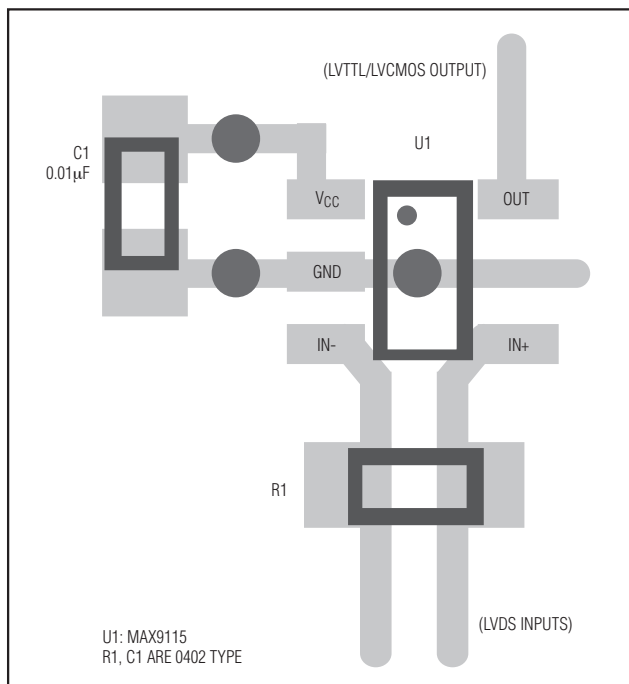


図4. ボードレイアウト

チップ情報

TRANSISTOR COUNT: 201

PROCESS: CMOS

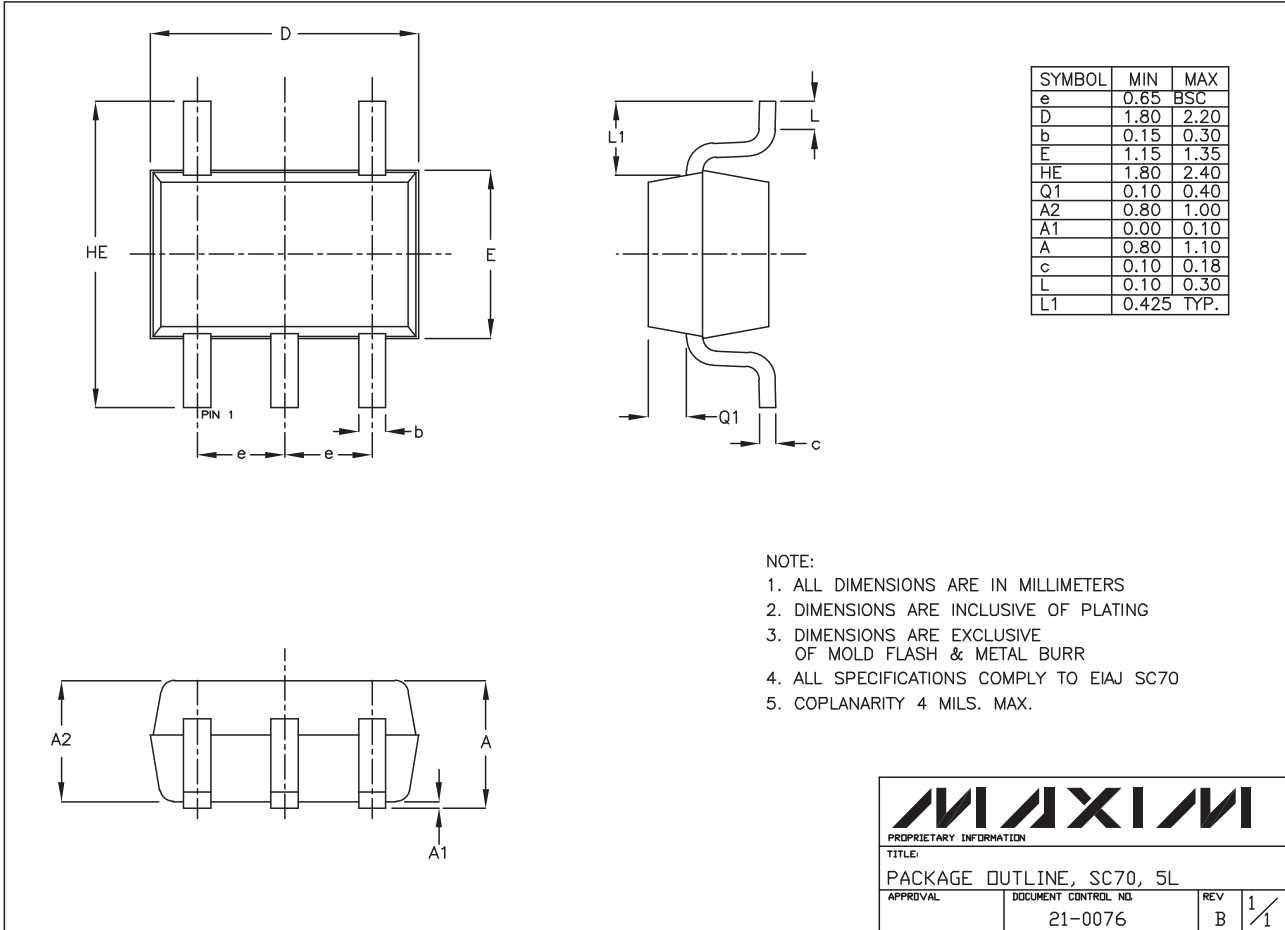
シングルLVDSラインレシーバ、SC70

MAX9115

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

SC70, 5LEPS



マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

8 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**