

8個のプッシュプル出力および8個の入力付き、 I²Cポートエキスパンダ

概要

2線式シリアルインタフェースペリフェラルのMAX7324は、8個のプッシュプル出力と8個の入力で構成される16個のI/Oポートを備えています。各入力は、選択可能な内部プルアップ、+6Vまでの過電圧保護、および割込み出力付きの遷移検出を備えています。

すべての入力ポートは、状態変化を常に監視されます(遷移検出)。割込みがラッチされるため、過渡的な変化を検出することができます。割込みマスクを使ってINT出力がアサートされる任意の組合せを選択可能です。その後シリアルインタフェースを通じてMAX7324にアクセスすると、発行されている割込みがすべてクリアされます。

プッシュプル出力は20mAのシンク電流定格で、LEDを駆動可能です。RST入力によってシリアルインタフェースがクリアされ、MAX7324との間のすべてのI²C通信が終了します。

MAX7324では4レベルのロジックの2個のアドレス入力によって16通りのI²Cスレーブアドレスが可能です。また、スレーブアドレスに応じて、40kΩの内部プルアップが4ポート1組でイネーブルまたはディセーブルされます。

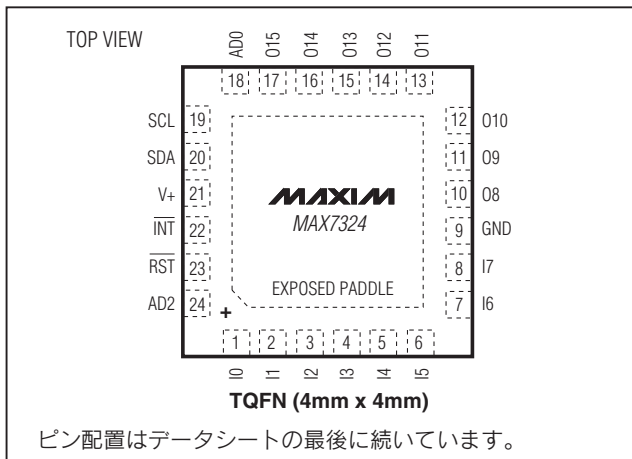
MAX7324は、入力ポート、オープンドレインI/Oポート、およびプッシュプル出力ポートを選択可能なピン互換ポートエキスパンダファミリの1デバイスです(表1参照)。

MAX7324は24ピンQSOPおよびTQFNパッケージで提供され、-40°C~+125°Cの車載用温度範囲での動作が保証されています。

アプリケーション

携帯電話	ノートブック
SAN/NAS	自動車
サーバ	衛星ラジオ

ピン配置



特長

- ◆ 400kHz、+6V耐圧のI²Cシリアルインタフェース
- ◆ 動作電圧：+1.71V~5.5V
- ◆ 8個のプッシュプル出力
- ◆ マスク可能なラッチ付き遷移検出を備えた8個の入力ポート
- ◆ 入力ポートは最大+6Vの過電圧保護付き
- ◆ 過渡的な変化がラッチされるため、読取り操作の間の検出可能
- ◆ 任意に選択した入力の変化をINT出力によって通知
- ◆ AD0およびAD2入力によって16通りのスレーブアドレスを選択可能
- ◆ 低スタンバイ電流：0.6μA
- ◆ 動作温度範囲：-40°C~+125°C

型番

PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX7324AEG+	-40°C to +125°C	24 QSOP	E24-1
MAX7324ATG+	-40°C to +125°C	24 TQFN-EP* (4mm x 4mm)	T2444-3

+は鉛フリーパッケージを示します。

*EP = エクスPOSEドパッド。

選択ガイド

PART	INPUTS	INTERRUPT MASK	OPEN-DRAIN OUTPUTS	PUSH-PULL OUTPUTS
MAX7324	8	Yes	—	8
MAX7325	Up to 8	—	Up to 8	8
MAX7326	4	Yes	—	12
MAX7327	Up to 4	—	Up to 4	12

標準動作回路および機能ブロック図はデータシートの最後に記載されています。

8個のプッシュプル出力および8個の入力付き、 I²Cポートエキスパンダ

MAX7324

ABSOLUTE MAXIMUM RATINGS

(All voltages referenced to GND.)

Supply Voltage V ₊	-0.3V to +6V
SCL, SDA, AD0, AD2, $\overline{\text{RST}}$, $\overline{\text{INT}}$, I0-I7.....	-0.3V to +6V
O8-O15.....	-0.3V to (V ₊ + 0.3V)
O8-O15 Output Current.....	±25mA
SDA Sink Current.....	10mA
$\overline{\text{INT}}$ Sink Current.....	10mA
Total V ₊ Current.....	50mA
Total GND Current.....	100mA

Continuous Power Dissipation

24-Pin QSOP (derate 9.5mW/°C over T _A = +70°C) ..	761.9mW
24-Pin TQFN (derate 20.8mW/°C over T _A = +70°C) ..	1666.7mW
Operating Temperature Range	-40°C to +125°C
Junction Temperature	+150°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(V₊ = +1.71V to +5.5V, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at V₊ = +3.3V, T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Operating Supply Voltage	V ₊	T _A = -40°C to +125°C	1.71		5.50	V
Power-On Reset Voltage	V _{POR}	V ₊ falling			1.6	V
Standby Current (Interface Idle)	I _{STB}	SCL and SDA and other digital inputs at V ₊		0.6	1.9	μA
Supply Current (Interface Running)	I ₊	f _{SCL} = 400kHz; other digital inputs at V ₊		23	55	μA
Input High-Voltage SDA, SCL, AD0, AD2, $\overline{\text{RST}}$, I0-I7	V _{IH}	V ₊ < 1.8V V ₊ ≥ 1.8	0.8 x V ₊ 0.7 x V ₊			V
Input Low-Voltage SDA, SCL, AD0, AD2, $\overline{\text{RST}}$, I0-I7	V _{IL}	V ₊ < 1.8V V ₊ ≥ 1.8			0.2 x V ₊ 0.3 x V ₊	V
Input Leakage Current SDA, SCL, AD0, AD2, $\overline{\text{RST}}$, I0-I7	I _{IH} , I _{IL}	SDA, SCL, AD0, AD2, $\overline{\text{RST}}$, I0-I7 at V ₊ or GND	-0.2		+0.2	μA
Input Capacitance SDA, SCL, AD0, AD2, $\overline{\text{RST}}$, I0-I7				10		pF
Output Low Voltage O8-O15	V _{OL}	V ₊ = +1.71V, I _{SINK} = 5mA (QSOP) V ₊ = +1.71V, I _{SINK} = 5mA (TQFN) V ₊ = +2.5V, I _{SINK} = 10mA (QSOP) V ₊ = +2.5V, I _{SINK} = 10mA (TQFN) V ₊ = +3.3V, I _{SINK} = 15mA (QSOP) V ₊ = +3.3V, I _{SINK} = 15mA (TQFN) V ₊ = +5V, I _{SINK} = 20mA (QSOP) V ₊ = +5V, I _{SINK} = 20mA (TQFN)		90 90 110 110 130 130 140 140	180 230 210 260 230 280 250 300	mV
Output High Voltage O8-O15	V _{OH}	V ₊ = +1.71V, I _{SOURCE} = 2mA V ₊ = +2.5V, I _{SOURCE} = 5mA V ₊ = +3.3V, I _{SOURCE} = 5mA V ₊ = +5V, I _{SOURCE} = 10mA	V ₊ - 250 V ₊ - 360 V ₊ - 260 V ₊ - 360	V ₊ - 30 V ₊ - 70 V ₊ - 100 V ₊ - 120		mV
Output Low-Voltage SDA	V _{OLSDA}	I _{SINK} = 6mA			250	mV
Output Low-Voltage $\overline{\text{INT}}$	V _{OLINT}	I _{SINK} = 5mA		130	250	mV
Port Input Pullup Resistor	R _{PU}		25	40	55	kΩ

8個のプッシュプル出力および8個の入力付き、 I²Cポートエキスパンダ

MAX7324

PORT AND INTERRUPT $\overline{\text{INT}}$ TIMING CHARACTERISTICS

(V₊ = +1.71V to +5.5V, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at V₊ = +3.3V, T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Port-Output Data Valid	t _{PPV}	C _L ≤ 100pF			4	μs
Port-Input Setup Time	t _{PSU}	C _L ≤ 100pF	0			μs
Port-Input Hold Time	t _{PH}	C _L ≤ 100pF	4			μs
$\overline{\text{INT}}$ Input Data Valid Time	t _{IV}	C _L ≤ 100pF			4	μs
$\overline{\text{INT}}$ Reset Delay Time from STOP	t _{IP}	C _L ≤ 100pF			4	μs
$\overline{\text{INT}}$ Reset Delay Time from Acknowledge	t _{IR}	C _L ≤ 100pF			4	μs

TIMING CHARACTERISTICS

(V₊ = +1.71V to +5.5V, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at V₊ = +3.3V, T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Serial-Clock Frequency	f _{SCL}				400	kHz
Bus Free Time Between a STOP and a START Condition	t _{BUF}		1.3			μs
Hold Time (Repeated) START Condition	t _{HD,STA}		0.6			μs
Repeated START Condition Setup Time	t _{SU,STA}		0.6			μs
STOP Condition Setup Time	t _{SU,STO}		0.6			μs
Data Hold Time	t _{HD,DAT}	(Note 2)			0.9	μs
Data Setup Time	t _{SU,DAT}		100			ns
SCL Clock Low Period	t _{LOW}		1.3			μs
SCL Clock High Period	t _{HIGH}		0.7			μs
Rise Time of Both SDA and SCL Signals, Receiving	t _R	(Notes 3, 4)		20 + 0.1C _b	300	ns
Fall Time of Both SDA and SCL Signals, Receiving	t _F	(Notes 3, 4)		20 + 0.1C _b	300	ns
Fall Time of SDA Transmitting	t _{F,TX}	(Notes 3, 4)		20 + 0.1C _b	250	ns
Pulse Width of Spike Suppressed	t _{SP}	(Note 5)		50		ns
Capacitive Load for Each Bus Line	C _b	(Note 3)			400	pF
$\overline{\text{RST}}$ Pulse Width	t _W		500			ns
$\overline{\text{RST}}$ Rising to START Condition Setup Time	t _{RST}		1			μs

Note 1: All parameters are tested at T_A = +25°C. Specifications over temperature are guaranteed by design.

Note 2: A master device must provide a hold time of at least 300ns for the SDA signal (referred to V_{IL} of the SCL signal) to bridge the undefined region of SCL's falling edge.

Note 3: Guaranteed by design.

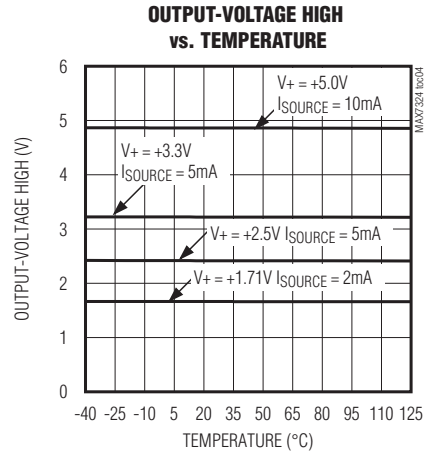
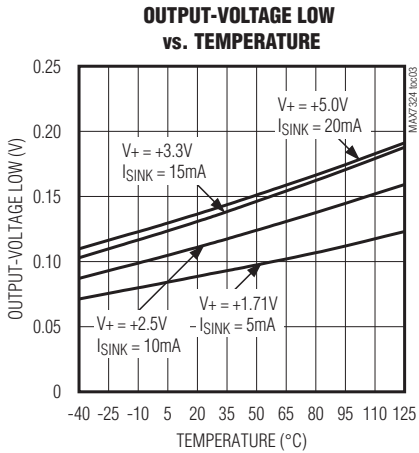
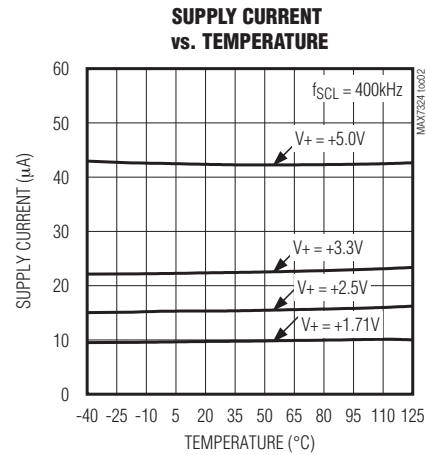
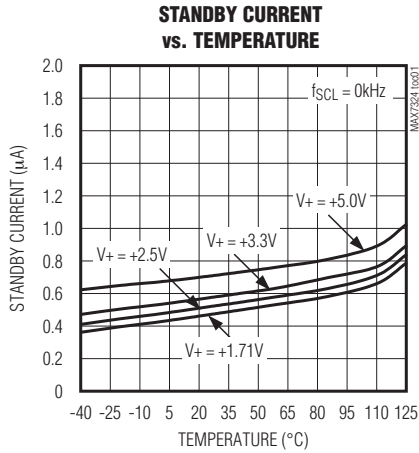
Note 4: C_b = total capacitance of one bus line in pF. t_R and t_F measured between 0.3 × V₊ and 0.7 × V₊. I_{SINK} ≤ 6mA.

Note 5: Input filters on the SDA and SCL inputs suppress noise spikes less than 50ns.

8個のプッシュプル出力および8個の入力付き、 I²Cポートエキスパンダ

標準動作特性

(T_A = +25°C, unless otherwise noted.)



端子説明

端子		名称	機能
QSOP	TQFN		
1	22	$\overline{\text{INT}}$	アクティブロー割込み出力。 $\overline{\text{INT}}$ はオープンドレイン出力です。
2	23	$\overline{\text{RST}}$	アクティブローリセット入力。 $\overline{\text{RST}}$ をローに駆動すると2線式インタフェースがクリアされます。
3, 21	24, 18	AD2, AD0	アドレス入力。AD0とAD2でデバイスのスレーブアドレスを選択します。AD0およびAD2を、GND、V ₊ 、SCL、またはSDAのいずれかに接続することで、4個のロジックの組合せが実現します(表2および3参照)。
4-11	1-8	I0-I7	入力ポート。I0~I7はCMOSロジック入力です。
12	9	GND	グラウンド
13-20	10-17	O8-O15	出力ポート。O8~O15は定格20mAのプッシュプル出力です。
22	19	SCL	I ² C互換シリアルクロック入力
23	20	SDA	I ² C互換シリアルデータI/O
24	21	V ₊	正の電源電圧。少なくとも0.047µFのセラミックコンデンサでV ₊ をGNDにバイパスしてください。
—	EP	EP	エクスポーズドパッド。エクスポーズドパッドをGNDに接続してください。

8個のパッシュプル出力および8個の入力付き、 I²Cポートエキスパンダ

MAX7324

詳細

MAX7324~MAX7327のファミリ内比較

MAX7324~MAX7327のファミリは、MAX7320の機能に加えて、MAX7319、MAX7321、MAX7322、またはMAX7323のいずれか1つの機能を統合した、ピン互換の4種類の16ポートエキスパンダで構成されています。

機能概説

MAX7324は、+1.71V~+5.5Vの電源で動作し、8個のパッシュプル出力と+5.5Vまで過電圧保護された8個のCMOS入力ポートを提供する、汎用のポートエキスパンダです。

MAX7324は、アドレス選択入力AD0およびAD2を使用して32通りのI²Cスレーブアドレス(表2および3参照)の内の2つに設定され、I²Cシリアルインタフェースを使って最大400kHzでアクセスされます。8個の出力と8個の入力は、異なるスレーブアドレスを持ちます。8個のパッシュプル出力が101xxxxというアドレス、8個の入力が110xxxxというアドレスになります。RST入力はバスがロックアップした場合にシリアルインタフェースをクリアし、MAX7324とのすべてのシリアルトランザクションを終了させます。

入力ポートは、ラッチ付きの遷移検出機能を備えています。すべての入力ポートが常に変化を監視されます。入力に変化すると、8個のフラグビットの1つがセットされ、変化のあった入力(群)を示します。MAX7324に対するその後の読取りまたは書込みトランザクションによって、すべてのフラグがクリアされます。

表1. MAX7319~MAX7329のファミリ内比較

PART	I ² C SLAVE ADDRESS	INPUTS	INPUT INTERRUPT MASK	OPEN-DRAIN OUTPUTS	PUSH-PULL OUTPUTS	CONFIGURATION
16-PORT EXPANDERS						
MAX7324	101xxxx and 110xxxx	8	Yes	—	8	8 inputs and 8 push-pull outputs version: 8 input ports with programmable latching transition detection interrupt and selectable pullups. 8 push-pull outputs with selectable default logic levels. Offers maximum versatility for automatic input monitoring. An interrupt mask selects which inputs cause an interrupt on transitions, and transition flags identify which inputs have changed (even if only for a transient) since the ports were last read.
MAX7325		Up to 8	—	Up to 8	8	8 I/O and 8 push-pull outputs version: 8 open-drain I/O ports with latching transition detection interrupt and selectable pullups. 8 push-pull outputs with selectable default logic levels. Open-drain outputs can level shift the logic-high state to a higher or lower voltage than V+ using external pullup resistors, but pullups draw current when output is low. Any open-drain port can be used as an input by setting the open-drain output to logic-high. Transition flags identify which open-drain port inputs have changed (even if only for a transient) since the ports were last read.

8個のプッシュプル出力および8個の入力付き、 I²Cポートエキスパンダ

MAX7324

表1. MAX7319~MAX7329のファミリ内比較(続き)

PART	I ² C SLAVE ADDRESS	INPUTS	INPUT INTERRUPT MASK	OPEN-DRAIN OUTPUTS	PUSH-PULL OUTPUTS	CONFIGURATION
MAX7326	101xxxx and 110xxxx	4	Yes	—	12	4 input-only, 12 push-pull output versions: 4 input ports with programmable latching transition detection interrupt and selectable pullups. 12 push-pull outputs with selectable default logic levels. Offers maximum versatility for automatic input monitoring. An interrupt mask selects which inputs cause an interrupt on transitions, and transition flags identify which inputs have changed (even if only for a transient) since the ports were last read.
MAX7327		Up to 4	—	Up to 4	12	4 I/O, 12 push-pull output versions: 4 open-drain I/O ports with latching transition detection interrupt and selectable pullups. 12 push-pull outputs with selectable default logic levels. Open-drain outputs can level shift the logic-high state to a higher or lower voltage than V+ using external pullup resistors, but pullups draw current when output is low. Any open-drain port can be used as an input by setting the open-drain output to logic-high. Transition flags identify which open-drain port inputs have changed (even if only for a transient) since the ports were last read.
8-PORT EXPANDERS						
MAX7319	110xxxx	8	Yes	—	—	Input-only versions: 8 input ports with programmable latching transition detection interrupt and selectable pullups.
MAX7320	101xxxx	—	—	—	8	Output-only versions: 8 push-pull outputs with selectable power-up default levels.
MAX7321	110xxxx	Up to 8	—	Up to 8	—	I/O versions: 8 open-drain I/O ports with latching transition detection interrupt and selectable pullups.
MAX7322	110xxxx	4	Yes	—	4	4 input-only, 4 output-only versions: 4 input ports with programmable latching transition detection interrupt and selectable pullups. 4 push-pull outputs with selectable power-up default levels.

8個のプッシュプル出力および8個の入力付き、 I²Cポートエキスパンダ

表1. MAX7319~MAX7329のファミリ内比較(続き)

PART	I ² C SLAVE ADDRESS	INPUTS	INPUT INTERRUPT MASK	OPEN-DRAIN OUTPUTS	PUSH-PULL OUTPUTS	CONFIGURATION
MAX7323	110xxxx	Up to 4	—	Up to 4	4	4 I/O, 4 output-only versions: 4 open-drain I/O ports with latching transition detection interrupt and selectable pullups. 4 push-pull outputs with selectable power-up default levels.
MAX7328 MAX7329	0100xxx 0111xxx	Up to 8	—	Up to 8	—	PCF8574-, PCF8574A-compatible versions: 8 open-drain I/O ports with nonlatching transition detection interrupt and pullups on all ports.

ラッチ付きの割込み出力($\overline{\text{INT}}$)は、入力ポートの入力データの変化を通知するために割込みマスクレジスタを通して設定されます。デフォルトでは、いずれの入力ポートのデータ変化によっても、 $\overline{\text{INT}}$ が論理ローになります。次にMAX7324がシリアルインタフェース経由でアクセスされたとき、割込み出力 $\overline{\text{INT}}$ およびすべての遷移フラグがクリアされます。

V+に接続する内蔵プルアップ抵抗は、アドレス選択入力AD0およびAD2によって選択されます。プルアップは入力ポート4個単位でイネーブルまたはディセーブルされます(表2参照)。

初期起動

通電時には、遷移検出口ジックがリセットされ、 $\overline{\text{INT}}$ のアサートが解除されます。割込みマスクレジスタには0xFFがセットされ、8個すべての入力ポートの遷移に対する割込み出力がイネーブルされます。遷移フラグがクリアされ、データに変化がないことを示します。8個のプッシュプル出力の起動時デフォルト状態は、I²Cスレーブアドレス選択入力AD0およびAD1に従って設定されます(表3参照)。

パワーオンリセット

MAX7324は、起動時にすべてのレジスタが既知の状態にリセットされることを保証するパワーオンリセット(POR)回路を内蔵しています。V+がV_{POR} (1.6V max)を上回ると、POR回路がレジスタと2線式インタフェースを解放して通常動作を可能にします。V+がV_{POR}を下回ると、MAX7324はすべてのレジスタの内容をPORデフォルト値にリセットします(表2および3)。

RST入力

RST入力はMAX7324が関与しているすべてのI²Cトランザクションをキャンセルし、MAX7324にI²Cのストップ状態を強制します。リセット動作は、割込み出力($\overline{\text{INT}}$)には影響を与えません。

スタンバイモード

シリアルインタフェースがアイドル状態のとき、MAX7324は自動的にスタンバイモードに入り、電源電流が最少になります。

スレーブアドレス、起動時デフォルトの論理状態、および入力プルアップの選択

アドレス入力AD0およびAD2によってMAX7324のスレーブアドレスが決まり、いずれの入力がプルアップ抵抗を備えるかが選択されます。入力ポートのプルアップは、4個単位でイネーブルされます(表2参照)。

MAX7324のスレーブアドレスは、I²Cの伝送ごとに決定されます(その伝送が実際にMAX7324をアドレス指定するものかどうかは関係ありません)。この伝送中に、MAX7324はアドレス入力AD0とAD2が固定の論理レベルV+またはGNDではなく、SDAまたはSCLに接続されているかどうかを識別します。すなわち、MAX7324のスレーブアドレスは、デバイスの電源をオンオフすることなく、アプリケーション内で動的に設定することが可能です。

初めて通電したとき、最初のI²C伝送が行われるまでは、MAX7324はアドレス入力AD0およびAD2を完全にデコードすることができません。AD0とAD2は、最初はV+またはGNDに接続されているように見えます。アドレス選択によって、いずれの入力がプルアップを

8個のプッシュプル出力および8個の入力付き、 I²Cポートエキスパンダ

表2. MAX7324の入力I0~I7のアドレスマップ

PIN CONNECTION		DEVICE ADDRESS							40kΩ INPUT PULLUP ENABLED							
AD2	AD0	A6	A5	A4	A3	A2	A1	A0	I7	I6	I5	I4	I3	I2	I1	I0
SCL	GND	1	1	0	0	0	0	0	Y	Y	Y	Y	—	—	—	—
SCL	V+	1	1	0	0	0	0	1	Y	Y	Y	Y	Y	Y	Y	Y
SCL	SCL	1	1	0	0	0	1	0	Y	Y	Y	Y	Y	Y	Y	Y
SCL	SDA	1	1	0	0	0	1	1	Y	Y	Y	Y	Y	Y	Y	Y
SDA	GND	1	1	0	0	1	0	0	Y	Y	Y	Y	—	—	—	—
SDA	V+	1	1	0	0	1	0	1	Y	Y	Y	Y	Y	Y	Y	Y
SDA	SCL	1	1	0	0	1	1	0	Y	Y	Y	Y	Y	Y	Y	Y
SDA	SDA	1	1	0	0	1	1	1	Y	Y	Y	Y	Y	Y	Y	Y
GND	GND	1	1	0	1	0	0	0	—	—	—	—	—	—	—	—
GND	V+	1	1	0	1	0	0	1	—	—	—	—	Y	Y	Y	Y
GND	SCL	1	1	0	1	0	1	0	—	—	—	—	Y	Y	Y	Y
GND	SDA	1	1	0	1	0	1	1	—	—	—	—	Y	Y	Y	Y
V+	GND	1	1	0	1	1	0	0	Y	Y	Y	Y	—	—	—	—
V+	V+	1	1	0	1	1	0	1	Y	Y	Y	Y	Y	Y	Y	Y
V+	SCL	1	1	0	1	1	1	0	Y	Y	Y	Y	Y	Y	Y	Y
V+	SDA	1	1	0	1	1	1	1	Y	Y	Y	Y	Y	Y	Y	Y

備えることになるかが決まるため、この点が重要になります。しかし、通電時にはI²CのSDAおよびSCLバスインタフェースラインは、MAX7324を含めて、バスに接続されているすべてのデバイス(マスタまたはスレーブ)の入力はハイインピーダンスになります。このことはI²C仕様の一部として保証されています。したがって、SDAまたはSCLに接続されているアドレス入力AD0およびAD2は、通電時にはV+に接続されているように見えます。プルアップ選択ロジックは、AD0を使ってポートI0~I3のプルアップをイネーブルするかどうか選択し、AD2を使ってポートI4~I7のプルアップをイネーブルするかを選択します。ルールでは、論理ハイの、SDA、またはSCLと接続されていればプルアップを選択し、論理ローならプルアップが非選択となります(表2)。SDAとSCLが外部のI²Cプルアップ抵抗によってV+にプルアップされる標準的なI²Cの構成では、プルアップ構成が正しい構成です。

場合によっては、通電時にSDA = SCL = V+になるという想定が通用しないこともあります。たとえば、通電時に規定されたバス活動が行われるアプリケーションなどです。また、もしもSDAとSCLがMAX7324の電源電圧とは別の電源電圧にプルアップ抵抗で終端されていて、そのプルアップ電源の立上りがMAX7324の電源より遅い場合、通電時にSDAまたはSCLがGNDに接続されているように見える可能性があります。そのようなアプリケーションでは、アドレス入力AD0とAD2をV+またはGNDに接続することによって選択される

4通りのアドレスの組合せを使用してください(表2および3の太字箇所)。これらの選択肢は、SDAおよびSCLの挙動とは関係なく、通電時に正しくなることが保証されます。他の12通りのアドレスの組合せのいずれかを使用した場合、最初のI²C伝送(必ずしもMAX7324ではなく、任意のデバイスに対するもので構いません)がバス上に送出されるまでは、予想外のプルアップの組合せがアサートされる可能性があります。

ポート入力

ポート入力は、このエキスパンダの電源電圧によって決定されるCMOSロジックレベルでスイッチし、デバイスの電源電圧とは無関係に+6Vまでの過電圧耐性があります。

ポート入力の遷移検出

シリアルインタフェース通してこのエキスパンダがアクセスされてから後、8個の入力ポートのすべてについて、変化していないか監視されます。入力ポートの状態は内部の「スナッチショット」レジスタに格納され、遷移の監視に使用されます。スナッチショットは、実際の入力の状態と常に比較され、いずれかのポート入力についての変化が検出されると、そのポートに対応する内部の遷移フラグがセットされます。MAX7324の読取りと書き込みのアクセスごとに、I²Cのアクノリッジ中に8個のポート入力がサンプリングされ(内部でスナッチショットレジスタにラッチされ)、元の遷移フラグが

8個のプッシュプル出力および8個の入力付き、 I²Cポートエキスパンダ

表3. MAX7324の出力O8~O15のアドレスマップ

PIN CONNECTION		DEVICE ADDRESS							OUTPUTS POWER-UP DEFAULT							
AD2	AD0	A6	A5	A4	A3	A2	A1	A0	O15	O14	O13	O12	O11	O10	O9	O8
SCL	GND	1	0	1	0	0	0	0	1	1	1	1	0	0	0	0
SCL	V+	1	0	1	0	0	0	1	1	1	1	1	1	1	1	1
SCL	SCL	1	0	1	0	0	1	0	1	1	1	1	1	1	1	1
SCL	SDA	1	0	1	0	0	1	1	1	1	1	1	1	1	1	1
SDA	GND	1	0	1	0	1	0	0	1	1	1	1	0	0	0	0
SDA	V+	1	0	1	0	1	0	1	1	1	1	1	1	1	1	1
SDA	SCL	1	0	1	0	1	1	0	1	1	1	1	1	1	1	1
SDA	SDA	1	0	1	0	1	1	1	1	1	1	1	1	1	1	1
GND	GND	1	0	1	1	0	0	0	0	0	0	0	0	0	0	0
GND	V+	1	0	1	1	0	0	1	0	0	0	0	1	1	1	1
GND	SCL	1	0	1	1	0	1	0	0	0	0	0	1	1	1	1
GND	SDA	1	0	1	1	0	1	1	0	0	0	0	1	1	1	1
V+	GND	1	0	1	1	1	0	0	1	1	1	1	0	0	0	0
V+	V+	1	0	1	1	1	0	1	1	1	1	1	1	1	1	1
V+	SCL	1	0	1	1	1	1	0	1	1	1	1	1	1	1	1
V+	SDA	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1

クリアされます。それまでのポート遷移フラグは、2バイトの読取りシーケンスの第2バイトとしてシリアルインタフェース経由で読み取られます。

(2バイトを超える)長い読取りシーケンスを使用して、スレーブアドレスを再送するオーバーヘッドなしに、常にエキスパンダのポーリングを行うことができます。エキスパンダから2バイトを超える読取りが行われる場合、エキスパンダは入力ポートのデータ2バイトと遷移フラグとを繰り返して返送します。入力は繰り返しサンプリングし直され、読み取ったバイトのペアごとに遷移フラグが繰り返し設定し直されます。このように長い読取りシーケンスの期間中に発生したすべての変化が検出され報告されます。

MAX7324には、いずれの入力に変化があったとき割込みを発生させるかを選択する8ビットの割込みマスクレジスタが内蔵されています。それぞれの入力に変化すると、割込みマスクレジスタの設定には関係なく、その入力の遷移フラグがセットされます。割込みマスクレジスタを使用することで、重要な事象についてはプロセッサへの割込みを許可し、より重要度の低い事象については、入力と遷移フラグを周期的にポーリングして検出するということが可能になります。

割込みサービスルーチンへの再入が繰り返されるのを防ぐため、読取りシーケンス中はINT出力が再度アサートされることはありません。代わりに、通常であればINT出力がセットされる原因になるデータの変化が生じ

た場合、ストップ状態までINTのアサートが遅延されず。変化した入力データがストップ発生前に読み取られた場合は、ストップ状態になってもINTは再アサートされません。INTのロジックが、不必要な割込みは発生させず、しかしデータの変化はいつ生じても必ず検出され報告されることを保証します。

遷移検出マスク

遷移検出ロジックでは、各入力ポートについて、遷移フラグと割込みマスクビットを用意しています。8個の遷移フラグはシリアルインタフェース経由で読み取ることができ、8ビットの割込みマスクはシリアルインタフェースを通して設定します。

各ポートの遷移フラグは、そのポートの入力に変化したときにセットされ、たとえ入力が元の状態に戻っても変化フラグはセットされたままになります。ポートの割込みマスクは、その入力ポートの変化によって割込みが生成されるかどうかを決定します。優先度の高い入力について、割込みマスクを使って割込みをイネーブルしてください。割込みによって、それらの入力の変化に対するシステムの迅速な反応が可能になります。重要性のより低い入力については、MAX7324を周期的にポーリングすることによって監視してください。遷移フラグが、任意の入力についてMAX7324への最後のアクセス以後に永続的または過渡的な変化が発生したかどうかを示しています。

8個のプッシュプル出力および8個の入力付き、 I²Cポートエキスパンダ

シリアルインタフェース

シリアルアドレス指定

MAX7324はI²Cインタフェース経由でデータの送受信を行い、スレーブとして動作します。このインタフェースは、シリアルデータライン(SDA)とシリアルクロックライン(SCL)を使用して、マスタ(複数可)とスレーブ(複数可)の間での双方向通信を実現するものです。マスタはMAX7324との間のすべてのデータ転送を開始し、データ転送の同期を取るためのSCLクロックを生成します(図1)。

SDAは、入力とオープンドレイン出力の両方として動作します。SDAにはプルアップ抵抗(通常は4.7kΩ)が必要です。SCLは入力としてのみ動作します。2線式インタフェース上に複数のマスタが存在する場合、またはシングルマスタシステムのマスタがオープンドレインのSCL出力を備えている場合には、SCLにもプルアップ抵抗(通常は4.7kΩ)が必要です。

個々の伝送は、マスタが送信するスタート状態、それに続くMAX7324の7ビットのスレーブアドレスとR/Wビット、1つ以上のデータバイト、そして最後にストップ状態という組合せで構成されます(図2)。

スタートおよびストップ状態

インタフェースがビジーでないときは、SCLとSDAの両方ともハイの状態に保たれています。マスタは、SCLがハイの間にSDAをハイからローに遷移させることによってスタート(S)状態を発行し、転送の開始を伝えます。スレーブとの通信を終えたマスタは、SCLがハイの間にSDAをローからハイに遷移させることによってストップ(P)状態を発行します。これでバスが解放され、次の転送が可能になります(図2)。

ビット転送

各クロックパルスの中に、1つのデータビットが転送されます。SDA上のデータは、SCLがハイの間は安定している必要があります(図3)。

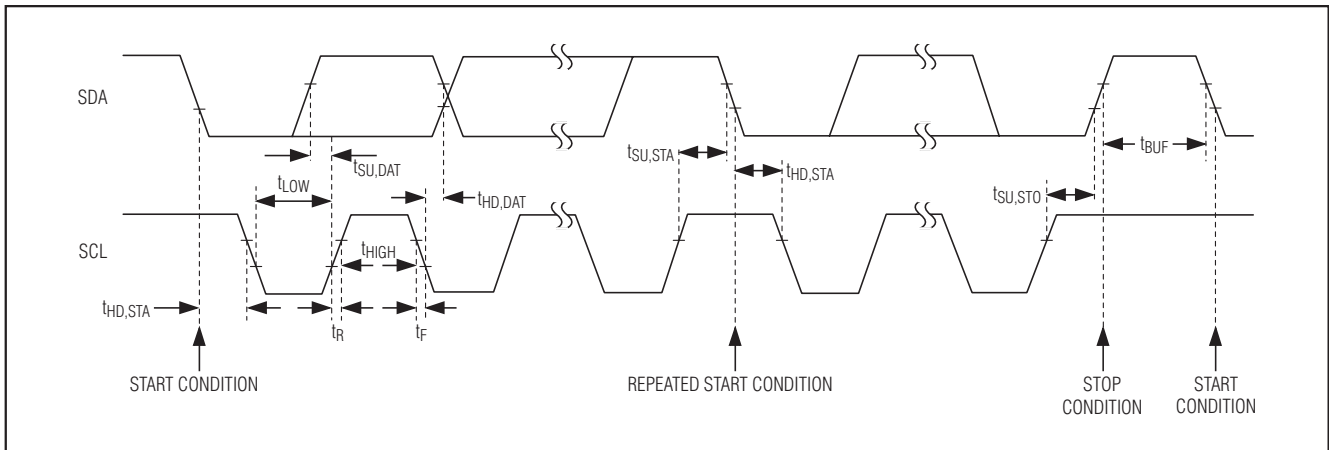


図1. 2線式シリアルインタフェースのタイミング詳細

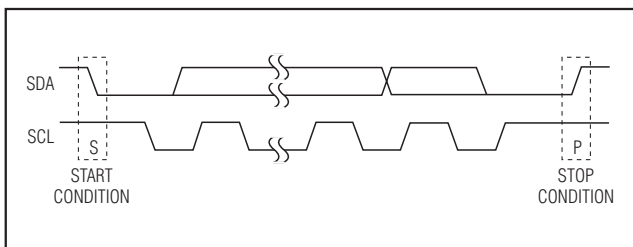


図2. スタートおよびストップ状態

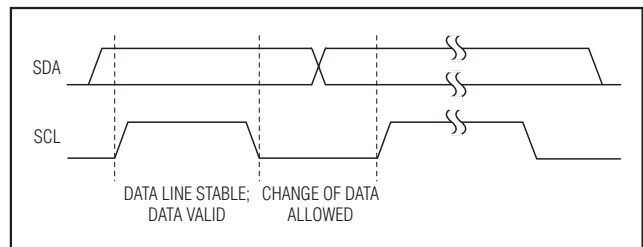


図3. ビット転送

8個のプッシュプル出力および8個の入力付き、 I²Cポートエキスパンダ

ACKノリッジ

ACKノリッジビットは、データの各バイトの受領を通知するために受信側が使用する、9番目のクロックによるビットです(図4)。転送される各バイトは実際に9ビットを必要とすることになります。マスタが9番目のクロックパルスを生成し、受信側はACKノリッジのクロックパルスの間SDAをプルダウンして、クロックパルスのハイの期間SDAラインが安定するようにします。マスタからMAX7324への送信中はMAX7324が受信側になるため、MAX7324がACKノリッジビットを生成します。MAX7324からマスタへの送信中はマスタが受信側になるため、マスタがACKノリッジビットを生成します。マスタは、ストップ状態を発行する前にはACKノリッジを生成しません。

スレーブアドレス

MAX7324は、2つの異なる7ビット長のスレーブアドレスを備えています(表2および3)。アドレスは、8個のプッシュプル出力と通信を行うか、8個の入力と通信を行うかで異なります。7ビットのスレーブアドレスに続く8番目のビットはR/Wビットです。書込みコマンド時はロー、読み取りコマンド時はハイになります。

MAX7324のスレーブアドレスの先頭(A6)、2番目(A5)、および3番目(A4)のビットは、常に1、1、0 (10~17)

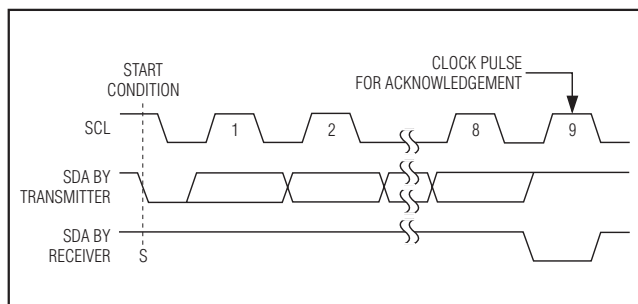


図4. ACKノリッジ

または1、0、1 (08~015)になります。AD0とAD2を、GND、V+、SDA、またはSCLに接続して、スレーブアドレスのビットA3、A2、A1、およびA0を選択します。すなわちMAX7324は16通りのスレーブアドレスのペアを選択可能であり(表2および3)、1つのI²Cバス上に最大16個のMAX7324デバイスが存在可能になります。

MAX7324のアクセス

MAX7324には、I²Cインタフェースを通してアクセスします。MAX7324は、8個の入力ポート(10~17)と8個のプッシュプルポート(08~015)で、2つの異なる7ビットのスレーブアドレスを備えています。表2および3を参照してください。

MAX7324の入力ポートからの**単一バイト読み取り**では、8個のポートの状態が返され、内部の遷移フラグとINT出力の両方がクリアされます。MAX7324の出力ポートからの**単一バイト読み取り**では、8個の出力ポートの状態が返されず(入力として読み取られます)。

MAX7324の入力ポートからの**2バイト読み取り**では、8個のポートの状態が(単一バイト読み取りと同様に)返され、その後に遷移フラグが続きます。内部の遷移フラグとINT出力は、MAX7324がスレーブアドレスバイトのACKノリッジを行う際にクリアされますが、それまでの遷移フラグのデータが2番目のバイトとして送られます。MAX7324の出力ポートからの**2バイト読み取り**では、8個の出力ポートの状態が繰り返して返却され、入力として読み取られます。

MAX7324の入力ポートからの**マルチバイト読み取り**(I²Cのストップビットまでに3バイト以上)では、ポートデータと遷移フラグが交互に繰り返して返却されます。転送ごとに入力データが再サンプリングされ、遷移フラグが毎回リセットされるため、マルチバイト読み取りでは最新のデータが連続的に返され、あらゆる入力ポートの変化を識別することができます。

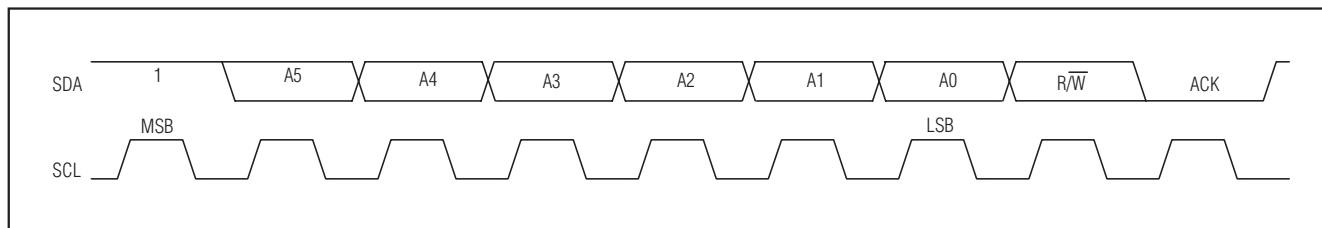


図5. スレーブアドレス

8個のプッシュプル出力および8個の入力付き、 I²Cポートエキスパンダ

読取りシーケンス中にポート入力データの変化が発生すると、I²Cのストップビット中にINTが再びアサートされます。MAX7324は、単一バイトまたはマルチバイト読取り中に新たな割込みを生成することはありません。

入力ポートデータは、先行するI²Cアクノリッジビット(単一バイトまたは2バイト読取りの場合、I²Cスレーブアドレスのアクノリッジビット)の間にサンプリングされます。

MAX7324の出力ポートからのマルチバイト読取り(I²Cのストップビットまでに3バイト以上)では、8個の出力ポートの状態が繰り返して返却され、入力として読み取られます。

MAX7324の入力ポートへの単一バイト書込みでは、割込みマスクレジスタが設定され、内部の遷移フラグとINT出力の両方がクリアされます。

MAX7324の出力ポートへの単一バイト書込みでは、8個すべてのポートの論理状態が設定されます。

MAX7324の入力ポートへのマルチバイト書込みでは、割込みマスクレジスタが繰り返し設定されます。

MAX7324の出力ポートへのマルチバイト書込みでは、8個すべてのポートの論理状態が繰り返し設定されます。

MAX7324からの読取り

MAX7324の入力ポートからの読取りは、マスタがR/Wビットをハイにした入力ポートのスレーブアドレスを送信することによって始まります。MAX7324はスレーブアドレスをアクノリッジし、アクノリッジビットの間にポートのサンプリングを行います。スレーブアドレスのアクノリッジの間に、INTはアサートを解除されます。

通常、マスタはMAX7324から1バイトまたは2バイトを読み取り、最後のバイトを除いて、各バイトを受け取るごとにマスタによってアクノリッジが行われます。

マスタがMAX7324のオープンドレインポートから1バイトを読み取り、それに続いてストップ状態を発行すると(図6)、MAX7324は現在のポートデータを送信し、遷移フラグをクリアし、遷移検出を再開します。INTはスレーブアドレスのアクノリッジ中にアサート解除されます。新しいスナッチショットデータは、マスタに送信される現在の入力ポートデータになるため、転送中に発生する入力ポートの変化はすべて検出されます。INTはストップ状態までハイのままになります。

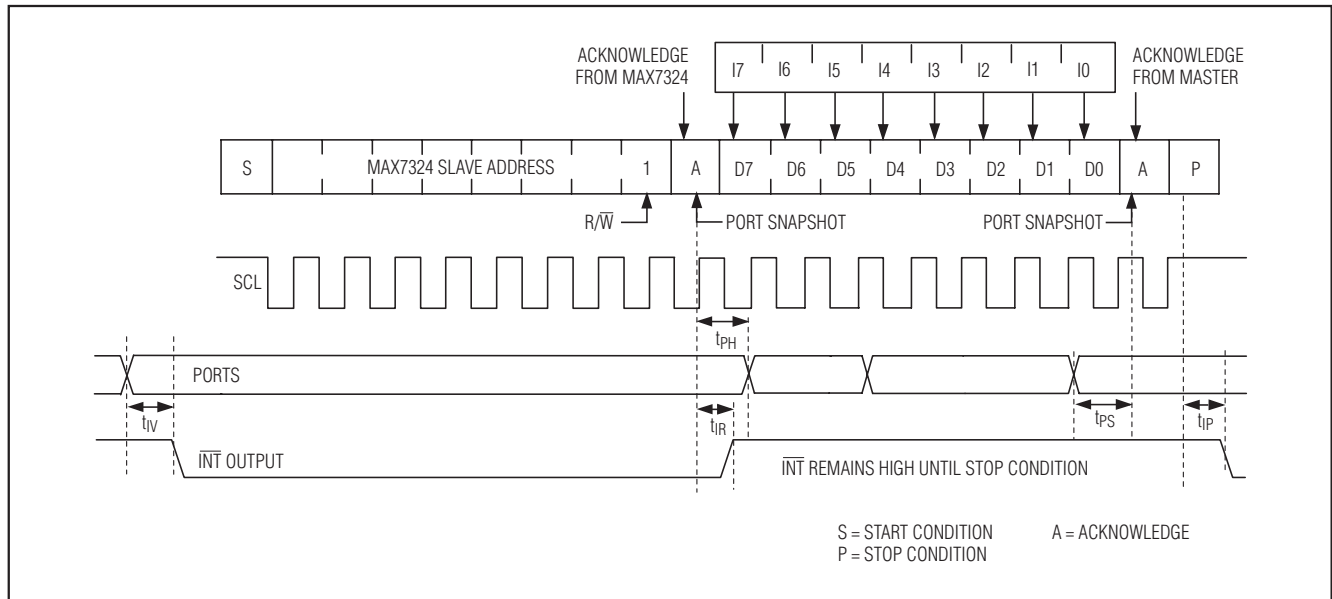


図6. MAX7324の入力ポートからの読取り(1バイトのデータ)

8個のプッシュプル出力および8個の入力付き、 I²Cポートエキスパンダ

マスタがMAX7324の出力ポートから2バイトを読み取り、その後ストップ状態を発行する場合(図7)、MAX7324は現在のポートデータを送信し、その後に遷移フラグを送信します。そして遷移フラグがクリアされ、遷移検出が再開されます。INTはスレーブのアクノリッジ中にアサート解除されます。新しいスナップショットデータは、マスタに送信される現在のポートデータになるため、転送中にポートの遷移が発生すれば検出されます。INTはストップ状態までハイのままになります。マスタが3バイト以上のデータを読み取る場合は、入力ポートデータと遷移フラグが交互に返されます。

MAX7324の出力ポートからの読み取りは、マスタがR/Wビットをハイにしたポートのスレーブアドレスを送信することで始まります。MAX7324はスレーブアドレスをアクノリッジし、アクノリッジビットの間に出力ポートの論理状態をサンプリングします。マスタは

MAX7324の出力ポートから1バイト以上を読み取り、ストップ状態を発行することができます(図8)。MAX7324は、アクノリッジ中に(ポートの出力ラッチではなく)実際のポート出力から読み取った、現在のポートデータを送信します。ポートが本来プログラムされたもの以外の論理状態を強制されている場合、読み取り結果にそれが反映されます。容量性負荷を駆動する場合、読み取ったポートレベルの検証アルゴリズムでは、RCの立上り/立下り時間を考慮する必要があります。

通常、マスタはMAX7324の出力ポートから1バイトを読み取り、ストップ状態を発行します(図8)。しかし、マスタはMAX7324の出力ポートから2バイト以上を読み取って、ストップ状態を発行することもできます。この場合、MAX7324は各アクノリッジの間にポート出力の再サンプリングを行い、毎回新しいデータを送信します。

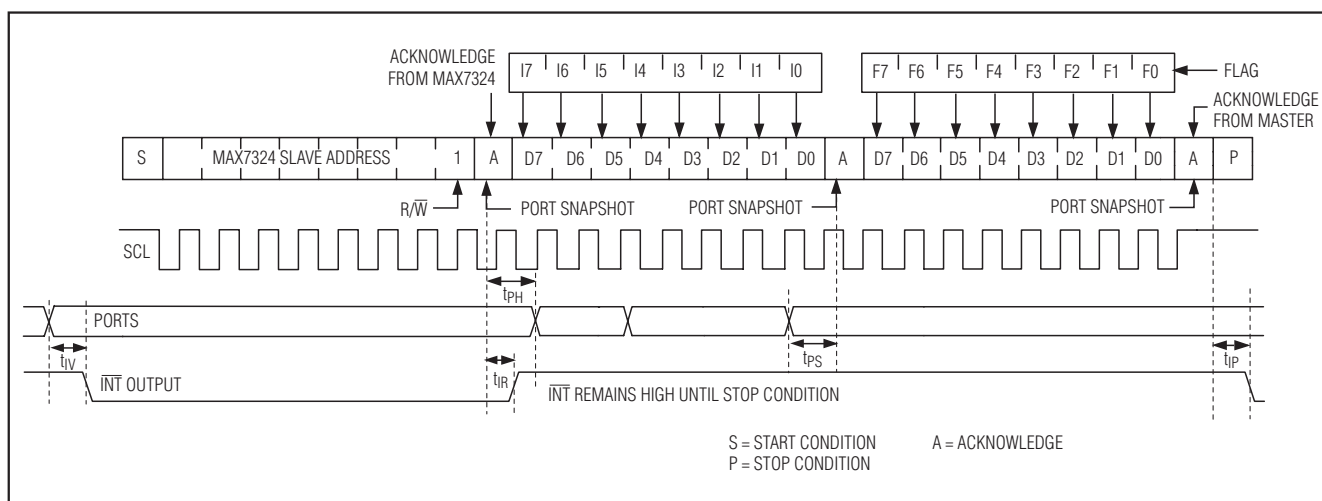


図7. MAX7324の入力ポートからの読み取り(2バイトのデータ)

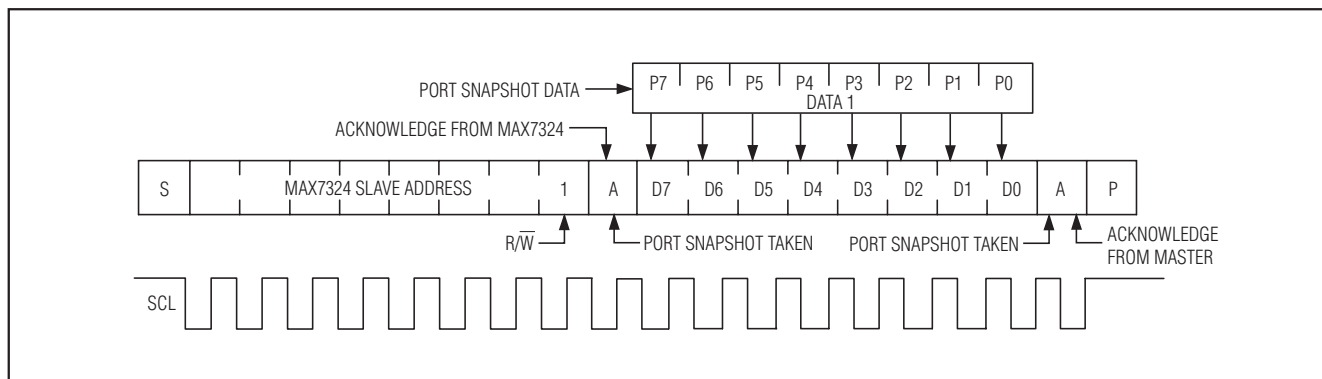


図8. MAX7324の出力ポートからの読み取り

8個のプッシュプル出力および8個の入力付き、 I²Cポートエキスパンダ

MAX7324への書込み

MAX7324の入力ポートへの書込みは、マスタがR/Wビットをローにしたグループのスレーブアドレスを送信することで始まります。MAX7324はスレーブアドレスをアクノリッジし、アクノリッジビットの間にポートのサンプリングを行います。スレーブのアクノリッジの間に、 \overline{INT} はアサートが解除されます。これでマスタは、1バイト以上のデータ送信を行うことができます。MAX7324はこれら後続のデータバイトのアクノリッジを行い、マスタがストップ状態を発行するまで、新しいバイトごとに割込みマスクレジスタを更新します(図9)。

MAX7324の出力ポートへの書込みは、マスタがR/Wビットをローにしたグループのスレーブアドレスを送信することで始まります。MAX7324はスレーブアドレスをアクノリッジし、アクノリッジビットの間にポートのサンプリングを行います。これでマスタは、1バイト以上のデータ送信を行うことができます。MAX7324はこれら後続のデータバイトのアクノリッジを行い、マスタがストップ状態を発行するまで、該当するグループのポートを新しいバイトで更新します(図10)。

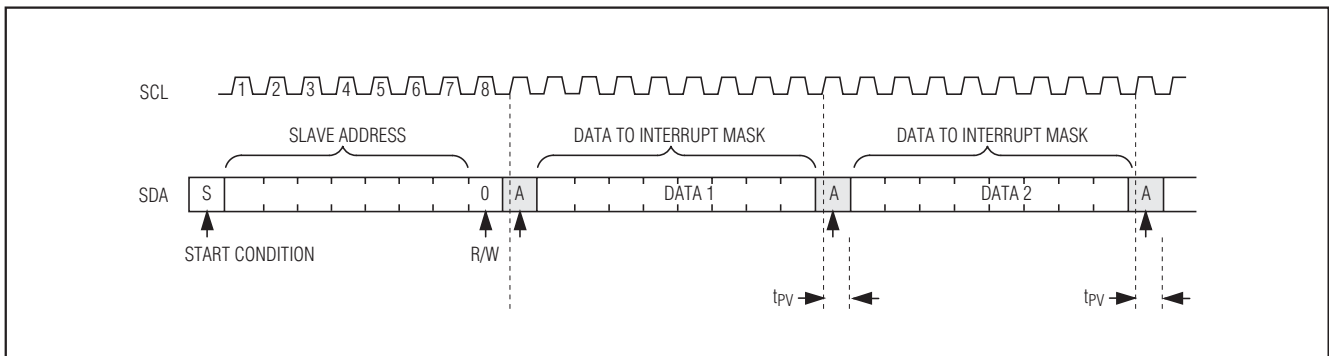


図9. MAX7324の入力ポートへの書込み

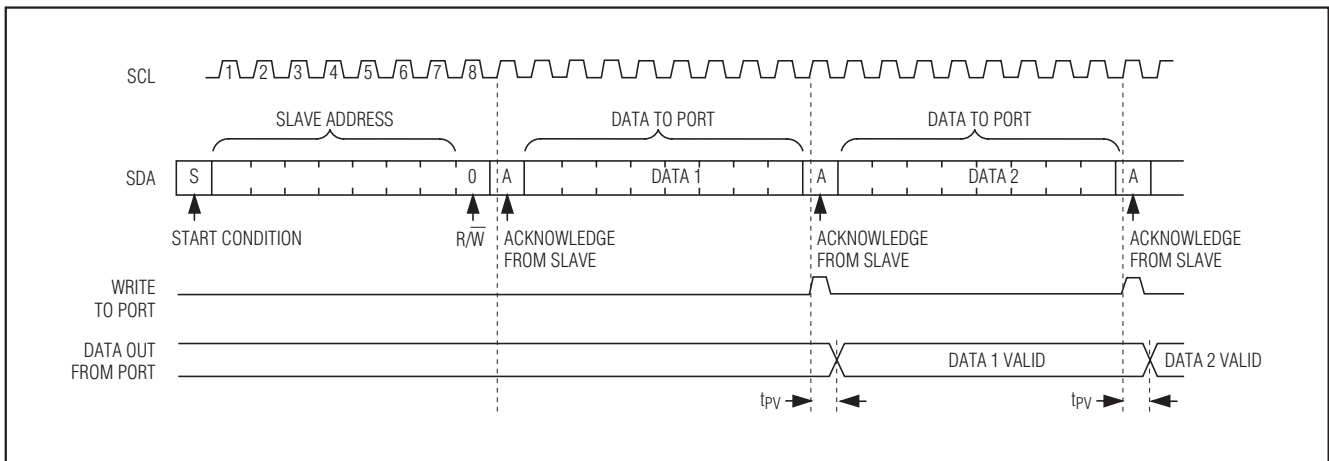


図10. MAX7324の出力ポートへの書込み

8個のプッシュプル出力および8個の入力付き、 I²Cポートエキスパンダ

アプリケーション情報

より高いまたは低い論理電圧からのポート入力と I²Cインタフェースレベル変換

SDA、SCL、AD0、AD2、 \overline{RST} 、 \overline{INT} 、およびI0~I7は、+6Vまで過電圧保護されています。このためMAX7324は、I²Cインタフェースや8個の入力ポートの中により高い論理レベル(たとえば+5V)で駆動されているものがあるときに、より低い電源電圧(たとえば+3.3V)で動作することが可能になっています。

MAX7324は、I²Cインタフェースや入力ポートI0~I7の中により低い論理レベル(たとえば+2.5V)で駆動されているものがあるときに、より高い電源電圧(たとえば+3V)で動作することが可能です。V+が1.8V未満の場合、いずれの入力についても論理ハイをアサートするには最小でも電圧 $0.8 \times V+$ を印加してください。V+が1.8V以上の場合、論理ハイをアサートするには $0.7 \times V+$ を印加してください。たとえば、MAX7324が+5V電源で動作している場合、公称+3.3Vの論理ハイは認識されない可能性があります。入力レベル変換のための1つの方法は、MAX7324の入力をオープンドレインの出力から駆動することです。V+以上の電源へのプルアップ抵抗を使用して、ハイの論理電圧が確実に $0.7 \times V+$ より大きくなるようにしてください。

ポート出力信号レベル変換

MAX7324が電源オフのとき($V+ = 0$)、最大+6Vの印加に対してRST、SCL、SDA、AD0、およびAD2はハイインピーダンスを維持します。したがって、MAX7324

はホットスワップアプリケーションで使用することができます。

8個の出力ポートは、いずれもV+とGNDへの保護ダイオードを備えています。ポート出力がV+より高い電圧またはGNDより低い電圧に駆動されると、適切な保護ダイオードが出力をダイオード降下分だけV+より上またはGNDより下にクランプします。MAX7324の電源がオフになると($V+ = 0$)、各出力ポートのV+とGNDへの保護ダイオードは、各出力からGNDへのダイオードクランプのように見えます(図11)。

入力ポートI0~I7は、いずれもGNDへの保護ダイオードを備えています(図12)。ポートの入力がGNDより低い電圧に駆動されると、保護ダイオードがGNDよりダイオード降下分下に入力をクランプします。

8個の入力ポートI0~I7は、イネーブルまたはディセーブルが可能な40k Ω (typ)のプルアップ抵抗も備えています。ポートがV+より高い電圧に駆動されると、プルアップイネーブルスイッチのボディダイオードが導通し、40k Ω のプルアップ抵抗がイネーブルされます。MAX7324が電源オフされると($V+ = 0$)、各入力ポートはグラウンドに接続されたダイオードと直列な40k Ω の抵抗のように見えます。入力ポートはこれらすべての状況下において+6Vまで保護されます。

LED負荷の駆動

8個の出力ポートO8~O15のいずれかでLEDを駆動する場合、LEDと直列に抵抗を接続して、LEDの電流が20mAを超えないように制限する必要があります。LEDのカソードをMAX7324のポートに接続し、LED

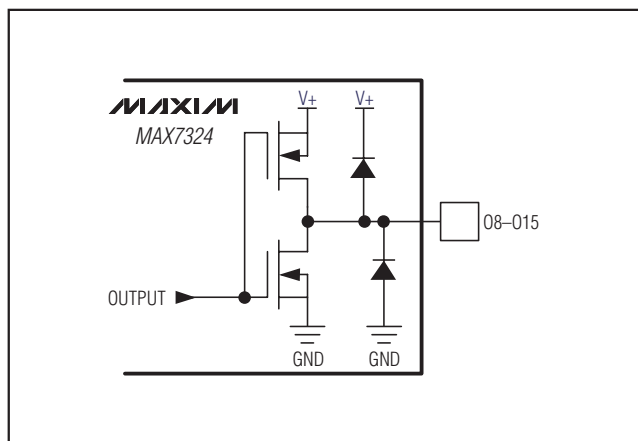


図11. MAX7324の出力ポート構造

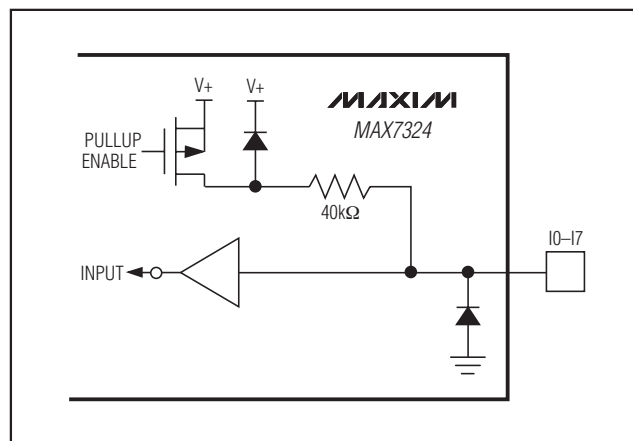


図12. MAX7324の入力ポート構造

8個のプッシュプル出力および8個の入力付き、 I²Cポートエクスパンダ

MAX7324

のアノードを直列の電流制限抵抗 R_{LED} を通してV+に接続してください。

LEDを点灯するには、ポートの出力をローにします。次の式に従って抵抗値を選択してください。

$$R_{LED} = (V_{SUPPLY} - V_{LED} - V_{OL}) / I_{LED}$$

ただし、

R_{LED} はLEDと直列の抵抗の値(Ω)。

V_{SUPPLY} はLEDの駆動に使用する電源電圧(V)。

V_{LED} はLEDの順方向電圧(V)。

V_{OL} は I_{LED} シンク時におけるMAX7324の出力ロー電圧(V)。

I_{LED} は所望のLEDの動作電流(A)。

たとえば、2.2Vの赤色LEDを+5V電源から10mAで動作させる場合、

$$R_{LED} = (5 - 2.2 - 0.1) / 0.01 = 270\Omega$$

20mAを超える負荷電流の駆動

MAX7324は、出力の並列化によってリレーのような20mAを超える電流の負荷の駆動に使用することができます。負荷電流20mA当たり少なくとも1つの出力を使用

してください。たとえば、5V 330mWのリレーには66mAが流れるため、4個の出力を並列にする必要があります。MAX7324に書き込むことによって、ポートの任意の組合せを同時にセットまたはクリアできるため、出力の任意の組合せを負荷分散設計の一部として使用することができます。デバイス全体でのシンク電流の合計が100mAを超えないようにしてください。

MAX7324は、誘導性負荷(リレーなど)の両端間に逆バイアスダイオードを接続することによって、誘導性負荷をスイッチオフする際に生成される負の電圧トランジェントから保護する必要があります。誘導性負荷の動作電流よりも大きいダイオードのピーク電流を選択してください。

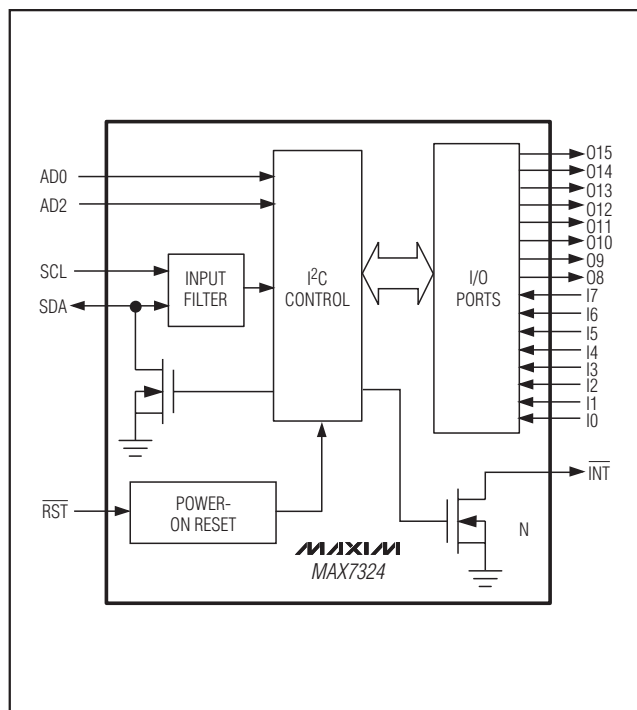
電源について

MAX7324は、 $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ の温度範囲で+1.71V~+5.5Vの電源電圧で動作します。できる限りデバイスに近い位置で、少なくとも0.047 μF のセラミックコンデンサを使って電源をGNDにバイパスしてください。TQFN版の場合、さらにエクスポーズドパッドをGNDに接続してください。

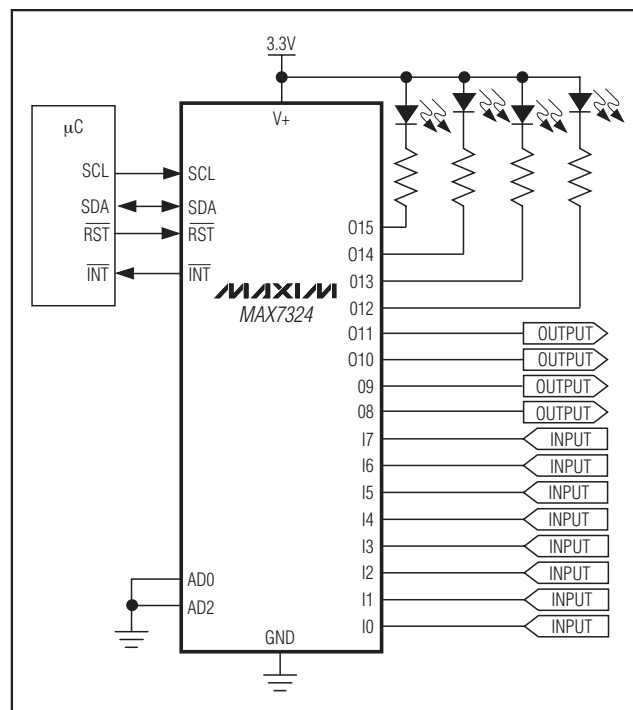
8個のプッシュプル出力および8個の入力付き、 I²Cポートエキスパンダ

MAX7324

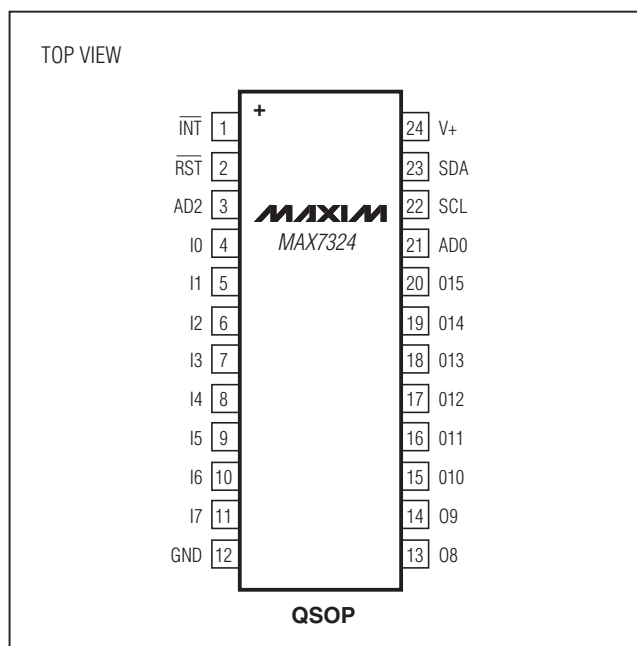
機能ブロック図



標準動作回路



ピン配置(続き)



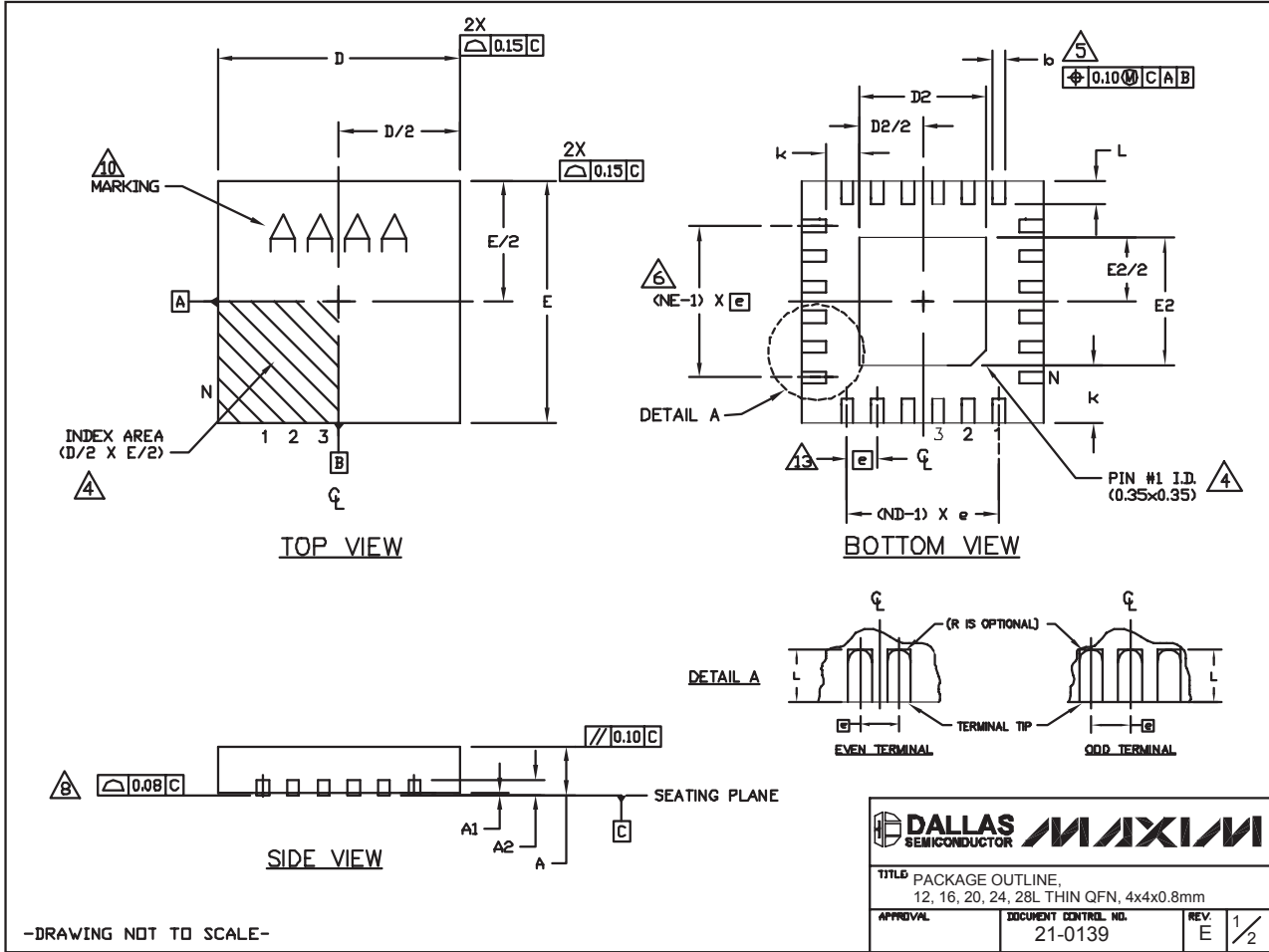
チップ情報

PROCESS: BiCMOS

8個のプッシュプル出力および8個の入力付き、 I²Cポートエキスパンダ

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



24L QFN THIN.EPS

8個のプッシュプル出力および8個の入力付き、 I²Cポートエキスパンダ







MAX7324

パッケージ(続き)


(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

COMMON DIMENSIONS															EXPOSED PAD VARIATIONS									
PKG REF.	12L 4x4			16L 4x4			20L 4x4			24L 4x4			28L 4x4			PKG CODES	D2			E2			DOWN BONDS ALLOWED	
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.		MIN.	NOM.	MAX.	MIN.	NOM.	MAX.		
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	T1244-3	1.95	2.10	2.25	1.95	2.10	2.25	YES	
A1	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05	T1244-4	1.95	2.10	2.25	1.95	2.10	2.25	NO	
A2	0.20 REF			0.20 REF			0.20 REF			0.20 REF			0.20 REF			T1644-3	1.95	2.10	2.25	1.95	2.10	2.25	YES	
b	0.25	0.30	0.35	0.25	0.30	0.35	0.20	0.25	0.30	0.18	0.23	0.30	0.15	0.20	0.25	T1644-4	1.95	2.10	2.25	1.95	2.10	2.25	NO	
D	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	T2044-2	1.95	2.10	2.25	1.95	2.10	2.25	YES	
E	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	T2044-3	1.95	2.10	2.25	1.95	2.10	2.25	NO	
e	0.80 BSC.			0.65 BSC.			0.50 BSC.			0.50 BSC.			0.40 BSC.			T2444-2	1.95	2.10	2.25	1.95	2.10	2.25	YES	
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-	T2444-3	2.45	2.60	2.63	2.45	2.60	2.63	YES	
L	0.45	0.55	0.65	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50	0.30	0.40	0.50	T2444-4	2.45	2.60	2.63	2.45	2.60	2.63	NO	
N	12			16			20			24			28			T2844-1	2.50	2.60	2.70	2.50	2.60	2.70	NO	
ND	3			4			5			6			7											
NE	3			4			5			6			7											
Jedec Ver.	VGG8			VGGC			WGGD-1			WGGD-2			WGGE											

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
-  THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
-  DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
-  ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
-  COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO220, EXCEPT FOR T2444-3, T2444-4 AND T2844-1.
-  MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
- COPLANARITY SHALL NOT EXCEED 0.08mm
- WARPAGE SHALL NOT EXCEED 0.10mm
-  LEAD CENTERLINES TO BE AT TRUE POSITION AS DEFINED BY BASIC DIMENSION "e", ±0.05.
- NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY

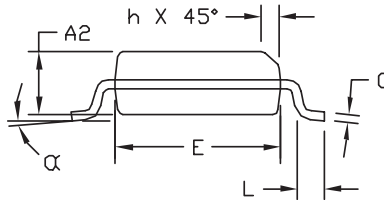
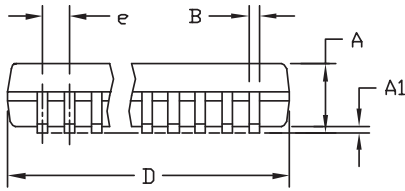
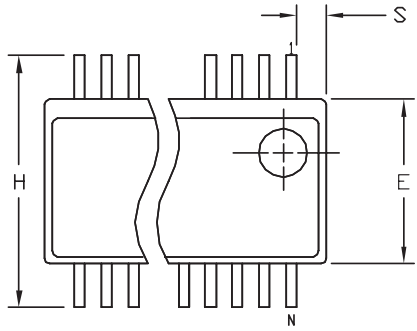
-DRAWING NOT TO SCALE-

			
TITLE PACKAGE OUTLINE, 12, 16, 20, 24, 28L THIN QFN, 4x4x0.8mm			
APPROVAL	DOCUMENT CONTROL NO. 21-0139	REV. E	2/2

8個のプッシュプル出力および8個の入力付き、 I²Cポートエキスパンダ

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.053	.069	1.35	1.75
A1	.004	.010	.102	.254
A2	.049	.065	1.245	1.651
B	.008	.012	0.20	0.30
C	.0075	.0098	0.191	0.249
D	SEE VARIATIONS			
E	.150	.157	3.81	3.99
e	.025 BSC		0.635 BSC	
H	.230	.244	5.84	6.20
h	.010	.016	0.25	0.41
L	.016	.035	0.41	0.89
N	SEE VARIATIONS			
α	0°	8°	0°	8°

VARIATIONS:

DIM	INCHES		MILLIMETERS		N
	MIN.	MAX.	MIN.	MAX.	
D	.189	.196	4.80	4.98	16 AB
S	.0020	.0070	0.05	0.18	
D	.337	.344	8.56	8.74	20 AD
S	.0500	.0550	1.270	1.397	
D	.337	.344	8.56	8.74	24 AE
S	.0250	.0300	0.635	0.762	
D	.386	.393	9.80	9.98	28 AF
S	.0250	.0300	0.635	0.762	

NOTES:

- 1). D & E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS.
- 2). MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .006" PER SIDE.
- 3). CONTROLLING DIMENSIONS: INCHES.
- 4). MEETS JEDEC MO137.

DALLAS SEMICONDUCTOR **MAXIM**
 PROPRIETARY INFORMATION
 TITLE
 PACKAGE OUTLINE, QSOP, .150", .025" LEAD PITCH
 APPROVAL _____ DOCUMENT CONTROL NO. 21-0055 REV. F 1/1

QSOP-EP8

改訂履歴

Rev 2での変更: 全ページ

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

20 _____ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2006 Maxim Integrated Products, Inc. All rights reserved. **MAXIM** is a registered trademark of Maxim Integrated Products, Inc.