

# MAX7301

## 4線式インタフェース、2.5V~5.5V、 20ポートおよび28ポートI/Oエキスパンダ

### 概要

MAX7301は小型シリアルインタフェースI/Oエキスパンダ(または汎用I/O (GPIO)周辺装置)で、マイクロプロセッサに最大28個のポートを供給します。各ポートは、ロジック入力およびロジック出力をユーザーが個別設定することができます。

各ポートは、10mAのシンク駆動と4.5mAのソース駆動が可能なプッシュプルロジック出力、またはオプションの内部プルアップ付シュミットロジック入力のいずれかに設定することができます。7個のポートは設定可能な遷移検出口ロジックを備え、これによりポートロジックレベルの変更時に割込みが生成されます。MAX7301はSPI対応4線式シリアルインタフェースを通じて制御されます。

MAX7301AAXおよびMAX7301ATLは28個のポートを備え、それぞれ36ピンSSOPおよび40ピンTQFNパッケージで提供されます。MAX7301AAIは20個のポートを備え、28ピンSSOPパッケージで提供されます。

2線式I<sup>2</sup>CインタフェースバージョンはMAX7300のデータシートをご参照ください。

24mAの定電流LED駆動能力を備えたピン互換のポートエキスパンダについては、MAX6957のデータシートを参照してください。

### アプリケーション

- 白物家電
- ゲーム機
- 産業用コントローラ
- システム監視

### 型番

| PART        | TEMP RANGE      | PIN-PACKAGE |
|-------------|-----------------|-------------|
| MAX7301AAI+ | -40°C to +125°C | 28 SSOP     |
| MAX7301AAX+ | -40°C to +125°C | 36 SSOP     |
| MAX7301ATL+ | -40°C to +125°C | 40 TQFN-EP* |

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。

\*EP = エクスポーズドパッド

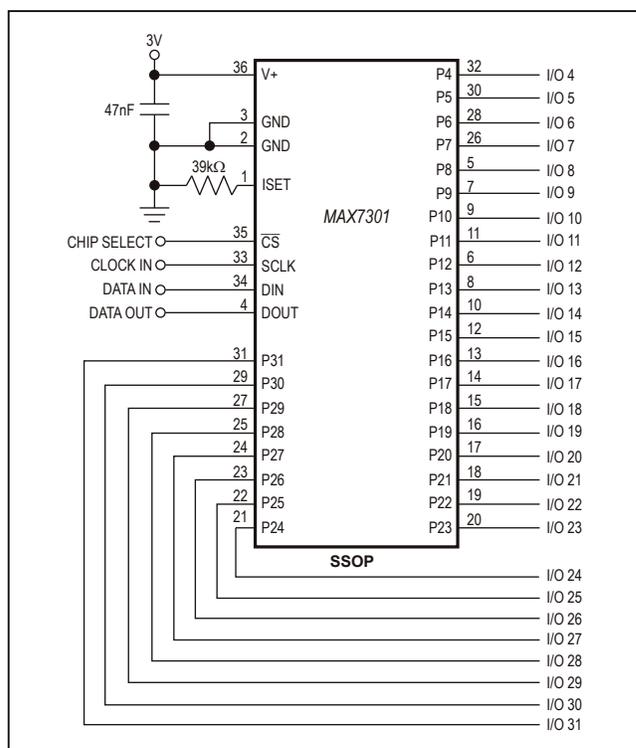
QSPIはMotorola, Inc.の商標です。

MICROWIREはNational Semiconductor Corp.の登録商標です。

### 利点と特長

- 業界標準4線式インタフェースによって最大28までのI/O拡張を簡素化(マイクロプロセッサアーキテクチャから独立)
- SPI/QSPI™/MICROWIRE®対応の高速26MHzシリアルインタフェース
- 動作電圧：2.25V~5.5V
- 設定可能な20または28のI/Oポート：プッシュプルロジック出力、シュミットロジック入力、または内部プルアップ付きシュミットロジック入力
- 7つのI/Oポートでロジック遷移検出
- 低消費電力によって電源要件を削減
- シャットダウン電流：11µA (max)

### 標準動作回路



ピン配置はデータシートの最後に記載されています。



**Absolute Maximum Ratings**

|   |                      |   |
|---|----------------------|---|
| (Voltage with respect to GND.)                        |                      | 36-Pin SSOP (derate 11.8mW/°C above +70°C).....941mW  |
| V+ .....  | -0.3V to +6V         | 40-Pin TQFN (derate 26.3mW/°C above +70°C)...2963.0mW |
| All Other Pins .....                                  | -0.3V to (V+ + 0.3V) | Operating Temperature Range                           |
| P4–P31 Current .....                                  | ±30mA                | (T <sub>MIN</sub> , T <sub>MAX</sub> ) .....          |
| GND Current .....                                     | 800mA                | Junction Temperature.....                             |
| Continuous Power Dissipation (T <sub>A</sub> = +70°C) |                      | Storage Temperature Range.....                        |
| 28-Pin SSOP (derate 9.5mW/°C above +70°C).....        | 762mW                | Lead Temperature (soldering, 10s).....                |

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

**Electrical Characteristics**

(Typical Operating Circuit, V+ = 2.5V to 5.5V, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted.) (Note 1)

| PARAMETER                              | SYMBOL                            | CONDITIONS  | MIN   | TYP | MAX      | UNITS |
|--|-----------------------------------|---|---|-----|----------|-------|
| Operating Supply Voltage               | V+                                |   | 2.5   |     | 5.5      | V     |
| Shutdown Supply Current                | I <sub>SHDN</sub>                 | All digital inputs at V+ or GND   | T <sub>A</sub> = +25°C                                | 5.5 | 8        | μA    |
|  |                                   |   | T <sub>A</sub> = -40°C to +85°C                       |     | 10       |       |
|  |                                   |   | T <sub>A</sub> = T <sub>MIN</sub> to T <sub>MAX</sub> |     | 11       |       |
| Operating Supply Current (Output High) | I <sub>GPOH</sub>                 | All ports programmed as outputs high, no load, all other inputs at V+ or GND                            | T <sub>A</sub> = +25°C                                | 180 | 230      | μA    |
|  |                                   |   | T <sub>A</sub> = -40°C to +85°C                       |     | 250      |       |
|  |                                   |   | T <sub>A</sub> = T <sub>MIN</sub> to T <sub>MAX</sub> |     | 270      |       |
| Operating Supply Current (Output Low)  | I <sub>GPOL</sub>                 | All ports programmed as outputs low, no load, all other inputs at V+ or GND                             | T <sub>A</sub> = +25°C                                | 170 | 210      | μA    |
|  |                                   |   | T <sub>A</sub> = -40°C to +85°C                       |     | 230      |       |
|  |                                   |   | T <sub>A</sub> = T <sub>MIN</sub> to T <sub>MAX</sub> |     | 240      |       |
| Operating Supply Current (Input)       | I <sub>GPI</sub>                  | All ports programmed as inputs without pullup, ports, and all other inputs at V+ or GND                 | T <sub>A</sub> = +25°C                                | 110 | 135      | μA    |
|  |                                   |   | T <sub>A</sub> = -40°C to +85°C                       |     | 140      |       |
|  |                                   |   | T <sub>A</sub> = T <sub>MIN</sub> to T <sub>MAX</sub> |     | 145      |       |
| <b>INPUTS AND OUTPUTS</b>              |                                   |   |   |     |          |       |
| Logic High Input Voltage Port Inputs   | V <sub>IH</sub>                   |   | 0.7 × V+  |     |          | V     |
| Logic Low Input Voltage Port Inputs    | V <sub>IL</sub>                   |   |   |     | 0.3 × V+ | V     |
| Input Leakage Current                  | I <sub>IH</sub> , I <sub>IL</sub> | GPIO inputs without pullup, V <sub>PORT</sub> = V+ to GND   | -100  | ±1  | +100     | nA    |
| GPIO Input Internal Pullup to V+       | I <sub>PU</sub>                   | V+ = 2.5V   | 12  | 19  | 30       | μA    |
|  |                                   | V+ = 5.5V   | 80  | 120 | 180      |       |
| Hysteresis Voltage GPIO Inputs         | ΔV <sub>I</sub>                   |   |   | 0.3 |          | V     |
| Output High Voltage                    | V <sub>OH</sub>                   | GPIO outputs, I <sub>SOURCE</sub> = 2mA, T <sub>A</sub> = -40°C to +85°C                                | V+ - 0.7  |     |          | V     |
|  |                                   | GPIO outputs, I <sub>SOURCE</sub> = 1mA, T <sub>A</sub> = T <sub>MIN</sub> to T <sub>MAX</sub> (Note 2) | V+ - 0.7  |     |          |       |

**Electrical Characteristics (continued)**(Typical Operating Circuit,  $V+ = 2.5V$  to  $5.5V$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted.) (Note 1)

| PARAMETER  | SYMBOL           | CONDITIONS                                  | MIN        | TYP | MAX   | UNITS |
|--|------------------|---|------------|-----|-------|-------|
| Port Sink Current                                | $I_{OL}$         | $V_{PORT} = 0.6V$                           | 2          | 10  | 18    | mA    |
| Output Short-Circuit Current                     | $I_{OLSC}$       | Port configured output low, shorted to $V+$ | 2.75       | 11  | 20.00 | mA    |
| Input High-Voltage SCLK, DIN, $\overline{CS}$    | $V_{IH}$         | $V+ \leq 3.3V$                              | 1.6        |     |       | V     |
|  |                  | $V+ > 3.3V$                                 | 2          |     |       |       |
| Input Low-Voltage SCLK, DIN, $\overline{CS}$     | $V_{IL}$         |   |            |     | 0.6   | V     |
| Input Leakage Current SCLK, DIN, $\overline{CS}$ | $I_{IH}, I_{IL}$ |   | -50        |     | +50   | nA    |
| Output High-Voltage DOUT                         | $V_{OH}$         | $I_{SOURCE} = 1.6mA$                        | $V+ - 0.5$ |     |       | V     |
| Output Low-Voltage DOUT                          | $V_{OL}$         | $I_{SINK} = 1.6mA$                          |            |     | 0.4   | V     |

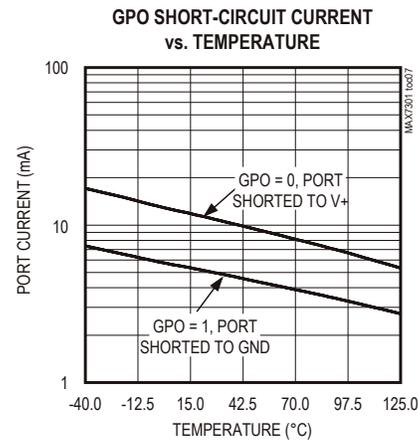
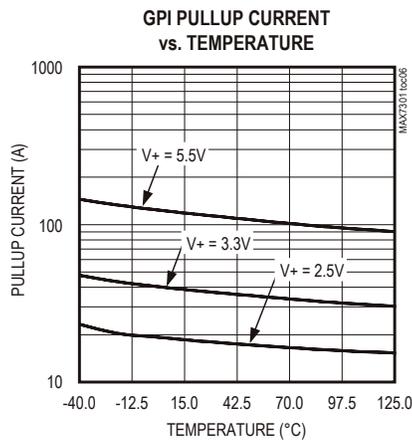
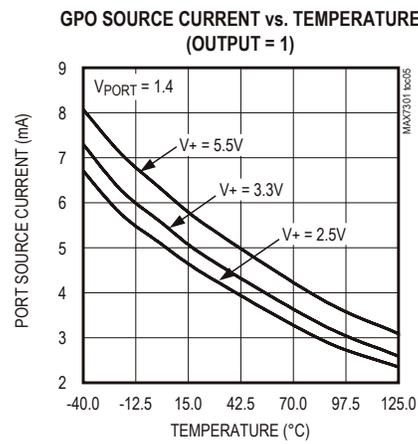
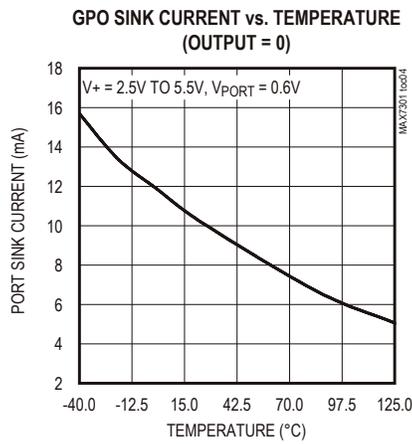
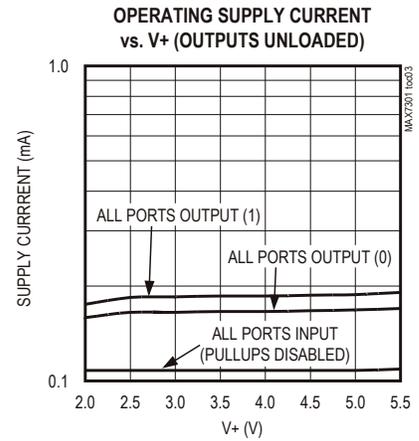
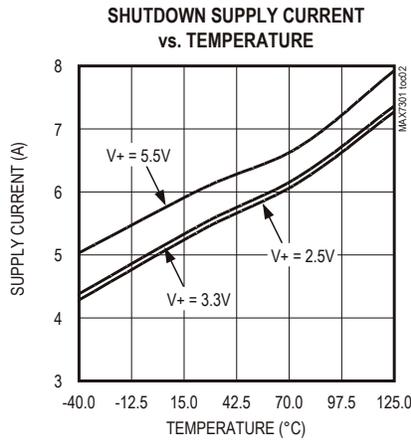
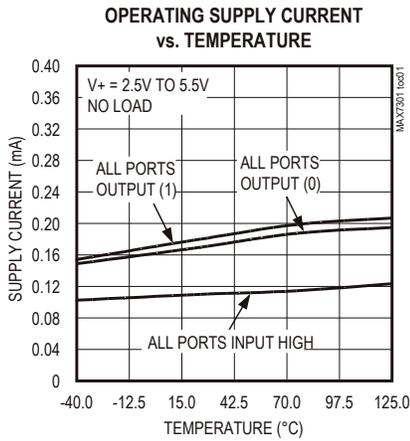
**Timing Characteristics (Figure 3)**(V+ = 2.5V to 5.5V,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted.) (Note 1)

| PARAMETER                                    | SYMBOL    | CONDITIONS        | MIN  | TYP | MAX | UNITS |
|--|-----------|-------------------|------|-----|-----|-------|
| CLK Clock Period                             | $t_{CP}$  |                   | 38.4 |     |     | ns    |
| CLK Pulse-Width High                         | $t_{CH}$  |                   | 19   |     |     | ns    |
| CLK Pulse-Width Low                          | $t_{CL}$  |                   | 19   |     |     | ns    |
| $\overline{CS}$ Fall to SCLK Rise Setup Time | $t_{CSS}$ |                   | 9.5  |     |     | ns    |
| CLK Rise to $\overline{CS}$ Rise Hold Time   | $t_{CSH}$ |                   | 0    |     |     | ns    |
| DIN Setup Time                               | $t_{DS}$  |                   | 9.5  |     |     | ns    |
| DIN Hold Time                                | $t_{DH}$  |                   | 0    |     |     | ns    |
| Output Data Propagation Delay                | $t_{DO}$  | $C_{LOAD} = 25pF$ |      |     | 21  | ns    |
| Minimum $\overline{CS}$ Pulse High           | $t_{CSW}$ |                   | 19   |     |     | ns    |

**Note 1:** All parameters tested at  $T_A = +25^\circ C$ . Specifications over temperature are guaranteed by design.**Note 2:** Guaranteed by design.

標準動作特性

( $T_A = +25^\circ\text{C}$ , unless otherwise noted.)



## 端子説明

| 端子      |         |                          | 名称              | 機能   |
|---------|---------|--------------------------|-----------------|--|
| 36 SSOP | 28 SSOP | TQFN                     |                 |  |
| 1       | 1       | 36                       | ISET            | バイアス電流設定。39kΩ~120kΩの抵抗値(R <sub>ISET</sub> )を介して、ISETをGNDに接続してください。     |
| 2, 3    | 2, 3    | 37, 38, 39               | GND             | グラウンド  |
| 4       | 4       | 40                       | DOUT            | 4線式インタフェースシリアルデータ出力ポート   |
| —       | 5-24    | —                        | P12~P31         | I/Oポート。P12~P31はプッシュプル出力、CMOSロジック入力、または弱プルアップ抵抗を備えたCMOSロジック入力として設定可能です。 |
| 5-32    | —       | 1-10,<br>12-19,<br>21-30 | P4~P31          | I/Oポート。P4~P31はプッシュプル出力、CMOSロジック入力、または弱プルアップ抵抗を備えたCMOSロジック入力として設定可能です。  |
| —       | —       | 11, 20, 31               | N.C.            | 接続なし。内部で接続されていません。   |
| 33      | 25      | 32                       | SCLK            | 4線式インタフェースシリアルクロック入力ポート  |
| 34      | 26      | 33                       | DIN             | 4線式インタフェースシリアルデータ入力ポート   |
| 35      | 27      | 34                       | $\overline{CS}$ | 4線式インタフェースチップセレクト入力、アクティブロー  |
| 36      | 28      | 35                       | V+              | 正の電源電圧。0.047μF (min)のコンデンサでV+をGNDにバイパスします。                             |
| —       | —       | —                        | EP              | パッケージ下面のエクスポーズドパッド。GNDに接続してください。                                       |

## 詳細

GPIO周辺回路のMAX7301は、SPI対応シリアルインタフェースを介して制御される最大28のI/Oポート(P4~P31)を提供します。ポートはロジック入力とロジック出力の任意の組み合わせに設定可能で、起動時はデフォルトでロジック入力になります。

図1は、MAX7301のファンクションダイアグラムです。任意のI/Oポートをプッシュプル出力(10mAをシンク、4.5mAを供給)、またはシュミットトリガロジック入力に設定することができます。各入力は、個別に選択可能なプルアップ抵抗を内蔵しています。さらに、遷移の検出では、7つのポート(P24~P30)のマスク可能な任意の組み合わせに対し、ロジック状態の変化を監視することが可能です。

遷移が検出されると、割込み端子(ポートP31)を介して通知されます。

Port Configurationレジスタは、28のポート(P4~P31)を個別にGPIOとして設定します。レジスタ0x09~0x0Fのビットのペアによって、各ポートの構成を設定します(表1および2)。

36ピンのMAX7301AAXおよび40ピンのMAX7301ATLは、28のポート(P4~P31)を備えています。28ピンのMAX7301AALは、20ポート(P12~P31)で提供されます。未使用の8つのポートは、レジスタ0x09および0x0Aに0x55を書き込むことによって起動時に出力として設定してください。これを行わない場合、8つの未使用ポートはフ

ローテイング入力のままになり自己消費電流が増大しますが、デバイスに損傷を与えることはありません。

## 複数のドライバにわたるI/Oポートのレジスタ制御

MAX7301は、パッケージの選択に応じて20または28のI/Oポートを提供します。

2つのアドレス指定方法が利用可能です。一度に任意の1つのポート(ビット)に対する書込み(1の設定/クリア)、または一度に8つのポートの任意のシーケンスに対する任意の組み合わせの書込み(1の設定/クリア)が可能です。アドレス境界はなく、P0~P7、P1~P8、またはP31~P38に対する書込みは同様に許容されます(P32~P38は存在しないため、これらのビットに対する命令は無視されます)。

## シャットダウン

MAX7301がシャットダウンモードの場合、全ポートは強制的に入力(読取り可能)になり、プルアップ電流ソースはオフになります。PortおよびControlレジスタのデータは変化しないため、ポートの設定および出力レベルはMAX7301のシャットダウンが終了するときに復元されます。ディスプレイドライバはシャットダウンモード時もプログラム可能です。シャットダウンモードでの消費電流を最小限に抑えるため、ロジック入力はGNDまたはV+電位にしてください。シャットダウンモードは、ConfigurationレジスタのSビットに1を設定することによって終了します(表6)。

表1. Port Configurationのマップ

| REGISTER                                  | ADDRESS CODE (HEX) | REGISTER DATA |    |     |    |     |    |     |    |
|---|--------------------|---------------|----|-----|----|-----|----|-----|----|
|   |                    | D7            | D6 | D5  | D4 | D3  | D2 | D1  | D0 |
| Port Configuration for P7, P6, P5, P4     | 0x09               | P7            |    | P6  |    | P5  |    | P4  |    |
| Port Configuration for P11, P10, P9, P8   | 0x0A               | P11           |    | P10 |    | P9  |    | P8  |    |
| Port Configuration for P15, P14, P13, P12 | 0x0B               | P15           |    | P14 |    | P13 |    | P12 |    |
| Port Configuration for P19, P18, P17, P16 | 0x0C               | P19           |    | P18 |    | P17 |    | P16 |    |
| Port Configuration for P23, P22, P21, P20 | 0x0D               | P23           |    | P22 |    | P21 |    | P20 |    |
| Port Configuration for P27, P26, P25, P24 | 0x0E               | P27           |    | P26 |    | P25 |    | P24 |    |
| Port Configuration for P31, P30, P29, P28 | 0x0F               | P31           |    | P30 |    | P29 |    | P28 |    |

表2. Port Configurationのマトリクス

| MODE                    | FUNCTION                  | PORT REGISTER (0x20-0x5F) (0xA0-0xDF) | PIN BEHAVIOR                    | ADDRESS CODE (HEX) | PORT CONFIGURATION BIT PAIR |       |
|-------------------------|---------------------------|---------------------------------------|---------------------------------|--------------------|-----------------------------|-------|
|                         |                           |                                       |                                 |                    | UPPER                       | LOWER |
| DO NOT USE THIS SETTING |                           |                                       |                                 | 0x09 to 0x0F       | 0                           | 0     |
| Output                  | GPIO Output               | Register bit = 0                      | Active-low logic output         | 0x09 to 0x0F       | 0                           | 1     |
|                         |                           | Register bit = 1                      | Active-high logic output        |                    |                             |       |
| Input                   | GPIO Input Without Pullup | Register bit = input logic level      | Schmitt logic input             | 0x09 to 0x0F       | 1                           | 0     |
| Input                   | GPIO Input with Pullup    |                                       | Schmitt logic input with pullup |                    |                             |       |

## シリアルインタフェース

MAX7301は、SPI対応4線式シリアルインタフェースを介して通信します。このインタフェースは、3つの入力(クロック(SCLK)、チップセレクト( $\overline{CS}$ )、およびデータイン(DIN))と、1つの出力(データアウト(DOUT))を備えています。 $\overline{CS}$ はデバイスに対するデータのクロックイン/クロックアウト時にローである必要があり、DINはSCLKの立上りエッジでのサンプリング時に安定している必要があります。DOUTは15.5クロック前に入力されたビットのコピーを提供するか、または問い合わせに応じて内部レジスタデータを出力し、SCLKの立上りエッジで安定します。SPIプロトコルではMAX7301がアクセスされていない場合DOUTはハイインピーダンスになることが想定されますが、MAX7301のDOUTは決してハイインピーダンスにならないことに注意してください。必要に応じてDOUTをトライステートに変換する方法については、[アプリケーションノート1879「Using Maxim SPI-compatible Display Drivers with other SPI Peripherals」](#) (英文)を参照してください。

SCLKおよびDINを使用してデータを他の周辺装置に送信することができるため、 $\overline{CS}$ の立下りから次の立上りまでの間以外MAX7301はSCLKおよびDIN上の全アクティビティを無視します。

## 4線式インタフェースを使用した制御および操作

MAX7301の制御には、16ビットワードを送信する必要があります。第1のバイト(D15~D8)はコマンドアドレス(表3)、第2のバイト(D7~D0)はデータバイトです(表4~表8)。

### 複数のMAX7301の4線式バスへの接続

1つのデバイスのDOUTを次のデバイスのDINに接続し、SCLKおよび $\overline{CS}$ ラインを並列で駆動することによって、複数のMAX7301のデジタイゼーションが可能で(図3)。DINのデータは内部シフトレジスタを介して伝播し、15.5クロックサイクル後にSCLKの立下りエッジでクロックアウトされてDOUTに現れます。複数のMAX7301にコマンドを送信する場合、全デバイスが同時にアクセスされます。アクセスには(16 x n)クロックサイクルが必要で、nは相互に接続されているMAX7301の数です。デジタイゼーション内の1つのデバイスのみを更新するには、他のデバイスにNo-Opコマンド(0x00)を送信します。

### デバイスレジスタの書込み

MAX7301は16ビットシフトレジスタを含んでおり、 $\overline{CS}$ がローの場合、SCLKの立上りエッジでその中にDINのデータがクロックインされます。 $\overline{CS}$ がハイの場合、SCLKの遷移には効果がありません。 $\overline{CS}$ がハイになると、シフトレジスタ内の16ビットが16ビットのラッチに並列ロードされます。次にラッチ内の16ビットがデコードされ実行されます。

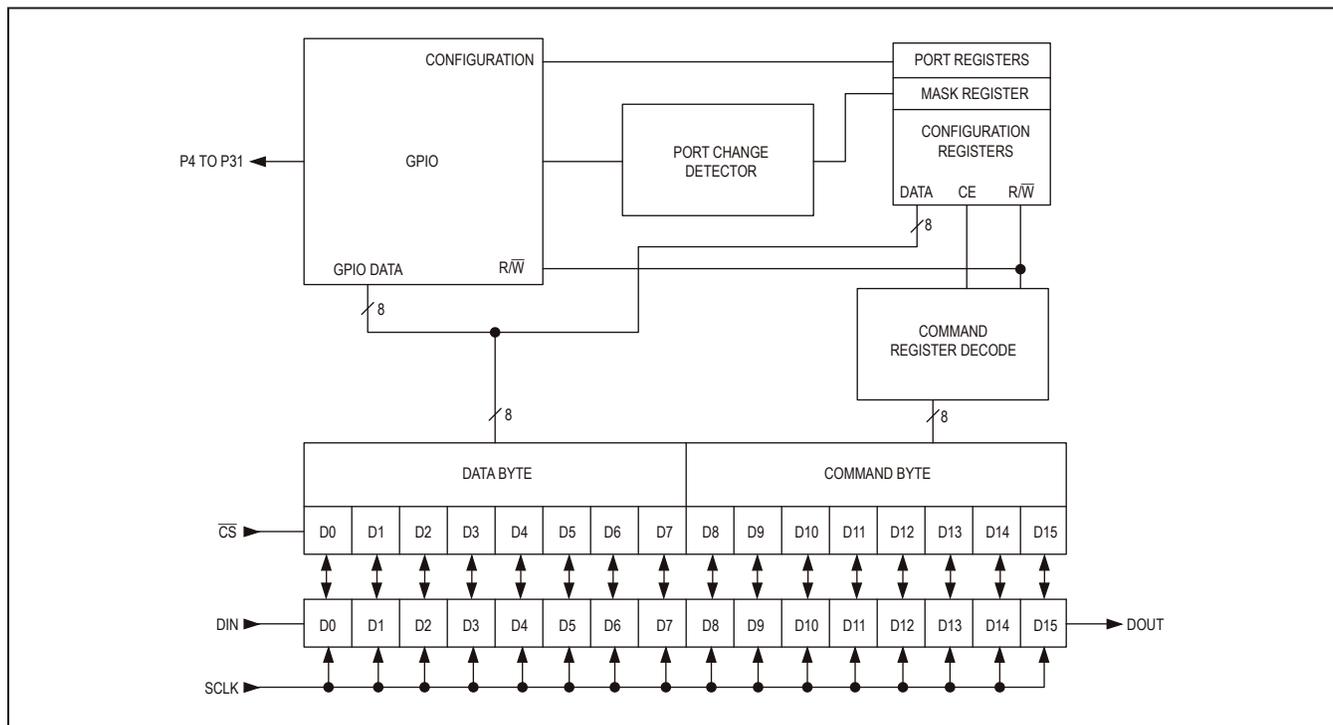


図 1. MAX7301 のファンクションダイアグラム

MAX7301への書き込みには以下のシーケンスを使用します。

- 1) SCLKをローにします。
- 2)  $\overline{CS}$ をローにします。これによって内部16ビットシフトレジスタがイネーブルされます。
- 3) セットアップ時間およびホールド時間を遵守して、16ビットのデータ(D15が最初、D0が最後)をDINにクロックインします(ビットD15はローで、書き込みコマンドを示します)。
- 4)  $\overline{CS}$ をハイにします(最後のデータビットのクロックイン後でSCLKがまだハイの間、またはSCLKをローにした後のいずれか)。
- 5) SCLKをローにします(まだローにしていない場合)。

図4は、16ビットが送信される場合の書き込み動作を示します。

$\overline{CS}$ をローにしてから再び $\overline{CS}$ をハイにする間に16ビット以上をMAX7301にクロックインすることは許容されます。この場合、最後にMAX7301にクロックインされた16ビットのみが保持されます。

### デバイスレジスタの読取り

ビットD15にロジックハイを送ることによって、MAX7301内の任意のレジスタデータを読み取ることができます。シーケンスは以下のとおりです。

- 1) SCLKをローにします。
- 2)  $\overline{CS}$ をローにします(これによって内部16ビットシフトレジスタがイネーブルされます)。
- 3) 16ビットのデータ(D15が最初でD0が最後)をDINにクロックインします。D15はハイで、読取りコマンドを示し、ビットD14~D8は読み取るレジスタのアドレスを含みます。ビットD7~D0はダミーデータを含み、そのデータは破棄されます。
- 4)  $\overline{CS}$ をハイにします(最後のデータビットのクロックイン後でSCLKがまだハイの間、またはSCLKをローにした後のいずれか)。シフトレジスタ内のD7~D0の位置にビットD14~D8でアドレス指定されたレジスタデータがロードされます。
- 5) SCLKをローにします(まだローにしていない場合)。
- 6) 次の読取りまたは書き込みコマンド(No-Opでも良い)を送信し、DOUTのビットストリームを調べます。第2の8ビットは、ステップ3でビットD14~D8によってアドレス指定したレジスタの内容です。

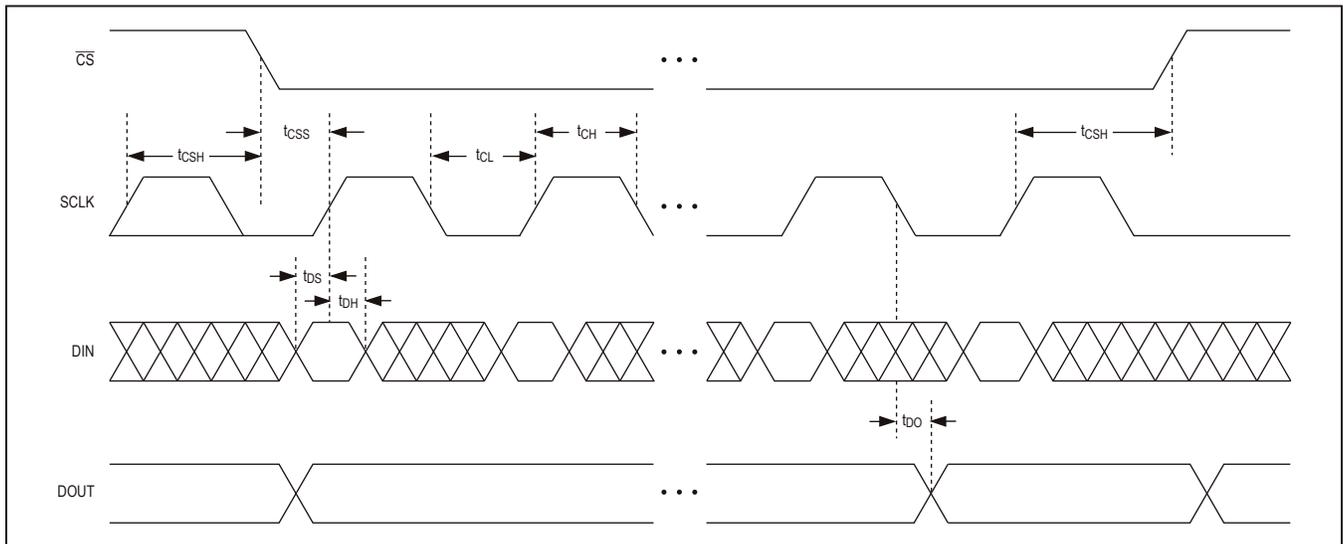


図 2. 4 線式インタフェース

## 最初の電源投入

最初の電源投入時、全Controlレジスタはリセットされ、MAX7301はシャットダウンモードに移行します(表4)。

## 遷移(ポートデータ変化)検出

ポート遷移検出によって、7つのポート(P24~P30)の任意の組み合わせに対し、ロジック状態の変化を継続的に監視することができます(図5)。検出された変化はポートP31で通知され、アクティブハイの割込み出力(INT)として使用されます。MAX7301はどの特定のポートが割込みを発生させたかを識別せず、1つまたはそれ以上のポートのレベルが変化したという警告を提供することに注意してください。

Maskレジスタは7つのマスクビットを含んでおり、7つのポート(P24~P30)のどれを監視するかを選択します(表8)。適切なマスクビットに1を設定すると、そのポートの遷移検出がイネーブルされます。そのポートの遷移検出を無視する場合は、マスクビットをクリアしてください。遷移検出は、監視対象のポートが入力または出力のいずれに設定されているかに関係なく機能しますが、通常は出力に対して遷移検出をイネーブルしても特に役立つことはありません。

遷移検出を使用する場合、割込み出力INTとして動作させるためにポートP31を出力に設定する必要があります。ポートP31は、Port ConfigurationレジスタにビットD7 = 0およびビットD6 = 1を書き込むことによって出力に設定されます(表1)。

遷移検出を使用する場合、最初に上記の説明に従ってMaskレジスタを設定し、ポートP31を出力として設定します。次に、ConfigurationレジスタのMビットに1を設定す

ることによって遷移検出をイネーブルします(表7)。Mビットに1を設定してConfigurationレジスタの書き込みを行うたびに、MAX7301はポートP24~P30のロジック状態の比較用コピーを保持する内部7ビットスナップショットレジスタを更新します。この更新動作はそれまでのMビットの状態に関係なく行われるため、スナップショットレジスタを更新する目的でMビットをクリアしてから再び1を設定する必要はありません。

Mビットに1を設定してConfigurationレジスタに書き込むと遷移検出がイネーブルされ、MビットをクリアしてConfigurationレジスタに書き込むか、または遷移が検出されるまで、イネーブルされたままになります。まだローではなかった場合、INT出力ポートP31がローになります。

遷移検出がイネーブルされると、MAX7301はスナップショットレジスタとP24~P31の変化する状態を継続的に比較します。たとえ(パルスのような)短時間のもので、監視対象のいずれかのポートの変化が検出された場合、INT出力ポートP31がハイにラッチされます。さらに変化が発生した場合あるいはデータパターンが元のスナップショットの状態に戻った場合も、INT出力はクリアされません。INTをクリアする唯一の方法は、Transition Detection Maskレジスタ(表8)にアクセス(読取りまたは書き込み)することです。

遷移検出は、ワンショットイベントです。遷移事象への対応後にINTがクリアされると、ConfigurationレジスタのMビットには(ユーザーがクリアしない限り)1が設定されたままであるにも関わらず、遷移検出は自動的にディセーブルされます。Mビットに1を設定してConfigurationレジスタに書き込むことによって、7つのポート(P24~P30)の新しいスナップショットを取り、遷移検出を再イネーブルしてください。

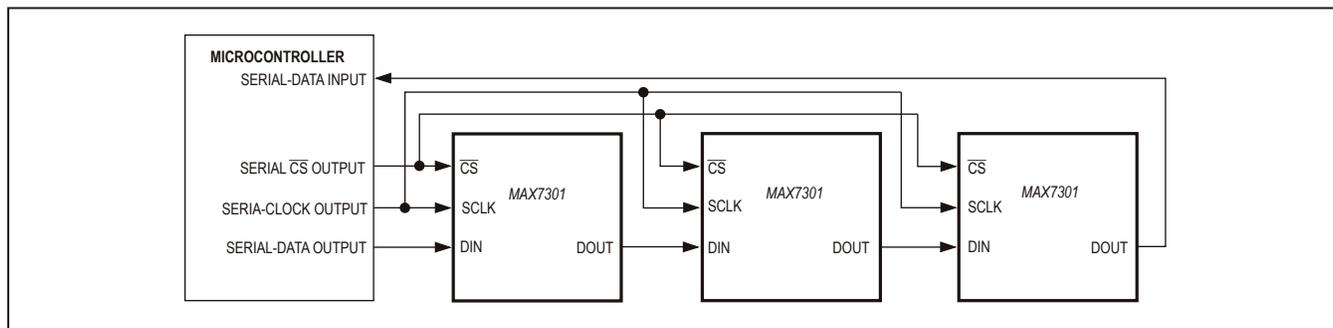


図 3. デイジーチェーン配列による複数の MAX7301 の制御

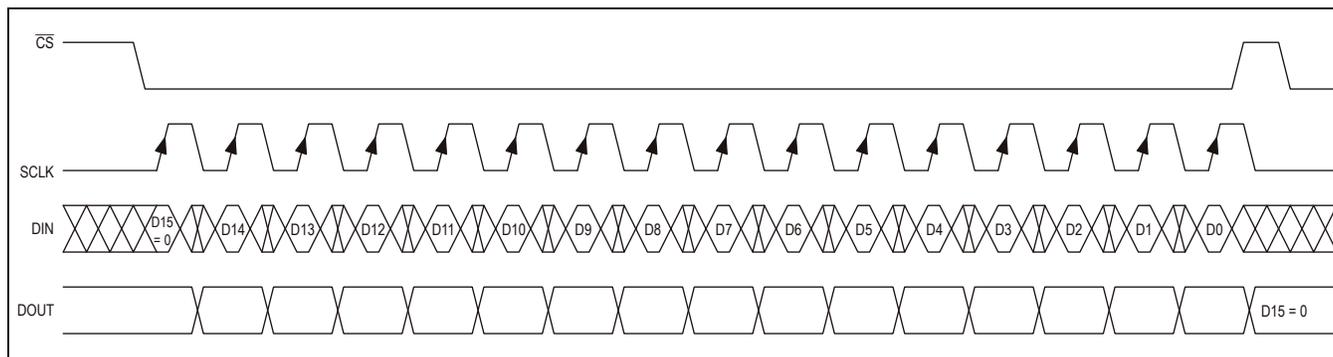


図 4. 16 ビット書き込みの MAX7301 への送信

**外付け部品R<sub>IS</sub>ET**

MAX7301は、外付け抵抗(R<sub>IS</sub>ET)を使用して内部バイアスを設定します。39kΩの抵抗値を使用してください。

**アプリケーション情報**

**低電圧動作**

MAX7301が最初は少なくとも2.5Vで起動されてデバイスの内部リセットをトリガすること、およびシリアルインタフェースが10Mbpsに制限されることを条件として、MAX7301は最小2Vの電源電圧で動作します(ただし供給およびシンク電流の保証はありません)。

**SPIの配線について**

MAX7301のSPIインタフェースは、2.5V電源では26Mbpsでの動作が保証され、5V電源では通常は50Mbpsで動作します。これは、インタフェース接続の長さが100mm以上で、特に電源電圧が高い場合に、送信ラインの問題を考慮する必要があることを意味します。通常はSCLK入力のリンギングによるダブルクロッキングが原因で、リンギングが(多くの場合断続的な)通信の問題として現れます。ある程度長いインタフェース配線の場合、DIN、SCLK、およびCS入力とGNDまたはV+のいずれかの間に1kΩ~10kΩの並列終端抵抗を取り付けてリンギングを抑制して

ください。ボード間の接続時には、ラインインピーダンス整合終端を使用してください。

**PCBレイアウトについて**

TQFNバージョンの場合、下面エクスポーズドパッドをGNDに接続してください。MAX7301の全GND接続が使用されていることを確認してください。グランドプレーンは不要ですが、MAX7301の出力の負荷が大きい場合は電源インピーダンスの低減に役立ちます。ISET端子からR<sub>IS</sub>ET抵抗までの経路長をできる限り短くし、抵抗のGND端をグランドプレーンに接続するかまたはグランド端子に直接接続してください。

**電源に関して**

MAX7301は、2.5V~5.5Vの電源電圧で動作します。デバイスにできる限り近接して、0.047μFのコンデンサで、電源をGNDにバイパスします。MAX7301がボードの入力バルクデカップリングコンデンサから遠く離れている場合、1μFのコンデンサを追加してください。

**チップ情報**

PROCESS: CMOS

表3. レジスタアドレスマップ

| REGISTER                                    | COMMAND ADDRESS |     |     |     |     |     |    |    | HEX CODE |
|---|-----------------|-----|-----|-----|-----|-----|----|----|----------|
|   | D15             | D14 | D13 | D12 | D11 | D10 | D9 | D8 |          |
| No-Op                                       | R/W             | 0   | 0   | 0   | 0   | 0   | 0  | 0  | 0x00     |
| Configuration                               | R/W             | 0   | 0   | 0   | 0   | 1   | 0  | 0  | 0x04     |
| Transition Detect Mask                      | R/W             | 0   | 0   | 0   | 0   | 1   | 1  | 0  | 0x06     |
| Factory Reserved. Do not write to this.     | R/W             | 0   | 0   | 0   | 0   | 1   | 1  | 1  | 0x07     |
| Port Configuration P7, P6, P5, P4           | R/W             | 0   | 0   | 0   | 1   | 0   | 0  | 1  | 0x09     |
| Port Configuration P11, P10, P9, P8         | R/W             | 0   | 0   | 0   | 1   | 0   | 1  | 0  | 0x0A     |
| Port Configuration P15, P14, P13, P12       | R/W             | 0   | 0   | 0   | 1   | 0   | 1  | 1  | 0x0B     |
| Port Configuration P19, P18, P17, P16       | R/W             | 0   | 0   | 0   | 1   | 1   | 0  | 0  | 0x0C     |
| Port Configuration P23, P22, P21, P20       | R/W             | 0   | 0   | 0   | 1   | 1   | 0  | 1  | 0x0D     |
| Port Configuration P27, P26, P25, P24       | R/W             | 0   | 0   | 0   | 1   | 1   | 1  | 0  | 0x0E     |
| Port Configuration P31, P30, P29, P28       | R/W             | 0   | 0   | 0   | 1   | 1   | 1  | 1  | 0x0F     |
| Port 0 only (virtual port, no action)       | R/W             | 0   | 1   | 0   | 0   | 0   | 0  | 0  | 0x20     |
| Port 1 only (virtual port, no action)       | R/W             | 0   | 1   | 0   | 0   | 0   | 0  | 1  | 0x21     |
| Port 2 only (virtual port, no action)       | R/W             | 0   | 1   | 0   | 0   | 0   | 1  | 0  | 0x22     |
| Port 3 only (virtual port, no action)       | R/W             | 0   | 1   | 0   | 0   | 0   | 1  | 1  | 0x23     |
| Port 4 only (data bit D0. D7-D1 read as 0)  | R/W             | 0   | 1   | 0   | 0   | 1   | 0  | 0  | 0x24     |
| Port 5 only (data bit D0. D7-D1 read as 0)  | R/W             | 0   | 1   | 0   | 0   | 1   | 0  | 1  | 0x25     |
| Port 6 only (data bit D0. D7-D1 read as 0)  | R/W             | 0   | 1   | 0   | 0   | 1   | 1  | 0  | 0x26     |
| Port 7 only (data bit D0. D7-D1 read as 0)  | R/W             | 0   | 1   | 0   | 0   | 1   | 1  | 1  | 0x27     |
| Port 8 only (data bit D0. D7-D1 read as 0)  | R/W             | 0   | 1   | 0   | 1   | 0   | 0  | 0  | 0x28     |
| Port 9 only (data bit D0. D7-D1 read as 0)  | R/W             | 0   | 1   | 0   | 1   | 0   | 0  | 1  | 0x29     |
| Port 10 only (data bit D0. D7-D1 read as 0) | R/W             | 0   | 1   | 0   | 1   | 0   | 1  | 0  | 0x2A     |
| Port 11 only (data bit D0. D7-D1 read as 0) | R/W             | 0   | 1   | 0   | 1   | 0   | 1  | 1  | 0x2B     |
| Port 12 only (data bit D0. D7-D1 read as 0) | R/W             | 0   | 1   | 0   | 1   | 1   | 0  | 0  | 0x2C     |
| Port 13 only (data bit D0. D7-D1 read as 0) | R/W             | 0   | 1   | 0   | 1   | 1   | 0  | 1  | 0x2D     |
| Port 14 only (data bit D0. D7-D1 read as 0) | R/W             | 0   | 1   | 0   | 1   | 1   | 1  | 0  | 0x2E     |
| Port 15 only (data bit D0. D7-D1 read as 0) | R/W             | 0   | 1   | 0   | 1   | 1   | 1  | 1  | 0x2F     |
| Port 16 only (data bit D0. D7-D1 read as 0) | R/W             | 0   | 1   | 1   | 0   | 0   | 0  | 0  | 0x30     |
| Port 17 only (data bit D0. D7-D1 read as 0) | R/W             | 0   | 1   | 1   | 0   | 0   | 0  | 1  | 0x31     |
| Port 18 only (data bit D0. D7-D1 read as 0) | R/W             | 0   | 1   | 1   | 0   | 0   | 1  | 0  | 0x32     |
| Port 19 only (data bit D0. D7-D1 read as 0) | R/W             | 0   | 1   | 1   | 0   | 0   | 1  | 1  | 0x33     |
| Port 20 only (data bit D0. D7-D1 read as 0) | R/W             | 0   | 1   | 1   | 0   | 1   | 0  | 0  | 0x34     |
| Port 21 only (data bit D0. D7-D1 read as 0) | R/W             | 0   | 1   | 1   | 0   | 1   | 0  | 1  | 0x35     |
| Port 22 only (data bit D0. D7-D1 read as 0) | R/W             | 0   | 1   | 1   | 0   | 1   | 1  | 0  | 0x36     |
| Port 23 only (data bit D0. D7-D1 read as 0) | R/W             | 0   | 1   | 1   | 0   | 1   | 1  | 1  | 0x37     |
| Port 24 only (data bit D0. D7-D1 read as 0) | R/W             | 0   | 1   | 1   | 1   | 0   | 0  | 0  | 0x38     |
| Port 25 only (data bit D0. D7-D1 read as 0) | R/W             | 0   | 1   | 1   | 1   | 0   | 0  | 1  | 0x39     |

表3. レジスタアドレスマップ(続き)

| REGISTER   | COMMAND ADDRESS |     |     |     |     |     |    |    | HEX CODE |
|--|-----------------|-----|-----|-----|-----|-----|----|----|----------|
|  | D15             | D14 | D13 | D12 | D11 | D10 | D9 | D8 |          |
| Port 26 only (data bit D0. D7–D1 read as 0)      | R/W             | 0   | 1   | 1   | 1   | 0   | 1  | 0  | 0x3A     |
| Port 27 only (data bit D0. D7–D1 read as 0)      | R/W             | 0   | 1   | 1   | 1   | 0   | 1  | 1  | 0x3B     |
| Port 28 only (data bit D0. D7–D1 read as 0)      | R/W             | 0   | 1   | 1   | 1   | 1   | 0  | 0  | 0x3C     |
| Port 29 only (data bit D0. D7–D1 read as 0)      | R/W             | 0   | 1   | 1   | 1   | 1   | 0  | 1  | 0x3D     |
| Port 30 only (data bit D0. D7–D1 read as 0)      | R/W             | 0   | 1   | 1   | 1   | 1   | 1  | 0  | 0x3E     |
| Port 31 only (data bit D0. D7–D1 read as 0)      | R/W             | 0   | 1   | 1   | 1   | 1   | 1  | 1  | 0x3F     |
| 4 ports 4–7 (data bits D0–D3. D4–D7 read as 0)   | R/W             | 1   | 0   | 0   | 0   | 0   | 0  | 0  | 0x40     |
| 5 ports 4–8 (data bits D0–D4. D5–D7 read as 0)   | R/W             | 1   | 0   | 0   | 0   | 0   | 0  | 1  | 0x41     |
| 6 ports 4–9 (data bits D0–D5. D6–D7 read as 0)   | R/W             | 1   | 0   | 0   | 0   | 0   | 1  | 0  | 0x42     |
| 7 ports 4–10 (data bits D0–D6. D7 reads as 0)    | R/W             | 1   | 0   | 0   | 0   | 0   | 1  | 1  | 0x43     |
| 8 ports 4–11 (data bits D0–D7)                   | R/W             | 1   | 0   | 0   | 0   | 1   | 0  | 0  | 0x44     |
| 8 ports 5–12 (data bits D0–D7)                   | R/W             | 1   | 0   | 0   | 0   | 1   | 0  | 1  | 0x45     |
| 8 ports 6–13 (data bits D0–D7)                   | R/W             | 1   | 0   | 0   | 0   | 1   | 1  | 0  | 0x46     |
| 8 ports 7–14 (data bits D0–D7)                   | R/W             | 1   | 0   | 0   | 0   | 1   | 1  | 1  | 0x47     |
| 8 ports 8–15 (data bits D0–D7)                   | R/W             | 1   | 0   | 0   | 1   | 0   | 0  | 0  | 0x48     |
| 8 ports 9–16 (data bits D0–D7)                   | R/W             | 1   | 0   | 0   | 1   | 0   | 0  | 1  | 0x49     |
| 8 ports 10–17 (data bits D0–D7)                  | R/W             | 1   | 0   | 0   | 1   | 0   | 1  | 0  | 0x4A     |
| 8 ports 11–18 (data bits D0–D7)                  | R/W             | 1   | 0   | 0   | 1   | 0   | 1  | 1  | 0x4B     |
| 8 ports 12–19 (data bits D0–D7)                  | R/W             | 1   | 0   | 0   | 1   | 1   | 0  | 0  | 0x4C     |
| 8 ports 13–20 (data bits D0–D7)                  | R/W             | 1   | 0   | 0   | 1   | 1   | 0  | 1  | 0x4D     |
| 8 ports 14–21 (data bits D0–D7)                  | R/W             | 1   | 0   | 0   | 1   | 1   | 1  | 0  | 0x4E     |
| 8 ports 15–22 (data bits D0–D7)                  | R/W             | 1   | 0   | 0   | 1   | 1   | 1  | 1  | 0x4F     |
| 8 ports 16–23 (data bits D0–D7)                  | R/W             | 1   | 0   | 1   | 0   | 0   | 0  | 0  | 0x50     |
| 8 ports 17–24 (data bits D0–D7)                  | R/W             | 1   | 0   | 1   | 0   | 0   | 0  | 1  | 0x51     |
| 8 ports 18–25 (data bits D0–D7)                  | R/W             | 1   | 0   | 1   | 0   | 0   | 1  | 0  | 0x52     |
| 8 ports 19–26 (data bits D0–D7)                  | R/W             | 1   | 0   | 1   | 0   | 0   | 1  | 1  | 0x53     |
| 8 ports 20–27 (data bits D0–D7)                  | R/W             | 1   | 0   | 1   | 0   | 1   | 0  | 0  | 0x54     |
| 8 ports 21–28 (data bits D0–D7)                  | R/W             | 1   | 0   | 1   | 0   | 1   | 0  | 1  | 0x55     |
| 8 ports 22–29 (data bits D0–D7)                  | R/W             | 1   | 0   | 1   | 0   | 1   | 1  | 0  | 0x56     |
| 8 ports 23–30 (data bits D0–D7)                  | R/W             | 1   | 0   | 1   | 0   | 1   | 1  | 1  | 0x57     |
| 8 ports 24–31 (data bits D0–D7)                  | R/W             | 1   | 0   | 1   | 1   | 0   | 0  | 0  | 0x58     |
| 7 ports 25–31 (data bits D0–D6. D7 reads as 0)   | R/W             | 1   | 0   | 1   | 1   | 0   | 0  | 1  | 0x59     |
| 6 ports 26–31 (data bits D0–D5. D6–D7 read as 0) | R/W             | 1   | 0   | 1   | 1   | 0   | 1  | 0  | 0x5A     |
| 5 ports 27–31 (data bits D0–D4. D5–D7 read as 0) | R/W             | 1   | 0   | 1   | 1   | 0   | 1  | 1  | 0x5B     |
| 4 ports 28–31 (data bits D0–D3. D4–D7 read as 0) | R/W             | 1   | 0   | 1   | 1   | 1   | 0  | 0  | 0x5C     |
| 3 ports 29–31 (data bits D0–D2. D3–D7 read as 0) | R/W             | 1   | 0   | 1   | 1   | 1   | 0  | 1  | 0x5D     |
| 2 ports 30–31 (data bits D0–D1. D2–D7 read as 0) | R/W             | 1   | 0   | 1   | 1   | 1   | 1  | 0  | 0x5E     |
| 1 port 31 only (data bit D0. D1–D7 read as 0)    | R/W             | 1   | 0   | 1   | 1   | 1   | 1  | 1  | 0x5F     |

注：未使用ビットは0と読む。

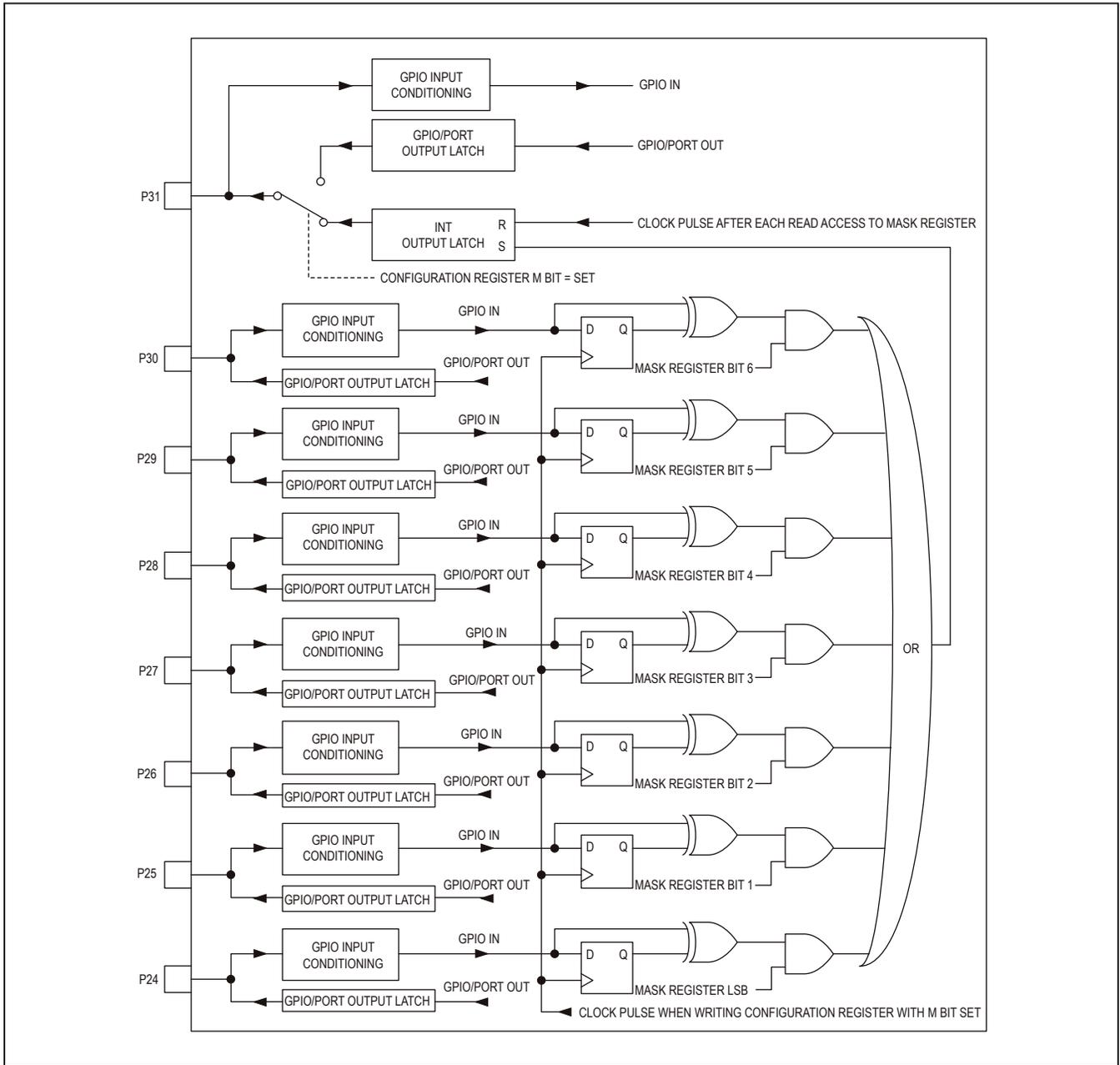


図 5. マスク可能 GPIO ポート P24 ~ P31

表4. 起動時の設定

| REGISTER FUNCTION          | POWER-UP CONDITION                                | ADDRESS CODE (HEX) | REGISTER DATA |    |    |    |    |    |    |    |
|----------------------------|---|--------------------|---------------|----|----|----|----|----|----|----|
|                            |   |                    | D7            | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
| Port Register Bits 4 to 31 | GPIO Output Low                                   | 0x24 to 0x3F       | X             | X  | X  | X  | X  | X  | X  | 0  |
| Configuration Register     | Shutdown Enabled<br>Transition Detection Disabled | 0x04               | 0             | 0  | X  | X  | X  | X  | X  | 0  |
| Input Mask Register        | All Clear (Masked Off)                            | 0x06               | X             | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| Port Configuration         | P7, P6, P5, P4: GPIO Inputs Without Pullup        | 0x09               | 1             | 0  | 1  | 0  | 1  | 0  | 1  | 0  |
| Port Configuration         | P11, P10, P9, P8: GPIO Inputs Without Pullup      | 0x0A               | 1             | 0  | 1  | 0  | 1  | 0  | 1  | 0  |
| Port Configuration         | P15, P14, P13, P12: GPIO Inputs Without Pullup    | 0x0B               | 1             | 0  | 1  | 0  | 1  | 0  | 1  | 0  |
| Port Configuration         | P19, P18, P17, P16: GPIO Inputs Without Pullup    | 0x0C               | 1             | 0  | 1  | 0  | 1  | 0  | 1  | 0  |
| Port Configuration         | P23, P22, P21, P20: GPIO Inputs Without Pullup    | 0x0D               | 1             | 0  | 1  | 0  | 1  | 0  | 1  | 0  |
| Port Configuration         | P27, P26, P25, P24: GPIO Inputs Without Pullup    | 0x0E               | 1             | 0  | 1  | 0  | 1  | 0  | 1  | 0  |
| Port Configuration         | P31, P30, P29, P28: GPIO Inputs Without Pullup    | 0x0F               | 1             | 0  | 1  | 0  | 1  | 0  | 1  | 0  |

X = 未使用ビット(読み取った場合、結果は0になります)。

表5. Configurationレジスタの形式

| FUNCTION               | ADDRESS CODE (HEX) | REGISTER DATA |    |    |    |    |    |    |    |
|------------------------|--------------------|---------------|----|----|----|----|----|----|----|
|                        |                    | D7            | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
| Configuration Register | 0x04               | M             | 0  | X  | X  | X  | X  | X  | S  |

表6. シャットダウン制御(SデータビットD0)の形式

| FUNCTION         | ADDRESS CODE (HEX) | REGISTER DATA |    |    |    |    |    |    |    |
|------------------|--------------------|---------------|----|----|----|----|----|----|----|
|                  |                    | D7            | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
| Shutdown         | 0x04               | M             | 0  | X  | X  | X  | X  | X  | 0  |
| Normal Operation | 0x04               | M             | 0  | X  | X  | X  | X  | X  | 1  |

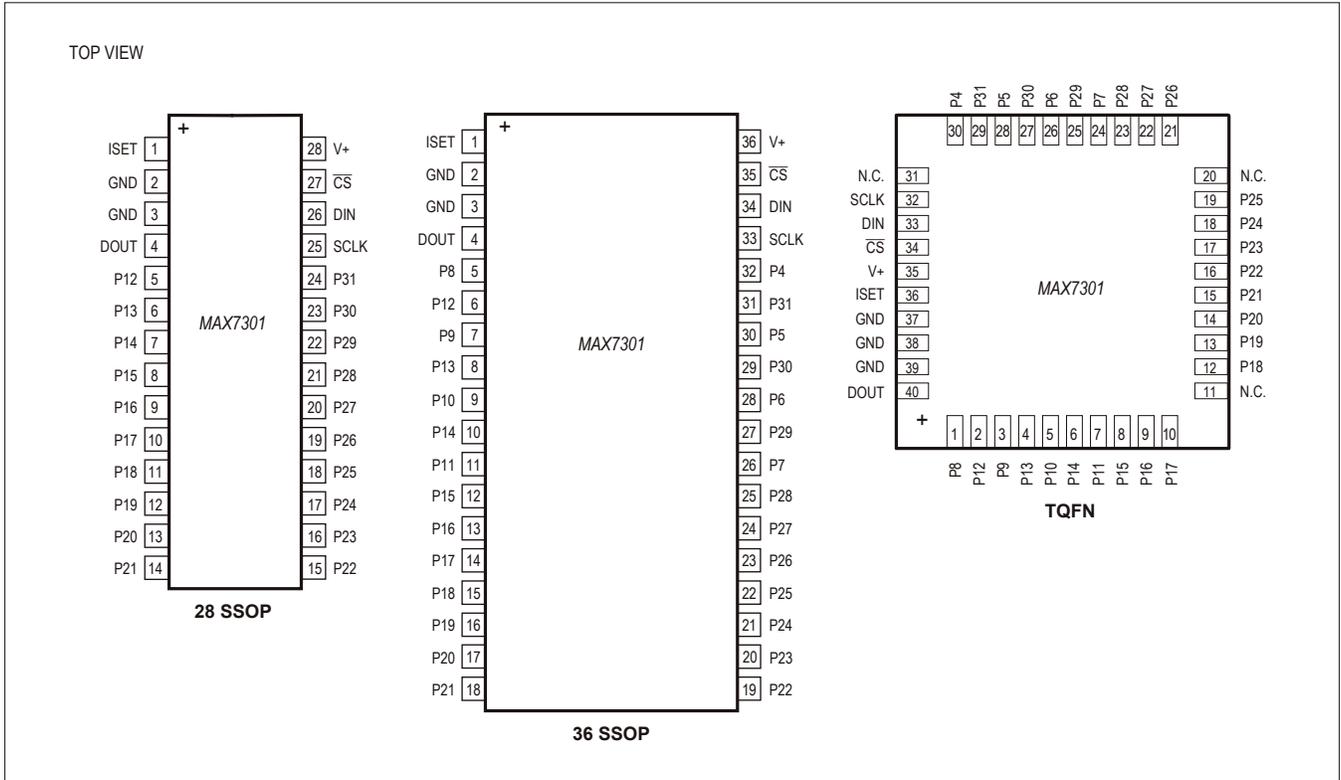
表7. 遷移検出制御(MデータビットD7)の形式

| FUNCTION | ADDRESS CODE<br>(HEX) | REGISTER DATA |    |    |    |    |    |    |    |
|----------|-----------------------|---------------|----|----|----|----|----|----|----|
|          |                       | D7            | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
| Disabled | 0x04                  | 0             | 0  | X  | X  | X  | X  | X  | S  |
| Enabled  | 0x04                  | 1             | 0  | X  | X  | X  | X  | X  | S  |

表8. Transition Detection Maskレジスタ

| FUNCTION      | REGISTER ADDRESS<br>(HEX) | READ/<br>WRITE | REGISTER DATA |            |            |            |            |            |            |            |
|---------------|---------------------------|----------------|---------------|------------|------------|------------|------------|------------|------------|------------|
|               |                           |                | D7            | D6         | D5         | D4         | D3         | D2         | D1         | D0         |
| Mask Register | 0x06                      | Read           | 0             | Port<br>30 | Port<br>29 | Port<br>28 | Port<br>27 | Port<br>26 | Port<br>25 | Port<br>24 |
|               |                           | Write          | Unchanged     | mask       |

ピン配置



## パッケージ

最新のパッケージ図面情報およびランドパターン(フットプリント)は[www.maximintegrated.com/jp/packaging](http://www.maximintegrated.com/jp/packaging) を参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点に注意してください。

| パッケージタイプ   | パッケージコード | ドキュメントNo.               | ランドパターンNo.              |
|------------|----------|-------------------------|-------------------------|
| 28 SSOP    | A28+1    | <a href="#">21-0056</a> | <a href="#">90-0095</a> |
| 36 SSOP    | A36+4    | <a href="#">21-0040</a> | <a href="#">90-0098</a> |
| 40 TQFN-EP | T4066+5  | <a href="#">21-0141</a> | <a href="#">90-0055</a> |

## 改訂履歴

| 版数 | 改訂日   | 説明   | 改訂ページ                  |
|----|-------|--|------------------------|
| 0  | 4/02  | 初版   | —                      |
| 1  | 10/02 | 「概要」、「詳細」、「最初の電源投入」の項、表3、および表8を更新  | 1, 5, 7, 8, 11, 14, 15 |
| 2  | 2/03  | 入力リーク電流を修正   | 2                      |
| 3  | 11/03 | 表2、表3、図5、「シリアルインタフェース」、「デバイスレジスタの読取り」、「遷移(ポートデータ変化)検出」の項を更新。「SPIの配線について」および「PCBレイアウトについて」の項を追加。36 SSOPパッケージの外形を追加。 | 1, 5-12, 17            |
| 4  | 5/04  | データシートに対する各種の修正  | 5, 9, 15, 16           |
| 5  | 2/06  | MAX7301AGLおよびANIパッケージを削除、MAX7301ATL+パッケージを追加   | 1, 2, 5, 9, 15, 17     |
| 6  | 4/06  | 「Absolute Maximum Ratings (絶対最大定格)」を更新、「ピン配置」およびパッケージ外形を修正   | 2, 5, 15, 16, 17       |
| 7  | 7/14  | 車載用の参照をデータシートから削除  | 1                      |
| 8  | 5/15  | 「利点と特長」の項を更新   | 1                      |



マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maxim Integratedは完全にMaxim Integrated製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maxim Integratedは随時予告なく回路及び仕様を変更する権利を留保します。「Electrical Characteristics (電気的特性)」の表に示すパラメータ値(min、maxの各制限値)は、このデータシートの他の場所で引用している値より優先されます。