

MAX5854

デュアル、10ビット、165Msps、電流出力DAC

概要

MAX5854は、デュアル、10ビット、165Msps、デジタル-アナログコンバータ(DAC)で、広帯域通信システムにおいて卓越したダイナミック性能を発揮します。このデバイスは、2つの10ビットDACコア及び1.24Vリファレンスを内蔵しています。MAX5854は、シングルエンド及び差動動作モードに対応しています。ダイナミック性能は、2.7V~3.6Vの全電源電圧動作範囲にわたって維持されます。アナログ出力は、-1.0V~+1.25Vのコンプライアンス電圧に対応しています。

MAX5854はインタリーブデータモードで動作し、I/Oピン点数を削減することができます。このため、このコンバータを10ビット単一バスで更新することができます。

MAX5854は、0.05dB刻みの16ステップで、チャンネル利得マッチングを±0.4dB以内でデジタル制御します。チャンネルマッチングによって、アナログ直交変調アプリケーションで側波帯抑制が向上します。1.24Vの内蔵バンドギャップリファレンスは制御アンプを内蔵し、このアンプによって1個の抵抗を通じて両チャンネルを外部からフルスケール調整することができます。高精度アプリケーション用に内部リファレンスをディセーブルにして、外部リファレンスを使用することができます。

MAX5854は2mA~20mAのフルスケール電流出力を備え、2.7V~3.6Vの単一電源で動作します。このDACは、標準、低電力スタンバイ、及び完全パワーダウンの3通りの電源制御動作モードをサポートしています。パワーダウンモードでは、動作電流は1µAに低減します。

MAX5854はエクスポーズドパッド(EP)付40ピンTQFNパッケージで提供され、拡張温度範囲(-40°C~+85°C)での動作が保証されています。

ピンコンパチブル、低速、及び低分解能バージョンも提供されます。詳細については、MAX5853(10ビット、80Msps)、MAX5852(8ビット、165Msps)、及びMAX5851(8ビット、80Msps)のデータシートを参照してください。データシートの最後に記載されている表4を参照してください。

アプリケーション

- 通信
 - SatCom、LMDS、MMDS、HFC、DSL、WLAN
 - ポイント間マイクロ波リンク
- ワイヤレス基地局
- 直交変調
- ダイレクトデジタル合成(DDS)
- 計測/ATE

特長

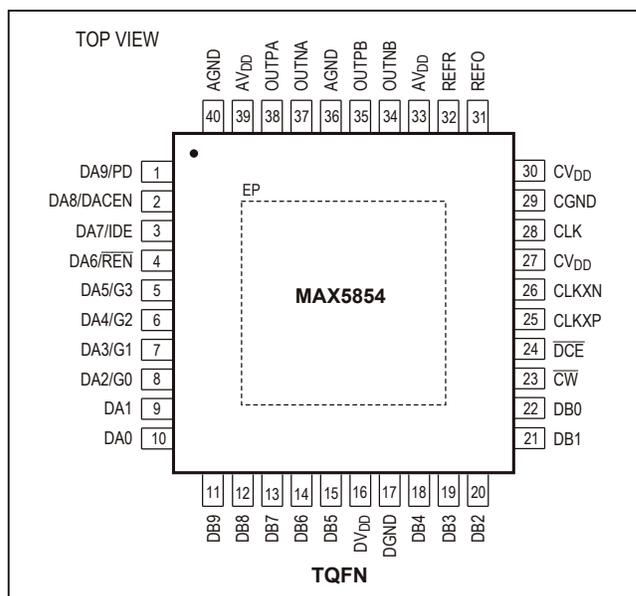
- 10ビット、165Msps、デュアルDAC
- 低電力
 - $I_{FS} = 20\text{mA}$ の場合、190mW ($f_{CLK} = 165\text{MHz}$ 時)
- 単一電源：2.7V~3.6V
- 2.7V電源電圧でのフル出力スイング/ダイナミック性能
- 卓越したダイナミック性能
 - 73dBc SFDR ($f_{OUT} = 40\text{MHz}$ 時)
 - UMTS ACLR = 65.5dB ($f_{OUT} = 30.7\text{MHz}$ 時)
- プログラマブルなチャンネル利得マッチング
- 1.24Vの低ノイズバンドギャップリファレンス内蔵
- 単一抵抗の利得制御
- インタリーブデータモード
- シングルエンド及び差動クロック入力モード
- 超小型40ピン、TQFN (6mm x 6mm) パッケージ
- 評価キットを提供(MAX5854の評価キット)

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX5854ETL	-40°C to +85°C	40 Thin QFN-EP*

*EP = エクスポーズドパッド。

ピン配置



Absolute Maximum Ratings

AV_{DD}, DV_{DD}, CV_{DD} to AGND, DGND, CGND-0.3V to +4V
 DA9–DA0, DB9–DB0, CW, DCE to AGND,
 DGND, CGND-0.3V to +4V
 CLKXN, CLKXP to CGND-0.3V to +4V
 OUTP₋, OUTN₋ to AGND-1.25V to (AV_{DD} + 0.3V)
 CLK to DGND-0.3V to (DV_{DD} + 0.3V)
 REFR, REFO to AGND-0.3V to (AV_{DD} + 0.3V)

AGND to DGND, DGND to CGND,
 AGND to CGND-0.3V to +0.3V
 Maximum Current into Any Pin
 (excluding power supplies)±50mA
 Continuous Power Dissipation (T_A = +70°C)
 40-Pin TQFN-EP (derate 23.3mW/°C
 above +70°C)1.860W
 Operating Temperature Range-40°C to +85°C
 Storage Temperature Range-65°C to +150°C
 Junction Temperature+150°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Electrical Characteristics

(AV_{DD} = DV_{DD} = CV_{DD} = 3V, AGND = DGND = CGND = 0, f_{DAC} = 165MSPs, differential clock, external reference, V_{REF} = 1.2V, I_{FS} = 20mA, output amplitude = 0dB FS, differential output, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. T_A ≥ +25°C guaranteed by production test. T_A < +25°C guaranteed by design and characterization. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE						
Resolution	N		10			Bits
Integral Nonlinearity	INL	R _L = 0	-1.0	±0.25	+1.0	LSB
Differential Nonlinearity	DNL	Guaranteed monotonic, R _L = 0	-0.5	±0.2	+0.5	LSB
Offset Error	V _{OS}		-0.5	±0.1	+0.5	LSB
Gain Error (See Also <i>Gain Error Definition</i> Section)	GE	Internal reference (Note1)	-11.0	±1.5	+6.8	%FSR
		External reference	-6.25	±0.7	+4.10	
Gain-Error Temperature Drift		Internal reference		±150		ppm/°C
		External reference		±100		
DYNAMIC PERFORMANCE						
Spurious-Free Dynamic Range to Nyquist	SFDR	f _{CLK} = 165MHz, A _{OUT} = -1dBFS	f _{OUT} = 10MHz	69.4	78	dBc
			f _{OUT} = 20MHz		77	
			f _{OUT} = 40MHz		73	
		f _{CLK} = 100MHz, A _{OUT} = -1dBFS	f _{OUT} = 10MHz		77	
			f _{OUT} = 20MHz		77	
			f _{OUT} = 30MHz		76	
Spurious-Free Dynamic Range Within a Window	SFDR	f _{CLK} = 165MHz, f _{OUT} = 10MHz, A _{OUT} = -1dBFS, span = 10MHz		83	dBc	
		f _{CLK} = 100MHz, f _{OUT} = 5MHz, A _{OUT} = -1dBFS, span = 4MHz		84		
		f _{CLK} = 25MHz, f _{OUT} = 1MHz, A _{OUT} = -1dBFS, span = 2MHz		82		
Multitone Power Ratio to Nyquist	MTPR	8 tones at 400kHz spacing, f _{CLK} = 78MHz, f _{OUT} = 15MHz to 18.2MHz		74		dBc

Electrical Characteristics (continued)

($V_{DD} = DV_{DD} = CV_{DD} = 3V$, $AGND = DGND = CGND = 0$, $f_{DAC} = 165\text{MSPs}$, differential clock, external reference, $V_{REF} = 1.2V$, $I_{FS} = 20\text{mA}$, output amplitude = 0dB FS, differential output, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. $T_A \geq +25^\circ\text{C}$ guaranteed by production test. $T_A < +25^\circ\text{C}$ guaranteed by design and characterization. Typical values are at $T_A = +25^\circ\text{C}$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Multitone Spurious-Free Dynamic Range Within a Window		8 tones at 2.1MHz spacing, $f_{CLK} = 165\text{MHz}$, $f_{OUT} = 28.3\text{MHz}$ to 45.2MHz , span = 50MHz		70		dBc
Adjacent Channel Power Ratio with UMTS	ACLR	$f_{OUT} = 30.72\text{MHz}$, RBW = 30kHz, $f_{CLK} = 122.88\text{MHz}$		65.5		dB
Total Harmonic Distortion to Nyquist (2nd- Through 8th-Order Harmonics Included)	THD	$f_{CLK} = 165\text{MHz}$, $A_{OUT} = -1\text{dBFS}$	$f_{OUT} = 10\text{MHz}$	-76		dBc
			$f_{OUT} = 20\text{MHz}$	-74		
			$f_{OUT} = 40\text{MHz}$	-71		
		$f_{CLK} = 100\text{MHz}$, $A_{OUT} = -1\text{dBFS}$	$f_{OUT} = 10\text{MHz}$	-75		
			$f_{OUT} = 20\text{MHz}$	-74		
			$f_{OUT} = 30\text{MHz}$	-73		
		$f_{CLK} = 25\text{MHz}$, $A_{OUT} = -1\text{dBFS}$	$f_{OUT} = 1\text{MHz}$	-76		
Output Channel-to-Channel Isolation		$f_{OUT} = 10\text{MHz}$		90		dB
Channel-to-Channel Gain Mismatch		$f_{OUT} = 10\text{MHz}$, $G[3:0] = 1000$		0.025		dB
Channel-to-Channel Phase Mismatch		$f_{OUT} = 10\text{MHz}$		0.05		Degrees
Signal-to-Noise Ratio to Nyquist	SNR	$f_{CLK} = 165\text{MHz}$, $f_{OUT} = 10\text{MHz}$, $I_{FS} = 20\text{mA}$		60.5		dB
		$f_{CLK} = 165\text{MHz}$, $f_{OUT} = 10\text{MHz}$, $I_{FS} = 5\text{mA}$		61		
		$f_{CLK} = 65\text{MHz}$, $f_{OUT} = 10\text{MHz}$, $I_{FS} = 20\text{mA}$		62		
		$f_{CLK} = 65\text{MHz}$, $f_{OUT} = 10\text{MHz}$, $I_{FS} = 5\text{mA}$		62		
Maximum DAC Conversion Rate	f_{DAC}	Interleaved mode disabled, IDE = 0	165	200		MSPs
		Interleaved mode enabled, IDE = 1	82.5	100		
Glitch Impulse				5		pV-s
Output Settling Time	t_S	To $\pm 0.1\%$ error band (Note 3)		12		ns
Output Rise Time		10% to 90% (Note 3)		2.2		ns
Output Fall Time		90% to 10% (Note 3)		2.2		ns
ANALOG OUTPUT						
Full-Scale Output Current Range	I_{FS}		2		20	mA
Output Voltage Compliance Range			-1.00		+1.25	V
Output Leakage Current		Shutdown or standby mode	-5		+5	μA
REFERENCE						
Internal-Reference Output Voltage	V_{REFO}	$\overline{REN} = 0$	1.13	1.24	1.32	V

Electrical Characteristics (continued)

($A_{V_{DD}} = D_{V_{DD}} = C_{V_{DD}} = 3V$, $AGND = DGND = CGND = 0$, $f_{DAC} = 165Mpsps$, differential clock, external reference, $V_{REF} = 1.2V$, $I_{FS} = 20mA$, output amplitude = 0dB FS, differential output, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. $T_A \geq +25^\circ C$ guaranteed by production test. $T_A < +25^\circ C$ guaranteed by design and characterization. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Internal-Reference Supply Rejection		$A_{V_{DD}}$ varied from 2.7V to 3.6V		0.5		mV/V
Internal-Reference Output-Voltage Temperature Drift	TCV_{REFO}	$\overline{REN} = 0$		± 50		ppm/ $^\circ C$
Internal-Reference Output Drive Capability		$\overline{REN} = 0$		50		μA
External-Reference Input Voltage Range		$\overline{REN} = 1$	0.10	1.2	1.32	V
Current Gain	I_{FS}/I_{REF}			32		mA/mA
LOGIC INPUTS (DA9–DA0, DB9–DB0, \overline{CW})						
Digital Input-Voltage High	V_{IH}		0.65 x $D_{V_{DD}}$			V
Digital Input-Voltage Low	V_{IL}			0.3 x $D_{V_{DD}}$		V
Digital Input Current	I_{IN}		-1		+1	μA
Digital Input Capacitance	C_{IN}			3		pF
SINGLE-ENDED CLOCK INPUT/OUTPUT AND \overline{DCE} INPUT (CLK, \overline{DCE})						
Digital Input-Voltage High	V_{IH}	$\overline{DCE} = 1$	0.65 x $C_{V_{DD}}$			V
Digital Input-Voltage Low	V_{IL}	$\overline{DCE} = 1$		0.3 x $C_{V_{DD}}$		V
Digital Input Current	I_{IN}	$\overline{DCE} = 1$	-1		+1	μA
Digital Input Capacitance	C_{IN}	$\overline{DCE} = 1$		3		pF
Digital Output-Voltage High	V_{OH}	$\overline{DCE} = 0$, $I_{SOURCE} = 0.5mA$, Figure 1	0.9 x $C_{V_{DD}}$			V
Digital Output-Voltage Low	V_{OL}	$\overline{DCE} = 0$, $I_{SINK} = 0.5mA$, Figure 1		0.1 x $C_{V_{DD}}$		V
DIFFERENTIAL CLOCK INPUTS (CLKXP/CLKXN)						
Differential Clock Input Internal Bias			$C_{V_{DD}}/2$			V
Differential Clock Input Swing			0.5			V
Clock Input Impedance		Measured single ended		5		k Ω
POWER REQUIREMENTS						
Analog Power-Supply Voltage	$A_{V_{DD}}$		2.7	3	3.6	V
Digital Power-Supply Voltage	$D_{V_{DD}}$		2.7	3	3.6	V
Clock Power-Supply Voltage	$C_{V_{DD}}$		2.7	3	3.6	V

Electrical Characteristics (continued)

($V_{DD} = DV_{DD} = CV_{DD} = 3V$, $AGND = DGND = CGND = 0$, $f_{DAC} = 165MSPs$, differential clock, external reference, $V_{REF} = 1.2V$, $I_{FS} = 20mA$, output amplitude = 0dB FS, differential output, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. $T_A \geq +25^\circ C$ guaranteed by production test. $T_A < +25^\circ C$ guaranteed by design and characterization. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Analog Supply Current	I_{AVDD}	$I_{FS} = 20mA$ (Note 2), single-ended clock mode			43.2	46	mA
		$I_{FS} = 20mA$ (Note 2), differential clock mode			43.2		
		$I_{FS} = 2mA$ (Note 2), single-ended clock mode			5		
		$I_{FS} = 2mA$ (Note 2), differential clock mode			5		
Digital Supply Current	I_{DVDD}	$I_{FS} = 20mA$ (Note 2), single-ended clock mode			6.2	7.5	mA
		$I_{FS} = 20mA$ (Note 2), differential clock mode			6.2		
Clock Supply Current	I_{CVDD}	Single-ended clock mode ($\overline{DCE} = 1$) (Note 2)			13.7	16.5	mA
		Differential clock mode ($\overline{DCE} = 0$) (Note 2)			24		
Total Standby Current	$I_{STANDBY}$	$I_{AVDD} + I_{DVDD} + I_{CVDD}$			3.1	3.7	mA
Total Shutdown Current	I_{SHDN}	$I_{AVDD} + I_{DVDD} + I_{CVDD}$			1		μA
Total Power Dissipation	P_{TOT}	Single-ended clock mode ($\overline{DCE} = 1$)	$I_{FS} = 20mA$ (Note 2)		190	210	mW
			$I_{FS} = 2mA$ (Note 2)		75		
		Differential clock mode ($\overline{DCE} = 0$)	$I_{FS} = 20mA$ (Note 2)		220		
			$I_{FS} = 2mA$ (Note 2)		106		
		Standby		9.3	11.1		
Shutdown		0.003					
TIMING CHARACTERISTICS (Figure 5, Figure 6)							
Propagation Delay					1		Clock cycles
DAC Data to CLK Rise/Fall Setup Time	t_{DCS}	Single-ended clock mode ($\overline{DCE} = 1$) (Note 4)			1.2		ns
		Differential clock mode ($\overline{DCE} = 0$) (Note 4)			2.7		
DAC Data to CLK Rise/Fall Hold Time	t_{DCH}	Single-ended clock mode ($\overline{DCE} = 1$) (Note 4)			0.8		ns
		Differential clock mode ($\overline{DCE} = 0$) (Note 4)			-0.5		
Control Word to \overline{CW} Rise Setup Time	t_{CS}				2.5		ns
Control Word to \overline{CW} Rise Hold Time	t_{CW}				2.5		ns
\overline{CW} High Time	t_{CWH}				5		ns
\overline{CW} Low Time	t_{CWL}				5		ns
DACEN = 1 to V_{OUT} Stable Time (Coming Out of Standby)	t_{STB}				3		μs

Electrical Characteristics (continued)

($V_{DD} = DV_{DD} = CV_{DD} = 3V$, $AGND = DGND = CGND = 0$, $f_{DAC} = 165Mpsps$, differential clock, external reference, $V_{REF} = 1.2V$, $I_{FS} = 20mA$, output amplitude = 0dB FS, differential output, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. $T_A \geq +25^\circ C$ guaranteed by production test. $T_A < +25^\circ C$ guaranteed by design and characterization. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
PD = 0 to V_{OUT} Stable Time (Coming Out of Power-Down)	t_{SHDN}			500		μs
Maximum Clock Frequency at CLKXP/CLKXN Input	f_{CLK}		165	200		MHz
Clock High Time	t_{CXH}	CLKXP or CLKXN input		1.5		ns
Clock Low Time	t_{CXL}	CLKXP or CLKXN input		1.5		ns
CLKXP Rise to CLK Output Rise Delay	t_{CDH}	$\overline{DCE} = 0$		2.7		ns
CLKXP Fall to CLK Output Fall Delay	t_{CDL}	$\overline{DCE} = 0$		2.7		ns

Note 1: Including the internal reference voltage tolerance and reference amplifier offset.

Note 2: $f_{DAC} = 165Mpsps$, $f_{OUT} = 10MHz$.

Note 3: Measured single-ended with 50Ω load and complementary output connected to AGND.

Note 4: Guaranteed by design, not production tested.

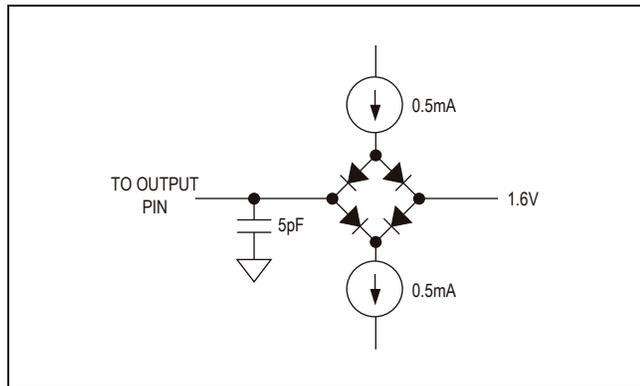
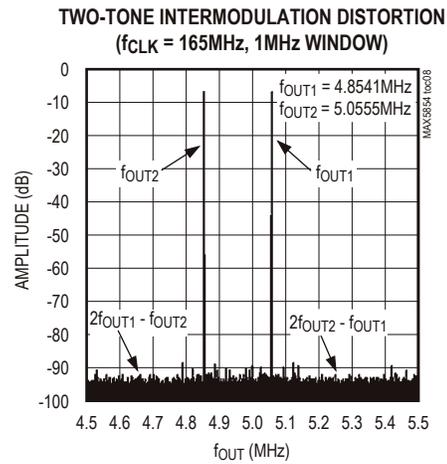
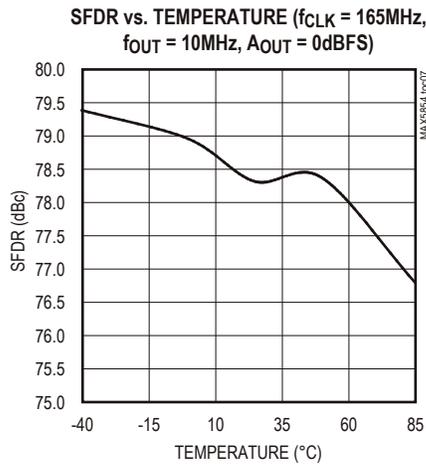
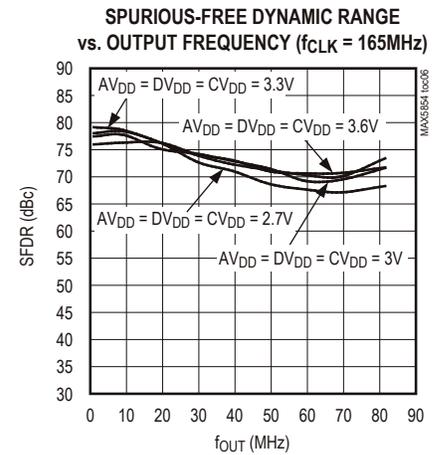
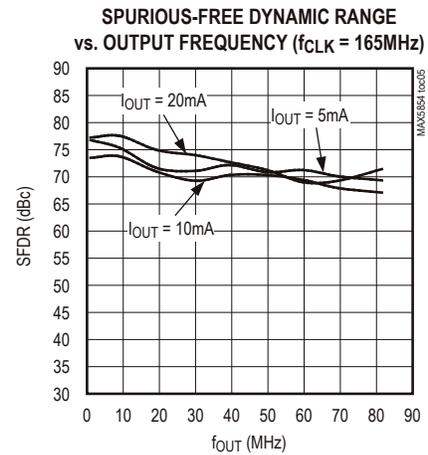
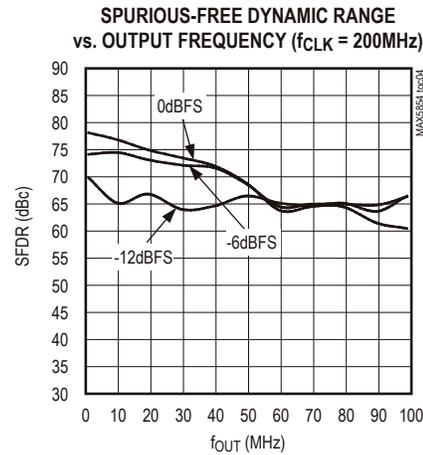
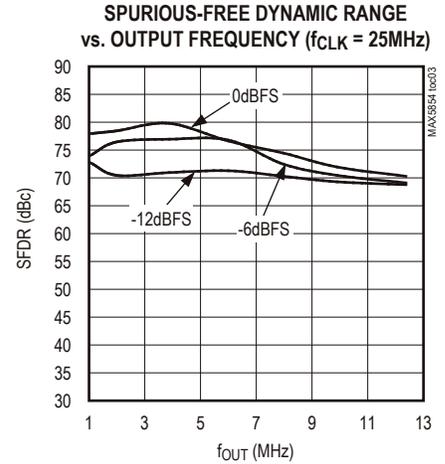
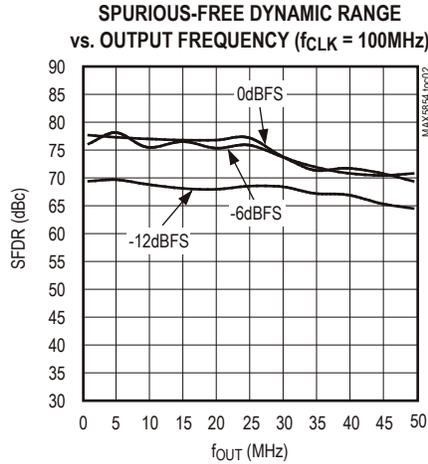
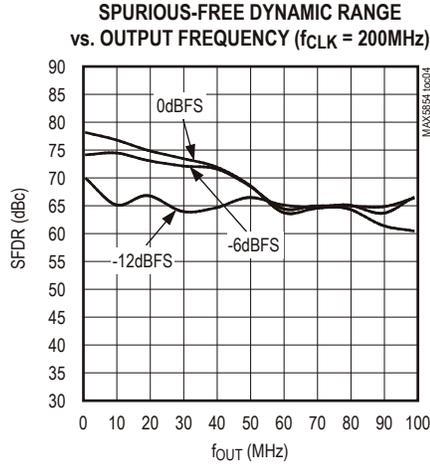


図 1. CLK 出力用の負荷試験回路

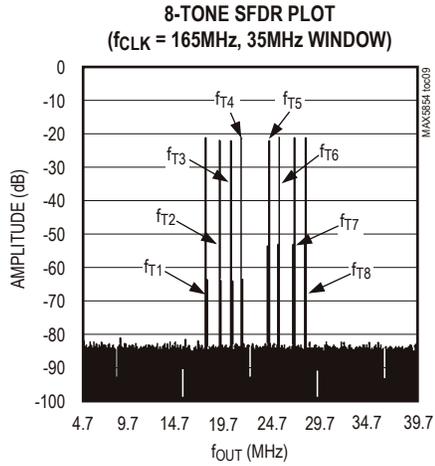
標準動作特性

($AV_{DD} = DV_{DD} = CV_{DD} = 3V$, $AGND = DGND = CGND = 0$, external reference, differential clock, $I_{FS} = 20mA$, differential output, $T_A = +25^{\circ}C$, unless otherwise noted.)

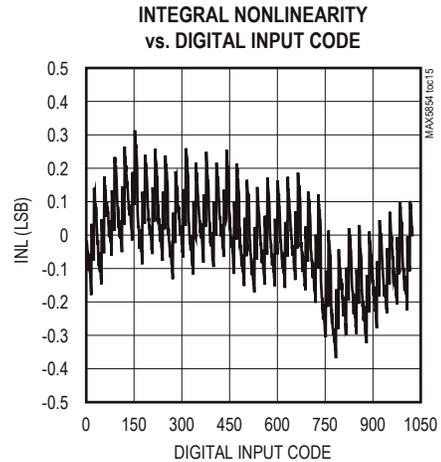
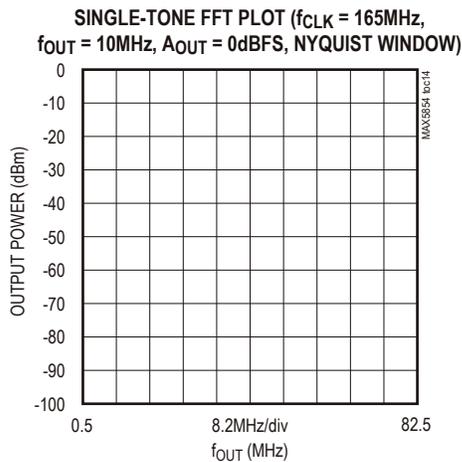
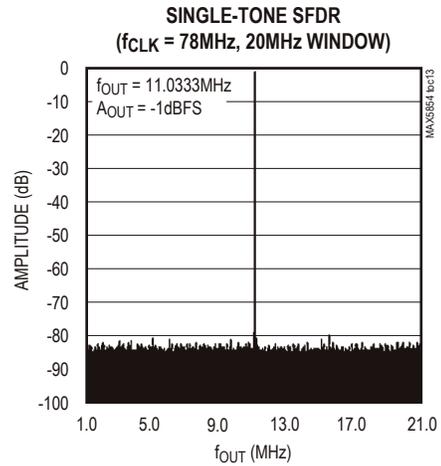
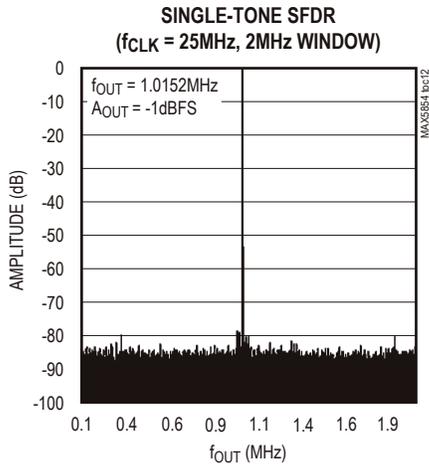
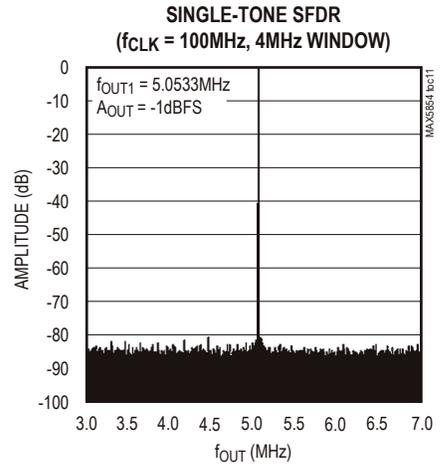
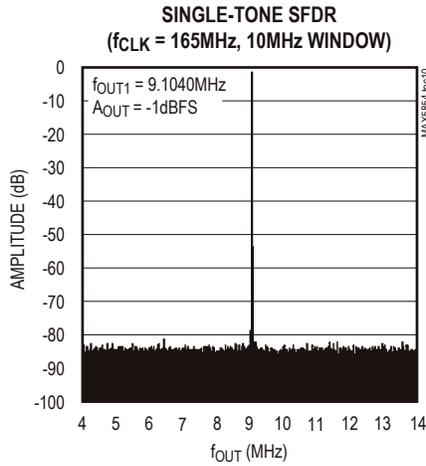


標準動作特性(続き)

($A_{VDD} = DV_{DD} = CV_{DD} = 3V$, $AGND = DGND = CGND = 0$, external reference, differential clock, $I_{FS} = 20mA$, differential output, $T_A = +25^{\circ}C$, unless otherwise noted.)



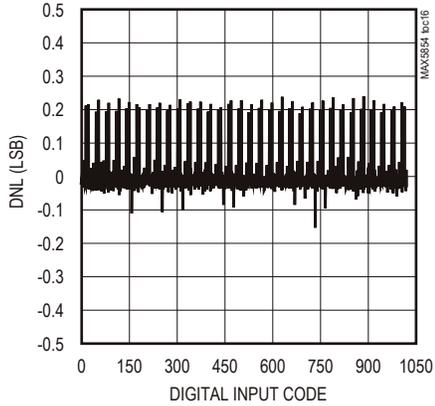
$f_{T1} = 17.493MHz$	$f_{T5} = 24.035MHz$
$f_{T2} = 18.997MHz$	$f_{T6} = 25.087MHz$
$f_{T3} = 20.200MHz$	$f_{T7} = 26.741MHz$
$f_{T4} = 21.253MHz$	$f_{T8} = 27.869MHz$



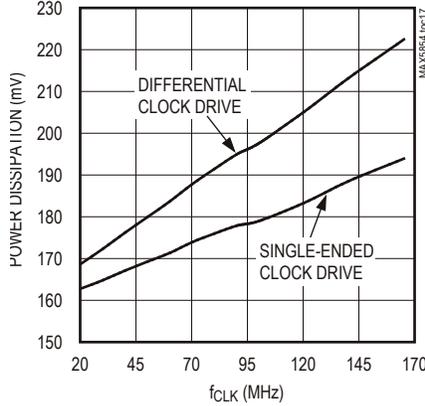
標準動作特性(続き)

($V_{DD} = DV_{DD} = CV_{DD} = 3V$, $AGND = DGND = CGND = 0$, external reference, differential clock, $I_{FS} = 20mA$, differential output, $T_A = +25^{\circ}C$, unless otherwise noted.)

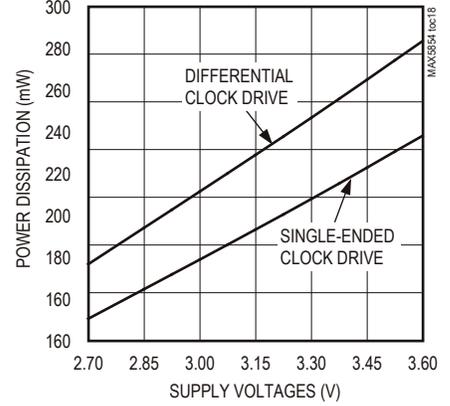
DIFFERENTIAL NONLINEARITY vs. DIGITAL INPUT CODE



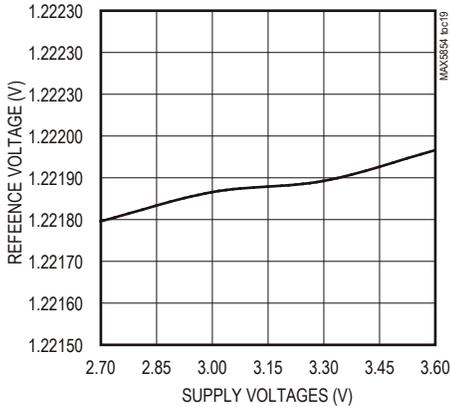
POWER DISSIPATION vs. CLOCK FREQUENCY ($f_{OUT} = 10MHz$, $A_{OUT} = 0dBFS$)



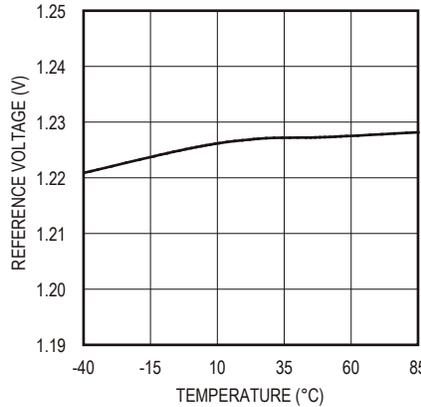
POWER DISSIPATION vs. SUPPLY VOLTAGES ($f_{CLK} = 165MHz$, $f_{OUT} = 10MHz$)



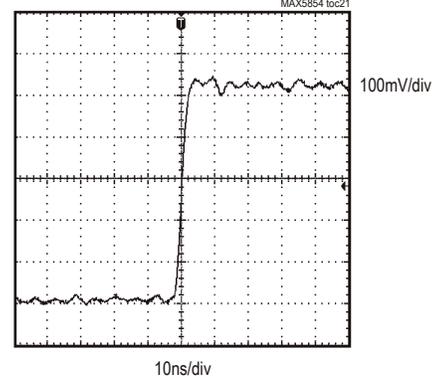
REFERENCE VOLTAGE vs. SUPPLY VOLTAGES ($f_{CLK} = 165MHz$, $f_{OUT} = 10MHz$)



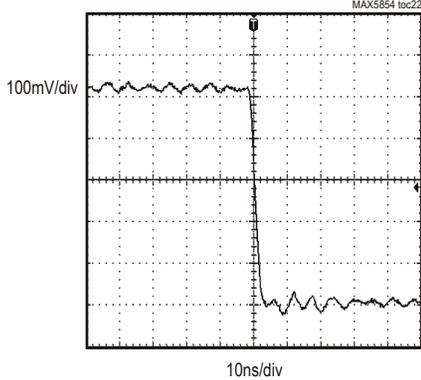
REFERENCE VOLTAGE vs. TEMPERATURE



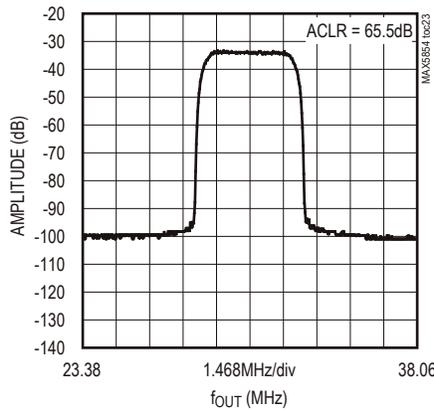
DYNAMIC RESPONSE RISE TIME



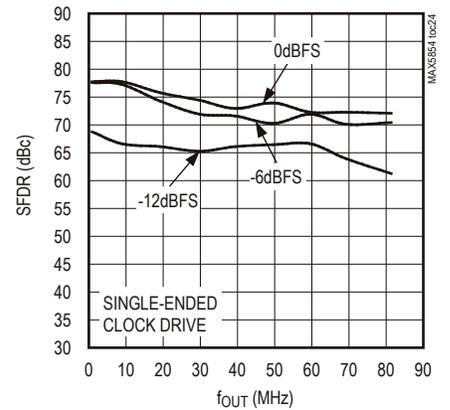
DYNAMIC RESPONSE FALL TIME



ACLR PLOT ($f_{CLK} = 122.88MHz$, $f_{OUT} = 30.72MHz$)



SPURIOUS-FREE DYNAMIC RANGE vs. OUTPUT FREQUENCY ($f_{CLK} = 165MHz$)



端子説明

端子	名称	機能
1	DA9/PD	チャンネルA入力データビット9(MSB)/パワーダウン
2	DA8/DACEN	チャンネルA入力データビット8/DACイネーブル制御
3	DA7/IDE	チャンネルA入力データビット7/インタリーブデータイネーブル
4	DA6/ $\overline{\text{REN}}$	チャンネルA入力データビット6/リファレンスイネーブル。 $\overline{\text{REN}} = 0$ に設定すると、内部リファレンスがイネーブルされます。 $\overline{\text{REN}} = 1$ に設定すると、内部リファレンスがディセーブルされます。
5	DA5/G3	チャンネルA入力データビット5/チャンネルA利得調整ビット3
6	DA4/G2	チャンネルA入力データビット4/チャンネルA利得調整ビット2
7	DA3/G1	チャンネルA入力データビット3/チャンネルA利得調整ビット1
8	DA2/G0	チャンネルA入力データビット2/チャンネルA利得調整ビット0
9	DA1	チャンネルA入力データビット1
10	DA0	チャンネルA入力データビット0 (LSB)
11	DB9	チャンネルB入力データビット9 (MSB)
12	DB8	チャンネルB入力データビット8
13	DB7	チャンネルB入力データビット7
14	DB6	チャンネルB入力データビット6
15	DB5	チャンネルB入力データビット5
16	DV _{DD}	デジタル電源入力。詳細については、「電源、バイパス、デカップリング、及びレイアウト」の項参照。
17	DGND	デジタルグランド
18	DB4	チャンネルB入力データビット4
19	DB3	チャンネルB入力データビット3
20	DB2	チャンネルB入力データビット2
21	DB1	チャンネルB入力データビット1
22	DB0	チャンネルB入力データビット0 (LSB)
23	$\overline{\text{CW}}$	アクティブロー制御ワード書き込みパルス。制御ワードは、 $\overline{\text{CW}}$ の立上りエッジでラッチされます。
24	$\overline{\text{DCE}}$	アクティブロー差動クロックイネーブル入力。差動クロック入力CLKXP及びCLKXNをイネーブルするには、 $\overline{\text{DCE}}$ をローにします。差動クロック入力をディセーブルして、シングルエンドCLK入力をイネーブルするには、 $\overline{\text{DCE}}$ をハイにします。
25	CLKXP	正差動クロック入力。 $\overline{\text{DCE}} = 0$ の場合は、CLKXP及びCLKXNはイネーブルされます。 $\overline{\text{DCE}} = 1$ の場合は、CLKXP及びCLKXNはディセーブルされます。差動クロックがディセーブルされている場合は、CLKXPをCGNDに接続します。
26	CLKXN	負差動クロック入力。 $\overline{\text{DCE}} = 0$ の場合は、CLKXP及びCLKXNはイネーブルされます。 $\overline{\text{DCE}} = 1$ の場合は、CLKXP及びCLKXNはディセーブルされます。差動クロックがディセーブルされている場合は、CLKXNをCV _{DD} に接続します。
27, 30	CV _{DD}	クロック電源入力。詳細については、「電源、バイパス、デカップリング、及びレイアウト」の項参照。
28	CLK	シングルエンドクロック入力/出力。差動クロックがディセーブルされている場合は($\overline{\text{DCE}} = 1$)、CLKはシングルエンド変換クロック入力になります。差動クロックがイネーブルされている場合は($\overline{\text{DCE}} = 0$)、CLKは差動クロック入力CLKXP及びCLKXNを反映(ミラー)するシングルエンド出力です。CLKの詳細については、「クロックモード」の項参照。
29	CGND	クロックグランド
31	REFO	リファレンス入力/出力。REFOは、内部リファレンスがディセーブルされている場合はリファレンス入力として機能します。1.24Vの内部リファレンスがイネーブルされている場合は、REFOは内部リファレンスの出力として機能します。内部リファレンスがイネーブルされている場合は、0.1 μ FコンデンサでREFOをAGNDにバイパスします。

端子説明(続き)

端子	名称	機能
32	REFR	フルスケール電流調整。出力フルスケール電流を設定するには、外付け抵抗RSETをREFRとAGNDの間に接続します。出力フルスケール電流は、 $32 \times V_{REF0}/R_{SET}$ です。
33, 39	AV _{DD}	アナログ電源入力。詳細については、「電源、バイパス、デカップリング、及びレイアウト」の項参照。
34	OUTNB	チャンネルB負アナログ電流出力
35	OUTPB	チャンネルB正アナログ電流出力
36, 40	AGND	アナロググランド
37	OUTNA	チャンネルA負アナログ電流出力
38	OUTPA	チャンネルA正アナログ電流出力
—	EP	エクスポーズパッド。EPを全グランドプレーンの共通ポイントに接続します。

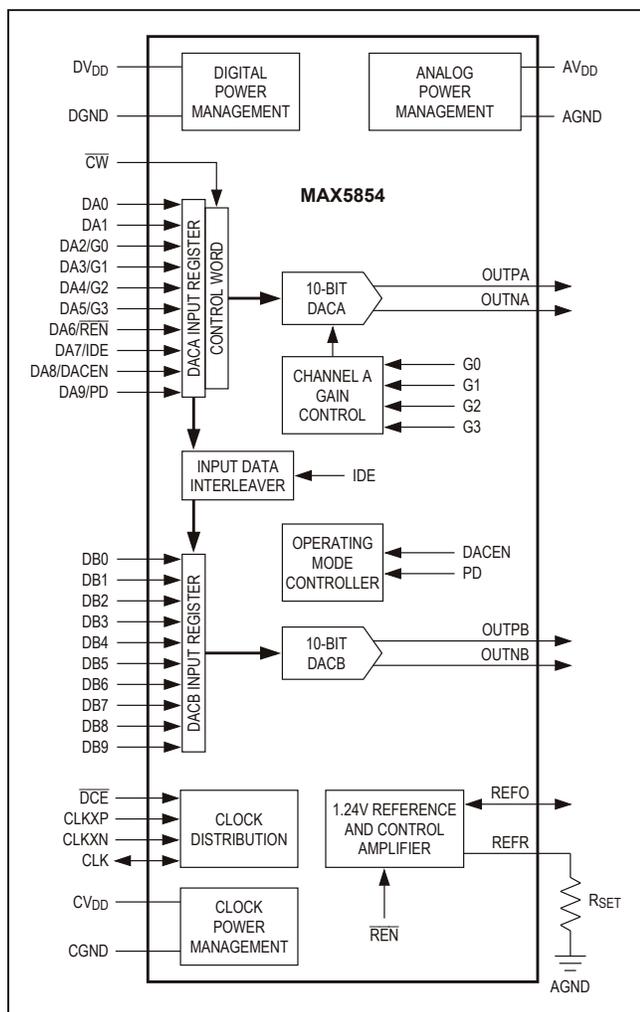


図 2. 簡略図

詳細

MAX5854は、デュアル、高速、10ビット、電流出力、デジタル-アナログコンバータ(DAC)で、低歪みのアナログ信号再生が必要な通信システムにおいて優れた性能を発揮します。MAX5854は、2個のDACと内蔵1.24Vリファレンスを統合しています(図2)。DACの電流出力を差動動作またはシングルエンド動作に設定することができます。フルスケール出力電流は2mA~20mAの範囲で可変させて、電力消費と利得制御を最適化します。

MAX5854は入力データと165MHzのDAC変換速度に対応しています。入力はクロックの立上りエッジでラッチされ、また出力はその次の立上りエッジでラッチされます。

MAX5854は、標準、スタンバイ、及びパワーダウンの3通りの動作モードを備えています(表2)。これらのモードによって、効率的に電源管理することができます。パワーダウンモードでは、MAX5854の消費電流はわずか1µAです。スタンバイモードから標準DAC動作までのウェイクアップ時間は、3µsです。

DACの設定

チャンネルAのデータポート経由の8ビット制御ワードを使って、MAX5854の利得マッチング、リファレンス、及び動作モードを設定します。制御ワードは、CWの立上りエッジでラッチされます。CWは、DACクロックから独立しています。制御ワードがDACに書き込まれるとき、DACのクロックは常時作動状態を維持することができます。表1及び表2は、制御ワードのフォーマットと機能を示しています。

ユーザシステム内で両チャンネル間の利得マッチングを行うために、チャンネルAの利得を設定することができます。ビットG3からG0を使って、チャンネルAの利得を0.05dB刻みで-0.4dB~0.35dBの範囲で設定することができます(表3)。

表1. 制御ワードのフォーマット及び機能

MSB								LSB	
PD	DACEN	IDE	$\overline{\text{REN}}$	G3	G2	G1	G0	X	X
CONTROL WORD		FUNCTION							
PD	Power-Down. The part enters power-down mode if PD = 1.								
DACEN	DAC Enable. When DACEN = 0 and PD = 0, the part enters standby mode.								
IDE	Interleaved Data Mode. IDE = 1 enables the interleaved data mode. In this mode, digital data for both channels is applied through channel A in a multiplexed fashion. Channel B data is written on the falling edge of the clock signal and channel A data is written on the rising edge of the clock signal.								
$\overline{\text{REN}}$	Reference Enable Bit. $\overline{\text{REN}}$ = 0 activates the internal reference. $\overline{\text{REN}}$ = 1 disables the internal reference and requires the user to apply an external reference between 0.1V to 1.32V.								
G3	Bit 3 (MSB) of Gain Adjust Word								
G2	Bit 2 of Gain Adjust Word								
G1	Bit 1 of Gain Adjust Word								
G0	Bit 0 (LSB) of Gain Adjust Word								

表2. 設定モード

MODE	PD	DACEN	IDE	$\overline{\text{REN}}$
Normal operation; noninterleaved inputs; internal reference active	0	1	0	0
Normal operation; noninterleaved inputs; internal reference disabled	0	1	0	1
Normal operation; interleaved inputs; internal reference disabled	0	1	1	1
Standby	0	0	X	X
Power-down	1	X	X	X
Power-up	0	1	X	X

X = 任意。

表3. 利得差の設定

GAIN ADJUSTMENT ON CHANNEL A (dB)	G3	G2	G1	G0
+0.4	0	0	0	0
0	1	0	0	0
-0.35	1	1	1	1

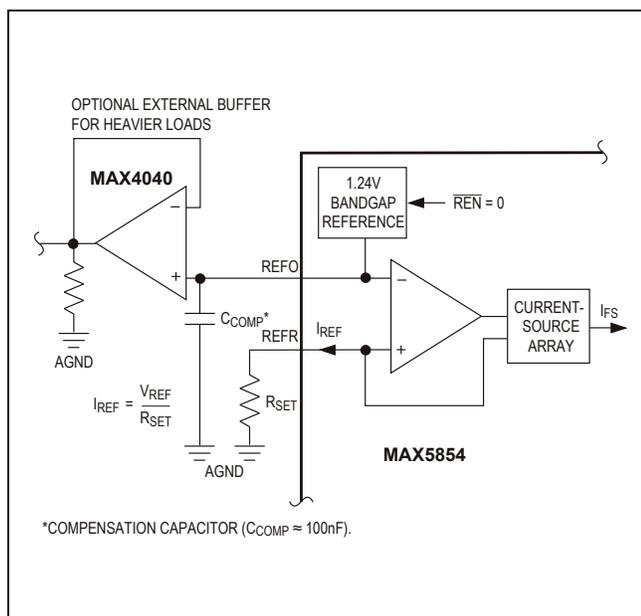
デバイスのパワーアップ 及び動作状態

パワーアップ時のMAX5854のデフォルト設定は、内部リファレンス、利得が0dBの非インタリーブ入力モード、完全動作コンバータです。シャットダウンではMAX5854の消費電流はわずか1 μ Aで、スタンバイでは3.1mAです。スタンバイモードから標準動作までのウェイクアップ時間は、3 μ sです。

クロックモード

MAX5854はシングルエンドCMOS及び差動クロックモード動作に対応し、最高165Mspsの更新速度をサポートしています。これらのモードは、 $\overline{\text{DCE}}$ と呼ばれるアクティブロー制御ラインを通じて選択されます。シングルエンドクロックモード ($\overline{\text{DCE}} = 1$)では、CLK端子は入力として機能し、ユーザ提供のシングルエンドクロック信号を受け付けます。データは、クロックの立上りエッジでコンバータに書き込まれます。DAC出力(以前のデータ)は、同じエッジで同時に更新されます。

$\overline{\text{DCE}}$ 端子がローにプルされている場合は、MAX5854は差動クロックモードで動作します。このモードでは、クロック信号を差動クロック入力端子CLKXP/CLKXNに印加する必要があります。差動入力は0.5V_{p-p}以上の入力範囲と1V~(CV_{DD} - 0.5V)のコモンモード範囲に対応しているので、この製品は低入力振幅クロックの駆動に最適です。また、CLKXP/CLKXNによって、ジッタを最低限に抑制し、ユーザは水晶発振器をMAX5854に直接接続することができます。

図3. 1.24V 内部リファレンス及び制御アンプによる I_{FS} の設定

CLK端子は出力になり、差動クロック信号のシングルエンド信号を供給します。これを使って、入力データを同期化することができます。データは、CLK信号の立上りエッジでデバイスに書き込まれます。

内部リファレンス及び制御アンプ

MAX5854は、50ppm/°C、1.24V、低ノイズ、バンドギャップリファレンスを内蔵しています。この内部リファレンスをディセーブルして、外部リファレンス電圧に変更することができます。REFOは、外部リファレンス入力、または内部リファレンス出力として機能します。REN = 0の場合は、内部リファレンスが選択され、REFOは1.24V(50µA)の出力を供給します。重負荷を駆動するときは、外付けアンプを使ってREFOをバッファします。

また、MAX5854は、デバイスの両出力のフルスケール出力電流(I_{FS})を同時に安定化するための制御アンプも使用しています。出力電流は、次のように算出します。

$$I_{FS} = 32 \times I_{REF}$$

ここで、I_{REF}はリファレンス出力電流 (I_{REF} = V_{REFO}/R_{SET})で、I_{FS}はフルスケール出力電流です。R_{SET}は、MAX5854のアンプ出力電流を決定するリファレンス抵抗です(図3)。この電流は電流ソースアレイに電流ミラーされ、このアレイでI_{FS}はマッチングした電流セグメント間に等分配され、合計されてDACの有効な出力電流指示値となります。

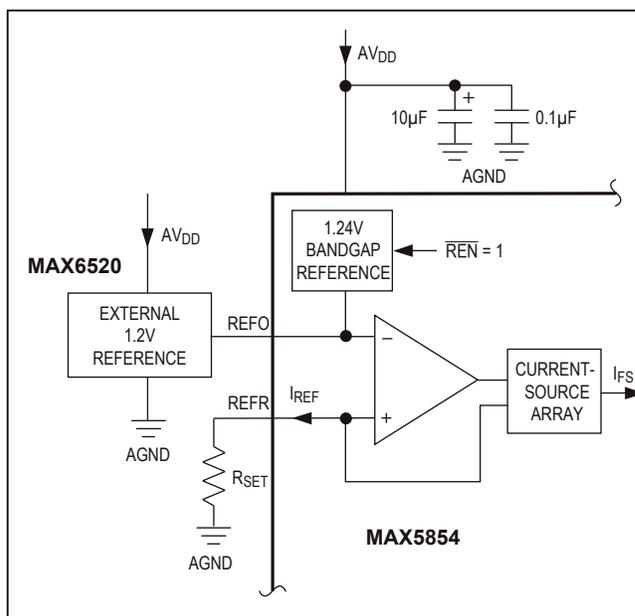


図4. 外部リファレンス付 MAX5854

外部リファレンス

MAX5854の内部リファレンスをディセーブルするには、REN = 1に設定します。温度が安定した外部リファレンスを使用して、REFO端子を駆動し、フルスケール出力を設定します(図4)。精度とドリフト性能を向上するには、1.2V、25ppm/°CのMAX6520バンドギャップリファレンスなどの固定出力電圧リファレンスを選択します。

タイミングの詳細情報

MAX5854は、入力データと最高165MSPsのDAC変換速度に対応しています。入力はクロックの立上りエッジでラッチし、また出力はその次の立上りエッジでラッチします。

図5は、非インタリーブモードでの2個のDACの書き込みサイクルを示しています。

また、MAX5854はインタリーブデータモードで動作することもできます。IDEビットをハイレベルで設定すると、このモードが作動します(表1及び表2)。インタリーブモードでは、両DACチャンネルのデータは入力ポートAを通じて書き込まれます。チャンネルBのデータはクロック信号の立下りエッジで書き込まれ、次にチャンネルAのデータがクロック信号の次の立上りエッジで書き込まれます。両DAC出力(チャンネルA及びB)は、クロックのその次の立上りエッジで同時に更新されます。インタリーブデータモードでは、チャンネル当たりの最高入力データ速度は、非インタリーブモードの速度の半分です。低データ速度に対応可能で、10ビット単一バスでのインタフェースが望ましいアプリケーションに、インタリーブデータモードは適しています(図6)。

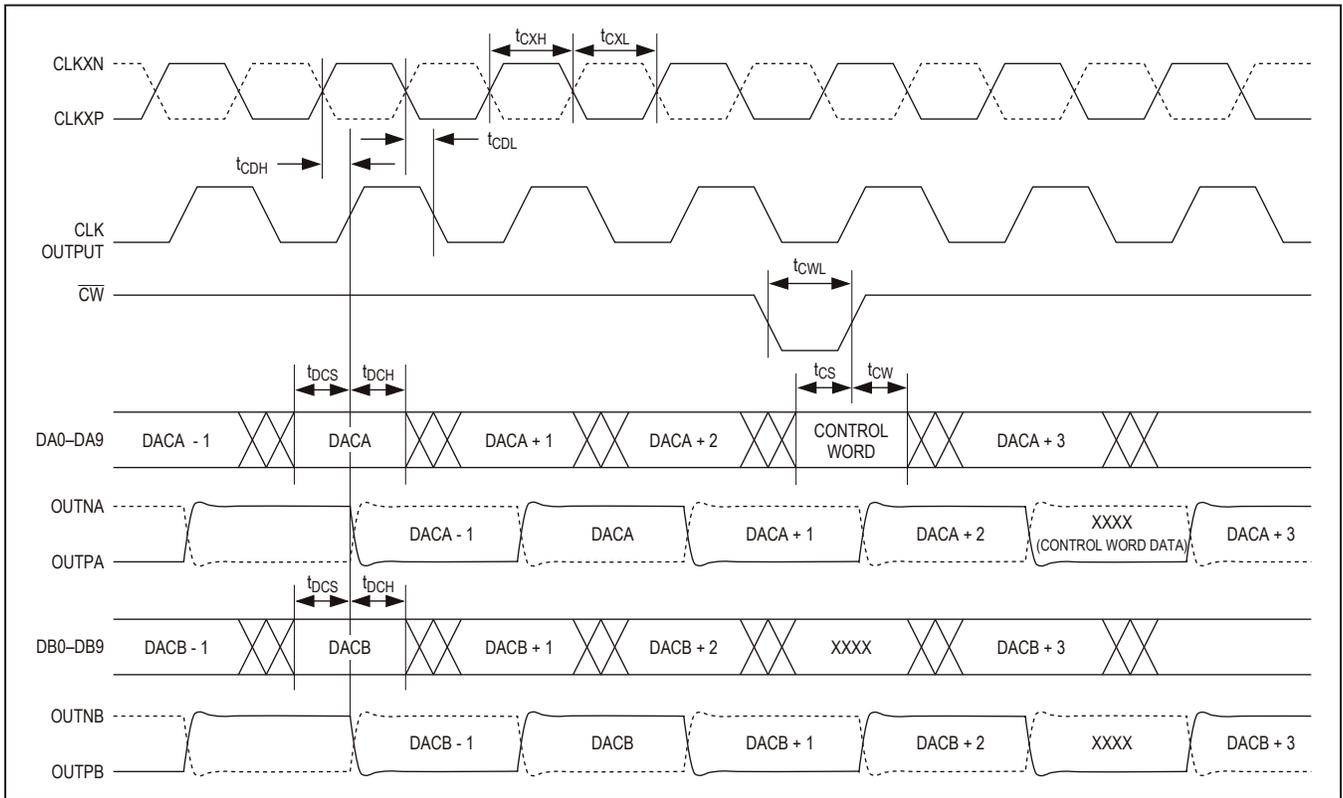


図 5. 非インタリーブデータモードのタイミング図 (IDE = 0)

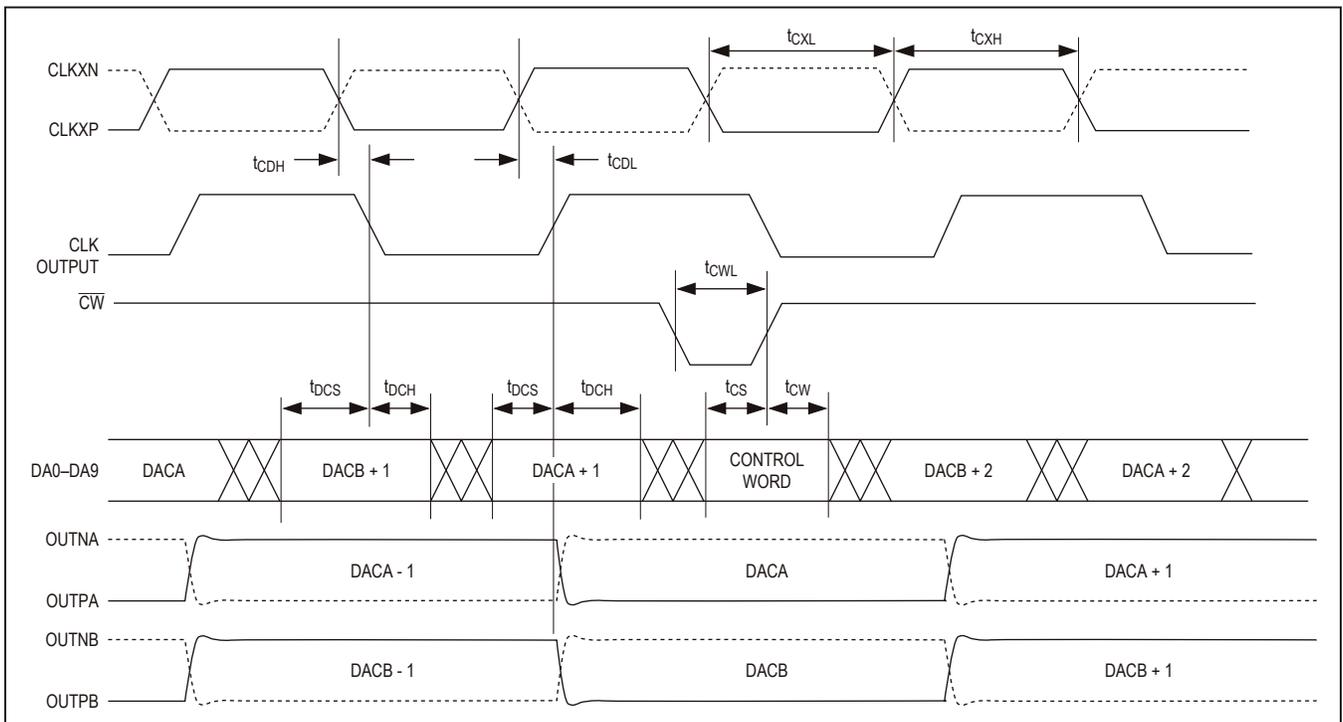


図 6. インタリーブデータモードのタイミング図 (IDE = 1)

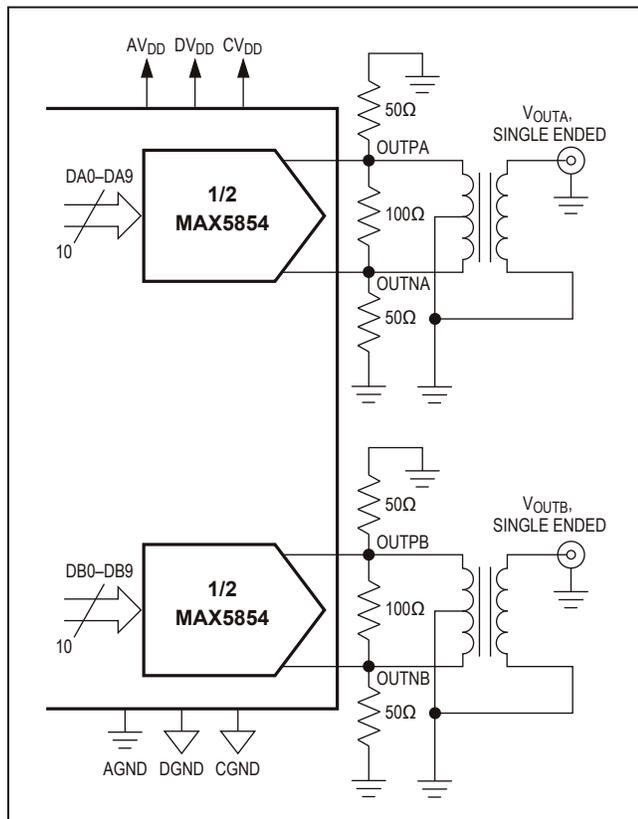


図 7. 差動からシングルエンドへの変換を行う出力トランス付アプリケーション

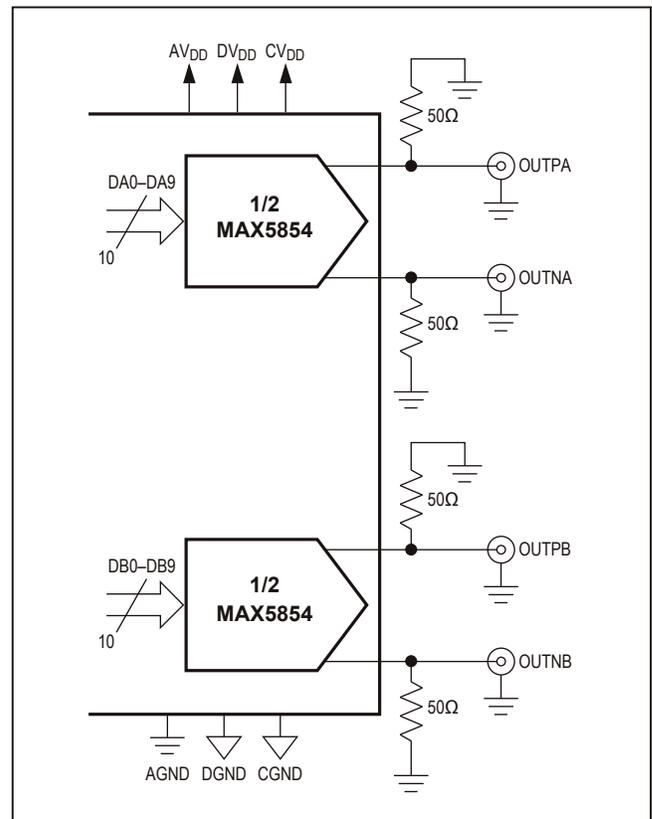


図 8. DC 結合差動出力付アプリケーション

アプリケーション情報

差動からシングルエンドへの変換

MAX5854は優れたダイナミック性能を示し、高次QAM変調OFDMなどの各種変調方式を統合しています。

図7は、所定の差動からシングルエンドへの信号変換を行う出力トランス付の標準アプリケーション回路を示しています。この構成でMAX5854が差動モードで動作します。このモードでは、偶数次高調波が低減し、有効出力電力が増大します。

差動DC結合構成

図8は、差動DC結合モードで動作するMAX5854出力を示しています。アナログ直交アップコンバータを使用し、I/Q合成用にベースバンドサンプリング、デュアルチャネル、高速DACが必要な通信システムで、この構成を用いることができます。こうしたアプリケーションで、情報帯域幅は10MHzから数百キロヘルツまでの範囲に及ぶことができます。高価な大容量結合コンデンサで問題となる長い放電時間定数を排除するには、DC結合が適しています。アナログ

直交アップコンバータは、0.7V~1.0V(typ)のDC共通モード入力要件を備えています。MAX5854差動I/Q出力は、2.85V(±5%)の単一電源から電源供給されると、規定の0.7V~1.0VのDC共通モードレベルで任意のフルスケールレベルを維持することができます。MAX5854はダイナミックレンジのわずかな低減のみでこの低電力要件を満たし、レベルシフト抵抗ネットワークが不要になります。

電源、バイパス、デカップリング、及びレイアウト

グランディングと電源デカップリングは、MAX5854の性能に多大な影響を及ぼします。望ましくないデジタルクロストークは、入力、リファレンス、電源、及びグラウンド接続を通じて結合し、信号対ノイズ比やスプリアスフリーダイナミックレンジなどのダイナミック規格に影響を及ぼすおそれがあります。また、電磁干渉(EMI)がMAX5854と結合したり、またはMAX5854によってもたらされることもあります。高速、高周波アプリケーション用のグランディング及び電源デカップリングのガイドラインを順守してください。ダイナミック性能を最適化するには、電源及びフィルタ構成に従ってください。

グランドと電源プレーンを別々にした多層プリント(PC)基板を使用することを推奨します。高速信号をグランドプレーンの真上のライン上に流します。MAX5854は、独立したアナログ、クロック、及びデジタルのグランドバス(それぞれ、AGND、CGND、及びDGND)を備えています。独立したアナログ、デジタル、及びクロックのグランド部を、1点のみで3つのプレーンを接続して、プリント基板上に配置します。グランド接続ポイントはデバイスの下に配置して、エクスポーズパッドに接続する必要があります。デジタル信号はデジタルグランドプレーンの上に、アナログ/クロック信号はアナログ/クロックグランドプレーンの上に流します。デジタル信号は、敏感なアナログ、クロック、及びリファレンス入力から離す必要があります。伝搬遅延とデータスキューのミスマッチを回避するために、デジタル信号経路を短くして、メタル配線長を一致させます。

MAX5854は、アナログ(AV_{DD})、デジタル(DV_{DD})、及びクロック(CV_{DD})の3つの独立した電源入力を備えています。1個のリニアレギュレータ電源ソースを使って、3つの独立電源ライン(AV_{DD}、DV_{DD}、CV_{DD})とリターン(AGND、DGND、CGND)に分岐させます。フェライトビーズと10µFコンデンサから構成されるLCフィルタを使って、各電源ラインをそれぞれのリターンラインまでフィルタリングします。0.1µFセラミックコンデンサで各電源入力をそれぞれのリターンラインまでローカルでフィルタリングします。

注：電気特性 (Electrical Characteristics)のダイナミック性能を維持するために、DV_{DD}、AV_{DD}、及びCV_{DD}間の電圧差が150mVを超えないようにします。

サーマル特性及びパッケージング

熱抵抗

40リード薄型QFN-EP：

$$\theta_{JA} = 38^{\circ}\text{C/W}$$

MAX5854は40ピン、薄型QFN-EPパッケージで提供されるので、設計柔軟性と熱効率が向上し、DACのAC性能が最適化されます。このEPによって、最高性能の動作を実現するのに不可欠なグランディング技術を実装することができます。

このパッケージでは、データコンバータチップはEPリードフレームに取りつけられ、そのEPリードフレームはパッケージのプリント基板側に面してパッケージ底面で露出しています。このため、標準赤外線(IR)フロー半田付け技術でプリント基板にパッケージを確実に接続することができます。EPのサイズ(4.1mm x 4.1mm)とマッチングする特製ランドパターンをプリント基板上に作成して、DACの適正な取り付けとグランディングを実現します。プリント基板設計でランド領域へのビア*を設け、広いグランドプレーンを実装すると、DACを最高性能で動作させることができます。3 x 3のビアアレイ(1ビアホール当たり直径0.3mm以下でビアホール間のピッチは1.2mm)をこの40ピン、薄型QFN-EPパッケージ(パッケージコード：T4066-1)に使用してください。

ダイナミック性能パラメータの定義

隣接チャネル漏洩比(ACLR)

広帯域符号分割多元接続(WCDMA)とともによく用いられるACLRは、チャネル内の測定電力とその隣接チャネルの測定電力との漏洩電力比をdBで示します。ACLRによって、帯域幅制限RF信号が非線形デバイスを通過するときの、帯域外スペクトルエネルギーと隣接チャネルに対するその影響を算出する定量法が提供されます。

全高調波歪み(THD)

THDは、入力信号のすべての基本高調波(ナイキストウィンドウ内)のRMS和と、基本波そのものの比です。これは、次式のように表すことができます。

$$\text{THD} = 20 \times \log \left[\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_N^2}}{V_1} \right]$$

ここで、V₁は基本波の振幅、V₂~V_Nは2次~N次高調波の振幅です。MAX5854は、この計算用に先頭から7つの高調波を使用します。

スプリアスフリーダイナミックレンジ(SFDR)

SFDRは、搬送周波数(最大信号成分)のRMS振幅と、その次に大きなスペクトル成分のRMS値との比です。SFDRは、搬送周波数振幅についてはdBcで、またDACのフルスケール範囲についてはdBFSで通常測定されます。試験条件に応じて、SFDRは事前設定されたウィンドウ内またはナイキスト内で観察されます。

*ビアは、ランドパターンを内側または外側の銅プレーンに接続します。

マルチトーン電力比(MTPR)

一連の等間隔のトーンが、1トーンを範囲のセンターから排除しながら、DACに印加されます。MTPRは、最悪の歪み(通常、基本波周波数の3次高調波積)として定義されます。この歪みは、シーケンスにおける欠落トーンの周波数での最大スパークとして発生します。この試験を任意数の入力トーンで実行することができます。ただし4つ及び8つのトーンが、CDMA及びGSM/EDGEタイプのアプリケーションで最も一般的な試験条件です。

相互変調歪み(IMD)

ツートーンIMDは、いずれかの出力トーンと最悪の3次(またはそれ以上の)IMD積との比をdBc単位で表したものです。

静的性能パラメータの定義**積分非直線性(INL)**

積分非直線性(INL)は、オフセット及び利得誤差を nul(ゼロ)にした後に、伝達関数のエンドポイント間を結んだ線からの、実際の伝達関数値との偏差です。DACの場合は、偏差は各ステップで測定されます。

微分非直線性(DNL)

微分非直線性(DNL)は、実際のステップの高さと1LSBの理想値との差です。DNL誤差規定が -1 LSB以下であるので、単調性の伝達関数が保証されます。

オフセット誤差

オフセット誤差は、デジタル入力コードがゼロに設定されているときに、正DAC出力から流れる電流です。オフセット誤差は、LSBで表されます。

利得誤差

利得誤差は、オフセット誤差をゼロにした後の、伝達曲線上の実際のフルスケール出力電流と理想値との差です。この誤差によって伝達関数の傾きが変わり、各ステップで同じ百分率誤差になります。理想的な電流は、 $V_{REF0} / I_{REF} \times 32$ のリファレンス電圧で定義されます。

セトリング時間

セトリング時間は、遷移の開始からDAC出力値がコンバータの規定精度内の新しい出力値に安定するまでに要する時間です。

グリッチインパルス

グリッチは、DACが2つのコード間で切り替わる時に発生します。最大グリッチは、通常、入力パターンが011...111から100...000に遷移するときにミッドスケール遷移の前後で発生します。これはビット間のタイミングの差によるものです。グリッチインパルスは、ミッドスケール遷移時にグリッチ電圧を集積することで発生します。グリッチインパルスは、通常pV-sで表されます。

表4. 部品選択表

PART	SPEED (Msps)	RESOLUTION
MAX5851	80	8-bit, dual
MAX5852	165	8-bit, dual
MAX5853	80	10-bit, dual
MAX5854	165	10-bit, dual

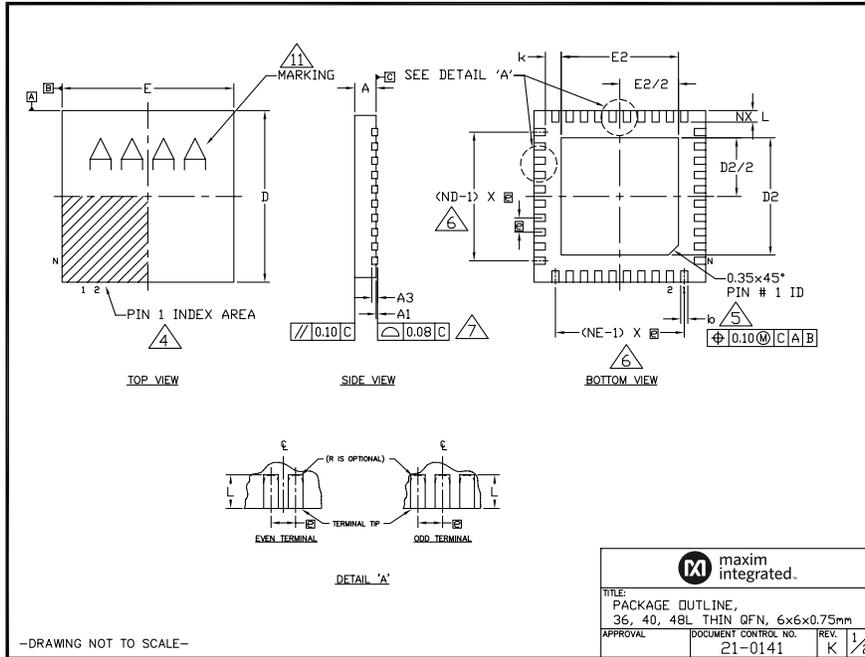
チップ情報

TRANSISTOR COUNT: 9,035

PROCESS: CMOS

パッケージ

最新のパッケージ図面情報およびランドパターン(フットプリント)はwww.maximintegrated.com/jp/packagingを参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点に注意してください。



COMMON DIMENSIONS									
PKG. SYMBOL	36L 6x6			40L 6x6			48L 6x6		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
A1	0	0.02	0.05	0	0.02	0.05	0	-	0.05
A3	0.20 REF.			0.20 REF.			0.20 REF.		
b	0.20	0.25	0.30	0.20	0.25	0.30	0.15	0.20	0.25
D	5.90	6.00	6.10	5.90	6.00	6.10	5.90	6.00	6.10
E	5.90	6.00	6.10	5.90	6.00	6.10	5.90	6.00	6.10
e	0.50 BSC.			0.50 BSC.			0.40 BSC.		
k	0.25	-	-	0.25	-	-	0.25	-	-
L	0.35	0.50	0.65	0.30	0.40	0.50	0.30	0.40	0.50
N	36			40			48		
ND	9			10			12		
NE	9			10			12		
JEDEC	WJJD-1			WJJD-2			-		

PKG. CODES	D2			E2		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
T3666-2	3.60	3.70	3.80	3.60	3.70	3.80
T3666-3	3.60	3.70	3.80	3.60	3.70	3.80
T3666N-1	3.60	3.70	3.80	3.60	3.70	3.80
T3666MN-1	3.60	3.70	3.80	3.60	3.70	3.80
T4066-2	4.00	4.10	4.20	4.00	4.10	4.20
T4066-3	4.00	4.10	4.20	4.00	4.10	4.20
T4066-5	4.00	4.10	4.20	4.00	4.10	4.20
T4866-1	4.40	4.50	4.60	4.40	4.50	4.60
T4866N-1	4.40	4.50	4.60	4.40	4.50	4.60
T4866-2	4.40	4.50	4.60	4.40	4.50	4.60
T4066MN-5	4.00	4.10	4.20	4.00	4.10	4.20

NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS, ANGLES IN DEGREES UNLESS OTHERWISE SPECIFIED
- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- MATERIAL MUST COMPLY WITH BANNED AND RESTRICTED SUBSTANCES SPEC # 10-0131.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25mm AND 0.30mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE, RESPECTIVELY.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO220, EXCEPT FOR 0.4mm LEAD PITCH; PACKAGE T4866.
- N IS THE TOTAL NUMBER OF TERMINALS.
- WARPAGE SHALL NOT EXCEED 0.10mm.
- MARKING IS FOR PACKAGE ORIENTATION PURPOSE ONLY.
- NUMBER OF LEADS SHOWN FOR REFERENCE ONLY.
- ALL DIMENSIONS APPLY TO BOTH LEADED (-) AND PBFREE (+) PKG. CODES.

MAXIM INTEGRATED

TITLE: PACKAGE OUTLINE, 36, 40, 48L THIN QFN, 6x6x0.75mm

APPROVAL: [] DOCUMENT CONTROL NO. 21-0141 REV. K 2/2



マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maxim Integratedは完全にMaxim Integrated製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maxim Integratedは随時予告なく回路及び仕様を変更する権利を留保します。「Electrical Characteristics (電気的特性)」の表に示すパラメータ値(min, maxの各制限値)は、このデータシートの他の場所で引用している値より優先されます。