

## 概略

MAX5711は、+2.7V~+5.5Vまでの単一電源で動作する、小型実装面積、低電力、10ビットディジタルアナログコンバータ(DAC)です。MAX5711内部精密出力アンプは、レイルトゥレイル出力スイングを提供します。消費電流が3Vで85μAのため、MAX5711は、携帯バッテリ駆動機器に最適です。

MAX5711は、SPI<sup>TM</sup>/QSPI<sup>TM</sup>/MICROWIRE<sup>TM</sup>及びDSP インタフェース標準にコンパチブルな3線シリアルインタフェースを利用しています。全てのロジック入力は CMOSロジックコンパチブルで、フォトカプラに直接インタフェースできるようシュミットトリガによって バッファされています。MAX5711は、パワーアップ 後ゼロボルト状態でDACが開始するパワーオンリセット (POR)回路を取り入れています。電力消費を $0.3\mu$ Aに減少させるパワーダウンモードは、ソフトウェアコマンドによって開始可能です。

MAX5711は、小型6ピンSOT23パッケージで提供されています。デュアルまたはクワッド10ビットバージョンについては、MAX5721及びMAX5741のデータシートを参照して下さい。シングル、デュアルまたはクワッド12ビットバージョンについては、MAX5712、MAX5722及びMAX5742のデータシートを参照して下さい。MAX5711は自動車温度範囲-40°~+125°までの仕様となっています。

## アプリケーション

自動チューニング 利得及びオフセット調整 パワーアンプ制御 プロセス制御I/O基板 バッテリ駆動機器 VCO制御

## 特長 \_\_\_\_

◆ 広動作温度範囲:-40℃~+125℃

◆ 低消費電流:85µA

◆ 超低パワーダウン消費電流: 0.3µA

◆ 単一電源:+2.7V~+5.5V

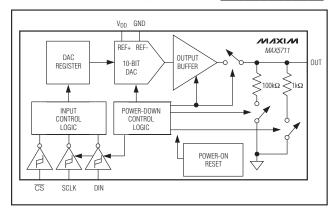
- ◆ 高速20MHz3線SPI/QSPI/MICROWIRE及び DSPコンパチブルシリアルインタフェース
- ◆ フォトカプラへ直接インタフェースするシュミット トリガ入力
- ◆ レイルトゥレイル出力バッファ
- ◆ パワーオンリセットでゼロボルト
- ◆ 3つの選択可能なソフトウェアによる パワーダウンインピーダンス(100kΩ、1kΩ、Hi-Z)
- ◆ 小型6ピンSOT23パッケージ

#### 型番

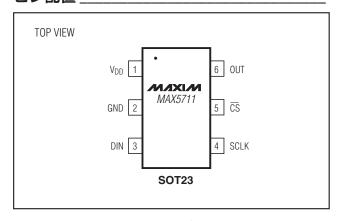
PART	TEMP RANGE	PIN- PACKAGE	TOP MARK		
MAX5711EUT-T	-40°C to +85°C	6 SOT23-6	ABCP		
MAX5711AUT-T	-40°C to +125°C	6 SOT23-6	AAUC		

SPI及びQSPIはMotorola, Inc.の商標です。 MICROWIREはNational Semiconductor, Corp.の商標です。

## ファンクションダイアグラム



## ピン配置



#### MIXIM

Maxim Integrated Products 1

本データシートに記載された内容はMaxim Integrated Productsの公式な英語版データシートを翻訳したものです。翻訳により生じる相違及び誤りについては責任を負いかねます。正確な内容の把握には英語版データシートをご参照ください。

## **ABSOLUTE MAXIMUM RATINGS**

V <sub>DD</sub> to GND0.3V to +6V	Operating Temperature Range
OUT, SCLK, DIN, <del>CS</del> to GND0.3V to (V <sub>DD</sub> + 0.3V)	MAX5711EUT40°C to +85°C
Maximum Current into Any Pin±50mA	MAX5711AUT40°C to +125°C
Continuous Power Dissipation ( $T_A = +70$ °C)	Maximum Junction Temperature+150°C
6-Pin SOT23 (derate 9.1mW/°C above +70°C)727mW	Storage Temperature Range65°C to +150°C
	Lead Temperature (soldering, 10s)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

### **ELECTRICAL CHARACTERISTICS**

 $(V_{DD} = +2.7V \text{ to } +5.5V, \text{ GND} = 0, \text{ R}_{L} = 5k\Omega, \text{ C}_{L} = 200p\text{F}, \text{ T}_{A} = \text{T}_{MIN} \text{ to T}_{MAX}, \text{ unless otherwise noted. Typical values are at } V_{DD} = +5V, T_{A} = +25^{\circ}\text{C.})$ 

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC ACCURACY (NOTE 1)	'		'			
Resolution	N		10			Bits
Integral Nonlinearity Error	INL	(Note 2)		±0.5	±4	LSB
Differential Nonlinearity Error	DNL	Guaranteed monotonic (Note 2)			±1	LSB
Zero-Code Error	OE	Code = 000		0.4	1.5	% of FS
Zero-Code Error Tempco				2.3		ppm/°C
Gain Error	GE	Code = 3FF hex			-3	% of FS
Gain Error Tempco				0.26		ppm/°C
DAC OUTPUT						
Output Voltage Range		No load (Note 3)	0		$V_{DD}$	V
DC Output Impedance		Code = 200 hex		0.8		Ω
Short-Circuit Current		$V_{DD} = +3V$		15		m ^
Short-Circuit Current		$V_{DD} = +5V$		48		mA
Maka I la Tisas		$V_{DD} = +3V$		8		
Wake-Up Time		$V_{DD} = +5V$		8		μs
Output Leakage Current		Power-down mode = output high impedance		±18		nA
DIGITAL INPUTS (SCLK, DIN, C	S)					
Input High Voltage	VIH	V <sub>DD</sub> = +3V, +5V	$0.7 \times V_{DD}$			V
Input Low Voltage	VIL	V <sub>DD</sub> = +3V, +5V			0.3 x V <sub>DD</sub>	V
Input Leakage Current	I <sub>IN</sub>	Digital inputs = 0 or V <sub>DD</sub>		±0.1	±1	μΑ
Input Capacitance	CIN			5		рF

## **ELECTRICAL CHARACTERISTICS (continued)**

 $(V_{DD} = +2.7V \text{ to } +5.5V, \text{ GND} = 0, \text{ R}_{L} = 5k\Omega, \text{ C}_{L} = 200p\text{F}, \text{ T}_{A} = \text{T}_{MIN} \text{ to T}_{MAX}, \text{ T}_{A} = +25^{\circ}\text{C}, \text{ unless otherwise noted. Typical values are at V}_{DD} = +5V, \text{ T}_{A} = +25^{\circ}\text{C}.)$ 

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
DYNAMIC PERFORMANCE	•						
Voltage Output Slew Rate	SR			0.5		V/µs	
Voltage Output Settling Time		100 hex to 300 hex (Note 4)		4	10	μs	
Digital Feedthrough		Any digital inputs from 0 or V <sub>DD</sub>		0.2		nV-s	
Digital-Analog Glitch Impulse		Major carry transition (code 1FF hex to code 200 hex)		12		nV-s	
POWER REQUIREMENTS							
Supply Voltage Range	V <sub>DD</sub>		2.7		5.5	V	
Cupply Current with No Load	laa	All digital inputs at 0 or V <sub>DD</sub> , V <sub>DD</sub> = 3.6V		85	150		
Supply Current with No Load	IDD	All digital inputs at 0 or V <sub>DD</sub> , V <sub>DD</sub> = 5.5V		105	187	μΑ	
Power-Down Supply Current	IDDPD	All digital inputs at 0 or $V_{DD}$ , $V_{DD} = 5.5V$		0.29	1	μΑ	
TIMING CHARACTERISTICS (FI	GURE 2) (Ti	iming is tested with no load)					
SCLK Clock Frequency	fsclk		0		20	MHz	
SCLK Pulse Width High	tch		20			ns	
SCLK Pulse Width Low	t <sub>CL</sub>		20			ns	
CS Fall to SCLK Rise Setup	tcss		15			ns	
DIN Setup Time	t <sub>DS</sub>		15			ns	
DIN Hold Time	tDH		0			ns	
SCLK Falling Edge to $\overline{\text{CS}}$ Rising Edge	tCSH		10			ns	
CS Pulse Width High	tcsw		80			ns	

Note 1: DC specifications are tested without output loads.

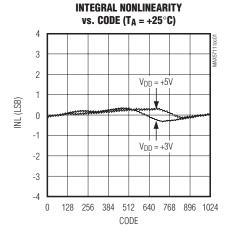
Note 2: Linearity guaranteed from code 29 to code 995.

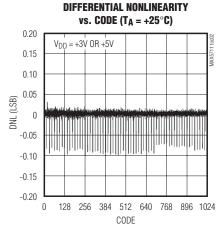
Note 3: Offset and gain error limit the FSR.

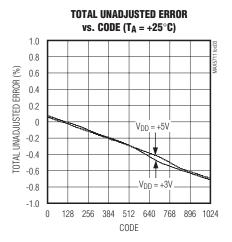
Note 4: Guaranteed by design.

### 標準動作特性

 $(T_A = +25^{\circ}C, \text{ unless otherwise noted.})$ 

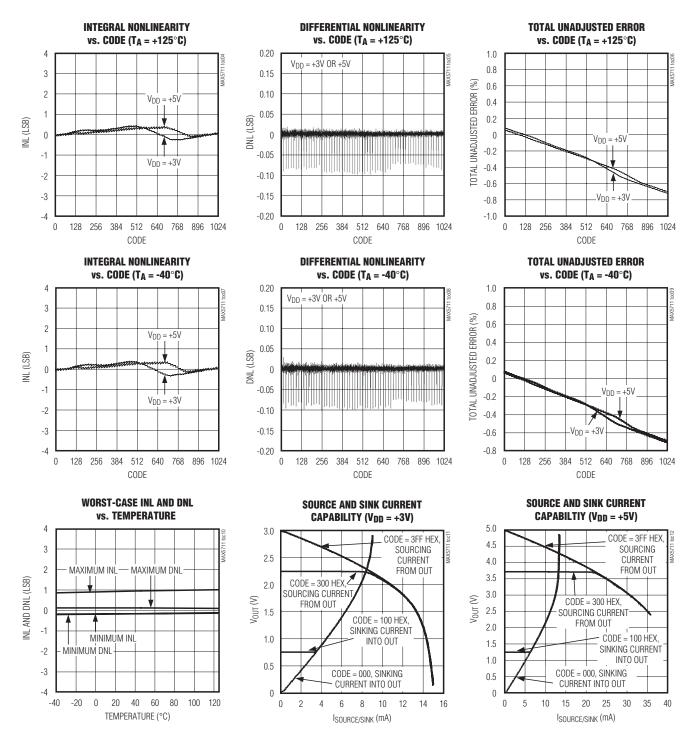






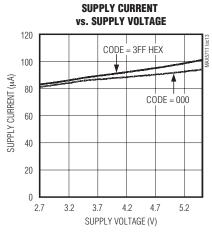
## 標準動作特性(続き)

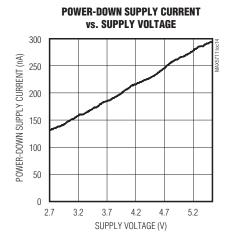
 $(T_A = +25^{\circ}C, \text{ unless otherwise noted.})$ 

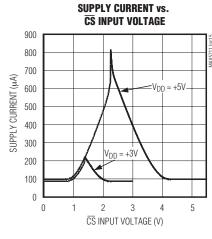


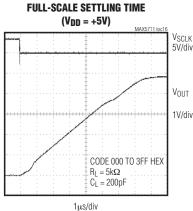
## 標準動作特性(続き)\_

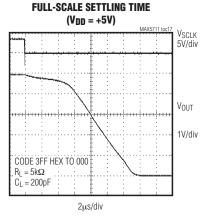
 $(T_A = +25^{\circ}C, \text{ unless otherwise noted.})$ 

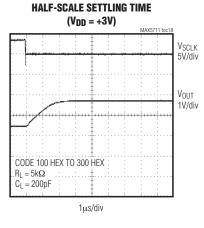


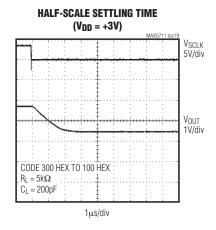


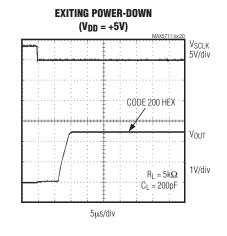


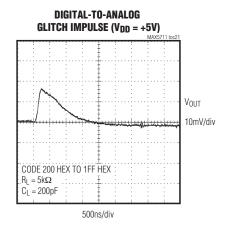








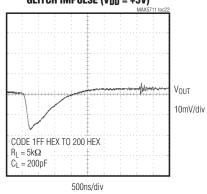


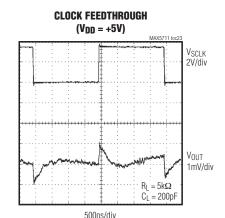


## 標準動作特性(続き)\_\_\_

 $(T_A = +25^{\circ}C, \text{ unless otherwise noted.})$ 







## 端子説明 \_\_\_\_\_

端子	名称	機能
1	$V_{DD}$	電源入力
2	GND	グランド
3	DIN	シリアルデータ入力
4	SCLK	シリアルクロック入力
5	CS	アクティブローチップセレクト入力
6	OUT	DAC出力電圧

#### 詳細

MAX5711電圧出力、10ビットDACは、完全な10ビット性能を小型6ピンSOT23パッケージで提供します。SOT23の実装面積は9mm<sup>2</sup>以下です。MAX5711は、微分非直線性誤差が1LSB以下で、単調性の性能を保証しています。本デバイスは、最大20MHzで動作する簡易な3線SPI/QSPI/MICROWIRE及びDSPコンパチブルのシリアルインタフェースを使用しています。MAX5711は、低電力アプリケーションに最適な3つのシャットダウンモードを備えています。

### アナログ部分

MAX5711は抵抗ストリング、出力バッファ、及び POR回路によって構成されています。単調ディジタルアナログ変換は、抵抗ストリングアーキテクチャを使って達成されます。 $V_{DD}$ がMAX5711のリファレンスの為、DAC精度は $V_{DD}$ の精度に依存しています。MAX5711の低バイアス電流は、電力がMAX6300のような電圧リファレンスによって供給されることを可能にします。10ビットDACコードは1LSB= $V_{DD}$ /1024のバイナリユニポーラです。

### 出力バッファ

DAC出力バッファは、レイルトゥレイル出力を持ち、200pF容量負荷とパラレルで $5k\Omega$ 抵抗負荷を駆動する能力があります。200pF容量負荷では、出力バッファは $0.5V/\mu$ 秒のスルーレートです。1/4FSから3/4FSまでの出力変化では、アンプ出力は、200pFと並列の $5k\Omega$ の負荷時、 $10\mu$ 秒以下で1/2LSBに安定します。バッファアンプは $5k\Omega$ 以上の抵抗負荷と200pF以下の容量負荷のいかなる組み合わせでも安定しています。

本デバイスをパワーダウンするには入力レジスタビットをプログラムして下さい。DACレジスタは、パワーダウン及びウェイクアップ中は保存されて、DAC出力はパワーダウン前の電圧になります。

## パワーオンリセット

MAX5711には、 $V_{DD}$ が最初に加えられた時にDAC出力をゼロに設定するPOR回路が装備されています。これによって、電力損失後のような好ましくないDAC出力電圧が、システム起動時の直後に発生しないことを保証します。初期パワーアップ時、全てのDACレジスタがクリアにされ、DACがパワーダウンされ、その出力が100k $\Omega$ 抵抗によってGNDに終端されることが内部パワーオンリセット回路によってなされます。DACレジスタに書き込む前に、ウェイクアップコマンドを発行した後に8 $\mu$ 秒の回復時間が必要です。

## ディジタル部分

### 3線シリアルインタフェース

MAX5711ディジタルインタフェースは、SPI/QSPI/MICROWIRE/DSPインタフェースにコンパチブルの標準3線接続です。チップセレクト入力( $\overline{CS}$ )は、DINでのシリアルデータローディングをフレームします。 $\overline{CS}$  ハイからローへの遷移の直後に、データは同期的にシフトされ、シリアルクロック入力(SCLK)の立下りエッジで入力レジスタにラッチされます。16ビットがシリアル入力レジスタはそのコンテンツをDACラッチに移行します。 $\overline{CS}$ は、その後、ローに維持されるかまたはハイに上げられます。ライトシーケンスは $\overline{CS}$ の立下りエッジで開始

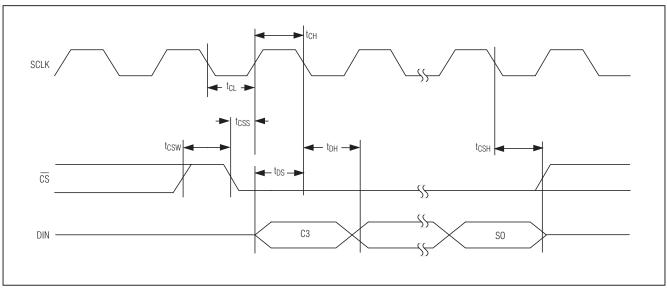


図1. タイミング図

## 表1. シリアルインタフェースマッピング

16-BIT SERIAL WORD																	
MSB			LSF										LSB	MODE	OUTPUT		
C3	C2	C1	C0	D09	D08	D07	D06	D05	D04	D03	D02	D01	D00	S1	S0		
0	0	0	0		10-Bit DAC Code 0 0							0	Set and Update DAC	V <sub>OUT</sub> = V <sub>DD</sub> x CODE/1024			
1	1	1	1	Х	Χ	Χ	Χ	Х	Χ	Х	Χ	Х	Χ	0	0	Wake-Up	Current DAC setting (initially 0)
1	1	1	1	Х	Χ	Χ	Χ	Х	Χ	Χ	Χ	Х	Χ	0	1	Power-Down	Floating
1	1	1	1	Х	Χ	Χ	Χ	Х	Χ	Χ	Χ	Х	Χ	1	0	Power-Down	1k $\Omega$ to GND
1	1	1	1	X	Χ	Χ	Χ	Х	Χ	Χ	Χ	Х	Χ	1	1	Power-Down	100kΩ to GND

X = 任意

されるので、 $\overline{\text{CS}}$ は、次のライトシーケンスの前に少なくとも80n秒間ハイに上げられなければなりません。最初の15 SCLKサイクル中に $\overline{\text{CS}}$ をローに保持しないことによって、入力データが破棄されます。シリアルクロック (SCLK)は、トランジション間でハイまたはローのいずれかでアイドル可能です。図1は完全3線シリアルインタフェース送信を示しています。表1にシリアルインタフェースのマッピングの一覧が掲載されています。 $V_{DD}$ が印加された後の最初のコマンドはウェイクアップコマンドでなければなりません。

## パワーダウンモード

MAX5711は、消費電流を1µA以下に低減させる3つのソフトウェア制御パワーダウンモードを装備しています。2つか3つのパワーダウンモードでは、OUTは抵抗器によってGNDに接続されます。表1に3つのパワーダウンモード動作の一覧が掲載されています。パワーダウンでは、MAX5711は「設定と更新(セットアンドアップデート)」コマンドに応答しません。

### アプリケーション情報

#### 外部リファレンスによって駆動されるデバイス

MAX5711は、 $V_{DD}$ に比例して出力電圧を生成するので、電源ノイズを出力に伝えてしまいます。図2の回路は、精密電圧リファレンスを使って直接デバイスに電源供給することによって、消費電流ノイズを除去し、システム全体の精度を改善します。MAX6030(+3V、75ppm)またはMAX6050(+5V、75ppm)精密電圧リファレンスは、低電力要求条件を持つMAX5711にとって最適な選択肢です。必要なフルスケール出力電圧が利用可能な電源電圧以下の場合もこのソリューションは有用です。

### ディジタル入力及びインタフェースロジック

3線ディジタルインタフェースは、SPI、QSPI、MICROWIRE、及びDSPにコンパチブルです。3つの

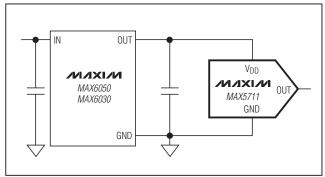


図2. MAX5711へのリファレンスによる電源供給

ディジタル入力(CS、DIN、及びSCLK)は、ディジタル入力をシリアルでDACにロードします。全てのディジタル入力には、低速トランジションインタフェースを受け入れるためにシュミットトリガバッファが含まれています。これによって、追加の外部ロジックを使わずフォトカプラが直接MAX5711にインタフェースできます。ディジタル入力はCMOSロジックレベルにコンパチブルです。

#### 電源バイパス及びレイアウト

慎重なPCBのレイアウトは最大のシステム性能を得る上で重要です。ノイズ注入及びディジタルフィードスルーを減少させるために、アナログ信号とディジタル信号を別々に維持して下さい。GNDから電源グランドまでのリターン経路が短く低インピーダンスであることを保証するために、グランドプレーンを使って下さい。デバイスにできる限り近接して $0.1\mu$ Fコンデンサを使い、 $V_{DD}$ をGNDにバイパスして下さい。

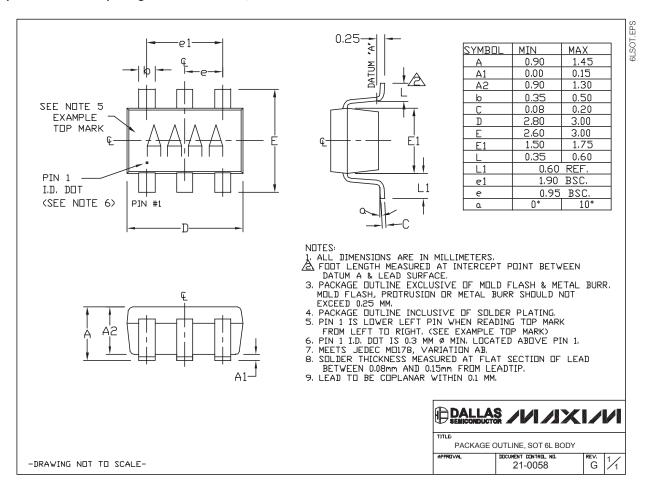
### チップ情報

**TRANSISTOR COUNT: 3856** 

PROCESS: BICMOS

## パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。