

# +1.8V~+5.5V、超低電力、8ビット、 電圧出力DAC

## 概要

MAX5510/MAX5511は、レイルトゥレイルバッファ電圧出力を備えたシングル、8ビット、超低電力、電圧出力、デジタル-アナログコンバータ(DAC)です。このDACは、1.8V~5.5V電源で動作し消費電流が6 $\mu$ A以下であるため、低電力かつ低電圧のアプリケーションに適しています。シャットダウンモードでは、リファレンス入力電流を含む全電流がわずか0.18 $\mu$ Aに減少します。MAX5510/MAX5511では、SPI™、QSPI™、及びMICROWIRE™に対応した3線シリアルインタフェースが使用されます。

電源投入時には、MAX5510/MAX5511出力がゼロスケールに駆動されるため、バルブを駆動するアプリケーションや、電源投入中にオフ状態でなければならないトランスデューサなどの安全性が向上します。ゼロスケール出力によって、グリッチのない電源投入が可能になります。

MAX5510は、外部リファレンス入力で作動します。MAX5511は、リファレンスを内蔵しており、このリファレンスを外部に供給します。両製品とも、フォース/センス構成の出力バッファを備えています。

MAX5510/MAX5511は、4mm x 4mm x 0.8mm、12ピン、薄型QFNパッケージで提供され、-40°C ~ +85°Cの拡張温度範囲で動作が保証されています。

12ビット対応の製品については、MAX5530/MAX5531のデータシートを参照してください。10ビット対応の製品については、MAX5520/MAX5521のデータシートを参照してください。

## アプリケーション

- バッテリー電源式ポータブル機器
- 計測
- 工場または市場における自動トリミング及び校正プログラム可能な電圧及び電流源
- 工業プロセス制御及び遠隔工業用機器
- 遠隔データ変換及び監視
- ガスモニタ用化学センサのセルバイアス
- プログラム可能な液晶ディスプレイ(LCD)用バイアス

## 選択ガイド

PART	REFERENCE	TOP MARK
MAX5510ETC	External	AACO
MAX5511ETC	Internal	AACP

SPI及びQSPIは、Motorola, Inc.の商標です。

MICROWIREはNational Semiconductor Corp.の商標です。

## 特長

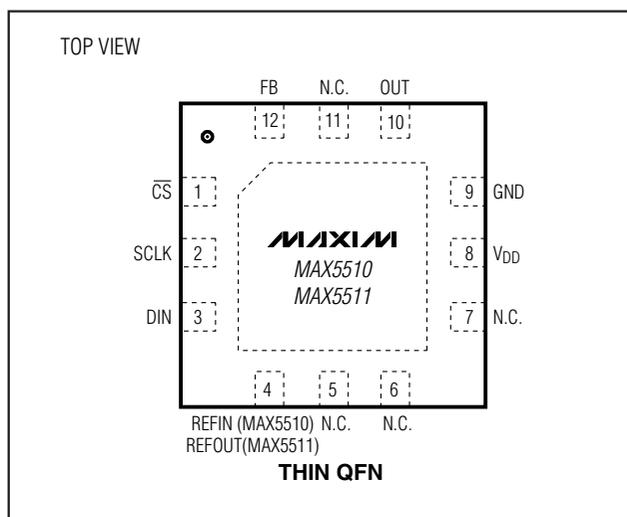
- ◆ 単一電源：+1.8V~+5.5V
- ◆ 超低消費電流：6 $\mu$ A
- ◆ シャットダウンモードの消費電流：0.18 $\mu$ A(max)
- ◆ 小型、4mm x 4mm x 0.8mm、Thin QFNパッケージ
- ◆ フレキシブルなフォース/センス構成のレイルトゥレイル出力バッファ
- ◆ 内蔵リファレンスの供給可能電流：8mA(MAX5511)
- ◆ 高速16MHz、3線SPI/QSPI/MICROWIRE対応シリアルインタフェース
- ◆ TTL及びCMOS対応ヒステリシス付きデジタル入力
- ◆ 電源投入中のグリッチフリー出力

## 型番

PART	TEMP RANGE	PIN-PACKAGE
MAX5510ETC	-40°C to +85°C	12 Thin QFN-EP*
MAX5511ETC	-40°C to +85°C	12 Thin QFN-EP*

\*EP：エクスポーズドパッド(GNDに内部接続)

## ピン配置



# +1.8V~+5.5V、超低電力、8ビット、 電圧出力DAC

MAX5510/MAX5511

## ABSOLUTE MAXIMUM RATINGS

V<sub>DD</sub> to GND .....-0.3V to +6V  
 OUT to GND .....-0.3V to (V<sub>DD</sub> + 0.3V)  
 FB to GND .....-0.3V to (V<sub>DD</sub> + 0.3V)  
 SCLK, DIN, CS to GND .....-0.3V to (V<sub>DD</sub> + 0.3V)  
 REFIN, REFOUT to GND .....-0.3V to (V<sub>DD</sub> + 0.3V)  
 Continuous Power Dissipation (T<sub>A</sub> = +70°C)  
 Thin QFN (derate 16.9mW/°C above +70°C).....1349mW

Operating Temperature Range .....-40°C to +85°C  
 Storage Temperature Range .....-65°C to +150°C  
 Junction Temperature ..... +150°C  
 Lead Temperature (soldering, 10s) .....+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>DD</sub> = +1.8V to +5.5V, OUT unloaded, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>STATIC ACCURACY (MAX5510 EXTERNAL REFERENCE)</b>						
Resolution	N		8			Bits
Integral Nonlinearity (Note 1)	INL	V <sub>DD</sub> = 5V, V <sub>REF</sub> = 4.096V		±0.25	±1	LSB
		V <sub>DD</sub> = 1.8V, V <sub>REF</sub> = 1.024V		±0.25	±1	
Differential Nonlinearity (Note 1)	DNL	Guaranteed monotonic, V <sub>DD</sub> = 5V, V <sub>REF</sub> = 4.096V		±0.2	±1	LSB
		Guaranteed monotonic, V <sub>DD</sub> = 1.8V, V <sub>REF</sub> = 1.024V		±0.2	±1	
Offset Error (Note 2)	V <sub>OS</sub>	V <sub>DD</sub> = 5V, V <sub>REF</sub> = 4.096V		±1	±20	mV
		V <sub>DD</sub> = 1.8V, V <sub>REF</sub> = 1.024V		±1	±20	
Offset-Error Temperature Drift				±2		µV/°C
Gain Error (Note 3)	GE	V <sub>DD</sub> = 5V, V <sub>REF</sub> = 4.096V		±0.5	±1	LSB
		V <sub>DD</sub> = 1.8V, V <sub>REF</sub> = 1.024V		±0.5	±1	
Gain-Error Temperature Coefficient				±4		ppm/°C
Power-Supply Rejection Ratio	PSRR	1.8V ≤ V <sub>DD</sub> ≤ 5.5V		85		dB
<b>STATIC ACCURACY (MAX5511 INTERNAL REFERENCE)</b>						
Resolution	N		8			Bits
Integral Nonlinearity (Note 1)	INL	V <sub>DD</sub> = 5V, V <sub>REF</sub> = 3.9V		±0.25	±1	LSB
		V <sub>DD</sub> = 1.8V, V <sub>REF</sub> = 1.2V		±0.25	±1	
Differential Nonlinearity (Note 1)	DNL	Guaranteed monotonic, V <sub>DD</sub> = 5V, V <sub>REF</sub> = 3.9V		±0.2	±1	LSB
		Guaranteed monotonic, V <sub>DD</sub> = 1.8V, V <sub>REF</sub> = 1.2V		±0.2	±1	
Offset Error (Note 2)	V <sub>OS</sub>	V <sub>DD</sub> = 5V, V <sub>REF</sub> = 3.9V		±1	±20	mV
		V <sub>DD</sub> = 1.8V, V <sub>REF</sub> = 1.2V		±1	±20	
Offset-Error Temperature Drift				±2		µV/°C
Gain Error (Note 3)	GE	V <sub>DD</sub> = 5V, V <sub>REF</sub> = 3.9V		±0.5	±1	LSB
		V <sub>DD</sub> = 1.8V, V <sub>REF</sub> = 1.2V		±0.5	±1	
Gain-Error Temperature Coefficient				±4		ppm/°C

# +1.8V~+5.5V、超低電力、8ビット、 電圧出力DAC

MAX5510/MAX5511

## ELECTRICAL CHARACTERISTICS (continued)

(V<sub>DD</sub> = +1.8V to +5.5V, OUT unloaded, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Power-Supply Rejection Ratio	PSRR	1.8V ≤ V <sub>DD</sub> ≤ 5.5V		85		dB
<b>REFERENCE INPUT (MAX5510)</b>						
Reference-Input Voltage Range	V <sub>REFIN</sub>		0		V <sub>DD</sub>	V
Reference-Input Impedance	R <sub>REFIN</sub>	Normal operation	4.1			MΩ
		In shutdown		2.5		GΩ
<b>REFERENCE OUTPUT (MAX5511)</b>						
Initial Accuracy	V <sub>REFOUT</sub>	No external load, V <sub>DD</sub> = 1.8V	1.197	1.214	1.231	V
		No external load, V <sub>DD</sub> = 2.5V	1.913	1.940	1.967	
		No external load, V <sub>DD</sub> = 3V	2.391	2.425	2.459	
		No external load, V <sub>DD</sub> = 5V	3.828	3.885	3.941	
Output-Voltage Temperature Coefficient	V <sub>TEMPCO</sub>	T <sub>A</sub> = -40°C to +85°C (Note 4)		12	30	ppm/°C
Line Regulation		V <sub>REFOUT</sub> < V <sub>DD</sub> - 200mV (Note 5)		2	200	μV/V
Load Regulation		0 ≤ I <sub>REFOUT</sub> ≤ 1mA, sourcing, V <sub>DD</sub> = 1.8V, V <sub>REF</sub> = 1.2V		0.3	2	μV/μA
		0 ≤ I <sub>REFOUT</sub> ≤ 8mA, sourcing, V <sub>DD</sub> = 5V, V <sub>REF</sub> = 3.9V		0.3	2	
		-150μA ≤ I <sub>REFOUT</sub> ≤ 0, sinking		0.2		
Output Noise Voltage		0.1Hz to 10Hz, V <sub>REFOUT</sub> = 3.9V		150		μV <sub>P-P</sub>
		10Hz to 10kHz, V <sub>REFOUT</sub> = 3.9V		600		
		0.1Hz to 10Hz, V <sub>REFOUT</sub> = 1.2V		50		
		10Hz to 10kHz, V <sub>REFOUT</sub> = 1.2V		450		
Short-Circuit Current (Note 6)		V <sub>DD</sub> = 5V		30		mA
		V <sub>DD</sub> = 1.8V		14		
Capacitive Load Stability Range		(Note 7)		0 to 10		nF
Thermal Hysteresis		(Note 8)		200		ppm
Reference Power-Up Time (from Shutdown)		REFOUT unloaded, V <sub>DD</sub> = 5V		5.4		ms
		REFOUT unloaded, V <sub>DD</sub> = 1.8V		4.4		
Long-Term Stability				200		ppm/ 1khrs
<b>DAC OUTPUT (OUT)</b>						
Capacitive Driving Capability	C <sub>L</sub>			1000		pF
Short-Circuit Current (Note 6)		V <sub>DD</sub> = 5V, V <sub>OUT</sub> set to full scale, OUT shorted to GND, source current			65	mA
		V <sub>DD</sub> = 5V, V <sub>OUT</sub> set to 0V, OUT shorted to V <sub>DD</sub> , sink current			65	
		V <sub>DD</sub> = 1.8V, V <sub>OUT</sub> set to full scale, OUT shorted to GND, source current			14	
		V <sub>DD</sub> = 1.8V, V <sub>OUT</sub> set to 0V, OUT shorted to V <sub>DD</sub> , sink current			14	

# +1.8V~+5.5V、超低電力、8ビット、 電圧出力DAC

MAX5510/MAX5511

## ELECTRICAL CHARACTERISTICS (continued)

(V<sub>DD</sub> = +1.8V to +5.5V, OUT unloaded, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
DAC Power-Up Time		Coming out of shutdown (MAX5510)	V <sub>DD</sub> = 5V	3		ms	
			V <sub>DD</sub> = 1.8V	3.8			
		Coming out of standby (MAX5511)	V <sub>DD</sub> = 1.8V to 5.5V	0.4			
Output Power-Up Glitch		C <sub>L</sub> = 100pF		10		mV	
FB_ Input Current				10		pA	
<b>DIGITAL INPUTS (SCLK, DIN, CS)</b>							
Input High Voltage	V <sub>IH</sub>	4.5V ≤ V <sub>DD</sub> ≤ 5.5V		2.4		V	
		2.7V < V <sub>DD</sub> ≤ 3.6V		2.0			
		1.8V ≤ V <sub>DD</sub> ≤ 2.7V		0.7 × V <sub>DD</sub>			
Input Low Voltage	V <sub>IL</sub>	4.5V ≤ V <sub>DD</sub> ≤ 5.5V		0.8		V	
		2.7V < V <sub>DD</sub> ≤ 3.6V		0.6			
		1.8V ≤ V <sub>DD</sub> ≤ 2.7V		0.3 × V <sub>DD</sub>			
Input Leakage Current	I <sub>IN</sub>	(Note 9)		±0.05	±0.5	μA	
Input Capacitance	C <sub>IN</sub>			10		pF	
<b>DYNAMIC PERFORMANCE</b>							
Voltage-Output Slew Rate	SR	Positive and negative (Note 10)		10		V/ms	
Voltage-Output Settling Time		0.1 to 0.9 of full scale to within 0.5 LSB (Note 10)		660		μs	
Output Noise Voltage		0.1Hz to 10Hz	V <sub>DD</sub> = 5V	80		μVP-P	
			V <sub>DD</sub> = 1.8V	55			
		10Hz to 10kHz	V <sub>DD</sub> = 5V	620			
			V <sub>DD</sub> = 1.8V	476			
<b>POWER REQUIREMENTS</b>							
Supply Voltage Range	V <sub>DD</sub>			1.8	5.5	V	
Supply Current (Note 9)	I <sub>DD</sub>	MAX5510	V <sub>DD</sub> = 5V	2.6	4	μA	
			V <sub>DD</sub> = 3V	2.6	4		
			V <sub>DD</sub> = 1.8V	3.6	5		
		MAX5511	V <sub>DD</sub> = 5V	5.3	6.5		
			V <sub>DD</sub> = 3V	4.8	6.0		
			V <sub>DD</sub> = 1.8V	5.4	7.0		
Standby Supply Current	I <sub>DDSD</sub>	(Note 9)	V <sub>DD</sub> = 5V	3.3	4.0	μA	
			V <sub>DD</sub> = 3V	2.8	3.4		
			V <sub>DD</sub> = 1.8V	2.4	3.0		
Shutdown Supply Current	I <sub>DDPD</sub>	(Note 9)		0.05	0.18	μA	

# +1.8V~+5.5V、超低電力、8ビット、 電圧出力DAC

MAX5510/MAX5511

## TIMING CHARACTERISTICS

( $V_{DD} = +4.5V$  to  $+5.5V$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>TIMING CHARACTERISTICS (<math>V_{DD} = 4.5V</math> TO <math>5.5V</math>)</b>						
Serial Clock Frequency	f <sub>SCLK</sub>		0		16.7	MHz
DIN to SCLK Rise Setup Time	t <sub>DS</sub>		15			ns
DIN to SCLK Rise Hold Time	t <sub>DH</sub>		0			ns
SCLK Pulse-Width High	t <sub>CH</sub>		24			ns
SCLK Pulse-Width Low	t <sub>CL</sub>		24			ns
$\overline{CS}$ Pulse-Width High	t <sub>CSW</sub>		100			ns
SCLK Rise to $\overline{CS}$ Rise Hold Time	t <sub>CSH</sub>		0			ns
$\overline{CS}$ Fall to SCLK Rise Setup Time	t <sub>CSS</sub>		20			ns
SCLK Fall to $\overline{CS}$ Fall Setup	t <sub>CSO</sub>		0			ns
$\overline{CS}$ Rise to SCK Rise Hold Time	t <sub>CS1</sub>		20			ns

## TIMING CHARACTERISTICS

( $V_{DD} = +1.8V$  to  $+5.5V$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>TIMING CHARACTERISTICS (<math>V_{DD} = 1.8V</math> TO <math>5.5V</math>)</b>						
Serial Clock Frequency	f <sub>SCLK</sub>		0		10	MHz
DIN to SCLK Rise Setup Time	t <sub>DS</sub>		24			ns
DIN to SCLK Rise Hold Time	t <sub>DH</sub>		0			ns
SCLK Pulse-Width High	t <sub>CH</sub>		40			ns
SCLK Pulse-Width Low	t <sub>CL</sub>		40			ns
$\overline{CS}$ Pulse-Width High	t <sub>CSW</sub>		150			ns
SCLK Rise to $\overline{CS}$ Rise Hold Time	t <sub>CSH</sub>		0			ns
$\overline{CS}$ Fall to SCLK Rise Setup Time	t <sub>CSS</sub>		30			ns
SCLK Fall to $\overline{CS}$ Fall Setup	t <sub>CSO</sub>		0			ns
$\overline{CS}$ Rise to SCK Rise Hold Time	t <sub>CS1</sub>		30			ns

**Note 1:** Linearity is tested within codes 6 to 255.

**Note 2:** Offset is tested at code 6.

**Note 3:** Gain is tested at code 250. FB is connected to OUT.

**Note 4:** Guaranteed by design. Not production tested.

**Note 5:**  $V_{DD}$  must be a minimum of 1.8V.

**Note 6:** Outputs can be shorted to  $V_{DD}$  or GND indefinitely, provided that the package power dissipation is not exceeded.

**Note 7:** Optimal noise performance is at 2nF load capacitance.

**Note 8:** Thermal hysteresis is defined as the change in the initial  $+25^\circ C$  output voltage after cycling the device from  $T_{MAX}$  to  $T_{MIN}$ .

**Note 9:** All digital inputs at  $V_{DD}$  or GND.

**Note 10:** Load = 10k $\Omega$  in parallel with 100pF,  $V_{DD} = 5V$ ,  $V_{REF} = 4.096V$  (MAX5510) or  $V_{REF} = 3.9V$  (MAX5511).

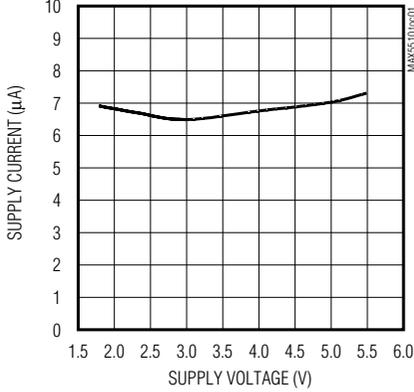
# +1.8V~+5.5V、超低電力、8ビット、 電圧出力DAC

MAX5510/MAX5511

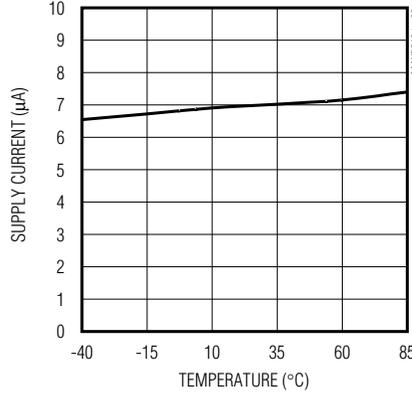
## 標準動作特性

( $V_{DD} = 5.0V$ ,  $V_{REF} = 4.096V$  (MAX5510) or  $V_{REF} = 3.9V$  (MAX5511),  $T_A = +25^\circ C$ , unless otherwise noted.)

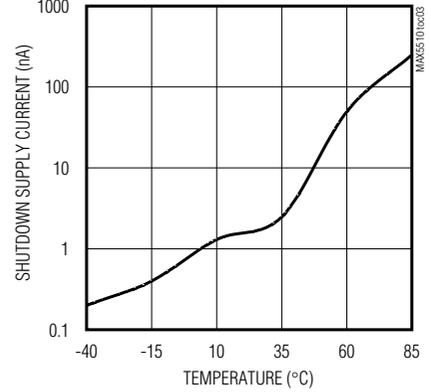
**SUPPLY CURRENT vs. SUPPLY VOLTAGE (MAX5511)**



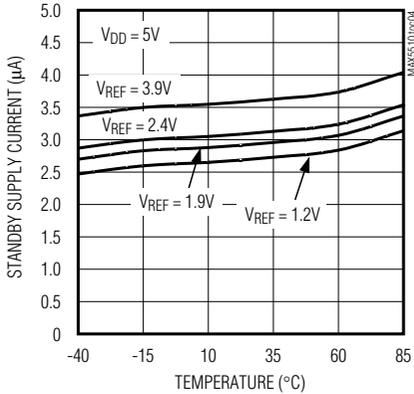
**SUPPLY CURRENT vs. TEMPERATURE (MAX5511)**



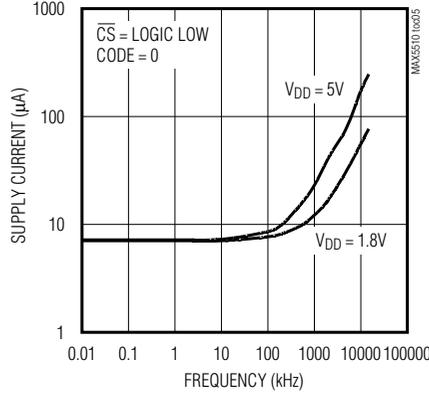
**SHUTDOWN SUPPLY CURRENT vs. TEMPERATURE (MAX5511)**



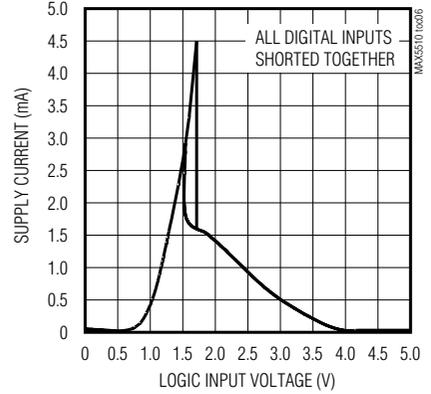
**STANDBY SUPPLY CURRENT vs. TEMPERATURE (MAX5511)**



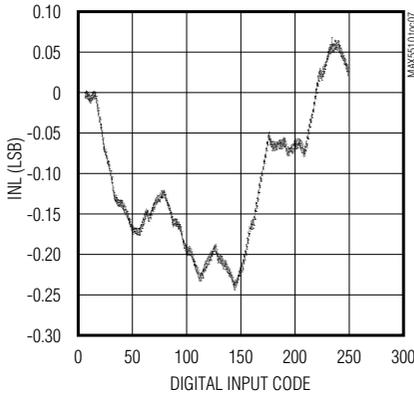
**SUPPLY CURRENT vs. CLOCK FREQUENCY**



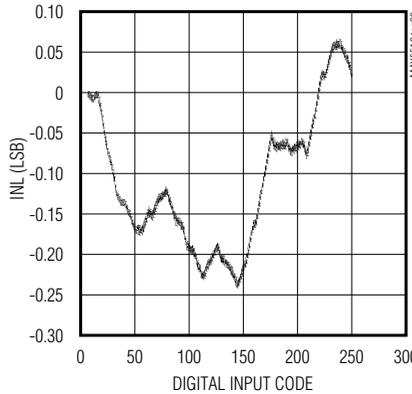
**SUPPLY CURRENT vs. LOGIC INPUT VOLTAGE**



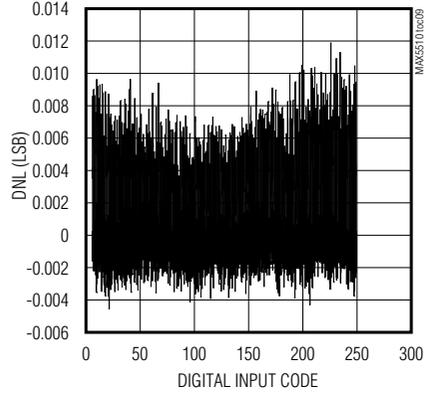
**INL vs. INPUT CODE (VDD = VREF = 1.8V)**



**INL vs. INPUT CODE (VDD = VREF = 5V)**



**DNL vs. INPUT CODE (VDD = VREF = 1.8V)**

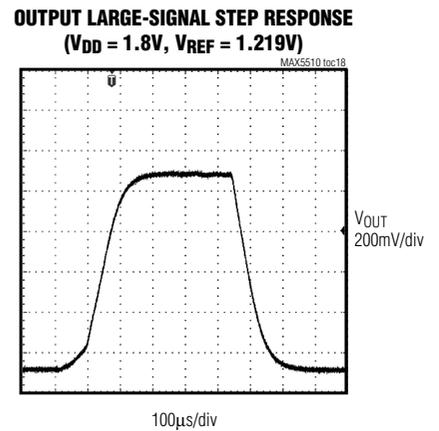
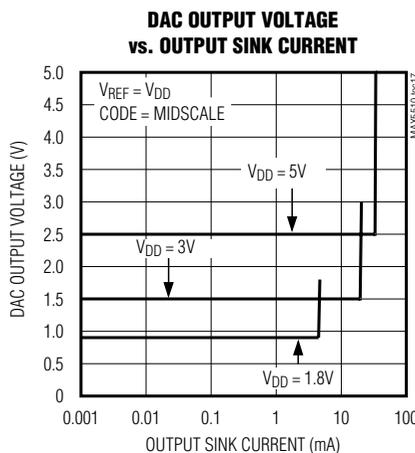
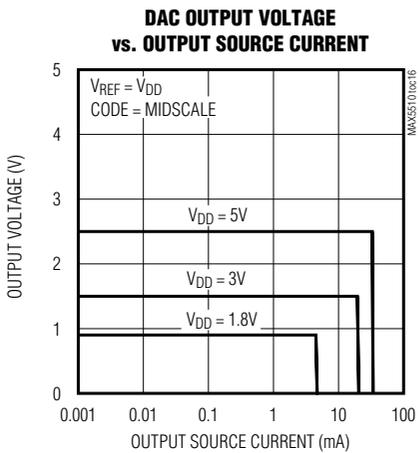
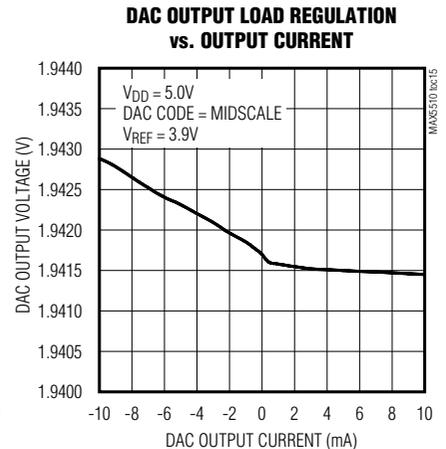
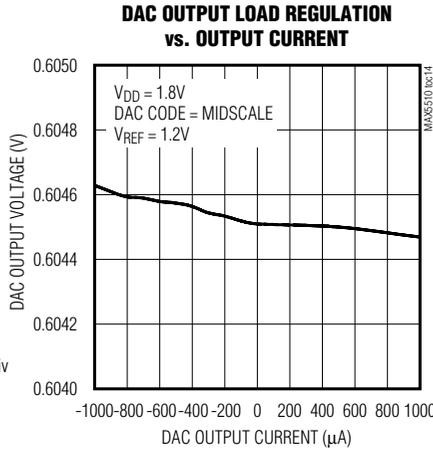
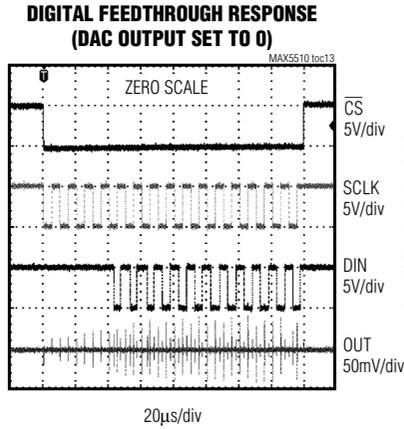
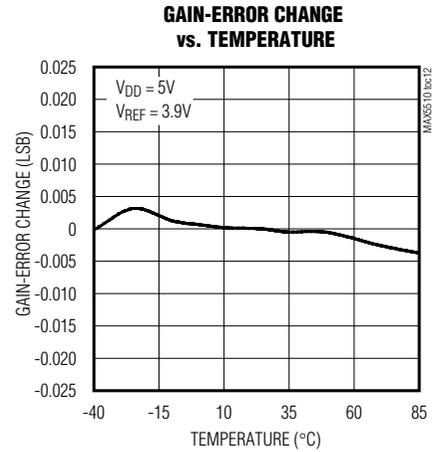
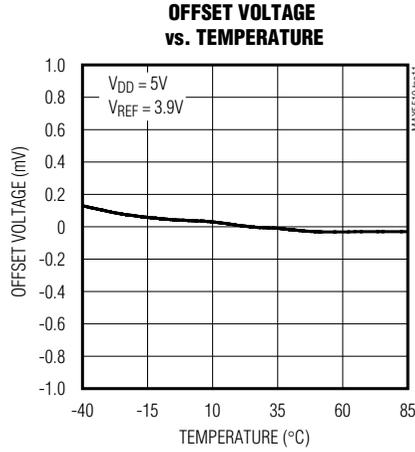
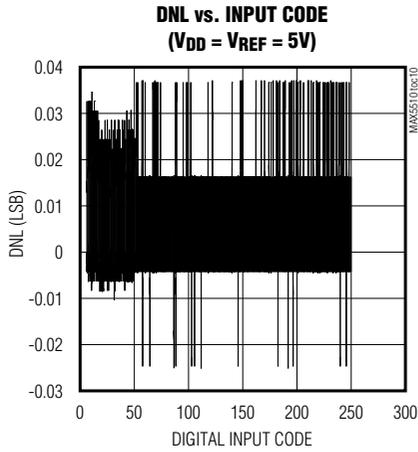


# +1.8V~+5.5V、超低電力、8ビット、 電圧出力DAC

MAX5510/MAX5511

## 標準動作特性(続き)

( $V_{DD} = 5.0V$ ,  $V_{REF} = 4.096V$  (MAX5510) or  $V_{REF} = 3.9V$  (MAX5511),  $T_A = +25^\circ C$ , unless otherwise noted.)

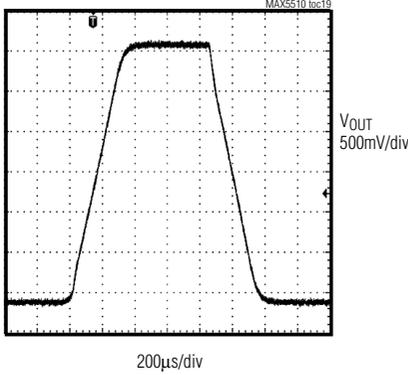


# +1.8V~+5.5V、超低電力、8ビット、 電圧出力DAC

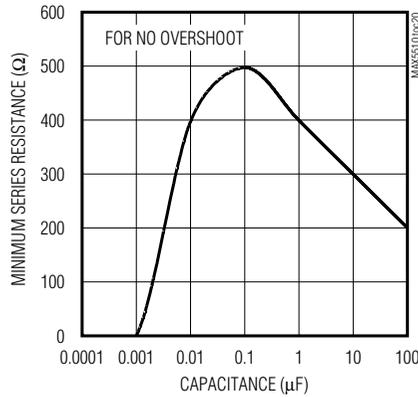
## 標準動作特性(続き)

( $V_{DD} = 5.0V$ ,  $V_{REF} = 4.096V$  (MAX5510) or  $V_{REF} = 3.9V$  (MAX5511),  $T_A = +25^\circ C$ , unless otherwise noted.)

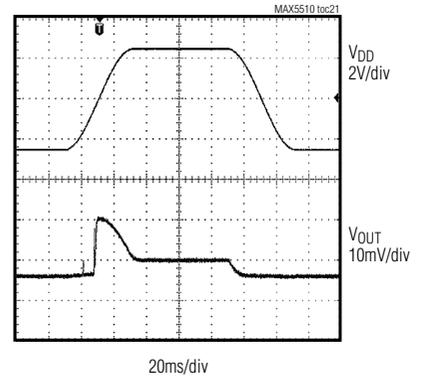
**OUTPUT LARGE-SIGNAL STEP RESPONSE**  
( $V_{DD} = 5V$ ,  $V_{REF} = 3.9V$ )



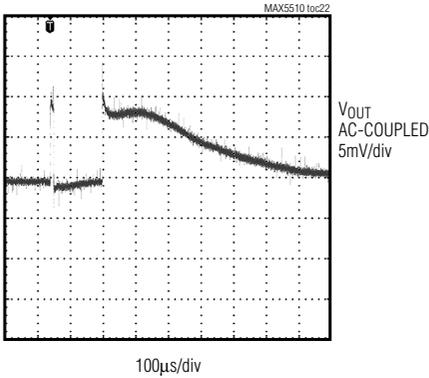
**OUTPUT MINIMUM SERIES RESISTANCE vs. LOAD CAPACITANCE**



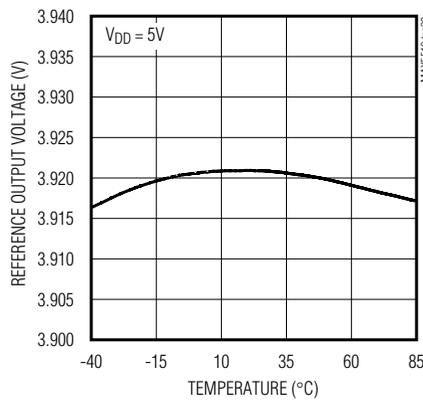
**POWER-UP OUTPUT VOLTAGE GLITCH**



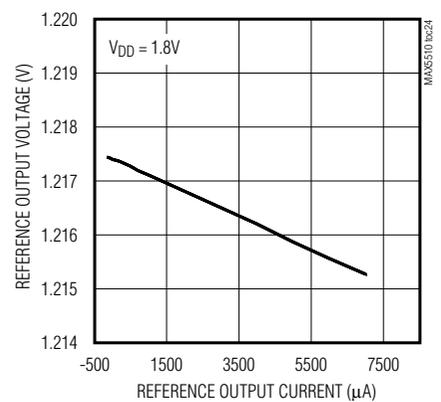
**MAJOR CARRY OUTPUT VOLTAGE GLITCH**  
(CODE 7FFh TO 800h)  
( $V_{DD} = 5V$ ,  $V_{REF} = 3.9V$ )



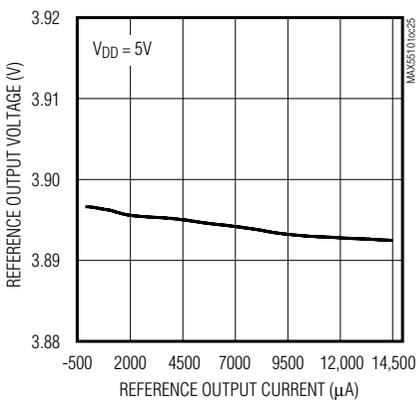
**REFERENCE OUTPUT VOLTAGE vs. TEMPERATURE**



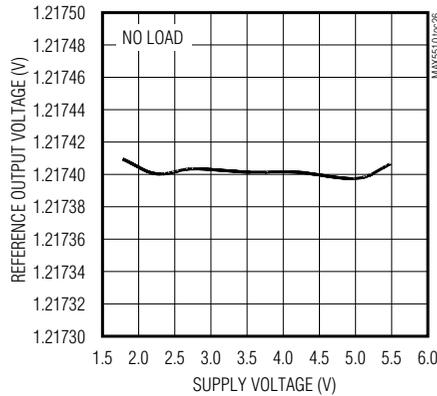
**REFERENCE OUTPUT VOLTAGE vs. REFERENCE OUTPUT CURRENT**



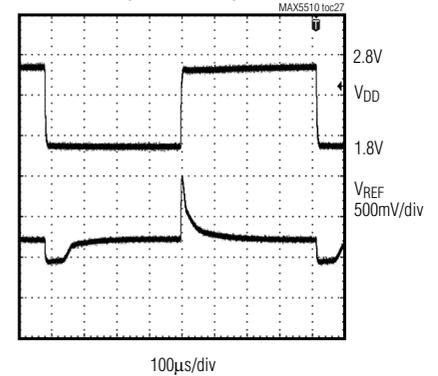
**REFERENCE OUTPUT VOLTAGE vs. REFERENCE OUTPUT CURRENT**



**REFERENCE OUTPUT VOLTAGE vs. SUPPLY VOLTAGE**



**REFERENCE LINE-TRANSIENT RESPONSE**  
( $V_{REF} = 1.2V$ )



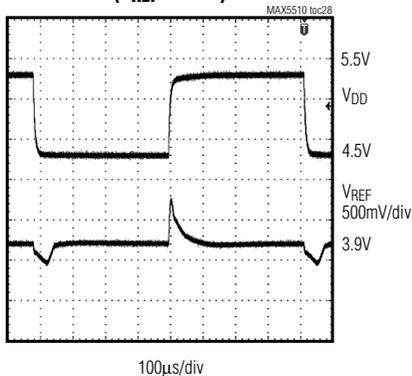
# +1.8V~+5.5V、超低電力、8ビット、 電圧出力DAC

MAX5510/MAX5511

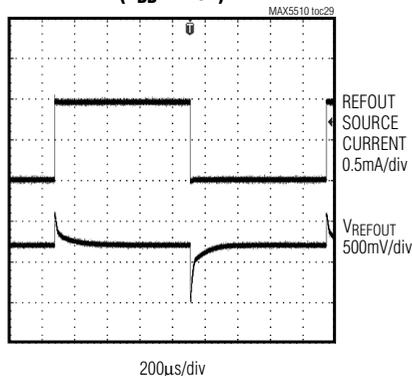
## 標準動作特性(続き)

( $V_{DD} = 5.0V$ ,  $V_{REF} = 4.096V$  (MAX5510) or  $V_{REF} = 3.9V$  (MAX5511),  $T_A = +25^\circ C$ , unless otherwise noted.)

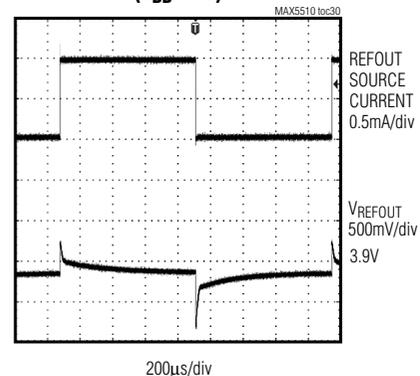
REFERENCE LINE-TRANSIENT RESPONSE  
( $V_{REF} = 3.9V$ )



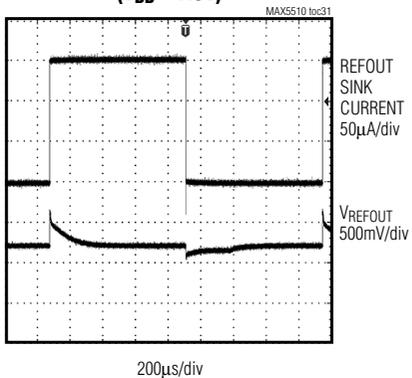
REFERENCE LOAD TRANSIENT  
( $V_{DD} = 1.8V$ )



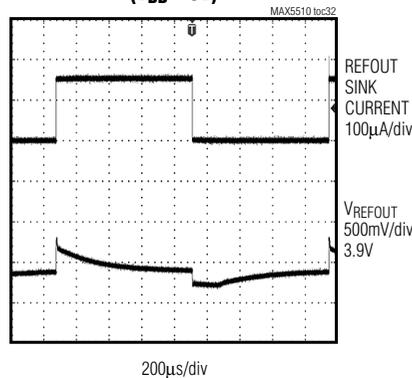
REFERENCE LOAD TRANSIENT  
( $V_{DD} = 5V$ )



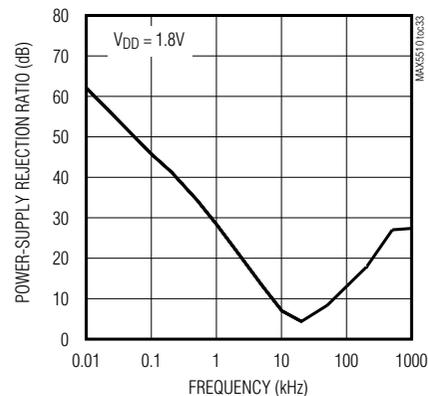
REFERENCE LOAD TRANSIENT  
( $V_{DD} = 1.8V$ )



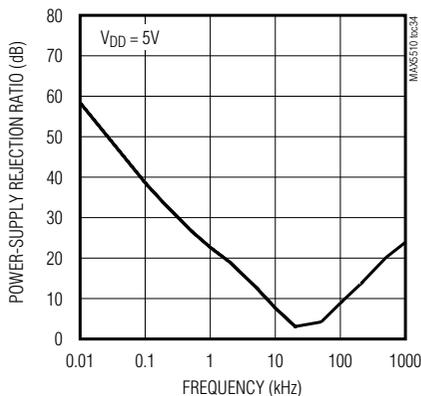
REFERENCE LOAD TRANSIENT  
( $V_{DD} = 5V$ )



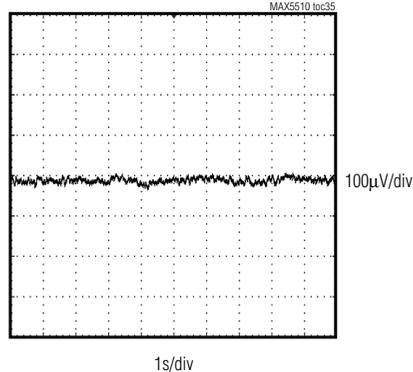
REFERENCE PSRR  
vs. FREQUENCY



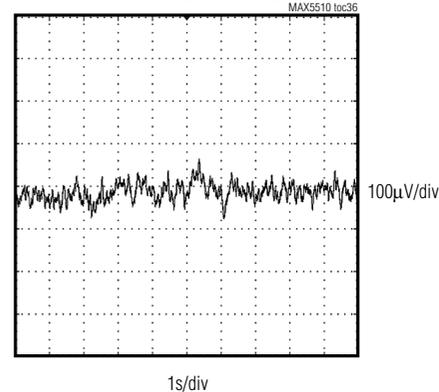
REFERENCE PSRR  
vs. FREQUENCY



REFERENCE OUTPUT NOISE  
(0.1Hz TO 10Hz) ( $V_{DD} = 1.8V$ ,  $V_{REF} = 1.2V$ )



REFERENCE OUTPUT NOISE  
(0.1Hz TO 10Hz) ( $V_{DD} = 5V$ ,  $V_{REF} = 3.9V$ )

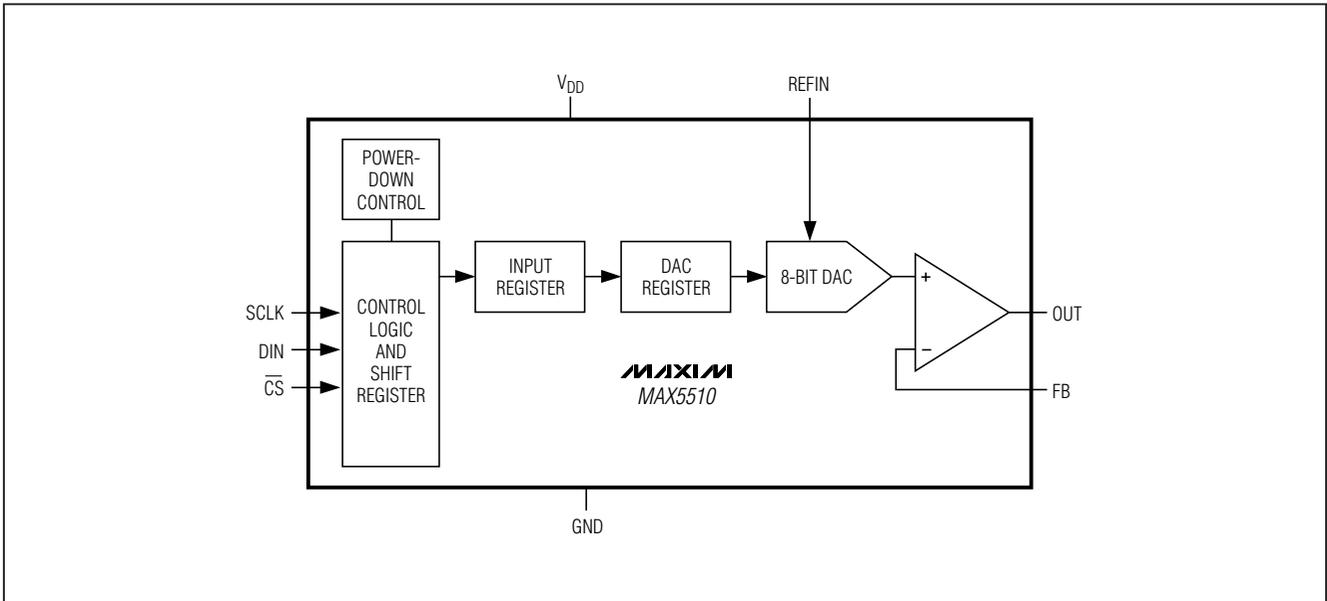


# +1.8V~+5.5V、超低電力、8ビット、 電圧出力DAC

## 端子説明

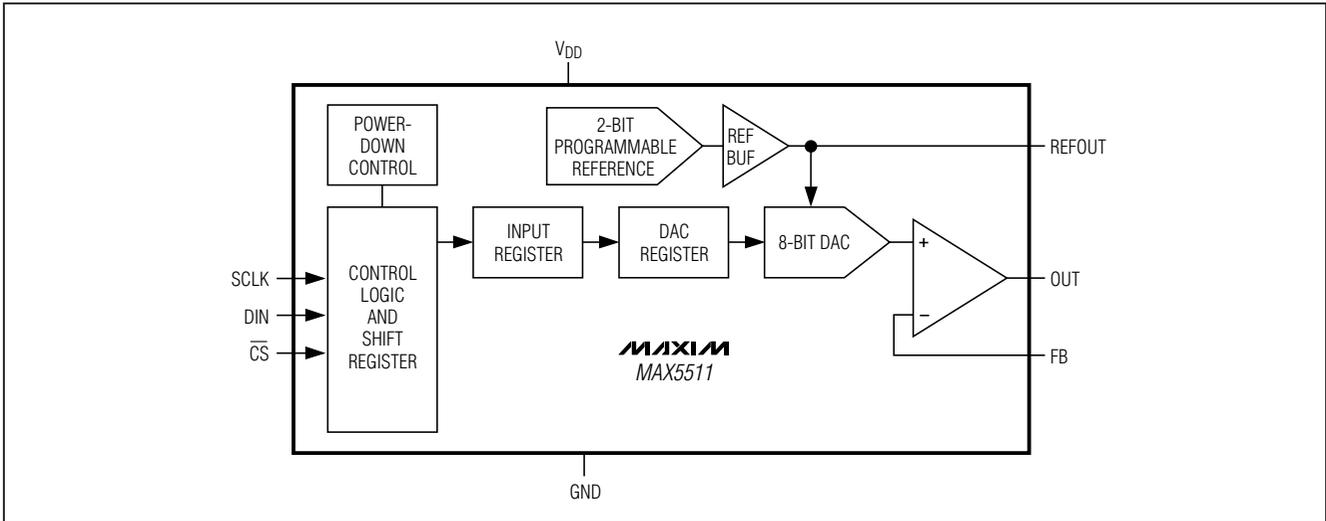
端子		名称	機能
MAX5510	MAX5511		
1	1	$\overline{\text{CS}}$	アクティブローのデジタル入力を可能とするチップセレクト
2	2	SCLK	シリアルインタフェース用クロック
3	3	DIN	シリアルインタフェース用データ入力
4	—	REFIN	リファレンス入力
—	4	REFOUT	リファレンス出力
5, 6, 7, 11	5, 6, 7, 11	N.C.	無接続。N.C.入力は、無接続状態(フローティング)にするか、またはGNDに接続してください。
8	8	V <sub>DD</sub>	電源入力。V <sub>DD</sub> は、1.8V~5.5V電源に接続してください。0.1 $\mu$ FのコンデンサでV <sub>DD</sub> をGNDにバイパスしてください。
9	9	GND	グラウンド
10	10	OUT	アナログ電圧出力。
12	12	FB	フィードバック入力。
EP	EP	Exposed Paddle	エクスポーズドパッド。EPはGNDに接続します。

## MAX5510のファンクションダイアグラム



# +1.8V~+5.5V、超低電力、8ビット、 電圧出力DAC

## MAX5511のファンクションダイアグラム



MAX5510/MAX5511

## 詳細

シングル、8ビット、超低電力、電圧出力DACのMAX5510/MAX5511は、レールトゥレールバッファ付き電圧出力を備えています。DACは、1.8V~5.5V電源で動作し、消費電流がわずか6 $\mu$ A(max)です。両製品とも、リファレンス入力電流を含む全電流をわずか0.18 $\mu$ Aに低減するシャットダウンモードを備えています。MAX5511は、リファレンスを内蔵しているため、リファレンスを外付けした場合の余分のボードスペースを必要とせず、また最大8mAの電流が供給可能であるため、システムリファレンスとして使用することができます。16MHz、3線シリアルインタフェースは、SPI、QSPI、及びMICROWIREの各プロトコルに対応しています。V<sub>DD</sub>が印加されると、両製品ともDAC出力がほとんどグリッチのないゼロスケールに駆動されます。MAX5510/MAX5511の出力バッファは、フォース/センス構成となっており、ユーザが電圧ゲインを出力において外部から(出力アンプの反転入力を利用して)設定することができます。両製品は、4mm x 4mm、薄型QFNパッケージで提供されます。

## デジタルインタフェース

MAX5510/MAX5511では、SPI、QSPI、及びMICROWIREの各プロトコルに対応した3線シリアルインタフェースを使用します(図1と2)。

MAX5510/MAX5511は、1個の16ビット入力シフトレジスタを内蔵しています。データは、シリアルインタフェースを通してシフトレジスタにロードされます。CSは、16ビットすべてがクロック同期入力されるまでローに保つ必要があります。データは、MSBを先頭にD9~D0の順でロードされます。16ビットは、4制御ビット(C3~C0)、8データビット(D7~D0)、及び4サブビットで構成されます(表1参照)。D7~D0がDACのデータビットで、S3~S0がサブビットです。正しく動作させるには、サブビットをゼロに設定する必要があります。制御ビットC3~C0は、表2に示すように、MAX5510/MAX5511を制御します。

各製品のDACチャネルは、入力レジスタとDACレジスタの2個のレジスタを内蔵しています。入力レジスタは、入力データを保持します。DACレジスタは、DAC出力に対する更新データを保持します。

ダブルバッファ付きレジスタ構成によって、次のいずれかが可能です。

- DACレジスタを更新することなく入力レジスタにロード
- 入力レジスタのデータでDACレジスタを更新
- 入力及びDACレジスタを同時に更新

# +1.8V~+5.5V、超低電力、8ビット、 電圧出力DAC

表1. シリアル書込みのデータ形式

CONTROL				DATA BITS												
MSB																LSB
C3	C2	C1	C0	D7	D6	D5	D4	D3	D2	D1	D0	S3	S2	S1	S0	

サブビットS3：S0は適正動作のためゼロに設定しなければいけません。

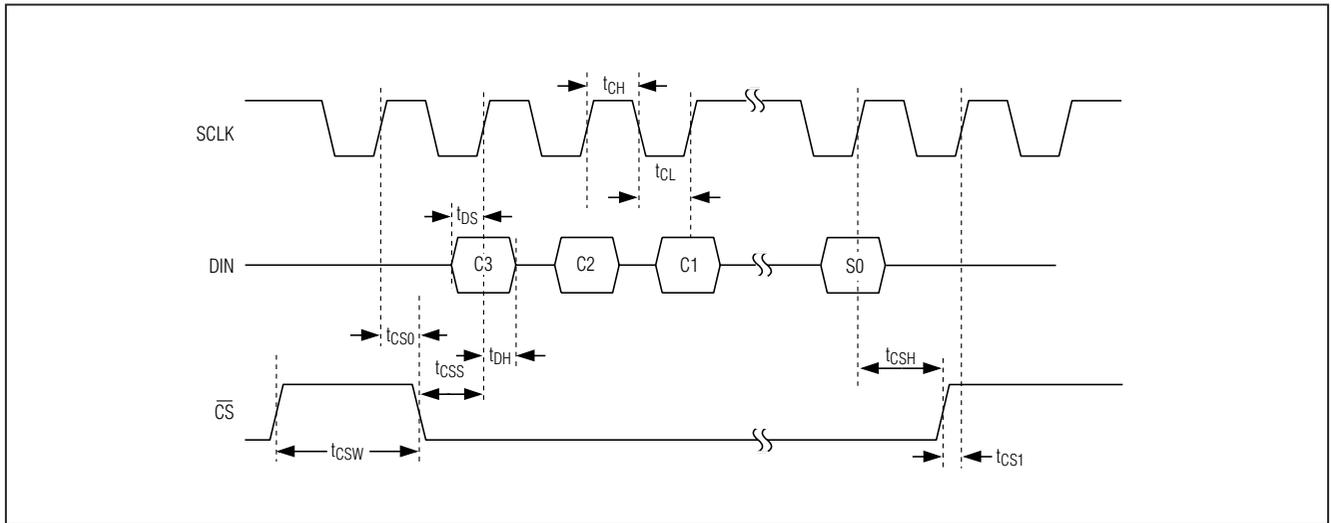


図1. タイミング図

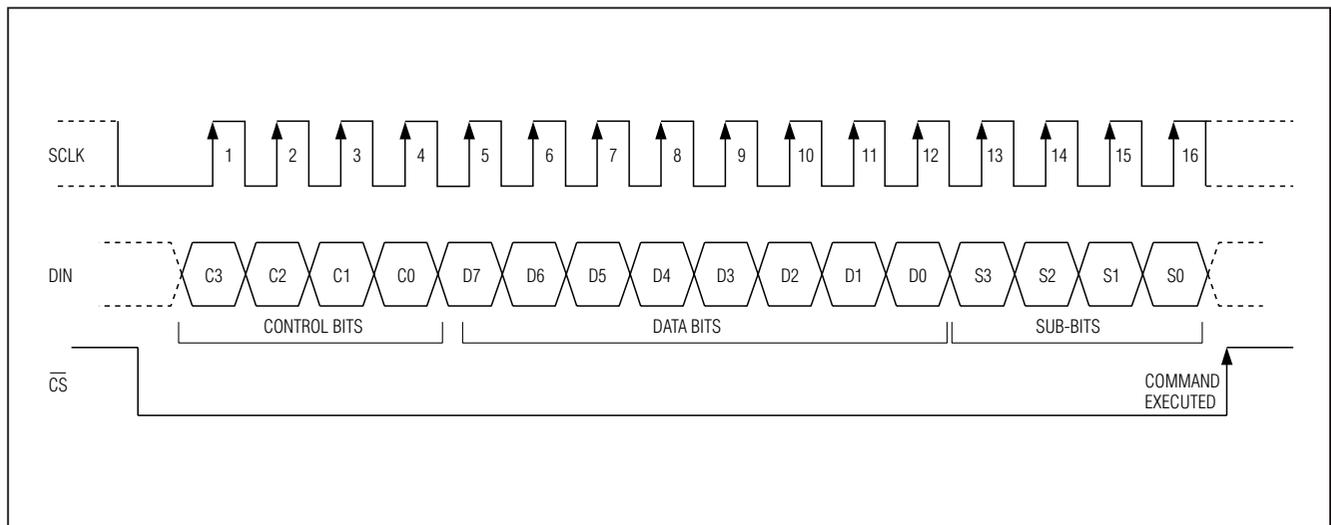


図2. レジスタロード図

# +1.8V~+5.5V、超低電力、8ビット、 電圧出力DAC

**表2. シリアルインタフェースのプログラム用コマンド**

CONTROL BITS				INPUT DATA	SUB-BITS	FUNCTION
C3	C2	C1	C0	D7-D0	S3-S0	
0	0	0	0	XXXXXXXX	0000	No operation; command is ignored.
0	0	0	1	8-bit data	0000	Load input register from shift register; DAC register unchanged; DAC output unchanged.
0	0	1	0	—	—	Command reserved; do not use.
0	0	1	1	—	—	Command reserved; do not use.
0	1	0	0	—	—	Command reserved; do not use.
0	1	0	1	—	—	Command reserved; do not use.
0	1	1	0	—	—	Command reserved; do not use.
0	1	1	1	—	—	Command reserved; do not use.
1	0	0	0	8-bit data	0000	Load DAC register from input register; DAC output updated; MAX5510 enters normal operation if in shutdown; MAX5511 enters normal operation if in standby or shutdown.
1	0	0	1	8-bit data	0000	Load input register and DAC register from shift register; DAC output updated; MAX5510 enters normal operation if in shutdown; MAX5511 enters normal operation if in standby or shutdown.
1	0	1	0	—	—	Command reserved; do not use.
1	0	1	1	—	—	Command reserved; do not use.
1	1	0	0	D7, D6, XXXXXX	0000	MAX5510 enters shutdown; MAX5511 enters standby*. For the MAX5511, D7 and D6 configure the internal reference voltage (Table 3).
1	1	0	1	D7, D6, XXXXXX	0000	MAX5510/MAX5511 enter normal operation; DAC output reflects existing contents of DAC register. For the MAX5511, D7 and D6 configure the internal reference voltage (Table 3).
1	1	1	0	D7, D6, XXXXXX	0000	MAX5510/MAX5511 enter shutdown; DAC output set to high impedance. For the MAX5511, D7 and D6 configure the internal reference voltage (Table 3).
1	1	1	1	8-bit data	0000	Load input register and DAC register from shift register; DAC output updated; MAX5510 enters normal operation if in shutdown; MAX5511 enters normal operation if in standby or shutdown.

X = 任意。

\*通常動作からのみスタンバイモードに入ることができます。  
シャットダウンからスタンバイモードに入ることはいけません。

# +1.8V~+5.5V、超低電力、8ビット、 電圧出力DAC

## パワーモード

MAX5510/MAX5511は、アイドル期間中に電力を節約する2つのパワーモードを備えています。通常モードでは、デバイスが完全に動作可能な状態にあります。シャットダウンモードでは、MAX5511の内部電圧リファレンスも含めてデバイスは完全にパワーダウンします。また、MAX5511は、内部電圧リファレンス以外のすべての回路がパワーダウンするスタンバイモードも備えています。スタンバイモードは、リファレンス電源を投入したまま残りの回路をシャットダウンするため、リファレンスをシステムリファレンスとして使用することができます。また、スタンバイモードは、通常モードに戻る際にリファレンスの電源を投入しなくて済むため電源立ち上がり遅延の短縮に役立ちます。

## シャットダウンモード

MAX5510/MAX5511は、標準消費電流とリファレンス入力電流を0.18 $\mu$ A(max)に低減するソフトウェアプログラマブルシャットダウンモードを備えています。入力制御ワードに制御ビットC[3:0] = 1110を書き込むと、デバイスがシャットダウンモードに入ります(表2)。シャットダウンでは、MAX5510のリファレンス入力とDAC出力バッファがハイインピーダンスになります。MAX5511をシャットダウンモードにすると、内部リファレンスがオフになり、DAC出力バッファがハイインピーダンスになります。シリアルインタフェースは、すべてのデバイスに関してアクティブのままです。

表2には、MAX5510/MAX5511を通常動作に戻すためのいくつかのコマンドが示されています。DAC出力を動作させるためには、その前にシャットダウンからの立上げ時間が必要です。

注：MAX5511の場合は、直接、シャットダウンモードからスタンバイモードにすることができません。スタンバイモードにする前にデバイスを通常モードにする必要があります。

## スタンバイモード(MAX5511のみ)

MAX5511は、標準消費電流を6 $\mu$ Aに低減するソフトウェアプログラマブルのスタンバイモードを備えています。スタンバイモードでは、内部電圧リファレンスを除くすべての回路がパワーダウンします。入力制御ワードに制御ビットC[3:0] = 1100を書き込むことによって、デバイスはスタンバイモードに入ります(表2)。内部リファレンスとシリアルインタフェースはアクティブのままで、その間DAC出力バッファはハイインピーダンスになります。MAX5511がスタンバイから抜け出す場合、DAC出力が有効になる前にスタンバイからの電源起動時間が必要です。

MAX5511の場合、シャットダウンモードからスタンバイモードに直接入ることができません。スタンバイモードに入る前にデバイスを通常モードにする必要があります。シャットダウンからスタンバイにするためには、通常モードに戻るコマンドのすぐ後に続けてスタンバイに入るコマンドを発生させます。

表2は、MAX5511を通常動作に戻すコマンドをいくつか示します。スタンバイモードから通常モードに移るとき、DAC出力を有効にするために必要となるのは、DACの起動時間のみです。

## リファレンス入力

MAX5510は、電圧範囲が0~V<sub>DD</sub>のリファレンスを受け入れます。出力電圧(V<sub>OUT</sub>)は、次式のようにデジタル的にプログラム可能な電圧源によって表わされます。

$$V_{OUT} = (V_{REF} \times N / 256) \times \text{gain}$$

ここで、NはDACの2進入力コードの数値(0~255)で、V<sub>REF</sub>はリファレンス電圧です。ゲインは、MAX5510/MAX5511に対して外部から設定される電圧ゲインです。

シャットダウンモードでは、リファレンス入力が入力インピーダンス2.5G $\Omega$ (typ)のハイインピーダンス状態に入ります。

## リファレンス出力

MAX5511の内部電圧リファレンスは、ソフトウェアによって4種類の電圧の1つに設定することができます。電源投入時のデフォルトリファレンス電圧は、1.214Vです。D6とD7のデータビット(表3参照)を用いてこのリファレンス電圧を設定します。この場合の制御ビットは、C[3:0] = 1100、1101、または1110です(表2)。正常に動作させるには、V<sub>DD</sub>をV<sub>REF</sub>よりも200mV以上高く保つ必要があります。

表3. リファレンス出力電圧のプログラミング

D7	D6	REFERENCE VOLTAGE (V)
0	0	1.214
0	1	1.940
1	0	2.425
1	1	3.885

# +1.8V~+5.5V、超低電力、8ビット、 電圧出力DAC

## アプリケーション情報

### 1セル及び2セル回路

1個のリチウムイオン電池、あるいは2個のアルカリ電池からMAX5510/MAX5511に給電する方法については、図3を参照してください。MAX5510/MAX5511は、消費電流が小さいため電池駆動のアプリケーションに最適です。

### プログラマブル電流源

MAX5510をLED駆動用のプログラマブル電流源として設定する方法については、図4の回路を参照してください。MAX5510は、電流源設定用の標準NPNトランジスタを駆動します。電流源( $I_{LED}$ )は、図4の式で決定されます。

### 電流出力トランスデューサの電圧バイアス

電流出力トランスデューサをバイアスする際のMAX5510の設定方法については、図5の回路を参照してください。図5のMAX5510の出力電圧は、フィードバック抵抗器R両端の電圧降下にトランスデューサ両端の電圧降下を加えた値になります。

### 自己バイアス2電極

#### ポテンショスタット用アプリケーション

ADC入力の2電極ポテンショスタットをバイアスする際のMAX5511の使用方法については、図6の回路を参照してください。

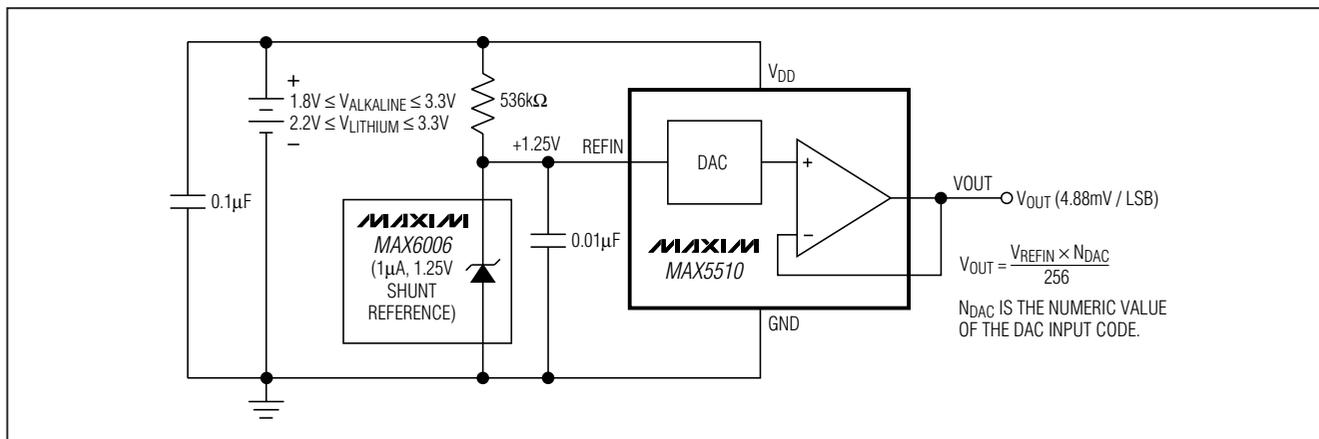


図3. 2個のアルカリ電池または1個のリチウムコイン電池を使用したポータブル機器用のアプリケーション

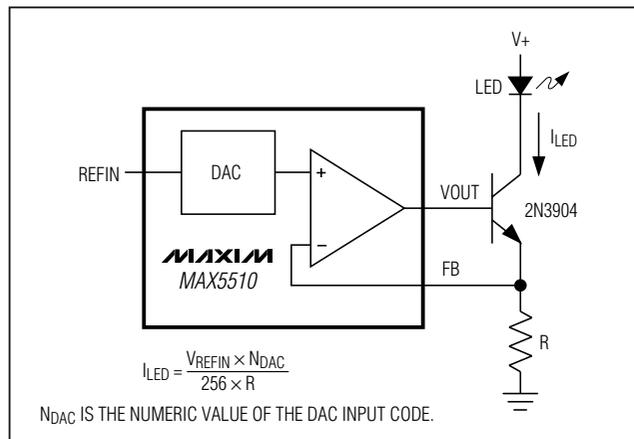


図4. LEDを駆動するプログラマブル電流源

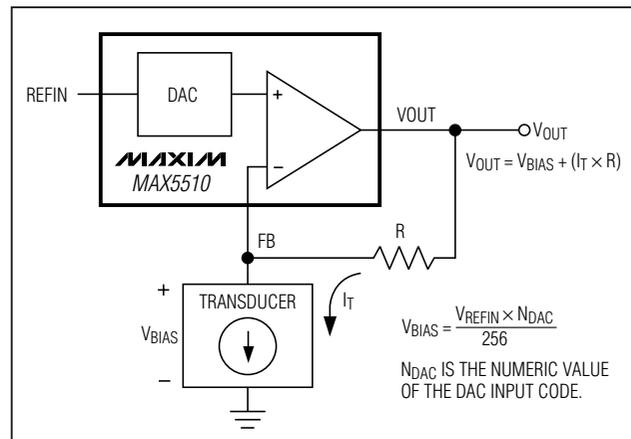


図5. 電圧バイアス電流出力トランスデューサの  
トランスインピーダンス構成

# +1.8V~+5.5V、超低電力、8ビット、 電圧出力DAC

MAX5510/MAX5511

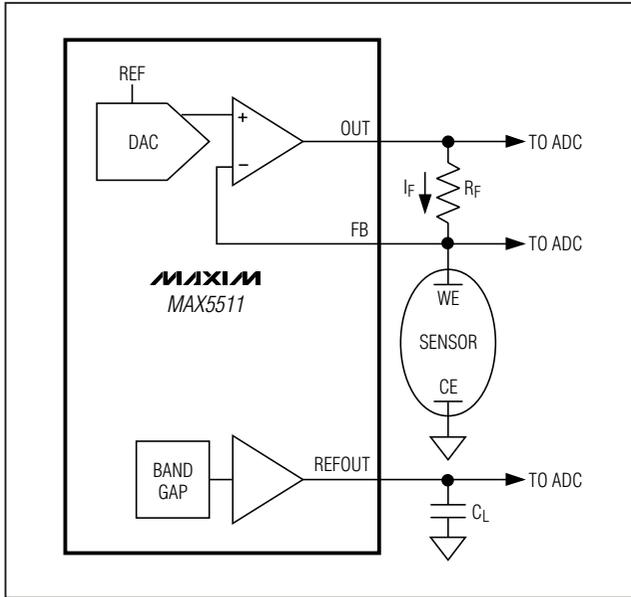


図6. 自己バイアス2電極ポテンシostat用のアプリケーション

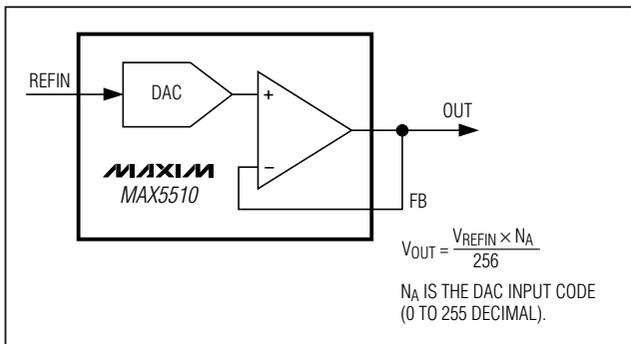


図7. ユニポーラ出力回路

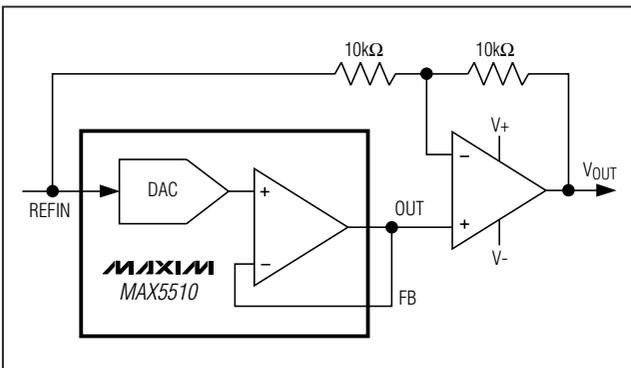


図8. バイポーラ出力回路

## ユニポーラ出力

図7は、利得を1としたユニポーラ出力構成のMAX5510を示します。表4は、ユニポーラ出力コードを示します。

## バイポーラ出力

MAX5510の出力は、図8に示すように、バイポーラ動作として構成することができます。出力電圧は、次式で表わされます。

$$V_{OUT} = V_{REF} \times [(N_A - 128) / 128]$$

ここで、 $N_A$ はDACの2進入力コードの数値を表わします。表5は、デジタルコード(オフセットバイナリ)と図4の回路に対応する出力電圧を示します。

## 設定可能な出力ゲイン

MAX5510/MAX5511は、フォース/センス出力構成となっており、この構成では出力オペアンプの反転端子に直接接続できるため、最も高い自由度があります。フォース/センス出力構成の長所は、与えられたアプリケーションに対してゲインを自由に外部から設定可能なことです。MAX5510/MAX5511のゲイン誤差は、ユニティゲイン構成(オペアンプ出力と反転入力端子が接続された構成)に対して規定されており、これ以外に外付け抵抗器の許容差によるゲイン誤差が生じます。フォース/センスDACのもう1つの長所は、多くの有用な回路が少数の簡単な外付け部品だけで構成可能なことです。

表4. ユニポーラコード表(ゲイン = +1)

DAC CONTENTS			ANALOG OUTPUT
MSB	LSB		
1111	1111	0000	+VREF (255/256)
1000	0001	0000	+VREF (129/256)
1000	0000	0000	+VREF (128/256) = +VREF/2
0111	1111	0000	+VREF (127/256)
0000	0001	0000	+VREF (1/256)
0000	0000	0000	0V

表5. バイポーラコード表(ゲイン = +1)

DAC CONTENTS			ANALOG OUTPUT
MSB	LSB		
1111	1111	0000	+VREF (127/128)
1000	0001	0000	+VREF (1/128)
1000	0000	0000	0V
0111	1111	0000	-VREF (1/128)
0000	0001	0000	-VREF (127/128)
0000	0000	0000	-VREF (128/128) = -VREF

# +1.8V~+5.5V、超低電力、8ビット、 電圧出力DAC

MAX5510/MAX5511のフォース/センス出力を使用してゲインをカスタム設定する例を図9に示します。この例では、R1とR2がV<sub>OUT</sub>に対するゲインを設定します。

$$V_{OUT} = [(V_{REFIN} \times N_A) / 256] \times [1 + (R2 / R1)]$$

ここで、N<sub>A</sub>はDAC入力コードの数値を表します。

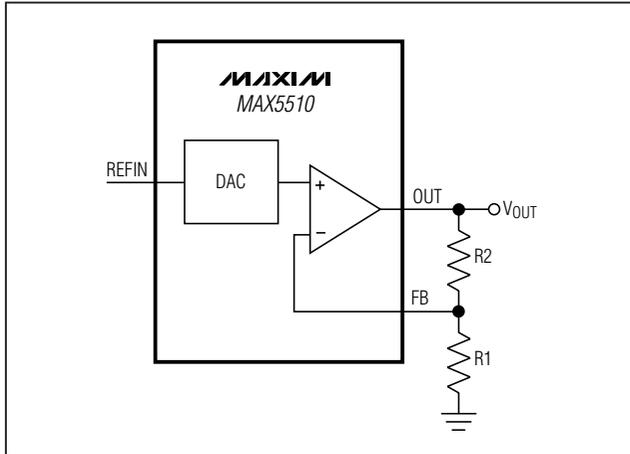


図9. フォース/センス出力を独立としたことにより、同じリファレンスを使って1及び1よりも大きいDACゲインを生成します。

## 電源とバイパスに関する注意

電源を0.1µFのコンデンサでGNDにバイパスしてください。リードのインダクタンスを減らすために長さをできる限り短くしてください。ノイズが問題になる場合は、シールドリングやフェライトビーズを使用してアイソレーションを強化してください。薄型QFNパッケージの場合は、エクスポーズドパッドをグラウンドに接続してください。

## レイアウトに関する注意

デジタル及びAC過渡信号がGNDに結合すると、出力にノイズを発生することがあります。インダクタンスが小さいグラウンドプレーンを持つ多層基板など、適切なグラウンド技術を採用してください。ワイヤラップボード及びソケットの使用は避けてください。最適なシステム性能を得るには、プリント(PC)基板を使用してください。PC基板のグラウンドレイアウトを適正に行なうと、DAC出力、リファレンス入力、及びデジタル入力間のクロストークがきわめて小さくなります。アナログラインをデジタルラインから遠ざけることによってクロストークを抑制してください。

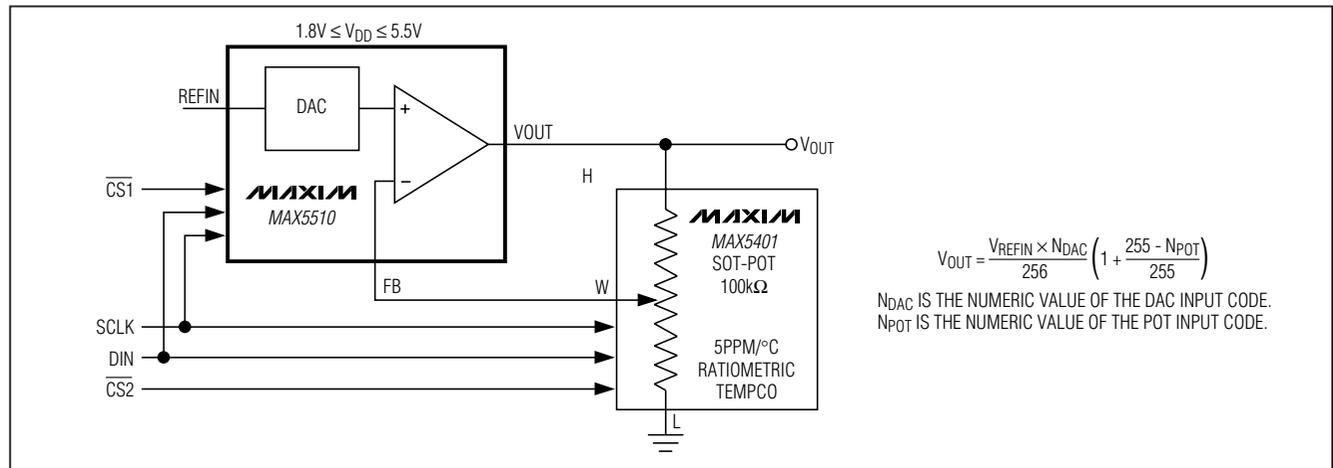


図10. ソフトウェアによって設定可能な出力ゲイン

## チップ情報

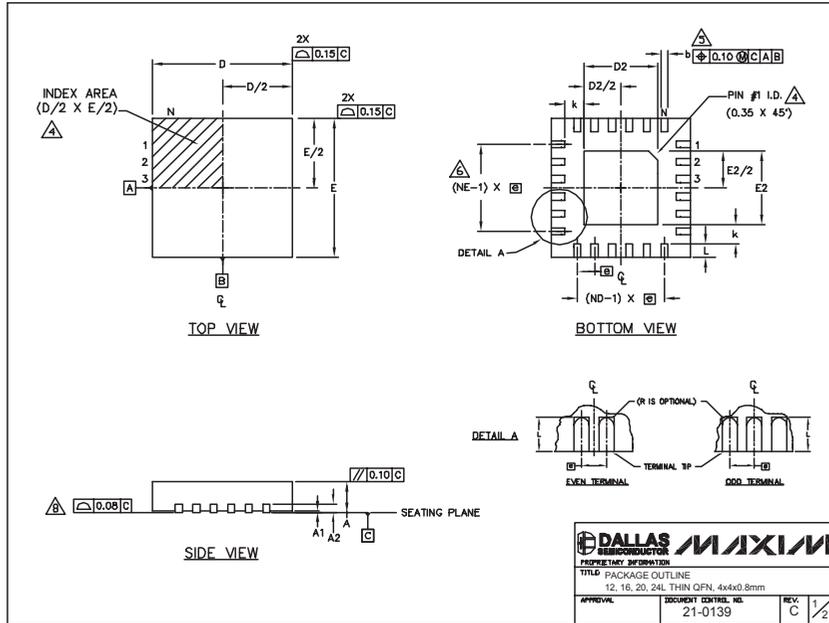
TRANSISTOR COUNT: 10,688

PROCESS: BiCMOS

# +1.8V~+5.5V、超低電力、8ビット、 電圧出力DAC

## パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、<http://japan.maxim-ic.com/packages>をご参照下さい。)



24L QFN THINLEPS

COMMON DIMENSIONS													EXPOSED PAD VARIATIONS							
PKG	12L 4x4			16L 4x4			20L 4x4			24L 4x4			PKG CODES	D2			E2			DOWN BOND ALLOWED
REF.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.											
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	T1244-2	1.95	2.10	2.25	1.95	2.10	2.25	NO
A1	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05	T1244-3	1.95	2.10	2.25	1.95	2.10	2.25	YES
A2	0.20 REF			T1244-4	1.95	2.10	2.25	1.95	2.10	2.25	NO									
b	0.25	0.30	0.35	0.25	0.30	0.35	0.20	0.25	0.30	0.18	0.23	0.30	T1644-2	1.95	2.10	2.25	1.95	2.10	2.25	NO
D	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	T1644-3	1.95	2.10	2.25	1.95	2.10	2.25	YES
E	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	T1644-4	1.95	2.10	2.25	1.95	2.10	2.25	NO
e	0.80 BSC			0.65 BSC			0.50 BSC			0.50 BSC			T2044-1	1.95	2.10	2.25	1.95	2.10	2.25	NO
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-	T2044-2	1.95	2.10	2.25	1.95	2.10	2.25	YES
L	0.45	0.55	0.65	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50	T2044-3	1.95	2.10	2.25	1.95	2.10	2.25	NO
N	12			16			20			24			T2444-1	2.45	2.60	2.63	2.45	2.60	2.63	NO
ND	3			4			5			6			T2444-2	1.95	2.10	2.25	1.95	2.10	2.25	YES
NE	3			4			5			6			T2444-3	2.45	2.60	2.63	2.45	2.60	2.63	YES
Var.	WGGB			WGGC			WGGD-1			WGGD-2			T2444-4	2.45	2.60	2.63	2.45	2.60	2.63	NO

NOTES:  
 1. DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.  
 2. ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.  
 3. N IS THE TOTAL NUMBER OF TERMINALS.  
 4. THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.  
 5. DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.  
 6. ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.  
 7. DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.  
 8. COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.  
 9. DRAWING CONFORMS TO JEDEC MO220, EXCEPT FOR T2444-1, T2444-3 AND T2444-4.

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

18 Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600