

MAXIM

+5V、低電力、パラレル入力 電圧出力型12ビットDAC

MAX530

概要

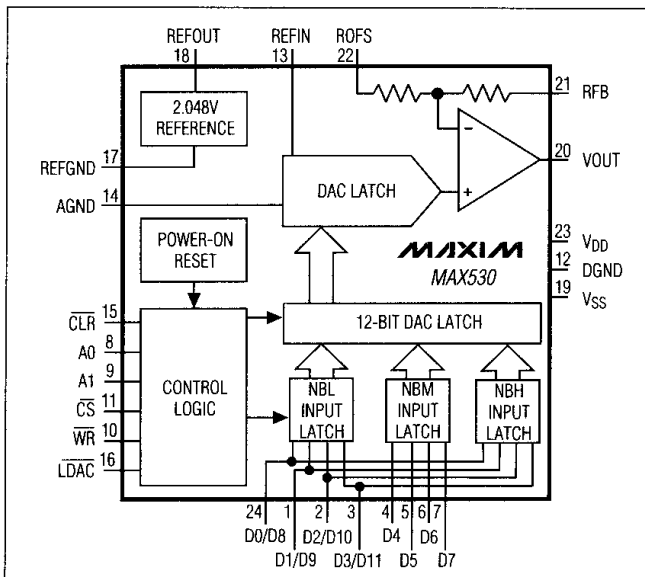
MAX530は、低電力、12ビット、電圧出力型デジタル-アナログ・コンバータ(DAC)で、電圧リファレンスと出力バッファ・アンプを内蔵し、+5V単一または±5Vデュアル電源で動作します。+5V単一電源での動作電流は僅か250 μ Aで、携帯用やバッテリー駆動の応用に最適です。さらに、SSOPの面積は僅か0.6cm²で、8ピンDIPよりも小型です。12ビットの分解能は、レーザ・トリミングされたDAC、オペアンプおよびリファレンスによって実現され、外部調整は一切不要です。

内部ゲイン設定抵抗により、DAC出力電圧レンジを0~+2.048V、0~+4.096V、又は±2.048Vに設定することができます。外部抵抗やオペアンプを用いることなく4象限乗算が可能です。パラレル・ロジック入力はダブルバッファされており、4ビット、8ビット、又は16ビット・マイクロプロセッサとコンパチブルです。同様の特長をもつシリアル・データ・インタフェース付きのDACについては、MAX531/MAX538/MAX539のデータシートを参照してください。

アプリケーション

バッテリー駆動のデータ変換製品
部品数が最小のアナログ・システム
デジタル・オフセット/ゲイン調整
産業用プロセス制御
任意波形発生器
自動テスト機器
マイクロプロセッサ制御のキャリブレーション

ファンクションダイアグラム



特長

- ◆バッファ付き電圧出力
- ◆電圧リファレンス内蔵：2.048V
- ◆+5V単一または±5Vデュアル電源動作
- ◆低消費電力
 - 250 μ Aの動作電流
 - 40 μ Aのシャットダウン電流
- ◆省スペースSSOPパッケージ
- ◆相対精度：±1/2LSB Max(全温度範囲)
- ◆単調性保証(全温度範囲)
- ◆外部部品無しでの4象限乗算
- ◆パワーオン・リセット
- ◆ダブルバッファ付きパラレル・ロジック入力

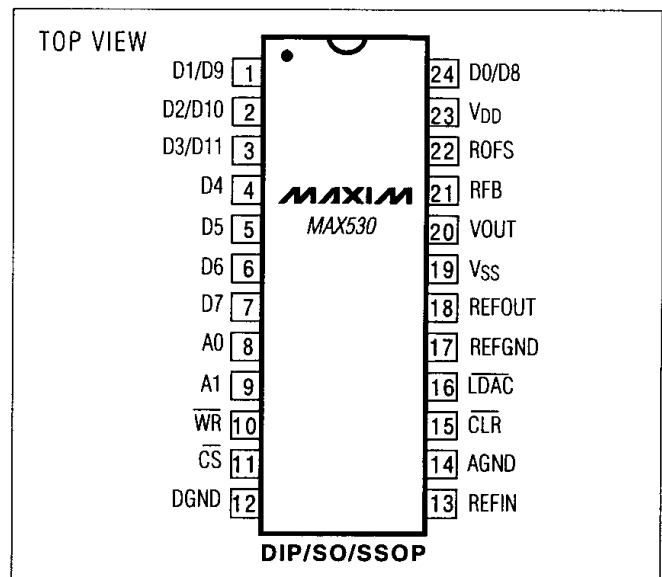
型番

PART	TEMP. RANGE	PIN-PACKAGE	ERROR (LSB)
MAX530ACNG	0°C to +70°C	24 Narrow Plastic DIP	±1/2
MAX530BCNG	0°C to +70°C	24 Narrow Plastic DIP	±1
MAX530ACWG	0°C to +70°C	24 Wide SO	±1/2
MAX530BCWG	0°C to +70°C	24 Wide SO	±1
MAX530ACAG	0°C to +70°C	24 SSOP	±1/2
MAX530BCAG	0°C to +70°C	24 SSOP	±1
MAX530BC/D	0°C to +70°C	Dice*	±1

Ordering Information continued on last page.

* Dice are tested at $T_A = +25^\circ\text{C}$, DC parameters only.

ピン配置



+5V、低電力、パラレル入力 電圧出力型12ビットDAC

MAX530

ABSOLUTE MAXIMUM RATINGS

V _{DD} to DGND and V _{DD} to AGND	-0.3V, +6V
V _{SS} to DGND and V _{SS} to AGND	-6V, +0.3V
V _{DD} to V _{SS}	-0.3V, +12V
AGND to DGND	-0.3V, +0.3V
REFGND to AGND	-0.3V, (V _{DD} + 0.3V)
Digital Input Voltage to DGND	-0.3V, (V _{DD} + 0.3V)
REFIN	(V _{SS} - 0.3V), (V _{DD} + 0.3V)
REFOUT	(V _{SS} - 0.3V), (V _{DD} + 0.3V)
REFOUT to REFGND	-0.3V, (V _{DD} + 0.3V)
RFB	(V _{SS} - 0.3V), (V _{DD} + 0.3V)
ROFS	(V _{SS} - 0.3V), (V _{DD} + 0.3V)

VOUT to AGND (Note 1)	V _{SS} , V _{DD}
Continuous Current, Any Input	±20mA
Continuous Power Dissipation (T _A = +70°C)	
Narrow Plastic DIP (derate 13.33mW/°C above +70°C)	1067mW
Wide SO (derate 11.76mW/°C above +70°C)	941mW
SSOP (derate 8.00mW/°C above +70°C)	640mW
Operating Temperature Ranges:	
MAX530_C	0°C to +70°C
MAX530_E	-40°C to +85°C
Storage Temperature Range	-65°C to +165°C
Lead Temperature (soldering, 10sec)	+300°C

Note 1: The output may be shorted to V_{DD}, V_{SS}, DGND, or AGND if the continuous package power dissipation and current ratings are not exceeded. Typical short-circuit currents are 20mA.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—Single +5V Supply

(V_{DD} = 5V ±10%, V_{SS} = 0V, AGND = DGND = REFGND = 0V, REFIN = 2.048V (external), RFB = ROFS = VOUT, C_{REFOUT} = 33μF, R_L = 10kΩ, C_L = 100pF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
STATIC PERFORMANCE							
Resolution	N		12			Bits	
Relative Accuracy	INL	V _{DD} = 5V (Note 2)	MAX530AC/AE		±0.5	LSB	
			MAX530BC/BE		±1		
Differential Nonlinearity	DNL	Guaranteed monotonic	±1			LSB	
Unipolar Offset Error	V _{OS}	V _{DD} = 5V	0	1	8	LSB	
Unipolar Offset Temperature Coefficient	TCV _{OS}		3			ppm/°C	
Unipolar Offset-Error Power-Supply Rejection	PSRR	4.5V ≤ V _{DD} ≤ 5.5V (Note 3)	0.4			1	LSB/V
Gain Error (Note 2)	GE	DAC latch = all 1s, VOUT < V _{DD} - 0.4V (Note 2)	MAX530_C/E		±1	LSB	
Gain-Error Temperature Coefficient			1			ppm/°C	
Gain-Error Power-Supply Rejection	PSRR	4.5V ≤ V _{DD} ≤ 5.5V (Note 3)	0.4			1	LSB/V
DAC VOLTAGE OUTPUT (VOUT)							
Output Voltage Range			0	V _{DD} - 0.4		V	
Resistive Load		VOUT = 2V, load regulation ≤ ±1LSB	2			kΩ	
DC Output Impedance			0.2			Ω	
Short-Circuit Current	I _{SC}		20			mA	
REFERENCE INPUT (REFIN)							
Reference Input Range			0	V _{DD} - 2		V	
Reference Input Resistance		Code dependent, minimum at code 555hex	40			kΩ	
Reference Input Capacitance		Code dependent (Note 4)	10	50		pF	
AC Feedthrough		(Note 5)	-80			dB	

+5V、低電力、パラレル入力 電圧出力型12ビットDAC

MAX530

ELECTRICAL CHARACTERISTICS—Single +5V Supply (continued)

($V_{DD} = 5V \pm 10\%$, $V_{SS} = 0V$, $AGND = DGND = REFGND = 0V$, $REFIN = 2.048V$ (external), $R_{FB} = ROFS = V_{OUT}$, $C_{REFOUT} = 33\mu F$, $R_L = 10k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
REFERENCE OUTPUT (REFOUT)							
Reference Tolerance	V_{REFOUT}	$V_{DD} = 5.0V$	$T_A = +25^\circ C$	2.024	2.048	2.072	V
			MAX530BC	2.017		2.079	
			MAX530BE	2.013		2.083	
Reference Output Resistance	R_{REFOUT}	(Note 8)			2	Ω	
Power-Supply Rejection Ratio	PSRR	$4.5V \leq V_{DD} \leq 5.5V$			300	$\mu V/V$	
Noise Voltage	e_n	0.1Hz to 10kHz		400		μV_{p-p}	
Temperature Coefficient		MAX530AC/AE		30	50	ppm/ $^\circ C$	
		MAX530BC/BE		30			
Minimum Required External Capacitor	C_{MIN}		3.3			μF	
DYNAMIC PERFORMANCE							
Voltage Output Slew Rate		$T_A = +25^\circ C$	0.15	0.25		V/ μs	
Voltage Output Settling Time		To $\pm 0.5LSB$, $V_{OUT} = 2V$		25		μs	
Digital Feedthrough		$\overline{WR} = V_{DD}$, digital inputs all 1s to all 0s		5		nV-s	
Signal-to-Noise Plus Distortion Ratio	SINAD	Unity gain (Note 5)		68		dB	
		Gain = 2 (Note 5)		68			
DIGITAL INPUTS (D0-D7, LDAC, CLR, CS, WR, A0, A1)							
Logic High Input	V_{IH}		2.4			V	
Logic Low Input	V_{IL}				0.8	V	
Digital Leakage Current		$V_{IN} = 0V$ or V_{DD}			± 1	μA	
Digital Input Capacitance				8		pF	
POWER SUPPLIES							
Positive Supply-Voltage Range	V_{DD}	(Note 6)	4.5		5.5	V	
Positive Supply Current	I_{DD}	Outputs unloaded, all digital inputs = 0V or V_{DD}		250	400	μA	
SWITCHING CHARACTERISTICS							
Address to \overline{WR} Setup	t_{AWS}		5			ns	
Address to \overline{WR} Hold	t_{AWH}		5			ns	
\overline{CS} to \overline{WR} Setup	t_{CWS}		0			ns	
\overline{CS} to \overline{WR} Hold	t_{CWH}		0			ns	
Data to \overline{WR} Setup	t_{DS}		45			ns	
Data to \overline{WR} Hold	t_{DH}		0			ns	
\overline{WR} Pulse Width	t_{WR}		45			ns	
LDAC Pulse Width	t_{LDAC}		45			ns	
CLR Pulse Width	t_{CLR}		45			ns	
Internal Power-On Reset Pulse Width	t_{POR}	(Note 4)		1.3	10	μs	

+5V、低電力、パラレル入力 電圧出力型12ビットDAC

MAX530

ELECTRICAL CHARACTERISTICS—Dual ±5V Supplies

($V_{DD} = 5V \pm 10\%$, $V_{SS} = -5V \pm 10\%$, $AGND = DGND = REFGND = 0V$, $REFIN = 2.048V$ (external), $RFB = ROFS = VOUT$, $C_{REFOUT} = 33\mu F$, $R_L = 10k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE						
Resolution	N		12			Bits
Relative Accuracy	INL	$V_{DD} = 5V$, $V_{SS} = -5V$	MAX530AC/AE		±0.5	LSB
			MAX530BC/BE		±1.5	
Differential Nonlinearity	DNL	Guaranteed monotonic			±1	LSB
Bipolar Offset Error	Vos	$V_{DD} = 5V$, $V_{SS} = -5V$		0	±8	LSB
Bipolar Offset Temperature Coefficient	TCVos			3		ppm/°C
Bipolar Offset-Error Power-Supply Rejection	PSRR	$4.5V \leq V_{DD} \leq 5.5V$ $-5.5V \leq V_{SS} \leq -4.5V$ (Note 3)		0.4	1	LSB/V
Gain Error		MAX530_C/E			±1	LSB
Gain-Error Temperature Coefficient	TC			1		ppm/°C
Gain-Error Power-Supply Rejection	PSRR	$4.5V \leq V_{DD} \leq 5.5V$, $-5.5V \leq V_{SS} \leq -4.5V$ (Note 3)		0.4	1	LSB/V
DAC VOLTAGE OUTPUT (VOUT)						
Output Voltage Range			$V_{SS} + 0.4$		$V_{DD} - 0.4$	V
Resistive Load		$VOUT = 2V$, load regulation $\leq \pm 1LSB$	2			k Ω
DC Output Impedance				0.2		Ω
Short-Circuit Current	Isc			20		mA
REFERENCE INPUT (REFIN)						
Reference Input Range			$V_{SS} + 2$		$V_{DD} - 2$	V
Reference Input Resistance		Code dependent, minimum at code 555hex	40			k Ω
Reference Input Capacitance		Code dependent (Note 4)	10		50	pF
AC Feedthrough		(Note 5)		-80		dB
REFERENCE OUTPUT (REFOUT) —Specifications are identical to those under Single +5V Supply						
DYNAMIC PERFORMANCE —Specifications are identical to those under Single +5V Supply						
DIGITAL INPUTS (D0-D7, LDAC, CLR, CS, WR, A0, A1) —Specifications are identical to those under Single +5V Supply						
POWER SUPPLIES						
Positive Supply Voltage	V_{DD}	(Note 6)	4.5		5.5	V
Negative Supply Voltage	V_{SS}	(Note 7)	-5.5		-4.5	V
Positive Supply Current	I_{DD}	Outputs unloaded, all digital inputs = 0V or V_{DD}		250	400	μA
Negative Supply Current	I_{SS}	Outputs unloaded, all digital inputs = 0V or V_{DD}		150	200	μA
SWITCHING CHARACTERISTICS —Specifications are identical to those under Single +5V Supply						

ELECTRICAL CHARACTERISTICS—Dual ±5V Supplies (continued)

($V_{DD} = 5V \pm 10\%$, $V_{SS} = -5V \pm 10\%$, $AGND = DGND = REFGND = 0V$, $REFIN = 2.048V$ (external), $RFB = ROFS = VOUT$, $C_{REFOUT} = 33\mu F$, $R_L = 10k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

Note 2: In single supply, INL and GE are calculated from code 11 to code 4095.

Note 3: Zero Code, Bipolar and Gain Error PSRR are input referred specifications. In Unity Gain, the specification is $500\mu V$. In Gain = 2 and Bipolar modes, the specification is 1mV.

Note 4: Guaranteed by design.

Note 5: $REFIN = 1kHz$, 2.0Vp-p.

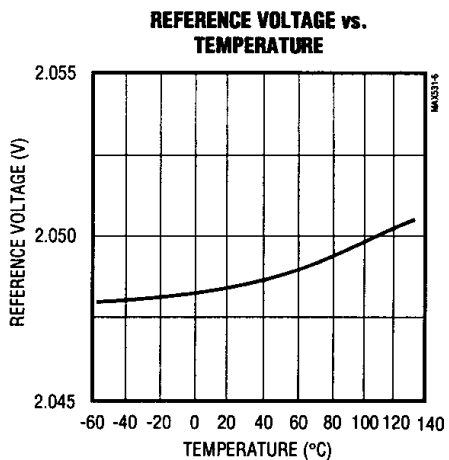
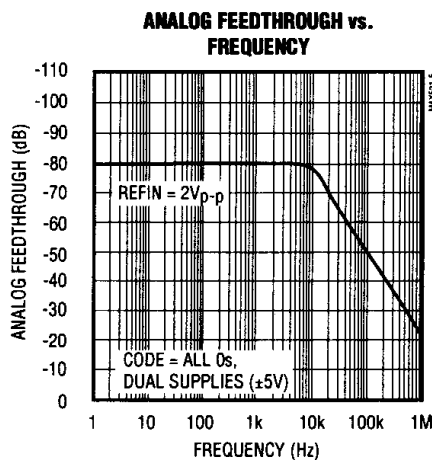
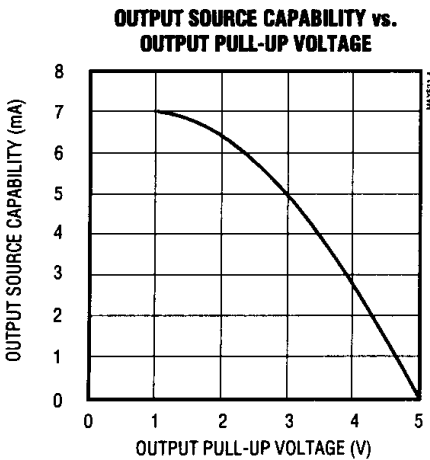
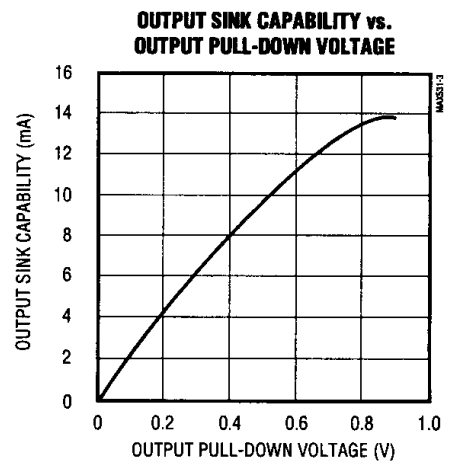
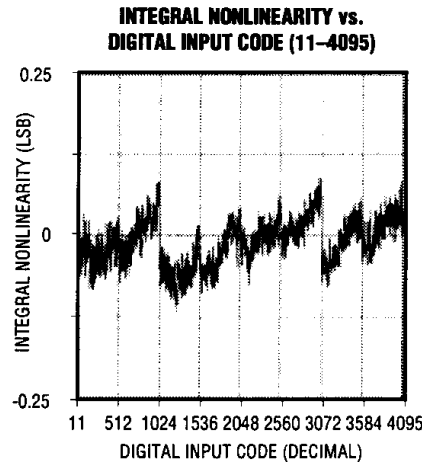
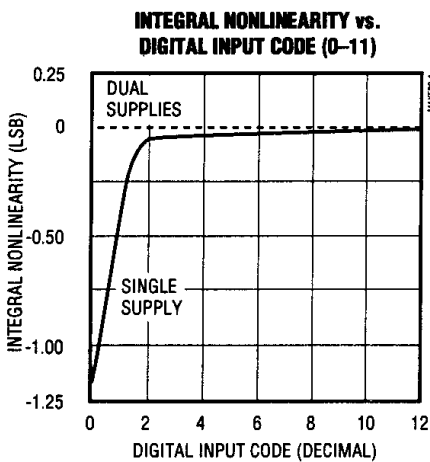
Note 6: For specified performance, $V_{DD} = 5V \pm 10\%$ is guaranteed by PSRR tests.

Note 7: For specified performance, $V_{SS} = -5V \pm 10\%$ is guaranteed by PSRR tests.

Note 8: Tested at $I_{OUT} = 100\mu A$. The reference can typically source up to 5mA (see *Typical Operating Characteristics*).

標準動作特性

($T_A = +25^\circ C$, single supply (+5V), unity gain, code = all 1s, unless otherwise noted).

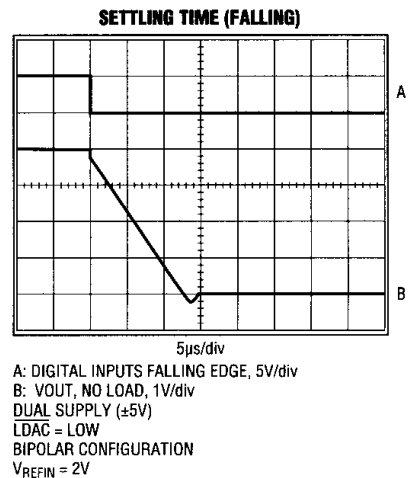
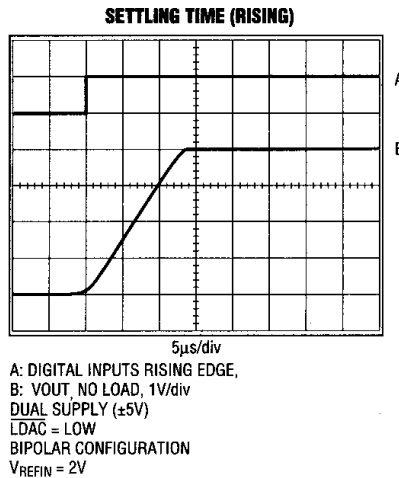
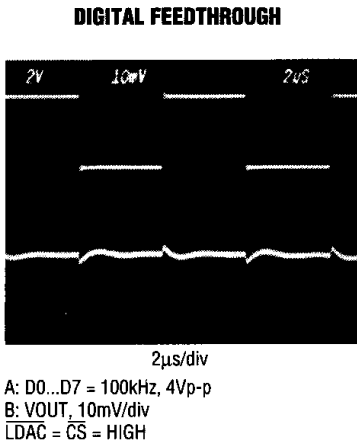
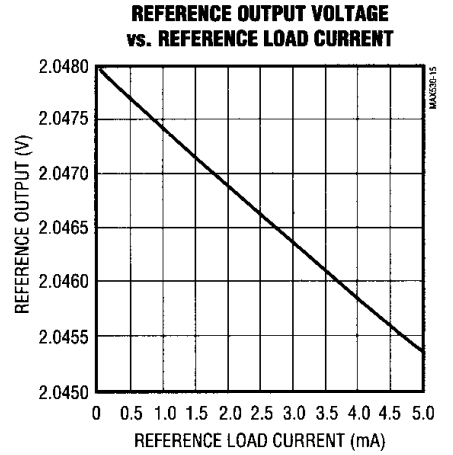
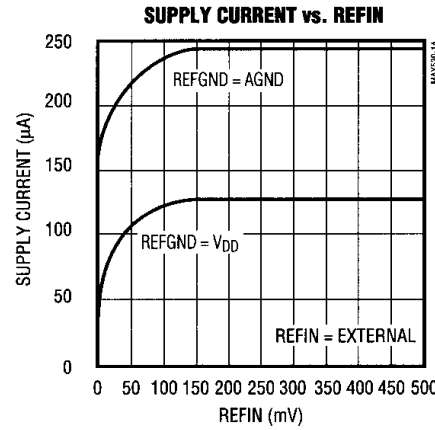
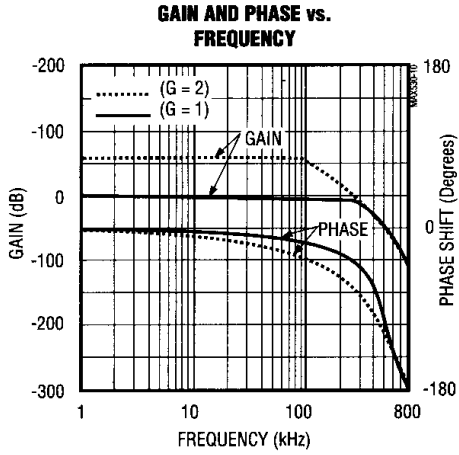
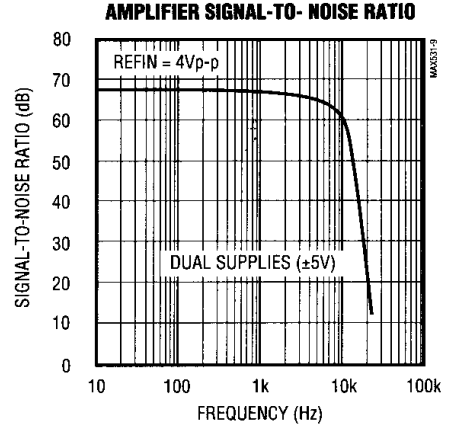
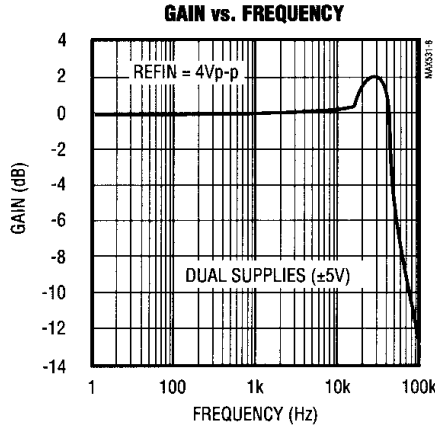
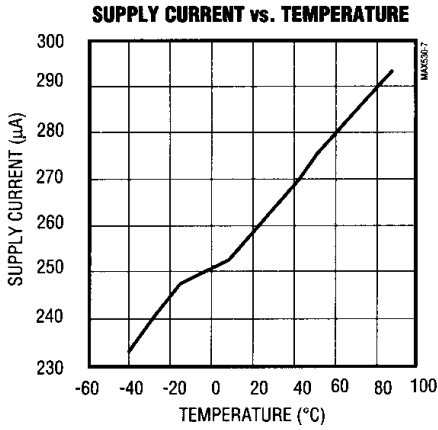


+5V、低電力、パラレル入力 電圧出力型12ビットDAC

MAX530

標準動作特性(続き)

($T_A = +25^\circ\text{C}$, single supply (+5V), unity gain, code = all 1s, unless otherwise noted).



+5V、低電力、パラレル入力 電圧出力型12ビットDAC

MAX530

端子説明

端子	名称	機能
1	D1/D9	A0=0、A1=1の時、入力データD1。A0=A1=1*の時、入力データD9
2	D2/D10	A0=0、A1=1の時、入力データD2。A0=A1=1*の時、入力データD10
3	D3/D11	A0=0、A1=1の時、入力データD3。A0=A1=1*の時、入力データD11(MSB)
4	D4	入力データD4、または、A0=1、A1=0の時D0に接続し多重化。
5	D5	入力データD5、または、A0=1、A1=0の時D1に接続し多重化。
6	D6	入力データD6、または、A0=1、A1=0の時D2に接続し多重化。
7	D7	入力データD7、または、A0=1、A1=0の時D3に接続し多重化。
8	A0	アドレスラインA0。A1と共に用いて12ビットのデータラインを4ビットに多重化し、下位(NBL)、中位(NBM)および上位(NBH)の4ビット・ニブルのロードを行います。(12ビット・データは8+4ビットとしてもロード可能)
9	A1	アドレスラインA1。A0=A1=0でNBLおよびNBM、A0=0、A1=1でNBL、A0=1、A1=0でNBMまたはA0=A1=1でNBHに設定します。
10	\overline{WR}	ライト入力(アクティブロー)。 \overline{CS} =ローと共に用いて、A0とA1によって選択される入力ラッチにデータをロードします。
11	\overline{CS}	チップ・セレクト(アクティブロー)。共有バス・ラインからのこのチップのアドレッシングや書込みをイネーブルします。
12	DGND	デジタル・グラウンド
13	REFIN	リファレンス入力。R-2R DACの入力。このピンは外部リファレンスに接続するか、内部2.048Vリファレンスを用いる際には、REFOUT(ピン18)へ接続します。
14	AGND	アナログ・グラウンド
15	\overline{CLR}	クリア(アクティブロー)。 \overline{CLR} ピンをローレベルとすると、DACラッチは全0にリセットされます。
16	\overline{LDAC}	ロードDAC入力(アクティブロー)。この非同期入力をローに駆動すると入力ラッチの内容がDACラッチに転送され、VOUTが更新されます。
17	REFGND	リファレンス・グラウンド。内部リファレンスを用いる際には、AGNDに接続します。VDDに接続すると内部リファレンスの動作が禁止され、消費電力が低減されます。
18	REFOUT	リファレンス出力。内部2.048Vリファレンスの出力です。R-2R DACを駆動する際には、REFINに接続します。
19	VSS	負の電源電圧。通常は、+5V単一電源時にグラウンドに、デュアル電源時には-5Vに接続します。
20	VOUT	電圧出力。オペアンプバッファ付きのDAC出力。
21	RFB	フィードバック・ピン。オペアンプのフィードバック抵抗です。常にVOUTに接続します。
22	ROFS	オフセット抵抗ピン。G=1のときはVOUTに、G=2のときはAGNDに、バイポーラ出力時にはREFINに接続します。
23	VDD	正の電源電圧(+5V)
24	D0/D8	A0=0、A1=1の時、入力データD0(LSB)。A0=A1=1*の時、入力データD8

*4+4+4入力ロードモードに適用します。8+4入力ロードモードは表2を参照して下さい。

+5V、低電力、パラレル入力 電圧出力型12ビットDAC

MAX530

詳細

MAX530はパラレル入力のロジックインタフェース、12ビットR-2Rラダー、電圧リファレンス、およびオペアンプから構成されています。「機能ブロック図」には、制御ライン、入力データラッチからDACラッチへのデータの流れ、および、2.048Vリファレンスと出力オペアンプを示しています。+5V単一電源での全電源電流は標準で250 μ Aです。この回路は、高精度、無調整、最少の部品点数が重要となるバッテリー駆動のマイクロプロセッサ制御機器への応用に最適です。

R-2Rラダー

MAX530はBiCMOSオペアンプによる反転R-2Rラダー・ネットワークを用いて12ビットのデジタル・データをアナログ電圧レベルに変換します。図1に、R-2R DACとオペアンプの簡略化したブロック図を示します。標準的なDACとは異なり、MAX530は反転ラダー・ネットワークを用いています。通常の場合、REFINピンは標準的なDACの電流出力であり、オペアンプの加算点あるいは仮想グラウンドに接続します。標準的なDAC構成では、出力電圧はリファレンス電圧の逆極性となります。MAX530の構造は、ラダー出力電圧がリファレンス入力と同極性となるため、単一電源動作に適しています。BiCMOSオペアンプは、ラダー信号のバッファ、反転または増幅に用いられます。

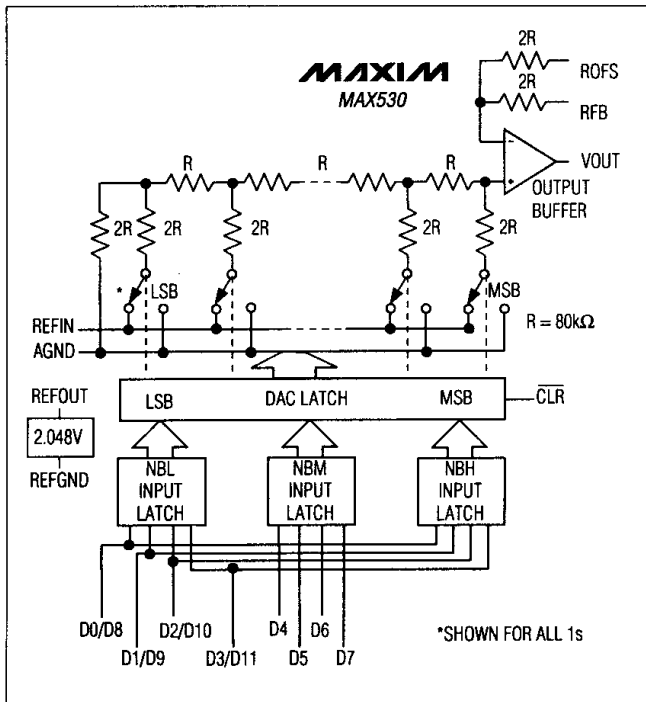


図1. MAX530 DAC回路の簡略化したブロック図

ラダー抵抗は電力を節約するために公称80k Ω であり、ゲインおよび直線性のためにレーザ・トリムされています。REFINにおける入力インピーダンスは入力コードに依存します。DACレジスタの内容が全0のとき、ラダー内のすべてのスイッチはグラウンドに接続され、REFINはオープン状態、もしくは無負荷となります。最大負荷(最小REFINインピーダンス)状態は、コード010101...または555Hにおいて生じます。このコードにおける最小リファレンス入力インピーダンスは、40k Ω 以上が保証されています。

REFINおよびREFOUTピンにより、R-2Rラダーの駆動を内部リファレンスで行うか、外部リファレンスで行うかを選択することができます。デュアル電源時には、REFINはアナログ・グラウンド以下となることがあります。詳しくは、“外部リファレンス”および“4象限乗算”の節を参照してください。

内部リファレンス

内部リファレンスは、レーザトリムされ、REFOUTにおいて2.048Vを発生します。この出力段は電流のソースおよびシンクが可能のため、REFOUTはコード依存負荷の変動に対して速やかに安定します。標準的なソース電流は5mA、シンク電流は100 μ Aです。

REFOUTは内部リファレンスとR-2R DACラダーをREFINにおいて接続します。R-2Rラダーは最大50 μ Aの負荷電流を流します。REFOUTに他の負荷を接続する場合、ゲイン誤差が生じないように負荷電流の合計が100 μ A以下に抑えてください。

リファレンス電流を他のアナログおよびデジタル・グラウンド電流から絶縁するため、REFGNDピンが用意されています。規定のノイズ性能を実現するためには、REFOUTとREFGND間に33 μ Fのコンデンサを接続してください(図2を参照)。より小さなコンデンサを用いるとノイズが増加し、3.3 μ F以下のコンデンサを用いた場合にはリファレンスの安定性が損なわれます。ノイズを最小化する必要がある場合には、REFOUTとREFINの間に、バッファ付きのRCフィルタを挿入してください。内部リファレンスを用いる際には、REFGNDをAGNDに接続する必要があります。内部リファレンスが不要な応用においては、REFGNDをV_{DD}に接続してください。これによってリファレンスがシャットダウンされ、V_{DD}の電源電流が標準で100 μ A節約されます。

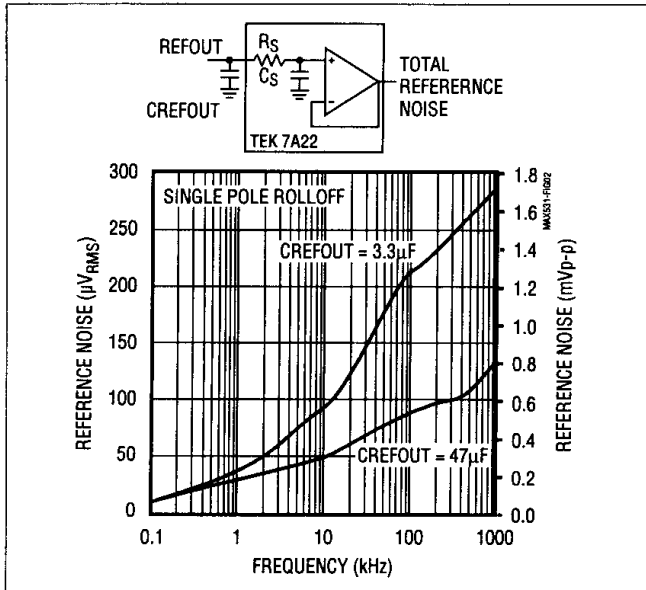


図2. リファレンス・ノイズ対周波数

出力バッファ

出力アンプは、ゲイン設定可能なカスコード入力段とAB型の出力段を用いています。低直列抵抗をもつ大出力デバイスにより、単一電源動作時でも出力はグランドまでスイングします。この出力バッファはユニティゲイン安定です。入力オフセット電圧と電源電流はレーザ・トリムされています。最終値の0.01%までのセトリング時間は25µsです。出力は短絡保護されており、100pF以上の負荷容量をもつ2kΩの負荷を駆動することができます。このオペアンプはROFSとRFBピンにより、ユニティゲイン(G=1)、ゲイン2(G=2)または、バイポーラ出力モードとすることができます。これらのピンはDACの出力電圧レンジの設定に用います。ROFSをVOUT、GNDまたはREFINに接続することで、DACの出力電圧レンジを0~+2.048V、0~+4.096Vまたは±2.048Vに設定できます。RFBは常にVOUTに接続します。表1にROFSの接続方法を示します。

表1. ROFSの使い方

ROFSの接続先	DACの出力レンジ	オペアンプのゲイン
VOUT	0~2.048V	G=1
AGND	0~4.096V	G=2
REFIN	-2.048V~+2.048V	バイポーラ

注意：RFB=VOUT、REFIN=REFOUT=2.048Vとする。

外部リファレンス

MAX530のデュアル電源、ユニティゲイン動作においては、(V_{SS}+2V)~(V_{DD}-2V)範囲の外部リファレンスを用いることができます。単一電源、ユニティゲイン動作では(V_{DD}-2V)以下の正電圧を用いることができます。リファレンス電圧はDACのフルスケール出力を決定します。リファレンス入力インピーダンスはコード依存性をもつことから、REFINの駆動には高品質の低出力インピーダンス・アンプ(MAX480、低電力、精密オペアンプなど)を用いてください。

内部リファレンスをアップグレードする場合には、±15mVの初期精度と最大7ppm/°Cの温度係数を備えた、2.5VのMAX873Aが適しています。

パワーオン・リセット

内部パワーオン・リセット(POR)回路は、V_{DD}が最初に与えられたときDACレジスタの内容を全0にリセットします。PORパルスは標準的に1.3µsです。しかしながら、内部リファレンスが大きなフィルタ・コンデンサを充電し、調整された値に安定するまでには約2ms必要とすることがあります。

PORに加えて、クリア(CLR)ピンがローレベルになるとDACレジスタの内容は全0となります。CLRは非同期動作でありチップセレクト(CS)とは独立しています。DAC入力全0の場合、ユニティゲインとG=2構成でのオペアンプ出力は0となります。しかし、バイポーラ構成では-V_{REF}となります。

シャットダウン・モード

MAX530は低消費電力用に設計されています。内部回路を理解することにより、最も効果的に消費電力の管理を行うことができます。単一電源モード(V_{DD}=+5V、V_{SS}=GND)での初期電源電流は、リファレンス、オペアンプおよびDACを含めて標準で僅か160µAです。この低電流は、パワーオン・リセット回路がDACを全0にクリアしたオペアンプ出力を0とした時に起こります(ユニポーラモードのみ)。“標準動作特性”の電源電流対REFINのグラフを参照してください。この条件においては、リファレンスの内部負荷は無く(DAC=000H、REFINはオープン回路)、オペアンプはその最小自己消費電流で動作します。CLR信号はMAX530を同様な条件にリセットするため、システム内でDACを用いない場合の節電モードの制御に用いることができる。

+5V、低電力、パラレル入力 電圧出力型12ビットDAC

MAX530

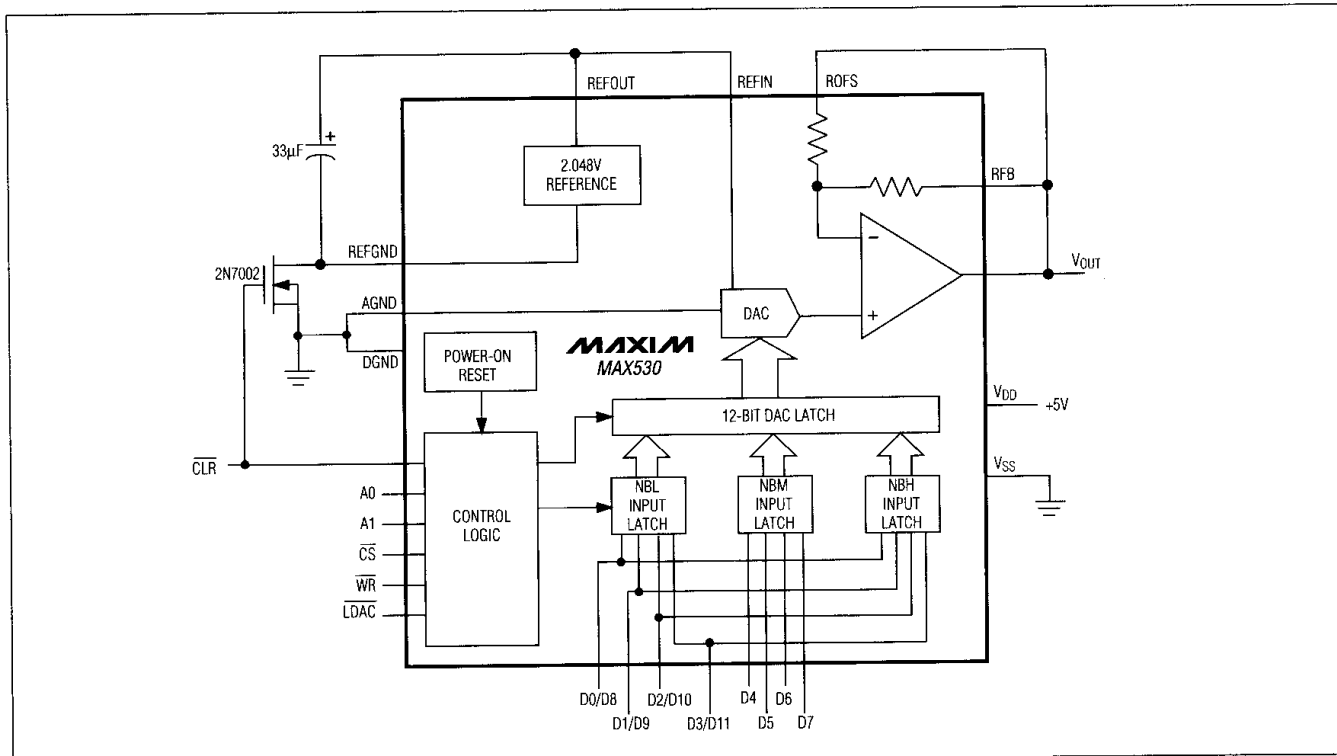


図3. 低電流シャットダウン・モード

REFVDDをV_{DD}に接続し内部リファレンスを未使用状態にした場合、さらに110 μ Aの電源電流を節約できます。2N7002などの低オン抵抗NチャネルFETを用いて内部リファレンスをオフにし、電源電流が最小となるシャットダウン・モードを作ることができます(図3)。CLRがハイのとき、このトランジスタはREFVDDをAGNDに接続するため、リファレンスとDACは通常に動作します。CLRがローになると、REFVDDはV_{DD}にプルアップされ、リファレンスはシャットダウン状態になります。同時に、CLRはDACレジスタを全

0にリセットし、ユニティゲインおよびG=2モードでのオペアンプ出力は0Vとなります。シャットダウン・モードにより、単一電源動作での全電流は250 μ A(最大400 μ A)から標準で40 μ Aまで減少します。

Nチャネル・プルダウン・トランジスタに流れるリファレンス電流により、リファレンス出力には僅かな誤差電圧が加わります。このスイッチのオン抵抗は5 Ω 以下としてください。100 μ Aの標準リファレンス電流の場合、REFOUTに0.5mVが加わります。リファレンス電流とオン抵抗は温度と共に増加するため、全温度係数も若干劣化します。

DACにデータがロードされると出力はGNDより高くなるため、オペアンプの自己消費電流は公称値よりも増加し全動作電流の平均は250 μ Aとなります。デュアル電源(\pm 5V)を用いる場合、オペアンプは連続的に十分バイアスされ、V_{DD}の電源電流は250 μ Aにおいて、より一定になります。V_{SS}電流は標準で150 μ Aです。

MAX530のロジック入力はTTLおよびCMOSロジック・レベルにコンパチブルです。ただし、最小の消費電力を実現するためには、デジタル入力を両電源電圧のCMOSロジックで駆動します。TTLロジック・レベルでは必要となる電力は、ほぼ2倍に増加します。

表2. 入力ラッチのアドレッシング

CLR	CS	WR	LDAC	A0	A1	DATA UPDATED
L	X	X	X	X	X	Reset DAC Latches
H	H	X	H	X	X	No Operation
H	X	H	H	X	X	No Operation
H	L	L	H	H	H	NBH (D8-D11)
H	L	L	H	H	L	NBM (D4-D7)
H	L	L	H	L	H	NBL (D0-D3)
H	H	H	L	X	X	Update DAC Only
H	L	L	X	L	L	DAC NOT UPDATED
H	L	L	L	H	H	NBH and Update DAC

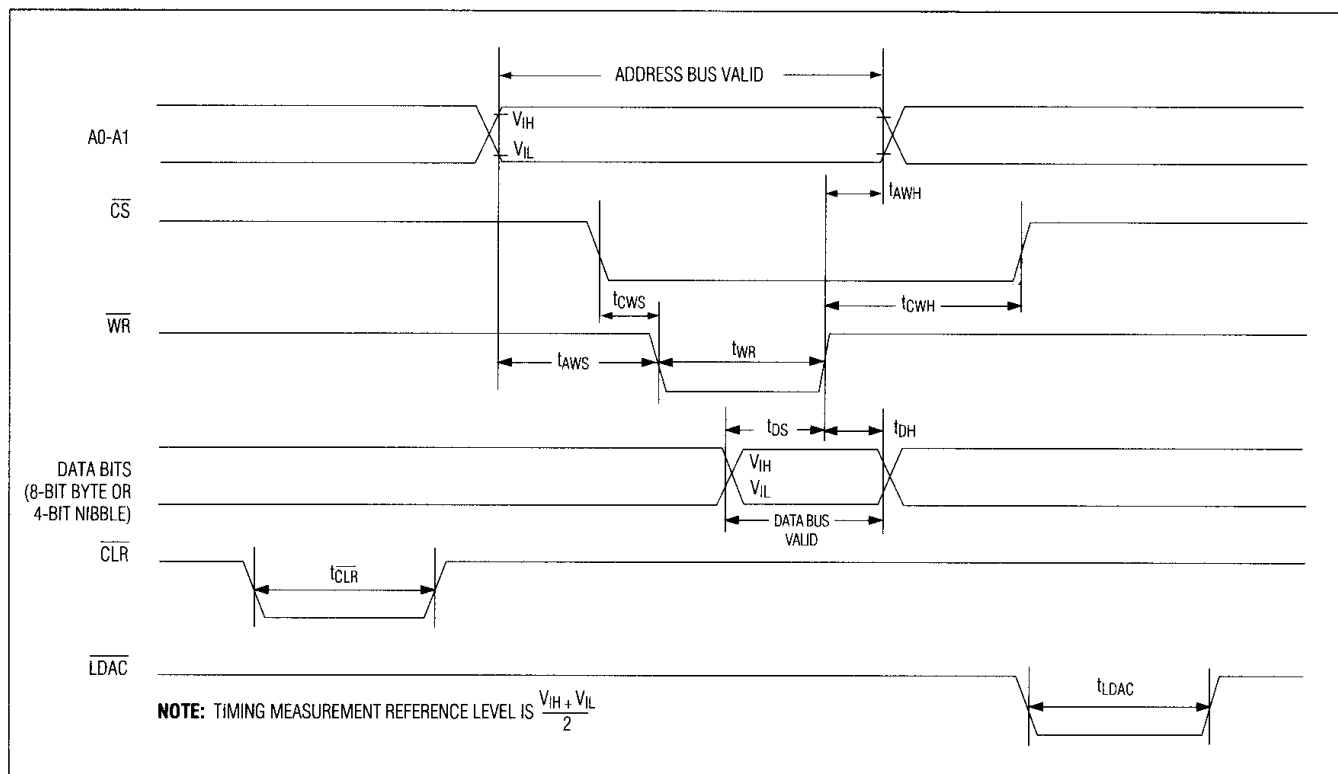


図4. MAX530の書き込みサイクル・タイミング

パラレル・ロジック・インタフェース

MAX530は4ビット、8ビットおよび16ビット・マイクロプロセッサ(μP)とインタフェースできるように設計されており、8本のデータピンとダブルバッファ付きのロジック入力を用いて、4+4+4または8+4の形式でデータをロードします。12ビットDACラッチは制御信号のLDACによって同時に更新されます。A0、A1、WRおよびCSの各信号によって、更新すべき入力ラッチを選択します。12ビットのデータはニブル(NB)に分解され、NBLは最下位4ビットのイネーブル信号に、NBMは中間4ビットのイネーブル信号に、NBHは最上位4ビットのイネーブル信号に用います。表2に、アドレス・デコードの方式を示します。

図4のMAX530書き込みサイクル・タイミング図を参照してください。

図5に、4ビットμP応用向けの回路構成を示し、図6に対応するタイミング・シーケンスを示します。下位4ビット(D0~D3)は他の4ビット(D4~D7)とμPバスに並列に接続されています。アドレスラインA0およびA1は、上位、中位、下位の各データニブル用の入力データラッチをイネーブルします。μPはチップセレクト(CS)およびライト(WR)信号を送り、3つのサイクルの各ニブルにおいてデータが有効になった時点でラッチします。

図7に、8ビットまたは16ビットμPとの標準的なインタフェースを示します。データバス上の8つのデータビットをMAX530のD0~D7に接続します。LDACをハイレベルに保つことで、NBHまたはNBL+NBHを任意の順序でロードすることができます。図8aに対応するタイミング・シーケンスを示します。最高のスループットを得るためには図8bのシーケンスを用います。アドレスラインA0およびA1は相互に接続され、DACへのロードは2サイクルにおいて8+4の形式で行われます。この方式では、LDACをローレベルに保つことでDACラッチはトランスペアレントになります。常にNBLとNBHを先にロードしその後NBHをロードします。

LDACはWRとは非同期に与えることができます。WRをハイとする前、または同時にLDACをローとする際には、正しいデータがラッチされるために、少なくとも50nsの間LDACをローレベルに保つ必要があります。データは、LDACの立上がりエッジにおいてDACレジスタ内にラッチされます。

+5V、低電力、パラレル入力 電圧出力型12ビットDAC

MAX530

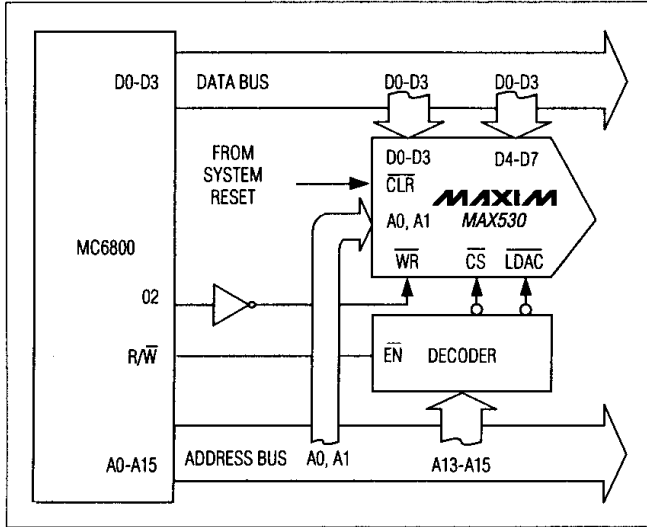


図5. 4ビット μ Pインターフェース

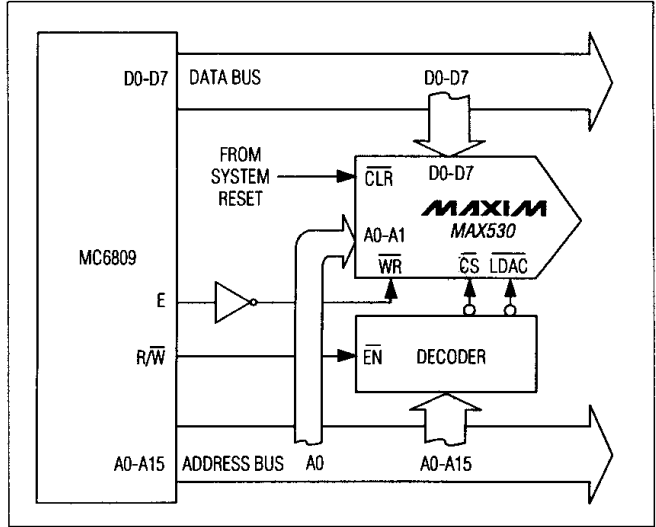


図7. 8ビットおよび16ビット μ Pインターフェース

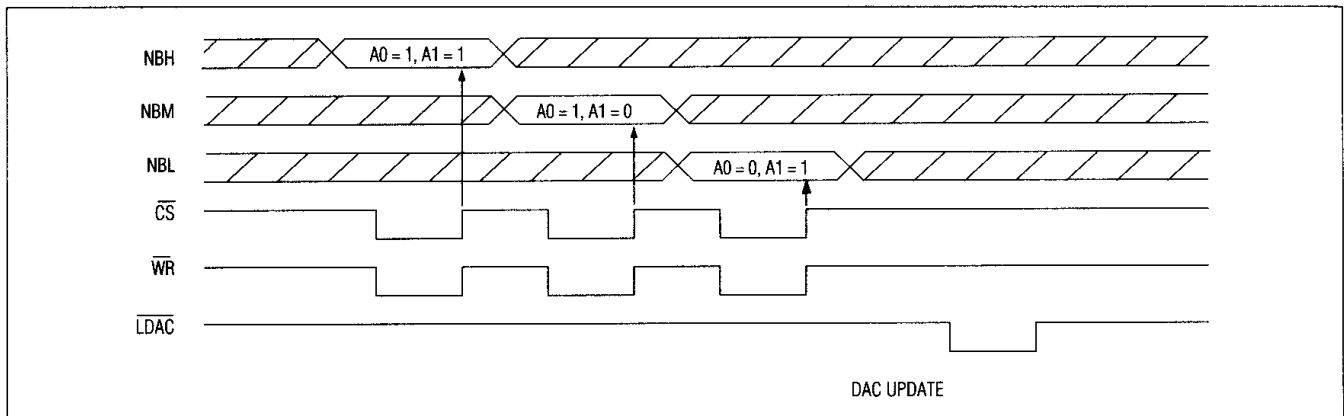


図6. 4ビット μ Pタイミング・シーケンス

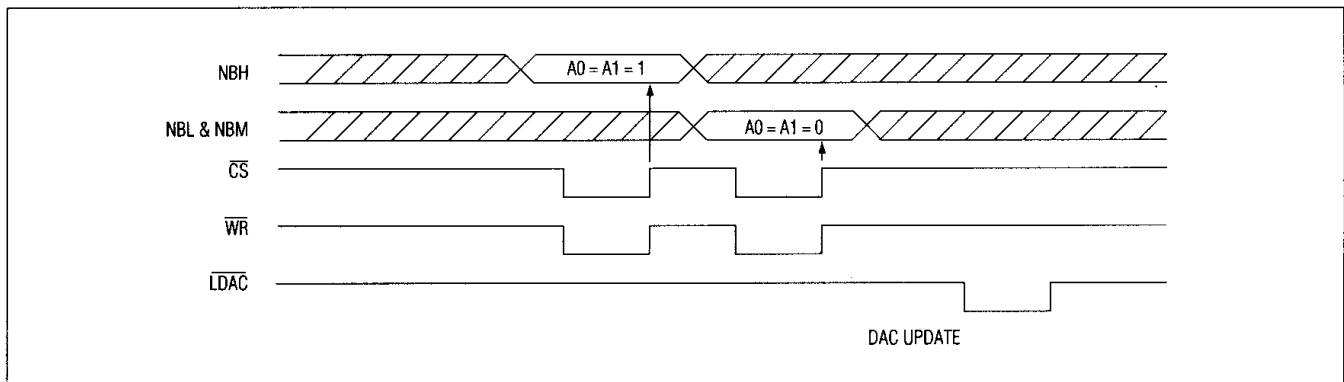


図8a. LDACを用いた8ビットおよび16ビット μ Pタイミング・シーケンス

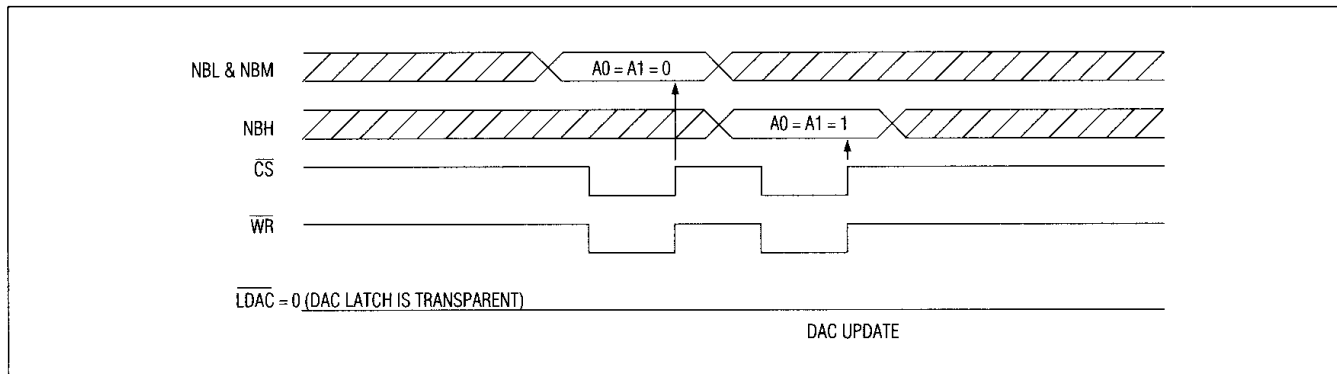


図8b. $\overline{\text{LDAC}}=0$ での、8ビットおよび16ビット μP タイミング・シーケンス

ユニポラ構成

MAX530は、ROFSとRFBをVOUTに接続することにより、0~+2.048Vのユニポラ出力レンジに設定することができます(図9)。この構成では、コンバータは単一電源またはデュアル電源のいずれにおいても動作します。DACラッチの内容(入力)とアナログVOUT(出力)の関係については、表3を参照してください。このレンジでは、 $1\text{LSB}=\text{REFIN}(2^{-12})$ です。

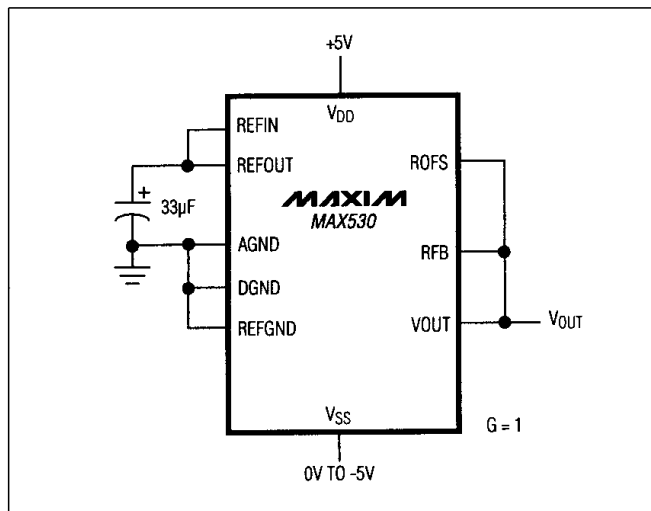


図9. ユニポラ構成 (0~+2.048V出力)

ROFSをAGNDに、RFBをVOUTに接続することにより、0~+4.096Vのユニポラ出力レンジに設定することができます(図10)。DACラッチ内容とVOUTの関係を表4に示します。この構成では、コンバータは単一電源またはデュアル電源のいずれにおいても動作します。このレンジでは、 $1\text{LSB}=2 \times \text{REFIN} \times 2^{-12} = \text{REFIN} \times 2^{-11}$ です。

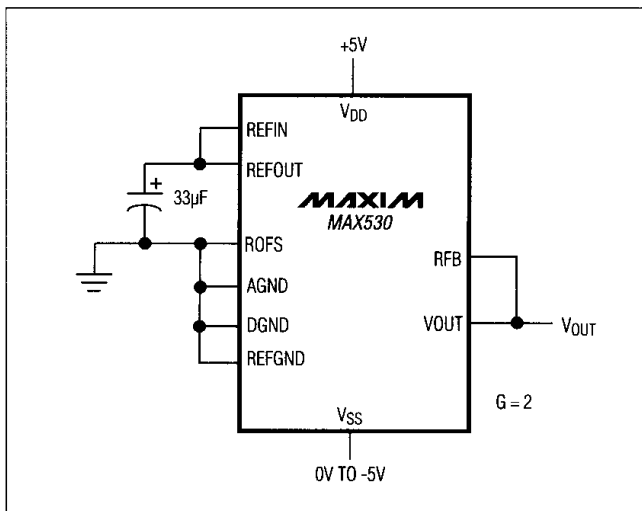


図10. ユニポラ構成 (0~+4.096V出力)

+5V、低電力、パラレル入力 電圧出力型12ビットDAC

MAX530

表3. ユニポーラバイナリコード表
(0~V_{REFIN}出力)、ゲイン=1

INPUT	OUTPUT
1111 1111 1111	(V _{REFIN}) $\frac{4095}{4096}$
1000 0000 0001	(V _{REFIN}) $\frac{2049}{4096}$
1000 0000 0000	(V _{REFIN}) $\frac{2048}{4096} = +V_{REFIN}/2$
0111 1111 1111	(V _{REFIN}) $\frac{2047}{4096}$
0000 0000 0001	(V _{REFIN}) $\frac{1}{4096}$
0000 0000 0000	0V

表4. ユニポーラバイナリコード表
(0~2V_{REFIN}出力)、ゲイン=2

INPUT	OUTPUT
1111 1111 1111	+2 (V _{REFIN}) $\frac{4095}{4096}$
1000 0000 0001	+2 (V _{REFIN}) $\frac{2049}{4096}$
1000 0000 0000	+2 (V _{REFIN}) $\frac{2048}{4096} = +V_{REFIN}$
0111 1111 1111	+2 (V _{REFIN}) $\frac{2047}{4096}$
0000 0000 0001	+2 (V _{REFIN}) $\frac{1}{4096}$
0000 0000 0000	0V

バイポーラ構成

-V_{REFIN}~+V_{REFIN}のバイポーラ・レンジは、ROFSをREFINに、RFBをVOUTに接続することで設定でき、デュアル(±5V)電源時に動作します(図11)。表5にDACラッチの内容(入力)とVOUT(出力)の関係を示します。このレンジでは、1LSB=REFIN×2⁻¹¹です。

4象限乗算

MAX530は、ROFSとREFINおよびREBとVOUTを接続し、(1)オフセットバイナリデジタル・コードで、(2)バイポーラ電源、および、(3)REFINにおいてV_{SS}+2V~V_{DD}-2V範囲のバイポーラ・アナログ入力を用いるとき、4象限乗算器として用いることができます(図12参照)。

一般に、12ビットDACの出力はD×V_{REFIN}×Gです。ここで、“G”はゲイン(1または2)、“D”はデジタル入力を2¹²または4096で割った値のバイナリ表現です。この式は、ユニポーラ動作においては正確です。しかしながら、バイポーラのオフセットバイナリ動作においては、MSBは極性を表すビットとなります。ステップ数は同一であるため分解能は失われませんが、出力電圧は、例えば0~4.096V(G=2)~-2.048~+2.048Vにシフトされます。

DACを4象限乗算器として用いる際には、乗算のスケールがスキューされることに留意してください。負のフルスケールは-V_{REFIN}ですが、正のフルスケールは+V_{REFIN}-1LSBとなります。

表5. ユニポーラ(オフセットバイナリ)コード表
(-V_{REFIN}~+V_{REFIN}出力)

INPUT	OUTPUT
1111 1111 1111	(+V _{REFIN}) $\frac{2047}{2048}$
1000 0000 0001	(+V _{REFIN}) $\frac{1}{2048}$
1000 0000 0000	0V
0111 1111 1111	(-V _{REFIN}) $\frac{1}{2048}$
0000 0000 0001	(-V _{REFIN}) $\frac{2047}{2048}$
0000 0000 0000	(-V _{REFIN}) $\frac{2048}{2048} = -V_{REFIN}$

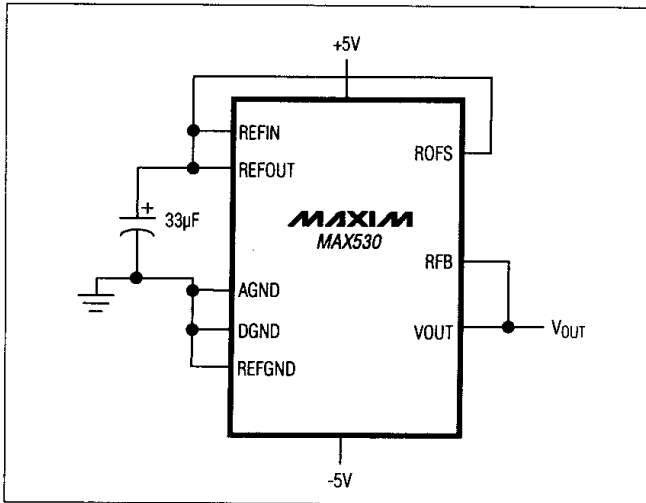


図11. バイポーラ構成 (-2.048~+2.048V)

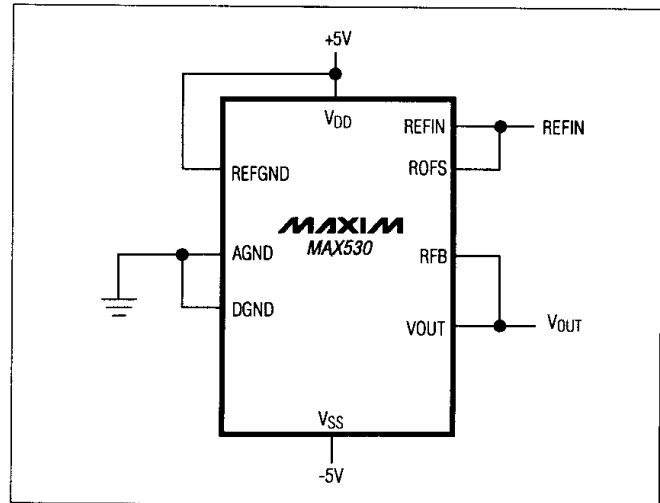


図12. 4象限乗算回路

アプリケーション情報

単一電源での直線性

あらゆるアンプと同様に、MAX530の出力オペアンプのオフセットは正または負となり得ます。オフセットが正のときには、それを補正することは容易です。しかしオフセットが負で負電源がない場合、出力は直線的になりません。この場合、アンプの出力(VOUT)は、DAC電圧がオフセットよりも十分に大きくなるまでグランド・レベルを保ち、その後正となります。この場合の伝達関数を図13に示します。

通常、直線性はゼロ誤差およびゲイン誤差を考慮した後測定されます。単一電源動作では実際の負のオフセット値が不明であるため、テスト時にその値を補正することができません。MAX530での直線性とゲイン誤差は、コード11~4095の範囲において測定されています(電気的特性の注2を参照)。出力アンプのオフセットは単調性には影響を与えず、これらのDACの単調性はコード0から保証されています。デュアル電源動作での直線性およびゲイン誤差は、コード0~4095の範囲で測定しています。

電源のバイパス処理とグランド管理

最良のシステム性能は、独立したアナログおよびデジタル・グランド・プレーンをもつプリント回路基板によって得ることができます。ワイヤラップ基板は推奨できません。2つのグランド・プレーンは低インピーダンスな電源において相互に接続してください。

AGNDおよびREFGNDは相互に接続し、素子のピンにおいてDGNDに接続してください。単一電源応用では、V_{SS}と

AGNDを素子において接続してください。最良のグランド接続は、AGND、REFGNDおよびDGNDピンを、システムのアナログ・グランド・プレーンに一点で接続することによって現実できます。DGNDをシステムのデジタル・グランドに接続すると、デジタル・ノイズがDACのアナログ部分に影響する可能性があります。

V_{DD}(デュアル電源ではV_{SS}も)を、0.1µFのセラミック・コンデンサをV_{DD}とAGND間(V_{SS}とAGND間)に接続することでバイパスしてください。コンデンサは短いリード線を用いて、できる限りデバイスの近くに実装してください。

ACへの配慮

デジタル・フィードスルー

すべてのデジタル入力ピンにおける高速なデータは、LDACとCSがハイレベルの場合であっても、DACのパッケージを介して結合し、内部寄生容量によりDAC出力にノイズとして現れます(“標準動作特性”を参照)。このデジタル・フィードスルーはLDACとCSをハイレベルに保持し、データ入力を全1から全0にトグルすることによりテストされています。

アナログ・フィードスルー

内部寄生容量の影響により、入力デジタル・コードが全0であっても、REFINにおける高周波アナログ入力信号は出力に結合することがあります(“標準動作特性”アナログ・フィードスルー 対 周波数のグラフを参照)。これは、REFINをスイープしながらCLRをローに設定(DACラッチの内容を全0に設定)することでテストされています。

+5V、低電力、パラレル入力 電圧出力型12ビットDAC

MAX530

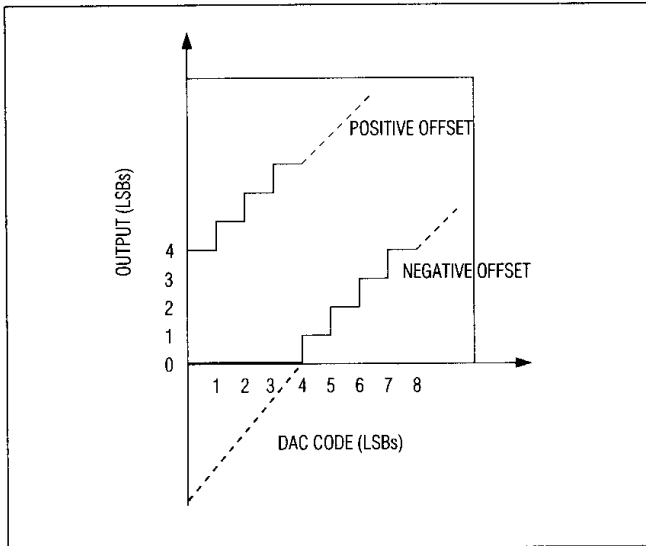
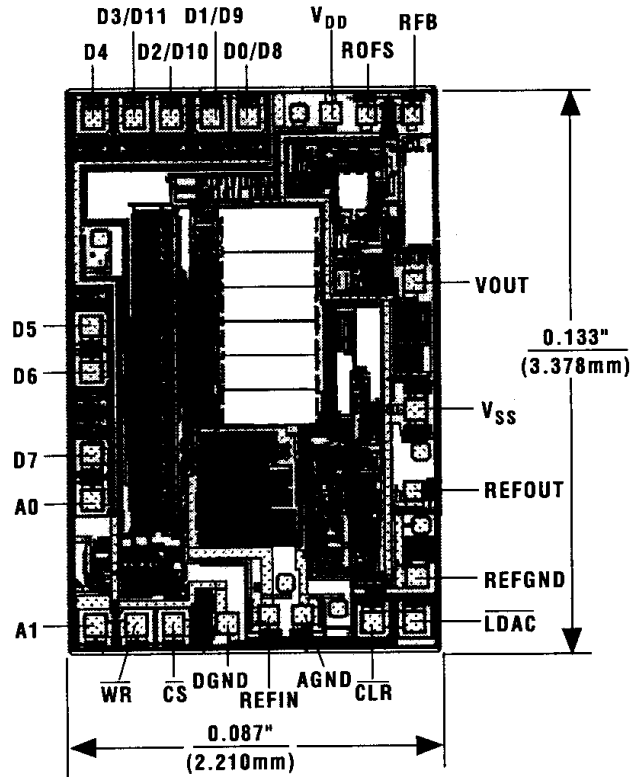


図13. 単一電源DACの伝達関数

型番(続き)

PART	TEMP. RANGE	PIN-PACKAGE	ERROR (LSB)
MAX530AENG	-40°C to +85°C	24 Narrow Plastic DIP	$\pm 1/2$
MAX530BENG	-40°C to +85°C	24 Narrow Plastic DIP	± 1
MAX530AEWG	-40°C to +85°C	24 Wide SO	$\pm 1/2$
MAX530BEWG	-40°C to +85°C	24 Wide SO	± 1
MAX530AEAG	-40°C to +85°C	24 SSOP	$\pm 1/2$
MAX530BEAG	-40°C to +85°C	24 SSOP	± 1

チップ構造図



TRANSISTOR COUNT: 913;
SUBSTRATE CONNECTED TO V_{DD}.

販売代理店

マキシム・ジャパン株式会社

〒169 東京都新宿区西早稲田3-30-16 (ホリゾンビル)
TEL. (03) 3232-6141 FAX. (03) 3232-6149

Maxim cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim product. No circuit patent licenses are implied. Maxim reserves the right to change the circuitry and specifications without notice at any time.

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086(408)737-7600