

電圧出力、シリアルDAC デュアル8ビット、8ピンSOP

概要

MAX522は、2つの8ビット、バッファ付の電圧出力D/Aコンバータ(DAC A及びDAC B)を小型8ピンSOP及びDIPパッケージで提供しています。DAC Aのバッファは5mAのソース/シンク、DAC Bの出力は500 μ Aのソース/シンクが可能です(いずれもグランド及び V_{DD} の0.5V以内)。MAX522は+2.7V ~ +5.5Vの単一電源で動作します。

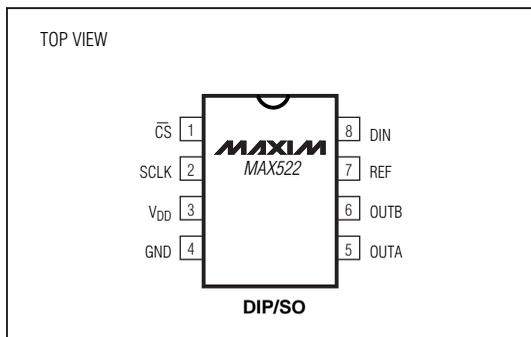
MAX522は最大5MHzまでのクロックレートで動作し、SPI™、QSPI™及びMicrowire™のインタフェース規格に適合する3線シリアルインタフェースを採用しています。シリアル入力のシフトレジスタは16ビットで、そのうち8ビットがDAC入力データ用、残りの8ビットがDAC選択とシャットダウン制御用となっています。DACレジスタは \overline{CS} のプラスのエッジで互いに独立して、あるいはパラレルにロードすることができます。

MAX522は超低消費電力で、小型8ピンSOPパッケージを使用しているため、ポータブル及びバッテリー駆動用アプリケーションに最適です。消費電流は1mA以下で、シャットダウン時には1 μ Aに低減します。さらに、シャットダウン時にはリファレンス入力REFピンから切断されるため、システムの総消費電力はさらに低減します。ソフトウェアフォーマットはMAX512/MAX513のトリプル8ビットDACとコンパチブルです。

アプリケーション

- デジタル利得及びオフセット調節
- 可変電流ソース
- 可変電圧ソース
- パワーアンプのバイアス制御
- VCOチューニング

ピン配置



SPI及びQSPIはMotorola Inc.の商標です。
MicrowireはNational Semiconductor Corp.の商標です。

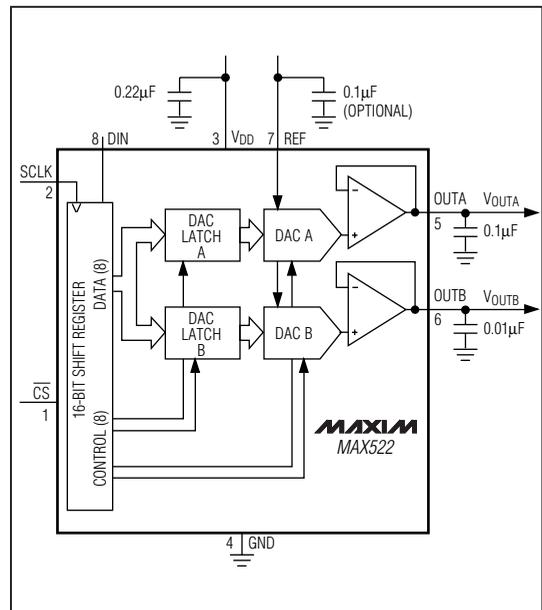
特長

- ◆ 単一電源：+2.7V ~ +5.5V
- ◆ デュアルバッファ付電圧出力
- ◆ 低消費電力：
 - 動作電流：1mA
 - シャットダウン電流：1 μ A以下
- ◆ シャットダウンモードは独立してプログラム可能
- ◆ シリアルインタフェース：5MHz、3線
- ◆ SPI™、QSPI™及びMicrowire™とコンパチブル
- ◆ パッケージ：省スペースの8ピンSOP

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX522CPA	0°C to +70°C	8 Plastic DIP
MAX522CSA	0°C to +70°C	8 SO
MAX522EPA	-40°C to +85°C	8 Plastic DIP
MAX522ESA	-40°C to +85°C	8 SO

ブロック図



電圧出力、シリアルDAC デュアル8ビット、8ピンSOP

MAX522

ABSOLUTE MAXIMUM RATINGS

V _{DD} to GND	-0.3V, +6V
Digital Inputs and Outputs to GND	-0.3V, (V _{DD} + 0.3V)
REF	-0.3V, (V _{DD} + 0.3V)
OUTA, OUTB (Note 1)	V _{DD}
Continuous Power Dissipation (T _A = +70°C)	
Plastic DIP (derate 9.09mW/°C above +70°C)	727mW
SO (derate 5.88mW/°C above +70°C)	471mW

Operating Temperature Ranges

MAX522C_ A	0°C to +70°C
MAX522E_ A	-40°C to +85°C
Storage Temperature Range	-65°C to +165°C
Lead Temperature (soldering, 10sec)	+300°C

Note 1: The outputs may be shorted to V_{DD} or GND if the package power dissipation is not exceeded. Typical short-circuit current to GND is 50mA.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +2.7V to +5.5V, REF = V_{DD}, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE						
Resolution	N		8			Bits
Differential Nonlinearity	DNL	Guaranteed monotonic			±1	LSB
Integral Nonlinearity	INL	(Note 2)			±1.5	LSB
Total Unadjusted Error	TUE	(Note 2)		±1		LSB
Zero-Code Temperature Coefficient				100		μV/°C
Power-Supply Rejection Ratio	PSRR	4.5V ≤ V _{DD} ≤ 5.5V, REF = 4.096V		0.01		%/%
		2.7V ≤ V _{DD} ≤ 3.6V, REF = 2.4V		0.015		
REFERENCE INPUTS						
Reference Input Voltage Range			GND		V _{DD}	V
Reference Input Capacitance				25		pF
Reference Input Resistance	R _{REF}	(Note 3)	8			kΩ
Reference Input Resistance (shutdown mode)				2		MΩ
DAC OUTPUTS						
Output Voltage Range			0		REF	V
Capacitive Load at OUT ₋		DAC A	0.1			μF
		DAC B	0.01			
Output Resistance		DAC A		50		Ω
		DAC B		500		
DIGITAL INPUTS						
Input High Voltage	V _{IH}		(0.7)(V _{DD})			V
Input Low Voltage	V _{IL}			(0.3)(V _{DD})		V
Input Current	I _{IN}	V _{IN} = 0V or V _{DD}		0.1	±10	μA
Input Capacitance	C _{IN}	(Notes 4, 5)			10	pF

電圧出力、シリアルDAC デュアル8ビット、8ピンSOP

MAX522

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +2.7V$ to $+5.5V$, $REF = V_{DD}$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DYNAMIC PERFORMANCE						
Voltage-Output Slew Rate	SR	$C_L = 0.1\mu F$ (DAC A), $C_L = 0.01\mu F$ (DAC B)		0.1		V/ μs
Voltage-Output Settling Time		$T_o \pm 1/2$ LSB	$C_L = 0.1\mu F$ (DAC A)	70		μs
			$C_L = 0.01\mu F$ (DAC B)	70		
Digital Feedthrough and Crosstalk		All 0s to all 1s		10		nV-s
POWER SUPPLIES						
Supply Voltage Range	V_{DD}		2.7		5.5	V
Supply Current	I_{DD}	All inputs = 0V	$V_{DD} = 5.5V$	1.3	2.8	mA
			$V_{DD} = 3.6V$	0.9	2.5	
Shutdown Supply Current		$V_{DD} = 5.5V$		0.1		μA

TIMING CHARACTERISTICS (Note 4)

($V_{DD} = +2.7V$ to $+5.5V$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SERIAL INTERFACE TIMING						
\overline{CS} Fall to SCLK Rise Setup Time	t_{CSS}		150			ns
SCLK Rise to \overline{CS} Rise Setup Time	t_{CSH}		150			ns
DIN to SCLK Rise Setup Time	t_{DS}		50			ns
DIN to SCLK Rise Hold Time	t_{DH}		50			ns
SCLK Pulse Width High	t_{CH}		100			ns
SCLK Pulse Width Low	t_{CL}		100			ns
\overline{CS} Pulse Width High	t_{CSPWH}		200			ns

Note 2: Reduced digital code range (code 24 through code 232) is due to swing limitations of the output amplifiers. See *Typical Operating Characteristics*.

Note 3: Reference input resistance is code dependent. The lowest input resistance occurs at code 55hex. Refer to the *Reference Input* section in the *Detailed Description*.

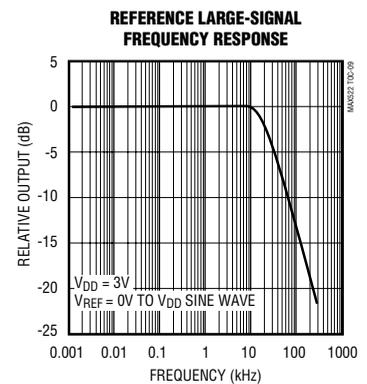
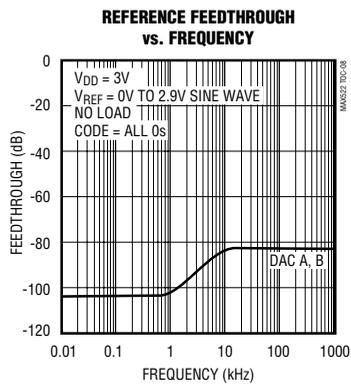
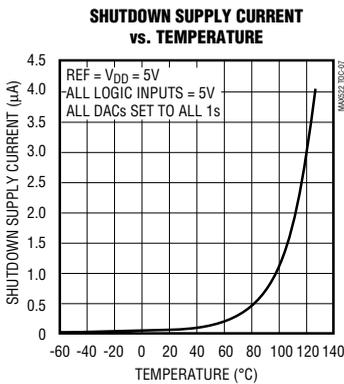
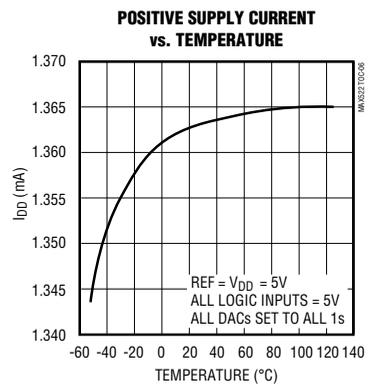
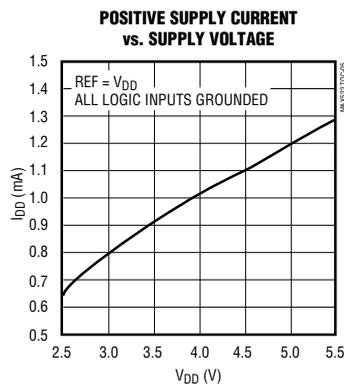
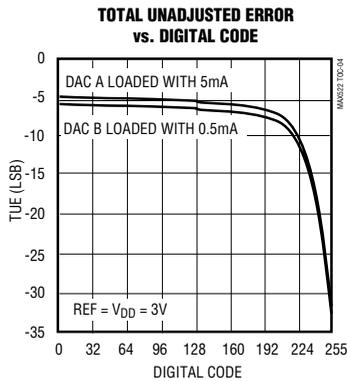
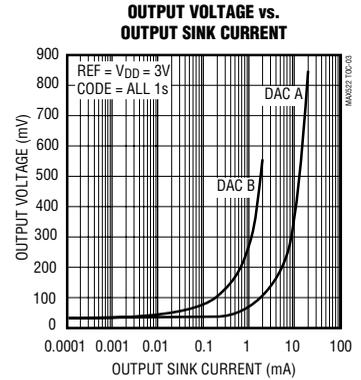
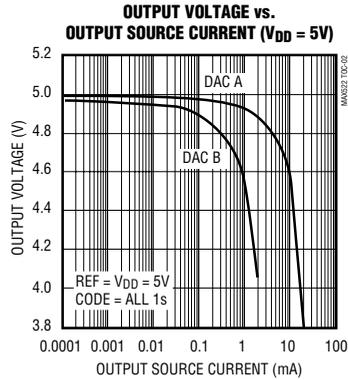
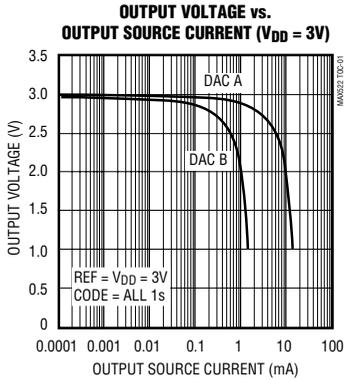
Note 4: Guaranteed by design. Not production tested.

Note 5: Input capacitance is code dependent. The highest capacitance occurs at code 00hex.

電圧出力、シリアルDAC デュアル8ビット、8ピンSOP

標準動作特性

($T_A = +25^\circ\text{C}$, unless otherwise noted.)

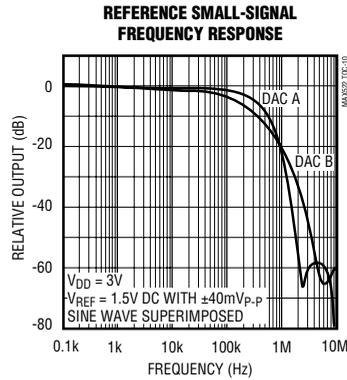


電圧出力、シリアルDAC デュアル8ビット、8ピンSOP

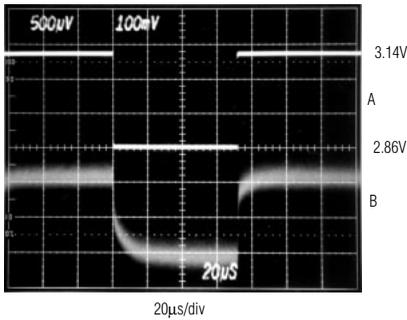
MAX522

標準動作特性(続き)

($T_A = +25^\circ\text{C}$, unless otherwise noted.)

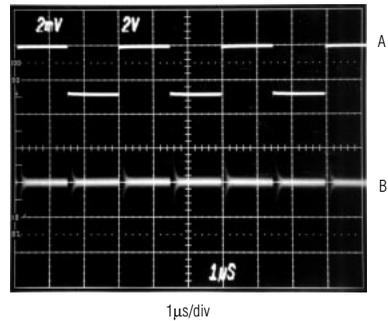


LINE-TRANSIENT RESPONSE (OUTA)



REF = 2.56V, NO LOAD, CODE = ALL 1s
A : V_{DD} , 100mV/div
B : OUTA, 500µV/div

CLOCK FEEDTHROUGH (OUTA)



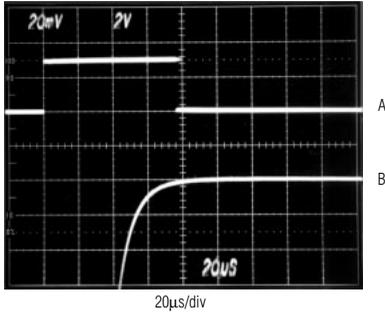
$\overline{CS} = \text{HIGH}$
A : SCLK, 333kHz, 0V TO 2.9V, 2V/div
B : OUTA, 2mV/div

電圧出力、シリアルDAC デュアル8ビット、8ピンSOP

標準動作特性(続き)

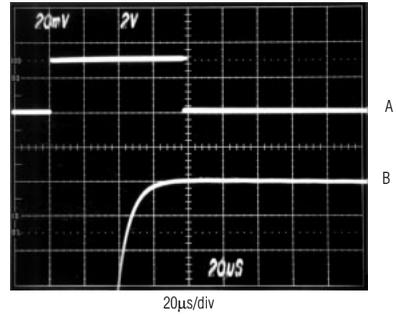
($T_A = +25^\circ\text{C}$, unless otherwise noted).

POSITIVE SETTLING TIME (DAC A)



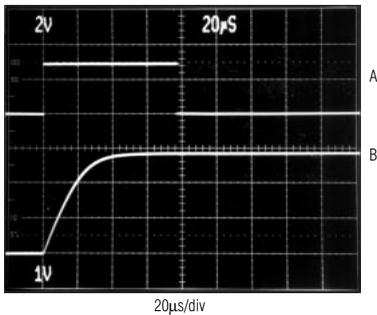
$V_{DD} = 3\text{V}$, $REF = V_{DD}$, $R_L = 1\text{k}\Omega$, $C_L = 0.1\mu\text{F}$,
ALL BITS OFF TO ALL BITS ON
A: CS, 2V/div
B: OUTA, 20mV/div

POSITIVE SETTLING TIME (DAC B)



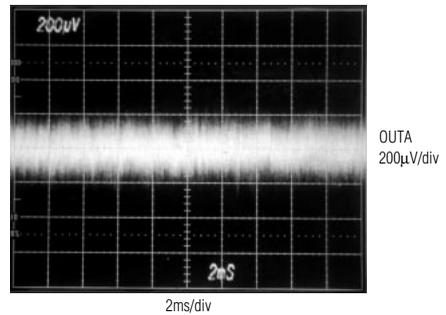
$V_{DD} = 3\text{V}$, $REF = V_{DD}$, $R_L = 10\text{k}\Omega$, $C_L = 0.01\mu\text{F}$,
ALL BITS OFF TO ALL BITS ON
A: CS, 2V/div
B: OUTB, 20mV/div

TIME EXITING SHUTDOWN MODE



$V_{DD} = 3\text{V}$, $REF = V_{DD}$, $R_L = 1\text{k}\Omega$, $C_L = 0.1\mu\text{F}$,
DAC LOADED WITH ALL 1s
A: CS, 2V/div
B: OUTA, 1V/div

OUTPUT VOLTAGE NOISE (DC TO 1MHz)



DIGITAL CODE = 80, $REF = V_{DD}$, NO LOAD

電圧出力、シリアルDAC デュアル8ビット、8ピンSOP

MAX522

端子説明

端子	名称	機能
1	\overline{CS}	チップセレクト(アクティブロー)。16ビットシフトレジスタへのデータのシフトをイネーブルします。プログラミングコマンドは \overline{CS} の立上がりエッジで実行されます。
2	SCLK	シリアルクロック入力。データはSCLKの立上がりエッジでクロック入力されます。
3	V _{DD}	正電源(2.7V ~ 5.5V)。0.22 μ FでGNDにバイパスしてください。
4	GND	グランド
5	OUTA	DAC Aの出力電圧(バッファ付)。0.1 μ F以上のコンデンサをGNDに接続してください。
6	OUTB	DAC Bの出力電圧(バッファ付)。0.01 μ F以上のコンデンサをGNDに接続してください。
7	REF	DAC A及びDAC Bのリファレンス入力。
8	DIN	16ビットシフトレジスタのシリアルデータ入力。データはSCLKの立上がりエッジでレジスタにクロック入力されます。

詳細

アナログ部

MAX522は2つの8ビット電圧出力D/Aコンバータ(DAC)を備えています。DACは、8ビットデジタル入力を外部リファレンス電圧に比例したアナログ出力に変換する、コンプリメンタリスイッチを用いた反転R-2Rラダーネットワークから構成されています。

MAX522はDAC A及びDAC Bとで共有する1つのリファレンス入力を備えています。両方のDACが出力バッファアンプを備え、マイクロプロセッサ(μ P)及びCMOSへの簡単なインタフェースのための入力ロジックも備えています。電源電圧範囲は+2.7V ~ +5.5Vです。

リファレンス入力とDACの出力範囲

REFの電圧がDACのフルスケール出力を設定します。REF入力の入力インピーダンスはコードに依存します。最小値は入力コードが01010101(16進で55)の場合で、約8k Ω になります。最大値は入力コードがゼロの場合で、無限大になります。

シャットダウンモードでは、選択されたDACの出力はゼロに設定され、DACレジスタに記憶されている値は変化しません。この結果リファレンス入力での負荷がなくなり、電力が節約できます。MAX522のシャットダウンモードが終了すると、DACの出力電圧が回復します。REFでの入力抵抗はコードに依存するため、DACのリファレンスソースでの出力インピーダンスは5 Ω 以下にしてください。REFピンの入力容量もコードに依存しますが、25pF(typ)以下です。

REFでのリファレンス電圧範囲はGND ~ V_{DD}です。詳細については「出力バッファアンプ」の項を参照してください。

出力バッファアンプ

DAC A及びDAC Bの電圧出力は内部でバッファされています。バッファアンプの出力電圧範囲は電源電圧範囲(GND ~ V_{DD})です。

DAC出力は内部で2分圧され、バッファの利得が2に設定されています。これによって、バッファの入力電圧範囲をプラスの電源電圧までにする必要がなくなります。

DAC Aの出力アンプは5mA(DAC Bは0.5mA)までの電流のソース/シンクになります。「標準動作特性」の「総未調整誤差対デジタルコード」のグラフを参照してください。アンプは0.1 μ F(DAC Bのバッファでは0.01 μ F)以上の容量性負荷に対してユニティゲイン安定です。スルーレートは負荷コンデンサによって制限されており、値は0.1 μ F負荷(DAC Bのバッファでは0.01 μ F)の場合に0.1V/ μ s(typ)です。

シャットダウンモード

シャットダウンモードに設定されると、DAC A及びDAC Bの出力はハイインピーダンス状態になります。この状態では、バッファアンプへの電流の流出入は実質的にゼロになります。シャットダウンモードではREF入力はハイインピーダンス(2M Ω typ)になり、システムリファレンスからの電流の流出を抑制します。従って、システムリファレンスをパワーダウンする必要はありません。シャットダウンモードが終了すると、DAC出力はレジスタに記憶されている値に戻ります。この場合の回復時間はDACのセトリング時間と同程度です。

電圧出力、シリアルDAC デュアル8ビット、8ピンSOP

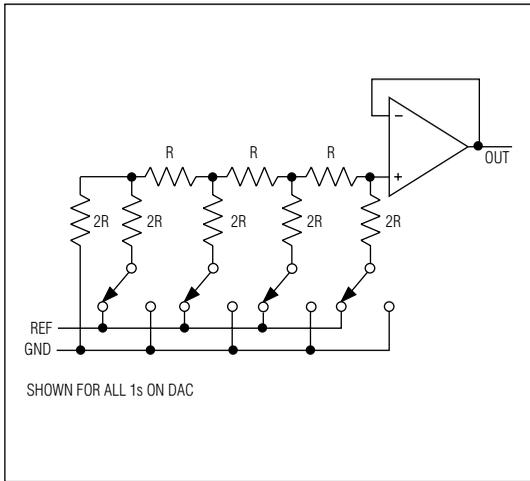


図1. DACの簡略回路図

シリアルインタフェース

アクティブローのチップセレクト(\overline{CS})によって、シフトレジスタはシリアルデータ入力からデータを受け取るようになります。データはシリアルクロック信号(SCLK)の各立上がりエッジでシフトレジスタにクロックインされます。クロック周波数は最大5MHzまでです。データはMSBから先に送られ、1つの16ビットワードとして伝送できます。 \overline{CS} がアクティブ(ロー)に維持されている場合、書込みサイクルを例えば2つの8ビット幅の転送に分割することができます。全16ビットを入力レジスタにクロックインした後に \overline{CS} の立上がりエッジがDAC出力及びシャットダウン状態を更新します。シングルバッファ構造であるため、両方のDACを同時に異なるデジタル値に更新することはできません。

表1. 入力シフトレジスタ

DATA BITS	B0*	DAC Data Bit 0 (LSB)
	B1	DAC Data Bit 1
	B2	DAC Data Bit 2
	B3	DAC Data Bit 3
	B4	DAC Data Bit 4
	B5	DAC Data Bit 5
	B6	DAC Data Bit 6
	B7	DAC Data Bit 7 (MSB)
CONTROL BITS	LA	Load Reg DAC A, Active High
	LB	Load Reg DAC B, Active High
	UB4	Uncommitted Bit 4
	SA	Shut Down DAC A, Active High
	SB	Shut Down DAC B, Active High
	UB3	Uncommitted Bit 3
	UB2	Uncommitted Bit 2
	UB1**	Uncommitted Bit 1

* Clocked in last.

**Clocked in first.

シリアル入力データフォーマット及び制御コード

表2はシリアル入力データフォーマットを示しています。16ビット入力ワードは8ビット制御バイト及び8ビットデータバイトからなっています。8ビット制御ワードは内部的にデコードされません。各制御ビットが各々1つの機能を持っています。データはUB1(未使用のビット)を先頭にクロック入力され、その後に残りの制御ビットとデータバイトが続きます。シフトレジスタに最後にクロックインされるビットはデータバイト(B0)のLSBです(図2)。

表3は16ビット入力ワードの例です。このワードは以下の機能を果たします。

- 16進の80(10進の128)をDACレジスタA及びBにロード。
- DAC A及びDAC Bはアクティブ。

電圧出力、シリアルDAC デュアル8ビット、8ピンSOP

MAX522

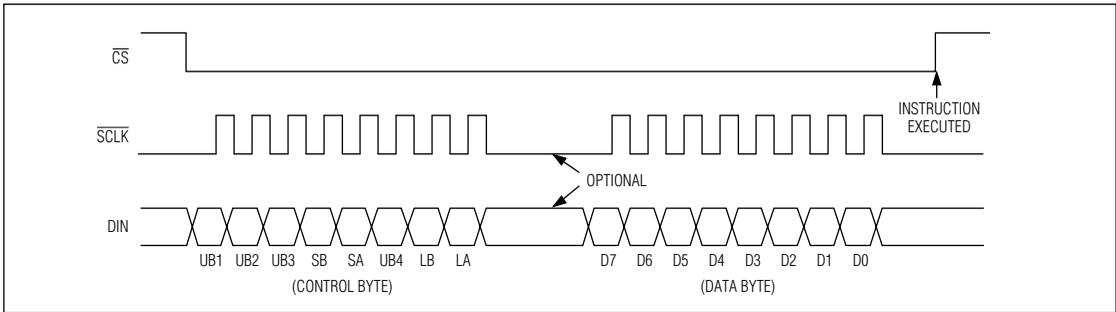


図2. MAX522の3線シリアルインタフェースのタイミング図

表2. シリアルインタフェースのプログラミングコマンド

CONTROL									DATA								FUNCTION
UB1	UB2	UB3	SB	SA	UB4	LB	LA	B7 MSB	B6	B5	B4	B3	B2	B1	B0 LSB		
X	X	1	*	*	0	0	0	X	X	X	X	X	X	X	X	No Operation to DAC Registers	
X	X	1	*	*	0	0	0									Unassigned Command	
X	X	1	*	*	0	1	0	8-Bit DAC Data								Load Register to DAC B	
X	X	1	*	*	0	0	1	8-Bit DAC Data								Load Register to DAC A	
X	X	1	*	*	0	1	1	8-Bit DAC Data								Load Both DAC Registers	
X	X	1	0	0	0	*	*	X	X	X	X	X	X	X	X	All DACs Active	
X	X	1	0	0	0	*	*	X	X	X	X	X	X	X	X	Unassigned Command	
X	X	1	1	0	0	*	*	X	X	X	X	X	X	X	X	Shut Down DAC B	
X	X	1	0	1	0	*	*	X	X	X	X	X	X	X	X	Shut Down DAC A	
X	X	1	1	1	0	*	*	X	X	X	X	X	X	X	X	Shut Down All DACs	

X = Don't care.

* = Not shown, for the sake of clarity. The functions of loading and shutting down the DACs and programming the logic can be combined in a single command.

表3. 16ビット入カワード

Loaded in First																Loaded in Last
UB1	UB2	UB3	SB	SA	UB4	LB	LA	B7	B6	B5	B4	B3	B2	B1	B0	
X	X	1	0	0	0	1	1	1	0	0	0	0	0	0	0	

電圧出力、シリアルDAC デュアル8ビット、8ピンSOP

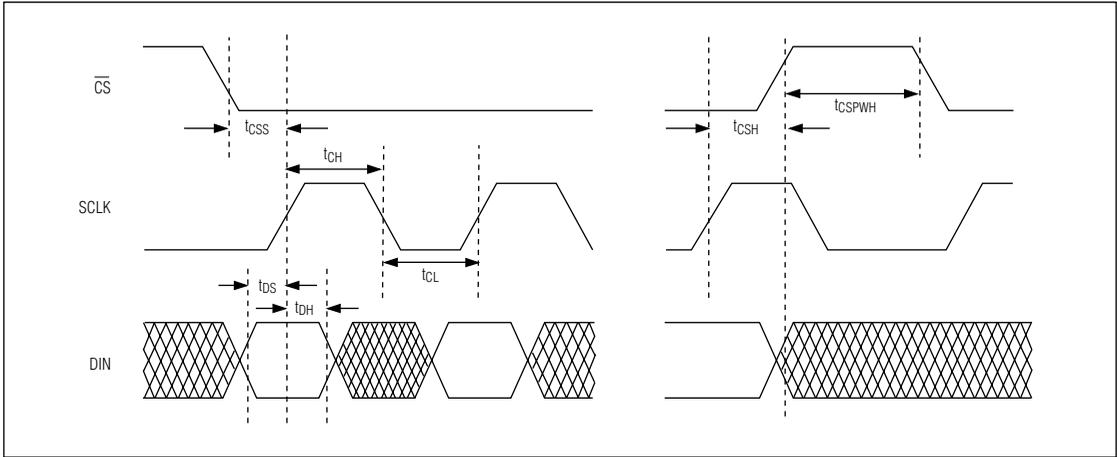


図3. MAX522シリアルインタフェースのタイミングの詳細図

デジタル入力

デジタル入力はCMOSロジックとコンパチブルです。(0.3 × V_{DD})と(0.7 × V_{DD})の間の遷移ゾーンを通じてロジック入力がトグルされると、消費電流が僅かに増加します。

マイクロプロセッサとのインタフェース

MAX522のシリアルインタフェースはMicrowire、SPI及びQSPIとコンパチブルです。SPIの場合はCPOL及びCPHAビットをクリアしてください(CPOL = 0、CPHA = 0)。CPOL = 0はアクティブでないクロックの状態をゼロに設定し、CPOL = 0はSCLKの立下がりエッジでデータを変更します。このように設定することで、SPIをフルクロックスピード(0.5MHz)で実行することができるようになります。使用できるシリアルポートがμPにない場合、パラレルポートのビットを3ビット使用することでシリアルポートのエミュレーションを行うことができます。電圧出力でのデジタルフィードスルーを最小限に抑えるために、シリアルクロックは必要な時だけ動作させるようにしてください。

表4. コード表

DAC CONTENTS								ANALOG OUTPUT
B7	B6	B5	B4	B3	B2	B1	B0	
1	1	1	1	1	1	1	1	+REF × $\left(\frac{255}{256}\right)$
1	0	0	0	0	0	0	1	+REF × $\left(\frac{129}{256}\right)$
1	0	0	0	0	0	0	0	+REF × $\left(\frac{128}{256}\right) = +\frac{REF}{2}$
0	1	1	1	1	1	1	1	+REF × $\left(\frac{127}{256}\right)$
0	0	0	0	0	0	0	1	+REF × $\left(\frac{1}{256}\right)$
0	0	0	0	0	0	0	0	0V

Note:

$$1\text{LSB} = \text{REF} \times 2^{-8} = \text{REF} \times \left(\frac{1}{256}\right)$$

$$\text{ANALOG OUTPUT} = \text{REF} \times \left(\frac{D}{256}\right) \text{ where } D = \text{Decimal Value of Digital Input}$$

電圧出力、シリアルDAC デュアル8ビット、8ピンSOP

MAX522

アプリケーション情報

MAX522は2.7V ~ 5.5Vの V_{DD} 範囲で単一電源動作するため、3V及び5Vシステムで標準的に使用される全ての電圧を使用できます。

初期化

内部パワーオンリセットは備えられていないため、パワーアップ時に初期書込みを実行して出力を所望の電圧に設定してください。

電源及びグランド管理

GNDはできる限り高品質のグランドに接続してください。 V_{DD} は0.1 μ F ~ 0.22 μ FのコンデンサでGNDにバイパスしてください。リファレンス入力バイパスせず使用することができます。ライン/負荷過渡応答及びノイズ性能を改善するためには、リファレンス入力を0.1 μ F ~ 4.7 μ FでGNDにバイパスしてください。PCボードのレイアウトを注意深く行うことで、DAC出力、リファレンス及びデジタル入力間のクロストークを最小限に抑えることができます。アナログライン間にはグランドトレースを挟んで分離してください。高周波デジタルラインがアナログラインと平行に走らないように気を付けてください。

電圧出力、シリアルDAC デュアル8ビット、8ピンSOP

パッケージ

**Plastic DIP
PLASTIC
DUAL-IN-LINE
PACKAGE
(0.300 in.)**

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	—	0.200	—	5.08
A1	0.015	—	0.38	—
A2	0.125	0.175	3.18	4.45
A3	0.055	0.080	1.40	2.03
B	0.016	0.022	0.41	0.56
B1	0.045	0.065	1.14	1.65
C	0.008	0.012	0.20	0.30
D1	0.005	0.080	0.13	2.03
E	0.300	0.325	7.62	8.26
E1	0.240	0.310	6.10	7.87
e	0.100	—	2.54	—
eA	0.300	—	7.62	—
eB	—	0.400	—	10.16
L	0.115	0.150	2.92	3.81

PKG.	DIM	PINS	INCHES		MILLIMETERS	
			MIN	MAX	MIN	MAX
P	D	8	0.348	0.390	8.84	9.91
P	D	14	0.735	0.765	18.67	19.43
P	D	16	0.745	0.765	18.92	19.43
P	D	18	0.885	0.915	22.48	23.24
P	D	20	1.015	1.045	25.78	26.54
N	D	24	1.14	1.265	28.96	32.13

21-0043A

**Narrow SO
SMALL-OUTLINE
PACKAGE
(0.150 in.)**

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.053	0.069	1.35	1.75
A1	0.004	0.010	0.10	0.25
B	0.014	0.019	0.35	0.49
C	0.007	0.010	0.19	0.25
E	0.150	0.157	3.80	4.00
e	0.050		1.27	
H	0.228	0.244	5.80	6.20
L	0.016	0.050	0.40	1.27

DIM	PINS	INCHES		MILLIMETERS	
		MIN	MAX	MIN	MAX
D	8	0.189	0.197	4.80	5.00
D	14	0.337	0.344	8.55	8.75
D	16	0.386	0.394	9.80	10.00

21-0041A

マキシム・ジャパン株式会社

〒169 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

Maxim cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim product. No circuit patent licenses are implied. Maxim reserves the right to change the circuitry and specifications without notice at any time.

12 Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600