

デュアルPCI Expressイコライザ/リドライバ

概要

デュアルPCI Express® (PCIe)イコライザ/リドライバのMAX4950Aは、+3.3Vの単一電源で動作します。MAX4950Aは設定可能な入力等化とリドライブ回路によってレシーバにおける信号完全性を向上し、高周波損失を補正する出力デエンファシスを備えています。このデバイスは、重要なPCIe部品の最適な配置、およびストリップライン、マイクロストリップ、またはケーブルのより長い引き回しを可能にします。

MAX4950Aは、PCIe Gen I (2.5GT/s)およびGen II (5.0GT/s)の信号を等化することができる2つの同一チャネルを備えています。MAX4950Aは、各チャネルの電気的アイドルとレシーバ検出、および省電力モードを備えています。

MAX4950Aは、レイアウトを最適にして必要となるスペースを最小限にするために、フロースルートレースの小型36ピンTQFNパッケージ(6.0mm x 6.0mm)で提供されています。MAX4950Aは、0°C~+70°Cの民生用温度範囲での動作が保証されています。

アプリケーション

サーバ
産業用PC
試験装置
コンピュータ
外部グラフィックスアプリケーション
通信スイッチャ
ストレージエリアネットワーク

PCI ExpressはPCI-SIG Corp.の登録商標です。

特長

- ◆ +3.3Vの単一電源動作
- ◆ PCIe Gen I (2.5GT/s)およびGen II (5.0GT/s)対応優れた差動リターンロス：
≥ 8dB (f = 1.25GHz~2.5GHz)
- ◆ 非常に低いレイテンシ伝搬遅延：280ps (typ)
- ◆ 個別のレーン検出
- ◆ 3レベルの設定が可能な入力等化
- ◆ 3レベルの設定が可能な出力デエンファシス
- ◆ -2.5dBの設定が可能な標準出力レベル
- ◆ オンチップの50Ωの入出力終端
- ◆ 省スペース、6.0mm x 6.0mm TQFNパッケージ

型番

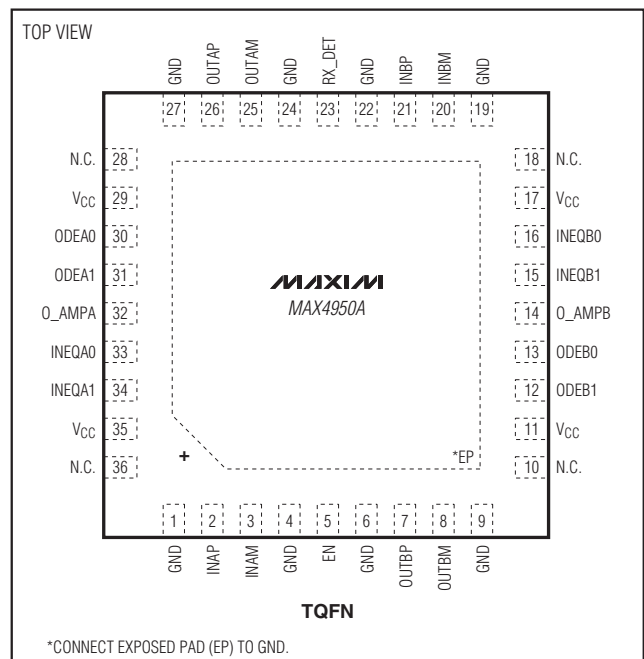
PART	TEMP RANGE	PIN-PACKAGE
MAX4950ACTX+T	0°C to +70°C	36 TQFN-EP*

+は鉛(Pb)フリー/RoHS準拠を表します。

*EP = エクスポーズドパッド

T = テープ&リール

ピン配置



デュアルPCI Expressイコライザ/リドライバ

MAX4950A

ABSOLUTE MAXIMUM RATINGS

(Voltages referenced to GND.)

V _{CC}	-0.3V to +4.0V
All Other Pins (Note 1).....	-0.3V to (V _{CC} + 0.3V)
Continuous Current IN _P , IN _M , OUT _P , OUT _M	±30mA
Peak Current IN _P , IN _M , OUT _P , OUT _M (pulsed for 1μs, 1% duty cycle).....	±100mA
Continuous Power Dissipation (T _A = +70°C) 36-Pin TQFN (derate 35.7mW/°C above +70°C)	2857mW

Junction-to-Case Thermal Resistance (θ _{JC}) (Note 2) 36-Pin TQFN.....	1°C/W
Junction-to-Ambient Thermal Resistance (θ _{JA}) (Note 2) 36-Pin TQFN.....	28°C/W
Operating Temperature Range.....	0°C to +70°C
Junction Temperature Range	-40°C to +150°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Note 1: All I/O pins are clamped by internal diodes.

Note 2: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to www.maxim-ic.com/thermal-tutorial.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{CC} = +3.0V to +3.6V, C_{CL} = 75nF coupling capacitor on each output, R_L = 50Ω resistor on each output, T_A = 0°C to +70°C, unless otherwise noted. Typical values are at V_{CC} = +3.3V and T_A = +25°C.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC PERFORMANCE						
Power-Supply Range	V _{CC}		3.0		3.6	V
Supply Current	I _{CC}	EN = V _{CC} , V _{O_AMP_A} = V _{GND} , V _{O_AMP_B} = V _{GND} (Note 4)		130	165	mA
Differential Input Impedance	Z _{RX-DIFF-DC}	DC	80	100	120	Ω
Differential Output Impedance	Z _{TX-DIFF-DC}	DC	80	100	120	Ω
Common-Mode Resistance to GND	Z _{RX-HIGH-IMP-DC-POS}	V _{IN_P} = V _{IN_M} = 0 to +200mV, input terminations not powered	50			kΩ
Common-Mode Resistance to GND	Z _{RX-HIGH-IMP-DC-NEG}	V _{IN_P} = V _{IN_M} = -150mV to 0, input terminations not powered	1			kΩ
Common-Mode Resistance to GND, Input Terminations Powered	Z _{RX-DC}		40	50	60	Ω
Output Short-Circuit Current	I _{TX-SHORT}	Single-ended			90	mA
Common-Mode Delta Between Active and Idle States	V _{TX-CM-DC-ACTIVE-IDLE-DELTA}	V _{O_AMP_} = V _{GND}			100	mV
DC Output Offset During Active State	V _{TX-CM-DC-LINE-DELTA}	I _{VOUT_P} - V _{OUT_M}			25	mV
DC Output Offset During Electrical Idle	V _{TX-IDLE-DIFF-DC}	I _{VOUT_P} - V _{OUT_M}			10	mV
AC PERFORMANCE						
Differential Input Return Loss (Note 5)	RL _{RX-DIFF}	f = 0.05GHz to 1.25GHz	10			dB
		f = 1.25GHz to 2.5GHz	8			
Common-Mode Input Return Loss (Note 5)	RL _{RX-CM}	f = 0.05GHz to 2.5GHz	6			dB

デュアルPCI Expressイコライザ/リドライバ

MAX4950A

ELECTRICAL CHARACTERISTICS (continued)

($V_{CC} = +3.0V$ to $+3.6V$, $C_{CL} = 75nF$ coupling capacitor on each output, $R_L = 50\Omega$ resistor on each output, $T_A = 0^\circ C$ to $+70^\circ C$, unless otherwise noted. Typical values are at $V_{CC} = +3.3V$ and $T_A = +25^\circ C$.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Differential Output Return Loss (Note 5)	RLTX-DIFF	f = 0.05GHz to 1.25GHz	10			dB
		f = 1.25GHz to 2.5GHz	8			
Common-Mode Output Return Loss (Note 5)	RLTX-CM	f = 0.05GHz to 2.5GHz	6			dB
Redriver-Operation Differential Input Signal Range	VRX-DIFF-PP	f = 0.05GHz to 2.5GHz	120		1200	mV _{P-P}
Full-Swing No-Deemphasis Differential Output Voltage	VTX-DIFF-PP	ABS _I V _{OUT_P} - V _{OUT_M} ; O_AMP_ = GND	800	1000	1200	mV _{P-P}
Low-Swing No-Deemphasis Differential Output Voltage	VTX-DIFF-PP-LOW	ABS _I V _{OUT_P} - V _{OUT_M} ; O_AMP_ = V _{CC}	600	750	900	mV _{P-P}
Output Deemphasis Ratio, 0dB	VTX-DE-RATIO-0dB	f = 2.5GHz, ODE_1 = GND, ODE_0 = GND, Figure 1 (see Table 3)		0		dB
Output Deemphasis Ratio, 3.5dB	VTX-DE-RATIO-3.5dB	f = 2.5GHz, ODE_1 = GND, ODE_0 = V _{CC} , Figure 1 (see Table 3)		3.5		dB
Output Deemphasis Ratio, 6dB	VTX-DE-RATIO-6dB	f = 2.5GHz, ODE_1 = V _{CC} , ODE_0 = V _{CC} or GND, Figure 1 (see Table 3)		6		dB
Input Equalization, 0dB (Note 6)	VRX-EQ-0dB	f = 2.5GHz, INEQ_1 = GND, INEQ_0 = GND (see Table 2)		0		dB
Input Equalization, 3.5dB (Note 6)	VRX-EQ-3.5dB	f = 2.5GHz, INEQ_1 = GND, INEQ_0 = V _{CC} (see Table 2)		3.5		dB
Input Equalization, 6dB (Note 6)	VRX-EQ-6dB	f = 2.5GHz, INEQ_1 = V _{CC} , INEQ_0 = V _{CC} or GND (see Table 2)		6		dB
Output Common-Mode Voltage	VTX-CM-AC-PP	MAX(V _{OUT_P} + V _{OUT_M})/2 - MIN(V _{OUT_P} + V _{OUT_M})/2			100	mV _{P-P}
Propagation Delay (Note 5)	T _{PD}	f = 2.5GHz	160	280	400	ps
Rise/Fall Time	T _{TX-RISE-FALL}	(Note 7)	30			ps
Rise/Fall Time Mismatch	T _{TX-RF-MIISMATCH}	(Note 7)			20	ps
Same-Pair Output Skew (Note 5)	T _{SK}	f = 2.5GHz		10	15	ps
Lane-to-Lane Output Skew (Note 5)	T _{SKL}	f = 2.5GHz	-50		+50	ps
Deterministic Jitter (Note 5)	T _{TX-DJ-DD}	K28.5± pattern, 5.0GT/s, AC coupled, R _L = 50Ω, effects of deemphasis deembedded			15	ps _{P-P}
Random Jitter	T _{TX-RJ-DD}	DIO.2 pattern			1.4	ps _{RMS}
Electrical Idle Entry Delay	T _{TX-IDLE-SET-TO-IDLE}	From input to output		15		ns
Electrical Idle Exit Delay	T _{TX-IDLE-TO-DIFF-DATA}	From input to output		12		ns

デュアルPCI Expressイコライザ/リドライバ

MAX4950A

ELECTRICAL CHARACTERISTICS (continued)

(V_{CC} = +3.0V to +3.6V, C_{CL} = 75nF coupling capacitor on each output, R_L = 50Ω resistor on each output, T_A = 0°C to +70°C, unless otherwise noted. Typical values are at V_{CC} = +3.3V and T_A = +25°C.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Electrical Idle Detect Threshold	V _{TX-IDLE-THRESH}		65	95	120	mV _{P-P}
Output Voltage During Electrical Idle (AC)	V _{TX-IDLE-DIFF-AC-P}	ABSIV _{OUT_P} - V _{OUT_ML} , f = 500MHz			25	mV _{P-P}
Receiver Detect Pulse Amplitude (Note 5)	V _{TX-RCV-DETECT}	Voltage change in positive direction			600	mV
Receiver Detect Pulse Width				100		ns
Receiver Detect Retry Period				200		ns
CONTROL LOGIC (INEQ_1, INEQ_0, ODE_1, ODE_0, EN, RX_DET, O_AMP_)						
Input Logic-Level Low	V _{IL}				0.6	V
Input Logic-Level High	V _{IH}		1.4			V
Input Logic Hysteresis	V _{HYST}			130		mV
Input Leakage Current	I _{IN}	V _{CONTROL_LOGIC} = +0.5V or +1.5V	-50		+50	μA

Note 3: All devices are 100% production tested at T_A = +70°C. Specifications for all temperature limits are guaranteed by design.

Note 4: Currents are applicable for both PCIe Generation I and Generation II speeds. Table 5 summarizes the predicted power consumption.

Note 5: Guaranteed by design, unless otherwise noted.

Note 6: Equivalent to the same amount of deemphasis driving the output.

Note 7: Rise and fall times are measured using 20% and 80% levels.

タイミング図

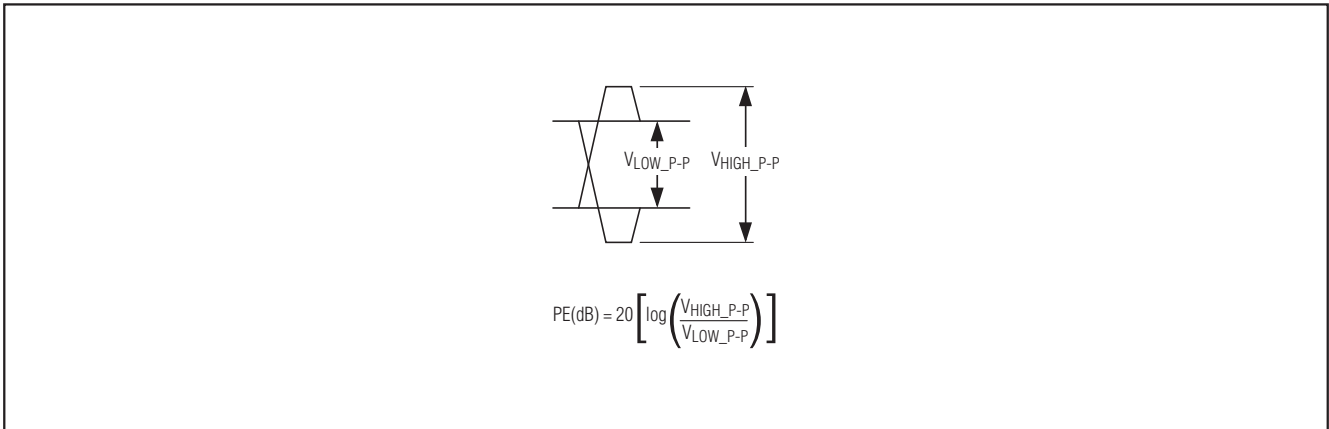


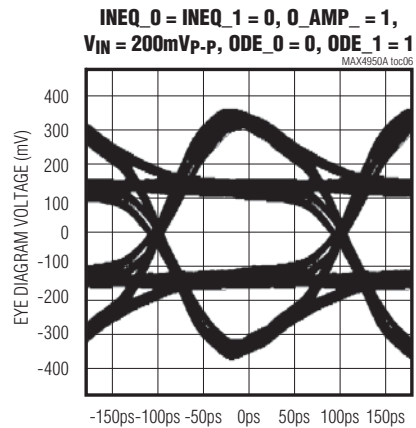
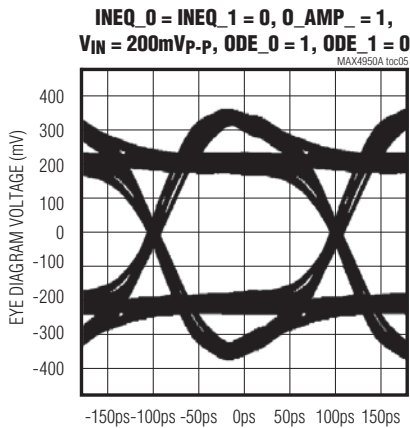
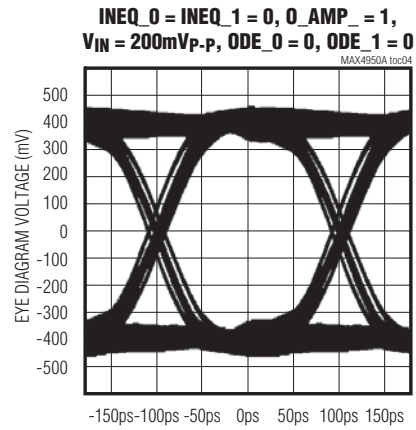
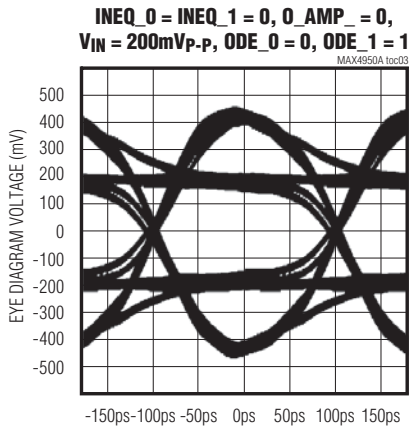
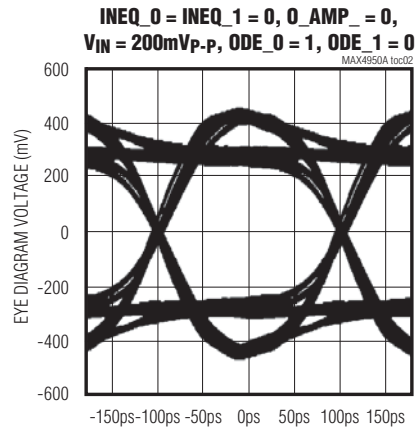
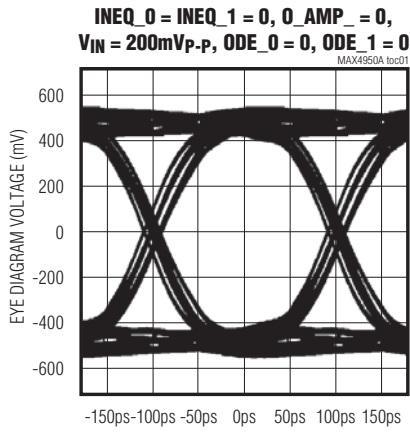
図1. 出力デエンファシスの説明図

デュアルPCI Expressイコライザ/リドライバ

MAX4950A

標準動作特性

($V_{CC} = +3.3V$, $T_A = +25^\circ C$, unless otherwise noted.)



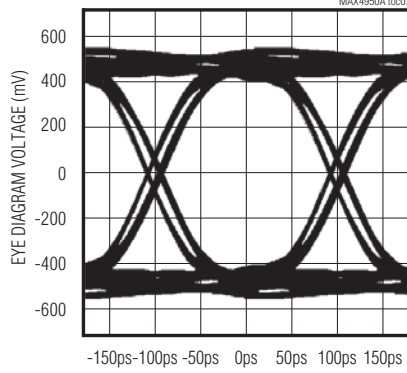
デュアルPCI Expressイコライザ/リドライバ

MAX4950A

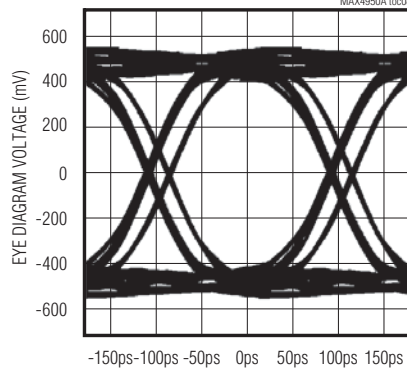
標準動作特性(続き)

($V_{CC} = +3.3V$, $T_A = +25^\circ C$, unless otherwise noted.)

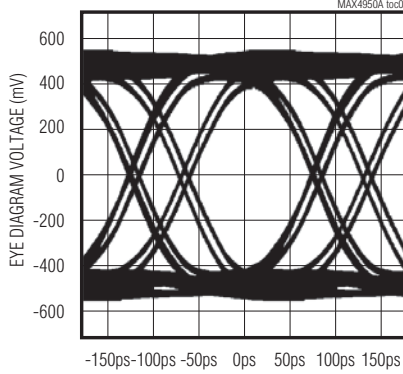
**INEQ_0 = 1, INEQ_1 = 0, O_AMP_ = 0, $V_{IN} = 500mVp-p$,
WITH 6in STRIPLINE ODE_0 = ODE_1 = 0**



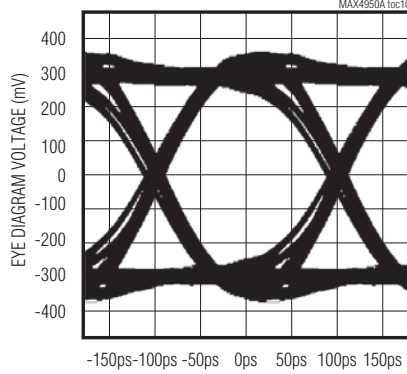
**INEQ_0 = 0, INEQ_1 = 1, O_AMP_ = 0, $V_{IN} = 500mVp-p$,
WITH 19in STRIPLINE ODE_0 = ODE_1 = 0**



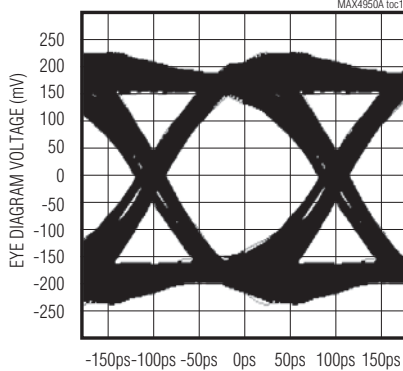
**INEQ_0 = INEQ_1 = 0, O_AMP_ = 0, $V_{IN} = 500mVp-p$,
WITH 19in STRIPLINE ODE_0 = ODE_1 = 0**



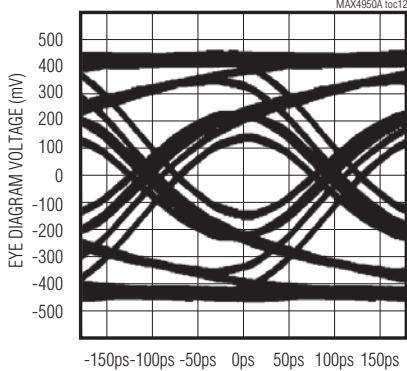
**INEQ_0 = INEQ_1 = 0, O_AMP_ = 1, $V_{IN} = 200mVp-p$,
ODE_0 = 1, ODE_1 = 0, OUTPUT AFTER 6in STRIPLINE**



**INEQ_0 = INEQ_1 = 0, O_AMP_ = 0, $V_{IN} = 200mVp-p$,
ODE_0 = 0, ODE_1 = 1, OUTPUT AFTER 19in STRIPLINE**



**INEQ_0 = INEQ_1 = 0, O_AMP_ = 0, $V_{IN} = 200mVp-p$,
ODE_0 = 0, ODE_1 = 0, OUTPUT AFTER 19in STRIPLINE**



デュアルPCI Expressイコライザ/リドライバ

MAX4950A

端子説明

端子	名称	機能
1, 4, 6, 9, 19, 22, 24, 27	GND	グラウンド
2	INAP	非反転入力A
3	INAM	反転入力A
5	EN	イネーブル入力。スタンバイモードにするにはENをローに駆動してください。通常モードにするにはENをハイに駆動してください。ENは、50kΩ (typ)の抵抗によって内部でプルダウンされています。
7	OUTBP	非反転出力B
8	OUTBM	反転出力B
10, 18, 28, 36	N.C.	接続なし。内部で接続されていません。
11, 17, 29, 35	VCC	電源入力。VCCは、デバイスのできる限り近くで、1μFと0.01μFのコンデンサを並列に用いて、GNDにバイパスしてください。
12	ODEB1	出力Bのデエンファシス制御MSB。ODEB1は、50kΩ (typ)の抵抗によって内部でプルダウンされています。表3を参照してください。
13	ODEB0	出力Bのデエンファシス制御LSB。ODEB0は、50kΩ (typ)の抵抗によって内部でプルダウンされています。表3を参照してください。
14	O_AMPB	出力Bの振幅選択入力。O_AMPBは、50kΩ (typ)の抵抗によって内部でプルダウンされています。
15	INEQB1	入力Bの等化制御MSB。INEQB1は、50kΩ (typ)の抵抗によって内部でプルダウンされています。表2を参照してください。
16	INEQB0	入力Bの等化制御LSB。INEQB0は、50kΩ (typ)の抵抗によって内部でプルダウンされています。表2を参照してください。
20	INBM	反転入力B
21	INBP	非反転入力B
23	RX_DET	レシーバ検出の制御ビット。レシーバ検出を開始するには、RX_DETをトグルしてください。RX_DETは、50kΩ (typ)の抵抗によって内部でプルダウンされています。
25	OUTAM	反転出力A
26	OUTAP	非反転出力A
30	ODEA0	出力Aのデエンファシス制御LSB。ODEA0は、50kΩ (typ)の抵抗によって内部でプルダウンされています。表3を参照してください。
31	ODEA1	出力Aのデエンファシス制御MSB。ODEA1は、50kΩ (typ)の抵抗によって内部でプルダウンされています。表3を参照してください。
32	O_AMPA	出力Aの振幅選択入力。O_AMPAは、50kΩ (typ)の抵抗によって内部でプルダウンされています。
33	INEQA0	入力Aの等化制御LSB。INEQA0は、50kΩ (typ)の抵抗によって内部でプルダウンされています。表2を参照してください。
34	INEQA1	入力Aの等化制御MSB。INEQA1は、50kΩ (typ)の抵抗によって内部でプルダウンされています。表2を参照してください。
—	EP	エクスポーズドパッド。内部でGNDに接続されています。最大限の熱的性能を得るために、広いグラウンドプレーンにEPを接続してください。EPは電気的な接続点ではありません。

デュアルPCI Expressイコライザ/リドライバ

MAX4950A

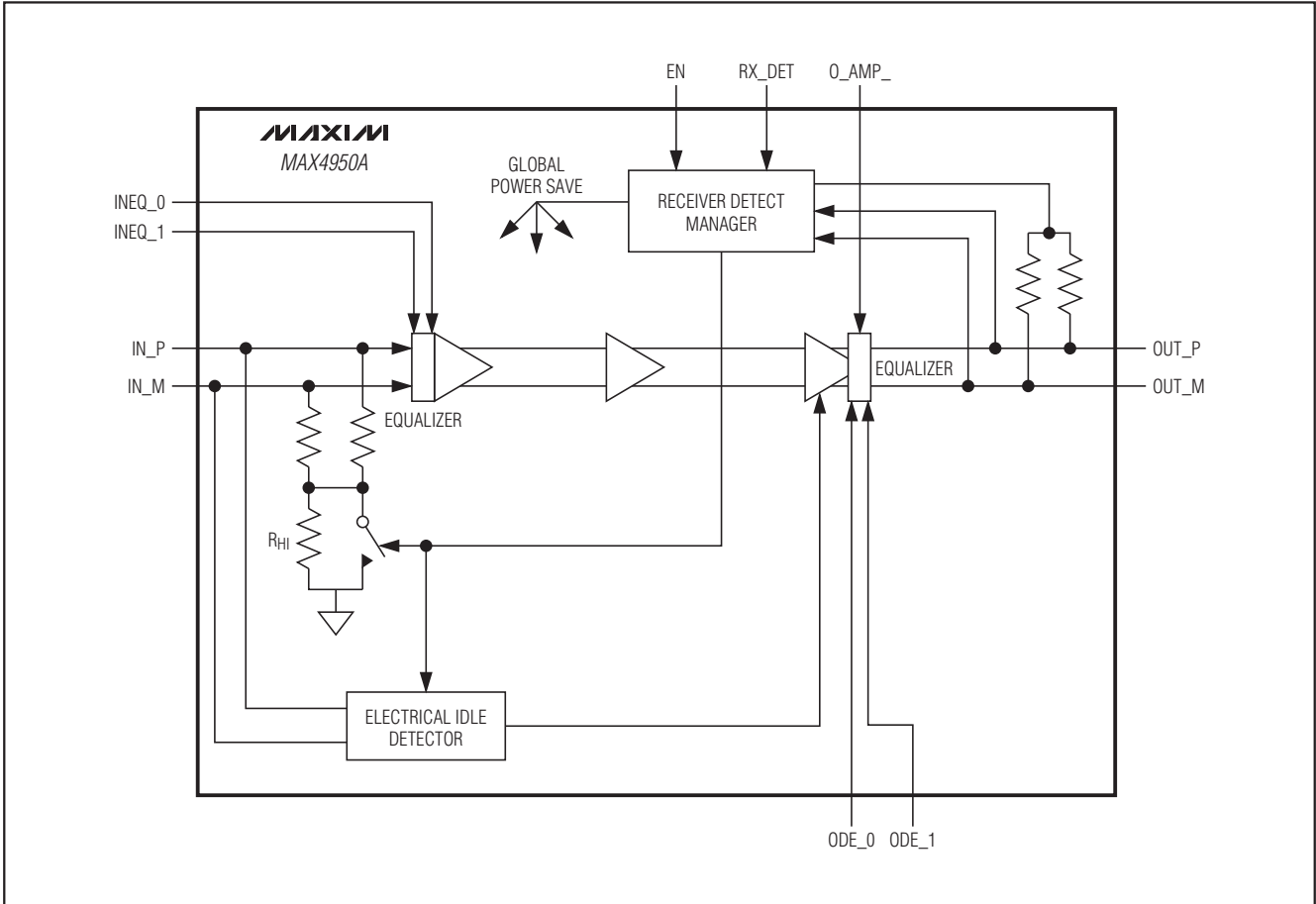


図2. 各チャネルのブロックダイアグラム

詳細

デュアルイコライザ/リドライバのMAX4950Aは、Gen I (2.5GT/s)およびGen II (5.0GT/s)のPCIeのデータ速度をサポートするように設計されています。このデバイスは、各レーンのアイドル/受信検出と回路基板損失を補償する等化を備えた2つの同ドライブを内蔵しています。レシーバにおける信号完全性は、設定可能な入力等化回路によって改善されます。MAX4950Aは、各チャンネル出力の振幅選択入力であるO_AMP_AとO_AMP_B (表1)、および設定可能な出力デエンファシスを備えており、重要なPCIe部品の最適な配置、およびストリップライン、マイクロストリップ、またはケーブルのより長い引き回しを可能にします。

表1. 出力の振幅選択

O_AMP_A/ O_AMP_B	DIFFERENTIAL OUTPUT VOLTAGE (mVp-p)
0	1000 (typ)
1	750 (typ)

設定可能な入力等化

MAX4950Aは、設定可能な入力イコライザを備え、いずれのチャンネルについても0dB、3.5dB、または6dBの高周波ブーストを実現します(表2を参照)。

表2. 入力等化

INEQ_1	INEQ_0	INPUT EQUALIZATION (dB)
0	0	0
0	1	3.5 (typ)
1	X	6 (typ)

X = 任意

設定可能な出力デエンファシス

MAX4950Aは、2つの制御ビットODE_1およびODE_0の設定によってデエンファシスの比率を0dB、3.5dB、または6dBに設定することができる出力デエンファシスをいずれのチャンネルにも備えています(表3を参照)。

表3. 出力デエンファシス

ODE_1	ODE_0	OUTPUT DEEMPHASIS RATIO (dB)
0	0	0
0	1	3.5 (typ)
1	X	6 (typ)

X = 任意

レシーバ検出

MAX4950Aは、各チャンネルでレシーバの検出機能を備えています。最初の電源投入時にENがハイの場合は、レシーバ検出機能が初期化されます。またレシーバ検出は、ENがハイのときにRX_DET入力の立上りまたは立下りエッジで開始することができます。このレシーバ検出の間は、ENがロジックハイの状態であっても、製品は低電力のスタンバイモードが維持されて出力はスケルチされます。いったん開始すると、レシーバ検出は各チャンネルで無期限に繰り返されます。レシーバがチャンネルの1つで検出されると、他のチャンネルで最大で3回、検出が試行されます。レシーバが検出されると、チャンネル出力と電氣的アイドル検出がイネーブルされます(表4を参照)。

表4. レシーバ検出入力機能

RX_DET	EN	DESCRIPTION
X	0	Receiver detection inactive
0	1	Following a rising or falling edge, indefinite retry until receiver detected
Rising or Falling Edge	1	Initiate receiver detection
1	1	Following a rising or falling edge, indefinite retry until receiver detected

X = 任意

電氣的アイドル検出

MAX4950Aは、望ましくないノイズが出力で再駆動されないようにするために電氣的アイドルの検出機能を備えています。MAX4950Aは、差動入力 $V_{TX-IDLE-THRESH}$ を下回ったことを検出した場合、出力をスケルチします。差動入力信号が $V_{TX-IDLE-THRESH}$ を上回る場合は、MAX4950Aは出力をオンにして信号を再駆動します。

省電力機能

MAX4950Aは、デバイスをシャットダウンして電源電流を低減するイネーブル入力(EN)を備えています。デバイスをシャットダウンモードにするには、ENをローに駆動してください。デバイスをイネーブルするには、ENをハイに駆動してください。通常動作で、チャンネル出力振幅を小さくすることで電源電流を低減することもできます。表5は、シャットダウンモードと、通常動作でのさまざまな出力再駆動強度による標準的な消費電力の違いを示しています。

デュアルPCI Expressイコライザ/リドライバ

表5. 等化とデエンファシスの自己消費電力

EN	O_AMPB	O_AMPA	QUIESCENT POWER SUPPLY CURRENT (typ) (mA)	QUIESCENT POWER SUPPLY CURRENT (max) (mA)	QUIESCENT POWER DISSIPATION (3.3V, typ) (mW)	QUIESCENT POWER DISSIPATION (3.6V, max) (mW)
0	0	0	60	75	198	270
0	0	1	55	68	182	243
0	1	0	55	68	182	243
0	1	1	50	60	165	216
1	0	0	130	165	429	594
1	0	1	125	157	413	565
1	1	0	125	157	413	565
1	1	1	120	150	396	540

アプリケーション情報

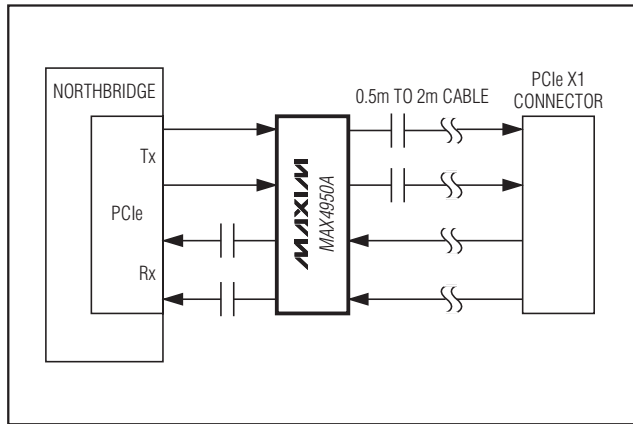


図3. 標準アプリケーション回路—MAX4950AをX1レーンのケーブルドライバとして使用

レイアウト

回路基板のレイアウトと設計は、MAX4950Aの性能に大きく影響する可能性があります。グラウンドインダクタンスを最小にしたり、データ信号でインピーダンス制御した伝送ラインを使用したりするなど、優れた高周波設計手法を使用してください。クロストークを最小限にするため送信と受信を別の層で実行すること、また電源のデカップリングコンデンサをV_{CC}のできる限り近くに取り付けることをお勧めします。必ずV_{CC}を電源プレーンに接続してください。

エクスポーズドパッド付きのパッケージ

エクスポーズドパッド付きの36ピンTQFNパッケージには、ICからの熱を除去するために非常に小さい熱抵抗経路を確保する機能が内蔵されています。熱的および電氣的に良好な性能を得るためには、MAX4950Aのエクスポーズドパッドを回路基板のグランドプレーンに半田付けする必要があります。エクスポーズドパッド付きのパッケージの詳細については、マキシムのアプリケーションノート「HFAN-08.1: Thermal Considerations of QFN and Other Exposed-Paddle Packages」(英文)を参照してください。

電源シーケンシング

注意：絶対最大定格を超えないようにしてください。記載の定格を超えるストレスはデバイスに永続的な損傷を与える可能性があります。

すべてのデバイスに適正な電源シーケンスをお勧めします。必ず信号を印加する前にGNDそして次にV_{CC}を印加してください。信号が電流制限されていない場合は特に注意が必要です。

チップ情報

PROCESS: BiCMOS

パッケージ

最新のパッケージ情報とランドパターンは、japan.maxim-ic.com/packagesをご参照ください。

パッケージタイプ	パッケージコード	ドキュメントNo.
36 TQFN	T3666+2	21-0141

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

10 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**