

SFP銅ケーブルプリエンファシスドライバ

概要

MAX3982は、1Gbit/s~4.25Gbit/sで動作する単一チャンネル、銅ケーブルプリエンファシスドライバです。このデバイスは、4.25Gbit/sファイバチャンネルなどの銅ケーブルリンクを補償し、24AWGで15mのスペンが可能です。このケーブルドライバでは、4つのプリエンファシスレベルが選択可能です。ケーブルドライバの入力は、FR4回路基板材料の損失を4.25Gbit/sにおいて最大10インチ(約25cm)まで補償します。

また、MAX3982は、選択可能な感度とTX_DISABLEによるSFP準拠の信号喪失検出機能を備えています。選択可能な出力振幅によって、EMIと消費電力が低減します。このデバイスは、16ピン薄型QFNパッケージ(3mm x 3mm)に封入されており、0°C~+85°Cの温度範囲で動作します。

アプリケーション

SFPアクティブ銅ケーブルアセンブリ

バックプレーン

1.0625Gbit/s、2.125Gbit/s、及び4.25Gbit/s
ファイバチャンネル

1.25Gbit/s Ethernet

2.488Gbit/s STM16

InfiniBand

PCI Express

特長

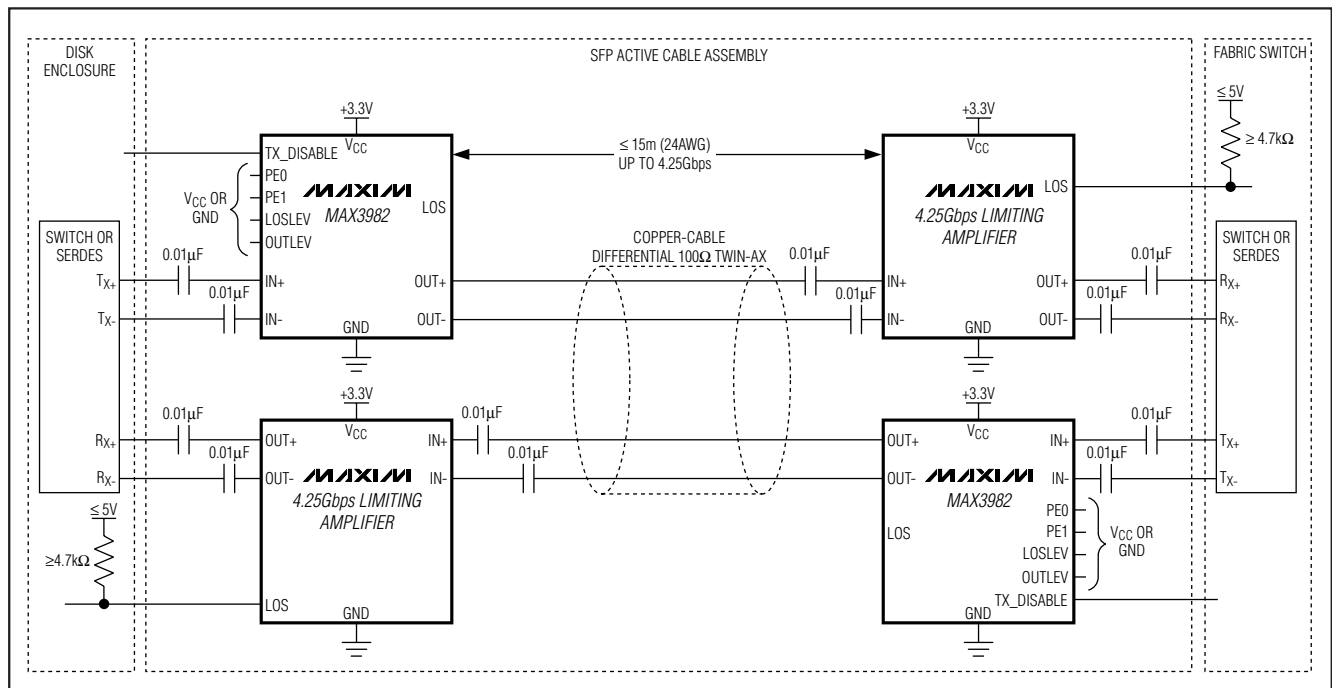
- ◆ 24AWGケーブルで最大15mまで駆動
- ◆ FR4で最大30インチ(約76cm)まで駆動
- ◆ 総消費電力：0.25W(+3.3V電源において)
- ◆ 選択可能な1600mV_{p-p}または1200mV_{p-p}の差動出力振幅
- ◆ 選択可能な出力プリエンファシス
- ◆ 固定入力等化
- ◆ 選択可能な感度で信号喪失検出
- ◆ 送信ディセーブル

型番

PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX3982UTE	0°C to +85°C	16 Thin QFN	T1633-4

ピン配置はデータシートの最後に記載されています。

標準動作回路



SFP銅ケーブルプリエンファシスドライバ

MAX3982

ABSOLUTE MAXIMUM RATINGS

Supply Voltage, V_{CC}	-0.5V to +6.0V	LOS Open Collector Supply Voltage with $\geq 4.7k\Omega$ Pullup Resistor.....	-0.5V to +5.5V
Continuous CML Output Current at OUT+, OUT-.....	-25mA to +25mA	Continuous Power Dissipation at +85°C (derate 20.8mW/°C above +85°C).....	1.35W
Voltage at IN+, IN-, LOSLEV, LOS, TX_DISABLE, PE0, PE1, OUTLEV.....	-0.5V to ($V_{CC} + 0.5V$)	Operating Junction Temperature Range (T_J).....	-55°C to +150°C
		Storage Ambient Temperature Range (T_S).....	-55°C to +150°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

($V_{CC} = +3.0V$ to $+3.6V$, $T_A = 0^\circ C$ to $+85^\circ C$. Typical values are at $T_A = +25^\circ C$ and $V_{CC} = +3.3V$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Current		TX_DISABLE=low		75	97	mA
Inrush Current		Current beyond steady-state current			10	mA
Power-On-Reset Delay	tPOR		1		40	ms
OPERATING CONDITIONS						
Supply Voltage	V_{CC}		3.0	3.3	3.6	V
Supply-Noise Tolerance		$1MHz \leq f < 2GHz$		40		mVp-p
Operating Ambient Temperature	T_A		0	25	85	°C
Bit Rate		NRZ data (Note 1)	1.0		4.25	Gbps
CID		Consecutive identical digits (bits) (Note 1)			10	Bits
CONTROL INPUTS: TX_DISABLE, PE0, PE1, OUTLEV, LOSLEV						
Voltage, Logic High	V_{IH}		2.0			V
Voltage, Logic Low	V_{IL}				0.8	V
Current, Logic High	I_{IH}	$V_{IH} = V_{CC} + 0.5V$			-150	μA
Current, Logic Low	I_{IL}	$V_{IL} = 0.8V$			350	μA
STATUS OUTPUT: LOS						
LOS Open Collector Current Sink		LOS asserted	0		25	μA
		LOS unasserted, $V_{OL} \leq 0.4V$ with $4.7k\Omega$ pullup resistor, pullup supply = 5.5V	1.0			mA
		$V_{CC} = 0V$, pullup supply = 5.5V, external pullup resistor $\geq 4.7k\Omega$	0		25	μA
LOS Assert Level		LOSLEV = high (Note 1)	100			mVp-p
		LOSLEV = low (Note 1)	50			mVp-p
LOS Deassert Level		LOSLEV = high (Note 1)			300	mVp-p
		LOSLEV = low (Note 1)			120	mVp-p
LOS Hysteresis		LOSLEV = high (Note 1)	20			mVp-p
		LOSLEV = low (Note 1)		4		mVp-p
LOS Response Time		Time from IN dropping below assert level, or rising above deassert level to 50% point of LOS			10	μs
LOS Transition Time		Rise-time or fall-time (10% to 90%), external pullup resistor = $4.7k\Omega$		250		ns

SFP銅ケーブルプリエンファシスドライバ

MAX3982

ELECTRICAL CHARACTERISTICS (continued)

(V_{CC} = +3.0V to +3.6V, T_A = 0°C to +85°C. Typical values are at T_A = +25°C and V_{CC} = +3.3V, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS				MIN	TYP	MAX	UNITS	
EQUALIZER AND CABLE DRIVER SPECIFICATIONS										
Input Swing		Measured differentially at point A of Figure 2 (Note 1)				600		2000	mV _{P-P}	
Input Resistance		Measured differentially				85	100	115	Ω	
Input Return Loss		100MHz to 2GHz (Note 1)				10			dB	
Differential Output Swing		Measured differentially at point B of Figure 2 (Notes 1, 2)	TX_DISABLE = low, OUTLEV = high		1450		1800	mV _{P-P}		
			TX_DISABLE = low, OUTLEV = low		1000		1350			
			TX_DISABLE = high			40				
Common-Mode Output		(OUT+) + (OUT-), measured at point B of Figure 2; TX_DISABLE = low, OUTLEV = high (Notes 1, 2)						60	mV _{P-P}	
Output Resistance		OUT+ or OUT- to V _{CC} , single ended				42	50	58	Ω	
Output Return Loss		100MHz to 2GHz (Note 1)				10			dB	
Output Transition Time	t _r , t _f	20% to 80% (Notes 1, 3)					50	80	ps	
Random Jitter		(Notes 1, 3)						1.6	ps _{RMS}	
Output Preemphasis		See Figure 1	PE1	PE0					dB	
			0	0		2				
			0	1		4				
			1	0		8				
			1	1		14				
Residual Output Deterministic Jitter at 1.0625Gbps to 2.125Gbps (Notes 1, 4, 5)		Source to IN 6 mil FR4 ≤ 10in	OUT to Load	PE1	PE0			0.10	0.15	UI _{P-P}
			1m, 24AWG	0	0					
			5m, 24AWG	0	1					
			10m, 24AWG	1	0					
			15m, 24AWG	1	1					
Residual Output Deterministic Jitter at 4.25Gbps (Notes 1, 4, 5)		Source to IN 6 mil FR4 ≤ 10in	OUT to Load	PE1	PE0			0.15	0.20	UI _{P-P}
			1m, 24AWG	0	0					
			5m, 24AWG	0	1					
			10m, 24AWG	1	0					
			15m, 24AWG	1	1					

Note 1: Guaranteed by design and characterization.

Note 2: PE1 = PE0 = 1 for maximum preemphasis, load is 50Ω ±1% at each side, and the pattern is 0000011111 at 1Gbps.

Note 3: Measured at point B in Figure 2 using 0000011111 at 1Gbps. PE1 = PE0 = 0 for minimum preemphasis. For transition time, the 0% reference level is the steady-state level after four zeros, just before the transition. The 100% reference level is the maximum voltage of the transition.

Note 4: Tested with CJTPAT, as well as this pattern: 19 zeros, 1, 10 zeros, 1010101010 (D21.5 character), 1100000101 (K28.5+ character), 19 ones, 0, 10 ones, 0101010101 (D10.2 character), 0011111010 (K28.5 character).

Note 5: Cables are unequalized, Amphenol Spectra-Strip 24AWG. Residual deterministic jitter is the difference between the source jitter at point A, and load jitter at point D in Figure 2. The deterministic jitter at the output of the transmission line must be from media-induced loss and not from clock-source modulation.

SFP銅ケーブルプリエンファシスドライバ

MAX3982

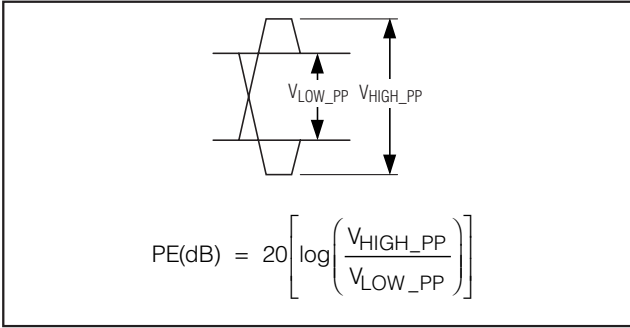


図1. Txプリエンファシスの説明(dB単位)

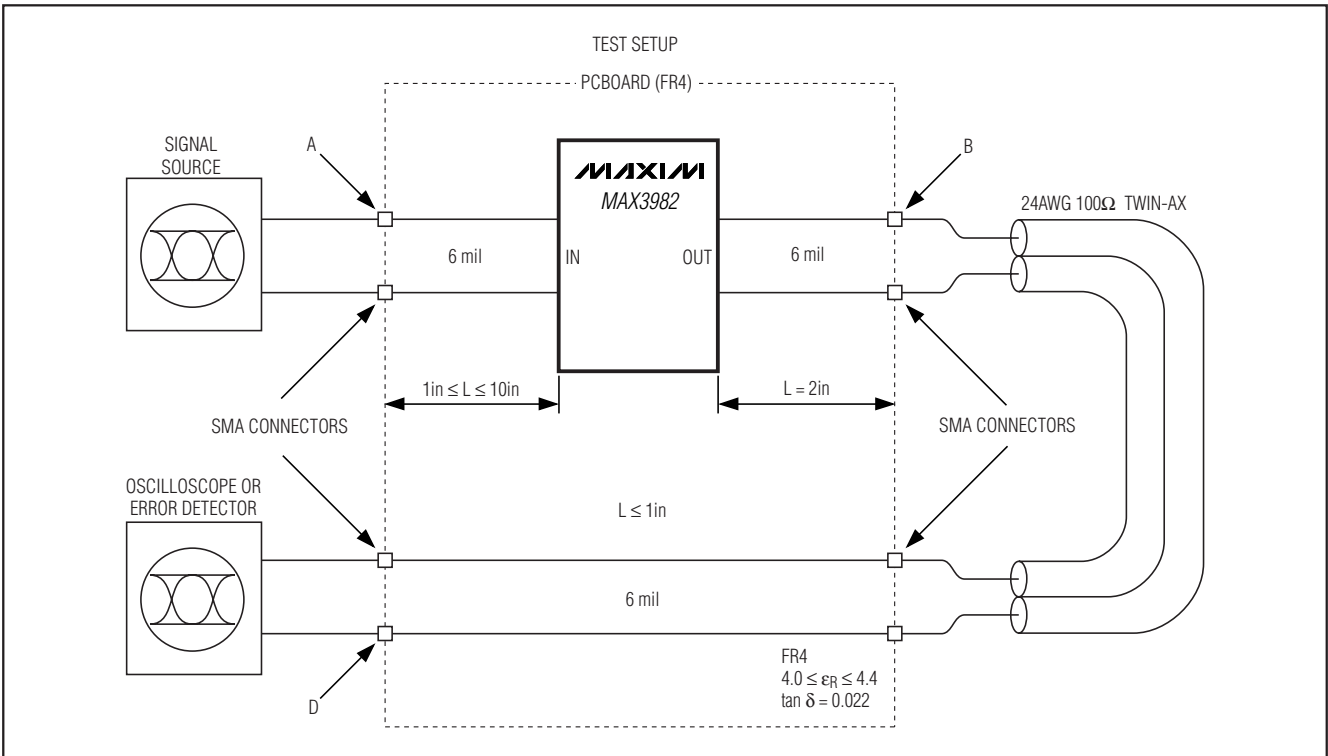


図2. 試験装置。A、B、及びDと記した点は、ACパラメータの試験条件の参照符です。確定的ジッタとアイダイアグラムは点Dで測定されます。

SFP銅ケーブルプリエンファシスドライバ

MAX3982

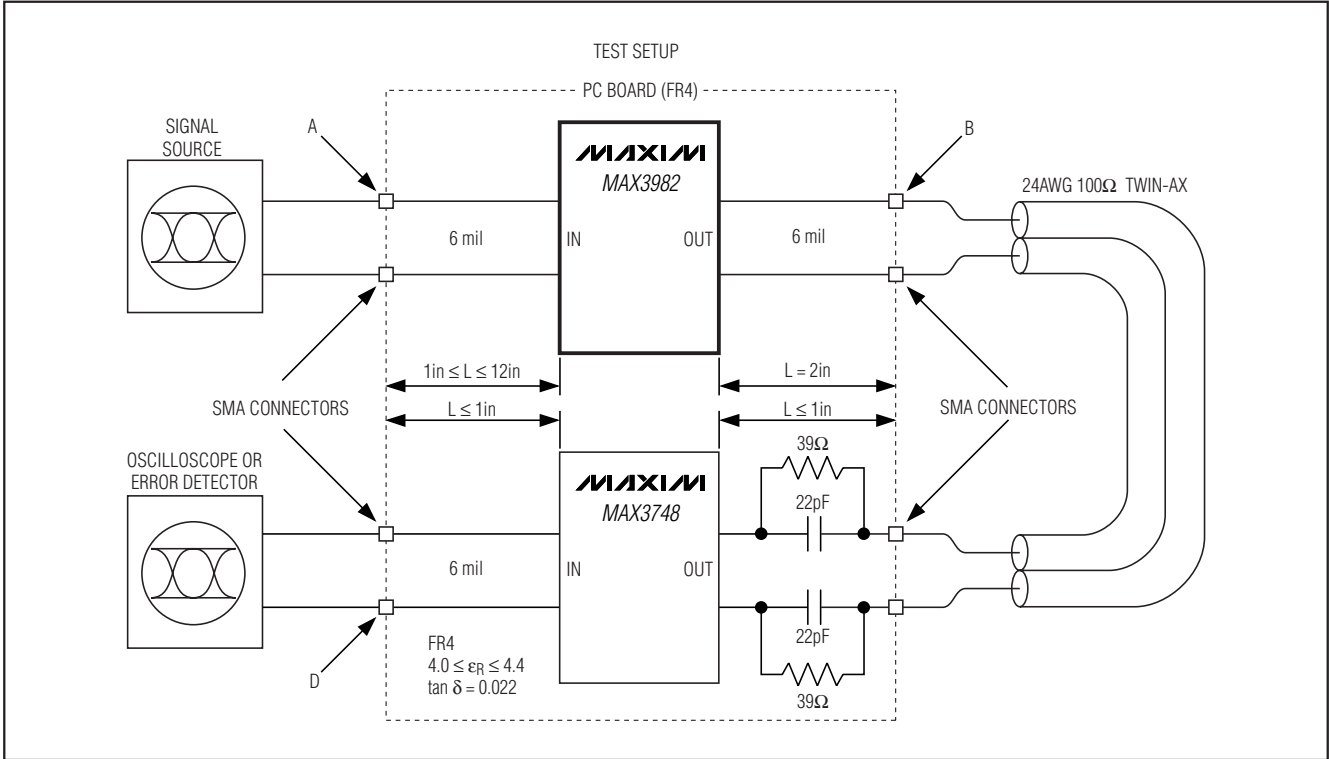
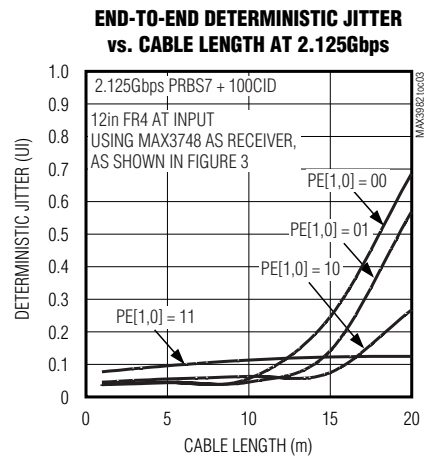
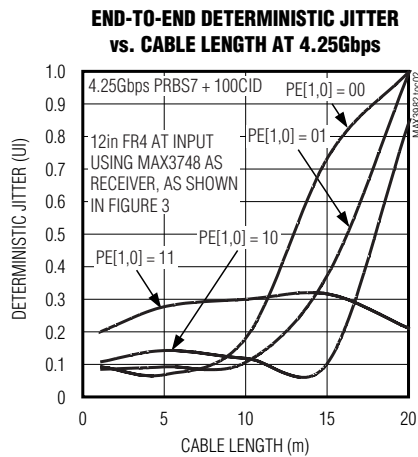
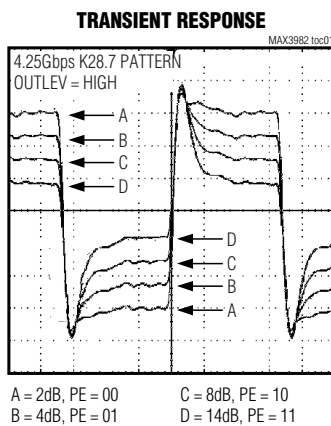


図3. MAX3748をレシーバとして使用した両端試験装置。確定的ジッタとアイダイアグラムは点Dで測定されます。

標準動作特性

($V_{CC} = +3.3V$, $T_A = +25^\circ C$, unless otherwise noted. PRBS7 + 100CID pattern is PRBS 27, 100 zeros, 1010, PRBS 27, 100 ones, 0101.)



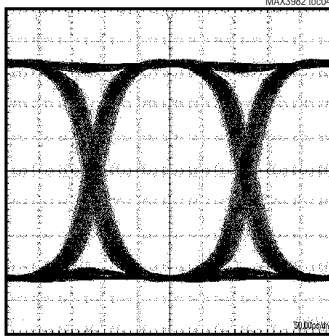
SFP銅ケーブルプリエンファシスドライバ

MAX3982

標準動作特性(続き)

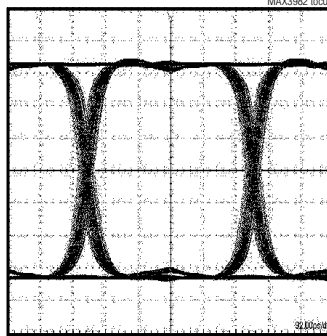
($V_{CC} = +3.3V$, $T_A = +25^\circ C$, unless otherwise noted. PRBS7 + 100CID pattern is PRBS 27, 100 zeros, 1010, PRBS 27, 100 ones, 0101.)

**END-TO-END EYE DIAGRAM,
20m 24AWG CABLE AT 4.25Gbps**



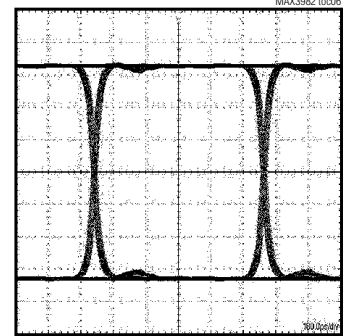
4.25Gbps PRBS7 + 100CID PATTERN,
0in FR4 AT INPUT, USING MAX3748
AS RECEIVER, AS SHOWN IN FIGURE 3

**END-TO-END EYE DIAGRAM,
20m 24AWG CABLE AT 2.125Gbps**



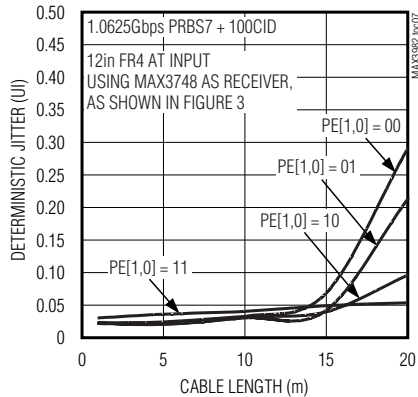
2.125Gbps PRBS7 + 100CID PATTERN,
0in FR4 AT INPUT, USING MAX3748
AS RECEIVER, AS SHOWN IN FIGURE 3

**END-TO-END EYE DIAGRAM,
20m 24AWG CABLE AT 1.0625Gbps**



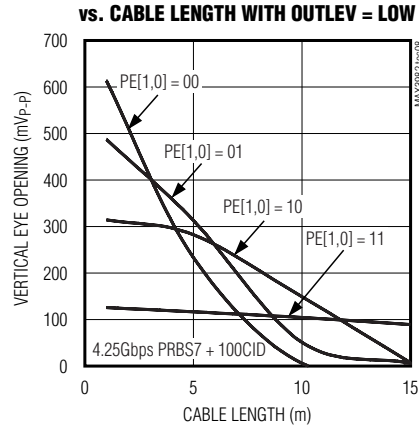
1.0625Gbps PRBS7 + 100CID PATTERN,
0in FR4 AT INPUT, USING MAX3748
AS RECEIVER, AS SHOWN IN FIGURE 3

**END-TO-END DETERMINISTIC JITTER
vs. CABLE LENGTH AT 1.0625Gbps**



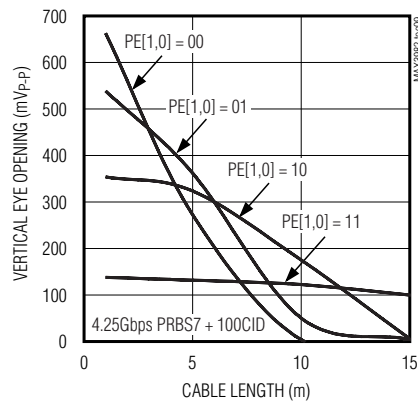
1.0625Gbps PRBS7 + 100CID
12in FR4 AT INPUT
USING MAX3748 AS RECEIVER,
AS SHOWN IN FIGURE 3

**VERTICAL EYE OPENING
vs. CABLE LENGTH WITH OUTLEV = LOW**



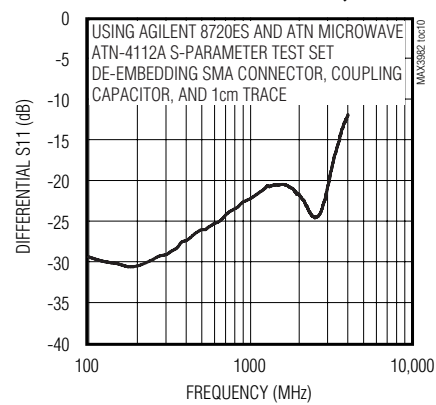
4.25Gbps PRBS7 + 100CID

**VERTICAL EYE OPENING
vs. CABLE LENGTH WITH OUTLEV = LOW**



4.25Gbps PRBS7 + 100CID

INPUT RETURN LOSS vs. FREQUENCY



USING AGILENT 8720ES AND ATN MICROWAVE
ATN-4112A S-PARAMETER TEST SET
DE-EMBEDDING SMA CONNECTOR, COUPLING
CAPACITOR, AND 1cm TRACE

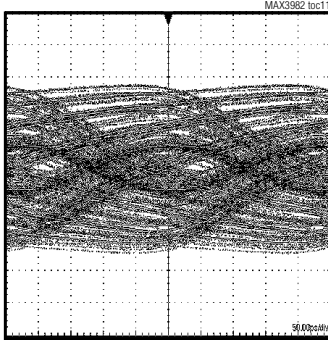
SFP銅ケーブルプリエンファシスドライバ

MAX3982

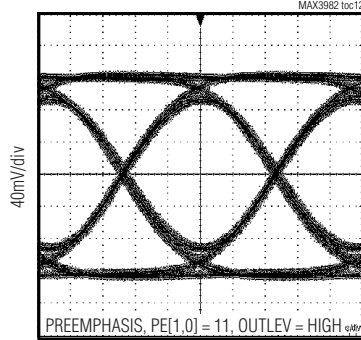
標準動作特性(続き)

($V_{CC} = +3.3V$, $T_A = +25^\circ C$, unless otherwise noted. PRBS7 + 100CID pattern is PRBS 27, 100 zeros, 1010, PRBS 27, 100 ones, 0101.)

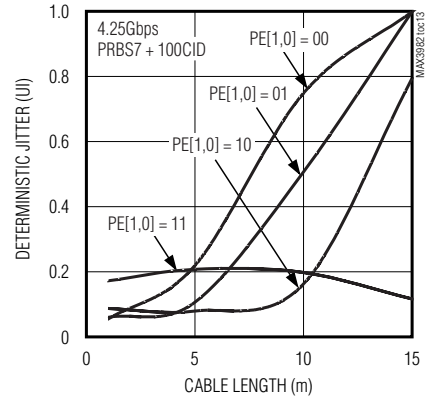
15m 24AWG CABLE ASSEMBLY
OUTPUT WITHOUT MAX3982,
4.25Gbps CJTPAT



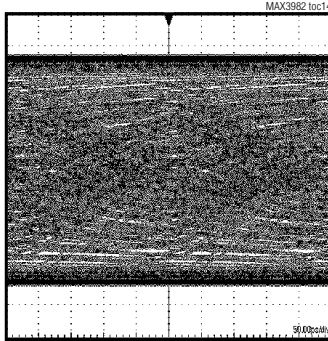
15m 24AWG CABLE ASSEMBLY
OUTPUT WITH MAX3982
PREEMPHASIS, 4.25Gbps CJTPAT



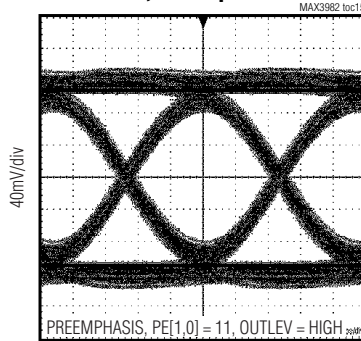
DETERMINISTIC JITTER
vs. CABLE LENGTH



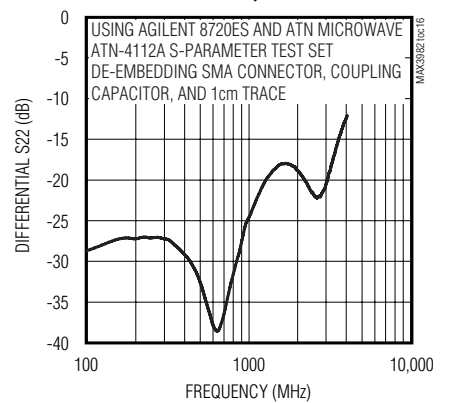
15m 24AWG CABLE ASSEMBLY
OUTPUT WITHOUT MAX3982,
4.25Gbps PRBS7 + 100CID



15m 24AWG CABLE ASSEMBLY
OUTPUT WITH MAX3982
PREEMPHASIS, 4.25Gbps PRBS7 + 100CID



OUTPUT RETURN LOSS
vs. FREQUENCY



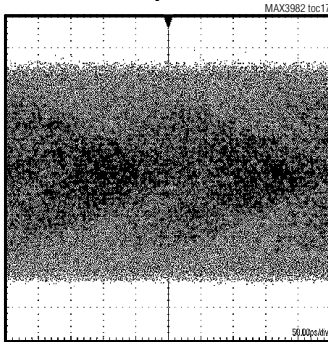
SFP銅ケーブルプリエンファシスドライバ

MAX3982

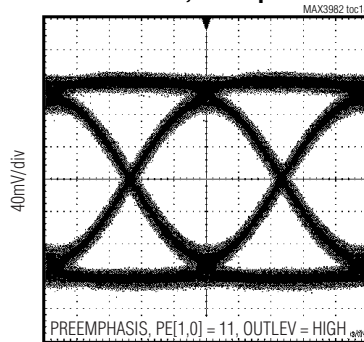
標準動作特性(続き)

(V_{CC} = +3.3V, T_A = +25°C, unless otherwise noted. PRBS7 + 100CID pattern is PRBS 27, 100 zeros, 1010, PRBS 27, 100 ones, 0101.)

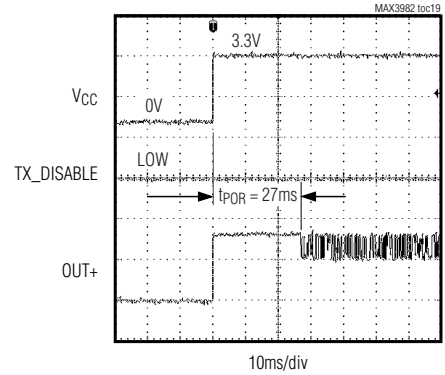
**15m 24AWG CABLE ASSEMBLY
OUTPUT WITHOUT MAX3982,
4.25Gbps PRBS31**



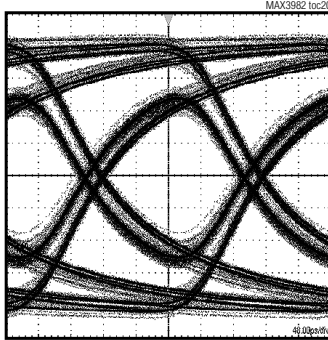
**15m 24AWG CABLE ASSEMBLY
OUTPUT WITH MAX3982
PREEMPHASIS, 4.25Gbps PRBS31**



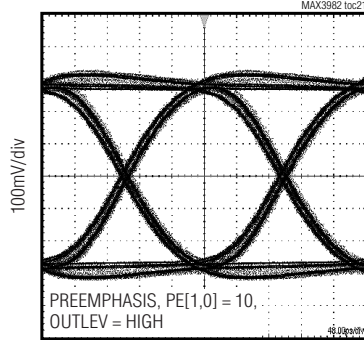
HOT-PLUG WITH TX_DISABLE LOW



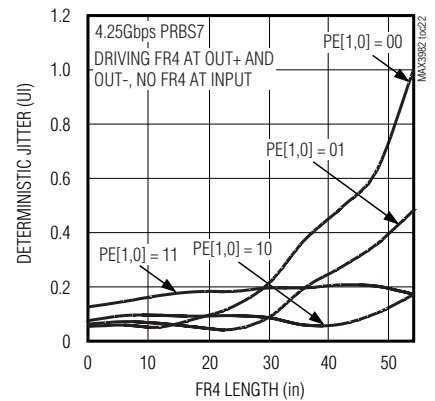
**30in FR4 OUTPUT
WITHOUT MAX3982,
4.25Gbps CJTPAT**



**30in FR4 OUTPUT
WITH MAX3982 PREEMPHASIS,
4.25Gbps CJTPAT**



**DETERMINISTIC JITTER
vs. FR4 LENGTH**



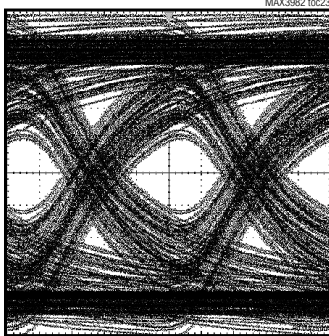
SFP銅ケーブルプリエンファシスドライバ

MAX3982

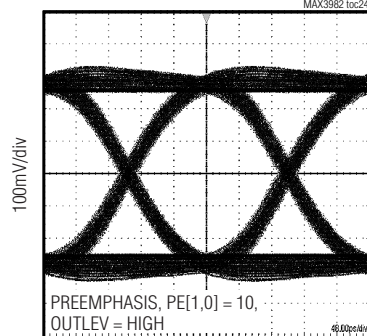
標準動作特性(続き)

(V_{CC} = +3.3V, T_A = +25°C, unless otherwise noted. PRBS7 + 100CID pattern is PRBS 27, 100 zeros, 1010, PRBS 27, 100 ones, 0101.)

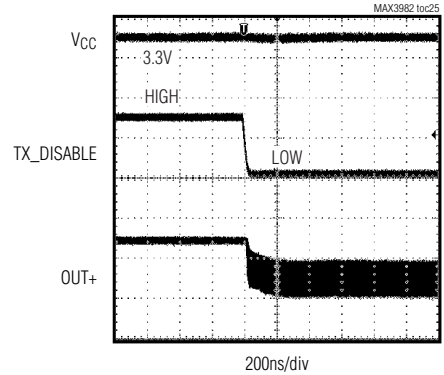
**30in FR4 OUTPUT
WITHOUT MAX3982
4.25Gbps PRBS7 + 100CID**



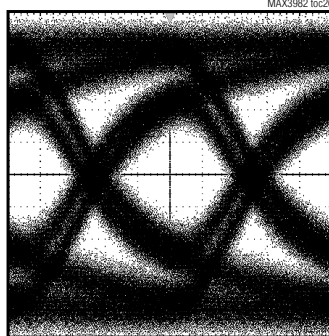
**30in FR4 OUTPUT
WITH MAX3982 PREEMPHASIS,
4.25Gbps PRBS7 + 100CID**



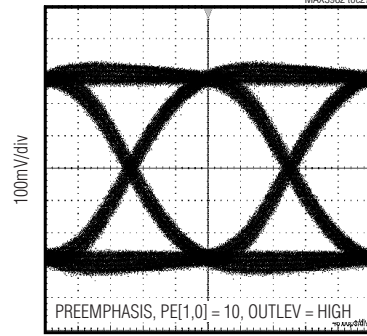
TRANSMITTER ENABLE



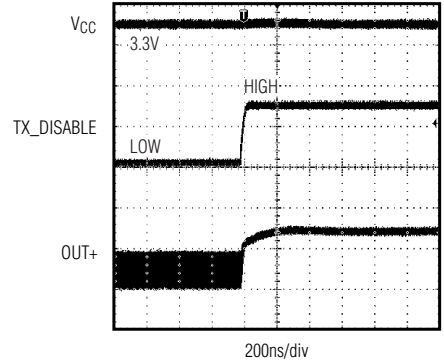
**30in FR4 OUTPUT
WITHOUT MAX3982,
4.25Gbps PRBS31**



**30in FR4 OUTPUT
WITH MAX3982 PREEMPHASIS,
4.25Gbps PRBS31**



TRANSMITTER DISABLE



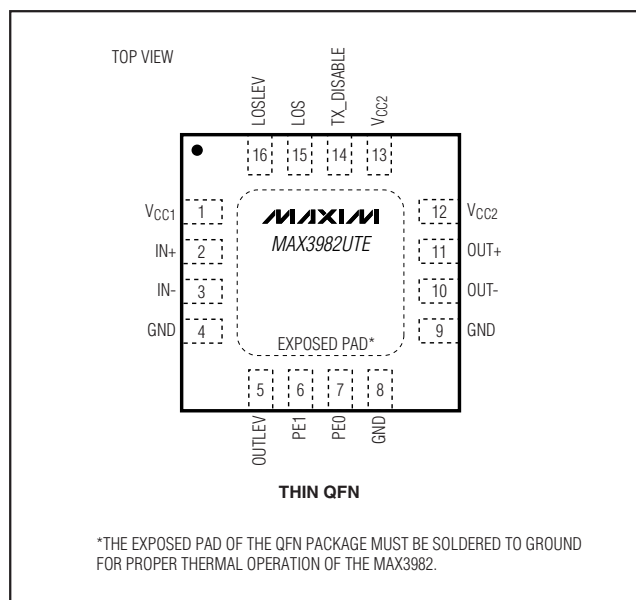
SFP銅ケーブルプリエンファシスドライバ

MAX3982

端子説明

端子	名称	機能
1	V _{CC1}	入力用電源接続端子。+3.3Vに接続してください。
2	IN+	正データ入力、CML。この入力は50ΩでV _{CC1} に内部終端されています。
3	IN-	負データ入力、CML。この入力は50ΩでV _{CC1} に内部終端されています。
4, 8, 9	GND	回路グラウンド
5	OUTLEV	出力振幅制御入力、LVTTTL(40kΩで内部プルアップ)。最大出力振幅を得るためには、TTLハイに設定するかまたは開放し、振幅を下げるためには、TTLローに設定してください。
6	PE1	出力プリエンファシス制御入力、LVTTTL(10kΩで内部プルアップ)。このピンは、2ビットプリエンファシス制御の最上位ビットです。このビットをアサートするためには、ハイに設定するかまたは開放してください。
7	PE0	出力プリエンファシス制御入力、LVTTTL(10kΩで内部プルアップ)。このピンは、2ビットプリエンファシス制御の最下位ビットです。このビットをアサートするためには、ハイに設定するかまたは開放してください。
10	OUT-	負データ出力、CML。この出力は50ΩでV _{CC2} に終端されます。
11	OUT+	正データ出力、CML。この出力は50ΩでV _{CC2} に終端されます。
12, 13	V _{CC2}	出力用電源接続端子。+3.3Vに接続してください。
14	TX_DISABLE	トランスミッタティセーブル入力、LVTTTL(10kΩで内部プルアップ)。ハイまたは開放のとき、差動出力は40mV _{p-p} です。通常動作ではローに設定してください。
15	LOS	信号喪失検出、TTL出力。この出力はオープンコレクタTTLであるため、4.7kΩ~10kΩの外付けプルアップ抵抗器を必要とします(最大5.5V)。この出力は、入力信号レベルが有効な場合にシンク電流を流します。
16	LOSLEV	LOS感度制御入力、LVTTTL(40kΩで内部プルアップ)。低感度の場合は、TTLハイに設定するかまたは開放にしてください(高アサートスレッショルド)。高感度の場合は、TTLローに設定してください(低アサートスレッショルド)。
EP	EXPOSED PAD	エクスポーズドパッド。最適な熱伝導率を得るためには、このパッドをプリント基板のグラウンドに半田付けする必要があります。

ピン配置



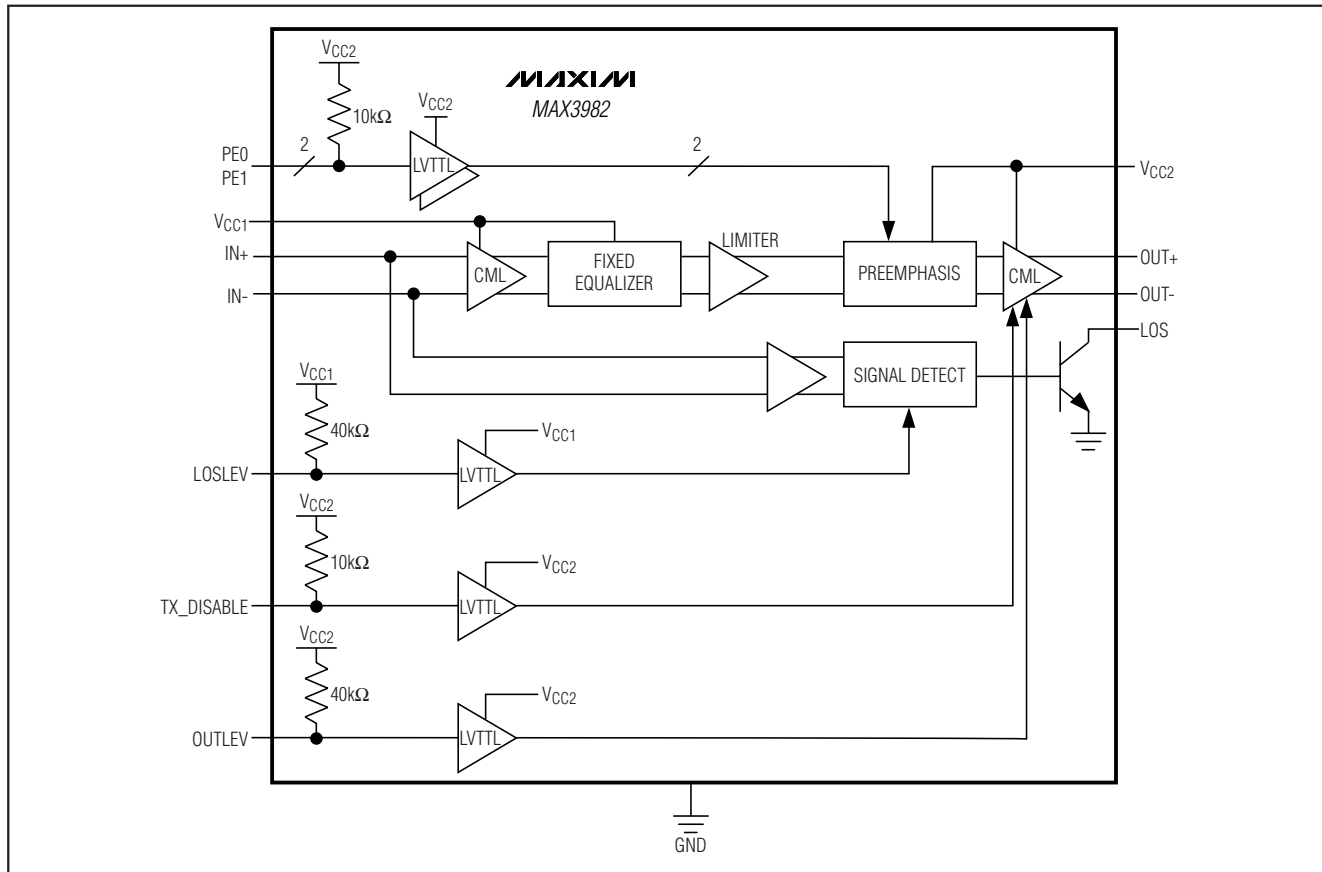


図4. ファンクションダイアグラム

詳細

MAX3982は、プリント基板レシーバ、ケーブルドライバ、及び可変スレッショルド付き信号喪失検出器で構成されます(図4)。等化がレシーバで行われます。トランスミッタでは、プリエンファシスと出力振幅が選択可能です。また、MAX3982では、内部で出力の送信ディセーブル制御が行われます。

プリント基板レシーバ及びケーブルドライバ

データは、CML入力段と固定イコライザ段からMAX3982に供給されます。レシーバの固定イコライザは、FR4プリント基板材料の損失を4.25Gbit/sにおいて最大10インチ(約25cm)まで補償します。

ケーブルドライバは、最長15mの24AWG、100Ωの平衡形ケーブルを補償する4状態のプリエンファシスを内蔵しています。表1は、いろいろなプリエンファシス表現方法の間の簡単な換算を示します。OUTLEVピンは、出力振幅の選択に使われます。OUTLEVがローのとき、振幅は1200mV_{p-p}です。OUTLEVがハイのとき、振幅は1600mV_{p-p}です。MAX3982の残留ジッタは、最大0.20UI_{p-p}のソースジッタに依存しません。

信号喪失(LOS)出力

信号喪失検出はデータ入力において行われます。プルアップ抵抗器を、LOSから+3.0V~+5.5Vの範囲の電源に接続してください。LOS出力は、パワーアップが完了するまで有効になりません。標準的なLOS応答時間は100nsです。

LOSのアサート及びデアサートレベルは、LOSLEVピンによって設定されます。LOSLEVがLVTTTLハイまたは開放のとき、LOSアサートスレッショルドは180mV_{p-p}です。LOSLEVがLVTTTLローのとき、LOSアサートスレッショルドは85mV_{p-p}です。

TXディセーブル

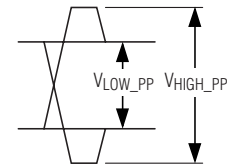
送信ディセーブルは、必要に応じて出力をオフにするために設けられています。受信信号がLOSLEVで設定されたスレッショルド未満であるとき、TX_DISABLEピンはLOSに接続されて自動的に出力を抑圧することができます(「自動検出」の項参照)。

SFP銅ケーブルプリエンファシスドライバ

MAX3982

表1. プリエンファシスの換算

Ratio	α	10Gbase-CX4	IN dB
$\frac{V_{HIGH_PP}}{V_{LOW_PP}}$	$\frac{V_{HIGH_PP} - V_{LOW_PP}}{V_{HIGH_PP} + V_{LOW_PP}}$	$1 - \frac{V_{LOW_PP}}{V_{HIGH_PP}}$	$20 \left[\log \left(\frac{V_{HIGH_PP}}{V_{LOW_PP}} \right) \right]$
1.26	0.11	0.21	2
1.58	0.23	0.37	4
2.51	0.43	0.6	8
5.01	0.67	0.8	14



アプリケーション情報

自動検出

MAX3982では、受信信号を自動的に検出し、データ出力をイネーブルすることができます。自動検出は、LOSピンをTX_DISABLEに接続することによって動作可能です。TX_DISABLEは、10kΩのプルアップ抵抗器を内蔵しています。信号喪失が検出されると、TX_DISABLEピンはハイに強制されて出力をディセーブルします。MAX3982への入力を開放(すなわち、フローティング)のままにするべきではありません。ノイズが増幅されて有害な出力信号を発生する場合があります。ノイズの増幅や発振の危険性をなくすために、自動検出をお奨めします。100nsよりもはるかに長い期間にわたってデータの遷移がない場合は、自動検出が出力をディセーブルします。

レイアウトに関して

MAX3982の性能は、プリント基板のレイアウトと設計に大きく影響されます。グラウンドインダクタンスを抑え、データ信号の伝送ラインのインピーダンスを調整するなど、適切な高周波設計法を採用してください。また、電源デカップリングは、V_{CC}ピンのできる限り近くで行うものとし、これによって、電源のフィルタリングを十分に行う必要があります。すべてのV_{CC}ピンは、必ず電源プレーンに接続してください。入力と出力信号を隔離してフィードスルーを抑制してください。

エクスポーズドパッドパッケージ

エクスポーズドパッド付き16ピンQFNパッケージは、IC放熱の熱抵抗が非常に低いという特長を備えています。MAX3982のエクスポーズドパッドは、適正な熱的性能を得るためにプリント基板に半田付けする必要があります。エクスポーズドパッドパッケージの詳細については、マキシムのアプリケーションノートHFAN-08.1「Thermal Considerations of QFN and Other Exposed-Paddle Packages」を参照してください。

インタフェース図

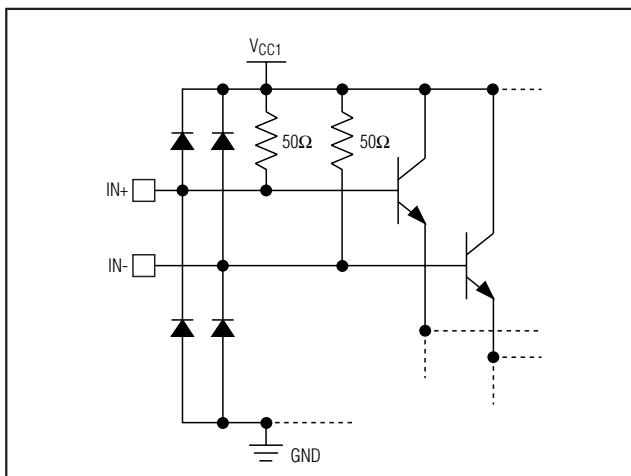


図5. IN + /IN - の等価入力構成

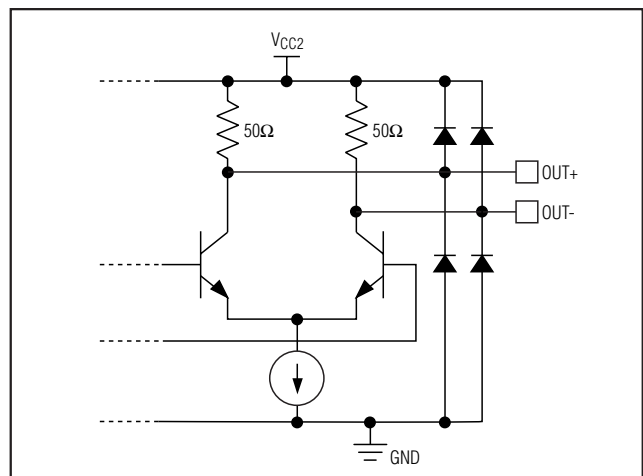


図6. OUT + /OUT - の等価出力回路

SFP銅ケーブルプリエンファシスドライバ

MAX3982

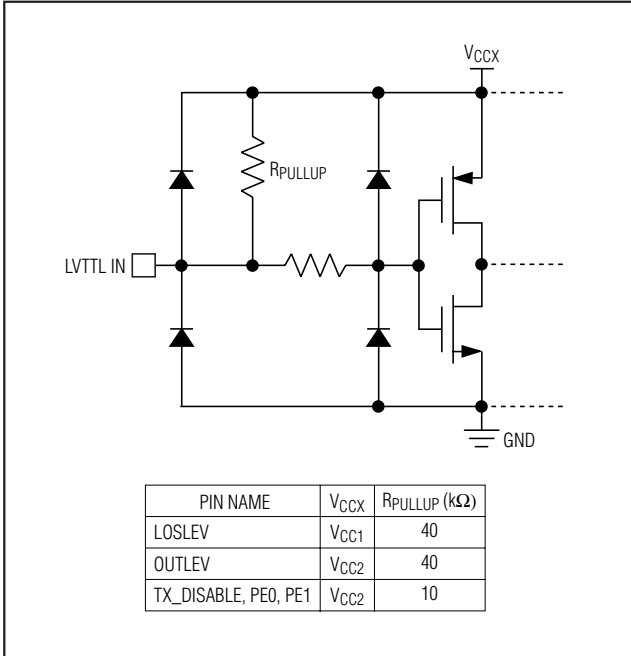


図7. LVTTTLの等価入力回路

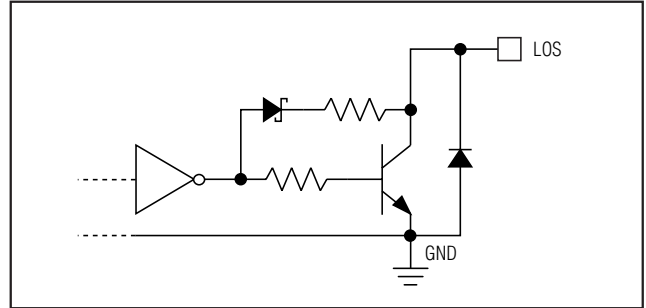


図8. 信号喪失の等価出力回路

チップ情報

TRANSISTOR COUNT: 2957

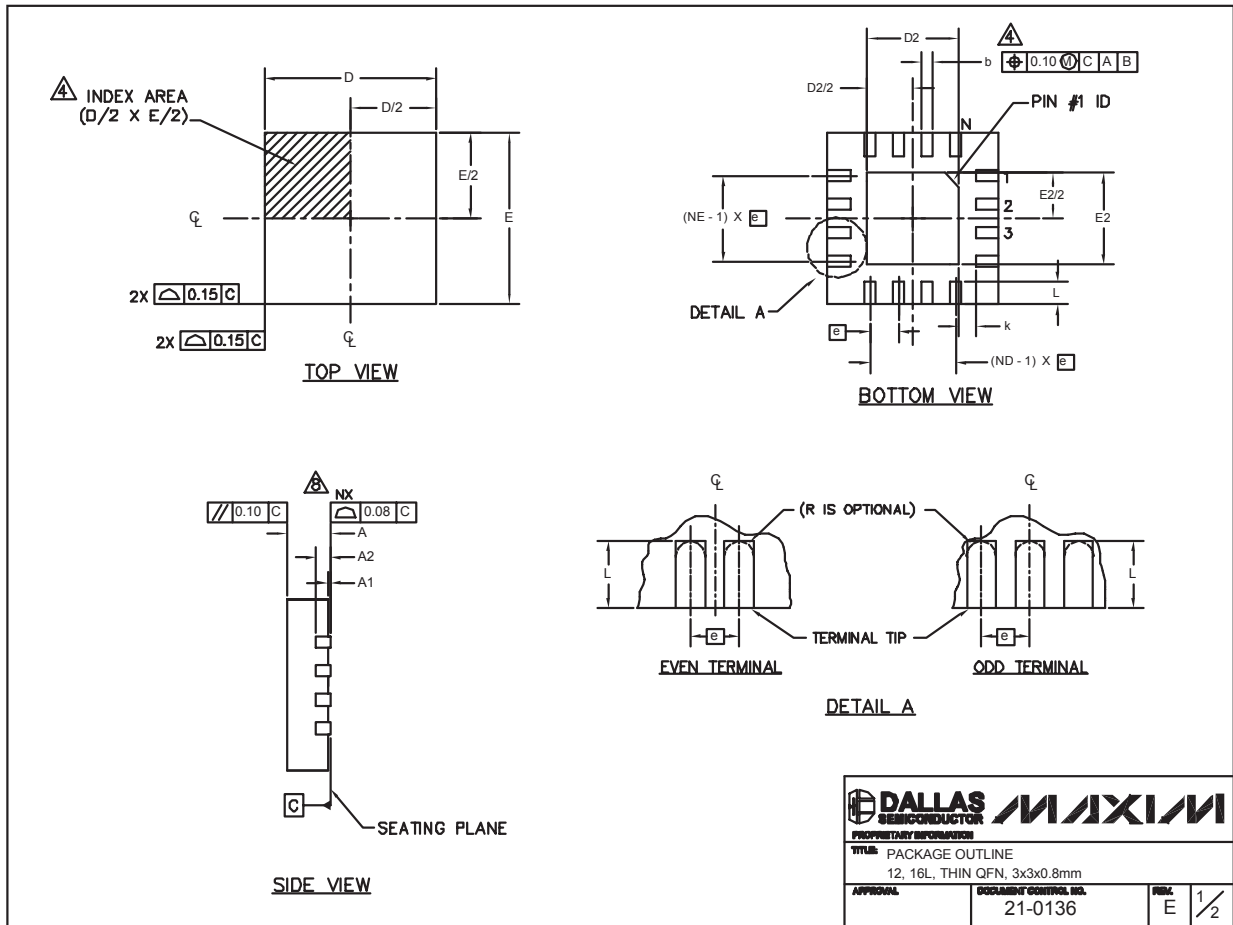
PROCESS: SiGe Bipolar

SFP銅ケーブルプリエンファシスドライバ

MAX3982

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



SFP銅ケーブルプリエンファシスドライバ

MAX3982

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

PKG REF.	12L 3x3			16L 3x3		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80
b	0.20	0.25	0.30	0.20	0.25	0.30
D	2.90	3.00	3.10	2.90	3.00	3.10
E	2.90	3.00	3.10	2.90	3.00	3.10
e	0.50 BSC.			0.50 BSC.		
L	0.45	0.55	0.65	0.30	0.40	0.50
N	12			16		
ND	3			4		
NE	3			4		
A1	0	0.02	0.05	0	0.02	0.05
A2	0.20 REF			0.20 REF		
k	0.25	-	-	0.25	-	-

PKG CODES	EXPOSED PAD VARIATIONS						PIN ID	JEDEC	DOWN BONDS ALLOWED
	D2			E2					
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.			
T1233-1	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-1	NO
T1233-3	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-1	YES
T1833-1	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-2	NO
T1833-2	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-2	YES
T1833F-3	0.65	0.80	0.95	0.65	0.80	0.95	0.225 x 45°	WEED-2	N/A
T1833-4	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-2	NO

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- △ THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JESD 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- △ DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.20 mm AND 0.25 mm FROM TERMINAL TIP.
- △ ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- △ COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO220 REVISION C.

	
<small>PROPRIETARY INFORMATION</small>	
<small>TITLE: PACKAGE OUTLINE</small> <small>12, 16L, THIN QFN, 3x3x0.8mm</small>	
<small>APPROVAL</small>	<small>DOCUMENT CONTROL NO.</small> 21-0136
<small>REV.</small> E	<small>2/2</small>

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 _____ 15