

+3.3V、2.5Gbps、SDH/SONET 16:1シリアライザ クロック合成及びLVDS入力付

概要

MAX3890は、ATM及びSDH/SONETアプリケーションにおいて16ビット幅の155Mbpsパラレルデータを2.5Gbpsシリアルデータに変換するのに最適なシリアライザです。+3.3V単一電源で動作し、高速デジタル回路とのインタフェース用に低電圧差動信号(LVDS)クロック及びデータ入力を受け付け、正電圧エミッタ結合ロジック(PECL)シリアルデータ出力及びクロック出力を提供します。完全集積型のフェイズロックループ(PLL)が155.52MHz、77.76MHz、51.84MHz又は38.88MHzのリファレンスクロックから内部2.5GHzシリアルクロックを合成します。システム診断テスト用に、ループバックデータ出力も備わっています。

MAX3890は、拡張温度範囲(-40 ~ +85)で使用できる64ピンTQFPエクスポートパッド(EP)パッケージで提供されます。

アプリケーション

- 2.5Gbps SDH/SONET伝送システム
- 2.5Gbps ATM/SONETアクセスノード
- アド/ドロップマルチプレクサ
- デジタルクロスコネクタ
- ATMバックプレーン

特長

- ◆ 電源：+3.3V単一
- ◆ 消費電力：495mW
- ◆ ANSI、ITU、及びBellcoreを上回る仕様
- ◆ 155Mbps(16ビット幅)パラレルから2.5Gbpsシリアルへの変換
- ◆ クロック合成：2.5Gbps
- ◆ 多クロック基準周波数
(155.52MHz、77.76MHz、51.84MHz、38.88MHz)
- ◆ LVDSパラレルクロック及びデータ入力
- ◆ システムループバックテスト用の特別な高速出力

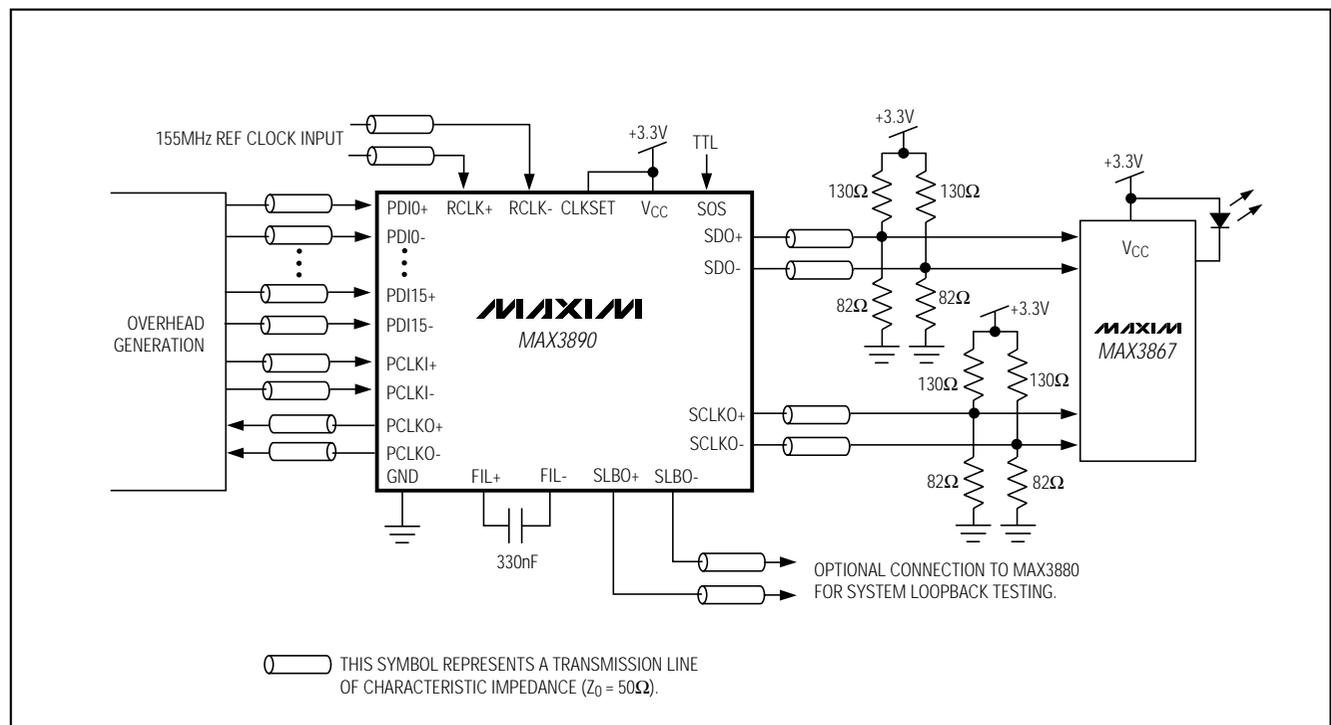
型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX3890ECB	-40°C to +85°C	64 TQFP-EP*

* EP = エクスポートパッド

ピン配置はデータシートの最後に記載されています。

標準動作回路



+3.3V、2.5Gbps、SDH/SONET 16:1シリアルライザ クロック合成及びLVDS入力付

MAX3890

ABSOLUTE MAXIMUM RATINGS

Terminal Voltage (with respect to GND)

V_{CC} -0.5V to +5V
All Inputs, FIL+, FIL- -0.5V to (V_{CC} + 0.5V)

Output Current

LVDS Outputs (PCLKO±) 10mA
PECL Outputs (SDO±, SCLKO±) 50mA
CML Outputs (SLBO±) 15mA

Continuous Power Dissipation (T_A = +85°C)

TQFP-EP (derate 44.8mW/°C above +85°C) 1W

Operating Temperature Range -40°C to +85°C

Storage Temperature Range -60°C to +150°C

Lead Temperature (soldering, 10sec) +300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(V_{CC} = +3.0V to +3.6V, differential LVDS loads = 100Ω ±1%, PECL loads = 50Ω ±1% to (V_{CC} - 2V), CML loads = 50Ω ±1% to V_{CC}, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at V_{CC} = +3.3V, T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Current	I _{CC}	PECL outputs unterminated, SOS = low		150	230	mA
PECL OUTPUTS (SDO±, SCLKO±)						
Output Voltage High	V _{OH}	T _A = 0°C to +85°C	V _{CC} - 1.025		V _{CC} - 0.88	V
		T _A = -40°C	V _{CC} - 1.085		V _{CC} - 0.88	
Output Voltage Low	V _{OL}	T _A = 0°C to +85°C	V _{CC} - 1.81		V _{CC} - 1.62	V
		T _A = -40°C	V _{CC} - 1.83		V _{CC} - 1.555	
LVDS INPUTS AND OUTPUTS (PCLKO±, PDI±, PCLKI±, RCLKI±)						
Input Voltage Range	V _I	Differential input voltage = 100mV	0		2.4	V
Differential Input Threshold	V _{IDTH}		-100		100	mV
Threshold Hysteresis	V _{HYST}			60		mV
Differential Input Resistance	R _{IN}		85	100	115	Ω
Output Voltage High	V _{OH}				1.475	V
Output Voltage Low	V _{OL}		0.925			V
Differential Output Voltage	V _{OD}	Figure 5	250		400	mV
Change in Magnitude of Differential Output Voltage for Complementary States	Δ V _{OD}				±25	mV
Output Offset Voltage	V _{OS}		1.125		1.275	V
Change in Magnitude of Output Offset Voltage for Complementary States	ΔV _{OS}				±25	mV
Single-Ended Output Resistance	R _O		40	95	140	Ω
Change in Magnitude of Single-Ended Output Resistance for Complementary Outputs	ΔR _O			±2.5	±10	%

+3.3V、2.5Gbps、SDH/SONET 16:1シリアライザ クロック合成及びLVDS入力付

MAX3890

DC ELECTRICAL CHARACTERISTICS (continued)

($V_{CC} = +3.0V$ to $+3.6V$, differential LVDS loads = $100\Omega \pm 1\%$, PECL loads = $50\Omega \pm 1\%$ to $(V_{CC} - 2V)$, CML loads = $50\Omega \pm 1\%$ to V_{CC} , $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $V_{CC} = +3.3V$, $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
PROGRAMMING INPUT (CLKSET)						
CLKSET Input Current	I_{CLKSET}	CLKSET = 0 or V_{CC}			± 500	μA
TTL INPUT (SOS)						
Input Voltage High	V_{IH}		2.0			V
Input Voltage Low	V_{IL}				0.8	V
Input Current High	I_{IH}		-10		10	μA
Input Current Low	I_{IL}		-10		10	μA
CURRENT MODE LOGIC (CML) OUTPUTS (SLBO\pm)						
Differential Output Voltage	$ V_{od} $		100		400	mV
Single-Ended Output Resistance	R_O			50		Ω

AC ELECTRICAL CHARACTERISTICS

($V_{CC} = +3.0V$ to $+3.6V$, differential LVDS load = $100\Omega \pm 1\%$, PECL loads = $50\Omega \pm 1\%$ to $(V_{CC} - 2V)$, CML loads = $50\Omega \pm 1\%$ to V_{CC} , $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $V_{CC} = +3.3V$, $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Serial Clock Rate	f_{SCLK}			2.488		GHz
Parallel Data Setup Time	t_{SU}	(Note 2)	300			ps
Parallel Data-Hold Time	t_{H}	(Note 2)	700			ps
PCLKO to PCLKI Skew	t_{SKEW}	Figure 2	0		+4.0	ns
Output Jitter Generation (SCLKO \pm)	Φ_0	Jitter bandwidth = 12kHz to 20MHz, RCLK amplitude > $ V_{IDTH} $ (Note 3)			3	psRMS
PECL Differential Output Rise/Fall Time	t_R, t_F	20% to 80%			120	ps
Parallel Input Clock Rate	f_{PCLKI}			155.52		MHz
Reference Clock Input (RCLKI) Rise/Fall Time	t_R, t_F	20% to 80%, $f = 155.52MHz$			1.0	ns
Parallel Clock Output (PCLKO) Rise/Fall Time	t_R, t_F	20% to 80%			1.0	ns
Serial Clock Output (SCLKO) to Serial-Data Output (SDO) Delay	$t_{SCLK-SD}$	SCLKO rising edge to SDO edge	110		290	ps

Note 1: AC characteristics guaranteed by design and characterization.

Note 2: Setup and hold times are relative to the rising edge of PCLKI+, measured by applying a 155.52MHz differential parallel clock with rise/fall time = 1ns (20% to 80%). See Figure 2.

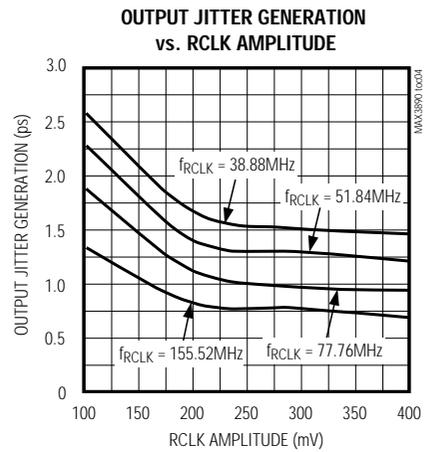
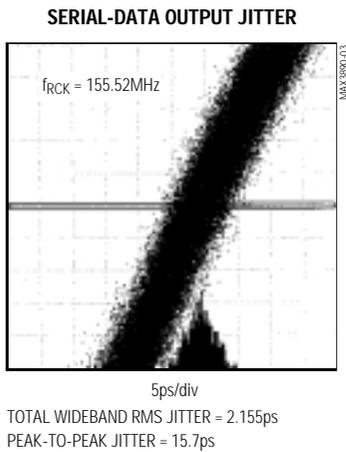
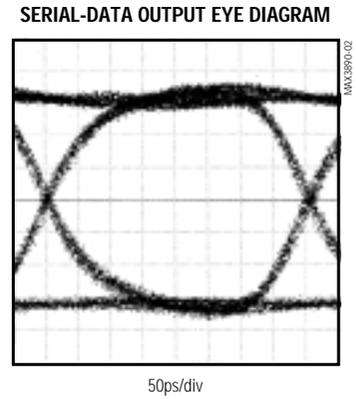
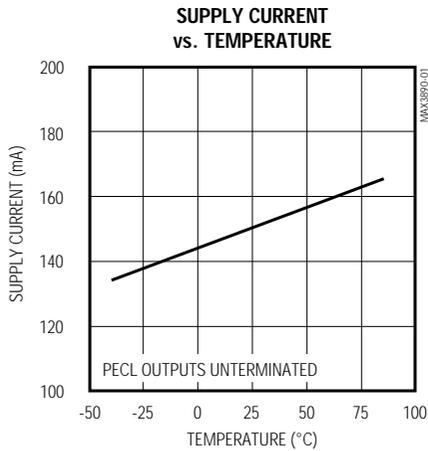
Note 3: For $f_{RCLK} = 38.88MHz$, the minimum reference clock amplitude is $\geq 200mV$.

+3.3V、2.5Gbps、SDH/SONET 16:1シリアルライザ クロック合成及びLVDS入力付

MAX3890

標準動作特性

(V_{CC} = +3.3V, PECL loads = 50Ω ±1%, T_A = +25°C, unless otherwise noted.)



+3.3V、2.5Gbps、SDH/SONET 16:1シリアライザ クロック合成及びLVDS入力付

MAX3890

端子説明

端子	名称	機能
1, 17, 33, 48, 49, 63	GND	グラウンド
2, 5, 7, 10, 13, 14, 32, 56, 60, 64	VCC	+3.3V電源電圧
3	SLBO-	システムループバック反転出力。SOSがハイの時に有効になります。
4	SLBO+	システムループバック非反転出力。SOSがハイの時に有効になります。
6	SOS	システムループバック出力選択。ローの時にシステムループバックは無効になります。
8	SCLKO-	反転PECLシリアルクロック出力
9	SCLKO+	非反転PECLシリアルクロック出力
11	SDO-	反転PECLシリアルデータ出力
12	SDO+	非反転PECLシリアルデータ出力
15	PCLKI+	非反転LVDSパラレルクロック入力。受信パラレルクロック信号をPCLKI入力に接続します。データはPCLKI信号の正遷移で更新されることに注意して下さい。
16	PCLKI-	反転LVDSパラレルクロック入力。受信パラレルクロック信号をPCLKI入力に接続します。データはPCLKI信号の正遷移で更新されることに注意して下さい。
18, 20, 22, 24, 26, 28, 30, 34, 36, 38, 40, 42, 44, 46, 50, 52	PDI15+ to PDI0+	非反転LVDSパラレルデータ入力。データはPCLKI信号の正遷移で同期入力されます。
19, 21, 23, 25, 27, 29, 31, 35, 37, 39, 41, 43, 45, 47, 51, 53	PDI15- to PDI0-	反転LVDSパラレルデータ入力。データはPCLKI信号の正遷移で同期入力されます。
54	PCLKO+	非反転LVDSパラレルクロック出力。PCLKOの正遷移をオーバーヘッド処理回路のクロックに使用します。
55	PCLKO-	反転LVDSパラレルクロック出力。PCLKOの正遷移をオーバーヘッド処理回路のクロックに使用します。
57	RCLK+	非反転LVDSリファレンスクロック入力。LVDSコンパチブルクリスタルリファレンスクロックをRCLK入力に接続します。
58	RCLK-	反転LVDSリファレンスクロック入力。LVDSコンパチブルクリスタルリファレンスクロックをRCLK入力に接続します。
59	CLKSET	リファレンスクロックレートプログラミング端子： CLKSET = V _{CC} : リファレンスクロックレート = 155.52MHz CLKSET = Open : リファレンスクロックレート = 77.76MHz CLKSET = 20k to GND : リファレンスクロックレート = 51.84MHz CLKSET = GND : リファレンスクロックレート = 38.88MHz
61	FIL-	フィルタコンデンサ入力。FIL+とSIL-の間に330nFコンデンサを接続して下さい。
62	FIL+	フィルタコンデンサ入力。FIL+とSIL-の間に330nFコンデンサを接続して下さい。
EP	エクスポーズド パッド	グラウンド。適切な熱特性を達成するために、これは回路基板にはんだ付けして下さい(「パッケージ」を参照)。

+3.3V、2.5Gbps、SDH/SONET 16:1シリアライザ クロック合成及びLVDS入力付

MAX3890

詳細

MAX3890は16ビット幅の155Mbpsデータを2.5Gbpsシリアルデータに変換します(図1)。このデバイスは16ビットパラレル入力レジスタ、16ビットシフトレジスタ、制御及びタイミングロジック、PECL出力バッファ、LVDS入力/出力バッファ及び周波数合成PLL(位相/周波数ディテクタ、ループフィルタ/アンプ、電圧制御発信器(VCO)、プリスケラから構成)から成っております。

PLLは出力シフトレジスタのクロックに使用する内部2.5Gbpsリファレンスを合成します。このクロックは、外部155.52MHz、77.76MHz、51.84MHz、又は38.88MHzリファレンスクロック信号(RCLK)にロックすることによって生成されます。

受信パラレルデータは、パラレルクロック入力信号(PCLKI)の立上がり遷移でMAX3890に同期入力されます。正常な動作は、パラレル入力レジスタがパラレルクロック出力信号(PCLKO)を基準に規定された時間幅

(t_{SKEW})内でラッチされている場合に保証されます。PCLKOは、合成された2.5Gbpsの内部シリアルクロック信号を16分周したものです。PCLKIに対するPCLKOのスキューの許容範囲は0~+4nsです。これは、PCLKO立上がりエッジ後の時間幅を定義しています。PCLKIの立上がりエッジは、この間に起こる可能性があります(図2)。

システムループバック

MAX3890は、システムループバックテストができるように設計されています。MAX3890のループバック出力(SLBO+、SLBO-)は、デシリアライザ(MAX3880など)のループバック入力に直接接続してシステム診断を行うことができます。SLBO出力を有効にするには、TTLロジックハイ信号をSOS入力に印可します。注記：SOSイネーブル入力を制御する信号と同じものをMAX3880のSISイネーブル入力の制御にも使用できます。

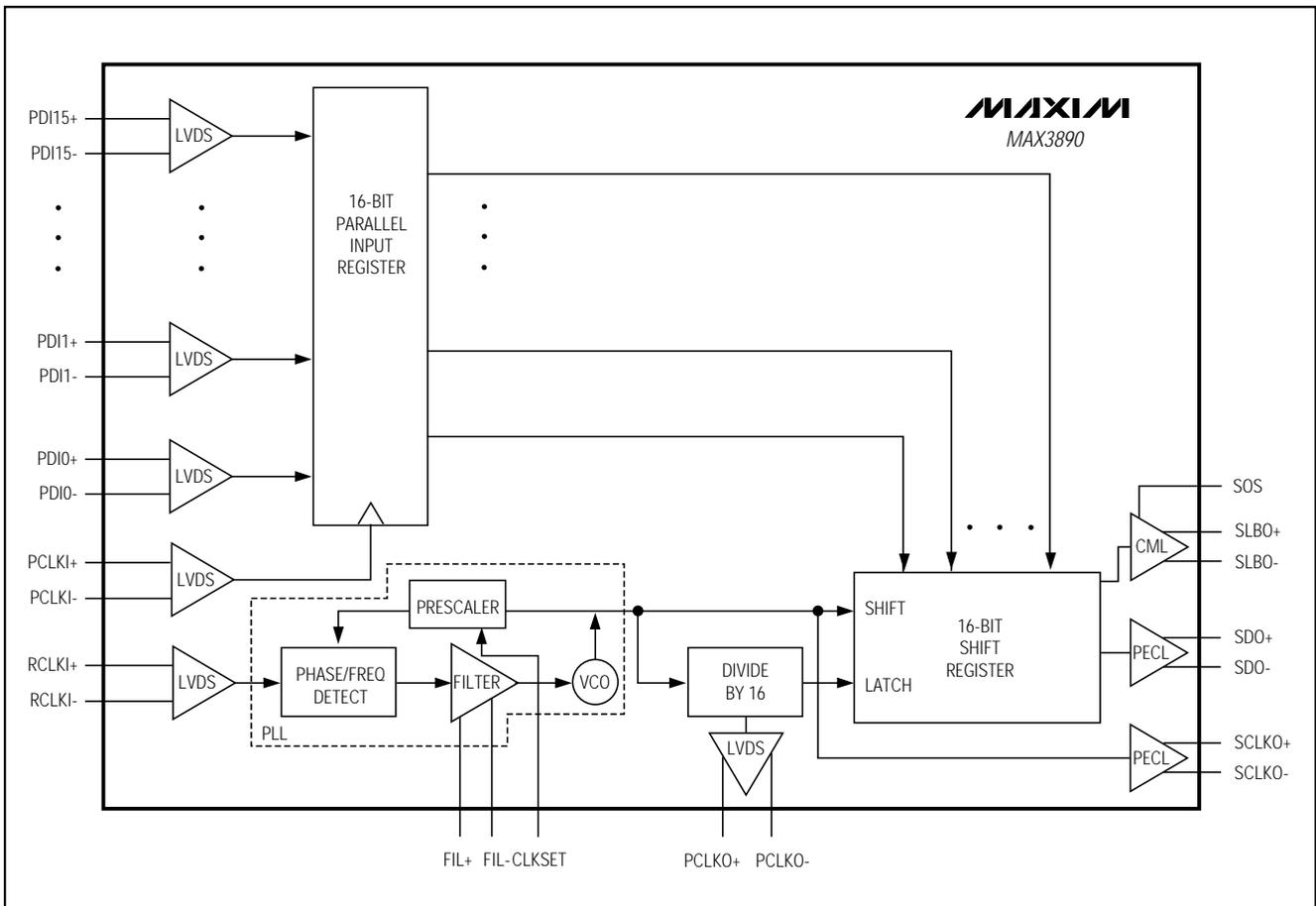


図1. ファンクションダイアグラム

+3.3V、2.5Gbps、SDH/SONET 16:1シリアライザ クロック合成及びLVDS入力付

MAX3890

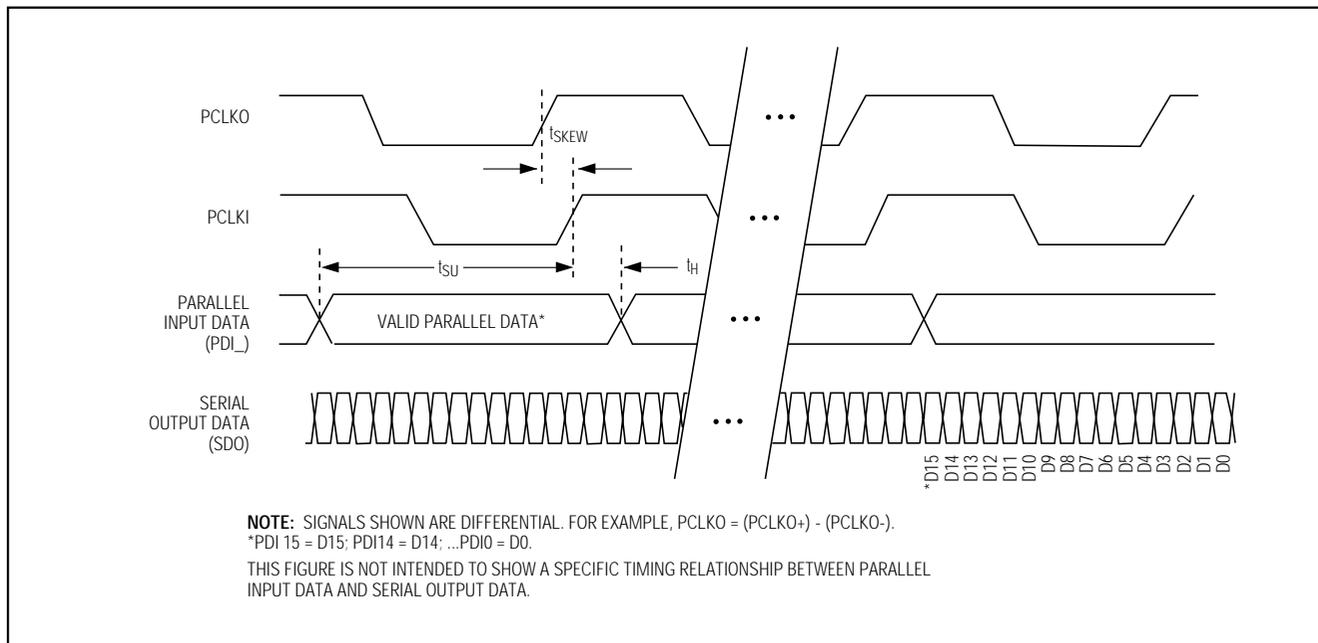


図2. タイミング図

低電圧差動信号入出力

MAX3890は、高速デジタル回路とのインタフェース用にLVDS入出力を備えています。LVDS規格は、IEEE 1596.3であるLVDS規格に基づいています。この技術では、250mV～400mVの差動低電圧スイングを使用して高速遷移、低消費電力及びノイズ耐性を実現しています。

パラレルクロックLVDS出力(PCLKO+、PCLKO-)が適切に動作するには、反転出力及び非反転出力の間に100Ωの差動DC終端が必要となります。これらの出力を、グラウンドに終端しないで下さい。

パラレルデータ及びパラレルクロックLVDS入力(PDI+、+PDI-、PCLKI+、PCLKI-、RCLK+、RCLK-)は100Ωの内部差動入力抵抗で終端されているため、外部で終端する必要はありません。

PECL出力

シリアルデータPECL出力(SDO+、SDO-、SCLKO+、SCLKO-)は、(V_{CC}-2V)に対して50Ω DC終端を行う必要があります(「PECL出力終端処理の選択肢」を参照)。

電流モードロジック出力

MAX3890のシステムループバック出力(SLBO+、SLBO-)は、CMLを使用して設計されています。MAX3890電流モードロジック(CML)出力回路には、V_{CC}への50Ωの内部逆終端が含まれています(図3)。これらの出力は、整合負荷インピーダンスで終端された50Ωの伝送ラインを駆動するようになっています。

+3.3V、2.5Gbps、SDH/SONET 16:1シリアルライザ クロック合成及びLVDS入力付

MAX3890

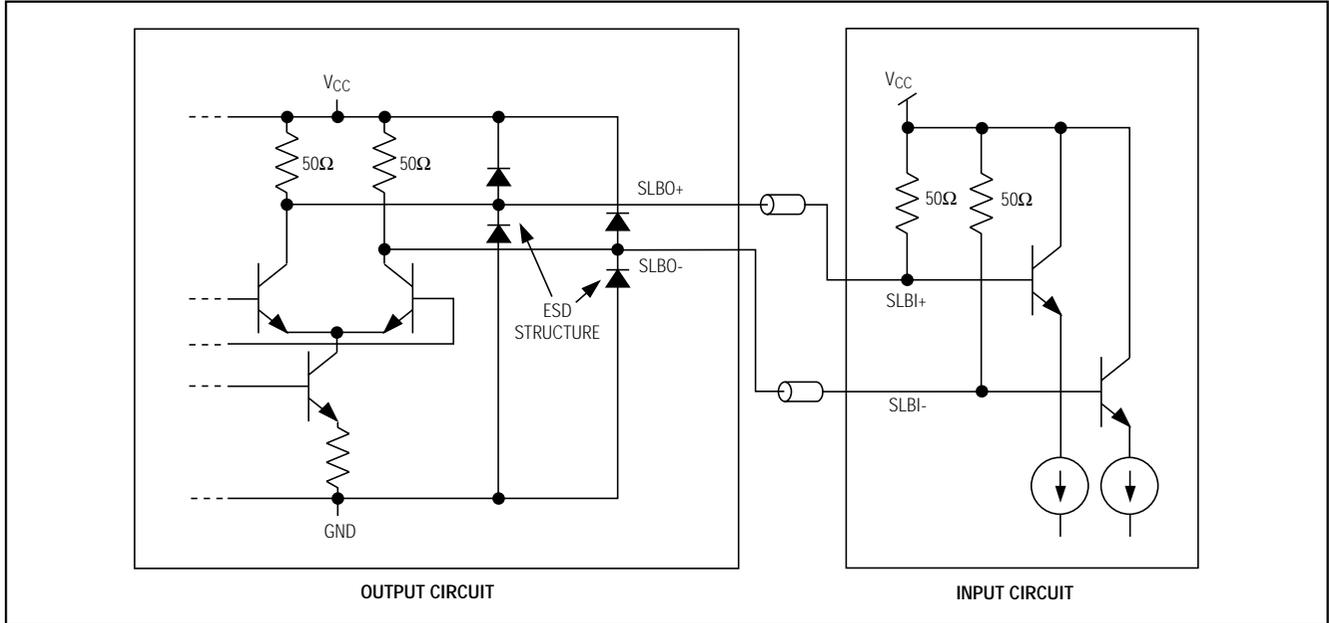


図3. 電流モードロジック

アプリケーション情報

PECL出力終端処理の選択肢

図4に、PECL出力終端処理の選択肢を示します。終端電圧($V_{CC}-2V$)が得られない場合には、テブナン等価終端を使用して下さい。ACカップリングが必要な場合は、50Ω又はテブナン等価DC終端の後にカップリングコンデンサを使用して下さい。

レイアウト技法

最高の性能を得るには、優れた高周波レイアウト技法を使用して下さい。電源にはフィルタリングを施し、グラウンドの接続は短くして、可能なところはビアを多く使用して下さい。また、MAX3890のクロック及びデータ入出力とのインタフェースには、インピーダンスが調整された伝送ラインを使用して下さい。

エクスポーズドパッド(EP)パッケージ

64ピンTQFPのEPIは放熱のため、本素子からPC基板に極めて低い熱抵抗を備えています。MAX3890のエクスポーズドパッドは適切な熱伝導を得るために、グラウンドプレーンに直接はんだ付けして下さい。

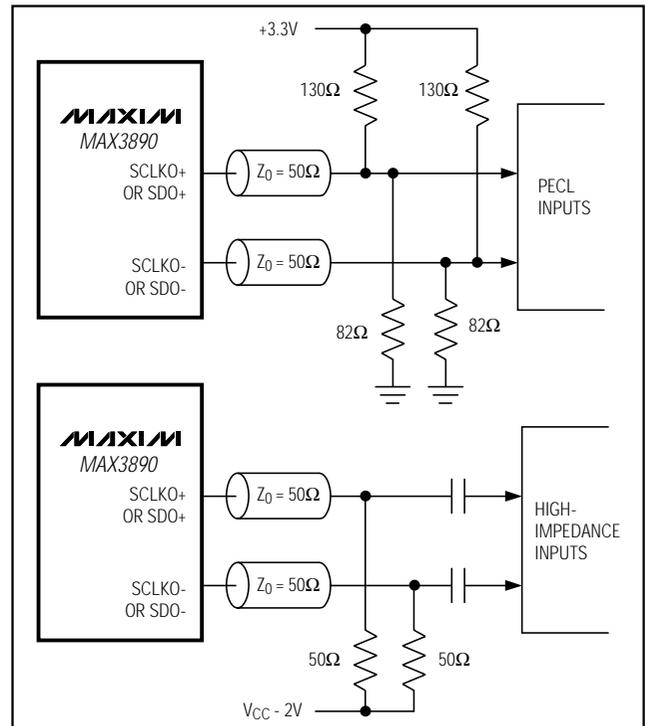


図4. PECL出力終端処理の選択肢

+3.3V、2.5Gbps、SDH/SONET 16:1シリアライザ クロック合成及びLVDS入力付

MAX3890

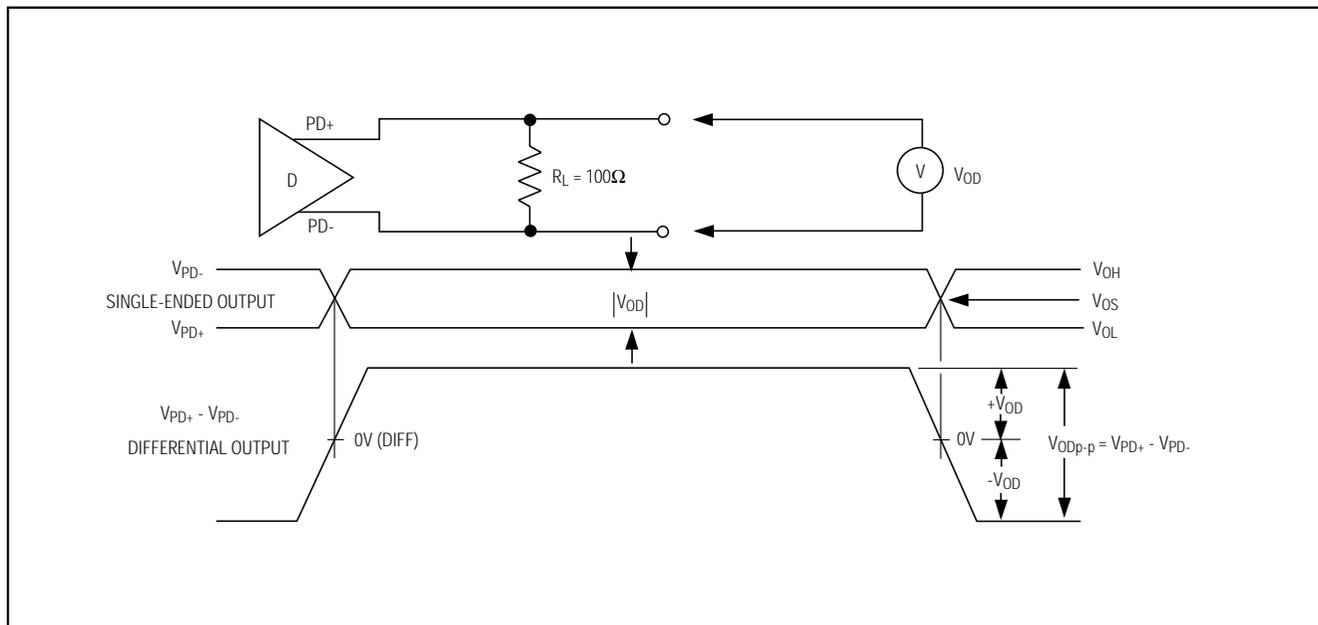
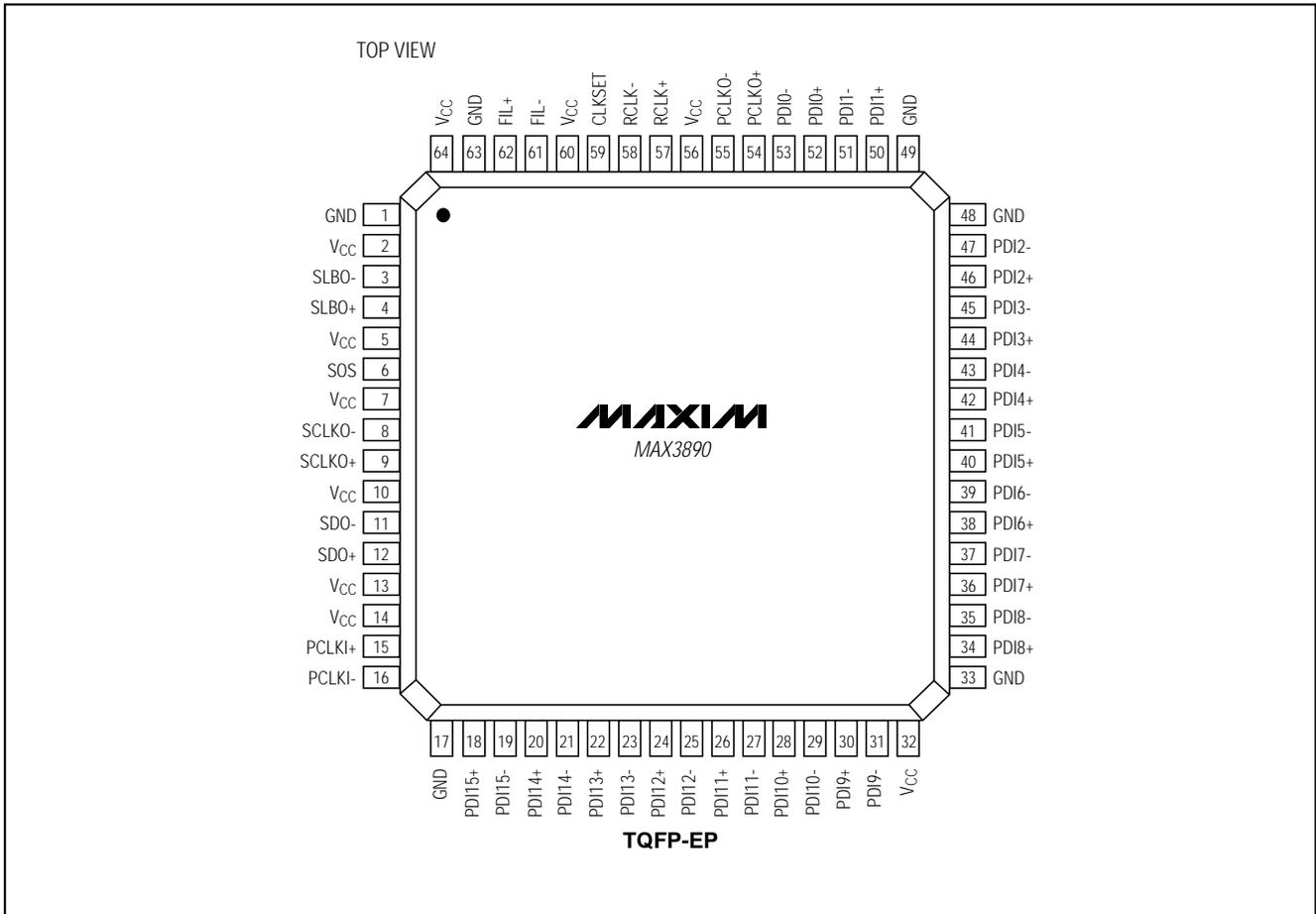


図5. ドライバ出力レベル

+3.3V、2.5Gbps、SDH/SONET 16:1シリアライザ クロック合成及びLVDS入力付

MAX3890

ピン配置



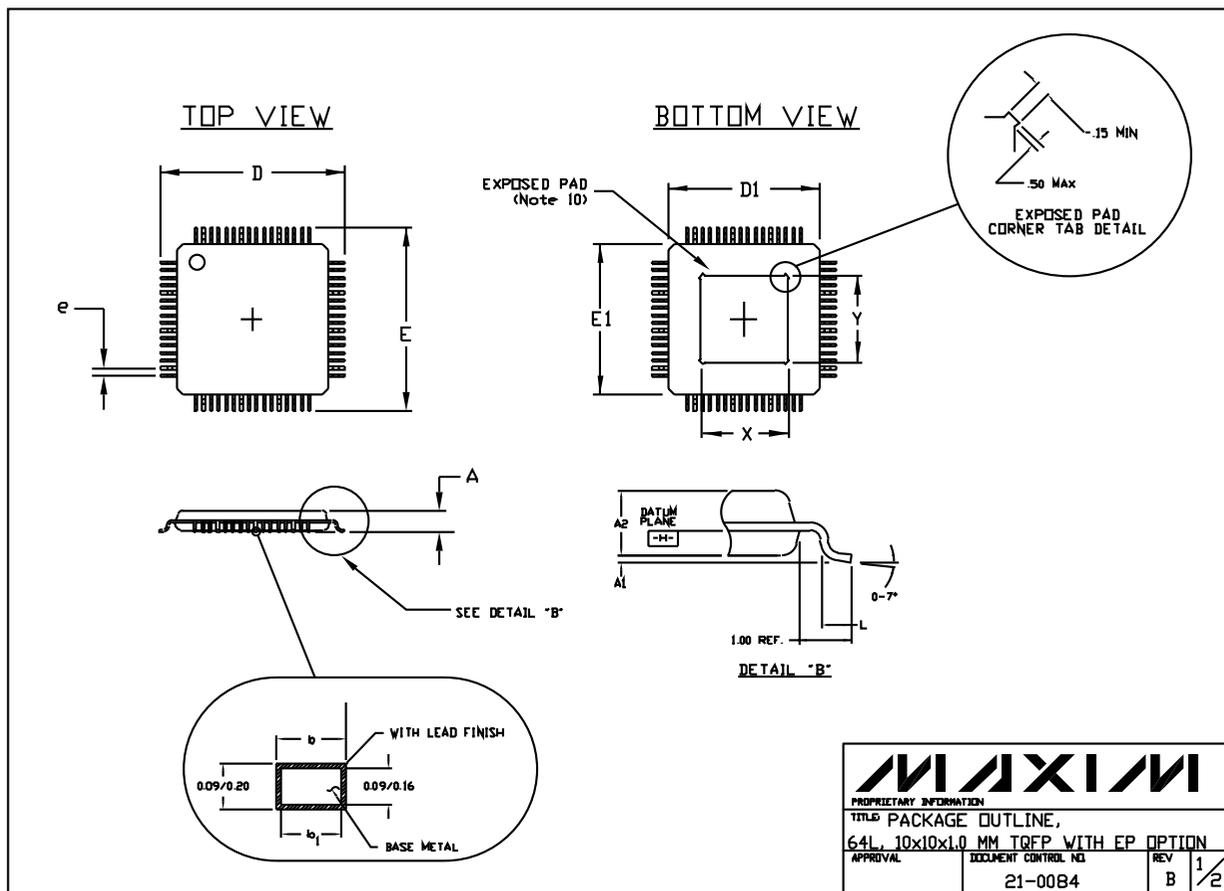
チップ情報

TRANSISTOR COUNT: 4126

+3.3V、2.5Gbps、SDH/SONET 16:1シリアライザ クロック合成及びLVDS入力付

パッケージ

MAX3890



64L, TQFP, EPS

+3.3V、2.5Gbps、SDH/SONET 16:1シリアルライザ クロック合成及びLVDS入力付

MAX3890

パッケージ(続き)

NOTES:

1. ALL DIMENSIONS AND TOLERANCING CONFORM TO ANSI Y14.5-1982.
2. DATUM PLANE \square IS LOCATED AT MOLD PARTING LINE AND COINCIDENT WITH LEAD, WHERE LEAD EXITS PLASTIC BODY AT BOTTOM OF PARTING LINE.
3. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE MOLD PROTRUSION IS 0.254 MM ON D1 AND E1 DIMENSIONS.
4. THE TOP OF PACKAGE IS SMALLER THAN THE BOTTOM OF PACKAGE BY 0.15 MILLIMETERS.
5. DIMENSION ϕ DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 MM TOTAL IN EXCESS OF THE ϕ DIMENSION AT MAXIMUM MATERIAL CONDITION.
6. CONTROLLING DIMENSION: MILLIMETER.
7. THIS OUTLINE CONFORMS TO JEDEC PUBLICATION 95 REGISTRATION MQ-136, VARIATION AJ.
8. LEADS SHALL BE COPLANAR WITHIN .004 INCH.
9. EXPOSED DIE PAD SHALL BE COPLANAR WITH BOTTOM OF PACKAGE WITHIN 2 MILS (.05 MM).
10. DIMENSIONS X & Y APPLY TO EXPOSED PAD (EP) VERSIONS ONLY. SEE INDIVIDUAL PRODUCT DATASHEET TO DETERMINE IF A PRODUCT USES EXPOSED PAD PACKAGE.

SYMBOL	JEDEC VARIATION	
	ALL DIMENSIONS IN MILLIMETERS	
	AJ	
	MIN.	MAX.
A	\approx	1.20
A1	0.05	0.15
A2	0.95	1.05
D	12.00 BSC.	
D1	10.00 BSC.	
E	12.00 BSC.	
E1	10.00 BSC.	
L	0.45	0.75
N	64	
ϕ	0.50 BSC.	
ϕ	0.17	0.27
ϕ 1	0.17	0.23
X	4.7	5.30
Y	4.70	5.30

* EXPOSED PAD (Note 10)

MAXIM			
<small>PROPRIETARY INFORMATION</small>			
TITLE: PACKAGE OUTLINE, 64L, 10x10x1.0 MM TQFP WITH EP OPTION			
<small>APPROVAL</small>	<small>DOCUMENT CONTROL NO.</small>	<small>REV</small>	<small>2/2</small>
	21-0084	B	

販売代理店

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

12 _____ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600