

+3.3V、2.488Gbps、SDH/SONET
1:16 デシリアライザ、LVDS出力付

概要

MAX3885はSDH/SONETアプリケーションにおいて、2.488Gbpsのシリアルデータを16ビット幅の155Mbpsパラレルデータに変換するのに最適なデシリアライザです。+3.3Vの単一電源で動作し、PECLシリアルクロック及びデータの入力を受けて、高速デジタル回路とのインタフェース用に低電圧差動信号(LVDS)クロック及びデータ出力を提供します。さらに、データのリアライメントとリフレーミングをするための同期入力LVDSを備えています。MAX3885は、拡張工業用温度範囲(-40 ~ +85)のものが64ピンTQFPパッケージで提供されています。

アプリケーション

2.488Gbps のSDH/SONET伝送システム
アッド/ドロップマルチプレクサ
デジタルクロスコネクタ

特長

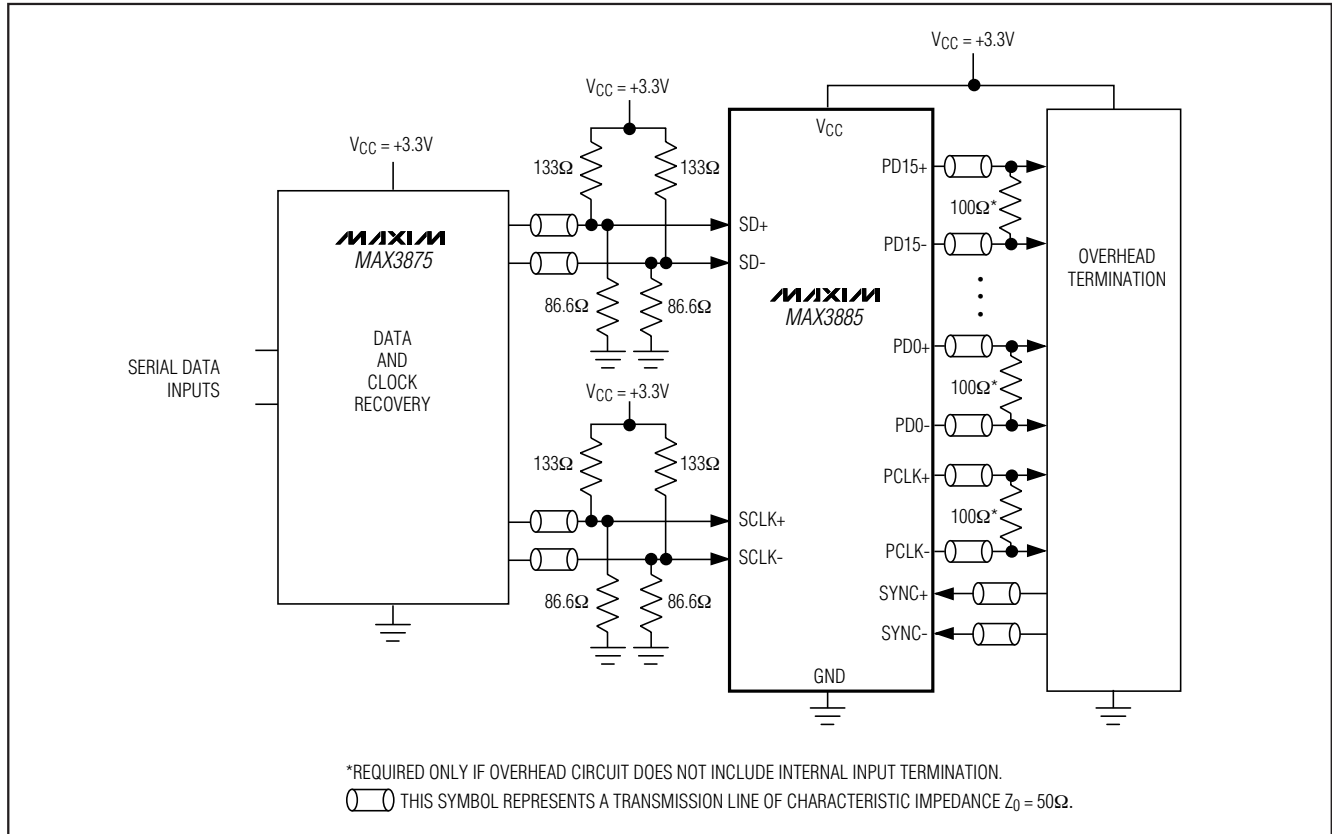
- ◆ 電源：+3.3V単一電源
- ◆ 2.488Gbpsシリアルから155Mbpsパラレルへの変換
- ◆ 消費電力：660mW
- ◆ LVDSデータ出力と同期信号入力
- ◆ PECL自己バイアス入力でACカップリングが可能
- ◆ データのリアライメント及びリフレーミング用同期入力

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX3885ECB	-40°C to +85°C	64 TQFP

Pin Configuration appears at end of data sheet.

標準動作回路



+3.3V、2.488Gbps、SDH/SONET 1:16 デシリアライザ、LVDS出力付

MAX3885

ABSOLUTE MAXIMUM RATINGS

Positive Supply Voltage (V_{CC}).....-0.5V to +7.0V
 Input Voltage Level (all inputs).....-0.5V to ($V_{CC} + 0.5V$)
 Output Current LVDS outputs10mA
 Continuous Power Dissipation ($T_A = +85^\circ\text{C}$)
 TQFP (derate 24mW/ $^\circ\text{C}$ above +85 $^\circ\text{C}$).....1000mW

Operating Temperature Range-40 $^\circ\text{C}$ to +85 $^\circ\text{C}$
 Storage Temperature Range-60 $^\circ\text{C}$ to +160 $^\circ\text{C}$
 Lead Temperature (soldering, 10sec)+300 $^\circ\text{C}$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

($V_{CC} = +3.0V$ to +3.6V, differential loads = 100 $\Omega \pm 1\%$, $T_A = -40^\circ\text{C}$ to +85 $^\circ\text{C}$, unless otherwise noted. Typical values are at $V_{CC} = +3.3V$, $T_A = +25^\circ\text{C}$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Current	I_{CC}			200	280	mA
PECL INPUTS (SD+/-, SCLK+/-)						
Input High Voltage	V_{IH}		$V_{CC} - 1.16$	$V_{CC} - 0.88$		V
Input Low Voltage	V_{IL}		$V_{CC} - 1.81$	$V_{CC} - 1.48$		V
Input High Current	I_{IH}	$V_{IN} = V_{IH(MAX)}$	-900		900	μA
Input Low Current	I_{IL}	$V_{IN} = V_{IL(MIN)}$	-900		900	μA
LVDS INPUTS AND OUTPUTS (SYNC+/-, PCLK+/-, PD_+/-)						
Input Voltage Range	V_I	Differential input voltage = 100mV	0		2.4	V
Differential Input Threshold	V_{IDTH}	Common-mode voltage = 50mV	-100		100	mV
Threshold Hysteresis	V_{HYST}			78		mV
Differential Input Resistance	R_{IN}		85	100	115	Ω
Output High Voltage	V_{OH}				1.475	V
Output Low Voltage	V_{OL}		0.925			V
Differential Output Voltage	$ V_{OD} $	Figure 1	250		400	mV
Change in Magnitude of Differential Output Voltage for Complementary States	$\Delta V_{OD} $				± 25	mV
Output Offset Voltage	V_{OS}		1.125		1.275	V
Change in Magnitude of Output Offset Voltage for Complementary States	ΔV_{OS}				± 25	mV
Single-Ended Output Resistance	R_O		40	95	140	Ω
Change in Magnitude of Single-Ended Output Resistance for Complementary Outputs	ΔR_O			± 2.5	± 10	%

AC ELECTRICAL CHARACTERISTICS

($V_{CC} = +3.0V$ to +3.6V, differential loads = 100 $\Omega \pm 1\%$, $T_A = -40^\circ\text{C}$ to +85 $^\circ\text{C}$, unless otherwise noted. Typical values are at $V_{CC} = +3.3V$, $T_A = +25^\circ\text{C}$.) (Note 1, Figure 4)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Maximum Serial Clock Frequency	f_{SCLK}		2.488			GHz
Serial Data Setup Time	t_{SU}		100			ps
Serial Data Hold Time	t_H		100			ps
Parallel Clock-to-Data Output Delay	t_{CLK-Q}		200	450	900	ps

Note 1: AC Characteristics guaranteed by design and characterization.

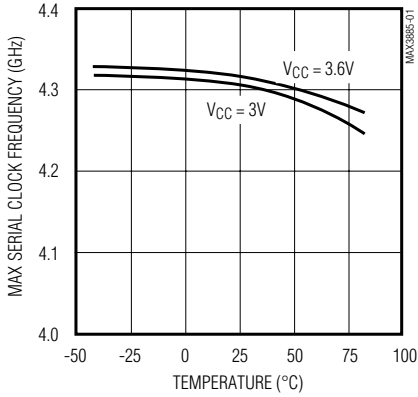
+3.3V、2.488Gbps、SDH/SONET 1:16 デシリアライザ、LVDS出力付

MAX3885

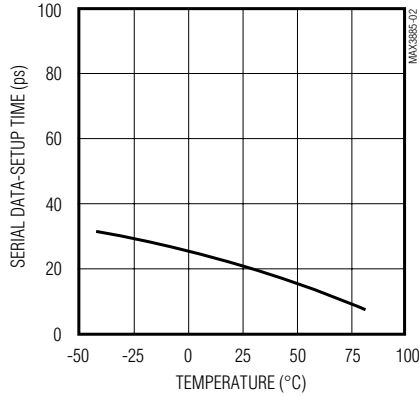
標準動作特性

($V_{CC} = +3.3V$, $T_A = +25^\circ C$, unless otherwise noted.)

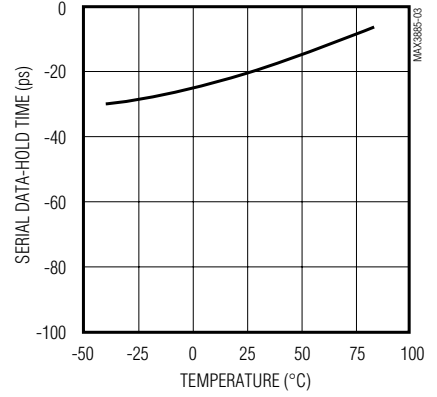
**MAXIMUM SERIAL CLOCK FREQUENCY
vs. TEMPERATURE**



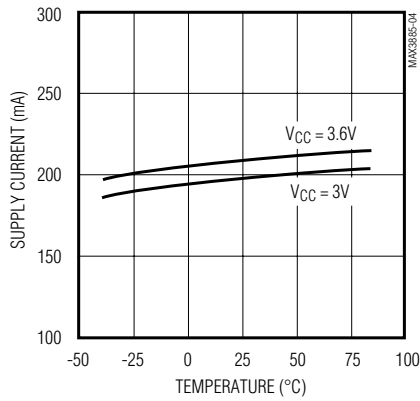
**SERIAL DATA-SETUP TIME
vs. TEMPERATURE**



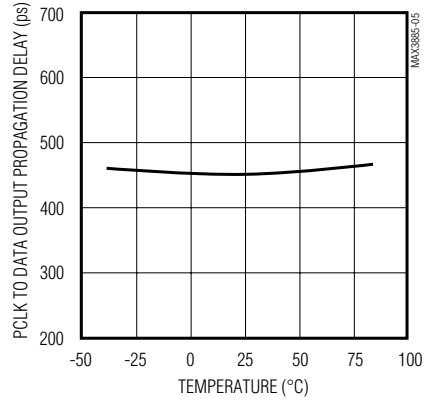
**SERIAL DATA-HOLD TIME
vs. TEMPERATURE**



SUPPLY CURRENT vs. TEMPERATURE



**PARALLEL CLOCK TO DATA OUTPUT
PROPAGATION DELAY vs. TEMPERATURE**



+3.3V、2.488Gbps、SDH/SONET 1:16 デシリアライザ、LVDS出力付

MAX3885

端子説明

端子	名称	機能
1, 2, 8, 16, 17, 24, 32, 33, 41, 48, 49, 57, 64	GND	グランド
3, 5, 7, 9, 11, 13, 25, 34, 42, 47, 56	V _{CC}	+3.3V電源電圧
4	SD+	非反転PECLシリアルデータ入力。データはSCLK信号の正遷移で同期入力されます。
6	SD-	反転PECLシリアルデータ入力。データはSCLK信号の正遷移で同期入力されます。
10	SCLK+	非反転PECLシリアルクロック入力
12	SCLK-	反転PECLシリアルクロック入力
14	SYNC-	反転LVDS同期パルス入力。1ビット削減してデータのアライメントをシフトさせるため、少なくともSCLK信号の4サイクルの間、SYNC信号をハイにするパルス。
15	SYNC+	非反転LVDS同期パルス入力。1ビット削減してデータのアライメントをシフトさせるため、少なくともSCLK信号の4サイクルの間、SYNC信号をハイにするパルス。
18	PCLK-	反転LVDSパラレルクロック出力
19	PCLK+	非反転LVDSパラレルクロック出力
20, 22, 26, 28, 30, 35, 37, 39, 43, 45, 50, 52, 54, 58, 60, 62	PD0- to PD15-	反転LVDSパラレルデータ出力。データはPCLK信号の負遷移で更新されます。
21, 23, 27, 29, 31, 36, 38, 40, 44, 46, 51, 53, 55, 59, 61, 63	PD0+ to PD15+	非反転LVDSパラレルデータ出力。データはPCLK信号の負遷移で更新されます。

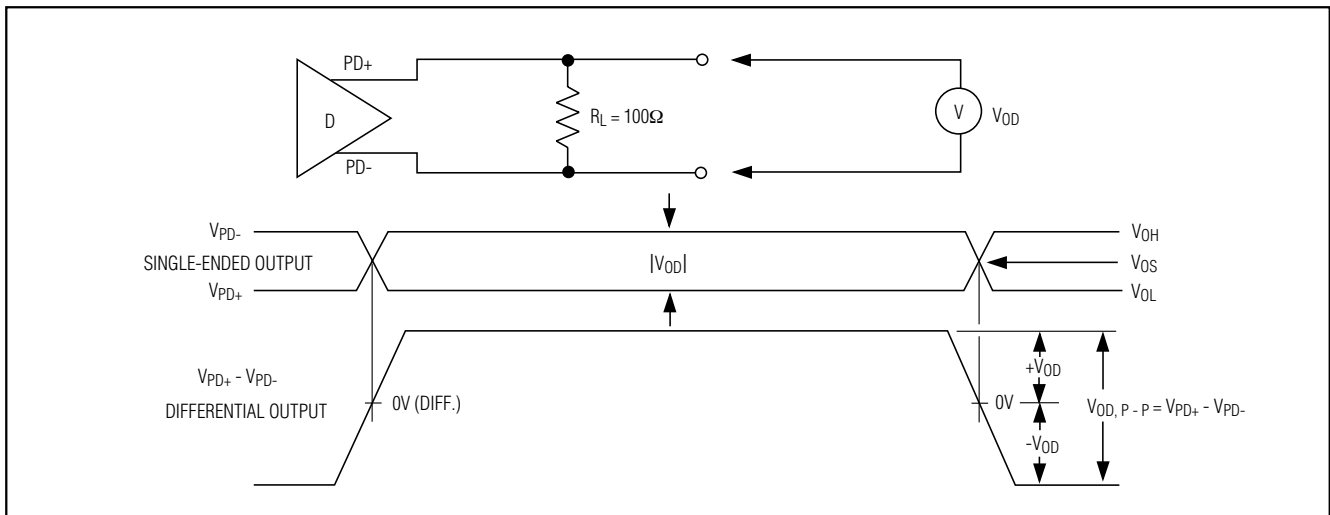


図1. ドライバ出力レベル

+3.3V、2.488Gbps、SDH/SONET 1:16 デシリアライザ、LVDS出力付

MAX3885

詳細

MAX3885は、16ビットシフトレジスタ、16ビットの平行出力レジスタ、4ビットカウンタ、PECL入力バッファ及び低電圧差動信号(LVDS)入出力バッファで構成され、2.488Gbpsのシリアルデータを16ビット幅、すなわち155Mbpsの平行データへ変換するデシリアライザです(図2)。入力シフトレジスタは、入力データにシリアルクロック(SCLK)入力信号の正遷移で継続的にクロックをかけます。4ビットカウンタは、シリアル

クロックの周波数を16分周し、平行クロック(PCLK)出力信号を発生させます。PCLK信号は平行出力レジスタにクロック同期をかけます。通常の動作は、入力シリアルデータを16ビット毎に出力レジスタにラッチさせるため、カウンタがSCLK周波数を16分周します。同期信号入力(SYNC+, SYNC-)がデータのリアライメント及びリフレーミングをおこないます。SYNC信号が少なくともSCLKの4サイクルの間ハイなら、平行出力データはSCLKの1サイクル分のみ遅れます。このリアライメントは、完全なPCLK信号2サイクルの間に、SYNC信号の正遷移で実施されることを保証します。結果的に、PCLKとデータ間のアライメントを1ビット分シフトさせ、このPCLKサイクル間のデータの先頭ビットはドロップします。図3のタイミング図と図4のタイミングパラメータを参照してください。

低電圧差動信号(LVDS)の入出力

MAX3885は高速でデジタル回路とインタフェースに必要なLVDS入出力機能を備えています。このLVDSはIEEE 1596.3のLVDS規格に準拠します。さらに、遷移時間の高速化、省電力化及び雑音余裕度の改善のため、スイングが500mVp-pから800mVp-pまでの低電圧差動動作の技法を導入しています。正常に動作させるために、平行クロック及びデータLVDS出力(PCLK+, PCLK-, PD+, PD-)の反転と非反転出力端子間に100Ωの差動DC終端処理を必要とします。これらの出力をグラウンドに終端処理しないでください。

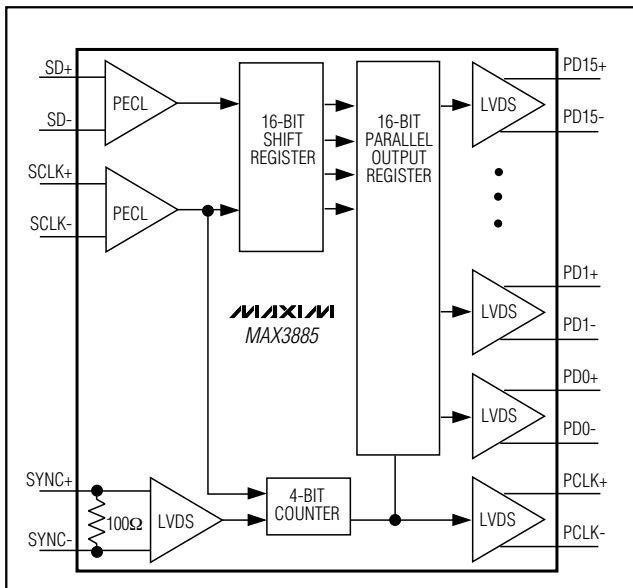


図2. ファンクションダイアグラム

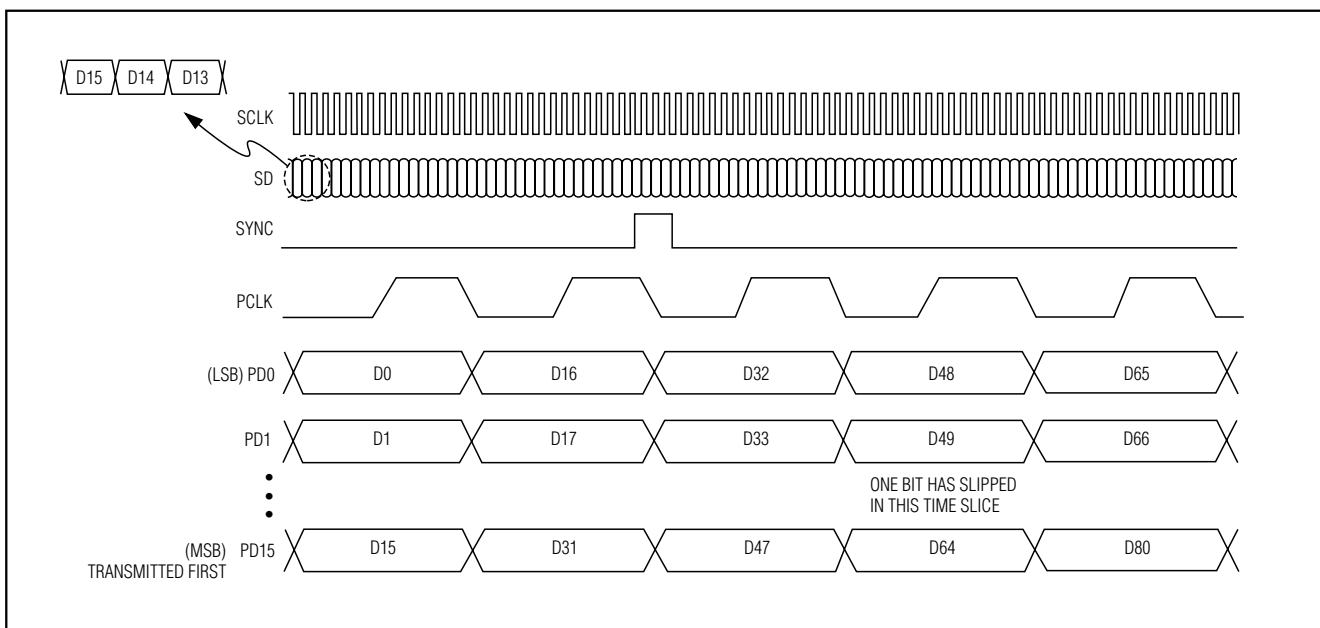


図3. タイミング図

+3.3V、2.488Gbps、SDH/SONET 1:16 デシリアライザ、LVDS出力付

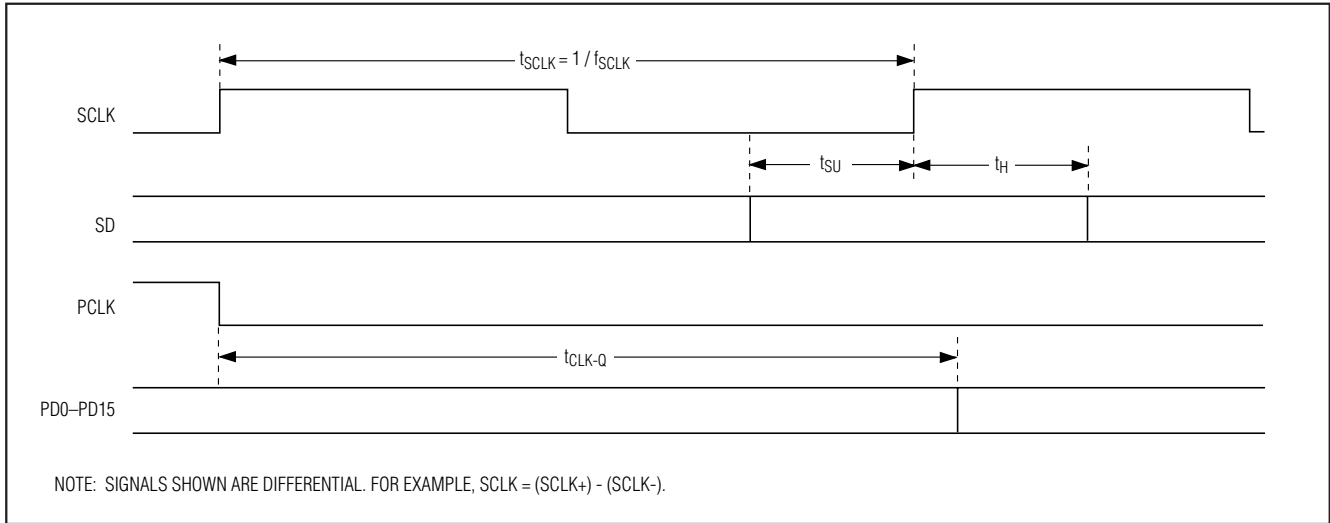


図4. タイミングパラメータ

なお、同期信号のLVDS入力(SYNC+, SYNC-)の間は内部差動入力抵抗器100Ωで終端処理してありますので、外部終端抵抗器を必要としません。

PECL入力

シリアルデータとクロックPECL入力(SD+, SD-, SCLK+, SCLK-)はPECLソースとインターフェースするとき、抵抗器の組み合わせで自己バイアス回路を構成すると、53Ωの終端抵抗器が $V_{CC} - 2V$ に対し必要です(PECL入力終端処理例を参照)。結果的に50Ωの入力抵抗と等価になります。

アプリケーション情報

PECL入力終端例

図5にPECL入力終端処理方法の例を示します。 $V_{CC} - 2V$ に終端処理するための電圧がないとき、テブナンの等価終端法を適用します。ECL出力のICとインターフェースするとき、MAX3885内部の自己バイアスは、簡便なECL ACカップリング終端処理でかけられます。

レイアウト技法

最高の性能を発揮させるために、最適な高周波のレイアウト技法を使用してください。電源にはフィルタを施し、グランドへの接続は最短距離でおこないます。可能な限り複数のピアを使用します。さらに、MAX3885の高速入出力とインターフェースするとき、標準インピーダンスケーブルの使用を推奨します。

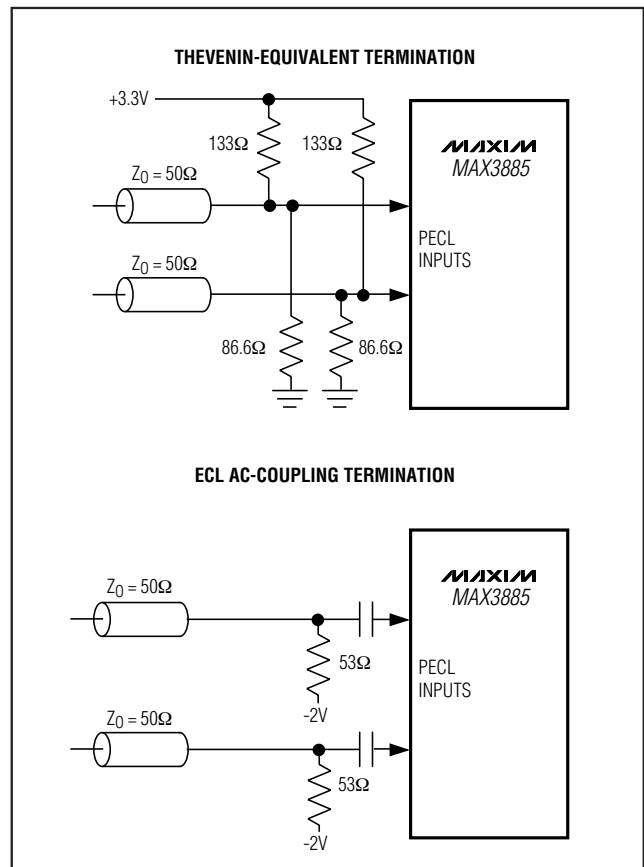
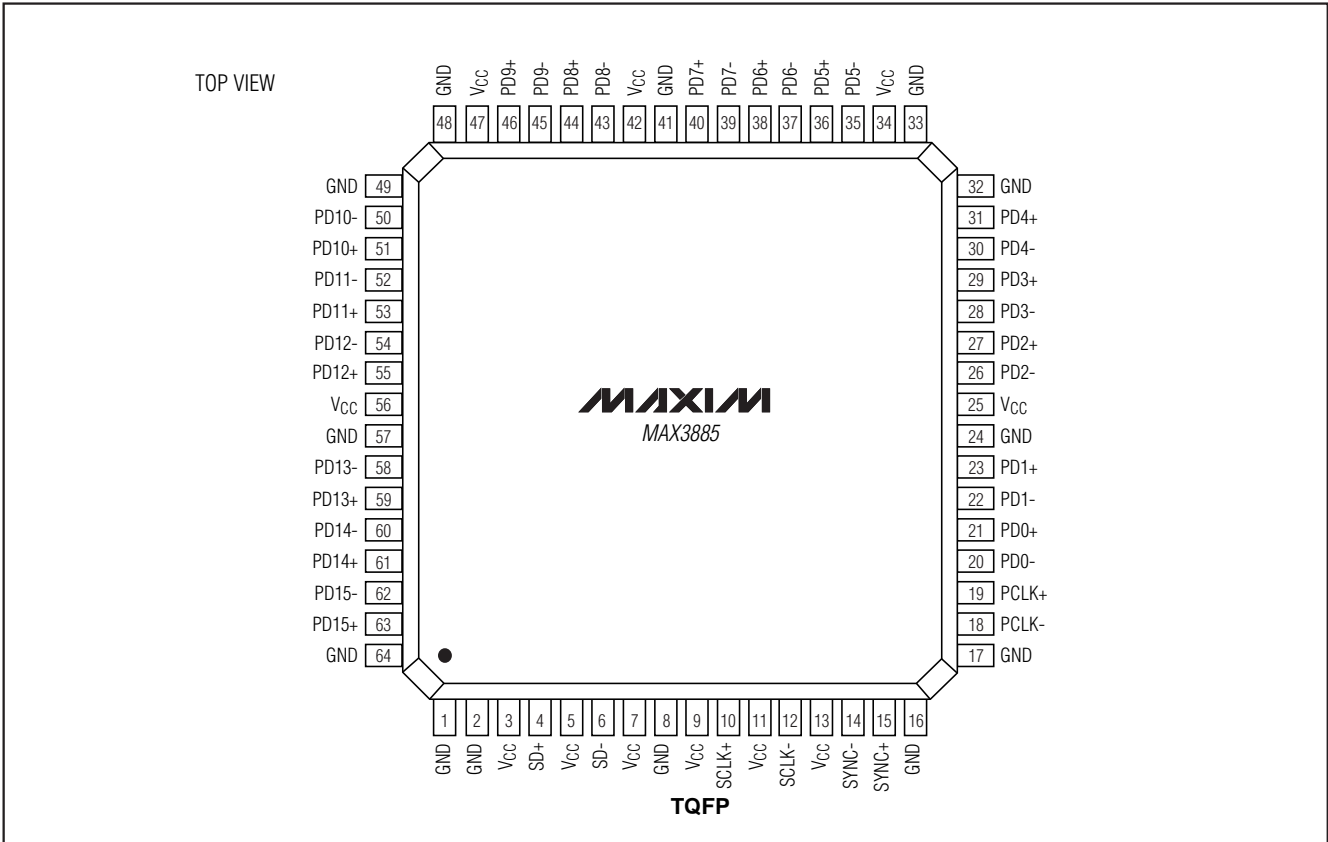


図5. PECL入力終端処理例

+3.3V、2.488Gbps、SDH/SONET 1:16 デシリアライザ、LVDS出力付

MAX3885

ピン配置



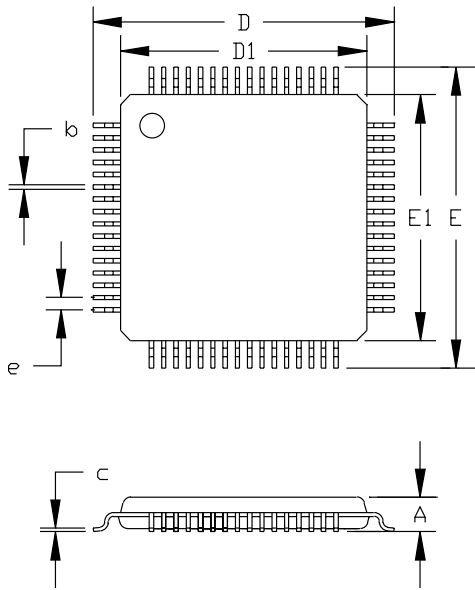
チップ情報

TRANSISTOR COUNT: 2820

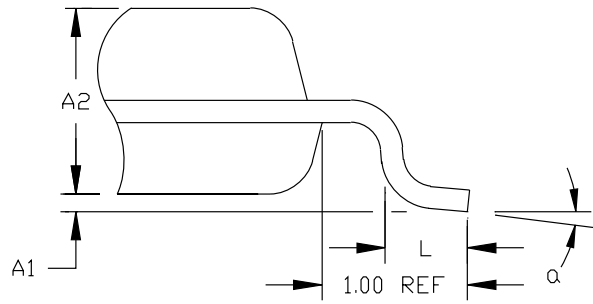
+3.3V、2.488Gbps、SDH/SONET 1:16 デシリアライザ、LVDS出力付

MAX3885

パッケージ



	JEDEC VARIATION					
	BC		BE		BJ	
	32 LEAD	48 LEAD	48 LEAD	64 LEAD	64 LEAD	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
A	---	1.60	---	1.60	---	1.60
A1	0.05	0.15	0.05	0.15	0.05	0.15
A2	1.35	1.45	1.35	1.45	1.35	1.45
D	8.90	9.10	8.90	9.10	12.00	BSC.
D1	7.00	BSC.	7.00	BSC.	10.00	BSC.
E	8.90	9.10	8.90	9.10	12.00	BSC.
E1	7.00	BSC.	7.00	BSC.	10.00	BSC.
e	0.8	BSC.	0.5	BSC.	0.5	BSC.
L	0.45	0.75	0.45	0.75	0.45	0.75
b	0.30	0.45	0.17	0.27	0.17	0.27
c	0.09	0.20	0.09	0.20	0.09	0.20
a	0°	7°	0°	7°	0°	7°



NOTES:

1. ALL DIMENSIONING AND TOLERANCING CONFORM TO ANSI Y14.5-1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. THIS OUTLINE CONFORMS TO JEDEC PUBLICATION 95 REGISTRATION MD-136, VARIATIONS BC, BE AND BJ.

MAXIM
 PROPRIETARY INFORMATION
 TITLE: PACKAGE OUTLINE, TQFP
 APPROVAL: _____ DOCUMENT CONTROL NO: 21-0054 REV: C 1/1

TOPPOEFS