

3.3V、622Mbps、SDH/SONET 4:1シリアルライザ クロック合成及びLVDS入力付

概要

MAX3691は、ATM及びSDH/SONETアプリケーションにおいて4ビット幅の155Mbpsパラレルデータを622Mbpsシリアルデータに変換するのに最適なシリアルライザです。+3.3V単一電源で動作し、高速デジタル回路とのインタフェース用に低電圧差動信号(LVDS)クロック及びデータ入力を受けて、3.3V PECLシリアルデータ出力を提供します。完全集積型のPLLが155.52MHzのリファレンスクロックから内部622Mbpsシリアルクロックを合成します。

MAX3691は、拡張工業用温度範囲(-40 ~ +85)のもの32ピンTQFPパッケージで提供されています。

アプリケーション

- 622Mbps SDH/SONET伝送システム
- 622Mbps ATM/SONETアクセスノード
- アッド/ドロップマルチプレクサ
- デジタルクロスコネクタ

特長

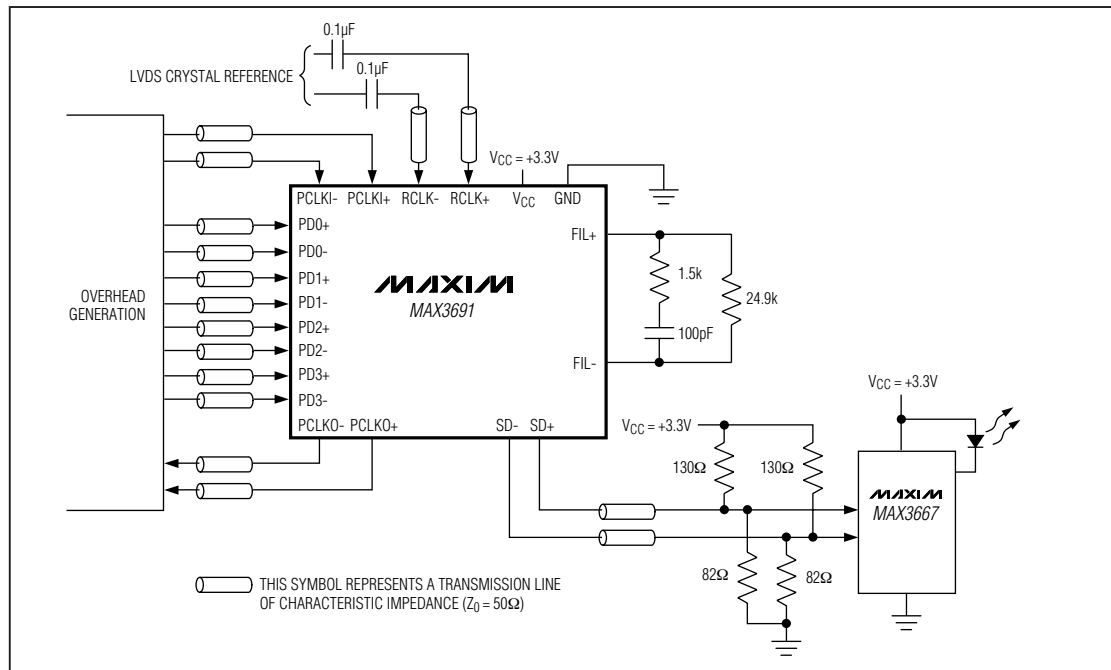
- ◆ 電源：+3.3V単一
- ◆ 155Mbpsパラレルから622Mbpsシリアルへの変換
- ◆ 消費電力：215mW
- ◆ LVDSパラレルクロック及びデータ入力
- ◆ 差動3.3V PECLシリアルデータ出力

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX3691ECJ	-40°C to +85°C	32 TQFP

ピン配置はデータシートの最後に記載されています。

標準動作回路



3.3V、622Mbps、SDH/SONET 4:1シリアライザ クロック合成及びLVDS入力付

MAX3691

ABSOLUTE MAXIMUM RATINGS

Terminal Voltage (with respect to GND)

V _{CC}	-0.5V to 5V
All Inputs.....	-0.5V to (V _{CC} + 0.5V)
Output Current	
LVDS Outputs (PCLKO±).....	10mA
PECL Outputs (SD±).....	50mA

Continuous Power Dissipation (T_A = +85°C)

TQFP (derate 10.20mW/°C above +85°C)	663mW
Operating Temperature Range	-40°C to +85°C
Storage Temperature Range	-65°C to +160°C
Lead Temperature (soldering, 10sec)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(V_{CC} = +3.0V to +3.6V, differential LVDS loads = 100Ω ±1%, PECL loads = 50Ω ±1% to (V_{CC} - 2V), T_A = -40°C to +85°C, unless otherwise noted. Typical values are at V_{CC} = +3.3V, T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Current	I _{CC}	PECL outputs unterminated	38	65	100	mA
PECL OUTPUTS (SD±)						
Output High Voltage	V _{OH}	T _A = +25°C to +85°C	V _{CC} - 1.03	V _{CC} - 0.88		V
		T _A = -40°C	V _{CC} - 1.08	V _{CC} - 0.88		
Output Low Voltage	V _{OL}	T _A = +25°C to +85°C	V _{CC} - 1.81	V _{CC} - 1.62		V
		T _A = -40°C	V _{CC} - 1.95	V _{CC} - 1.62		
LVDS INPUTS AND OUTPUTS (PCLKI±, RCLK±, PCLKO±, PD_±)						
Input Voltage Range	V _I	Differential input voltage = 100mV	0		2.4	V
Differential Input Threshold	V _{IDTH}	Common-mode voltage = 50mV	-100		100	mV
Threshold Hysteresis	V _{HYST}			70		mV
Differential Input Resistance	R _{IN}		85	100	115	Ω
Output High Voltage	V _{OH}				1.475	V
Output Low Voltage	V _{OL}		0.925			V
Differential Output Voltage	V _{OD}		250		400	mV
Change in Magnitude of Differential Output Voltage for Complementary States	ΔV _{OD}				25	mV
Output Offset Voltage	V _{OS}	T _A = +25°C	1.125		1.275	V
Change in Magnitude of Output Offset Voltage for Complementary States	ΔV _{OS}				25	mV
Single-Ended Output Resistance	R _O		40	70	140	Ω
Change in Magnitude of Single-Ended Output Resistance for Complementary States	ΔR _O			±1	±10	%

3.3V、622Mbps、SDH/SONET 4:1シリアライザ クロック合成及びLVDS入力付

MAX3691

AC ELECTRICAL CHARACTERISTICS

($V_{CC} = +3.0V$ to $+3.6V$, differential LVDS load = $100\Omega \pm 1\%$, PECL loads = $50\Omega \pm 1\%$ to $(V_{CC} - 2V)$ $T_A = +25^\circ C$, unless otherwise noted. Typical values are at $V_{CC} = +3.3V$.) (Note 1)

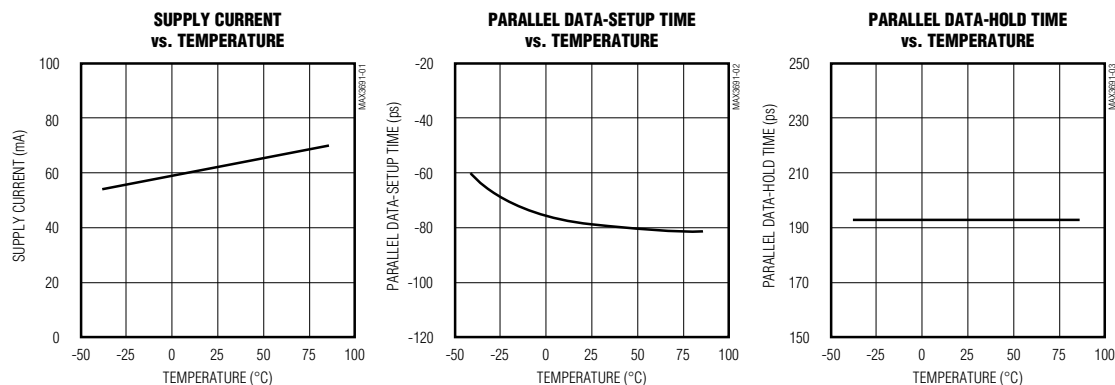
PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Serial Clock Rate	f_{SCLK}			622.08		MHz
Parallel Data-Setup Time	t_{SU}		200			ps
Parallel Data-Hold Time	t_H		600			ps
PCLKO to PCLKI Skew	t_{SKEW}		-0.7		+3.3	ns
Output Jitter	Φ_0	$T_A = -40^\circ C$ to $+85^\circ C$ (Note 2)			13	psRMS
PECL Differential Output Rise/Fall Time	t_R, t_F			400		ps

Note 1: AC characteristics guaranteed by design and characterization.

Note 2: Assumes a 50% duty cycle $\pm 5\%$.

標準動作特性

($V_{CC} = +3.0V$ to $+3.6V$, differential LVDS loads = 100Ω , unless otherwise noted.)

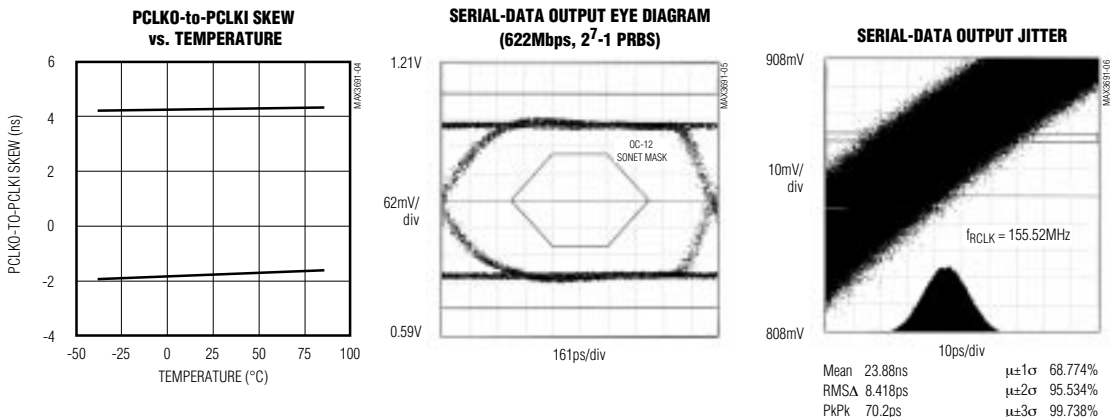


3.3V、622Mbps、SDH/SONET 4:1シリアライザ クロック合成及びLVDS入力付

MAX3691

標準動作特性(続き)

(V_{CC} = +3.0V to +3.6V, differential LVDS loads = 100Ω, unless otherwise noted.)



端子説明

端子	名称	機能
1, 3, 5, 7	PD0+ to PD3+	非反転LVDSパラレルデータ入力。データはPCLKI信号の正遷移で同期入力されます。
2, 4, 6, 8	PD0- to PD3-	反転LVDSパラレルデータ入力。データはPCLKI信号の正遷移で同期入力されます。
9, 17, 18, 19, 24, 25, 32	GND	グラウンド
10	PCLKO-	反転LVDSパラレルクロック出力。PCLKOはオーバーヘッドマネジメント回路のクロックとして使用してください。
11	PCLKO+	非反転LVDSパラレルクロック出力。PCLKOはオーバーヘッドマネジメント回路のクロックとして使用してください。
12, 13, 16, 20, 21, 28, 29	V _{CC}	+3.3V電源電圧
14	SD-	反転PECLシリアルデータ出力
15	SD+	非反転PECLシリアルデータ出力
22	FIL-	フィルタコンデンサ入力。外部部品の接続については 標準動作回路 を参照。
23	FIL+	フィルタコンデンサ入力。外部部品の接続については 標準動作回路 を参照。
26	RCLK+	非反転LVDSリファレンスクロック入力。RCLK入力には ACカップリングでクリスタルリファレンスクロック(155.52MHz)を接続してください。
27	RCLK-	反転LVDSリファレンスクロック入力。RCLK入力には ACカップリングでクリスタルリファレンスクロック(155.52MHz)を接続してください。
30	PCLKI+	非反転LVDSパラレルクロック入力。着信パラレルデータクロック信号をPCLKI入力に接続してください。データはPCLKI信号の正遷移で更新されることに注意してください。
31	PCLKI-	反転LVDSパラレルクロック入力。着信パラレルデータクロック信号をPCLKI入力に接続してください。データはPCLKI信号の正遷移で更新されることに注意してください。

3.3V、622Mbps、SDH/SONET 4:1シリアライザ クロック合成及びLVDS入力付

詳細

MAX3691は、4ビットパラレル入力レジスタ、4ビットシフトレジスタ、制御及びタイミングロジック、PECL出力バッファ、LVDS入力/出力バッファ及び周波数合成PLL(位相/周波数ディテクタ、ループフィルタ/アンプ及び電圧制御発振器から構成)で構成されており、4ビット幅の155Mbpsデータを622Mbpsシリアルデータに変換します(図1)。

PLLは、出力シフトレジスタのクロックとして使用される内部622Mbpsリファレンスを合成します。このクロックは、外部155.52MHzリファレンスクロック信号(RCLK)にロックすることによって生成されます。

入ってくるパラレルデータは、パラレルクロック入力信号 PCLKI の立上がり遷移でMAX3691に同期入力されます。制御及びタイミングロジックは、パラレル入力レジスタがパラレルクロック出力信号 PCLKO を基準とする時間ウィンドウ内でラッチされているならば、正常動作を保証します。PCLKOは合成された622Mbpsの内部シリアルクロック信号を4分周したものです。PCLKOからPCLKIへのスキューの許容範囲は、 $-0.7\text{ns} \sim +3.3\text{ns}$ です。これにより、PCLKO立上がりエッジ付近のタイミングウィンドウが定義されます。PCLKIの立上がりエッジはこのウィンドウ内に入るべきです。図2にタイミング図を示します。

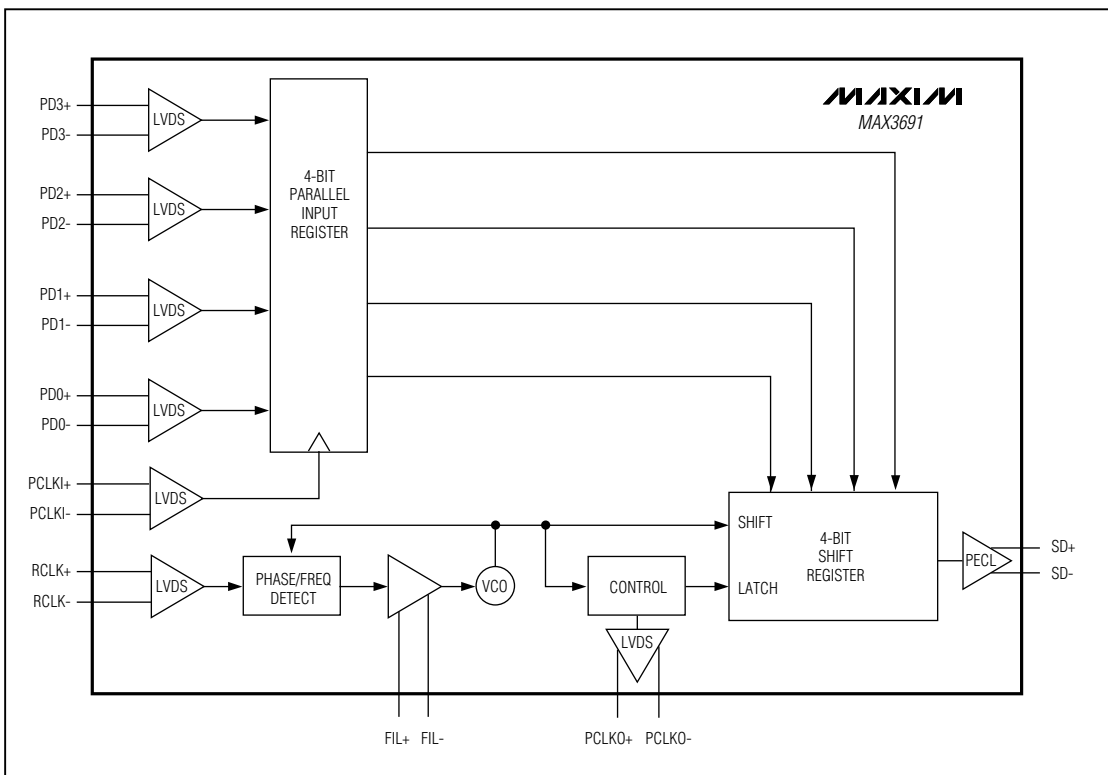


図1. ファンクションダイアグラム

3.3V、622Mbps、SDH/SONET 4:1シリアルライザ クロック合成及びLVDS入力付

MAX3691

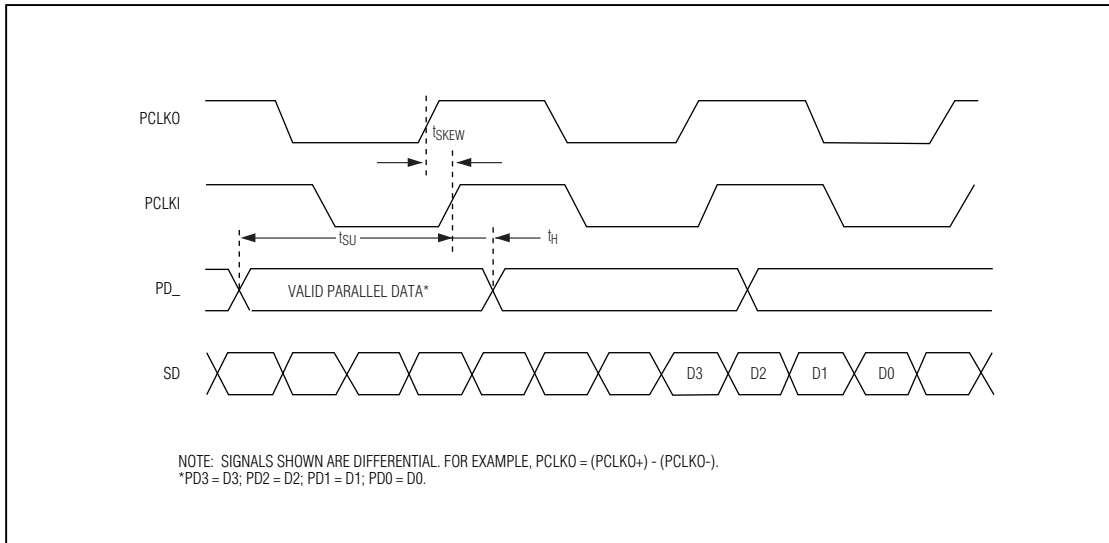


図2. タイミング図

低電圧差動信号 (LVDS) 入出力

MAX3691は、高速デジタル回路とのインタフェースを目的としたLVDS入出力を備えています。LVDS規格は、IEEE 1596.3であるLVDS規格に基づいています。この技術では250mV～400mVの差動低電圧スイングを使用して高速遷移、低消費電力、及びノイズ耐性を実現しています。

パラレルクロックLVDS出力 (PCLKO+, PCLKO-) が適正に動作するには、反転出力と非反転出力の間において100 Ωの差動DC終端処理を必要とします。これらの出力は、グランドに対して終端処理しないでください。

パラレルデータ及びパラレルクロックLVDS入力 (PD+, PD-, PCLKI+, PCLKI-) は、100 Ωの内部差動入力抵抗で終端処理されているため、外部で終端処理する必要はありません。

PECL出力

シリアルデータPECL出力 (SD+, SD-) は、50 Ωで ($V_{CC}-2V$) に対して終端処理する必要があります (PECL出力終端処理の別方法を参照)。

3.3V、622Mbps、SDH/SONET 4:1シリアルライザ クロック合成及びLVDS入力付

MAX3691

アプリケーション情報

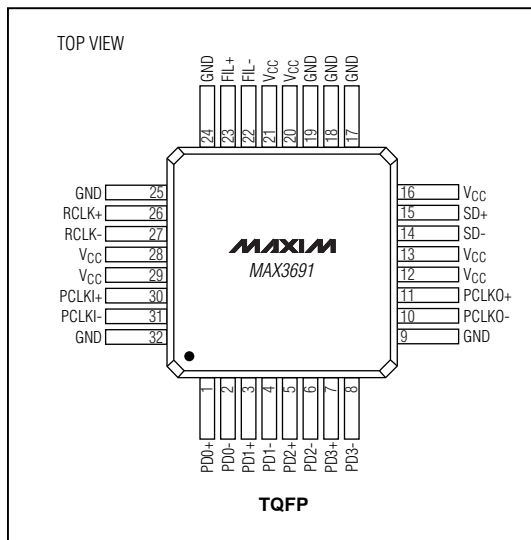
PECL出力終端処理の別方法

図3に、PECL出力終端処理の別方法を示します。(V_{CC} - 2V 終端電圧が得られない場合には、テブナン等価終端を使用してください。ACカップリングが必要な場合は、50Ω又はテブナン等価DC終端の後にカップリングコンデンサを使用してください。)

レイアウト技法

最高の性能を得るには、優れた高周波レイアウト技法を使用してください。電源にはフィルタリングを施し、グラウンドの接続は短くしてください。できるだけビアを多く使用してください。また、MAX3691のクロック及びデータ入出力とのインタフェースには、インピーダンスが調整された伝送ラインを使用してください。

ピン配置



チップ情報

TRANSISTOR COUNT: 1633

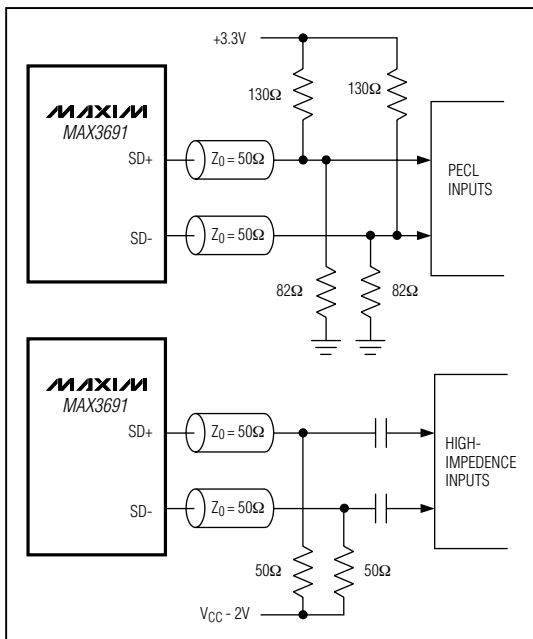
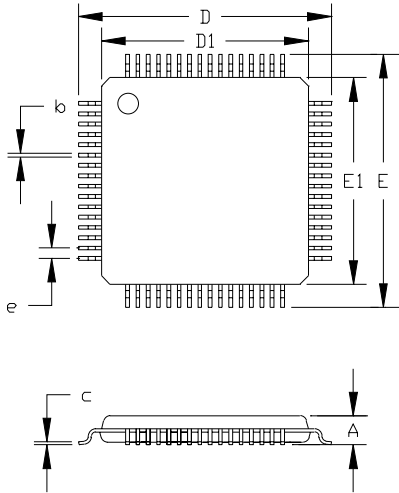


図3. PECL出力終端処理の別方法

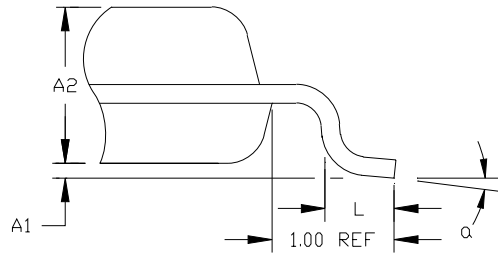
3.3V、622Mbps、SDH/SONET 4:1シリアライザ クロック合成及びLVDS入力付

MAX3691

パッケージ



JEDEC VARIATION						
	BC		BE		BJ	
	32 LEAD		48 LEAD		64 LEAD	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
A	---	1.60	---	1.60	---	1.60
A1	0.05	0.15	0.05	0.15	0.05	0.15
A2	1.35	1.45	1.35	1.45	1.35	1.45
D	8.90	9.10	8.90	9.10	12.00	BSC.
D1	7.00	BSC.	7.00	BSC.	10.00	BSC.
E	8.90	9.10	8.90	9.10	12.00	BSC.
E1	7.00	BSC.	7.00	BSC.	10.00	BSC.
e	0.8	BSC.	0.5	BSC.	0.5	BSC.
L	0.45	0.75	0.45	0.75	0.45	0.75
b	0.30	0.45	0.17	0.27	0.17	0.27
c	0.09	0.20	0.09	0.20	0.09	0.20
α	0°	7°	0°	7°	0°	7°



NOTES:

1. ALL DIMENSIONING AND TOLERANCING CONFORM TO ANSI Y14.5-1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. THIS OUTLINE CONFORMS TO JEDEC PUBLICATION 95 REGISTRATION MO-136, VARIATIONS BC, BE AND BJ.

MAXIM
PROPRIETARY INFORMATION
 TITLE: PACKAGE OUTLINE, TQFP
 APPROVAL: _____ DOCUMENT CONTROL NO. 21-0054 REV C 1/1

TOP/POLEPS

マキシム・ジャパン株式会社

〒169 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

8 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600**