

+3.3V、622Mbps、SDH/SONET 8:1シリアライザ クロック合成及びTTL入力付

概要

MAX3690は、ATM及びSDH/SONETアプリケーションにおいて8ビット幅の77Mbpsパラレルデータを622Mbpsシリアルデータに変換するのに最適なシリアライザです。+3.3V単一電源で動作し、TTLクロック及びデータ入力を受けて、3.3V 差動PECLシリアルデータ出力を提供します。完全集積型のPLLが、低速度のクリスタルリファレンスクロック(77.76MHz、51.84MHz又は38.88MHz)から内部622Mbpsシリアルクロックを合成します。

MAX3690は、拡張工業用温度範囲(-40 ~ +85) のものが32ピンTQFPパッケージで提供されています。

アプリケーション

- 622Mbps SDH/SONET伝送システム
- 622Mbps ATM/SONETアクセスノード
- アッド/ドロップマルチプレクサ
- デジタルクロスコネクタ

特長

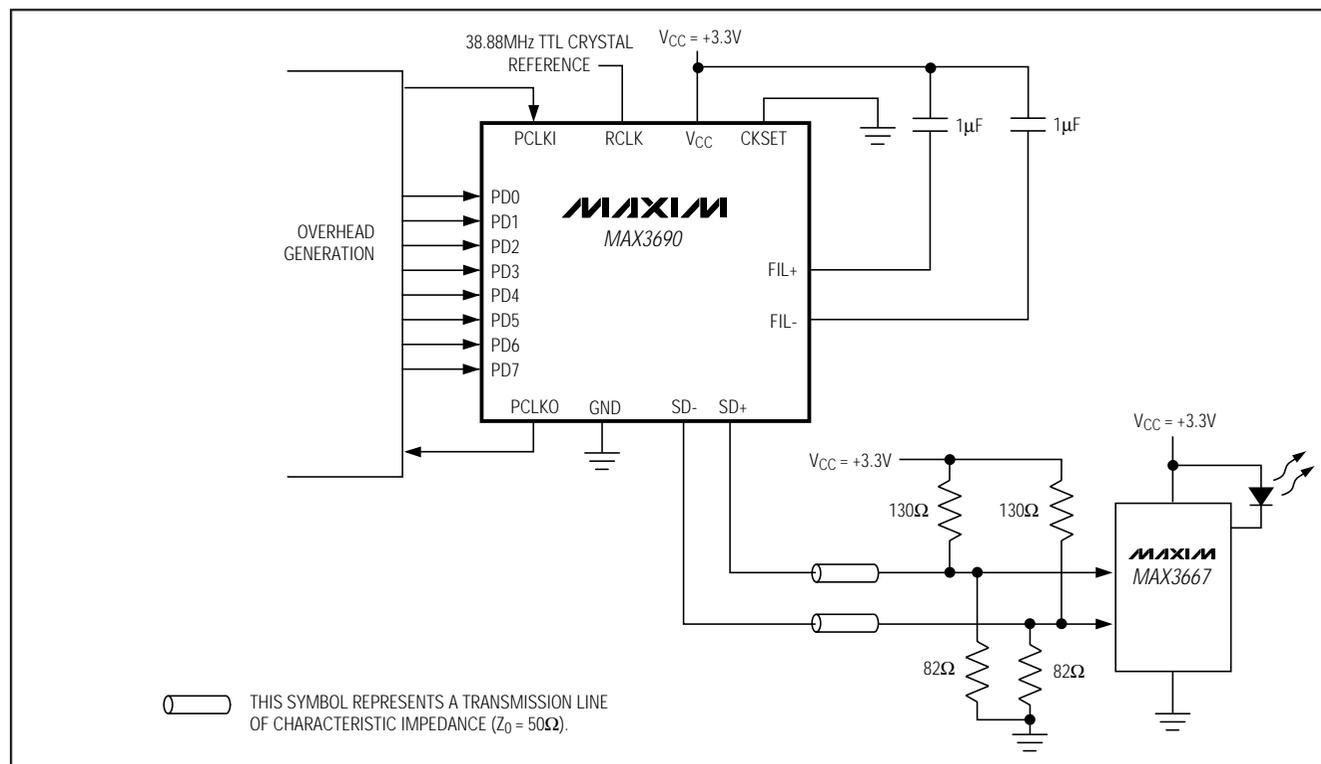
- ◆ リファレンスクロック :
77.76MHz、51.84MHz又は38.88MHz
- ◆ 単一電源 : +3.3V
- ◆ 77Mbps(8ビット)パラレルから
622Mbpsシリアルへの変換
- ◆ 622Mbpsシリアルデータ用のクロック合成
- ◆ 消費電力 : 200mW
- ◆ TTLパラレルクロック及びデータ入力
- ◆ 差動3.3V PECLシリアルデータ出力

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX3690ECJ	-40°C to +85°C	32 TQFP

ピン配置はデータシートの最後に記載されています。

標準動作回路



+3.3V、622Mbps、SDH/SONET 8:1 シリアライザ クロック合成及びTTL入力付

MAX3690

ABSOLUTE MAXIMUM RATINGS

Terminal Voltage (with respect to GND)		Continuous Power Dissipation ($T_A = +85^\circ\text{C}$)
V_{CC}	-0.5V to +5V	TQFP (derate 10.2mW/ $^\circ\text{C}$ above +85 $^\circ\text{C}$)
All Inputs, FIL-, FIL+, PCLKO	-0.5V to ($V_{CC} + 0.5\text{V}$)	Operating Temperature Range
Output Current		Storage Temperature Range
PECL Outputs (SD_{\pm})	50mA	Lead Temperature (soldering, 10sec)

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

($V_{CC} = +3.0\text{V}$ to +3.6V, PECL loads = $50\Omega \pm 1\%$ to ($V_{CC} - 2\text{V}$), $T_A = -40^\circ\text{C}$ to +85 $^\circ\text{C}$, unless otherwise noted. Typical values are at $V_{CC} = +3.3\text{V}$, $T_A = +25^\circ\text{C}$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Current	I_{CC}	PECL outputs unterminated		60	100	mA
CKSET Input Current	I_{CKSET}	CKSET = 0 or V_{CC}			500	μA
PECL OUTPUTS (SD_{\pm})						
Output High Voltage	V_{OH}	$T_A = 0^\circ\text{C}$ to +85 $^\circ\text{C}$	$V_{CC} - 1.025$	$V_{CC} - 0.88$		V
		$T_A = -40^\circ\text{C}$	$V_{CC} - 1.085$	$V_{CC} - 0.88$		
Output Low Voltage	V_{OL}	$T_A = 0^\circ\text{C}$ to +85 $^\circ\text{C}$	$V_{CC} - 1.81$	$V_{CC} - 1.62$		V
		$T_A = -40^\circ\text{C}$	$V_{CC} - 1.83$	$V_{CC} - 1.555$		
TTL INPUTS AND OUTPUTS (PCLKI, RCLK, PCLKO, PD_)						
Input High Voltage	V_{IH}		2.0			V
Input Low Voltage	V_{IL}				0.8	V
Input High Current	I_{IH}	$V_{IN} = V_{CC}$	-10		10	μA
Input Low Current	I_{IL}	$V_{IN} = 0$	-10		10	μA
Output High Voltage	V_{OH}	$I_{OH} = 400\mu\text{A}$	2.4			V
Output Low Voltage	V_{OL}	$I_{OL} = -400\mu\text{A}$			0.44	V

AC ELECTRICAL CHARACTERISTICS

($V_{CC} = +3.0\text{V}$ to +3.6V, PECL loads = $50\Omega \pm 1\%$ to ($V_{CC} - 2\text{V}$), all TTL thresholds set to $V_{CC}/2$, $T_A = -40^\circ\text{C}$ to +85 $^\circ\text{C}$, unless otherwise noted. Typical values are at $V_{CC} = +3.3\text{V}$, $T_A = +25^\circ\text{C}$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Serial Clock Rate	f_{SCLK}			622.08		MHz
Parallel Data Setup Time	t_{SU}		1200			ps
Parallel Data Hold Time	t_{H}		1000			ps
Allowable Parallel Clock Output to Parallel Clock Input Delay	t_{SKEW}		0		5.0	ns
Output Random Jitter	Φ_0				11	psRMS
PECL Differential Output Rise/Fall Time	t_R, t_F	20% to 80%		200		ps
TTL Output Rise Time	t_R	$C_{LOAD} = 15\text{pF}$, $V_{OUT} = 0.8\text{V}$ to 2.0V		650		ns
TTL Output Fall Time	t_F	$C_{LOAD} = 15\text{pF}$, $V_{OUT} = 0.8\text{V}$ to 2.0V		550		ns

Note 1: AC characteristics guaranteed by design and characterization.

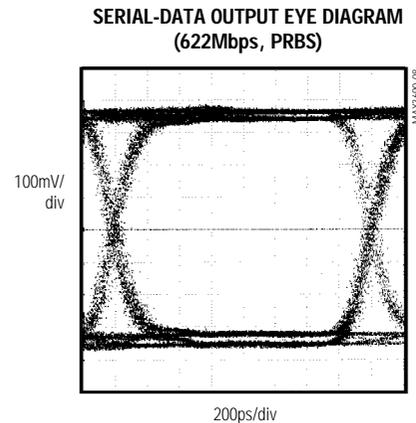
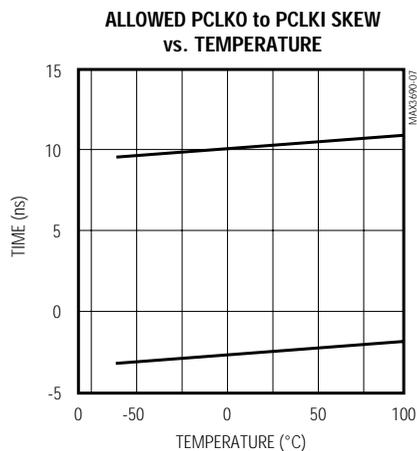
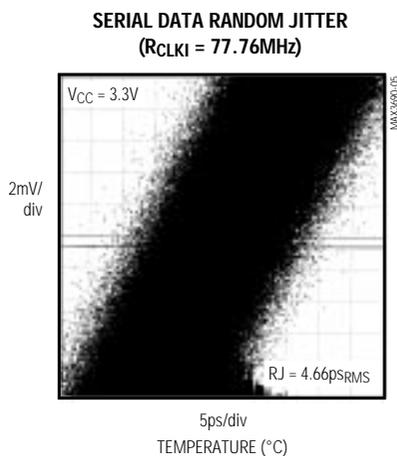
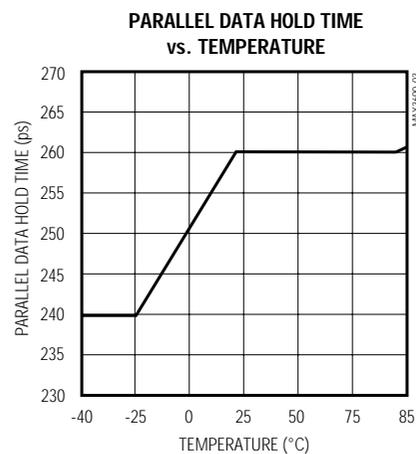
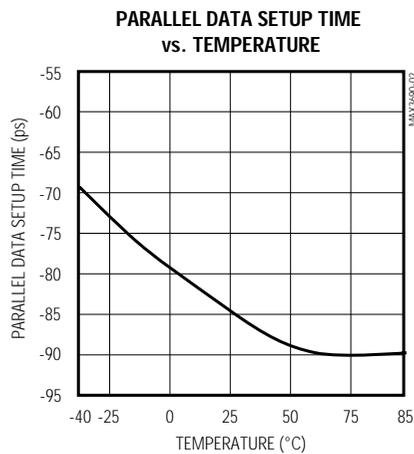
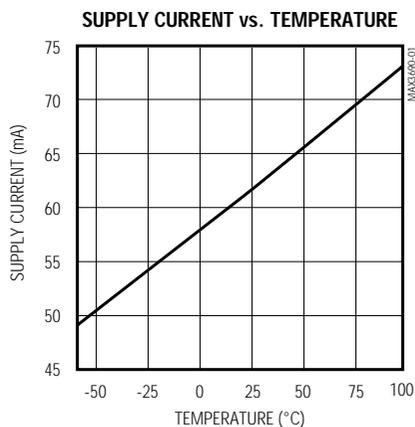
Note 2: All TTL thresholds set to $V_{CC} / 2$.

+3.3V、622Mbps、SDH/SONET 8:1シリアライザ クロック合成及びTTL入力付

MAX3690

標準動作特性

(V_{CC} = +3.3V, T_A = +25°C, unless otherwise noted)



+3.3V、622Mbps、SDH/SONET 8:1 シリアルライザ クロック合成及びTTL入力付

MAX3690

端子説明

端子	名称	機能
1-8	PD0-PD7	TTLパラレルデータ入力。データはPCLKI信号の正遷移で同期入力されます。
9, 10, 17, 18, 19, 24, 25, 26, 31, 32	GND	グランド
11	PCLKO	TTLパラレルクロック出力。PCLKOは、オーパヘッドマネジメント回路のクロックとして使用して下さい。
12, 13, 16, 21, 28, 29	V _{CC}	+3.3V電源電圧
14	SD-	反転PECLシリアルデータ出力
15	SD+	非反転PECLシリアルデータ出力
20	CKSET	リファレンスクロックレートプログラミングピン。 CKSET = オープン : リファレンスクロックレート = 77.76MHz CKSET = GNDに対して20k Ω : リファレンスクロックレート = 51.84MHz CKSET = GND : リファレンスクロックレート = 38.88MHz
22	FIL-	フィルタコンデンサ入力。FIL-とV _{CC} の間に、1 μ Fコンデンサを接続して下さい。
23	FIL+	フィルタコンデンサ入力。FIL+とV _{CC} の間に、1 μ Fコンデンサを接続して下さい。
27	RCLK	TTLリファレンスクロック入力。RCLK入力には、クリスタルリファレンスクロック(77.76MHz、51.84MHz又は38.88MHz)を接続して下さい。正遷移エッジがアクティブエッジです。
30	PCLKI	TTLパラレルクロック入力。着信パラレルデータクロック信号をPCLKI入力に接続して下さい。正遷移エッジがアクティブエッジです。

詳細

MAX3690シリアルライザは、8ビットパラレル入力レジスタ、8ビットシフトレジスタ、制御及びタイミングロジック、PECL出力バッファ、TTL入力/出力バッファ及び周波数合成PLL(位相/周波数ディテクタ、ループフィルタ/アンプ、電圧制御発振器及びプログラマブルプリスケラから構成)で構成されており、8ビット幅の77Mbpsパラレルデータを622Mbpsシリアルデータに変換します(図1)。

PLLは、出力シフトレジスタのクロックとして使用される内部622Mbpsリファレンスを合成します。このクロックは、77.76MHz、51.84MHz又は38.88MHzの外部クリスタルリファレンスクロック信号(RCLK)にロックすることによって生成されます。入ってくるパラレル

データは、パラレルクロック入力信号(PCLKI)の立上がり遷移でMAX3690に同期入力されます。制御及びタイミングロジックは、パラレル入力レジスタがパラレルクロック出力信号(PCLKO)を基準とする時間ウィンドウ内でラッチされている場合に正常動作を保証します。PCLKOは、合成された622Mbpsの内部シリアルクロック信号を8分周したものです。PCLKOからPCLKIへの遅延(スキュー)の許容範囲を守る必要があります。図2に、タイミング図を示します。

PECL出力

シリアルデータPECL出力(SD+、SD-)は、50 Ω で(V_{CC} - 2V)に対してDC終端処理する必要があります。「PECL出力終端処理の別方法」を参照。

+3.3V、622Mbps、SDH/SONET 8:1シリアライザ クロック合成及びTTL入力付

MAX3690

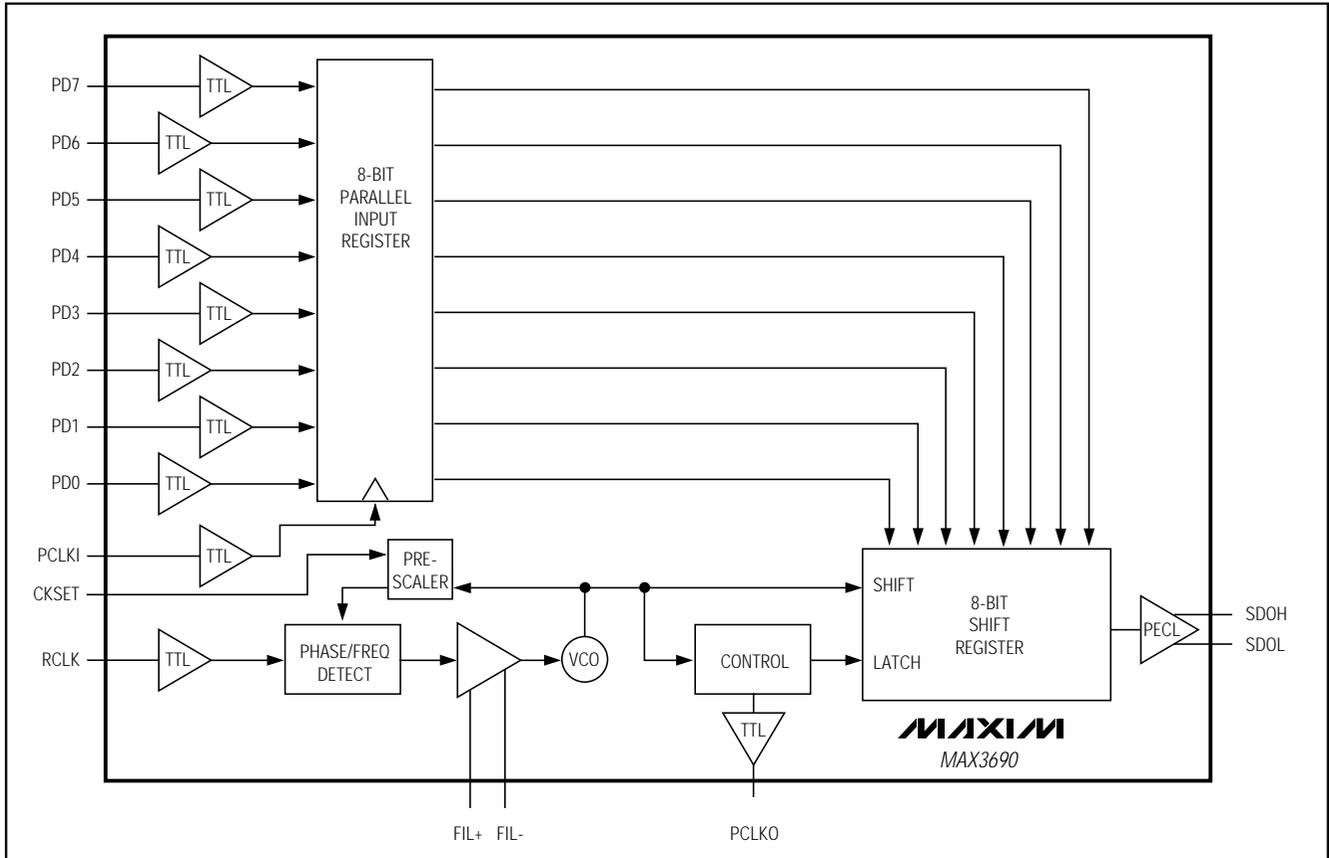


図1. ファンクションダイアグラム

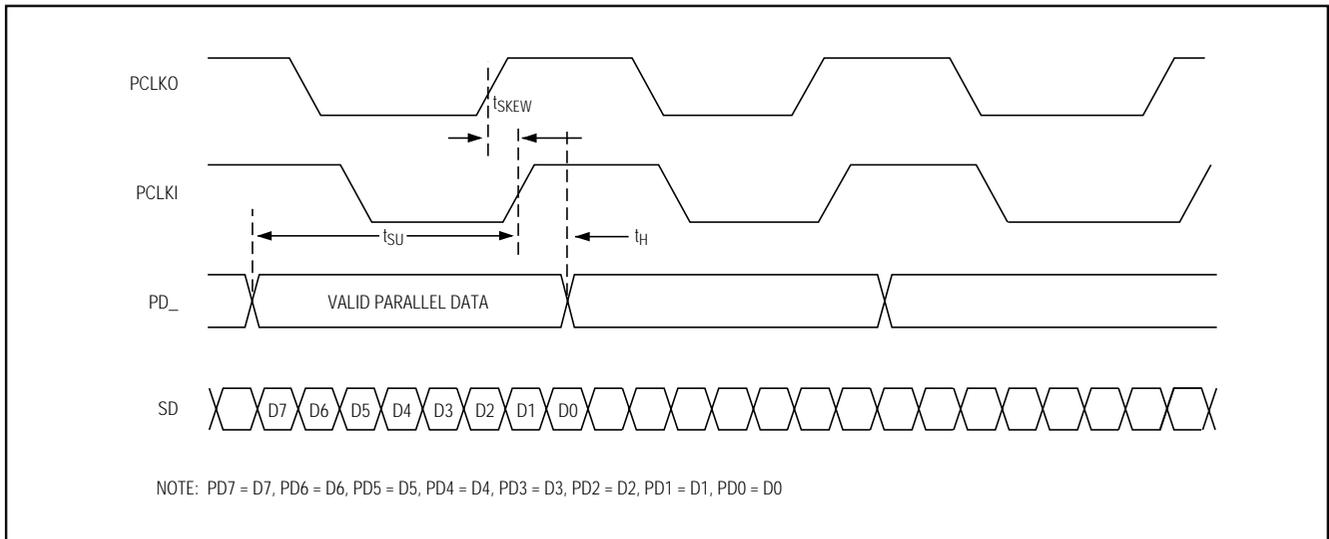


図2. タイミング図

+3.3V、622Mbps、SDH/SONET 8:1 シリアルライザ クロック合成及びTTL入力付

MAX3690

アプリケーション情報

PECL出力終端処理の別方法

図3に、PECL出力終端処理の別方法を示します。(V_{CC} - 2V)終端電圧が得られない場合には、テブナン等価終端を使用して下さい。ACカップリングが必要な場合は、50Ω又はテブナン等価DC終端の後にカップリングコンデンサを使用して下さい。

レイアウト技法

最高の性能を得るには、優れた高周波レイアウト技法を使用して下さい。電源にはフィルタリングを施し、グランドの接続は短くして下さい。できるだけビアを多く使用して下さい。また、MAX3690のクロック及びデータ入出力とのインタフェースには、インピーダンスが調整された伝送ラインを使用して下さい。

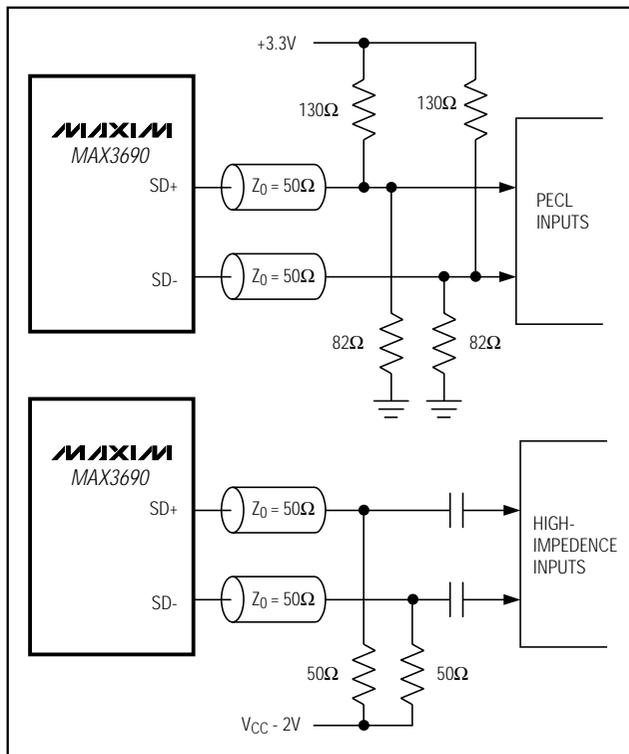
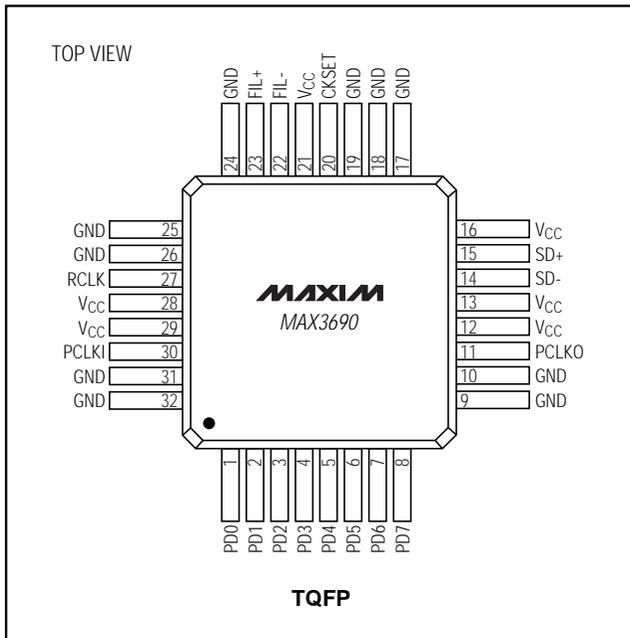


図3. PECL出力終端処理の別方法

+3.3V、622Mbps、SDH/SONET 8:1シリアライザ クロック合成及びTTL入力付

ピン配置



MAX3690

+3.3V、622Mbps、SDH/SONET 8:1 シリアルライザ クロック合成及びTTL入力付

MAX3690

パッケージ

JEDEC VARIATION						
	BC		BE		BJ	
	32 LEAD		48 LEAD		64 LEAD	
	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.
A	---	1.60	---	1.60	---	1.60
A ₁	0.05	0.15	0.05	0.15	0.05	0.15
A ₂	1.35	1.45	1.35	1.45	1.35	1.45
D	8.90	9.10	8.90	9.10	12.00	BSC.
D ₁	7.00	BSC.	7.00	BSC.	10.00	BSC.
E	8.90	9.10	8.90	9.10	12.00	BSC.
E ₁	7.00	BSC.	7.00	BSC.	10.00	BSC.
e	0.8	BSC.	0.5	BSC.	0.5	BSC.
L	0.45	0.75	0.45	0.75	0.45	0.75
b	0.30	0.45	0.17	0.27	0.17	0.27
c	0.09	0.20	0.09	0.20	0.09	0.20
α	0°	7°	0°	7°	0°	7°

NOTES:

1. ALL DIMENSIONING AND TOLERANCING CONFORM TO ANSI Y14.5-1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. THIS OUTLINE CONFORMS TO JEDEC PUBLICATION 95 REGISTRATION MO-136, VARIATIONS BC, BE AND BJ.

MAXIM			
PROPRIETARY INFORMATION			
TITLE:			
PACKAGE OUTLINE, TQFP			
APPROVAL	DOCUMENT CONTROL NO.	REV	1/1
	21-0054	C	

TOFFPOEPS

販売代理店

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

8 _____ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

© 1998 Maxim Integrated Products

MAXIM is a registered trademark of Maxim Integrated Products.