

# MAXIM

## 完全デュアルバンド 直交トランスミッタ

# MAX2369

### 概要

MAX2369は、セルラ電話アプリケーション用デュアルバンド、トリプルモードのコンプリートトランスミッタです。この製品は、差動/Qベースバンド入力を受け入れ、直交変調器及びIF可変利得アンプ(VGA)を通じてそれをミキシングし、IFに送ります。この信号は次に外部バンドパスフィルタに送られ、SSBミキサ及びRF VGAを通じてRFにアップ変換されます。信号は内蔵PAドライバで更に増幅されます。

MAX2369はデュアルバンド動作するように設計されており、PCS帯域用TDMAと、セルラ帯域用TDMA及びAMPSをサポートしています。動作モードは、SPI™/MICROWIRE™コンパチブルの3線シリアルバスにデータをロードすることによって選択します。続いてMAX2369は、選択された帯域に応じて適切なポートに信号を送ります。MAX2369は2つのRF LO入力ポート及び2つのPAドライバポートを備えているため、外付スイッチング回路が不要です。

MAX2369はシリアルバスを利用して、チャージポンプの電流、ハイサイド又はローサイドの帯域インジェクション、及びIF/RF利得/バランス等のモードを設定します。MAX2369は露出パドル付の小型(7mm x 7mm)48ピンQFNパッケージで提供されています。

### アプリケーション

- デュアルバンドTDMA/アンプハンドセット
- GAITハンドセット
- トリプルモード、デュアルモード又はシングルモードの携帯電話
- 衛星電話
- ワイヤレスデータリンク(WAN/LAN)
- ワイヤレスローカルエリアネットワーク(LAN)
- 高速データモデム
- 高速デジタルコードレス電話
- ワイヤレスローカルループ(WLL)

ピン配置はデータシートの最後に記載されています。  
選択ガイドはデータシートの最後に記載されています。

SPI及びQSPIは、Motorola, Inc.の商標です。  
MICROWIREは、National Semiconductor Corp.の商標です。

### 特長

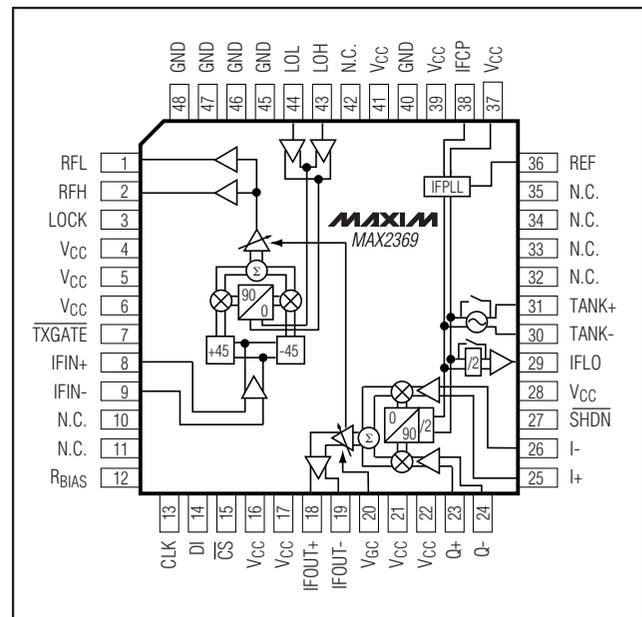
- ◆ デュアルバンド、トリプルモード動作
- ◆ -34dBc ACPRでの出力電力：+7dBm(NADC変調)
- ◆ 電力制御範囲：100dB
- ◆ 出力電力が減少するにつれて消費電流も減少
- ◆ 内蔵IF VCO及びIF PLL
- ◆ QSPI/SPI/MICROWIREコンパチブル3線バス
- ◆ デジタル制御の動作モード
- ◆ 電源動作：+2.7V~+5.5V
- ◆ シングルサイドバンドアップコンバータによりSAWフィルタが不要
- ◆ IF及びRFに分配される電力制御により最適なダイナミックレンジを実現

### 型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX2369EGM	-40°C to +85°C	48 QFN-EP*

\* 露出パドル

### ファンクションダイアグラム



# MAXIM

Maxim Integrated Products 1

本データシートに記載された内容はMaxim Integrated Productsの公式な英語版データシートを翻訳したものです。翻訳により生じる相違及び誤りについては責任を負いかねます。正確な内容の把握には英語版データシートをご参照ください。

無料サンプル及び最新版データシートの入手には、マキシムのホームページをご利用ください。http://japan.maxim-ic.com

# 完全デュアルバンド 直交トランスミッタ

MAX2369

## ABSOLUTE MAXIMUM RATINGS

V<sub>CC</sub> to GND .....-0.3V to +3.6V  
 RFL, RFH.....+5.5V  
 DI, CLK, CS, VGC, SHDN, TXGATE,  
 LOCK.....-0.3V to (V<sub>CC</sub> + 0.3V)  
 AC Input Pins (IFIN, Q, I, TANK, REF,  
 LOL, LOH).....1.0V peak  
 Digital Input Current (SHDN, TXGATE,  
 CLK, DI, CS).....±10mA

Continuous Power Dissipation (T<sub>A</sub> = +70°C)  
 48-Pin QFN-EP (derate 27mW/°C above +70°C) .....2.5W  
 Operating Temperature Range .....-40°C to +85°C  
 Junction Temperature .....+150°C  
 Storage Temperature Range .....-65°C to +160°C  
 Lead Temperature (soldering, 10s) .....+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## DC ELECTRICAL CHARACTERISTICS

(MAX2369 Test Fixture: V<sub>CC</sub> = V<sub>BATT</sub> = +2.75V, SHDN = TXGATE = +2.0V, VGC = +2.5V, R<sub>BIAS</sub> = 16kΩ, T<sub>A</sub> = -40°C to +85°C, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C, and operating modes are defined in Table 6.)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Operating Supply Voltage			2.7		3.0	V
Operating Supply Current	(Note 1)	PCS mode	VGC = 0.5V	80	106	mA
			VGC = 2.0V	85	112	
			VGC = 2.5V	120	150	
		Cellular digital mode	VGC = 0.5V	82	107	
			VGC = 2.0V	87	113	
			VGC = 2.5V	123	155	
		FM mode	VGC = 0.5V	77	101	
			VGC = 2.0V	80	105	
			VGC = 2.5V	105	133	
		Addition for IFLO buffer			6.5	
TXGATE = 0.6V			16	25		
SHDN = 0.6V, sleep mode			0.5	20	μA	
Logic High			2.0			V
Logic Low					0.6	V
Logic Input Current			-5		+5	μA
VGC Input Current			-12		+12	μA
VGC Input Resistance During Shutdown	SHDN = 0.6V		200	280		kΩ
Lock Indicator High	50kΩ pullup load		V <sub>CC</sub> - 0.4			V
Lock Indicator Low	50kΩ pullup load				0.4	V

## AC ELECTRICAL CHARACTERISTICS

(MAX2369 Evaluation Kit: 50Ω system, operating modes as defined in Table 6, input voltage at I and Q = 200mV<sub>RMS</sub> differential, common mode = V<sub>CC</sub>/2, 300kHz quadrature CW tones, IF synthesizer locked with passive lead-lag second-order loop filter, REF = 200mV<sub>p-p</sub> at 19.44MHz, V<sub>CC</sub> = SHDN = CS = TXGATE = +2.75V, V<sub>BAT</sub> = +2.75V, IF output load = 400Ω, LOH, LOL input power = -7dBm, f<sub>LOL</sub> = 1017.26MHz, f<sub>LOH</sub> = 2061.26MHz, IFIN = 125mV<sub>RMS</sub> at 181.26MHz, IS-136 TDMA modulation, f<sub>RFH</sub> = 1880MHz, f<sub>RFL</sub> = 836MHz, T<sub>A</sub> = +25°C, unless otherwise noted.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
<b>MODULATOR, QUADRATURE MODES</b> (Digital Cellular, Digital PCS, FM IQ)					
IF Frequency Range		120–235			MHz
I/Q Common-Mode Input Voltage	V <sub>CC</sub> = 2.7V to 3.0V (Notes 2, 3, 4)	1.35	V <sub>CC</sub> / 2	V <sub>CC</sub> – 1.25	V
IF Gain Control Range	VGC = 0.5V to 2.5V, IFG = 100	85			dB
IF Output Power, Digital Mode	VGC = 2.5V, IFG = 100	-10			dBm
Gain Variation Over Temperature	Relative to +25°C, T <sub>A</sub> = -40°C to +85°C (Note 4)	±0.8			dB
RX Band Noise Power	VGC = 2.5V, IFG = 100, F <sub>IF</sub> = 181.26MHz, noise measured at F <sub>IF</sub> ± 20MHz	-145			dBm/Hz
Carrier Suppression	VGC = 2.5V, IFG = 100	30	49		dB
Sideband Suppression	VGC = 2.5V, IFG = 100	30	38		dB
<b>MODULATOR, FM MODE</b>					
IF Gain Control Range	VGC = 0.5V to 2.5V, IFG = 100	85			dB
Output Power	VGC = 2.5V, IFG = 111, I/Q modulation	-8.5			dBm
	VGC = 2.5V, IFG = 111, direct VCO modulation	-5.5			
<b>UPCONVERTER AND PREDRIVER</b>					
IF Frequency Range		120–235			MHz
Low-Band Frequency Range	RFL port	800–1000			MHz
High-Band Frequency Range	RFH port	1700–2000			MHz
LOL Frequency Range		800–1150			MHz
LOH Frequency Range		1400–2300			MHz
Output Power, RFL (Note 4)	VGC = 2.5V, NADC modulation, ACPR < -32dBc/-55dBc at +30kHz/+60kHz offset	5.8	7		dBm
	VGC = 2.5V, FM mode	9	12		
Output Power, RFH (Note 4)	VGC = 2.6V, NADC modulation, ACPR = -32dB/-55dBc at +30kHz/+60kHz offset	4	6.6		dBm
Power-Control Range	VGC = 0.5V to 2.5V	30			dB
Gain Variation Over Temperature	Relative to +25°C, T <sub>A</sub> = -40°C to +85°C (Note 4)	±3			dB
RF Image Rejection (Note 4)	RFL	-25			dBc
	RFH	-24			
LO Leakage (Note 4)	RFL, VGC = 2.5V			-22	dBm
	RFH, VGC = 2.6V			-24	
RX Band Noise Power	RFL, VGC = 2.5V			-133	dBm/Hz
	RFH, VGC = 2.6V			-134	

# 完全デュアルバンド 直交トランスミッタ

MAX2369

## AC ELECTRICAL CHARACTERISTICS (continued)

(MAX2369 Evaluation Kit: 50Ω system, operating modes as defined in Table 6, input voltage at I and Q = 200mV<sub>RMS</sub> differential, common mode = V<sub>CC</sub>/2, 300kHz quadrature CW tones, IF synthesizer locked with passive lead-lag second-order loop filter, REF = 200mV<sub>p-p</sub> at 19.44MHz, V<sub>CC</sub> = SHDN = CS = TXGATE = +2.75V, V<sub>BAT</sub> = +2.75V, IF output load = 400Ω, LOH, LOL input power = -7dBm, f<sub>LOL</sub> = 1017.26MHz, f<sub>LOH</sub> = 2061.26MHz, IFIN = 125mV<sub>RMS</sub> at 181.26MHz, IS-136 TDMA modulation, f<sub>RFH</sub> = 1880MHz, f<sub>RFL</sub> = 836MHz, T<sub>A</sub> = +25°C, unless otherwise noted.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
<b>IF_PLL</b>					
Reference Frequency		5		30	MHz
Frequency Reference Signal Level		0.1		0.6	V <sub>p-p</sub>
IF Main Divide Ratio		256		16384	
IF Reference Signal Ratio		2		2048	
VCO Operating Range		240–470			MHz
IF LO Output Power	BUF_EN = 1	-6			dBm
Charge-Pump Source/Sink Current	ICP = 00	148	200	260	μA
	ICP = 01	185	260	345	
	ICP = 10	295	400	515	
	ICP = 11	385	530	700	
TurboLock Boost Current	(Note 5)	385	530	700	μA
Charge-Pump Source/Sink Matching	Locked, all values of ICP, over specified compliance range (Note 6)	5			%
Charge-Pump High-Z Leakage	Over specified compliance range (Note 6)			10	nA

**Note 1:** See Table 6 for register settings.

**Note 2:** ACPR is met over the specified V<sub>CM</sub> range.

**Note 3:** V<sub>CM</sub> must be supplied by the I/Q baseband source with ±6μA capability.

**Note 4:** Guaranteed by design and characterization.

**Note 5:** When enabled, turboLock is active during acquisition and injects boost current in addition to the normal charge-pump current.

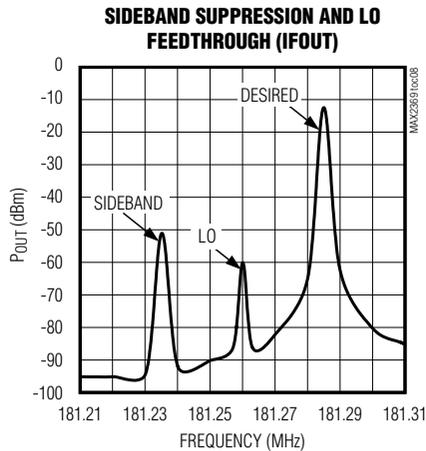
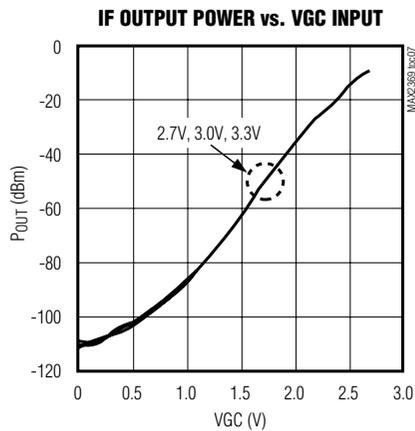
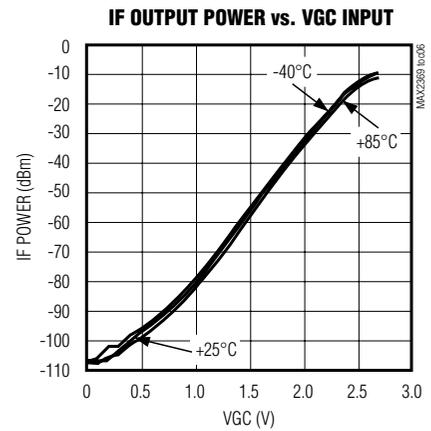
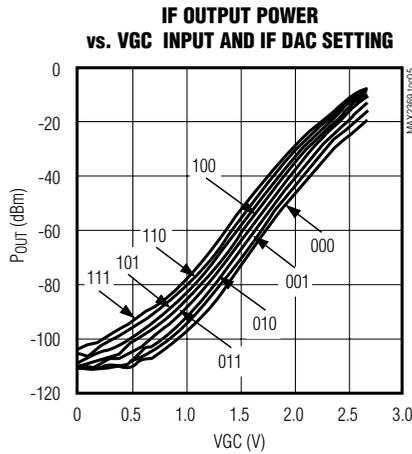
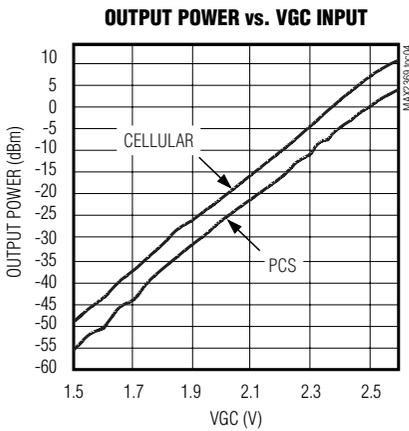
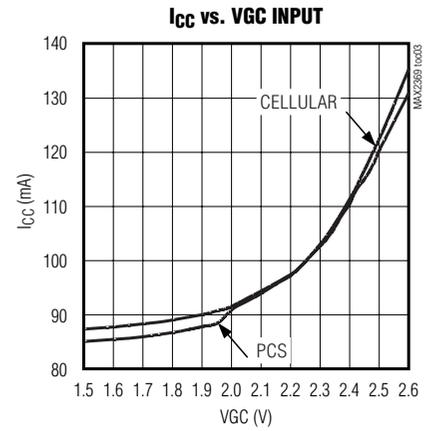
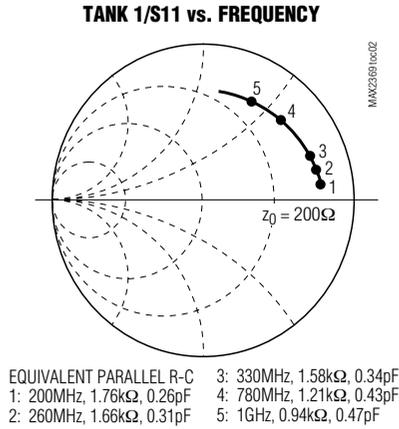
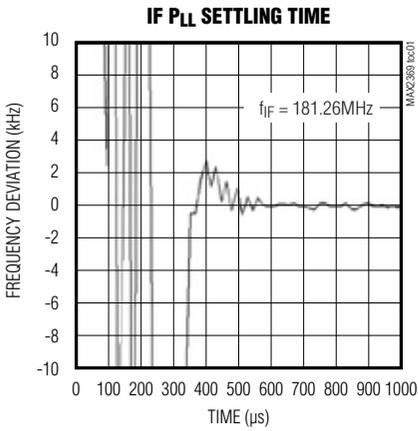
**Note 6:** Charge Pump Compliance range is 0.5V to V<sub>CC</sub> - 0.5V.

# 完全デュアルバンド 直交トランスミッタ

MAX2369

## 標準動作特性

(MAX2369EVKIT,  $V_{CC} = +2.8V$ ,  $V_{BAT} = 3.0V$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

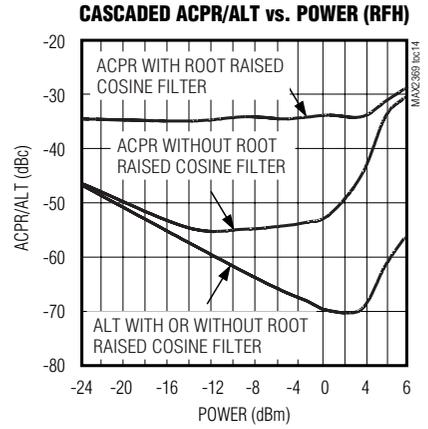
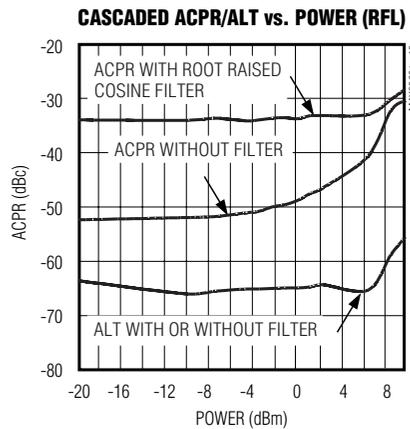
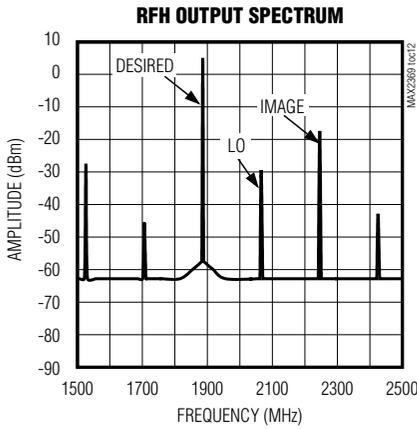
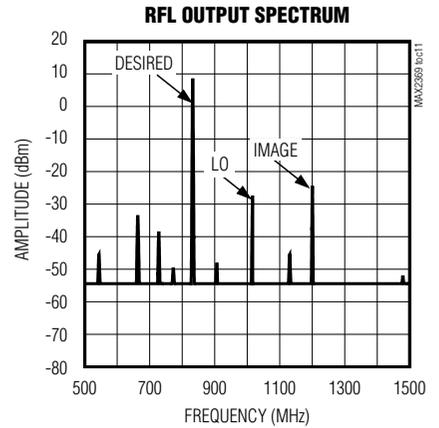
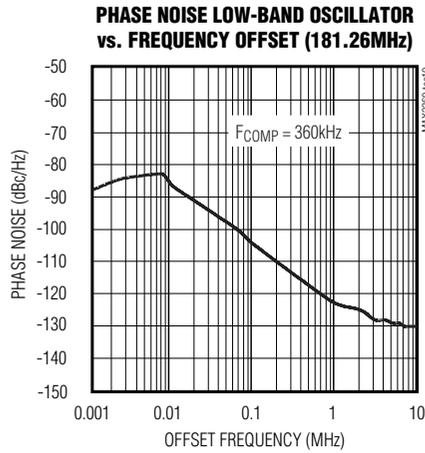
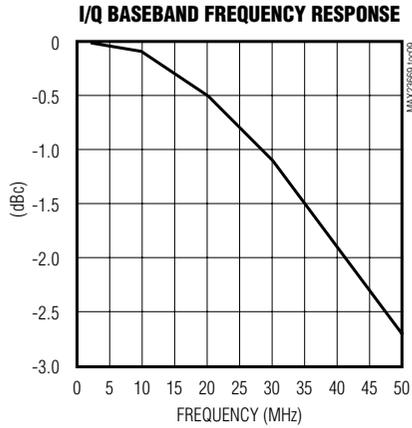


# 完全デュアルバンド 直交トランスミッタ

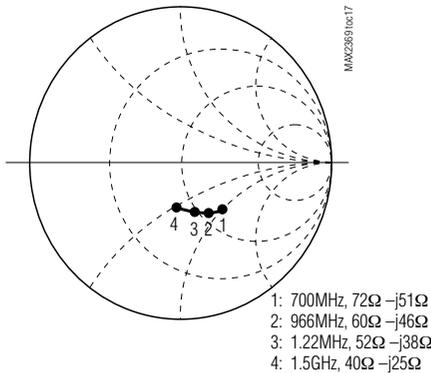
MAX2369

## 標準動作特性(続き)

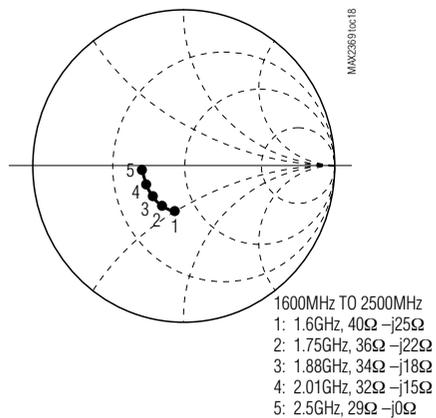
(MAX2369EVKIT,  $V_{CC} = +2.8V$ ,  $V_{BAT} = 3.0V$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



**LOL PORT S11**



**LOH PORT S11**



# 完全デュアルバンド 直交トランスミッタ

MAX2369

## 端子説明

端子	名称	機能
1	RFL	FMモード及びデジタルモード両方のセルラ帯域(800MHz~1000MHz)用トランスミッタRF出力。このオープンコレクタ出力は、電源電圧へのプルアップインダクタを必要とします。このインダクタは出力マッチングネットワークの一部であり、バッテリーに直接接続できます。
2	RFH	PCS帯域(1700MHz~2000MHz)用トランスミッタRF出力。このオープンコレクタ出力は、電源電圧へのプルアップインダクタを必要とします。プルアップインダクタは出力マッチングネットワークの一部であり、バッテリーに直接接続できます。
3	LOCK	IF PLLのロック状態を示すオープンコレクタ出力。プルアップ抵抗を必要とします。構成レジスタビットLD_MODEを使用して制御して下さい。
4	V <sub>CC</sub>	電源。ドライバ段用電源ピン。V <sub>CC</sub> はできるだけピンの近くでシステムグランドにバイパスする必要があります。バイパスコンデンサのグランドピアは、その他のブランチと共有させないで下さい。100pFと100nFのコンデンサでグランドにバイパスして下さい。
5	V <sub>CC</sub>	電源。通常動作にするには、ピン4に接続します。
6	V <sub>CC</sub>	アップコンバータ段の電源。V <sub>CC</sub> はできるだけピンの近くでシステムグランドにバイパスする必要があります。バイパスコンデンサのグランドピアは、他のブランチと共有させないで下さい。
7	$\overline{\text{TXGATE}}$	デジタル入力。 $\overline{\text{TXGATE}}$ をロジックローで駆動すると、IF PLL、IF VCO及びシリアルバスとレジスタ以外の全てがシャットダウンします。このモードは、送信時間スロット前にIF PLLを安定させるために使用します。
8, 9	IFIN+, IFIN-	RFアップコンバータへの差動入力。これらのピンは内部で+1.5Vにバイアスされます。ポートの入力インピーダンスは通常400Ω差動です。これらのポートにIFフィルタをACカップリングして下さい。差動ラインはできるだけ短くして、浮遊ピックアップ及びシャント容量を最小限に抑えて下さい。
10, 11	N.C.	無接続。これらの端子には接続しないで下さい。
12	R <sub>BIAS</sub>	バイアス抵抗。R <sub>BIAS</sub> は+1.18Vのバンドギャップ電圧に内部でバイアスされます。このピンを外部抵抗又は電流ソースに接続して、アップコンバータ及びPAドライバ段のバイアス電流を設定する必要があります。公称抵抗値は16kΩです。この値を変更することで、ドライバ段の直線性を最適化できます。
13, 14, 15	CLK, DI, $\overline{\text{CS}}$	3線シリアルバスからの入力 (SPI/QSPI/MICROWIREコンパチブル)。ノイズを低減するには、これらの各ピンにR-Cフィルタを使用して下さい。
16, 17	V <sub>CC</sub>	電源。1000pFのコンデンサでグランドにバイパスして下さい。
18, 19	IFOUT+, IFOUT-	差動IF出力。これらのピンは誘導的にV <sub>CC</sub> に引き上げる必要があります。このポートと、IFIN+及びIFIN-の間には差動IF帯域通過フィルタが接続されています。プルアップインダクタはフィルタ構造の一部に含めることができます。このポートの差動出力インピーダンスは公称600Ωです。これらのピンからの伝送ラインは、スプリアス信号及びノイズのピックアップを最小限に抑えるために短くする必要があります。
20	VGC	RF及びIF可変利得制御アナログ入力。VGCは+1.5Vにフローティングします。+0.5V~+2.6Vを印可して、RF段及びIF段の利得を制御して下さい。このラインからのDACノイズ又はPDMクロックスパーを低減するために、このピンにRCフィルタを使用できます。
21	V <sub>CC</sub>	IF VGA用電源。コンデンサを使用して、できるだけピンの近くでバイパスして下さい。バイパスコンデンサのグランドピアは、他のブランチと共有させないで下さい。

# 完全デュアルバンド 直交トランスミッタ

MAX2369

## 端子説明(続き)

端子	名称	機能
22	V <sub>CC</sub>	I/Q変調器の電源。コンデンサを使用して、できるだけピンの近くでバイパスして下さい。バイパスコンデンサのグラウンドビアは他のブランチと共有させないで下さい。
23, 24	Q+, Q-	変調器への差動Qチャンネルベースバンド入力。これらのピンは差動ペアのベースに直接接続され、外部コモンモードバイアス電圧を必要とします。
25, 26	I+, I-	変調器への差動Iチャンネルベースバンド入力。これらのピンは差動ペアのベースに直接接続され、外部コモンモードバイアス電圧を必要とします。
27	$\overline{\text{SHDN}}$	シャットダウン入力。 $\overline{\text{SHDN}}$ をロジックローにすると、IC全体がシャットダウンします。デジタルノイズを低減するために、R-Cローパスフィルタを使用できます。
28	V <sub>CC</sub>	VCOへの電源ピン。できるだけピンの近くでバイパスして下さい。バイパスコンデンサのビアは、他のブランチと共有させないで下さい。
29	IFLO	バッファ付LO出力。レジスタビットBUF_ENを使用して出力バッファを制御し、レジスタビットBUF_DIVを使用して分周比を制御します。
30, 31	TANK-, TANK+	IF VCO用差動タンクピン。これらのピンは内部で+1.6Vにバイアスされます。
32, 33, 34, 35, 42	N.C.	無接続。これらの端子には接続しないで下さい。
36	REF	リファレンス周波数入力。REFはV <sub>CC</sub> - 0.7Vに内部でバイアスされており、基準ソースにACカップリングさせる必要があります。これは、ハイインピーダンスポート(25kΩ    3pF)です。
37	V <sub>CC</sub>	IFチャージポンプ用電源。この電源はシステムV <sub>CC</sub> とは別にすることができます。できるだけピンの近くでバイパスして下さい。バイパスコンデンサのビアは、他のブランチと共有させないで下さい。
38	IFCP	IFチャージポンプのハイインピーダンス出力。IF PLLループフィルタを通じてIF VCOの同調入力に接続して下さい。IFCPから同調入力までのラインはできるだけ短くしてスプリアスを防ぎ、ループフィルタは同調入力のできるだけ近くに接続して下さい。
39	V <sub>CC</sub>	デジタル回路用電源。できるだけピンの近くでバイパスして下さい。バイパスコンデンサのビアは、他のブランチと共有させないで下さい。
40, 45, 46, 47, 48	GND	グラウンド。プリント基板のグラウンドプレーンに接続して下さい。
41	V <sub>CC</sub>	電源。できるだけピンの近くでバイパスして下さい。バイパスコンデンサはデジタル回路の電源ピン(ピン39)と共有できます。
43	LOH	高帯域RF LO入力ポート。このポートにACカップリングして下さい。
44	LOL	低帯域RF LO入力ポート。このポートにACカップリングして下さい。
Exposed paddle	GND	ICのDC及びAC GNDの帰路。複数のビアを使用してプリント基板のグラウンドプレーンに接続して下さい。

## 詳細

MAX2369のコンプリート直交トランスミッタは、外部コモンモードのバイアスを含む差動I/Qベースバンド入力を受け付けます。変調器がこれを120MHz~235MHzの範囲のIF周波数にアップ変換します。利得制御電圧ピン(VGC)は、IF及びRFの両VGAの利得を同時に制御し、最適なノイズ性能及び直線性を実現します。IF信号は、フィルタリングのためにチップ外に送られてから、シングルサイドバンドアップコンバータに送られ、その後RF VGA及びPAドライバに送られます。RFアップコンバータが動作するには外部VCOが必要です。IF PLL及び動作モードは、SPI/QSPI/MICROWIREコンパチブル3線インタフェースにより設定可能です。

以下では、MAX2369ファンクションダイアグラムの各ブロックについて説明します。

### I/Q変調器

差動入力位相(I)及び直交位相(Q)の入力ピンは、DCカップリングされて、デジタルアナログコンバータ(DAC)からのベースバンド出力でバイアスされるよう設計されています。I入力及びQ入力は、 $V_{CC}/2$ のDCバイアス及び6 $\mu$ Aの電流駆動を必要とします。コモンモード電圧は、1.35V~( $V_{CC}-1.25$ V)の範囲内で機能します。通常、I及びQは200mV<sub>RMS</sub>ベースバンド信号により差動的に駆動されます。オプションとして、I及びQが構成レジスタのIQ\_LEVELビットを使用して100mV<sub>RMS</sub>で動作するよう設定できます。IF VCO出力は2分周/直交ジェネレータブロックに送られ、直交部品によりIQ変調器が駆動されます。変調器の出力はVGAに送られます。

### IF VCO

VCOは希望IF周波数の2倍の周波数で発振します。発振周波数は、外部のタンク部品により決定されます(「アプリケーション情報」を参照)。タンクの標準位相ノイズ性能については「標準動作特性」を参照して下さい。

### IFLO出力バッファ

IFLOは、BUF\_ENが1の時にバッファのLO出力を提供します。IFLO出力周波数は、BUF\_DIVが0の時にはVCO周波数に等しく、BUF\_DIVが1の時にVCO周波数の半分になります。出力電力は-6dBmです。この出力は試験モードで使用されます。

### IF PLL

IF PLLは、チャージポンプ出力によりループフィルタを駆動します。ループフィルタは通常、受動二次リードラグフィルタになります。フィルタの帯域幅外の位相ノイズはタンク部品に依存します。位相ノイズに最も影響を与える2つの部品は、インダクタ及びバラクタ

です。ハイQインダクタ及びバラクタを使用して、等価並列抵抗を最大にして下さい。チャージポンプの電流を増加するために、OPC-TRLレジスタのIPC\_MAXビットを1に設定できます。

### IF VGA

IF VGAは、VGC電圧により制御されるIF出力レベルの変動を可能にします。VGCにおける+0.5V~+2.6Vの電圧範囲は85dBの利得制御範囲を提供します。VGAからのIF出力ポートは120MHz~235MHzのIF周波数に最適化されています。IFOUTポートはダイレクトVCO FM変調をサポートします。差動IF出力ポートには、チョークを通じて $V_{CC}$ にプルアップされる際、600 $\Omega$ の出力インピーダンスがあります。

### シングルサイドバンドミキサ

RF伝送ミキサはシングルサイドバンド構造を使用することにより、オフチップRFフィルタを不要にしています。ミキサの後にはRF VGAが続きます。RF VGAはIF VGAと同じVGCピンにより制御され、最適な直線性及びノイズ性能を提供します。全電力制御範囲は100dB以上です。

### PAドライバ

MAX2369は2つのパワーアンプ(PA)ドライバを備えており、各ドライバは必要な動作周波数に最適化されています。RFLはセルラ帯域動作用に、RFHIはPCS動作用に最適化されています。PAドライバはオープンコレクタ出力を備えており、プルアップインダクタを必要とします。プルアップインダクタは、シャント直列マッチのシャント要素として機能します。

### 設定可能レジスタ

MAX2369は5つの設定可能レジスタを備えています。これらは、2つの分周レジスタ、1つの構成レジスタ、1つの動作制御レジスタ、及び1つの試験レジスタです。各レジスタは24ビット構成で、下位4ビット(LSB)はレジスタのアドレスに、上位20ビット(MSB)はレジスタのデータに使用されます。いずれのレジスタも「ドンケア」ビットをいくつか含んでおり、これらはゼロ又は1のいずれかで、動作には影響しません(図1)。データはまずMSBに、次に4ビットのアドレスにシフトインされます。 $\overline{CS}$ がローの時クロックがアクティブになり、データがクロックの立上りエッジでシフトされます。シフトレジスタは、 $\overline{CS}$ がハイになるとアドレスビットの内容により選択されたレジスタにラッチされます。表1に、5つのレジスタのパワーアップ時デフォルトを示します。レジスタは表2に従って初期化する必要があります。分周レジスタ及び制御レジスタは、SPI/QSPI/MICROWIREコンパチブルシリアルポートから設定します。

# 完全デュアルバンド 直交トランスミッタ

MAX2369

IFMレジスタは、IF PLLのメイン周波数分周比を設定します。IFRレジスタは、リファレンス周波数分周比を設定します。IF VCO周波数は次式で決定できます。

$$\text{IF VCO周波数} = f_{\text{REF}} \times (\text{IFM} / \text{IFR})$$

ここで、 $f_{\text{REF}}$ は外部リファレンス周波数です。

動作制御レジスタ(OPCTRL)は、MAX2369の状態を制御します。各ビットの機能については表3を参照して下さい。

構成レジスタ(CONFOG)は、IF PLL及びベースバンドI/Q入力レベルの構成を設定します。各ビットの説明については、表4を参照して下さい。

試験レジスタは通常の使用においては必要ありません。

## 電力管理

バイアス制御は複数の機能セクションに分散されており、表5に示すように、多数の異なるパワーダウンモードに対応して制御できます。

MSB																				24 BIT REGISTER				LSB			
DATA 20 BITS																				ADDRESS 4 BITS							
B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	A3	A2	A1	A0				
IFM DIVIDE RATIO REGISTER (14 BITS)														ADDRESS													
X	X	X	X	X	X															0	0	1	0				
IFR DIVIDE RATIO REGISTER (11 BITS)											ADDRESS																
X	X	X	X	X	X	X	X	X	X											0	0	1	1				
CONTROL REGISTER (16 BITS)																ADDRESS											
X	X	X	X																	0	1	0	0				
CONFIGURATION REGISTER (16 BITS)																ADDRESS											
X	X	X	X																	0	1	0	1				
TEST REGISTER (8 BITS)														ADDRESS													
X	X	X	X	X	X	X	X	X	X	X	X									0	1	1	1				

X = DON'T CARE

図1. レジスタの構成

表1. レジスタのパワーアップ時の  
デフォルト状態

REGISTER	DEFAULT	ADDRESS	FUNCTION
IFM	6519 dec	0010 <sub>b</sub>	IF M divider count
IFR	0492 dec	0011 <sub>b</sub>	IF R divider count
OPCTRL	892F hex	0100 <sub>b</sub>	Operational control settings
CONFIG	D03F hex	0101 <sub>b</sub>	Configuration and setup control
TEST	0000 hex	0111 <sub>b</sub>	Test-mode control

表2.  $F_{\text{REF}} = 19.44\text{MHz}$ 、 $F_{\text{IF}} = 181.26\text{MHz}$ 、 $F_{\text{COMP}} = 360\text{kHz}$ におけるレジスタの初期化

REGISTER	DEFAULT	ADDRESS	FUNCTION
IFM	1007 dec	0010 <sub>b</sub>	IF M divider count
IFR	0054 dec	0011 <sub>b</sub>	IF R divider count
OPCTRL	890F hex	0100 <sub>b</sub>	Operational control settings
CONFIG	903D hex	0101 <sub>b</sub>	Configuration and setup control
TEST	0000 hex	0111 <sub>b</sub>	Test-mode control

# 完全デュアルバンド 直交トランスミッタ

MAX2369

シャットダウン制御ビットはSHDNピンとは異なるので注意して下さい。シャットダウン制御ビットがアクティブ (SHDN\_BIT = 0) の時、シリアルインタフェースはアクティブに留まり、他の機能全てが停止している間、この部分のみをシリアルバスでオンにすることができます。これとは対照的に、SHDNピンがローの時は全てがシャットダウンされます。いずれの場合も、PLLの設定情報及びレジスタ情報は失われます。レジスタ情報を保存するには、スタンバイモード (STBY = 0) を使用して下さい。

## アプリケーション情報

MAX2369は、デュアルバンドのトリプルモードシステムで使用するよう設計されており、トリプルモードのハンドセット用に推奨します。図2に、標準アプリケーション回路を示します。

## 3線インタフェース

図3に、3線インタフェースタイミング図を示します。3線バスはSPI/QSPI/MICROWIREコンパチブルです。

## 信号フロー制御

表6に、トリプルモード動作の主要レジスタの例を示します。

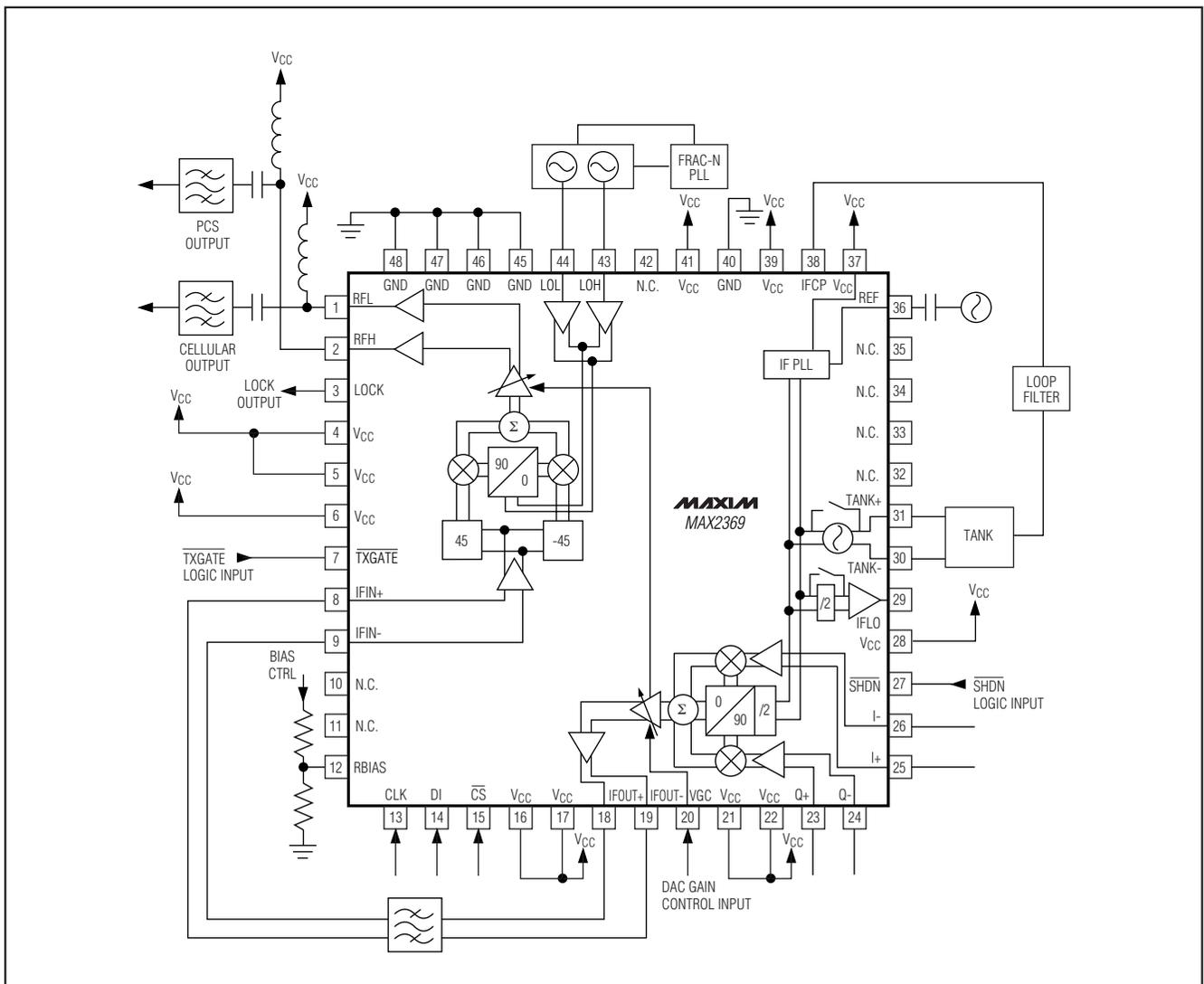


図2. MAX2369標準アプリケーション回路

# 完全デュアルバンド 直交トランスミッタ

MAX2369

表3. 動作制御レジスタ(OPCTRL)

BIT NAME	POWER-UP STATE	BIT LOCATION (0 = LSB)	FUNCTION
LO_SEL	1	15	1 selects LOL input port; 0 selects LOH port.
UNUSED	0	14	Set to 0 for normal operation.
ICP_MAX	0	13	1 keeps IF turbo-mode current active even when frequency acquisition is achieved. This mode is used when high operating IF charge-pump current is needed.
MODE	01	12, 11	Sets operating mode according to the following: 00 = FM mode 01 = Cellular digital mode; RFL is selected 10 = Not used 11 = PCS mode; RFH is selected
UNUSED	0	10	Set to 0 for normal operation.
UNUSED	0	9	Set to 0 for normal operation.
IFG	100	8, 7, 6	3-bit IF gain control. Alters IF gain by approximately 2dB per LSB (0 to 14dB). Provides a means for adjusting balance between RF and IF gain for optimized linearity.
SIDE_BAND	1	5	When this register is 1, the upper sideband is selected (LO below RF). When this register is 0, the lower sideband is selected (LO above RF).
BUF_EN	0	4	0 turns IFLO buffer off; 1 turns IFLO buffer on.
MOD_TYPE	1	3	0 selects direct VCO modulation. (IF VCO is externally modulated and the I/Q modulator is bypassed); 1 selects quadrature modulation.
$\overline{\text{STBY}}$	1	2	0 shuts down everything except registers and serial interface.
$\overline{\text{TXSTBY}}$	1	1	0 shuts down modulator and upconverter, leaving PLL locked and registers active. This is the programmable equivalent to the $\overline{\text{TXGATE}}$ pin.
SHDN_BIT	1	0	0 shuts down everything except serial interface, and also resets all registers to power-up state.

表4. 構成レジスタ(CONFIG)

BIT NAME	POWER-UP STATE	BIT LOCATION (0 = LSB)	FUNCTION
IF_PLL_SHDN	1	15	0 shuts down the IF PLL. This mode is used with an external IF VCO and IF PLL.
UNUSED	1	14	Set to 0 for normal operation.
UNUSED	0	13	Set to 0 for normal operation.
IQ_LEVEL	1	12	1 selects 200mV <sub>RMS</sub> input mode; 0 selects 100mV <sub>RMS</sub> input mode.
BUF_DIV	0	11	1 selects ÷2 on IFLO port; 0 bypasses the divider.
VCO_BYPASS	0	10	1 bypasses IF VCO and enables a buffered input for external VCO use.
ICP	00	9, 8	A 2-bit register sets the IF charge-pump current as follows: 00 = 200µA 01 = 260µA 10 = 400µA 11 = 530µA
UNUSED	00	7, 6	Not used. Leave in the power-up/initialized state.
IF_PD_POL	1	5	IF phase-detector polarity; 1 selects positive polarity (increasing tuning voltage on the VCO produces increasing frequency); 0 selects negative polarity (increasing tuning voltage on the VCO produces decreasing frequency).
UNUSED	111	4, 3, 2	Not used. Leave in the power-up/initialized state.
UNUSED	1	1	Set to 0 for normal operation.
LD_MODE	1	0	Determines output mode for LOCK detector pin as follows: 0 = test mode, LD_MODE cannot be 0 for normal operation 1 = IF PLL lock detector

## 電磁気規格適合上の考慮

ノイズフリー、EMC適合のトランスミッタを作るには、主要な2つの概念を適用する必要があります。即ち、循環電流ループ領域を最小化してHフィールドの放射を低減すること、及び電圧ドロップを最小化してEフィールドの放射を低減することです。循環電流ループ領域を最小化するには、デバイスの至近距離でバイパスして、グランドプレーンの分散容量を使用します。電圧ドロップを最小化するには、V<sub>CC</sub>トレースを短く幅広くして、RFトレースを短くします。

レジスタ内の「Don't care」ビットはゼロにして、不要ビットのバンギングに起因する電磁気放射を最小限に抑える必要があります。3線インタフェースのクロックエッジを遅くして高周波数スペクトル成分を低減するために、RCフィルタリングを使用することもできます。RCフィルタリングは又、高周波数をグランドにシャントすることにより、IEC802試験に対するトランジェント保護を提供し、一方で直列抵抗がエラーフリー動作の

ためにこのトランジェントを減衰させます。同じ説明はオーバライドピン(SHDN、TXGATE)にも当てはまります。オーバライドピンを無接続にする場合は、コンデンサを使用してデバイスの至近距離でグランドにバイパスして下さい。

これらのピンの近くに、グランドへの専用ビアのある高周波数バイパスコンデンサを配置する必要があります。48ピンのQFN-EPパッケージは、デバイス裏面の露出パドルを使用することにより、最小インダクタンスのグランドを提供します。パドル下方のグランドへのビアには少なくとも5つの低インダクタンスビアを使用して、グランドのインダクタンスを最小限に抑えて下さい。この時できる限り中空でないグランドプレーンを使用して下さい。グランドプレーンにカットアウトがあると、それがスロット放射体として働き、遮断効果が低下することがあります。

LOの放射を低減し干渉を避けるために、RF LOトレースはできるだけ短くして下さい。

# 完全デュアルバンド 直交トランスミッタ

MAX2369

表5. パワーダウンモード

POWER-DOWN MODES	COMMENTS	OFF								
		UPCONVERTER	MODULATOR	SERIAL BUS	OPCTRL REG	IF LO BUFFER	IF VCO	IF PLL	IF PLL REGS	CONFIG REG
$\overline{\text{SHDN}}$ pin	Ultra-low shutdown current	X	X	X	X	X	X	X	X	X
$\overline{\text{TXGATE}}$ pin	For punctured TX mode	X	X							
IF PLL SHDN	For external IF PLL use							X	X	
TX STBY	TX is off, but IF LO stays locked	X	X							
REG STBY	Shuts down, but preserves registers	X	X			X	X	X		
REG SHDN	Serial bus is still active	X	X		X	X	X	X	X	X

表6. 主要な動作モードにおけるレジスタ及び制御ピンの状態

MODE	DESCRIPTION	OPCTRL REGISTER							CONTROL PINS	
		LO_SEL	MODE	MOD_TYPE	$\overline{\text{STBY}}$	$\overline{\text{TXSTBY}}$	SHDN_BIT	IF_PLL_SHDN	$\overline{\text{TXGATE}}$	$\overline{\text{SHDN}}$
PCS Digital	RFH selected	0	11	1	1	1	1	1	H	H
Cellular Digital	RFL selected	1	01	1	1	1	1	1	H	H
FM	Direct VCO modulation, RFL selected	1	00	0	1	1	1	1	H	H
FM_IQ	FM with IQ modulation, RFL selected	1	00	1	1	1	1	1	H	H
PCS TXGATE	Gated transmission, PCS	0	11	1	1	X	1	1	L	H
Cellular TXGATE	Gated transmission, cellular digital	1	01	1	1	X	1	1	L	H
Sleep	Everything off	X	XX	X	X	X	X	X	X	L

X = Don't care

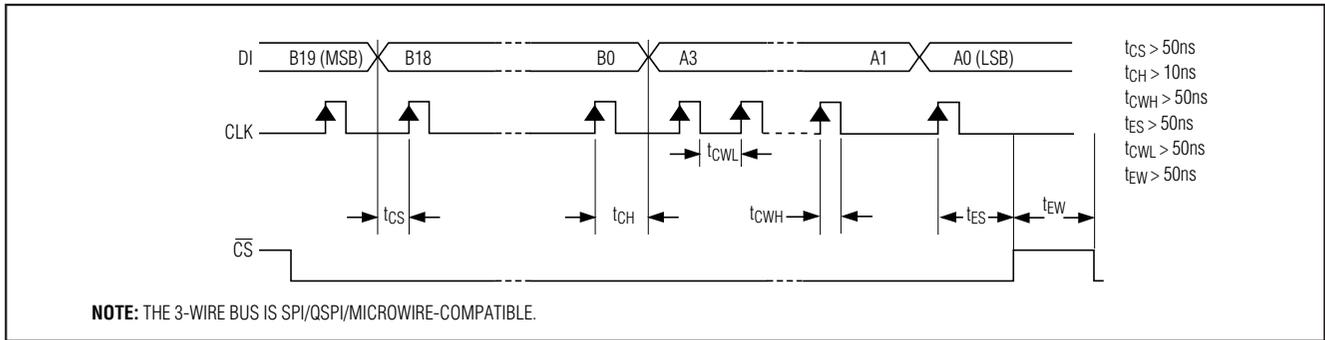


図3. 3線インタフェース図

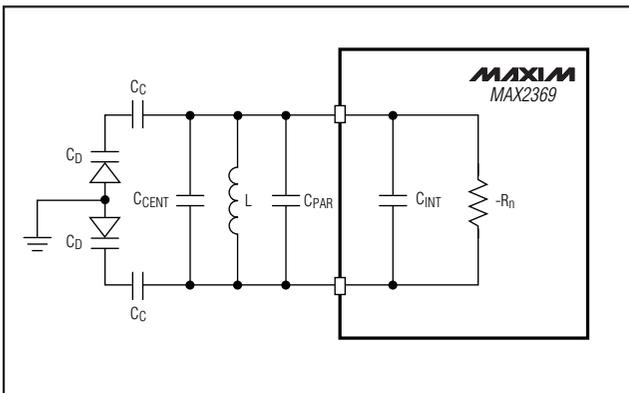


図4. タンクポート発振器

## IFタンク設計

IF VCOタンク(TANK+, TANK-)は完全差動です。図4に、外付タンク部品を示します。発振周波数は次式により決定されます。

$$f_{OSC} = \frac{1}{2\pi \sqrt{(C_{INT} + C_{CENT} + C_{VAR} + C_{PAR}) L}}$$

$$C_{VAR} = \frac{C_D \times C_C}{2(C_D + C_C)}$$

$C_{INT}$  = TANKポートの内部容量

$C_D$  = バラクタの容量

$C_{VAR}$  = 等価可変同調容量

$C_{PAR}$  = プリント基板のパッド及びトレースに起因する寄生容量

$C_{CENT}$  = 発振周波数をセンタリングするための外部コンデンサ

$C_C$  = バラクタへの外部カップリングコンデンサ

IC内部のチャージポンプのリーク電流は10nA以下です。これは、300MΩのシャント抵抗に相当します。チャージポンプの出力には、300MΩ以上の非常に高いDC抵抗

を取り付ける必要があります。これにより、比較周波数におけるチャージポンプのスパークが最小限に抑えられます。バラクタ又はループフィルタの下にハンダの飛沫が残っていないことを確認して下さい。

## レイアウトに関する問題

レイアウトの開始点としてMAX2369評価キットを使用することができます。最適な性能を得るには、電源の問題と、RF、LO及びIFのレイアウトを十分考慮して下さい。

## 電源のレイアウト

ICの各セクション間のカップリングを最小限にするために理想的な電源レイアウトは、星形構成です。この構成では、中央のVCCノードに大型のデカップリングコンデンサが配置されます。VCCトレースはこのノードから分岐し、各トレースはMAX2369回路の個別のVCCノードにつながります。各トレースの終端には、所望の周波数におけるグラウンドへのインピーダンス1Ω以下のバイパスコンデンサがあります。この配置は、各VCCピンでのローカルデカップリングを提供します。グラウンド接続を低インダクタンスにするために、各バイパスコンデンサに少なくとも1つのビアを使用して下さい。

## マッチングネットワークのレイアウト

マッチングネットワークのレイアウトは、寄生回路素子に非常に敏感な場合があります。寄生インダクタンスを最小限に抑えるには、トレースを全て短くして、部品をICのできるだけ近くに配置して下さい。寄生容量を最小限に抑えるに、マッチングネットワーク部品の下にあるグラウンドプレーン(及びその他のプレーン)のカットアウトを使用することができます。

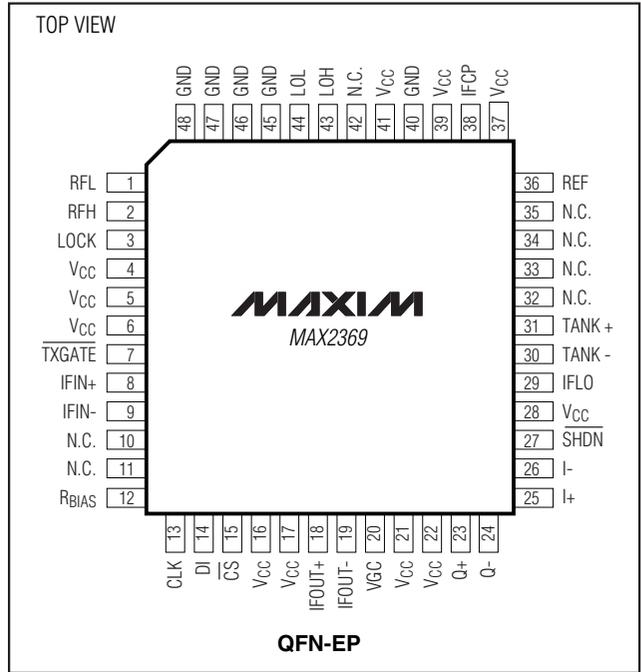
ハイインピーダンスポート(IF入力及びIF出力)では、トレースを短くしてシャント容量を最小限に抑えて下さい。

# 完全デュアルバンド 直交トランスミッタ

## タンクのレイアウト

直列インダクタンス及びシャント容量を低減するために、タンクからのトレースは短くして下さい。浮遊シャント容量を最小限に抑えるために、インダクタのパッド及びカップリングコンデンサのパッドは小さくして下さい。

## ピン配置

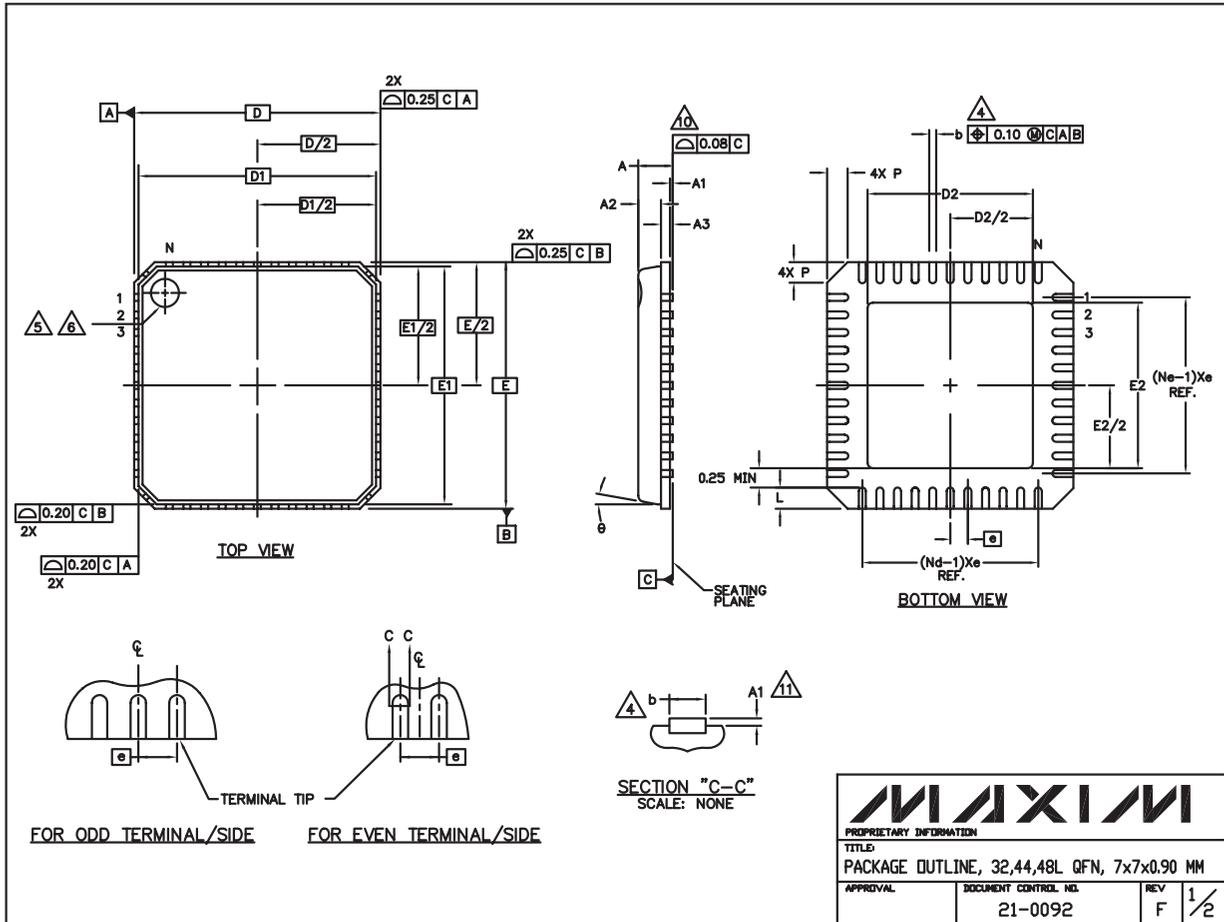


# 完全デュアルバンド 直交トランスミッタ

MAX2369

## パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)



<b>MAXIM</b>		
<small>PROPRIETARY INFORMATION</small>		
<small>TITLE</small>		
PACKAGE OUTLINE, 32,44,48L QFN, 7x7x0.90 MM		
<small>APPROVAL</small>	<small>DOCUMENT CONTROL NO.</small>	<small>REV</small>
	21-0092	F 1/2

# 完全デュアルバンド 直交トランスミッタ

MAX2369

## パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)

### NOTES:

1. DIE THICKNESS ALLOWABLE IS 0.305mm MAXIMUM(.012 INCHES MAXIMUM)
2. DIMENSIONING & TOLERANCES CONFORM TO ASME Y14.5M. - 1994.
3. N IS THE NUMBER OF TERMINALS.  
Nd IS THE NUMBER OF TERMINALS IN X-DIRECTION &  
Ne IS THE NUMBER OF TERMINALS IN Y-DIRECTION.
4. DIMENSION b APPLIES TO PLATED TERMINAL AND IS MEASURED BETWEEN 0.20 AND 0.25mm FROM TERMINAL TIP.
5. THE PIN #1 IDENTIFIER MUST EXIST ON THE TOP SURFACE OF THE PACKAGE BY USING INDENTATION MARK OR INK/ LASER MARKED. OF PACKAGE BODY.
6. EXACT SHAPE AND SIZE OF THIS FEATURE IS OPTIONAL.
7. ALL DIMENSIONS ARE IN MILLIMETERS.
8. PACKAGE WARPAGE MAX 0.08mm.
9. APPLIED FOR EXPOSED PAD AND TERMINALS.  
EXCLUDE EMBEDDED PART OF EXPOSED PAD FROM MEASURING.
10. MEETS JEDEC M0220.
11. THIS PACKAGE OUTLINE APPLIES TO ANVIL SINGULATION (STEPPED SIDES) AND TO SAW SINGULATION (STRAIGHT SIDES) QFN STYLES.

SYMBOL	COMMON DIMENSIONS			No. of
	MIN.	NOM.	MAX.	
A	0.80	0.90	1.00	
A1	0.00	0.01	0.05	
A2	0.00	0.65	1.00	
A3	0.20 REF.			
D	7.00 BSC			
D1	6.75 BSC			
E	7.00 BSC			
E1	6.75 BSC			
θ	0°		12°	
P	0		0.60	
D2	2.25	-	5.25	
E2	2.25	-	5.25	

SYMBOL	PITCH VARIATION C			No. of	SYMBOL	PITCH VARIATION C			No. of	SYMBOL	PITCH VARIATION D			No. of
	MIN.	NOM.	MAX.			MIN.	NOM.	MAX.			MIN.	NOM.	MAX.	
	0.65 BSC					0.50 BSC					0.50 BSC			
N	32			3	N	44			3	N	48			3
Nd	8			3	Nd	11			3	Nd	12			3
Ne	8			3	Ne	11			3	Ne	12			3
L	0.35	0.55	0.75		L	0.35	0.55	0.75		L	0.30	0.40	0.50	
b	0.23	0.28	0.35	4	b	0.18	0.23	0.30	4	b	0.18	0.23	0.30	4

<b>MAXIM</b>			
PROPRIETARY INFORMATION			
TITLE: PACKAGE OUTLINE, 32,44,48L QFN, 7x7x0.90 MM			
APPROVAL	DOCUMENT CONTROL NO.	REV	2/2
	21-0092	F	

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

18 Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

© 2001 Maxim Integrated Products, Inc. All rights reserved. MAXIM is a registered trademark of Maxim Integrated Products, Inc.