

高ダイナミックレンジ、16ビット、 -82dBFSのノイズフロア、100Msps ADC

概要

MAX19588は、3.3V、高速、高性能のアナログ-デジタルコンバータ(ADC)であり、完全差動広帯域トラック/ホールド(T/H)と16ビットコンバータコアを備えています。MAX19588は、特に厳しいダイナミック性能要件に適合するADCを必要とする、マルチチャネル、マルチモードレシーバに最適です。-82dBFSのノイズフロアを備えたMAX19588によって、優れた感度要件のレシーバを設計することができます。

100Mspsにおいて、MAX19588は $f_{IN} = 70\text{MHz}$ で79dBの信号対ノイズ比(SNR)と82.1dBc/97.7dBcのシングルトーン、スプリアスフリーダイナミックレンジ性能(SFDR1/SFDR2)を実現します。MAX19588は、2次ナイキスト領域で卓越したダイナミック性能に最適化されているだけでなく、高IF入力周波数にも最適化されています。たとえば、130MHzでMAX19588は82.3dBcのSFDRを実現し、SNR性能は最高175MHzまで平坦(2.3dB以内)に保たれます。こうした性能レベルを備えているため、このデバイスは高性能デジタルレシーバに最適です。

MAX19588は、3.3Vのアナログ電源電圧と1.8Vのデジタル電圧で動作し、2.56V_{p-p}のフルスケール入力範囲を備え、最高100Mspsのサンプリング速度を保証します。入力トラック/ホールド段は、600MHzのフルスケール、フルパワー帯域幅で動作します。

MAX19588は、2の補数出力形式の平行、低電圧CMOS対応出力を備えています。

MAX19588は、低熱抵抗のエクスポーズドパッド(EP)付き、8mm x 8mmの56ピンTQFNパッケージで製造され、工業用拡張温度範囲(-40°C ~ +85°C)での動作が保証されています。

アプリケーション

- 携帯基地局トランシーバシステム(BTS)
- ワイヤレスローカルループ(WLL)
- マルチキャリアレシーバ
- マルチ標準レシーバ
- E911-ロケーションレシーバ
- 高性能計測機器
- アンテナアレイ処理

特長

- ◆ 変換速度：100Msps
- ◆ ノイズフロア：-82dBFS
- ◆ 優れた低ノイズ特性
 - SNR = 79.4dB ($f_{IN} = 10\text{MHz}$ において)
 - SNR = 79dB ($f_{IN} = 70\text{MHz}$ において)
- ◆ 優れたダイナミックレンジ(SFDR1/SFDR2)
 - 93.2dBc/102.5dBc ($f_{IN} = 10\text{MHz}$ において)
 - 82.1dBc/97.7dBc ($f_{IN} = 70\text{MHz}$ において)
- ◆ サンプリングジッタ：0.1ps以下
- ◆ 消費電力：1275mW
- ◆ 完全差動アナログ入力電圧範囲：2.56V_{p-p}
- ◆ CMOS対応の2の補数データ出力
- ◆ データ有効クロック出力とオーバレンジ出力が独立
- ◆ フレキシブルな入力クロックバッファ
- ◆ 8mm x 8mm x 0.8mmの小型56ピンTQFNパッケージ
- ◆ MAX19588用EVキットあり(MAX19588EVKITをご注文ください)

型番

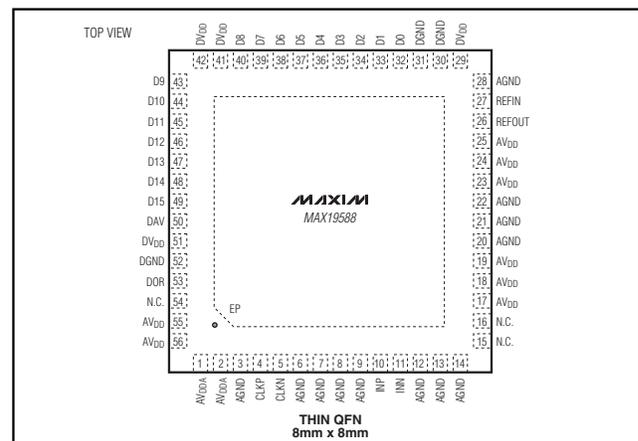
PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX19588ETN-D	-40°C to +85°C	56 Thin QFN-EP*	T5688-2
MAX19588ETN+D	-40°C to +85°C	56 Thin QFN-EP*	T5688-2

+は鉛フリーパッケージを示します。

D = ドライバック

* EP = エクスポーズドパッド

ピン配置



高ダイナミックレンジ、16ビット、 -82dBFSのノイズフロア、100Msps ADC

MAX19588

ABSOLUTE MAXIMUM RATINGS

AV _{DD} , AV _{DDA} to AGND	-0.3V to +3.6V
DV _{DD} to DGND	-0.3V to +2.4V
AGND to DGND	-0.3V to +0.3V
INP, INN, CLKP, CLKN, REFP, REFN, REFIN, REFOUT to AGND	-0.3V to (AV _{DD} + 0.3V)
D0–D15, DAV, DOR to GND	-0.3V to (DV _{DD} + 0.3V)
Continuous Power Dissipation (T _A = +70°C)	
56-Pin Thin QFN-EP (derate 47.6mW/°C above +70°C)	3809.5mW

Operating Temperature Range	-40°C to +85°C
Thermal Resistance θ_{JA}	21°C/W
Thermal Resistance θ_{JC}	0.6°C/W
Junction Temperature	+150°C
Storage Temperature Range	-60°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(AV_{DD} = AV_{DDA} = 3.3V, DV_{DD} = 1.8V, AGND = DGND = 0, internal reference, INP and INN driven differentially, CLKP and CLKN driven differentially, C_L = 5pF at digital outputs (D0–D15, DOR), C_L = 15pF for DAV, f_{CLK} = 100MHz, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY						
Resolution	N			16		Bits
Offset Error	V _{OS}		0	10	20	mV
Gain Error	GE		-3.5		+3.5	%FS
ANALOG INPUTS (INP, INN)						
Input Voltage Range	V _{DIFF}	Fully differential input, V _{IN} = V _{INP} - V _{INN}		2.56		V _{P-P}
Common-Mode Voltage	V _{CM}	Internally self-biased		2.4		V
Differential Input Resistance	R _{IN}			10 ±20%		k Ω
Differential Input Capacitance	C _{IN}			7		pF
Full-Power Analog Bandwidth	BW _{-3dB}	-3dB rolloff for FS Input		600		MHz
REFERENCE INPUT/OUTPUT (REFIN, REFOUT)						
Reference Input Voltage Range	REFIN			1.28 ±10%		V
Reference Output Voltage	REFOUT			1.28		V
DYNAMIC SPECIFICATIONS (f_{CLK} = 100Msps)						
Thermal Plus Quantization Noise Floor	NF	A _{IN} < -35dBFS		-82		dBFS
Signal-to-Noise Ratio (First 4 Harmonics Excluded) (Note 2)	SNR	f _{IN} = 10MHz, A _{IN} = -2dBFS		79.4		dB
		f _{IN} = 70MHz, A _{IN} = -2dBFS, T _A = +25°C	77.5	79		
		f _{IN} = 70MHz, A _{IN} = -2dBFS	75.3	79		
		f _{IN} = 105MHz, A _{IN} = -2dBFS		78.3		
		f _{IN} = 130MHz, A _{IN} = -2dBFS		77.5		
		f _{IN} = 168MHz, A _{IN} = -2dBFS		76.6		

高ダイナミックレンジ、16ビット、 -82dBFSのノイズフロア、100Msps ADC

MAX19588

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = V_{DDA} = 3.3V$, $DV_{DD} = 1.8V$, $AGND = DGND = 0$, internal reference, INP and INN driven differentially, CLKP and CLKN driven differentially, $C_L = 5pF$ at digital outputs (D0–D15, DOR), $C_L = 15pF$ for DAV, $f_{CLK} = 100MHz$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Signal-to-Noise Plus Distortion (Note 2)	SINAD	$f_{IN} = 10MHz$, $A_{IN} = -2dBFS$		79		dB
		$f_{IN} = 70MHz$, $A_{IN} = -2dBFS$, $T_A = +25^\circ C$	75	77.1		
		$f_{IN} = 70MHz$, $A_{IN} = -2dBFS$	73.5	77.1		
		$f_{IN} = 105MHz$, $A_{IN} = -2dBFS$		77.1		
		$f_{IN} = 130MHz$, $A_{IN} = -2dBFS$		75.8		
		$f_{IN} = 168MHz$, $A_{IN} = -2dBFS$		70.8		
Spurious-Free Dynamic Range (Worst Harmonic, 2nd and 3rd)	SFDR1	$f_{IN} = 10MHz$, $A_{IN} = -2dBFS$		93.2		dBc
		$f_{IN} = 70MHz$, $A_{IN} = -2dBFS$, $T_A = +25^\circ C$	79.6	82.1		
		$f_{IN} = 70MHz$, $A_{IN} = -2dBFS$	79.3	82.1		
		$f_{IN} = 105MHz$, $A_{IN} = -2dBFS$		86.6		
		$f_{IN} = 130MHz$, $A_{IN} = -2dBFS$		82.3		
		$f_{IN} = 168MHz$, $A_{IN} = -2dBFS$		75.4		
Spurious-Free Dynamic Range (Worst Harmonic, 4th and Higher) (Note 2)	SFDR2	$f_{IN} = 10MHz$, $A_{IN} = -2dBFS$		102.5		dBc
		$f_{IN} = 70MHz$, $A_{IN} = -2dBFS$, $T_A = +25^\circ C$	90.4	97.7		
		$f_{IN} = 70MHz$, $A_{IN} = -2dBFS$	85	97.7		
		$f_{IN} = 105MHz$, $A_{IN} = -2dBFS$		94.2		
		$f_{IN} = 130MHz$, $A_{IN} = -2dBFS$		94.1		
		$f_{IN} = 168MHz$, $A_{IN} = -2dBFS$		91.5		
Second-Order Harmonic Distortion	HD2	$f_{IN} = 10MHz$, $A_{IN} = -2dBFS$		-94.3		dBc
		$f_{IN} = 70MHz$, $A_{IN} = -2dBFS$, $T_A = +25^\circ C$		-93	-83	
		$f_{IN} = 70MHz$, $A_{IN} = -2dBFS$		-93	-78.3	
		$f_{IN} = 105MHz$, $A_{IN} = -2dBFS$		-88		
		$f_{IN} = 130MHz$, $A_{IN} = -2dBFS$		-82.3		
		$f_{IN} = 168MHz$, $A_{IN} = -2dBFS$		-77.6		
Third-Order Harmonic Distortion	HD3	$f_{IN} = 10MHz$, $A_{IN} = -2dBFS$		-94.3		dBc
		$f_{IN} = 70MHz$, $A_{IN} = -2dBFS$, $T_A = +25^\circ C$		-82.1	-79.6	
		$f_{IN} = 70MHz$, $A_{IN} = -2dBFS$		-82.1	-79.3	
		$f_{IN} = 105MHz$, $A_{IN} = -2dBFS$		-87.4		
		$f_{IN} = 130MHz$, $A_{IN} = -2dBFS$		-92.5		
		$f_{IN} = 168MHz$, $A_{IN} = -2dBFS$		-75.4		
Third-Order Intermodulation Distortion	IM3	$f_{IN1} = 65.1MHz$, $A_{IN1} = -8dBFS$ $f_{IN2} = 70.1MHz$, $A_{IN2} = -8dBFS$		-87.7		dBc
Two-Tone SFDR	TTSFDR	$f_{IN1} = 65.1MHz$, $f_{IN2} = 70.1MHz$, $-100dBFS$ < $A_{IN} < -10dBFS$		98		dBFS
CONVERSION RATE						
Maximum Conversion Rate	f_{CLKMAX}		100			MHz
Minimum Conversion Rate	f_{CLKMIN}				20	MHz
Aperture Jitter	t_J			85		fsRMS

高ダイナミックレンジ、16ビット、 -82dBFSのノイズフロア、100Msps ADC

MAX19588

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = V_{DDA} = 3.3V$, $DV_{DD} = 1.8V$, $AGND = DGND = 0$, internal reference, INP and INN driven differentially, CLKP and CLKN driven differentially, $C_L = 5pF$ at digital outputs (D0–D15, DOR), $C_L = 15pF$ for DAV, $f_{CLK} = 100MHz$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CLOCK INPUTS (CLKP, CLKN)						
Differential Input Swing	$V_{DIFFCLK}$	Fully differential inputs		1.0 to 5.0		V_{P-P}
Common-Mode Voltage	V_{CMCLK}	Self-biased		1.6		V
Differential Input Resistance	R_{INCLK}			10		$k\Omega$
Differential Input Capacitance	C_{INCLK}			3		pF
CMOS-COMPATIBLE DIGITAL OUTPUTS (D0–D15, DOR, DAV)						
Digital Output High Voltage	V_{OH}	$I_{SOURCE} = 200\mu A$		$DV_{DD} - 0.2$		V
Digital Output Low Voltage	V_{OL}	$I_{SINK} = 200\mu A$			0.2	V
TIMING SPECIFICATIONS (Figures 4, 5), $C_L = 7.5pF$ (D0–D15, DOR); $C_L = 35pF$ (DAV)						
CLKP - CLKN High	t_{CLKP}	(Note 3)	4			ns
CLKP - CLKN Low	t_{CLKN}	(Note 3)	4			ns
Effective Aperture Delay	t_{AD}			-300		ps
Output Data Delay	t_{DAT}			3.4		ns
Data Valid Delay	t_{DAV}	(Note 3)	2.5	4	5.2	ns
Pipeline Latency	$t_{LATENCY}$			7		Clock Cycles
CLKP Rising Edge to DATA Not Valid	t_{DNV}	(Note 3)	1.1			ns
CLKP Rising Edge to DATA Guaranteed Valid	t_{DGV}	(Note 3)			7.5	ns
DATA Setup Time Before Rising DAV	t_S	Clock duty cycle = 50% (Note 3)	2			ns
DATA Hold Time After Rising DAV	t_H	Clock duty cycle = 50% (Note 3)	2.5			ns
POWER SUPPLIES						
Analog Power-Supply Voltage	V_{DD}, V_{DDA}		3.13	3.3	3.46	V
Digital Output Power-Supply Voltage	DV_{DD}		1.7	1.8	1.9	V
Analog Power-Supply Current	$I_{AVDD} + I_{AVDDA}$			369	450	mA
Digital Output Power-Supply Current	I_{DVDD}			31	42	mA
Power Dissipation	P_{DISS}			1275	1561	mW

Note 1: $T_A \geq +25^\circ C$ guaranteed by production test, $T_A < +25^\circ C$ guaranteed by design and characterization. Typical values are at $T_A = +25^\circ C$.

Note 2: AC parameter measured in a 32,768-point FFT record, where the first 2 bins of the FFT and 2 bins on either side of the carrier are excluded. For SNR and SINAD measurements, bins dominated by production test system noise are excluded.

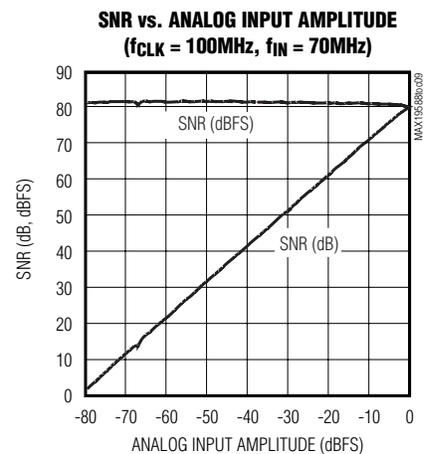
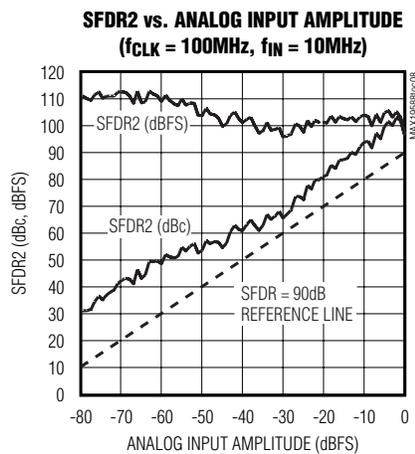
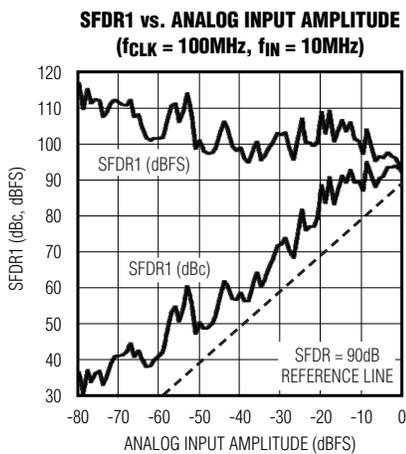
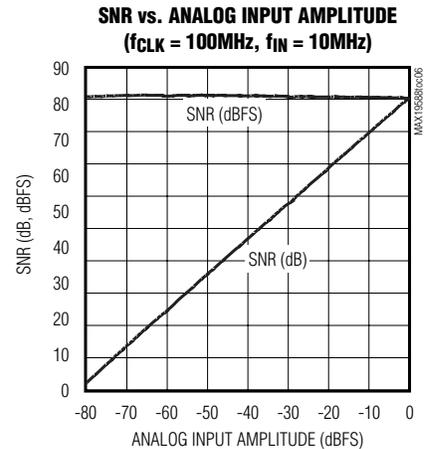
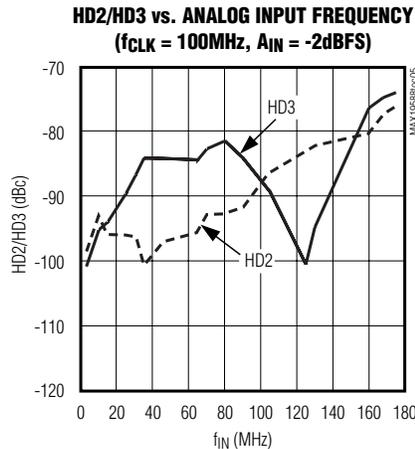
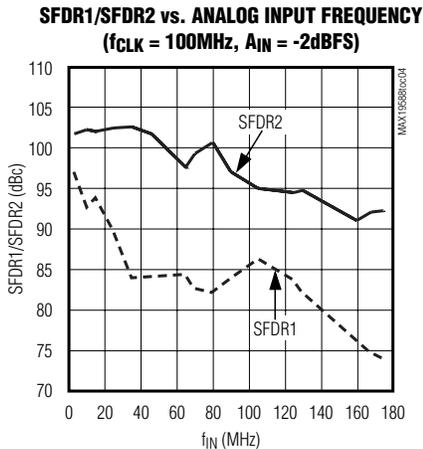
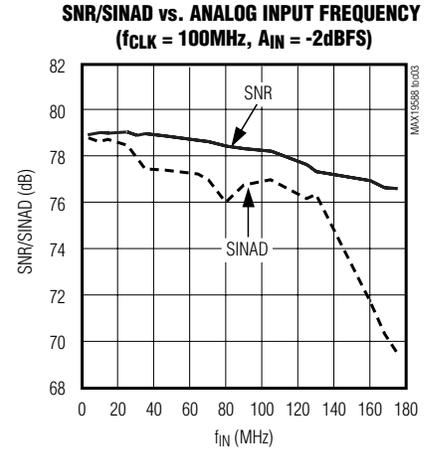
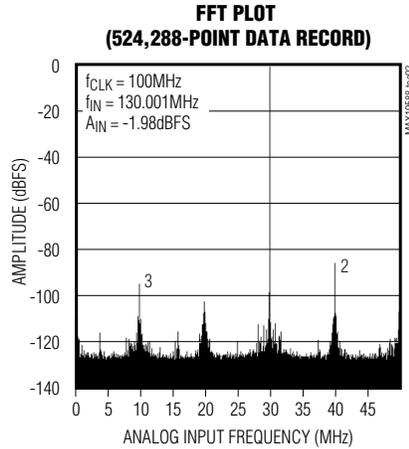
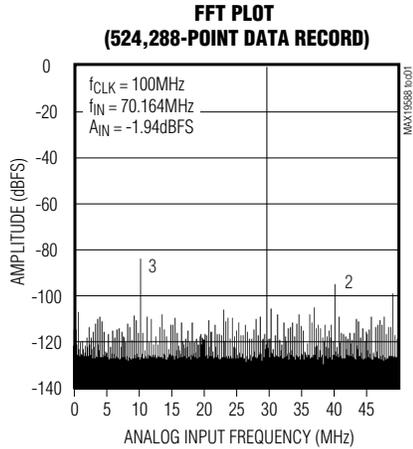
Note 3: Parameter guaranteed by design and characterization.

高ダイナミックレンジ、16ビット、 -82dBFSのノイズフロア、100Msps ADC

標準動作特性

($AV_{DD} = AV_{DDA} = 3.3V$, $DV_{DD} = 1.8V$, INP and INN driven differentially, internal reference, CLKP and CLKN driven differentially, $C_L = 7.5pF$ at digital outputs (D0–D15, DOR), $C_L = 35pF$ for DAV, $f_{CLK} = 100MHz$, $T_A = +25^\circ C$. Unless otherwise noted, all AC data based on 32k-point FFT records.)

MAX19588

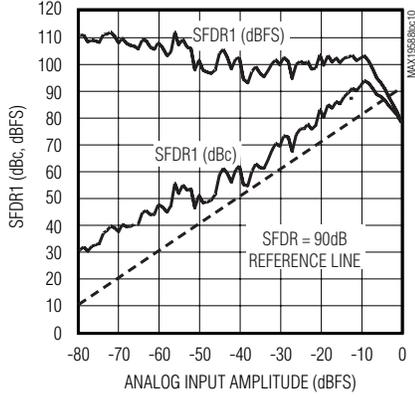


高ダイナミックレンジ、16ビット、 -82dBFSのノイズフロア、100Msps ADC

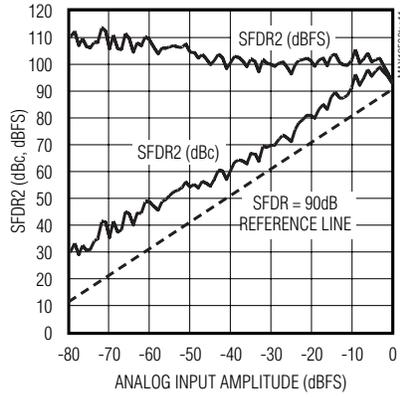
標準動作特性(続き)

($AV_{DD} = AV_{DDA} = 3.3V$, $DV_{DD} = 1.8V$, INP and INN driven differentially, internal reference, CLKP and CLKN driven differentially, $C_L = 7.5pF$ at digital outputs (D0-D15, DOR), $C_L = 35pF$ for DAV, $f_{CLK} = 100MHz$, $T_A = +25^{\circ}C$. Unless otherwise noted, all AC data based on 32k-point FFT records.)

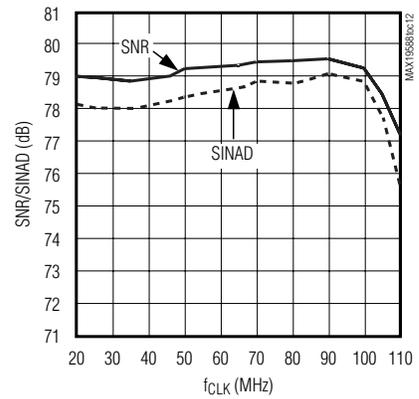
SFDR1 vs. ANALOG INPUT AMPLITUDE
($f_{CLK} = 100MHz$, $f_{IN} = 70MHz$)



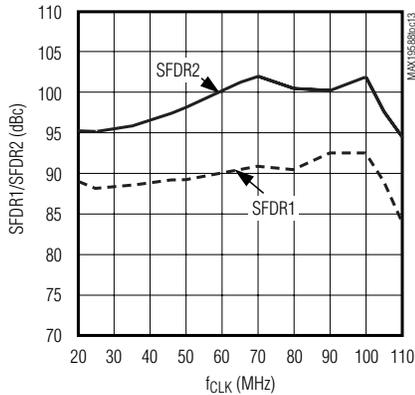
SFDR2 vs. ANALOG INPUT AMPLITUDE
($f_{CLK} = 100MHz$, $f_{IN} = 70MHz$)



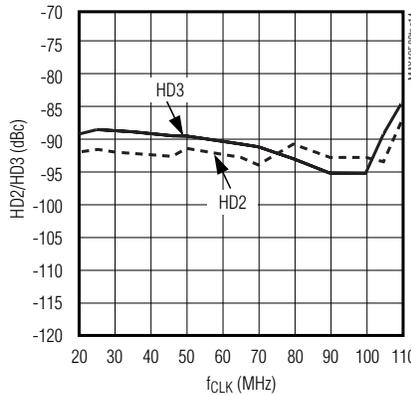
SNR/SINAD vs. SAMPLING FREQUENCY
($f_{IN} = 10MHz$, $A_{IN} = -2dBFS$)



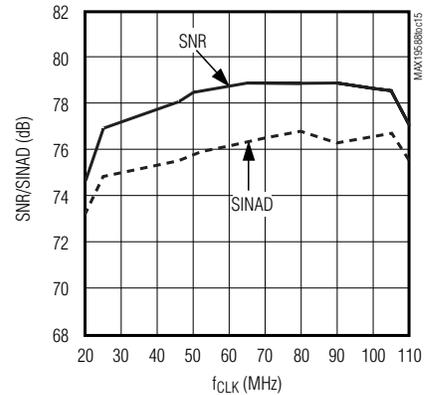
SFDR1/SFDR2 vs. SAMPLING FREQUENCY
($f_{IN} = 10MHz$, $A_{IN} = -2dBFS$)



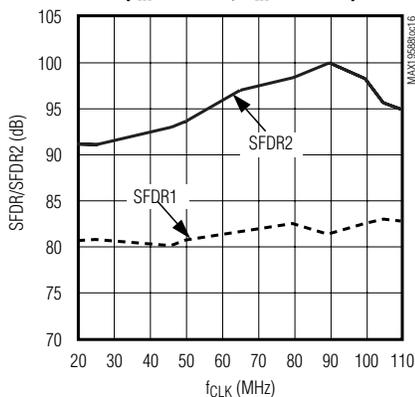
HD2/HD3 vs. SAMPLING FREQUENCY
($f_{IN} = 10MHz$, $A_{IN} = -2dBFS$)



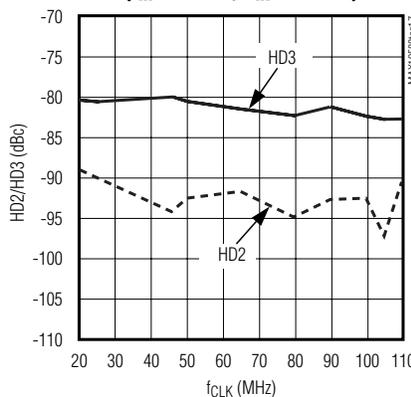
SNR/SINAD vs. SAMPLING FREQUENCY
($f_{IN} = 70MHz$, $A_{IN} = -2dBFS$)



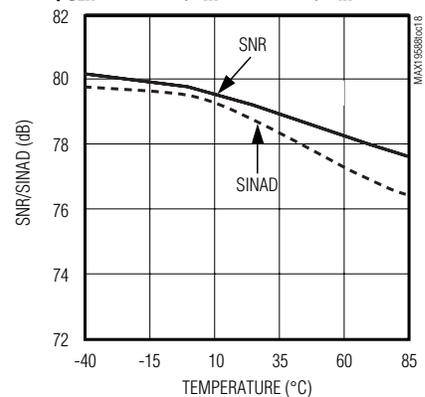
SFDR1/SFDR2 vs. SAMPLING FREQUENCY
($f_{IN} = 70MHz$, $A_{IN} = -2dBFS$)



HD2/HD3 vs. SAMPLING FREQUENCY
($f_{IN} = 70MHz$, $A_{IN} = -2dBFS$)



SNR/SINAD vs. TEMPERATURE
($f_{CLK} = 100MHz$, $f_{IN} = 10.1MHz$, $A_{IN} = -2dBFS$)

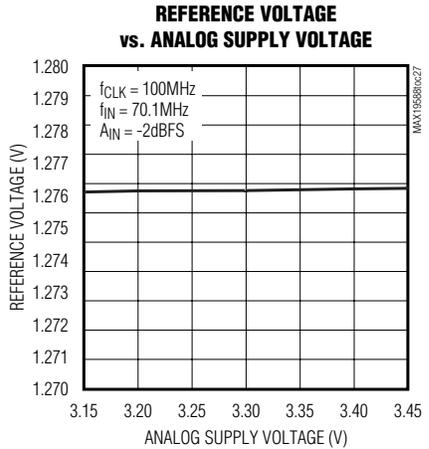
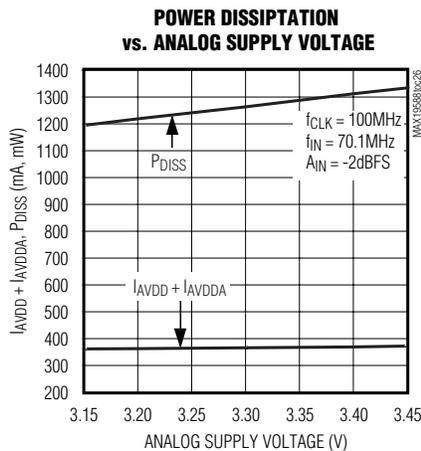
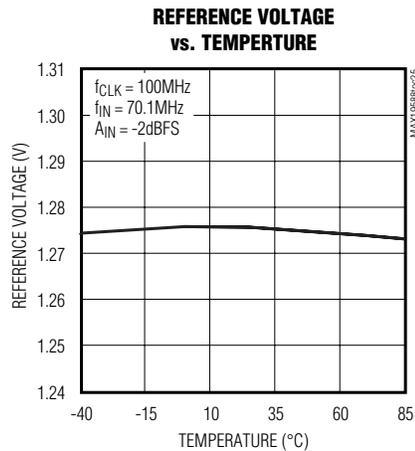
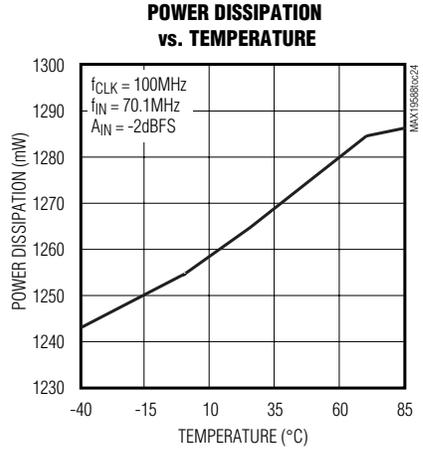
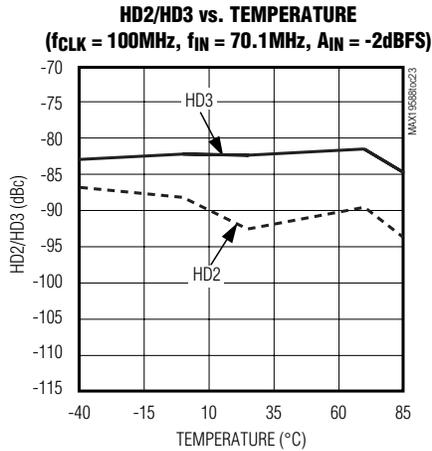
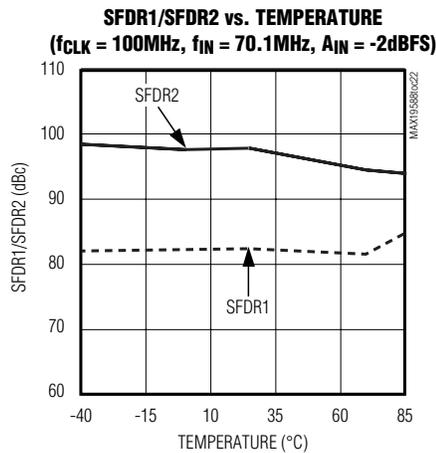
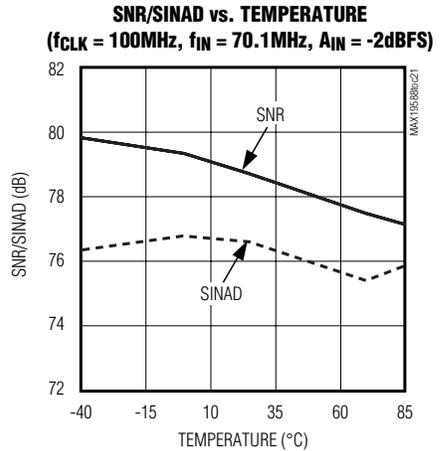
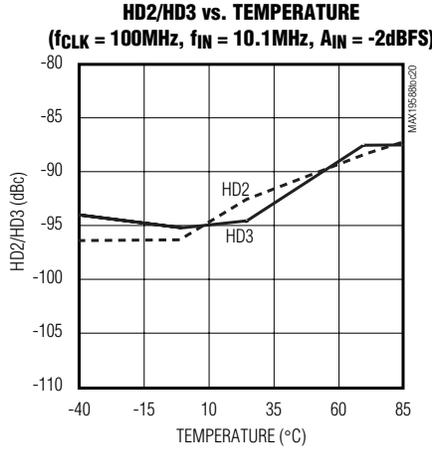
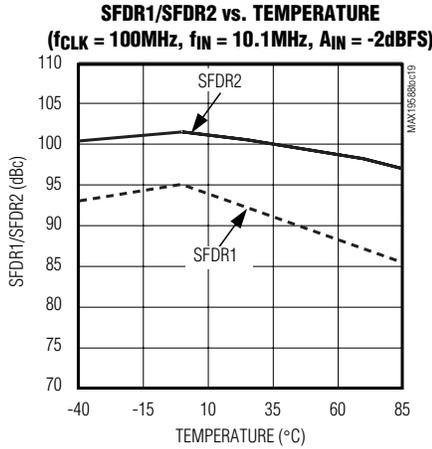


高ダイナミックレンジ、16ビット、 -82dBFSのノイズフロア、100Msps ADC

MAX19588

標準動作特性(続き)

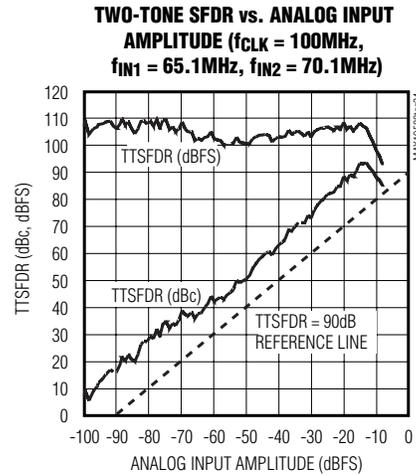
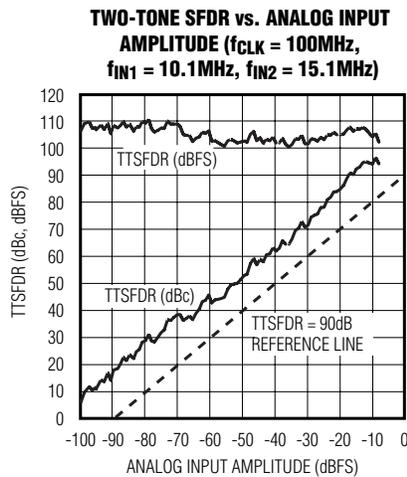
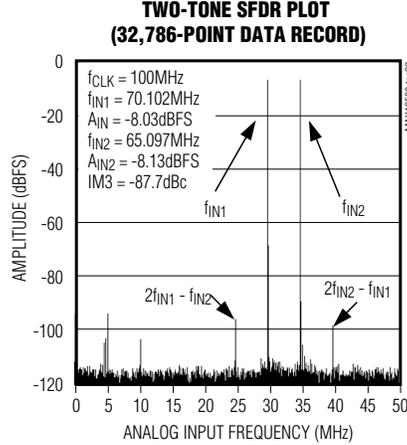
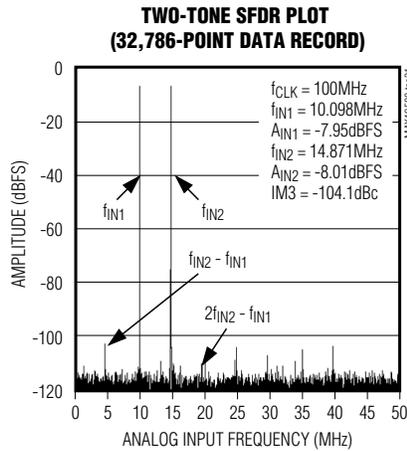
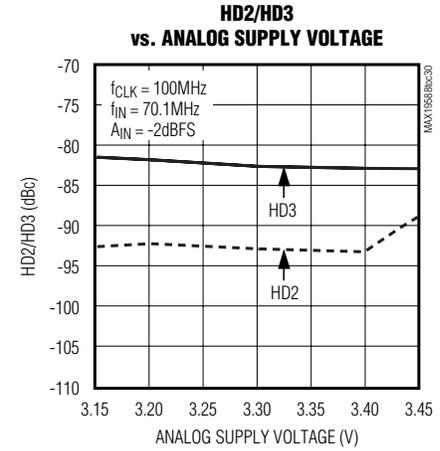
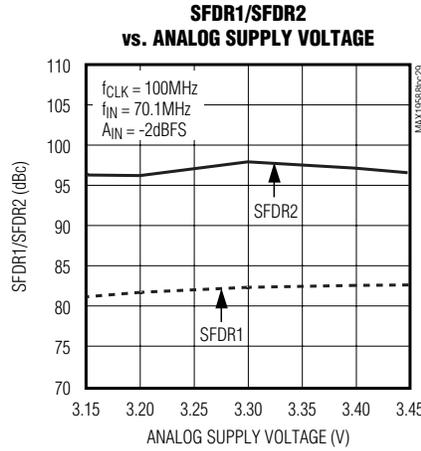
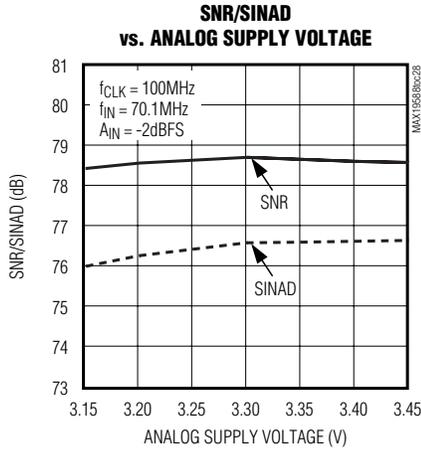
($V_{DD} = V_{DDA} = 3.3V$, $DV_{DD} = 1.8V$, INP and INN driven differentially, internal reference, CLKP and CLKN driven differentially, $C_L = 7.5pF$ at digital outputs (D0-D15, DOR), $C_L = 35pF$ for DAV, $f_{CLK} = 100MHz$, $T_A = +25^\circ C$. Unless otherwise noted, all AC data based on 32k-point FFT records.)



高ダイナミックレンジ、16ビット、 -82dBFSのノイズフロア、100Msps ADC

標準動作特性(続き)

($AV_{DD} = AV_{DDA} = 3.3V$, $DV_{DD} = 1.8V$, INP and INN driven differentially, internal reference, CLKP and CLKN driven differentially, $C_L = 7.5pF$ at digital outputs (DO-D15, DOR), $C_L = 35pF$ for DAV, $f_{CLK} = 100MHz$, $T_A = +25^{\circ}C$. Unless otherwise noted, all AC data based on 32k-point FFT records.)



高ダイナミックレンジ、16ビット、 -82dBFSのノイズフロア、100MSPS ADC

MAX19588

端子説明

端子	名称	機能
1, 2	AVDDA	補助アナログ電源電圧。これらの端子を相互に接続し、50Ωの直列抵抗器を介してAV _{DD} に接続してください。
3, 6-9, 12, 13, 14, 20, 21, 22, 28	AGND	コンバータグランド。アナログ、デジタル、および出力ドライバの各グランドは、内部で同じ電位に接続されています。コンバータのエクスポーズドパッド(EP)をGNDに接続してください。
4	CLKP	差動クロック、正入力端子
5	CLKN	差動クロック、負入力端子
10	INP	差動アナログ入力、正端子
11	INN	差動アナログ入力、負端子
15, 16, 54	N.C.	接続なし。このピンには接続しないでください。
17, 18, 19, 23, 24, 25, 55, 56	AVDD	アナログ電源電圧。0.01μFと0.1μFのコンデンサでグランドにローカル(局所)バイパスしてください。
26	REFOUT	内部バンドギャップリファレンス出力
27	REFIN	リファレンス電圧入力
29, 41, 42, 51	DVDD	デジタル電源電圧。0.01μFと0.1μFのコンデンサでグランドにローカルバイパスしてください。
30, 31, 52	DGND	コンバータグランド。デジタル出力ドライバグランド。
32	D0	デジタルCMOS出力ビット0 (LSB)
33	D1	デジタルCMOS出力ビット1
34	D2	デジタルCMOS出力ビット2
35	D3	デジタルCMOS出力ビット3
36	D4	デジタルCMOS出力ビット4
37	D5	デジタルCMOS出力ビット5
38	D6	デジタルCMOS出力ビット6
39	D7	デジタルCMOS出力ビット7
40	D8	デジタルCMOS出力ビット8
43	D9	デジタルCMOS出力ビット9
44	D10	デジタルCMOS出力ビット10
45	D11	デジタルCMOS出力ビット11
46	D12	デジタルCMOS出力ビット12
47	D13	デジタルCMOS出力ビット13
48	D14	デジタルCMOS出力ビット14
49	D15	デジタルCMOS出力ビット15 (MSB)
50	DAV	データ有効出力。この出力は、外部バッファまたはデータ収集システムを駆動するクロック制御ラインとして使用することができます。コンバータクロックの立下りエッジとDAVの立上りエッジの間の遅延時間は4ns (typ)です。
53	DOR	データオーバーレンジビット。この制御ラインは、ADCにおけるオーバ/アンダレンジ状態のフラグをセットします。DORがハイに遷移すると、オーバ/アンダレンジ状態が検出されています。DORがローに保たれる場合、ADCは許容フルスケール範囲内で動作しています。
—	EP	エクスポーズドパッド。AGNDに接続する必要があります。

高ダイナミックレンジ、16ビット、 -82dBFSのノイズフロア、100Msps ADC

詳細

図1は、MAX19588の構成の概要を示します。MAX19588には、低サーマルノイズと低歪みに最適化された入力トラック/ホールド(T/H)アンプが採用されています。T/Hアンプに接続されるハイインピーダンス差動入力(INPとINN)は、約2.4Vに自己バイアスされており、2.56V_{p-p}のフルスケール差動入力電圧をサポートします。T/Hアンプの出力は、超低サーマルノイズフロアと低歪みを実現するように設計された多段パイプラインADCコアに供給されます。

クロックバッファは、差動入力クロック波形を受け取り、入力T/H用の低ジッタクロック信号を生成します。アナログ入力の信号は、差動クロック波形の立上りエッジでサンプリングされます。差動クロック入力(CLKPとCLKN)は、ハイインピーダンス入力であり、1.6Vで自己バイアスされ、1V_{p-p}~5V_{p-p}の差動クロック波形をサポートします。

多段パイプラインADCコアからの出力は、誤差補正、および16ビット出力コードを2の補数形式でデジタル出力ドライバに供給するフォーマット化ロジックに供給されます。出力ドライバは1.8V CMOS互換出力を提供します。

アナログ入力(INP、INN)

MAX19588への信号入力(INPとINN)は平衡差動入力です。この差動構成は、コモンモードノイズ結合に対する耐性を備えており、偶数次高調波項を除去します。最高のダイナミック性能を実現するためには、

MAX19588への差動信号入力をAC結合し、十分にバランスさせる必要があります(詳しくは、「アプリケーション情報」の項の「差動、AC結合アナログ入力」を参照してください)。MAX19588の入力は図2に示すように自己バイアスされているため、入力信号のAC結合が必要です。トラック/ホールド入力はハイインピーダンスですが、2個の5kΩ抵抗器がコモンモードバイアス回路に接続されているため実際の差動入力インピーダンスは公称10kΩです。

これらのアナログ入力にはDCリーク電流を流さないようにしてください。DCリーク電流が10μAを超えると、自己バイアスされたコモンモードレベルがシフトするため、コンバータの性能が悪影響を受けます。

内蔵リファレンス回路

MAX19588は、1.28V、低ドリフトのバンドギャップリファレンスを内蔵しています。このリファレンス電位は、公称差動2.56V_{p-p}のコンバータ用のフルスケール範囲を決定します(図3)。内部リファレンス電圧は、REFOUTで監視することができます。内部リファレンス電圧を使用するためには、リファレンス入力(REFIN)を10kΩの抵抗器を介してREFOUTに接続する必要があります。個別に1μFのコンデンサを使って両方の端子をAGNDにバイパスしてください。

また、MAX19588では、ユーザは内部バンドギャップリファレンスに優先して外部リファレンスソースをREFINに接続することが可能です。REFINは、1.28V ±10%の入力電圧範囲で動作します。

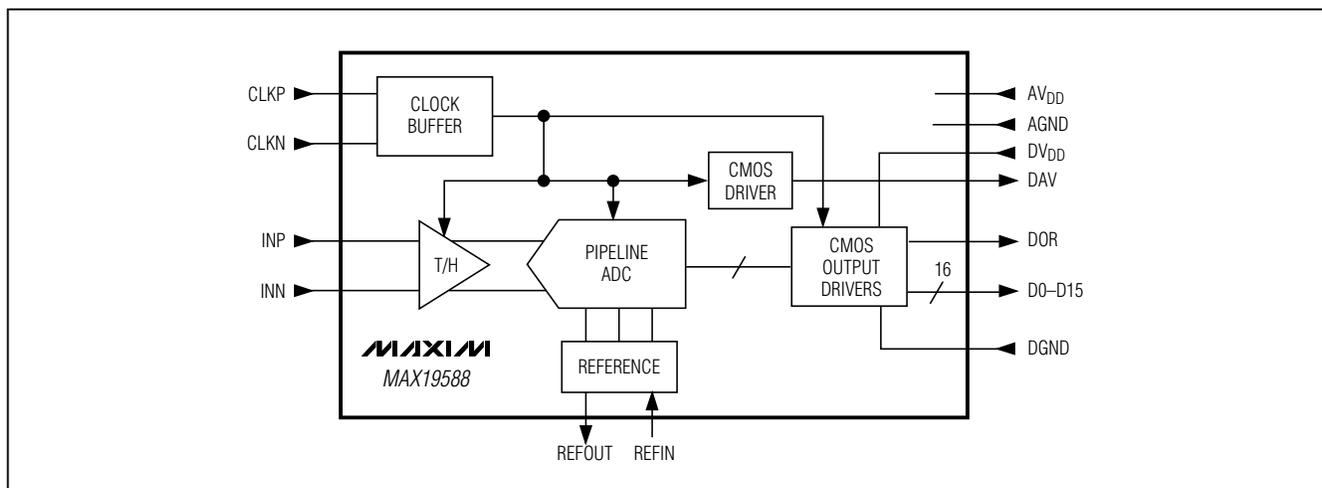


図1. ブロック図

高ダイナミックレンジ、16ビット、 -82dBFSのノイズフロア、100Msps ADC

クロック入力(CLKP、CLKN)

MAX19588の差動クロックバッファは、AC結合クロック波形を受け入れるように設計されています。信号入力と同様に、クロック入力は自己バイアスされています。この場合、自己バイアス電位は1.6Vで、各入力は5kΩの抵抗器によってリファレンス電位に接続されています。このため、クロック入力に関する差動入力抵抗は10kΩです。0.5V_{p-p}までの小さい差動クロック信号を使ってクロック入力を駆動することができますが、最良のダイナミック性能は1V_{p-p}~5V_{p-p}のクロック入力電圧レベルで実現します。

クロック信号のジッタは、サンプリングされた信号のジッタ(ノイズ)にそのまま変換されます。したがって、クロックソースは超低ジッタ(低位相ノイズ)ソースでなければなりません。さらに、このコンバータから真のAC性能を得るためには、超低位相ノイズの発振器とバンドパスフィルタを使用する必要があります。クロック入力駆動の項のさらに詳細については、「アプリケーション情報」の項で「差動、AC結合クロック入力」と「MAX19588の試験」の各項を参照してください。

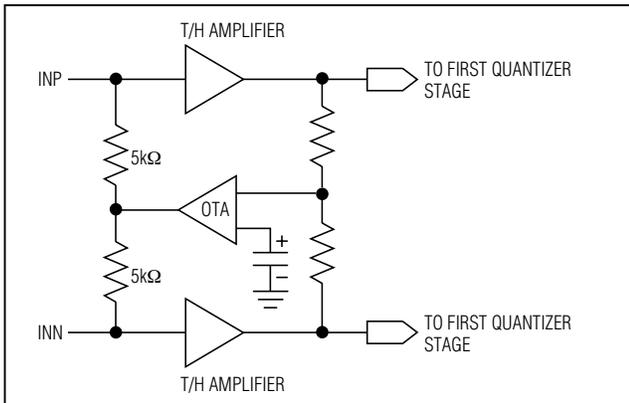


図2. 簡略化アナログ入力構成

システムタイミング要件

図4は、信号入力、クロック入力、データ出力、およびDAV出力の全体的なタイミング関係を示します。図5は、「Electrical Characteristics (電气的特性)」表で規定された詳細なタイミング規格と信号関係を示します。

MAX19588は、入力信号を入力クロックの立上りエッジでサンプリングします。7クロックサイクルのデータ待ち時間後、出力データはDAV信号の立上りエッジで有効となります。適切な動作に必要なクロックデューティサイクルは、標準的には、50% ±10%であることに注意してください。

デジタル出力(D0~D15、DAV、DOR)

最良の性能を得るためには、MAX19588のデジタル出力の容量性負荷をできる限り小さく(10pF未満)する必要があります。MAX19588は電流制限されたデータ出力ドライバであるため、大きな容量性負荷では、データの立上り/立下り時間が増加してデータを次のICに記録することが困難になります。出力トレースを短くして、(複数のCMOS入力ではなく)1個のCMOSバッファまたはラッチ入力を駆動することで負荷容量を小さく保つことができます。出力データは、表1に示すように2の補数形式です。

データはDAVの立上りエッジで有効となります(図4、5)。DAVは出力データをラッチするためのクロック信号として使用することもできます。DAV出力ドライバは、電流が制限されないためより大きい容量性負荷が許容されることに注意してください。

コンバータのDOR出力信号は、オーバ/アンダレンジ状態の識別に使用されます。入力信号がMAX19588の正または負のフルスケール範囲を超えると、DORがハイに設定されます。DORのタイミングはデータ出力のタイミングと同じであるため、DORはサンプルごとにオーバレンジを表示します。

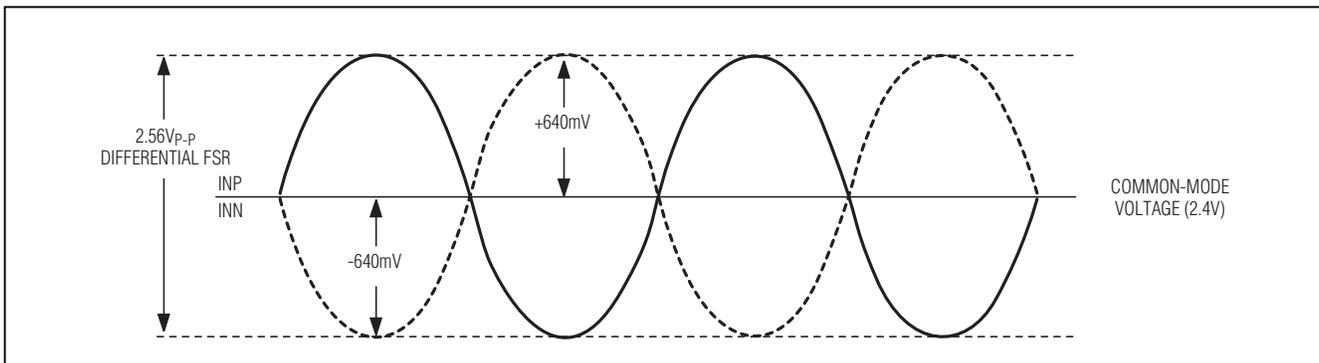


図3. フルスケール電圧範囲

高ダイナミックレンジ、16ビット、 -82dBFSのノイズフロア、100Msps ADC

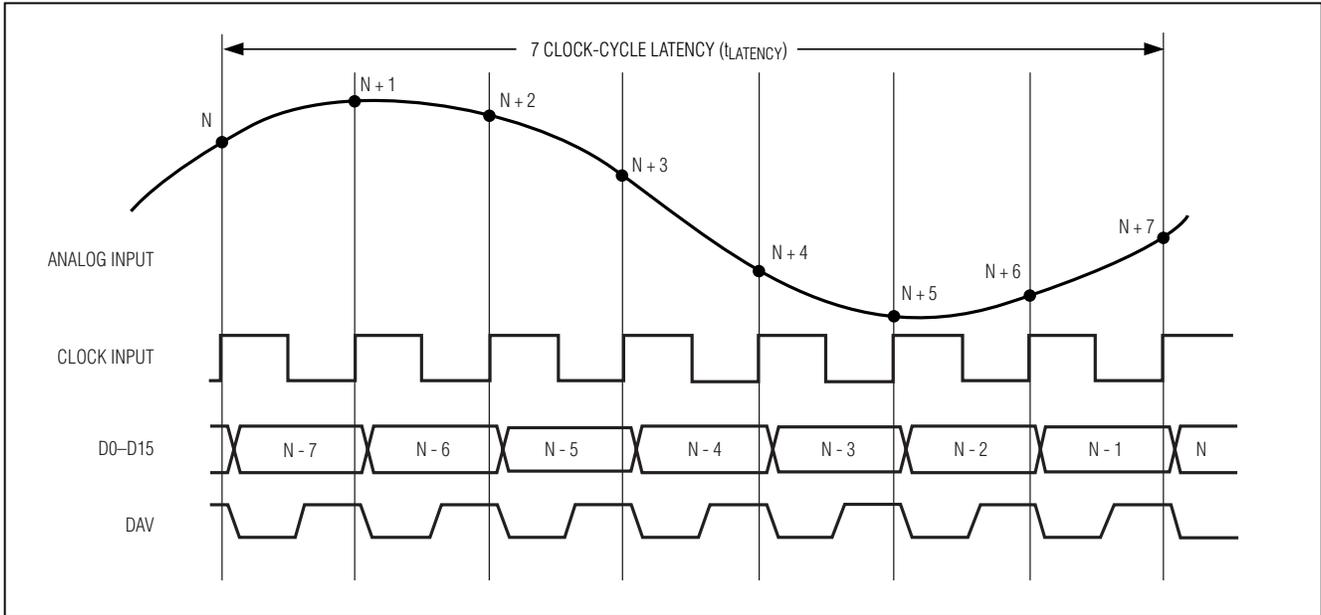


図4. 全体的なシステムの出カタイミング図

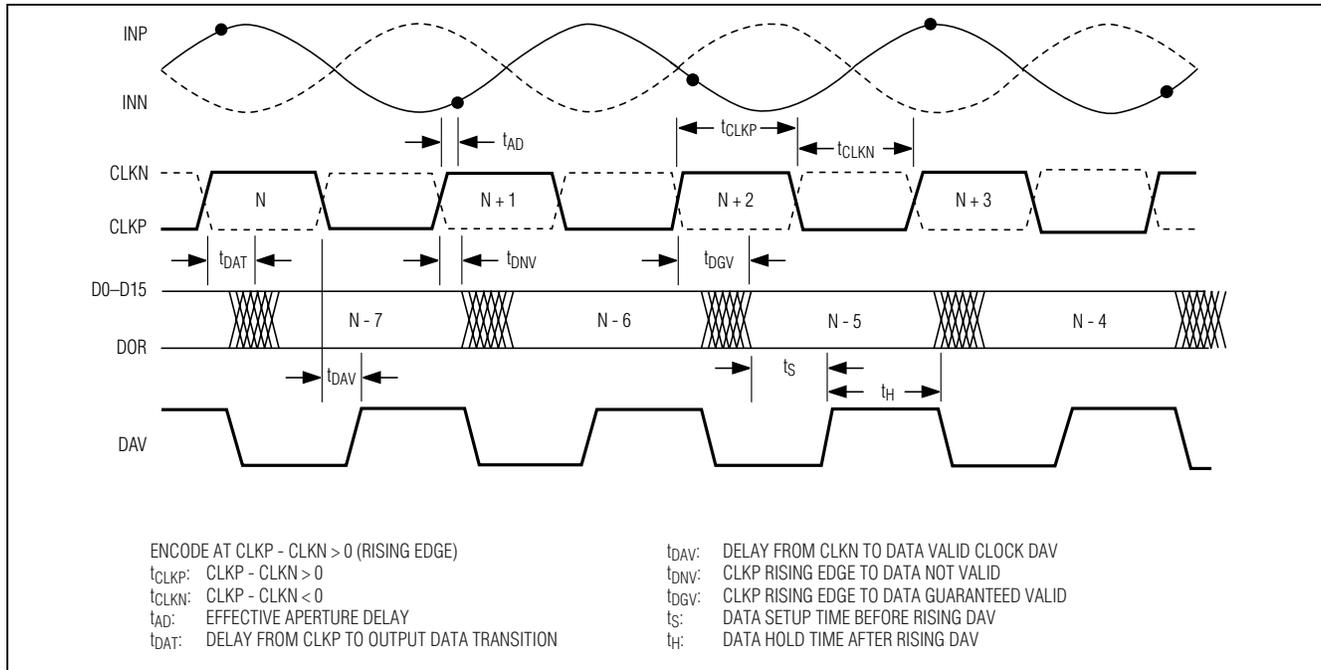


図5. クロック動作に関する詳細タイミング情報

高ダイナミックレンジ、16ビット、 -82dBFSのノイズフロア、100MSPS ADC

表1. MAX19588のデジタル出力コード

INP ANALOG VOLTAGE LEVEL	INN ANALOG VOLTAGE LEVEL	D15-D0 TWO'S-COMPLEMENT CODE
$V_{CM} + 0.64V$	$V_{CM} - 0.64V$	0111111111111111 (positive full-scale)
V_{CM}	V_{CM}	0000000000000000 (midscale + δ) 1111111111111111 (midscale - δ)
$V_{CM} - 0.64V$	$V_{CM} + 0.64V$	1000000000000000 (negative full-scale)

アプリケーション情報

差動、AC結合クロック入力

MAX19588へのクロック入力はAC結合差動信号によって駆動され、最良の性能はこの条件で実現されます。ただし、多くの場合、利用可能なクロックソースはシングルエンドです。図6には、トランスを使ってシングルエンドクロック信号を差動信号に変換する1つの方法を示します。この例では、トランスの1次側と2次側の巻数比が1 : 1.414です。1次側と2次側のインピーダンス比は、この巻数比の2乗、すなわち1 : 2です。この

ため、100Ωの差動抵抗で2次側を終端すると、トランスの1次側から見た負荷が50Ωになります。この例の終端抵抗器は、共通ノードをグランドにAC結合した2個の50Ω抵抗器を直列に組み合わせて構成されています。

図6は、トランスの2次側をクロック入力にじかに結合した場合を示します。クロック入力は自己バイアスされているため、トランスのセンタタップはグランドにAC結合するか、またはフローティング状態にする必要があります。トランスの2次側のセンタタップをグランドにDC結合する場合は、両クロック入力端子と直列に直流遮断用コンデンサを追加する必要があります。

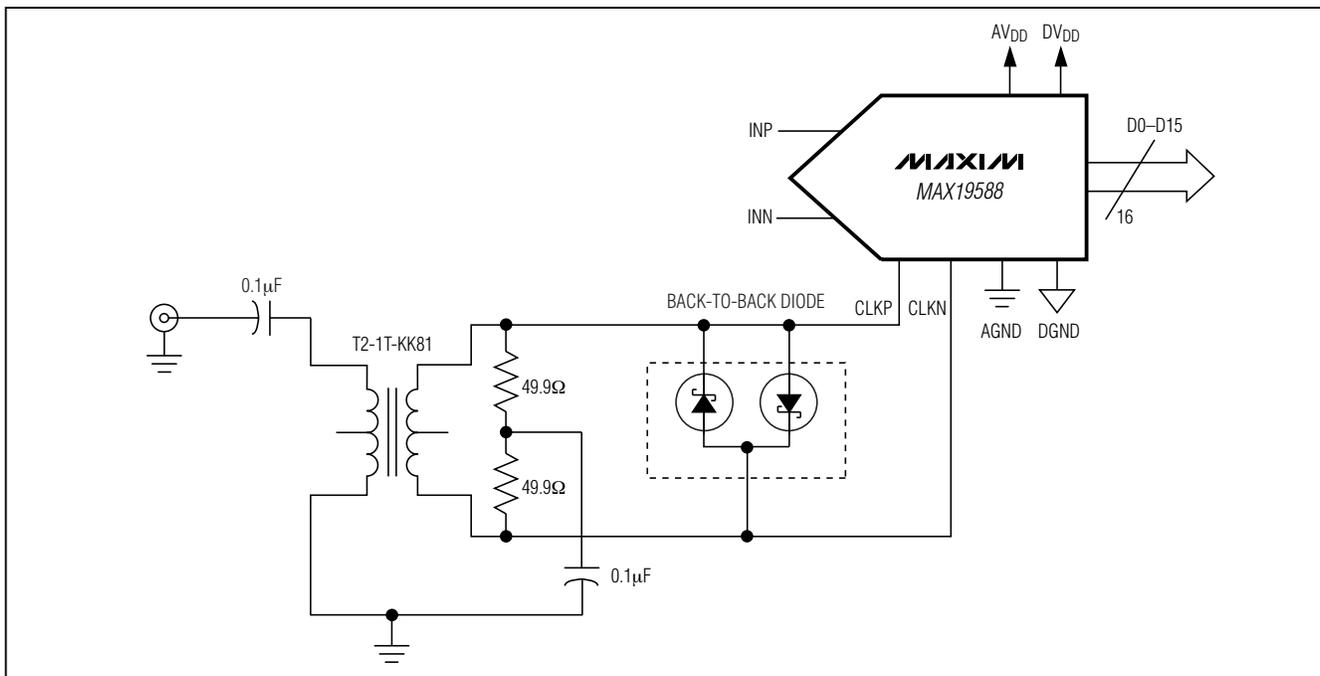


図6. トランス結合のクロック入力構成

高ダイナミックレンジ、16ビット、 -82dBFSのノイズフロア、100Msps ADC

クロック信号がゼロ交差時に高スルーレートになる場合は、クロックジッタは一般に改善されます。したがって、正弦波ソースを使ってクロック入力を駆動する場合は、クロックの振幅をできる限り大きくしてゼロ交差のスルーレートを最大化することを推奨します。入力信号が3V_{p-p}以下の差動電位に保たれている限りは、図6に示す逆並列ショットキダイオードは不要です。(ゼロ交差のスルーレートを最大化するために)信号振幅を大きくすると、ダイオードはクロック入力における差動信号振幅を制限するのに役立ちます。MAX19588に関するすべてのAC規格は、この構成の範囲において約12dBmの入力クロック振幅で測定されることに注意してください。

クロック入力に結合される差動モードノイズは、クロックジッタに変換され、MAX19588のSNR性能を低下させます。アナログ入力信号がクロック入力と差動モード結合すると、高調波歪みが発生します。このため、クロックラインをアナログ信号入力およびデジタル出力から適切に分離することが重要です。ノイズ結合関連の詳細については、「信号経路」の項を参照してください。

差動、AC結合アナログ入力

アナログ入力のINPとINNは、差動AC結合信号によって駆動されます。これらの入力を正確にバランスさせることが重要です。これらの入力にコモンモード信号が加わると、偶数次歪み項が悪化します。このため、シングルエンド方式でこれらの入力を駆動しようとする、偶数次歪み項が大きくなります。

図7は、トランスを使ってシングルエンド信号を平衡差動信号に変換する1つの方法を表します。この例では、1次と2次の巻数比は1:1.414です。インピーダンス比は巻数比の2乗であるため、この例ではインピーダンス

比は1:2です。トランスの1次側で50Ωの入力インピーダンスを実現するためには、2次側を100Ωの差動負荷で終端します。MAX19588の差動入力抵抗と並列のこの負荷は、2次側で100Ωの差動負荷となります。信号の大幅なステップアップを実現するためにより大きなトランス巻数比を使用することは適切であり、MAX19588を駆動する回路の駆動要求を緩和する上で望ましい場合があります。ただし、巻数比を大きくすると、1次側換算入力インピーダンスに対するMAX19588の差動入力インピーダンスの影響が大きくなります。

前述のように、最良の偶数次歪み性能を実現するためにはMAX19588への信号入力を高精度でバランスさせる必要があります。

トランスに関してもう1つ重要な注意があります。トランスの1次側または2次側巻線を通るDC電流によって、トランスコアが磁気的にバイアスされる可能性があります。この場合、トランスはもはや正確にバランスされず、MAX19588の歪みの劣化が認められることがあります。バランスされた動作に戻すためには、コアが消磁される必要があります。

層の割当て

MAX19588のEVキットは6層基板であり、ここでは層の割当てについて説明します。グランドプレーンは信号経路層と電源経路層の間の層に割り当てられることを推奨します。こうすると、電源ラインから信号ラインへの結合が阻止されます。MAX19588のEVキットのプリント基板では、信号ラインが最上(部品)層に、グランドプレーンが層2に配置されています。信号経路に使用されていない最上層の領域は、層2に通じるビアを備えたグランドプレーンで占められています。層3と4は電源経路専用で、層5はもう1つのグランドプレーンであり、層6は追加部品の配置と追加信号経路に使用されます。

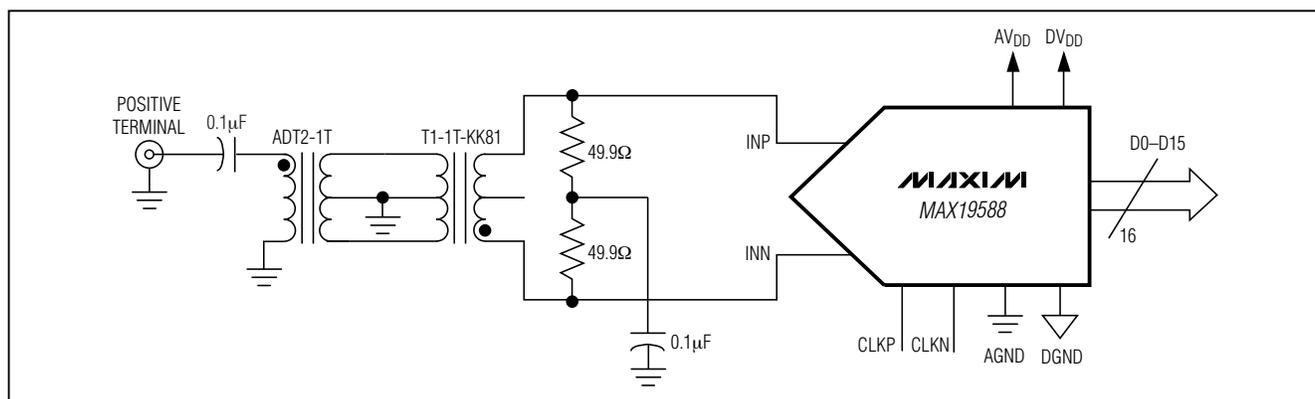


図7. トランス結合のアナログ入力構成(1次側バラスト付き)

高ダイナミックレンジ、16ビット、 -82dBFSのノイズフロア、100MSPS ADC

層1を信号ライン用に、層2をグランドプレーンとして、層3を電源経路用に、層4を追加の信号経路用に使用する4層実装も実現可能です。ただし、クロックラインと信号ラインを相互に絶縁するとともに、これらを電源ラインからも絶縁するよう注意する必要があります。

信号経路

偶数次の歪みを良好に保つためには、信号ライン(INP入力とINN入力に接続されるトレース)を注意してバランスさせる必要があります。このためには、信号トレースをできる限り対称にする必要があります。つまり、2本の信号トレースをそれぞれ同じ長さにして同じ寄生環境にする必要があります。前述のように、信号ラインを電源ラインから絶縁して電源から入力への結合を阻止する必要があります。これは、前項で説明したように、必要な層の割当てを行うことで実現されます。また、クロックラインを信号ラインから絶縁することも非常に重要です。MAX19588のEVキットでは、クロックラインを最下層(層6)に通すことによってこれが実現されます。この場合、クロックラインは、デバイスに近接したビアを通じてADCに接続されます。クロックラインは、層5のグランドプレーンによって電源ラインからも分離されています。

すべての高速設計の場合と同様に、容量性負荷を最小限に抑制するためにデジタル出力のトレースをできる限り短くする必要があります。デジタルグランドリターン電流がバイパスコンデンサに戻る連続的な経路

を確保するために、これらのトレースの下部にある層2のグランドプレーンを省いてはなりません。

グランド

デジタルグランドリターン電流を閉じ込めるために、グランドプレーンを分割する方式がADCアプリケーションの出版物で多く推奨されてきました。しかし、MAX19588などのコンバータでは、単一の連続したグランドプレーンを採用することを強く推奨します。MAX19588のEVキットは、こうしたグランドプレーンで優れたダイナミック性能を発揮しています。

MAX19588のエクスポートパッドは、層2のグランドプレーンに通じるビアを備えた層1のグランドパッドにじかに半田付けする必要があります。これによって、プリント基板との優れた電気的および熱的接続が実現します。

電源のバイパス

MAX19588のEVキットでは、 AV_{DD} 、 AV_{DDA} 、および DV_{DD} の各電源ラインに $220\mu\text{F}$ のコンデンサ(および、 $47\mu\text{F}$ と $2\mu\text{F}$ などの小容量値)を使用して、低周波のバイパスを行います。これらのコンデンサに関わる損失(直列抵抗)は、高いQ値に起因する電源共振の防止に役立ちます。また、各電源ラインにフェライトビーズを使用して、電源のバイパスを強化することもできます(図8)。

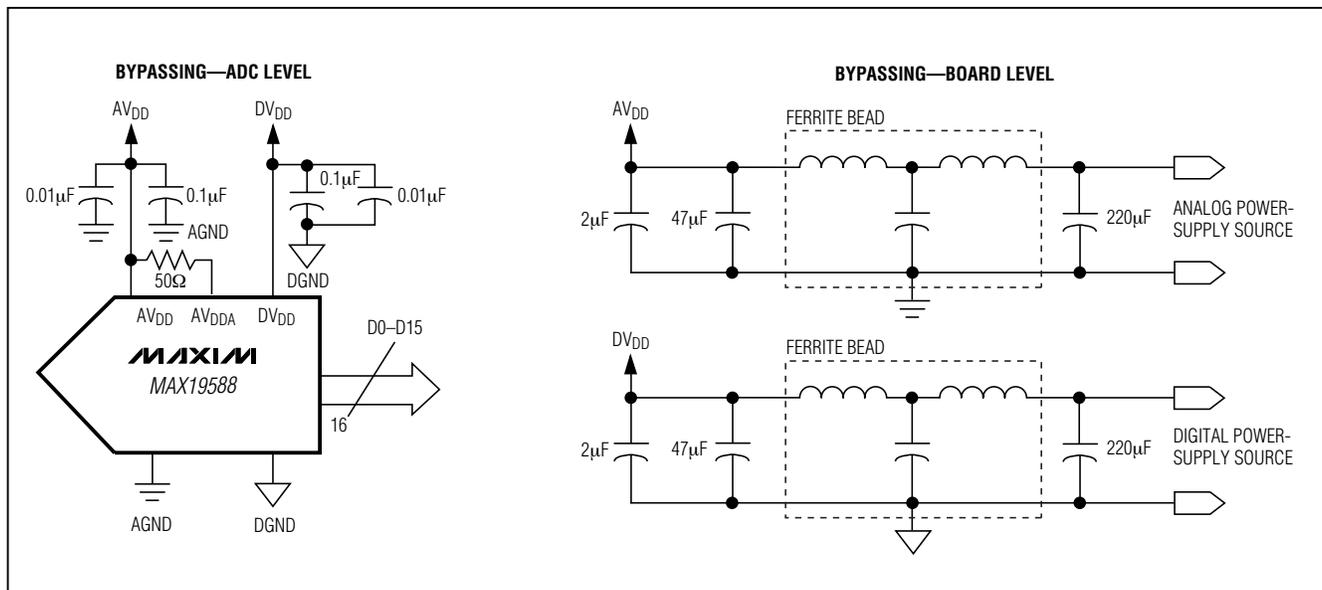


図8. MAX19588に関するグランド、バイパス、およびデカップリングの推奨回路

高ダイナミックレンジ、16ビット、 -82dBFSのノイズフロア、100Msps ADC

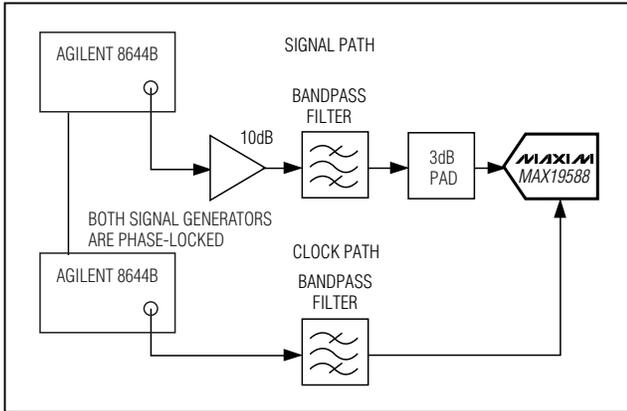


図9a. 標準高速ADCの試験構成(簡略図)

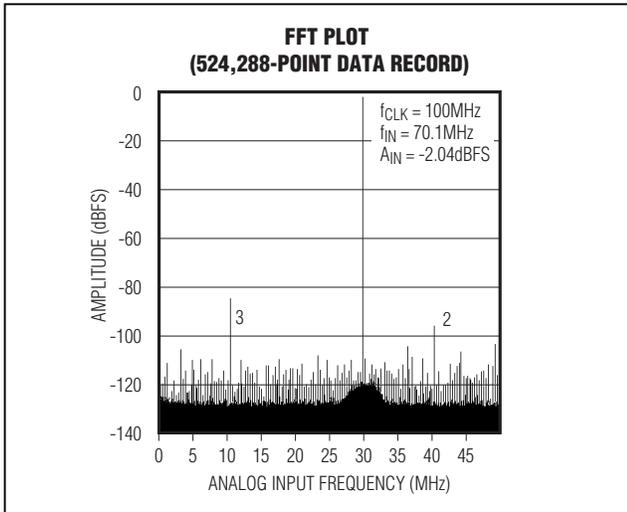


図9b. 標準高速ADCの試験構成の場合の70MHz FFT

高周波電源ノイズを減衰させるためには、小さい値を組み合わせた(0.01 μ Fと0.1 μ F)、低インダクタンスの表面実装コンデンサを各電源端子や複数電源端子の組み合わせグランド接続に配置する必要があります。これらのコンデンサは、グランドプレーンまでの接続を短くして、コンバータのできる限り近くで基板の上面に配置してください。

電源/クロックシーケンス

MAX19588の電源を投入(シーケンスは不要です)してからクロックを印加してください。MAX19588の電源投入前にクロックが存在する場合は、DV_{DD}を最初に立ち上げてからAV_{DD}の電源を投入してください。

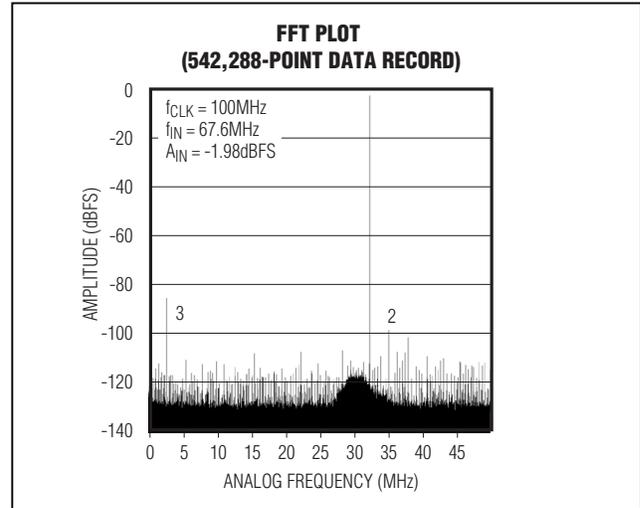


図9c. 標準高速ADCの試験構成による68MHz FFT

MAX19588の試験

MAX19588は、きわめて低いサーマルノイズフロア(-82dBFS)とジッタ(100fs以下)を示します。このため、試験システムの限界によってADCの性能が不明確になる可能性があります。図9aは、従来の高速ADC試験システムのブロック図です。入力信号とクロックソースは、低位相ノイズのシンセサイザ(HP/Agilent 8644Bなど)で生成されます。信号経路とクロック経路のバンドパスフィルタは、その後のノイズおよび高調波成分を減衰させます。

図9bは、70MHzの入力トーンと100Mspsのクロックに対してこの試験構成から得られるパワースペクトルを示しています。キャリアの近くでノイズフロアがかなり上昇していることに注意してください。キャリア付近のこのような著しいノイズフロア上昇の帯域幅は、入力信号経路のフィルタの帯域幅に対応しています。

図9cは、入力周波数が入力信号フィルタの中心周波数からずれている場合のスペクトルへの影響を示します。基本トーンは移動していますが、ノイズフロア上昇は同じ位置のままです。これは、ノイズフロアの上昇がADCではなく試験システムに起因することを裏付けています。この図では、信号源をフィルタの端に置いたために信号をフルスケールに近づけるために、信号振幅を大きくする必要があり、ノイズフロア上昇の大きさが図9bに比較して増加しています。

高ダイナミックレンジ、16ビット、 -82dBFSのノイズフロア、100Msps ADC

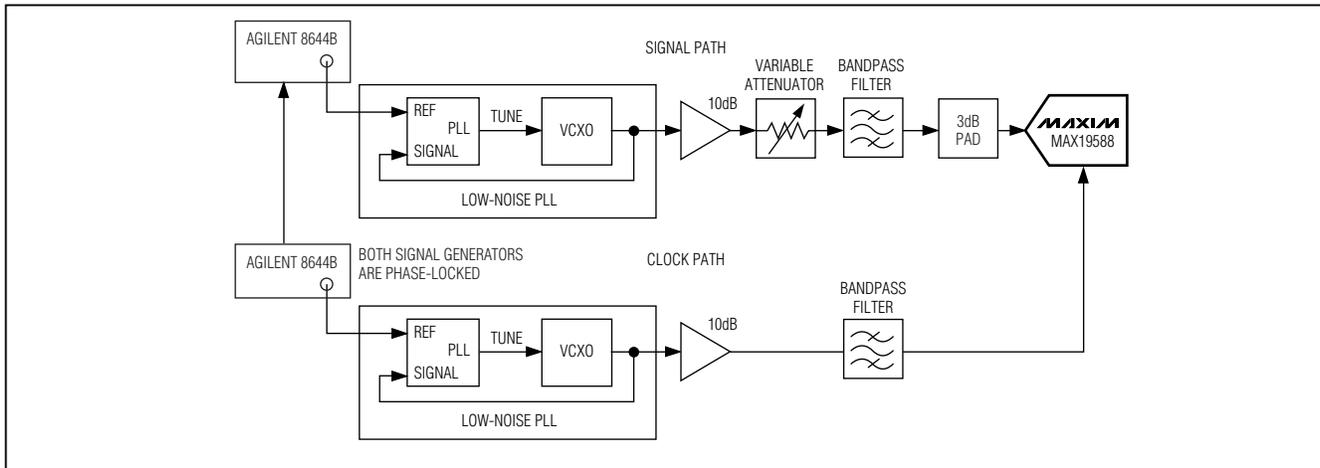


図9d. 狭帯域PLLを採用した改良型試験システム(簡略図)

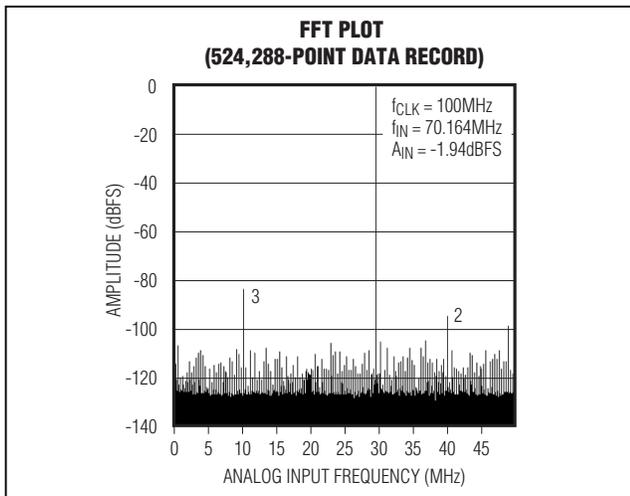


図9e. 改良型高速ADC試験セットアップによる70MHz FFT

MAX19588の性能を正しく示すためには、試験システムの性能を相当に向上させる必要があります。図9dはこうした改良型の試験システムを示します。このシステムでは、複数のシンセサイザが2つの専用低ノイズフェーズロックループ(PLL)にリファレンス入力を供給しており、その1つは約100MHz(クロック経路用)に中心があり、もう1つは70MHz(信号経路用)に中心があります。これらPLL内の発振器は超低ノイズの発振器で、PLLはシンセサイザのノイズを減衰させる超狭帯域フィルタ(約20Hz)として機能します。このシステムの全システムジッタは約20fsです。低ノイズ発振器は各信号源にロックされることなく単独で使用することができますが、この結果、コヒーレントでなくなり、かつウィンドウをかける必要があるFFTを実行することになります。

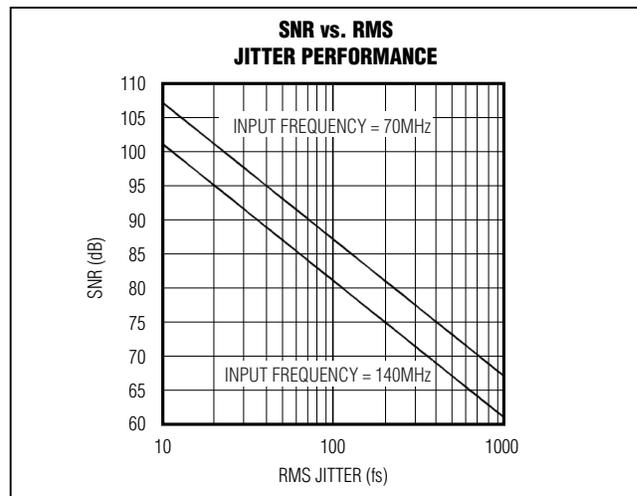


図9f. SNR対システムジッタ性能グラフ

図9eは、改良型試験システムを使用した場合に得られるスペクトルのFFTプロットです。ここでは、キャリア近傍におけるノイズフロアの上昇がほぼ完全に排除されています。このFFTに関連するSNRは79dBですが、標準試験システムから得られるSNRは77.2dBです。

図9fは、試験システムのジッタがSNRの測定値に及ぼす影響を示します。この図では、試験システムジッタのみに起因するSNRをプロットしており、2種類の入力周波数に対するその他すべてのノイズソースを無視しています。たとえば、70MHzの入力周波数の場合、100fsという試験システムジッタ値は約87dBのSNR(試験システムのみによる)となります。ノイズフロアが-82dBFSのMAX19588の場合、このノイズ増加量は無視することのできないものです。

高ダイナミックレンジ、16ビット、 -82dBFSのノイズフロア、100Msps ADC

結論として、MAX19588の真の性能を特性として正確に規定する必要がある場合は、入力信号源とクロック信号源の両方に細心の注意を払う必要があります。図9dに使用されているような低ノイズVCO付き専用PLLは、要求される低ジッタ性能の信号を提供することができます。

パラメータの定義

Offset Error (オフセット誤差)

オフセット誤差は、実際の伝達関数が理想的な伝達関数と1点で一致する度合いを示す性能指数です。理想的には、ミッドスケールのMAX19588の遷移がミッドスケールよりも0.5 LSBだけ上で起ります。オフセット誤差は、測定されたミッドスケール遷移点と理想的なミッドスケール遷移点の間の偏差の大きさです。

Gain Error (利得誤差)

利得誤差は、実際の伝達関数の傾きが理想的な伝達関数の傾きと一致する度合いを示す性能指数です。実際の伝達関数の傾きは、2つのデータポイントの間、すなわち正のフルスケールと負のフルスケールの間で測定されます。理想的には、正のフルスケールのMAX19588の遷移が正のフルスケールよりも1.5 LSBだけ下で起り、負のフルスケール遷移が負のフルスケールよりも0.5 LSBだけ上で起ります。利得誤差は、測定された遷移点の差から、理想的な遷移点の差を差し引いた値です。

Small-Signal Noise Floor (小信号ノイズフロア) (SSNF)

小信号ノイズフロアは、小信号入力の場合のナイキスト帯域のノイズと歪みのパワーの総合値です。DCオフセットはこのノイズの計算から除外されます。このコンバータの場合、小信号は、-35dBFS未満の振幅を有するシングルトーンとして定義されます。このパラメータは、データコンバータのサーマルノイズおよび量子化ノイズ特性を取り入れてデジタルレシーバ信号経路の総合ノイズ指数の計算に役立てることができます。

Signal-to-Noise Ratio (信号対ノイズ比) (SNR)

デジタルサンプルから完全に再現される波形の場合、理論上の最大SNRはフルスケールアナログ入力(RMS値)のRMS量子化誤差(残留誤差)に対する比です。理想的な理論上の最小アナログ-デジタル変換ノイズは、量子化誤差のみによって生じるもので、ADCの分解能(Nビット)から次式によって直接求められます。

$$\text{SNR}[\text{max}] = 6.02 \times N + 1.76$$

実際には、量子化ノイズ以外にも、サーマルノイズ、リファレンスノイズ、クロックジッタなどのノイズ源

があります。SNRはRMS信号のRMSノイズに対する比を取ることによって求められます。RMSノイズには、基本波、最初の4つの高調波(HD2~HD5)、およびDCオフセットを除くナイキスト周波数までのすべてのスペクトル成分が含まれます。

$$\text{SNR} = 20 \times \log(\text{SIGNAL}_{\text{RMS}} / \text{NOISE}_{\text{RMS}})$$

Signal-to-Noise Plus Distortion (信号対ノイズ + 歪み) (SINAD)

SINADは、RMS信号のRMSノイズ + 歪みに対する比を取ることによって求められます。RMSノイズ + 歪みは、基本波とDCオフセットを除くナイキスト周波数までのすべてのスペクトル成分が含まれます。

Spurious-Free Dynamic Range (スプリアスフリーダイナミックレンジ) (SFDR1とSFDR2)

SFDRは、基本波(最大信号成分)のRMS振幅の、次に大きいスプリアス成分のRMS値(DCオフセットを除く)に対する比をデシベル単位で表した値です。SFDR1は、最悪の2次または3次の高調波歪みに基づくMAX19588のスプリアス性能を表します。SFDR2は、2次および3次の高調波スプリアスおよびDCオフセットを除く最悪のスプリアス成分によって定義されます。

Two-Tone Spurious-Free Dynamic Range (2トーンスプリアスフリーダイナミックレンジ) (TTSFDR)

2トーンSFDRは、コンバータのフルスケールのピークスプリアス成分のRMS値に対する比です。ピークスプリアス成分は、相互変調歪み成分に関係付けることができますが、必ずしもその必要はありません。MAX19588の2トーンSFDRはdBFS単位で表されます。

3rd-Order Intermodulation (3次相互変調) (IM3)

IM3は、最大の3次相互変調積の、入力トーン f_{IN1} と f_{IN2} のいずれかの入力パワーに対する比です。各入力トーンパワーレベルは、MAX19588の場合、-8dBFSに設定されます。3次相互変調積は、 $2 \times f_{IN1} - f_{IN2}$ 、および $2 \times f_{IN2} - f_{IN1}$ です。

Aperture Jitter (アパーチャジッタ)

アパーチャジッタ(t_{AJ})は、アパーチャ遅延仕様における各サンプル間の変動を表します。

Aperture Delay (アパーチャ遅延)

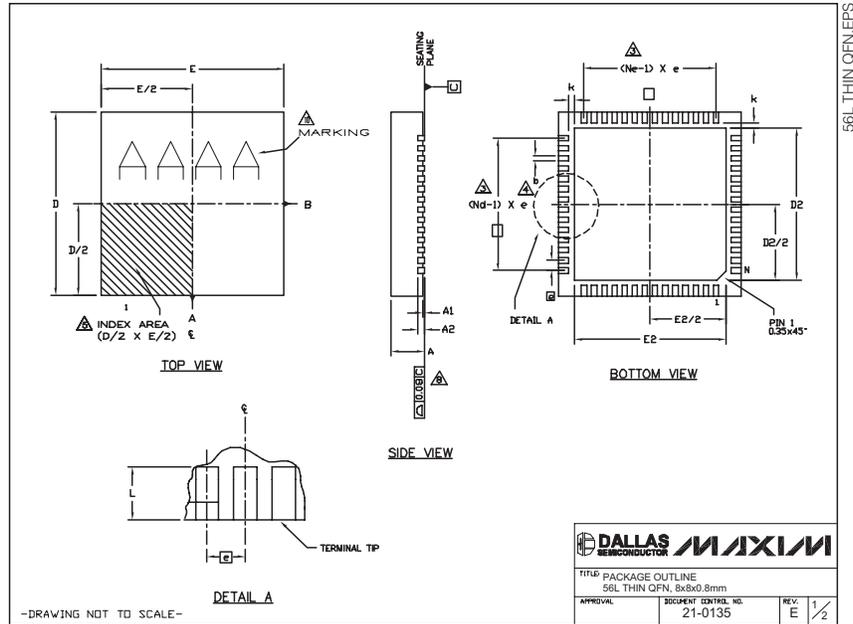
アパーチャ遅延(t_{AD})は、サンプリングクロックの立上りエッジから実際のサンプリングが行なわれる瞬間までの時間です(図5)。

高ダイナミックレンジ、16ビット、 -82dBFSのノイズフロア、100MSPS ADC

MAX19588

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



NOTES:

- DIE THICKNESS ALLOWABLE IS 0.225mm MAXIMUM (0.009 INCHES MAXIMUM).
- DIMENSIONING & TOLERANCES CONFORM TO ASME Y14.5M. - 1994.
- N IS THE NUMBER OF TERMINALS.
N_d IS THE NUMBER OF TERMINALS IN X-DIRECTION &
N_e IS THE NUMBER OF TERMINALS IN Y-DIRECTION.
- DIMENSION b APPLIES TO PLATED TERMINAL AND IS MEASURED BETWEEN 0.20 AND 0.25mm FROM TERMINAL TIP.
- THE PIN #1 IDENTIFIER MUST BE LOCATED ON THE TOP SURFACE OF THE PACKAGE WITHIN HATCHED AREA AS SHOWN. EITHER AN INDENTATION MARK OR INK/LASER MARK IS ACCEPTABLE.
- ALL DIMENSIONS ARE IN MILLIMETERS.
- PACKAGE WARPAGE MAX 0.01mm.
- APPLIES TO EXPOSED PAD AND TERMINALS. EXCLUDES INTERNAL DIMENSION OF EXPOSED PAD.
- MEETS JEDEC MO220.
- MARKING IS FOR PACKAG ORIENTATION REFERENCE ONLY
- NUMBER OF LEADS ARE FOR REFERENCE ONLY

56L 8x8				REV. L
	MIN.	NOM.	MAX.	
A	0.70	0.75	0.80	
b	0.20	0.25	0.30	4
D	7.90	8.00	8.10	
E	7.90	8.00	8.10	
Q	0.50 BSC			
N	56			3
N _d	14			3
N _e	14			3
L	0.30	0.40	0.50	
A1	0.00	0.02	0.05	
A2	0.20 REF			
k	0.25	--	--	

PKG. CODE	EXPOSED PAD VARIATION						JEDEC	DOWN BOWS ALLOWED
	D2			E2				
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.		
T5688-2	6.50	6.65	6.70	6.50	6.65	6.70	WLLD-5	YES
T5688-3	6.50	6.65	6.70	6.50	6.65	6.70	WLLD-5	NO

DALLAS SEMICONDUCTOR MAXIM
 TITLE: PACKAGE OUTLINE
 56L THIN QFN, 8x8x0.8mm
 APPROVAL: DOCUMENT CONTROL NO. 21-0135 REV. E 2/2

-DRAWING NOT TO SCALE-

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

19