

# 低電力、12ビット、サンプリングADC、 リファレンス及びパワーダウン付

## 概要

MAX191はモノリシックのCMOS、12ビットのアナログデジタルコンバータ(ADC)で、差動入力、トラック/ホールド(T/H)、内部電圧リファレンス、内部クロック/外部クロック、パラレルまたはシリアルμPインタフェースを特長としています。MAX191の変換時間は7.5μs、アキュイジション時間は2μsで、サンプリングレートは100kspsを保証しています。

MAX191は+5V単一電源または±5Vデュアル電源で動作し、グランド基準のバイポーラ入力信号を許容します。またこのデバイスはロジックのパワーダウン入力が可能で、3mAのV<sub>DD</sub>消費電流を最大50μAまで低減し、内部リファレンス電流も備えています。

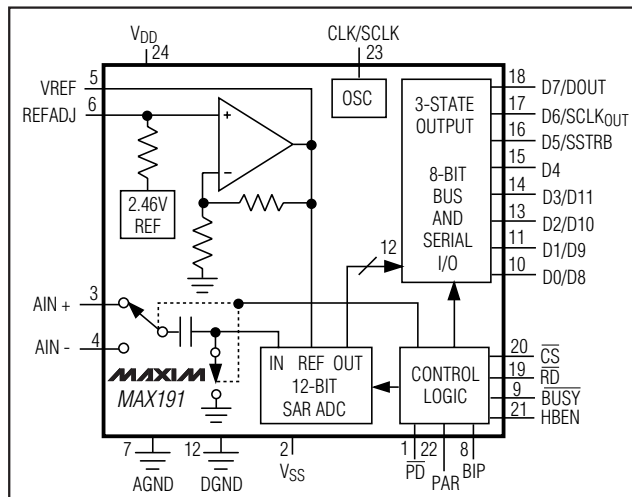
電源、ならびにリファレンスに必要な部品は、外付けのデカップリングコンデンサのみです。このデバイスは、外部リファレンス、内部リファレンスのいずれでも動作します。内部リファレンスを用いると、システムゲインエラーをトリミングする調整入力が可能となります。

MAX191には、3つのインタフェースモードが備わっています。8ビットパラレルモードが2つ、シリアルインタフェースモードが1つです。後者はSPI™、QSPI™及びMICROWIRE™のシリアルインタフェースとコンパチブルとなっています。

## アプリケーション

バッテリー駆動データロギング  
PCペンディジタルイザ  
高精度プロセス制御  
機械制御システム  
パソコン用データ収集ボード  
自動検査システム  
テレコミュニケーション  
デジタル信号処理(DSP)

## ファンクションダイアグラム



## 特長

- ◆ 分解能12ビット、直線性1/2LSB
- ◆ +5V又は±5V動作
- ◆ トラック/ホールド内蔵
- ◆ 調整機能付き内部リファレンス
- ◆ 低電力：3mA(動作モード)  
20μA(パワーダウンモード)
- ◆ 試験済みサンプリングレート：100ksps
- ◆ シリアル及び8ビットパラレルμPインタフェース
- ◆ パッケージ：24ピンナローDIP及び  
ワイドSOPパッケージ

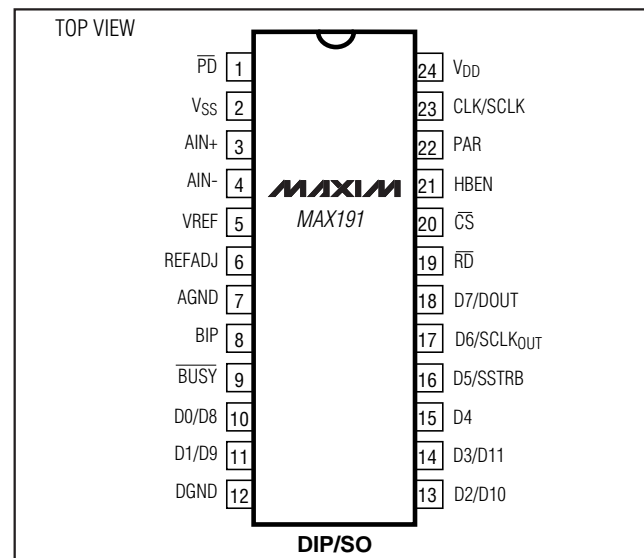
## 型番

PART	TEMP. RANGE	PIN-PACKAGE	ERROR (LSB)
MAX191ACNG	0°C to +70°C	24 Narrow Plastic DIP	±1/2
MAX191BCNG	0°C to +70°C	24 Narrow Plastic DIP	±1
MAX191ACWG	0°C to +70°C	24 Wide SO	±1/2
MAX191BCWG	0°C to +70°C	24 Wide SO	±1
MAX191BC/D	0°C to +70°C	Dice*	±1
MAX191AENG	-40°C to +85°C	24 Narrow Plastic DIP	±1/2
MAX191BENG	-40°C to +85°C	24 Narrow Plastic DIP	±1
MAX191AEWG	-40°C to +85°C	24 Wide SO	±1/2
MAX191BEWG	-40°C to +85°C	24 Wide SO	±1
MAX191AMRG	-55°C to +125°C	24 Narrow CERDIP**	±1/2
MAX191BMRG	-55°C to +125°C	24 Narrow CERDIP**	±1

\* Dice are specified at T<sub>A</sub> = +25°C, DC parameters only.

\*\* Contact factory for availability and processing to MIL-STD-883.

## ピン配置



SPI及びQSPIはMotorola, Inc.の商標です。MICROWIREはNational Semiconductor Corp.の商標です。

# 低電力、12ビット、サンプリングADC、リファレンス及びパワーダウン付

MAX191

## ABSOLUTE MAXIMUM RATINGS

V <sub>DD</sub> to DGND	-0.3V to +7V
V <sub>SS</sub> to AGND	-7V to +0.3V
V <sub>DD</sub> to V <sub>SS</sub>	12V
AGND, VREF, REFADJ to DGND	-0.3V to (V <sub>DD</sub> + 0.3V)
AIN+, AIN-, $\overline{PD}$ to V <sub>SS</sub>	-0.3V to (V <sub>DD</sub> + 0.3V)
$\overline{CS}$ , $\overline{RD}$ , CLK, BIP, HBEN, PAR, to DGND	-0.3V to (V <sub>DD</sub> + 0.3V)
$\overline{BUSY}$ , D0–D7 to DGND	-0.3V to (V <sub>DD</sub> + 0.3V)
Continuous Power Dissipation (T <sub>A</sub> = +70°C)	
Narrow Plastic DIP (derate 13.33mW/°C above +70°C)	1067mW
Wide SO (derate 11.76mW/°C above +70°C)	941mW
Narrow CERDIP (derate 12.50mW/°C above +70°C)	1000mW

Operating Temperature Ranges	
MAX191_C_	0°C to +70°C
MAX191_E_	-40°C to +85°C
MAX191_M_	-55°C to +125°C
Storage Temperature Range	-65°C to +160°C
Lead Temperature (soldering, 10sec)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>DD</sub> = 5V ±5%, V<sub>SS</sub> = 0V or -5V ±5%, f<sub>CLK</sub> = 1.6MHz, 50% duty cycle, AIN- = AGND, BIP = 0V, slow-memory mode, internal-reference mode, reference compensation mode—external, synchronous operation, Figure 6, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DC ACCURACY</b> (Note 2)						
Resolution			12			Bits
Integral Nonlinearity	INL	MAX191A			±1/2	LSB
		MAX191B			±1	
Differential Nonlinearity	DNL	No missing codes over temperature			±1	LSB
Offset Error		MAX191A			±1	LSB
		MAX191B			±2	
Gain Error (Note 3)		MAX191A			±2	LSB
		MAX191B			±3	
Gain-Error Tempco (Note 4)		Excludes internal-reference drift		±0.2		ppm/°C
<b>DYNAMIC ACCURACY</b> (sample rate = 100kHz, V <sub>IN</sub> = 4Vp-p)						
Signal-to-Noise plus Distortion Ratio	SINAD	1kHz input signal, T <sub>A</sub> = +25°C	70			dB
Total Harmonic Distortion (up to the 5th Harmonic)	THD	1kHz input signal, T <sub>A</sub> = +25°C			-80	dB
Spurious-Free Dynamic Range	SFDR	1kHz input signal, T <sub>A</sub> = +25°C	80			dB
<b>CONVERSION RATE</b>						
Conversion Time (Note 5)	t <sub>CONV</sub>	Synchronous CLK (12 to 13 CLKs)	7.50		8.125	µs
		Internal CLK, C <sub>L</sub> = 120pF	6	12	18	
Track/Hold Acquisition Time					2	µs
Aperture Delay				25		ns
Aperture Jitter				50		ps
External Clock Frequency Range (Note 6)	f <sub>CLK</sub>		0.1		1.6	MHz

# 低電力、12ビット、サンプリングADC、 リファレンス及びパワーダウン付

MAX191

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = 5V \pm 5\%$ ,  $V_{SS} = 0V$  or  $-5V \pm 5\%$ ,  $f_{CLK} = 1.6MHz$ , 50% duty cycle, AIN- = AGND, BIP = 0V, slow-memory mode, internal-reference mode, reference compensation mode—external, synchronous operation, Figure 6,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>ANALOG INPUT</b>						
Input Voltage Range (Note 7)			$V_{SS}$		$V_{DD}$	V
Input Leakage Current		$V_{IN} = V_{SS}$ to $V_{DD}$			$\pm 10$	$\mu A$
Input Capacitance (Note 6)				45	80	pF
Small-Signal Bandwidth				2		MHz
<b>INTERNAL REFERENCE</b>						
VREF Output Voltage		$T_A = +25^\circ C$	4.076	4.096	4.116	V
VREF Output Tempco (Note 8)		MAX191_C			50	ppm/ $^\circ C$
		MAX191_E			60	
		MAX191_M			80	
Output Current Capability (Note 9)		$T_A = +25^\circ C$			2	mA
Load Regulation		$T_A = +25^\circ C$ , $I_{OUT} = 0mA$ to $2mA$			4	mV
Output Short-Circuit Current				18		mA
Capacitive Load Required		Reference compensation mode—external	4.7			$\mu F$
Power-Supply Rejection		$V_{DD} = \pm 5\%$ , $V_{SS} = \pm 5\%$		$\pm 300$		$\mu V$
REFADJ Input Adjustment Range (Note 10)			-60		30	mV
REFADJ Disable Threshold			4.5			V
REFADJ Output Voltage				2.4		V
REFADJ Input Current		REFADJ = 5V			60	$\mu A$
<b>REFERENCE INPUT</b>						
Input Voltage Range		External-reference mode	2.5		5.0	V
Input Current		External-reference = 5V			1	mA
Input Resistance		External-reference mode	5	10		$k\Omega$
<b>LOGIC INPUTS</b>						
Input Low Voltage	$V_{IL}$	$\overline{CS}$ , $\overline{RD}$ , CLK, HBEN, PAR, BIP			0.8	V
Input High Voltage	$V_{IH}$	$\overline{CS}$ , $\overline{RD}$ , CLK, HBEN, PAR, BIP	2.4			V
Input Current	$I_{IN}$	$V_{IN} = 0V$ to $V_{DD}$			$\pm 10$	$\mu A$
Input Current CLK	$I_{IN}$	$\overline{PD} = \text{high/float}$			$\pm 200$	$\mu A$
		$\overline{PD} = \text{low}$			$\pm 0.1$	
Input Capacitance (Note 6)	$C_{IN}$				10	pF
$\overline{PD}$ Input Low Voltage	$V_{IL}$				0.5	V
$\overline{PD}$ Input High Voltage	$V_{IH}$		4.5			V
$\overline{PD}$ Input Current	$I_{IN}$	$\overline{PD} = 0V$ to $V_{DD}$ (Note 11)			$\pm 20$	$\mu A$
$\overline{PD}$ External Leakage for Float State (Note 12)		Maximum current allowed for “floating state”			$\pm 100$	nA
$\overline{PD}$ Floating-State Voltage	$V_{FLT}$	Reference compensation mode—external		2.8		V

# 低電力、12ビット、サンプリングADC、リファレンス及びパワーダウン付

MAX191

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = 5V \pm 5\%$ ,  $V_{SS} = 0V$  or  $-5V \pm 5\%$ ,  $f_{CLK} = 1.6MHz$ , 50% duty cycle,  $A_{IN-} = AGND$ ,  $BIP = 0V$ , slow-memory mode, internal-reference mode, reference compensation mode—external, synchronous operation, Figure 6,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>LOGIC OUTPUTS</b>						
Output Low Voltage	$V_{OL}$	$I_{OUT} = 1.6mA$			0.4	V
Output High Voltage	$V_{OH}$	$I_{OUT} = -200\mu A$	4.0			V
Three-State Leakage Current	$I_L$	D0/D8-D7/DOUT			$\pm 10$	$\mu A$
Three-State Output Capacitance (Note 6)	$C_{OUT}$				15	pF
<b>POWER REQUIREMENTS</b>						
Positive Supply Voltage	$V_{DD}$		4.75		5.25	V
Negative Supply Voltage	$V_{SS}$		-5.25		0	V
Positive Supply Current	$I_{DD}$	CS = $\overline{RD} = V_{DD}$ , AIN = 5V, D0/D8-D7/ DOUT = 0V or $V_{DD}$ , HBEN = PAR = BIP = 0V or $V_{DD}$	$\overline{PD} = \text{high/float}$	3	5	mA
			$\overline{PD} = \text{low}$	20	50	$\mu A$
Negative Supply Current	$I_{SS}$		$\overline{PD} = \text{high/float}$	20	100	$\mu A$
			$\overline{PD} = \text{low}$	1	20	
Positive Supply Rejection (Note 13)		FS change, $V_{DD} = 5V \pm 5\%$			$\pm 1/2$	LSB
Negative Supply Rejection (Note 13)		FS change, $V_{SS} = -5V \pm 5\%$			$\pm 1/2$	LSB

## TIMING CHARACTERISTICS (Figures 6–10)

( $V_{DD} = 5V \pm 5\%$ ,  $V_{SS} = 0V$  or  $-5V \pm 5\%$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted.) (Note 14)

PARAMETER	SYMBOL	CONDITIONS	$T_A = +25^\circ C$			MAX191C/E			MAX191M			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
CS to $\overline{RD}$ Setup Time	$t_1$		0			0			0			ns
$\overline{RD}$ to $\overline{BUSY}$ Delay	$t_2$	$C_L = 50pF$			120		140			160		ns
Data Access Time (Note 15)	$t_3$	$C_L = 100pF$			120		140			160		ns
$\overline{RD}$ Pulse Width	$t_4$		150			150			150			ns
$\overline{CS}$ to $\overline{RD}$ Hold Time	$t_5$		0			0			0			ns
Data Setup Time After $\overline{BUSY}$ (Note 15)	$t_6$				80		100			120		ns
Bus-Relinquish Time (Note 16)	$t_7$				100		110			120		ns
HBEN to $\overline{RD}$ Setup Time	$t_8$		80			100			120			ns
HBEN to $\overline{RD}$ Hold Time	$t_9$		0			0			0			ns
Delay Between Read Operations (Note 6)	$t_{10}$		200			200			200			ns
Delay Between Conversions	$t_{11}$		2			2			2			$\mu s$
Aperture Delay	$t_{12}$	Jitter < 50ps		25								ns
CLK to $\overline{BUSY}$ Delay (Note 6)	$t_{13}$				200		230			260		ns
SCLK <sub>OUT</sub> to SSTRB Rise Delay	$t_{14}$				100		130			150		ns
SCLK <sub>OUT</sub> to SSTRB Fall Delay	$t_{15}$				100		130			150		ns

# 低電力、12ビット、サンプリングADC、リファレンス及びパワーダウン付

MAX191

## TIMING CHARACTERISTICS (Figures 6–10) (continued)

( $V_{DD} = 5V \pm 5\%$ ,  $V_{SS} = 0V$  or  $-5V \pm 5\%$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted.) (Note 14)

PARAMETER	SYMBOL	CONDITIONS	$T_A = +25^\circ\text{C}$			MAX191C/E			MAX191M			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
$\overline{\text{CS}}$ or $\overline{\text{RD}}$ Hold Time	$t_{16}$		10			10			10			ns
$\overline{\text{CS}}$ or $\overline{\text{RD}}$ Setup Time	$t_{17}$		150			150			150			ns
$\overline{\text{CS}}$ to DOUT Three-State	$t_{19}$				100			110			120	ns
SCLK to SCLK <sub>OUT</sub> Delay	$t_{20}$				160			180			200	ns
SCLK <sub>OUT</sub> to DOUT Delay	$t_{21}$				100			130			150	ns
SCLK to DOUT Delay	$t_{22}$				240			260			280	ns
SCLK to SSTRB Delay	$t_{23}$				260			310			350	ns

**Note 1:** Performance at power-supply tolerance limits guaranteed by power-supply rejection test.

**Note 2:**  $V_{DD} = 5V$ ,  $V_{SS} = 0V$ ,  $FS = V_{REF}$ .

**Note 3:**  $FS = V_{REF}$ , offset nulled, ideal last-code transition =  $FS - 3/2$  LSB.

**Note 4:** Gain-Error Tempco =  $\Delta GE$  is the gain-error change from  $T_A = +25^\circ\text{C}$  to  $T_{MIN}$  or  $T_{MAX}$ .

**Note 5:** Conversion time defined as the number of clock cycles times the clock period; clock has a 50% duty cycle.

**Note 6:** Guaranteed by design, not production tested.

**Note 7:** AIN+, AIN- must not exceed supplies for specified accuracy.

**Note 8:**  $V_{REF} TC = \Delta T$ , where  $\Delta V_{REF}$  is reference-voltage change from  $T_A = +25^\circ\text{C}$  to  $T_{MIN}$  or  $T_{MAX}$ .

**Note 9:** Output current should not change during conversion. This current is in addition to the current required by the internal DAC.

**Note 10:** REFADJ adjustment range is defined as the allowed voltage excursion on REFADJ relative to its unadjusted value of 2.4V. This will typically result in a 1.7 times larger change in the REF output (Figure 19a).

**Note 11:** This current is included in the  $\overline{\text{PD}}$  supply current specification.

**Note 12:** Floating the  $\overline{\text{PD}}$  pin guarantees external compensation mode.

**Note 13:**  $V_{REF} = 4.096V$ , external reference.

**Note 14:** All input control signals are specified with  $t_r = t_f = 5ns$  (10% to 90% of 5V) and timed from a voltage level of 1.6V.

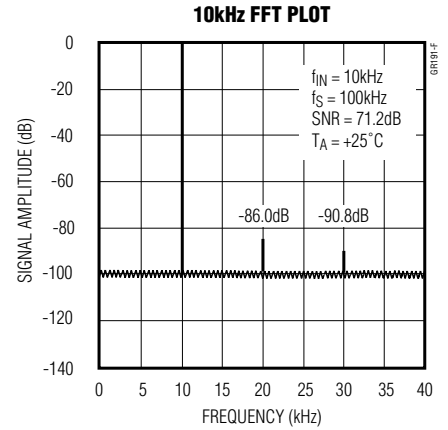
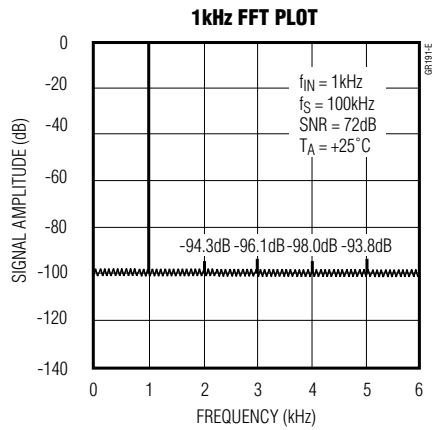
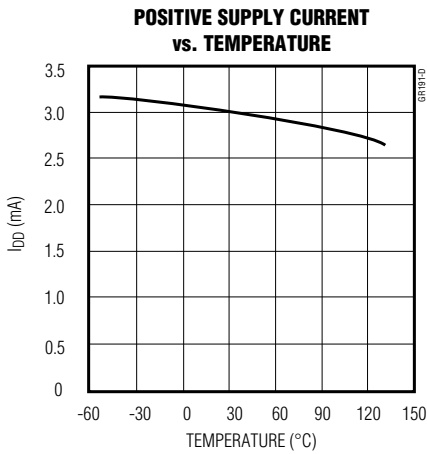
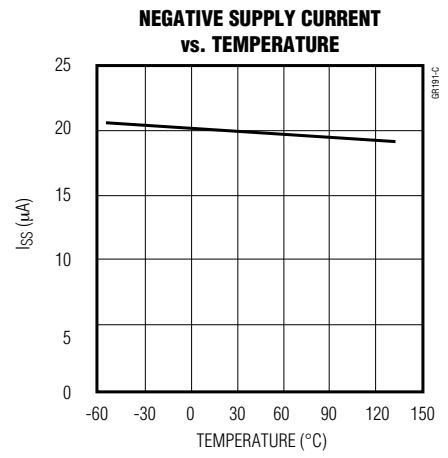
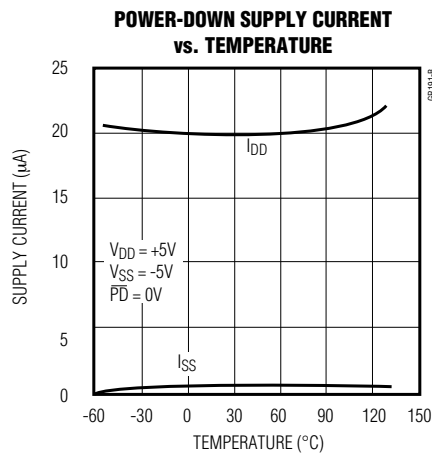
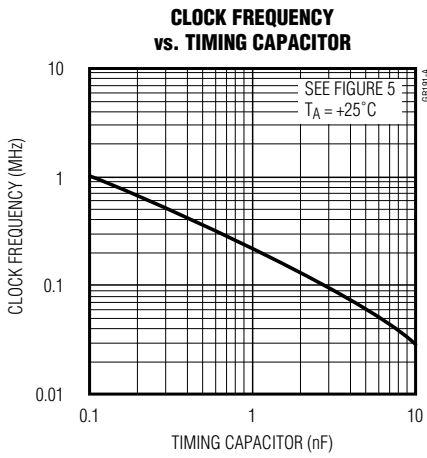
**Note 15:**  $t_3$  and  $t_6$  are measured with the load circuits of Figure 1 and defined as the time required for an output to cross 0.8V or 2.4V.

**Note 16:**  $t_7$  is defined as the time required for the data lines to change 0.5V when loaded with the circuits of Figure 2.

# 低電力、12ビット、サンプリングADC、リファレンス及びパワーダウン付

MAX191

## 標準動作特性



# 低電力、12ビット、サンプリングADC、リファレンス及びパワーダウン付

MAX191

## 端子説明

端子	名称	機能
1	$\overline{PD}$	パワーダウン入力。 $\overline{PD}$ のロジックローでADCはパワーダウンとなるが、バンドギャップリファレンスのみ有効になります。ロジックハイで動作し、内部リファレンス補償モードになります。このピンを開放とすると、外部リファレンス補償モードで通常動作になります。
2	VSS	負電源 0 ~ -5.25V
3	AIN+	サンプリングアナログ入力
4	AIN-	アナログ入力リターン、擬似差動入力(「ゲイン及びオフセット調整」の項を参照)
5	VREF	内部リファレンスのリファレンスバッファ出力。REFADJがV <sub>DD</sub> に接続されている場合の外部リファレンス入力。
6	REFADJ	リファレンス調整。VREFで外部リファレンスを使用する場合はV <sub>DD</sub> に接続。
7	AGND	アナロググランド
8	BIP	BIP=ローで、ユニポーラモード BIP=ハイで、バイポーラモード(「ゲイン及びオフセット調整」の項を参照)
9	$\overline{BUSY}$	変換時、 $\overline{BUSY}$ 出力はロー。
10	D0/D8	スリーステートデータ出力：LSB = D0
11	D1/D9	スリーステートデータ出力
12	DGND	デジタルグランド
13	D2/D10	スリーステートデータ出力
14	D3/D11	スリーステートデータ出力：MSB = D11
15	D4	スリーステートデータ出力
16	D5/SSTRB	スリーステートデータ出力/シリアルモードでのシリアルストロブ出力
17	D6/SCLK <sub>OUT</sub>	スリーステートデータ出力/シリアルモードでのシリアルクロック出力
18	D7/DOUT	スリーステートデータ出力/シリアルモードでのデータ出力
19	$\overline{RD}$	リード入力。パラレルモードではCS及びHBENがローの時(メモリモード)、信号ローで変換を開始。CSがローとなると、RDの出力はまたイネーブルになります。CSがローの場合、シリアルモードではRD=ローとなると、SCLK <sub>OUT</sub> 及びSSTRBはイネーブルになります。RD=ハイは、SCLK <sub>OUT</sub> ならびにSSTRBは高インピーダンス状態になります。
20	$\overline{CS}$	パラレルモードでの、ADCのRD及びHBEN入力の認識のためには、チップセレクト入力をローとする必要があります。またシリアルモードでは $\overline{CS}$ の立下がりエッジで変換開始。パラレルモードでは $\overline{CS}$ = ハイでSCLK <sub>OUT</sub> 、SSTRB及びDOUTが高インピーダンス状態になります。
21	HBEN	ハイバイトのイネーブル入力。パラレルモードではHBEN=ハイで、4MSBの変換結果を低ビット出力にマルチプレクスします。また、HBEN = ハイで変換の開始をディセーブル状態にします。HBEN=ローで8LSBがデータバスに置かれます。シリアルモードでのHBEN=ローは、変換時に入っている場合にのみ、SCLK <sub>OUT</sub> はイネーブルとなります。CSがローの場合、HBEN=ハイはSCLK <sub>OUT</sub> の連続動作をイネーブルとします。
22	PAR	出力モードの設定。PAR=ハイでパラレル出力モード。またPAR=ローでシリアル出力モード。
23	CLK/SCLK	シリアルモードでのクロック入力/シリアルクロック入力。外付けのTTL/CMOSコンパチブルのクロックも可能。あるいはコンデンサ(標準値、120pF)をCLKとDGND間に接続し、内部発振器を起動することもできます。
24	VDD	正電源、+5V ± 5%

# 低電力、12ビット、サンプリングADC、リファレンス及びパワーダウン付

MAX191

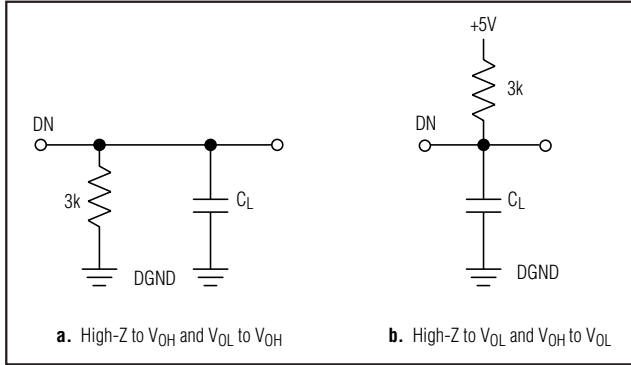


図1. アクセス時間の負荷回路

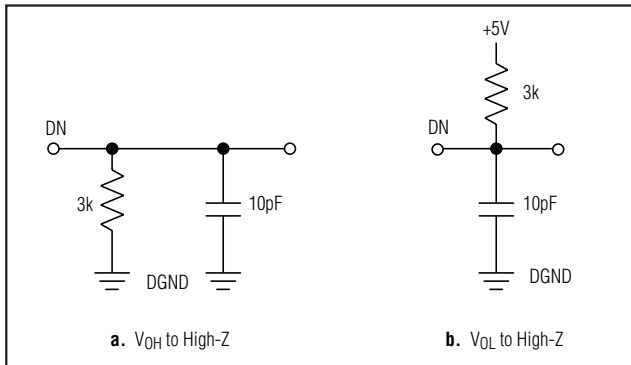


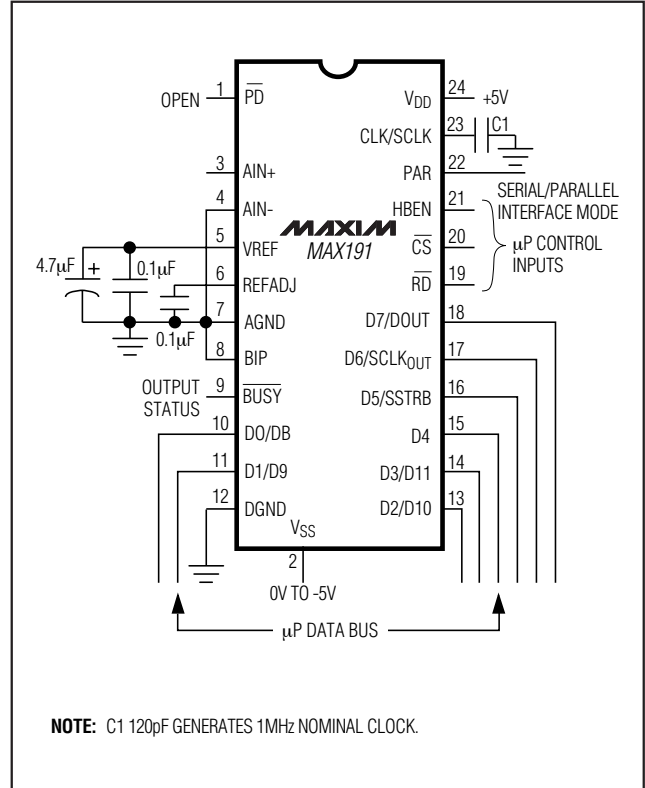
図2. バス伝播時間の負荷回路

## 詳細

MAX191はアナログ入力信号を12ビットデジタル出力に変換するため、連続アプロキシメーションならびに入力トラック/ホールド(T/H)回路を用いています。制御ロジックはフレキシブルであるため、マイクロプロセッサ(μP)と簡単にインタフェース可能です。このため殆どのアプリケーションで、外部に必要とするのは受動部品だけです。外部ホールドコンデンサも、このT/Hでは必要としません。図3に、MAX191の最も簡単な動作構造を示します。

## 擬似差動入力

このADCのアナログコンパレータサンプリング構成回路を、等価入力回路(図4)に示します。AIN+入力とAIN-入力間のコンデンサスイッチは、ADCアナログ入力時の信号アキュイジション用です。変換の最終期にはコンデンサがAIN+に再接続され、入力信号にまで充電されます。変換中はADCによって入力が切り離されるため、低周波帯域幅(<100Hz)では外付けの入力バッファは、通常は必要ありません。バッファを行わないアプリケーションでは入力フィルタコンデンサによって変換ノイズが低減されますが、入力周波数帯域幅も制限されます。



NOTE: C1 120pF GENERATES 1MHz NOMINAL CLOCK.

図3. 動作図

シングルエンドの入力信号を変換する場合、AIN-をAGNDに接続する必要があります。差動信号が接続される場合、その構成が擬似差動であること、すなわち信号の入力チャンネル側のみT/Hで保持されることに注意して下さい。リターン側(AIN-)は変換中、AGNDに対して±0.5LSB(ベストの結果を得るためには、±0.1LSB)以内に安定させてください。これには、0.1μFコンデンサをAIN-からAGNDに接続して下さい。

## アナログ入力 - トラック/ホールド

ADCを選択しない場合(CS端子をハイ、及びBUSY端子をハイとする)、T/Hはトラッキングモードに入ります。ホールドモードは、変換開始の約25ns後に始まります。変換間のこの遅れのばらつき(アパーチャジッタ)は、約50psです。図6~10に、各インタフェースモードのT/H及びインタフェースのタイミングについて詳しく説明してあります。

T/Hの入力信号アキュイジションに要する時間は、入力キャパシタンスの充電時間の関数となります。入力信号の電源インピーダンスが高い場合、アキュイジション時間は長くなり、変換と変換の時間間隔が大きくなります。アキュイジション時間は、次式で算出できます。(ただし、2μs以下にはなりません。)



# 低電力、12ビット、サンプリングADC、リファレンス及びパワーダウン付

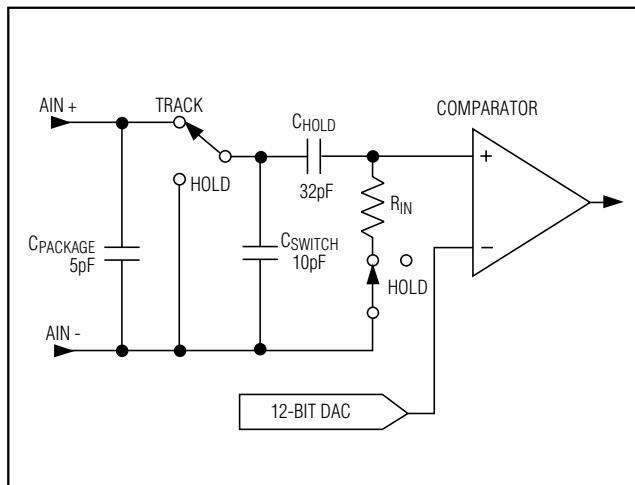


図4. 等価入力回路

$$t_{ACQ} = 10(R_S + R_{IN})C_{HOLD}$$

ただし、 $R_{IN} = 2k$ 、 $R_S$  = 入力信号の電源インピーダンス、 $C_{HOLD} = 32pF$  (図4参照)としています。

## 入力帯域幅

ADCの入力トラッキング回路は入力信号帯域幅特性が1MHz(typ)、スルーレートは30V/ $\mu$ sという特性を持っています。したがって高速トランジェントの数値化、またアンダーサンプリング技法を用いることで100ksps以上というADCサンプルレートを超えるような帯域幅の周期的信号を測定することが可能となっています。高周波信号測定にアンダーサンプリング技法を用いる場合、エリアシングエラーの防止に特に注意しなければなりません。入力のバンドパスフィルタリングが適切に行われない場合には、帯域外信号ならびに雑音が測定帯域に干渉してくることがあります。

## 入力保護

内部保護ダイオードがアナログ入力を $V_{DD}$ と $V_{SS}$ にクランプしているため、 $A_{IN+}$ を( $V_{SS} - 0.3V$ )から( $V_{DD} + 0.3V$ )までスイングさせても、ADCに損傷を与えるおそれはありません。しかし保護ダイオードにわずかでも順バイアスがかかると、ADC精度に影響があります。フルスケール付近で正確な変換を行うためには、 $A_{IN+}$ は電源電圧より50mV以上の電圧を与えてはいけません。

## デジタルインタフェース

### 変換開始

パラレルモードでは、ADCは図6に示すとおり、 $\overline{CS}$ 、 $\overline{RD}$ 及びHBEN入力によって制御されます。HBEN(図はありません)がローとなると、T/Hはホールドモードに入り、 $\overline{CS}$ 及び $\overline{RD}$ の立下がりエッジで変換がスタートし

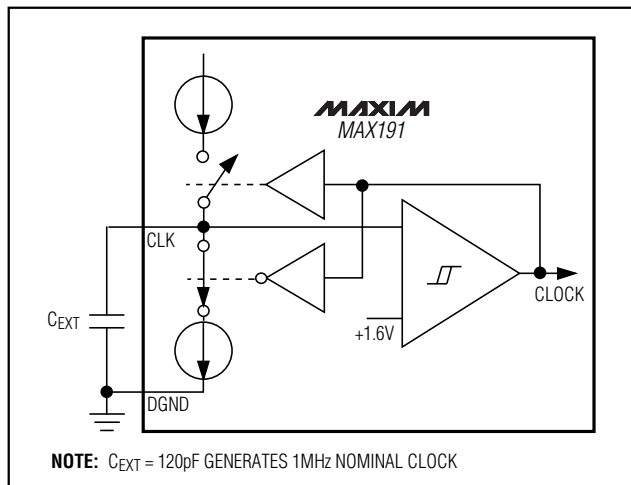


図5. 内部クロック回路

ます。変換スタート後、ただちに $\overline{BUSY}$ がローとなります。変換の開始後、13番目の入力クロックパルスの立下がりエッジで $\overline{BUSY}$ はハイとなり、変換の結果はスリーステート出力バッファにラッチされます。シリアルモードでは $\overline{CS}$ の立下がりエッジで変換がスタートし、T/Hはホールドモードに入ります。変換が進むにつれて、データはシリアルにシフトアウト(図10)されます。詳細については、「パラレルデジタルインタフェースモード及びシリアルインタフェースモード」の項を参照してください。

## 内部/外部クロック

図5に、MAX191のクロック回路を示します。ADCはクロック発生回路を内蔵しており、外部コンデンサによってクロックを発生します。「標準動作特性」の項で示したように、CLK端子とDGND端子間に120pFコンデンサを接続すれば1MHzのクロック周波数を発生(図5)します。

別な方法として外部クロック(100kHz~1.6MHz)をCLKに与えることができます。外部クロック電源を使用する場合、クロックのデューティサイクルは45%~55%としてください。

## クロック及び制御同期

MAX191のアナログ性能を最良とするには、図6に示すように、クロックスタート信号( $\overline{CS}$ 及び $\overline{RD}$ )に同期させる必要があります。変換は、クロックエッジ前50ns、またクロックエッジ後の100ns以内は、変換のスタートを行ってはいけません。こうすることにより、CLKトランジションはアナログ入力と関係なく、T/Hでサンプルできるようになります。このフィードスルーの振幅は、数ミリボルト程度です。クロック及び変換スタート信号が同期すると、エンドポイントの小エラー(オフセット及びフルスケール)の原因は、ほとんどがクロック

# 低電力、12ビット、サンプリングADC、リファレンス及びパワーダウン付

MAX191

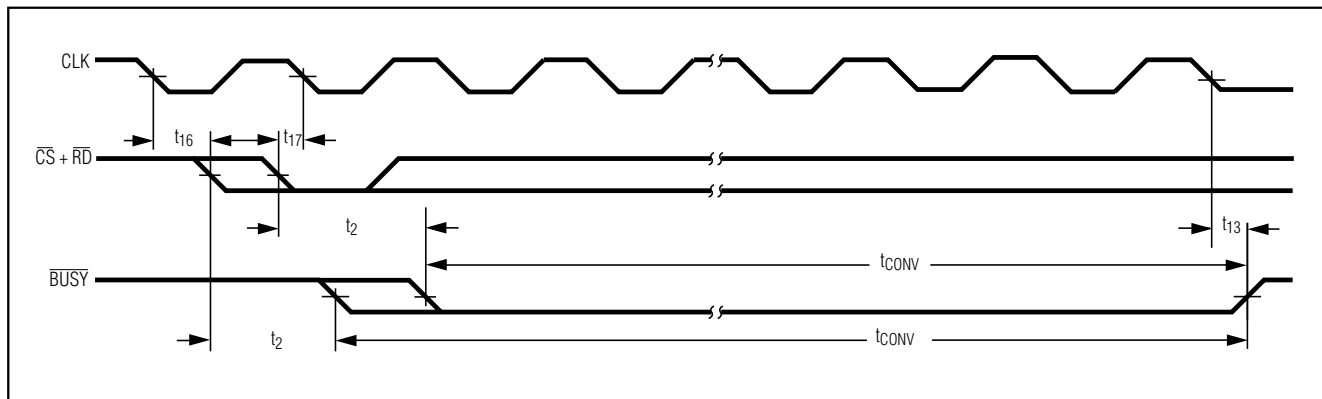


図6.  $\overline{CS}$ 、 $\overline{RD}$ 及びCLKの同期動作

フィードスルーによるものとなります。これらのエラー (トリムアウト可能)は、上記のようにクロックのトランジション付近では、 $\overline{RD}$ または、 $\overline{CS}$ の立下がりエッジでの変換をスタートしないようにすれば避けることができます。(図6)

## パラレルデジタルインタフェースモード

### 出力データ形式

MAX191の出力データは、ユニポーラモードでの完全な二進形式となっています。ただしバイポーラモードにあっては、MSBはインバート(図22を参照)されます。12データビットは、8ビットバイトの2つか、あるいはシリアル出力として出力されます。表1に、データバス出力形式を示しておきます。

2バイトの読み取りは、出力D7-D0で行います。バイトの選択はHBENによって制御できます。HBENをローとすると下位の8ビットがデータ出力に、またHBENをハイとすると上位の4ビットがD0-D3に出力します。この時、最初の4ビットローがD4-D7の位置に出力します。

### タイミング及び制御

変換のスタート及びデータ読み取り動作は、HBEN、 $\overline{CS}$ 及び $\overline{RD}$ のデジタル入力端子での制御となります。それら3端子をロジックのローにすることによって変換がスタートされ、いったん変換が進行するとリスタートは不可能となります。変換サイクルの全期間にわたって、 $\overline{BUSY}$ はローとなります。図7～10のタイミング図で、2つのパラレルインタフェースモード、及び1シリアルモードの概要を示します。

### スローメモリモード

スローメモリモードでは、MAX191は $\mu$ PICにとって動作の遅い周辺機器、あるいはメモリようになります。変換のスタートは、読み取り命令で実行(図7及び表2を参照)されます。パラレルインタフェースモードとするには、PAR端子をハイとしてください。HBENをロー、 $\overline{CS}$ 及び $\overline{RD}$ もローとすると、変換をスタートできます。

またアナログ入力は、 $\overline{RD}$ の立下がりエッジでサンプリングされます。変換の進行中、 $\overline{BUSY}$ はローに固定されます。前回の変換結果はデジタル出力に現われますが、これは変換の最終まで続きます。 $\overline{BUSY}$ は変換が終わると、ハイに戻ります。出力ラッチは、D7-D0上の8LSBの最新結果によって更新されます。HBENがハイとなると、2度目の読み取り動作で、4MSBは最初の4つが0となってデータ出力D7-D0に置かれます。2度目の読み取り動作は、HBENがハイであるため、新たな変換スタートはできません。

### ROMモード

スローメモリモードのように、ROMモードではD7-D0が2バイト読み取りに使用されます。HBEN及び $\overline{CS}$ ローとすると、変換は読み取り命令によって開始されます。T/Hは $\overline{RD}$ の立下がりエッジで入力をサンプル(図8及び表3を参照)します。このとき、PARはハイに設定されます。この時点で、データ出力には前回の変換からの8LSBも含まれています。変換結果のアクセスには、さらに2回の読み取り動作が必要です。初回の読み取りはHBENのハイで行われ、これによって4MSBが最初の4つが0となってアクセスされます。HBENのローでは2度目の読み取りが行われ8MSBが出力し、新たな変換がスタートされます。

図9及び表4は新たな変換を開始しない場合の、1変換サイクル中での出力データの読み取り方法を示しています。これには変換終了後( $\overline{BUSY}$ がハイになった瞬間)最初のクロックサイクルの上りエッジで、読み取り立下がりエッジをトリガするようにします。前に述べたように、変換結果にアクセスするためには $\overline{BUSY}$ がハイになった直後2回の読み取り動作が必要です。唯一の相違は、今度はローバイトの方を最初に読み取れるということです。これはHBENをローにして最初の読み取り動作をおこなうためで、その場合8LSBsがアクセスされます。HBENがハイの2番目の読み取りは、4つの最初の0と共に4MSBにアクセスされます。

# 低電力、12ビット、サンプリングADC、リファレンス及びパワーダウン付

MAX191

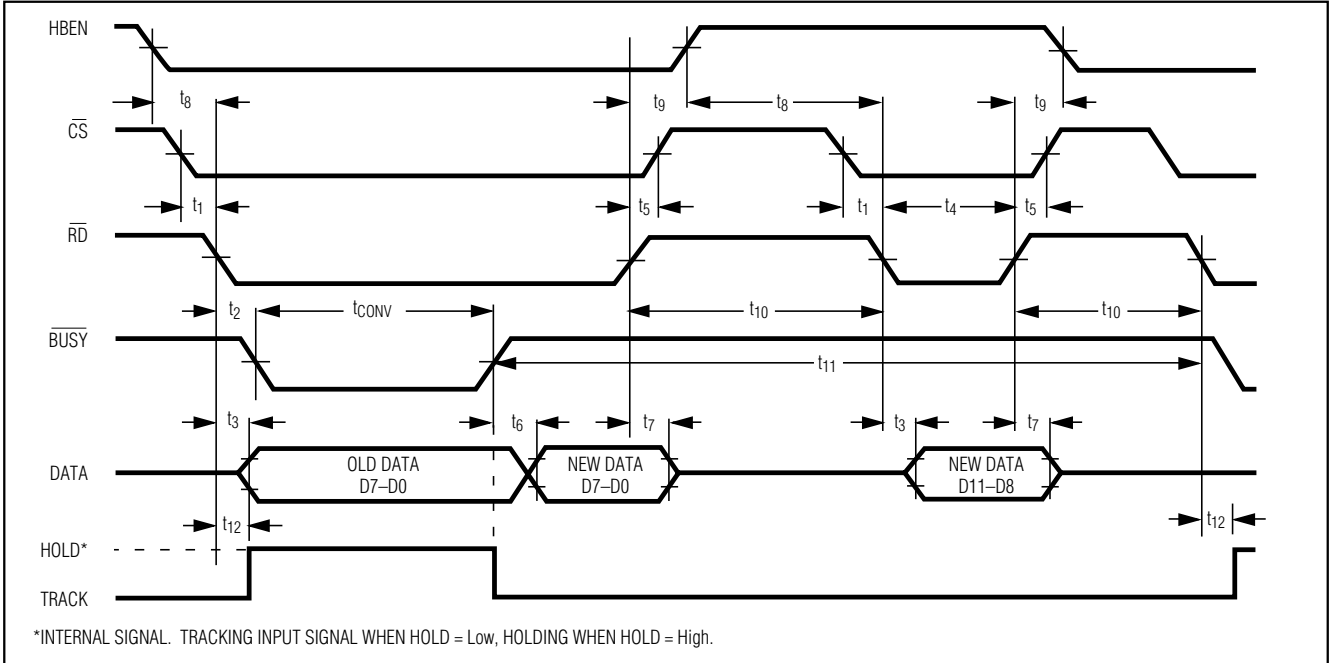


図7. スローメモリモードタイミング

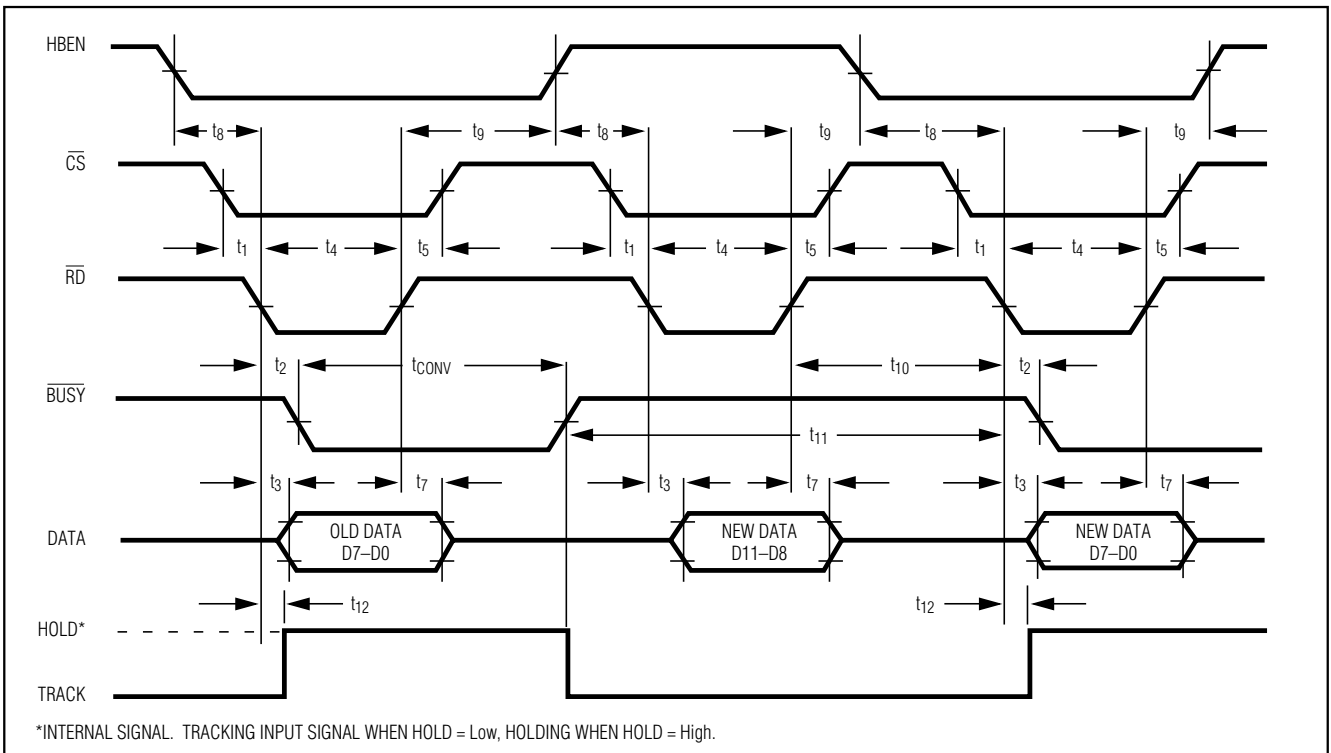


図8. ROMモードタイミング

# 低電力、12ビット、サンプリングADC、リファレンス及びパワーダウン付

MAX191

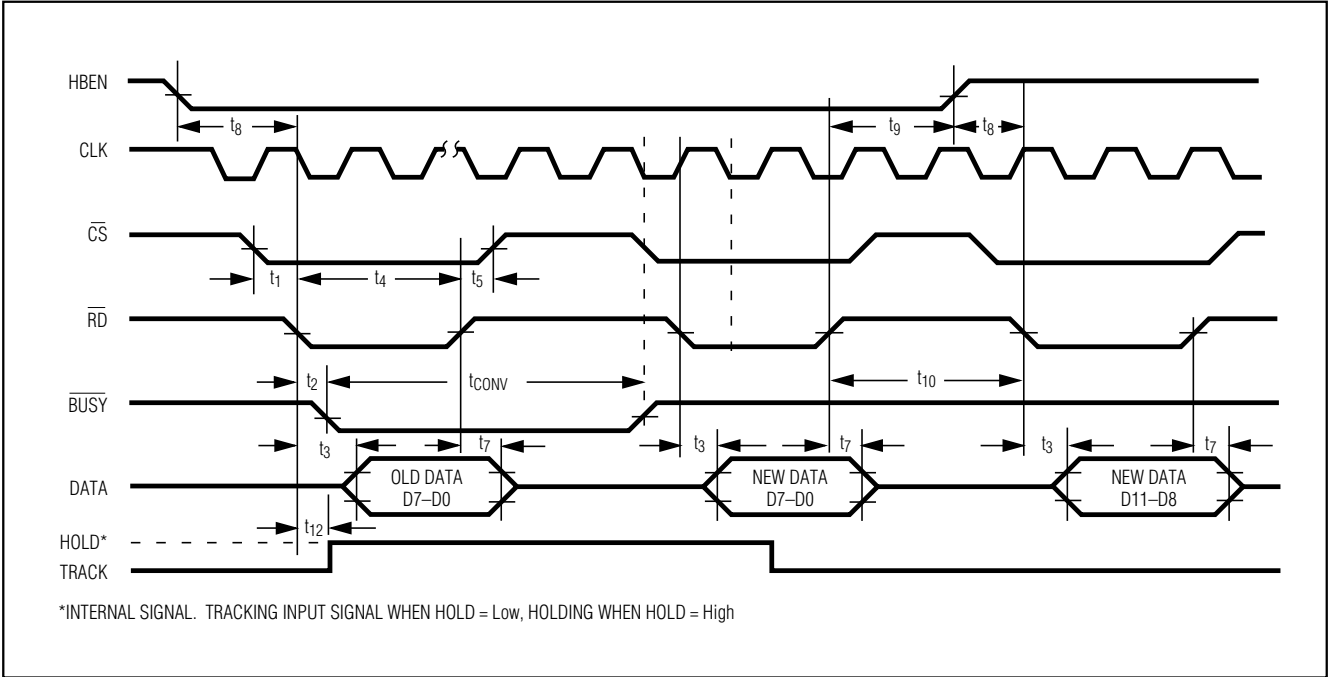


図9. ROMモードタイミング、変換を開始しない場合のデータ読み取り

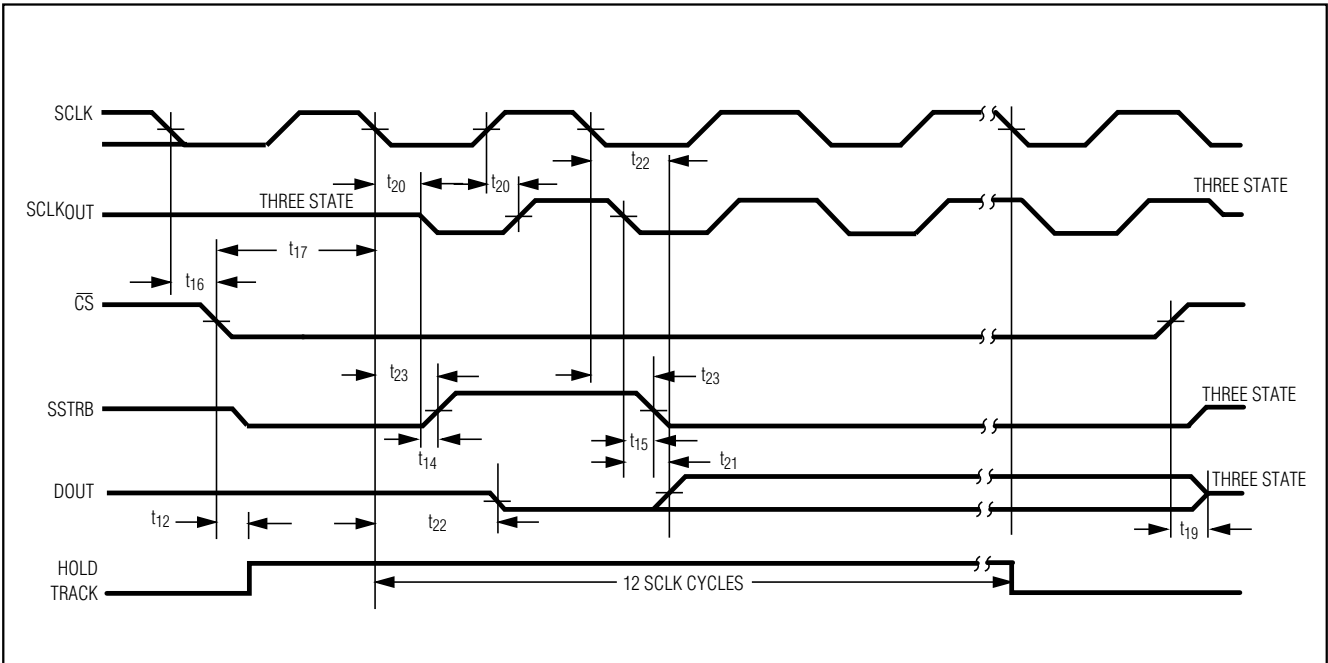


図10. シリアルインタフェースモードのタイミング図( $\overline{RD}$  = ローの場合)

# 低電力、12ビット、サンプリングADC、リファレンス及びパワーダウン付

表1. データバス出力、 $\overline{CS}$ 及び $\overline{RD}$ がローの場合

PIN NAME	D7/DOUT	D6/SCLK <sub>OUT</sub>	D5/SSTRB	D4	D3/D11	D2/D10	D1/D9	D0/D8
HBEN = 0, PAR = 1, PARALLEL MODE	D7	D6	D5	D4	D3	D2	D1	D0
HBEN = 1, PAR = 1, PARALLEL MODE	Low	Low	Low	Low	D11	D10	D9	D8
HBEN = X, PAR = 0, SERIAL MODE, $\overline{RD} = 0$	DOUT	SCLK <sub>OUT</sub>	SSTRB	Low	Low	Low	Low	Low
HBEN = X, PAR = 0, SERIAL MODE, $\overline{RD} = 1$	DOUT	Three- Stated	Three- Stated	Low	Low	Low	Low	Low

注記： D7/DOUT ~ D0/D8      ADCデータ出力ピン  
 D11 ~ D0      12ビット変換結果、D11は MSB  
 DOUT      3ステートデータ出力、シリアルモードでデータ出力  
 SCLK<sub>OUT</sub>      3ステートデータ出力、シリアルモードでクロック出力  
 SSTRB      3ステートデータ出力、シリアルモードでストロブ出力

表2. スローメモリモード、2バイト読み取りデータバスステータス

PIN NAME	D7/DOUT	D6/SCLK <sub>OUT</sub>	D5/SSTRB	D4	D3/D11	D2/D10	D1/D9	D0/D8
FIRST READ (New Data)	D7	D6	D5	D4	D3	D2	D1	D0
SECOND READ (New Data)	Low	Low	Low	Low	D11	D10	D9	D8

表3. ROMモード、2バイト読み取りデータ・バス・ステータス

PIN NAME	D7/DOUT	D6/SCLK <sub>OUT</sub>	D5/SSTRB	D4	D3/D11	D2/D10	D1/D9	D0/D8
FIRST READ (Old Data)	D7	D6	D5	D4	D3	D2	D1	D0
SECOND READ (New Data)	Low	Low	Low	Low	D11	D10	D9	D8
THIRD READ (New Data)	D7	D6	D5	D4	D3	D2	D1	D0

表4. ROMモード、2バイト読み取りデータバスステータス、変換サイクル開始なし

PIN NAME	D7/DOUT	D6/SCLK <sub>OUT</sub>	D5/SSTRB	D4	D3/D11	D2/D10	D1/D9	D0/D8
FIRST READ (Old Data)	D7	D6	D5	D4	D3	D2	D1	D0
SECOND READ (New Data)	D7	D6	D5	D4	D3	D2	D1	D0
THIRD READ (New Data)	Low	Low	Low	Low	D11	D10	D9	D8

# 低電力、12ビット、サンプリングADC、リファレンス及びパワーダウン付

MAX191

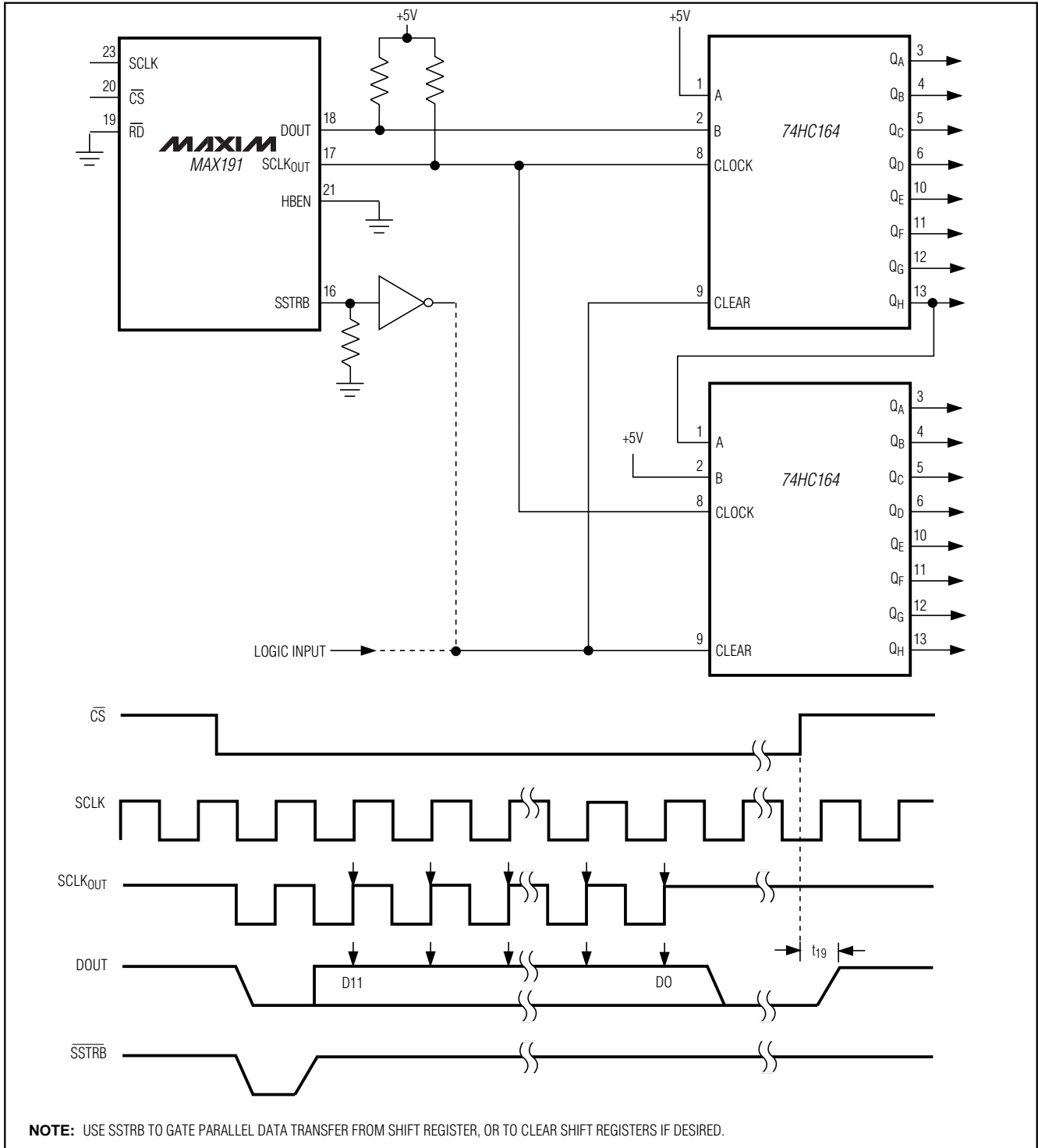


図11. 簡単なシリアルパラレルインタフェース

# 低電力、12ビット、サンプリングADC、リファレンス及びパワーダウン付

## シリアルインタフェースモード

シリアルモードは、MICROWIRE、SPI、QSPIシリアルインタフェースとコンパチブルとなっています。さらにフレーミング信号(SSTRB)を有し、TMS320ファミリなどのDSPとインタフェースが可能となっています。シリアルモードとするには、PARをローとして下さい。 $\overline{CS}$ の立下がりエッジで、T/Hは入力のサンプリング(図10)を行います。変換は常にSCLKの次の立下がりエッジで開始され、 $\overline{CS}$ とは関係ありません。DOUTは変換がスタートするまでは、ハイインピーダンス状態に置かれます。MSBを決定するまでの間、DOUTはロー状態が続く(0が先頭)。一方SSTRBはハイにおかれてデータフレームの開始を意味します。データはSCLK(内部クロック使用時は、SCLK<sub>OUT</sub>)の立上りエッジ、及び立下がりエッジで取り出せます。すべてのデータビットがシフトアウトされた後、DOUTはロー状態におかれ、 $\overline{CS}$ がハイに戻るまでに後ろ側の0をデータストリームに配置します。SCLK<sub>OUT</sub>信号は内部または外部クロックとの同期に用います。

インタフェースがフレキシブルであるため、 $\overline{CS}$ をハイとするだけでDOUT、SCLK<sub>OUT</sub>及びSSTRB信号はハイインピーダンス状態となります。 $\overline{CS}$ をローとすると、 $\overline{RD}$ によってSCLK<sub>OUT</sub>及びSSTRBのステータスが制御できます。ロジックローの $\overline{RD}$ を与えるとSCLK<sub>OUT</sub>及びSSTRBがイネーブルとなり、またロジックハイとすると両出力はハイインピーダンス状態となります。 $\overline{CS}$ とHBENがハイの場合には、SCLK<sub>OUT</sub>は変換状態に関係なく、連続ドライブを行います。このことは $\mu$ Pが連続的なシリアルクロックを必要とする場合に役立ちます。 $\overline{CS}$ 及びHBENがローとなると、SCLK<sub>OUT</sub>は変換サイクルの間にのみ出力します。ただしコンバータの内部クロックは、連続的に動作します。

この内部クロックの連続動作は、シフトレジスタをオーバフローさせない簡単なシリアルパラレルインタフェースの構成(図11)に有効です。

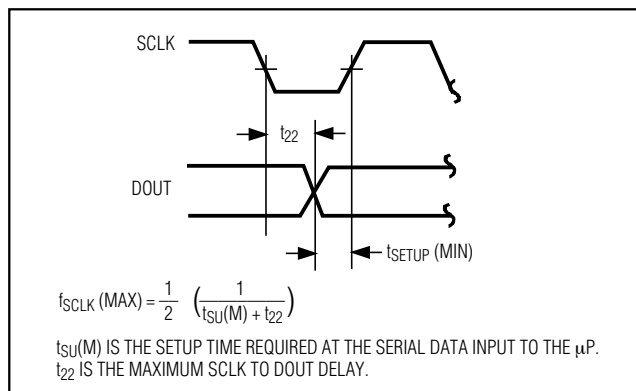


図12.  $f_{SCLK}(MAX)$ は、シリアルデータ入力による設定時間によって制限されます。

## シリアルモードでの最大クロックレート

SCLKの最大レートは、 $\mu$ Pへのシリアルデータ入力に必要なセットアップの最小時間及びADCにおけるDOUTのSCLKに対する遅れ( $t_{22}$ )で左右(図12参照)されます。 $f_{SCLK}$ の最大値は次のとおりです。

$$f_{SCLK}(MAX) = (1/2) \times 1 / (t_{su}(M) + t_{22})$$

ここで  $t_{su}(M)$  は、 $\mu$ Pへの直列データ入力に必要なデータセットアップ最小時間です。例えばMotorolaのMC68HC11A8データブックでは、データのセットアップ最小時間を100nsと指定しています。ミリタリ規格パーツでのワーストケースとして $t_{22} = 280ns$ とし(「Timing characteristics」参照)た場合、上式にこれを代入するとSCLK最大周波数は1.3MHzとなります。

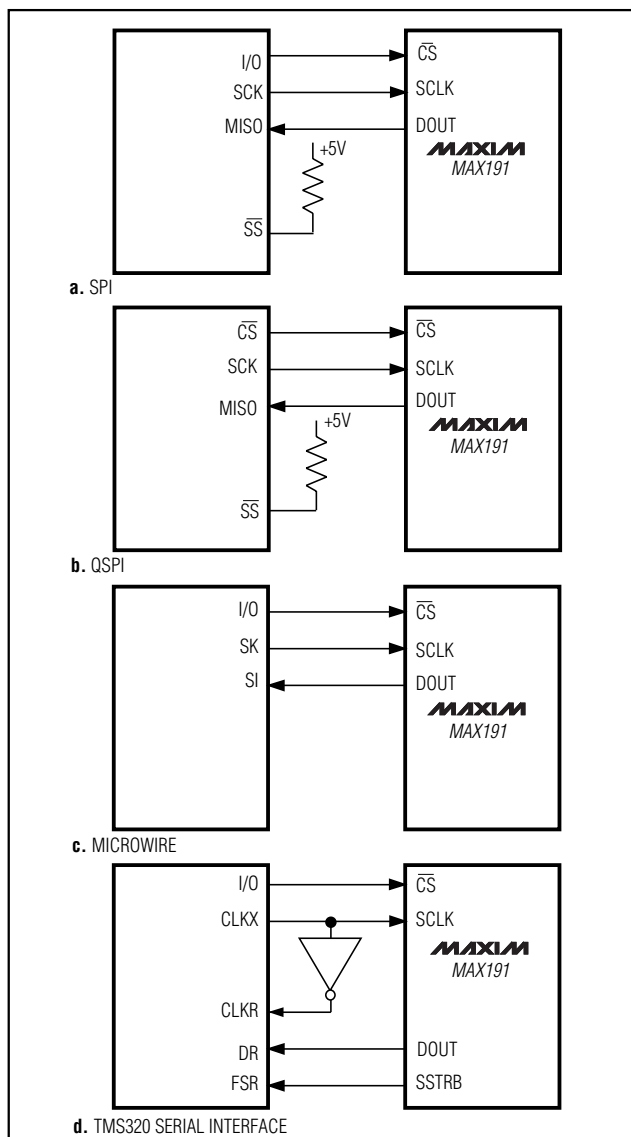


図13. MAX191シリアルインタフェース接続の一般例

# 低電力、12ビット、サンプリングADC、リファレンス及びパワーダウン付

MAX191でのSPI、QSPI、MICROWIRE  
シリアルインタフェース接続

図13に、標準のシリアルインタフェース規格にしたがったMAX191のインタフェース接続を示します。

SPI及びMICROWIRE(CPOL=0、CPHA=0)

MAX191はSPI、QSPI、MICROWIREシリアルインタフェース標準とコンパチブルです。SPI又はQSPIを使用する場合には、2つのモードによってMAX191とインタフェースできます。CPOL=0、CPHA=0(図14a)あるいはCPOL=1、CPHA=1(図14b)となるよう設定して下さい。CPOL=0、CPHA=0とすると $\overline{CS}$ がローになった後に、変換はSCLKの最初の立下がりエッジでスタートします。データはSCLKの立下がりエッジ、及び立下がりエッジへの推移時にDOUTから取り出せます。ADCから12ビットをフルに取り出すには、1バイト読み取りを2回にわたって連続して行う必要があります。1番目のバイトは次のような順序で構成されます。第一ビットは不定(DOUTは、第一ビット時にはまだハイインピーダンス状態にあるため)、次が0、そして残り6ビットはMSBです。2番目のバイトには残りのLSBが6個、そして最後に0が2個入っています。

SPI(CPOL=1、CPHA=1)

CPOL=1、CPHA=1とすると、読み取り命令中、クロックがハイとなります。MAX191はこれによって、1個の0、12データビット、その後3個の0をシフトアウト(図14b)します。

QSPI

SPIではADCから12ビットデータを得るのに1バイト読み取りを2回行う必要がありましたが、QSPIでは最小限のクロックサイクル数で、データとクロックイン(図15)ができます。

TMS320シリアルインタフェース

図13dにMAX191のTMS320とのインタフェース接続を示します。MAX191はSCLKの立下がりエッジでデータを出力し、またTMS320ではCLKRの立下がりエッジでデータをシフトインするため、DSPのCLKXでSCLKをドライブするほか、 $\overline{CLKX}$ でDSPのCLKR入力をドライブするようにして下さい。インバータでの伝達遅延もまた、DSPでのデータセットアップタイムを長くする要因です。例えば、インバータでの遅延がないとした場合、 $t_{22}=280\text{ns}$ 、 $f_{\text{SCLK}}=1.6\text{MHz}$ とすると、SCLKのトランジション前では、必要なセットアップ時間は次のようになります。

セットアップ時間 =

$$1/(2 \times f_{\text{SCLK}}) - t_{22} = 1/(2 \times 1.6\text{E}6) - 280\text{ns} = 32\text{ns}$$

これでもなお、CLKRがロー( $t_{\text{su}}(\text{DR})$ )となる直前のDRセットアップ最小時間13nsを越えてしまいます。しかし純正の74HC04を使用した場合に、20nsのセットアップ時間で済みます。(図13dを参照)。

図16は、DSPのインタフェースタイミング特性を示したものです。DSPは、SSTRBの立下がりエッジの後、CLKRの立下がりエッジでデータとのクロックインを開始します。データ転送後、DSPのレシーブシフトレジスタ(RSR)に、MSBを先頭に12データビット、次いで0が4個続いた16ビットワードが入ってきます。

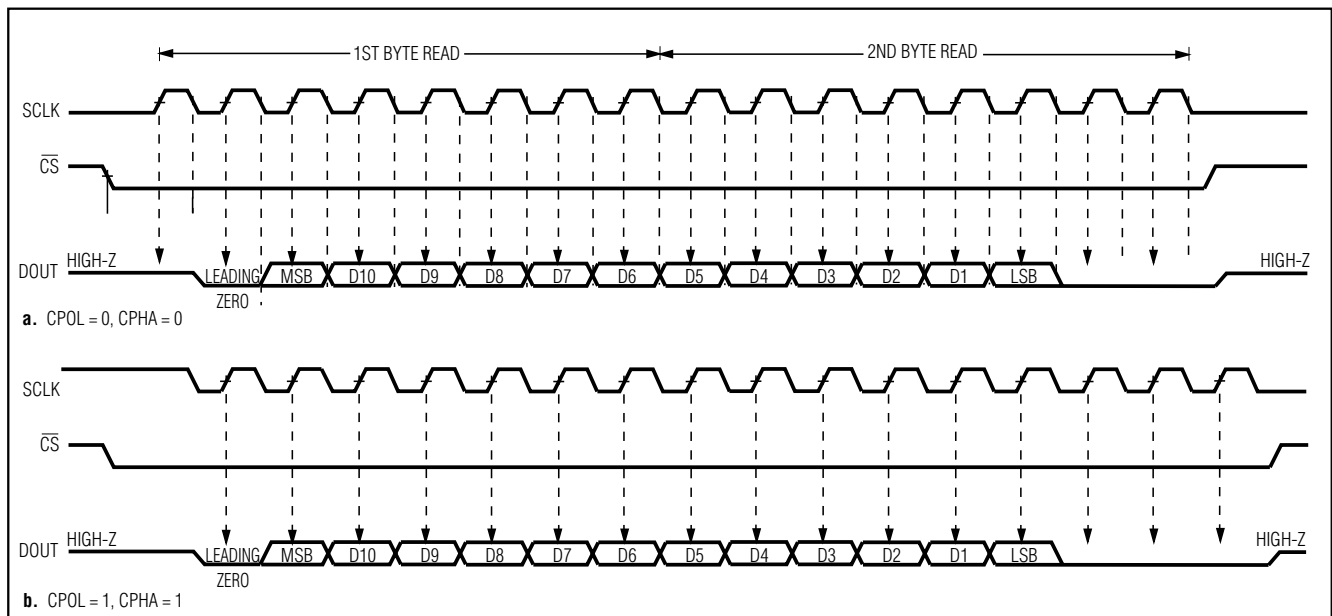


図14. SPI/MICROWIREシリアルインタフェースタイミング



# 低電力、12ビット、サンプリングADC、リファレンス及びパワーダウン付

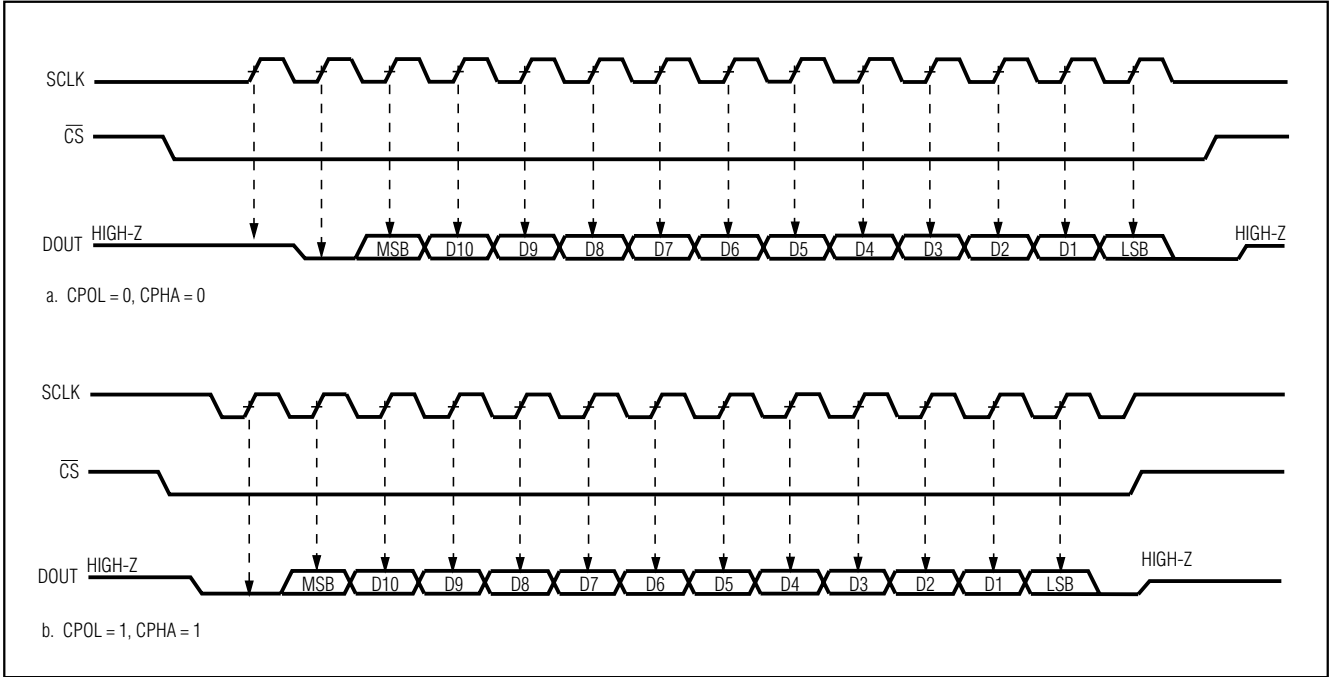


図15. QSPIシリアルインタフェースタイミング

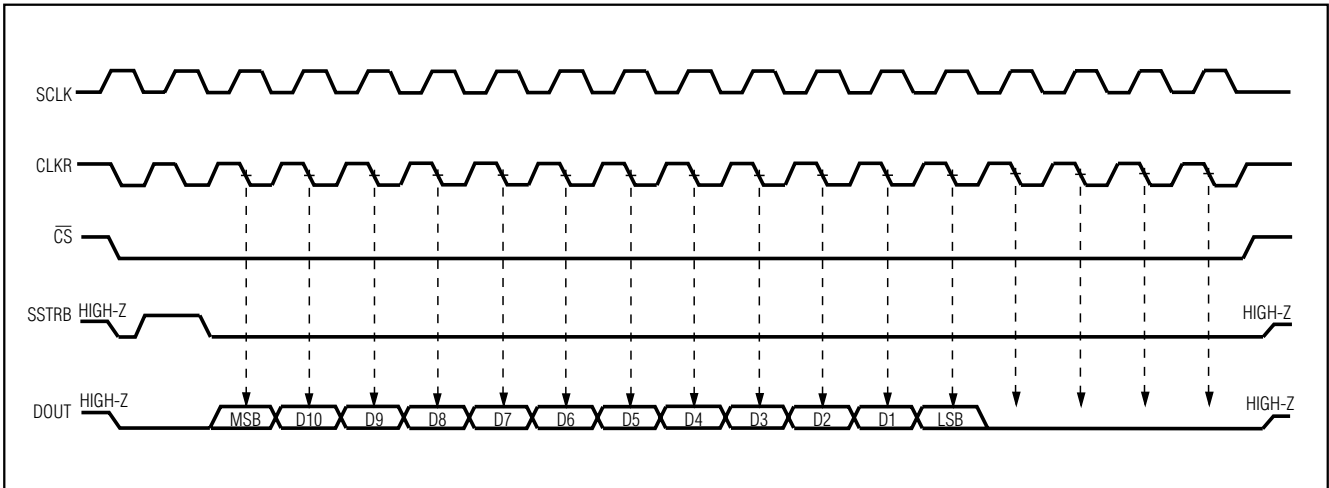


図16. TMS320インタフェースタイミング

# 低電力、12ビット、サンプリングADC、リファレンス及びパワーダウン付

## アプリケーション情報

### パワーオンイニシャライゼーション

+5V電源電圧がMAX191に最初に投入された時点で、ADCをイニシャライズするため、変換が1回行われます。(BUSYの信号ステータスはパワーオン時は不定)。この際、データ出力は、無視されます。

### パワーダウンモード

バッテリー駆動システムの機器では、動作待機時にADCをパワーダウンしたり、電源をオフにしたい場合があります。MAX191のパワーダウンは、 $\overline{PD}$ をローとするだけで達成できます。パワーダウンモードではリファレンス回路以外のADC内部回路はすべてオフとされ、ADCの消費電流は最大でも50 $\mu$ Aより少なくなります。(ただしCS、 $\overline{RD}$ 、CLK、HBENなどすべての信号が静止動作となり、電圧が200mV以下と仮定)。図17に、 $\overline{PD}$ 端子をドライブする実際的方法を示します。内部リファレンス補償を使用する場合(図17a)は、 $\mu$ PのI/O端子または論理デバイスによって $V_{DD}$ 及びDGNDの中間の電圧 $\overline{PD}$ でドライブします。外付けのリファレンス補償モードを使用する場合、図17bの回路を用いて、DGND及び

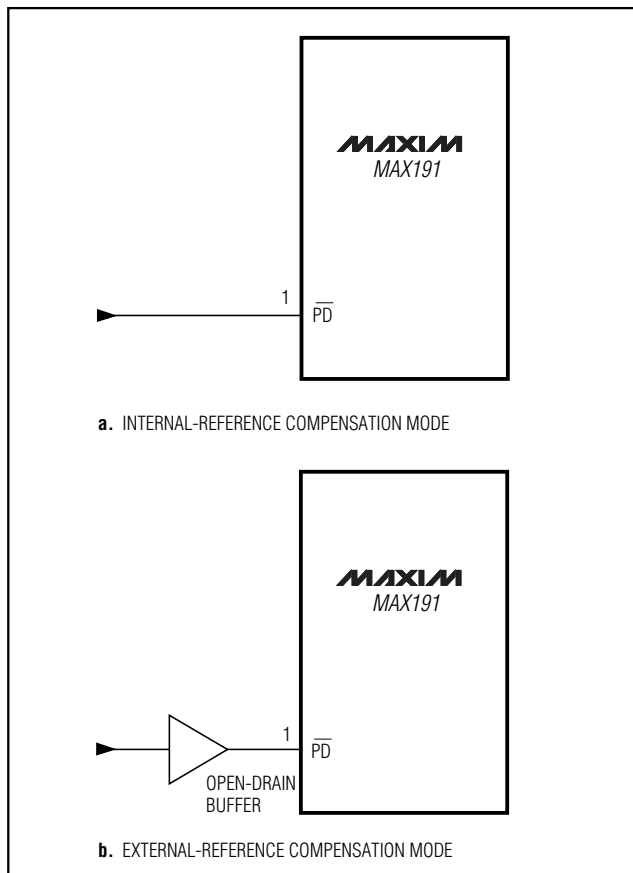


図17.  $\overline{PD}$ ピンのドライブ回路

$\overline{PD}$ の浮動電圧との中間電圧で $\overline{PD}$ をドライブしてください。他の方法としてオフリーク電流が100nAを越えない場合ならば、スリーステートロジックまたはスイッチによって $\overline{PD}$ をドライブする方法があげられます。

### 内部リファレンス

内部リファレンス4.096VはVREFから出力されます。内部リファレンス補償モードを用いない場合は、4.7 $\mu$ Fの低ESRコンデンサ(1/2以下)を1 $\mu$ Fコンデンサと並列接続し、AGNDにバイパスする必要があります。(「内部リファレンス補償」の項を参照)。これにより、高周波ノイズに対しても低リファレンスインプीडランスを得ることができるようになり、雑音の最小化を行うことができます。外部リファレンスを使用する場合、REFADJを $V_{DD}$ に接続すると、リファレンス出力はディセーブルとなります。

### リファレンス補償モード

パワーダウン性能は、内部または外部リファレンスのいずれかを選択することによって、指定の変換レートに最適化できます。

### 内部補償

内部補償の接続は、図18bに示してあります。このモードではリファレンスが高速で安定するため、通常ADCの再起動後( $\overline{PD}$ はハイとなる)35 $\mu$ s以内に交換をスタートできます。この補償モードではリファレンスバッファはSARトランジェントより、より長いリカバリ時間を必要とするため、遅いクロック(及び変換時間)が要求されます。内部リファレンス補償では、変換時間は25 $\mu$ s(図18b)に増加します。図18cは、各変換の間でパワーダウンすることで、実現可能な平均消費電流vs.変換レートをグラフにしたものです。

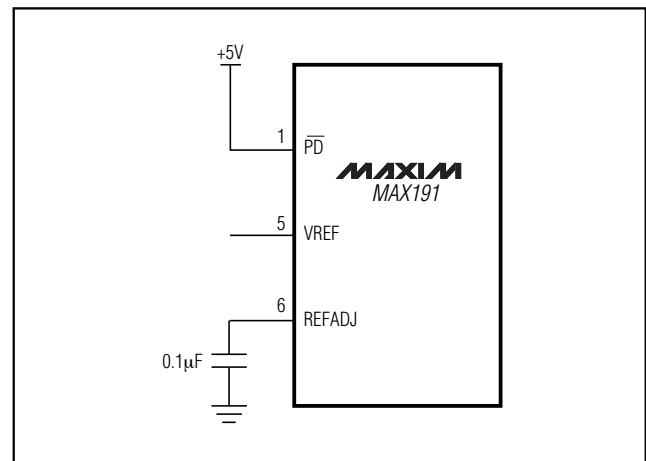


図18a. 内部補償モード回路

# 低電力、12ビット、サンプリングADC、リファレンス及びパワーダウン付

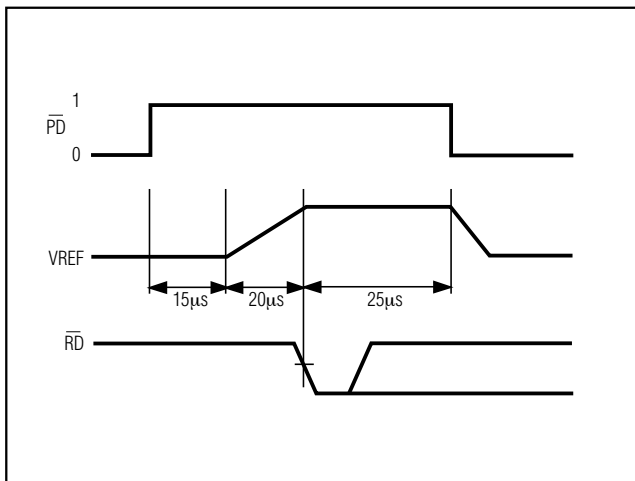


図18b. 低平均電力モード動作(内部補償)

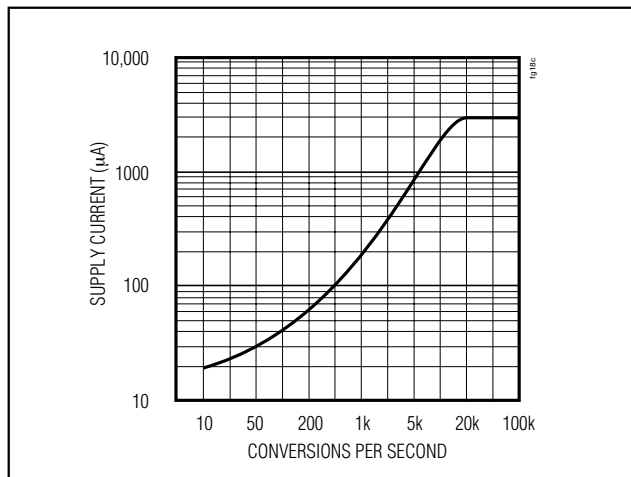


図18c. 変換間のパワーダウン時の、平均供給電流対変換率

## 外部補償

図19aに、リファレンス調整付きの外部補償接続を示します。このモードでは外付けの4.7µFコンデンサを用いてリファレンス出力アンプを補償し、変換スピードの最大化、及び変換ノイズの最小化を図ります。しかしパワーダウン後のADC再起動の際、4.7µFコンデンサを完全に充電するのに2ms程度が必要となるため、変換開始までの時間がさらに(図19b)かかります。このように外部補償モードでは、パワーアップ/パワーダウン動作の平均消費電流は内部補償モードより大きくなります。

## ゲイン及びオフセット調整

図20は標準的なユニポールのI/O転送機能、図22はバイポールのI/O転送機能を示したものです。コードトランジションは、連続したLSBの整数値と整数値の間で起きます。ユニポールの動作では、1LSB=1.00mV(4.096V/4096)、バイポールの動作では、1LSB=1.00mV((4.096V/2 - 4.096V/2)/4096)となります。

図19aと図21aに、フルスケールの調整を要するアプリケーションでのADCゲイン調整方法を示します。図21aの接続では±20LSBの調整幅に対し±0.5%の調整が可能であり、外付けのリファレンス使用の場合のアプリケーションに最適となります。一方、図19aの接続では使用する外付け部品が図21aの接続より少なくなるため、内部リファレンス使用のアプリケーションに向いています。

オフセット及びフルスケールを共に調整する必要がある場合は、図21bの回路が最適となります。シングル電源のADCでは、システムのマイナスオフセットエラーをゼロにするのは事実上、不可能です。しかし、MAX191の入力構造は擬似差動となっています。すなわち、AIN+とAIN-との間の電圧差だけがデジタル数値に変換され

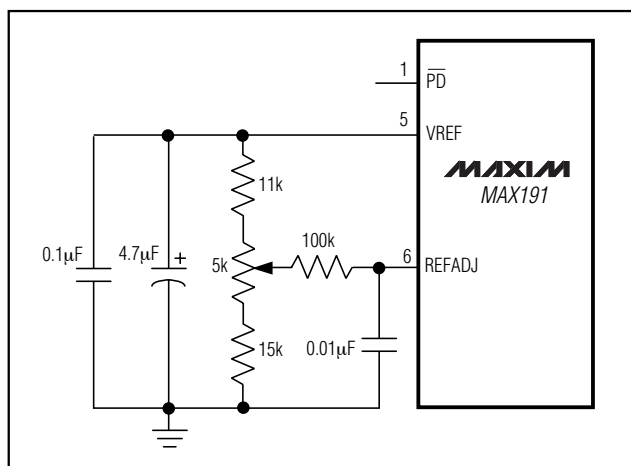


図19a. 内部リファレンス調整回路付の外部補償モード

ます。AIN-に多少の正電圧をかけることでAIN+の0入力電圧はAIN-電圧以上かそれ以下に調整され、その結果、プラスでもマイナスでもシステムオフセットエラーがゼロにできます。R9及びR10は、プラスのシステムエラーのみをゼロにする場合は必要ありません。MAX191のオフセットエラーのトリムには1/2LSBをアナログ入力し、デジタル出力が000(16進)と001(16進)の間で変化するようにR6を調整します。フルスケール調整を行うにはFS-11/2LSBを入力し、出力符号がFFE(16進)とFFF(16進)の間で変化するようにR2を調整します。調整時には相互作用が起きるため、オフセット調整はゲイン調整の前に行うようにしてください。2倍の入力ゲインの場合、R7とR8を取り外して下さい。

MAX191の入力電圧はシングル電源動作時ではAGNDからV<sub>DD</sub>まで、またデュアル電源動作時にはV<sub>SS</sub>からV<sub>DD</sub>まで与えることができます。図22はバイポールの入力転送機能を示すもので、シングル電源動作ではAIN-をフルスケールの中間に接続、またデュアル電源

# 低電力、12ビット、サンプリングADC、リファレンス及びパワーダウン付

MAX191

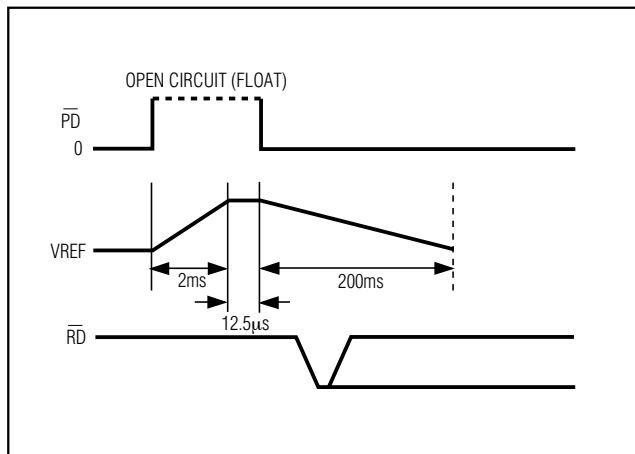


図19b. 低平均電力モード動作(外部補償)

動作の場合はAIN-をGND接続とします。シングル電源動作の場合は、MAX191は擬似差動入力を用いてバイポーラ動作をするよう構成できます。このときAIN-をアナログ入力リターンとして使用する代わりに、AIN-をグラウンドレベルより高い( BIP端子はハイに設定 )正電圧に設定することも可能です。サンプリングされたアナログ入力( AIN+ )は、AIN-以上またそれ以下のいずれの正電圧にでもスイングさせることができ、またADCは、AIN-に対応したバイポーラ変換が行えます。デュアル電源動作の場合、MAX191のフルスケールレンジは、 $-V_{REF}/2$ から $+V_{REF}/2$ となります。

## デジタルバスノイズ

変換中、ADC接続のデータバスがアクティブとされた時、データ端子からADCコンパレータへのクロストークによって、エラーが引き起こされる場合があります。スローメモリモードとすると、 $\mu P$ を変換中に待機状態に置くことになり、この種の問題を防止することができます。ROMモードで、変換中にデータバスがアクティブとされるようなときは、スリープステートドライバによってデータバスをADCから切り離す必要があります。

ROMモードで $\overline{RD}$ または $\overline{CS}$ がハイとなり、そして変換が開始された後に出力データドライバがディセーブルとなると、ADCはかなりの量のデジタルノイズを発生します。SARがコンパレータの決定をラッチしている時にこの種のノイズが発生すると、大きなエラーの原因ともなります。この問題を避けるため、 $\overline{RD}$ 及び $\overline{CS}$ のアクティブ期間は、少なくとも1クロックサイクル以内とする必要があります。これが不可能である場合、コンパレータ出力は常にCLKの立下がりエッジでラッチされるので、 $\overline{RD}$ または $\overline{CS}$ をCLKの立上がりエッジでハイとします。

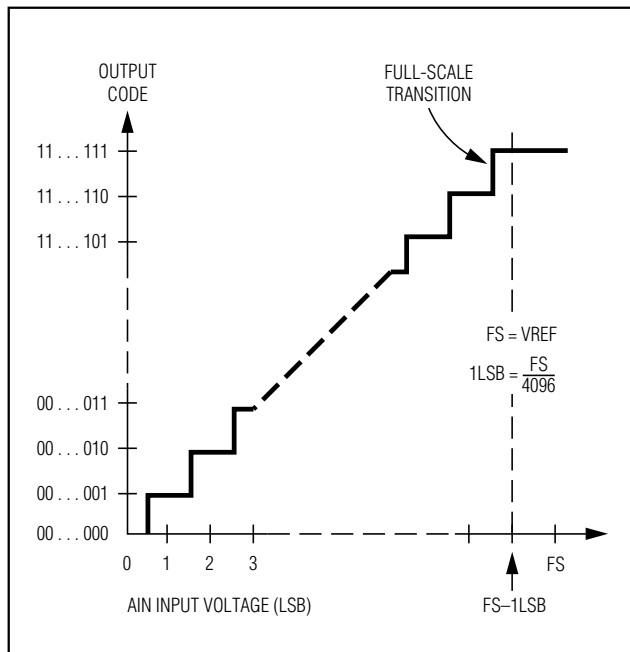


図20. ユニポーラ転送機能

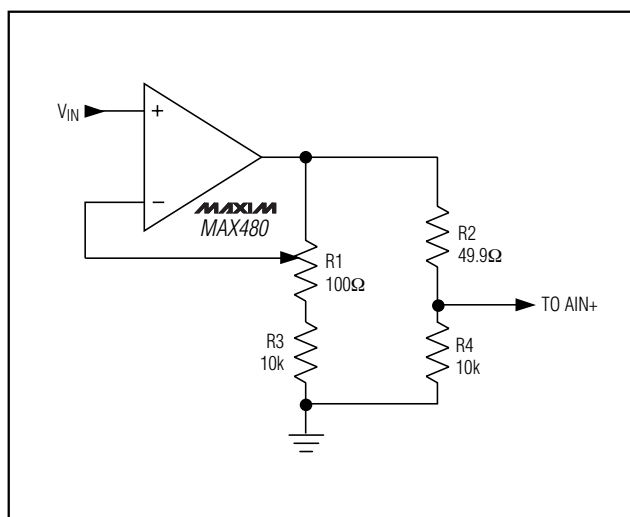


図21a. ゲイン(±0.5%)のトリム回路

## レイアウト、接地、バイパス

プリント板を用いることにより、システムの性能をベストとすることができます。ワイヤラッピングボードは推奨できません。ボードレイアウトでは、デジタル信号及びアナログ信号の各ラインを明確に分離する必要があります。アナログラインとデジタルライン(特にクロックなど)が互いに平行になったり、またデジタルラインがADCパッケージの下を走るようなレイアウトは避けてください。

# 低電力、12ビット、サンプリングADC、リファレンス及びパワーダウン付

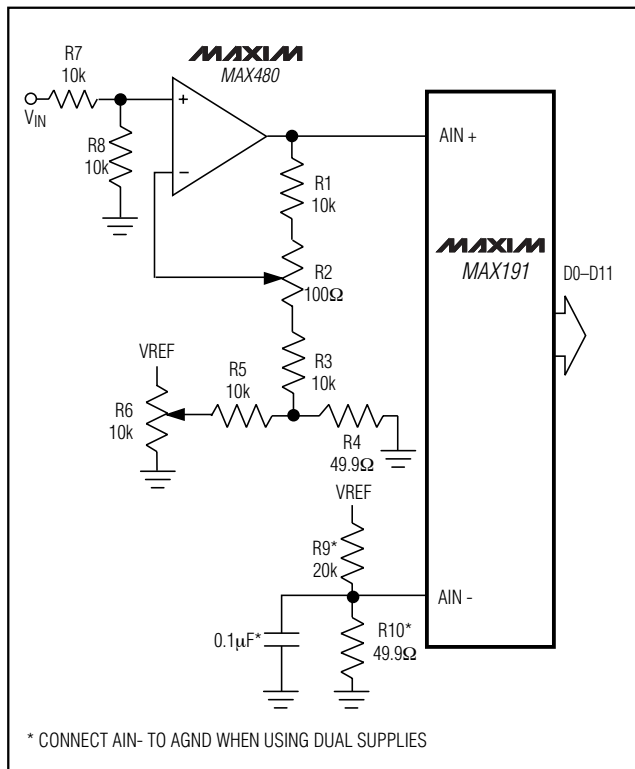


図21b. オフセット(±10mV)及びゲイン(±1%)トリム回路

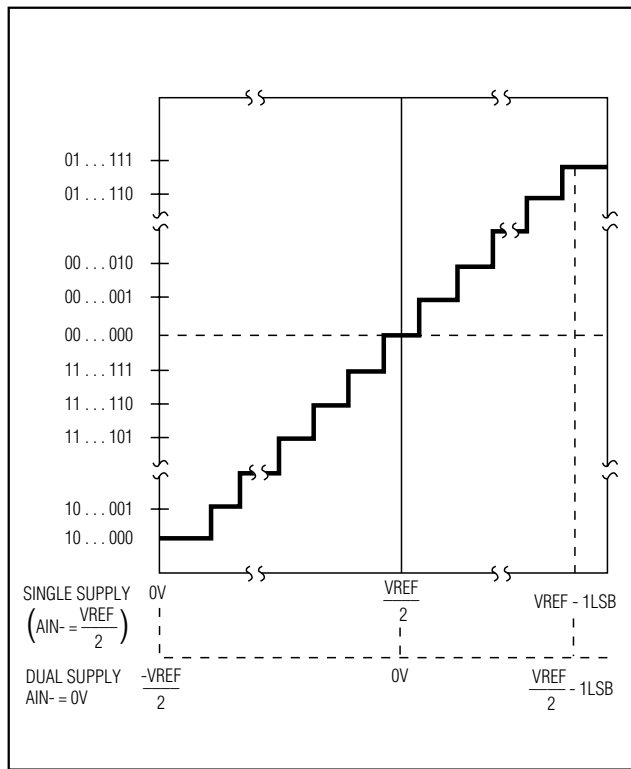


図22. バイポーラ転送機能

図23に示すのは、推奨するシステムグランド接続です。AGNDにはシングルポイントのグランド点(スター接地)を設け、ロジックグランドから離すようにします。すべてのアナロググランド及びDGNDをスター接地点に接続するようにしてください。ただし、いかなるデジタルシステム接地であっても、このアナロググランド点には接続しないようにします。スター接地点の電源へのグランドリターンは低インピーダンスとなるようにし、またノイズフリーの動作を確実にするため、可能な限り短く配線します。

$V_{DD}$ 電源の高周波ノイズが、ADCの高速コンパレータに影響を与えることがあります。電源は、 $0.01\mu\text{F}$ 及び $10\mu\text{F}$ のバイパスコンデンサによって一点のアナロググランド点にバイパスしてください。電源ノイズを除去するには、コンデンサリード線の長さは最短として下さい。+5V電源でノイズが非常に多い場合は、10の抵抗をローパスフィルタとして用い、電源ノイズを除去(図23)してください。

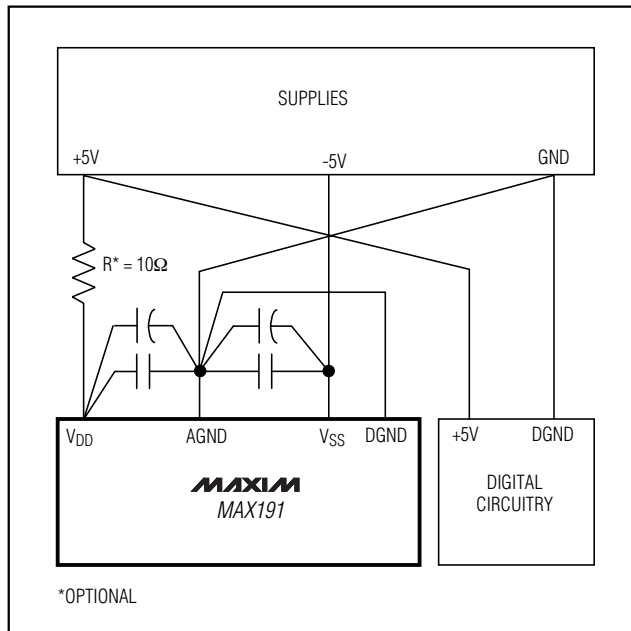


図23. 電源接地

# 低電力、12ビット、サンプリングADC、リファレンス及びパワーダウン付

## ダイナミック性能

MAX191はその高速サンプリング能力及び高スループットにより、広帯域信号のプロセッシングに最適なデバイスとなります。上記のようなアプリケーション、また他の関連アプリケーションを確実にするため、高速フーリエ変換(FFT)応用の検査技術によってADCのダイナミック周波数特性のほか、定格スループットでの歪みや雑音を保証しています。特にADCへ低歪正弦波を入力する場合や、規定時間のデジタル変換の結果を記録する場合などではこれらが重要となってきます。データはその後、スペクトラムの内容を決定するFFTアルゴリズムによって分析されます。変換エラーは、入力周波数の基本波以外のスペクトラム成分とされず、FFTでのプロットは、「標準動作特性」の項に示します。

ADCの評価はかねてより、ゼロ及びフルスケールでのエラー、積分非直線性(INL)、微分非直線性(DNL)などの指標によってなされてきました。このようなパラメータは、DCでの性能や緩慢に変化する信号などでは広く用いられていますが、ADCによるシステム転送性能などが重要となる信号処理アプリケーションなどでは、実用的ではありません。それは、各種のDCエラーの問題はダイナミック解析には十分ではなく、したがって別のテストが必要となってくるからです。

信号対雑音比(SNR)は入力周波数基本波実効値の、他A/D出力信号すべての実効値振幅に対する比であって、信号の高調波は除外されます。信号/雑音+歪み率(SINAD)はSNRと同様なものですが、これには信号高調波成分も含まれます。

理論的なA/D最小雑音量は量子化エラーを原因とするもので、直接的にADC分解能と関係しています。すなわち、 $SNR = (6.02n + 1.76)$  dBとすると、nは分解能をビット数で表しています。また74 dBとは、完全12ビットADCのSNRです。

分解能の公式を展開しSNRに換算すると、測定SNRからADCが実効分解能、すなわち「有効ビット数」の計算が可能となります。

$$n = (SNR - 1.76) / 6.02$$

## 全高調波歪み

全高調波歪み(THD)とは、(DCから上の周波数帯域、サンプルレート1.5以下の)入力信号の高調波すべての合計RMSの、入力信号基本波に対する比をいいます。よって、以下のように表すことができます。

$$THD = 20 \log \left[ \sqrt{(V_2^2 + V_3^2 + V_4^2 + V_5^2 + \dots + V_n^2) / V_1^2} \right]$$

ここで、 $V_1$ は基本波の振幅RMSであり、 $V_2$ から $V_n$ は第2次高調波振幅からn次高調波の振幅までを意味しています。

## スプリアスフリーのダイナミックレンジ

スプリアスフリーのダイナミックレンジとは、基本波振幅RMSの、その次に大きなスペクトラム成分(DCから上の周波数帯域、サンプルレート1.5以下の)振幅に対する比のことです。このピーク点は、通常、入力周波数高調波のいずれかで発生します。しかしながらADC直線性が極めて良い場合には、このピークがADCノイズフロアのランダムピークで発生します。

## 光絶縁A/Dインタフェース

工業製品の多くでは、ADC及びシステムの他部分との間でグラウンドの不整合ができる場合、大電流が流れないように分離する必要があります。図24は、MAX250及び6N136フォトカプラ4個による、MAX191と $\mu P$ の絶縁バリアー構築例です。

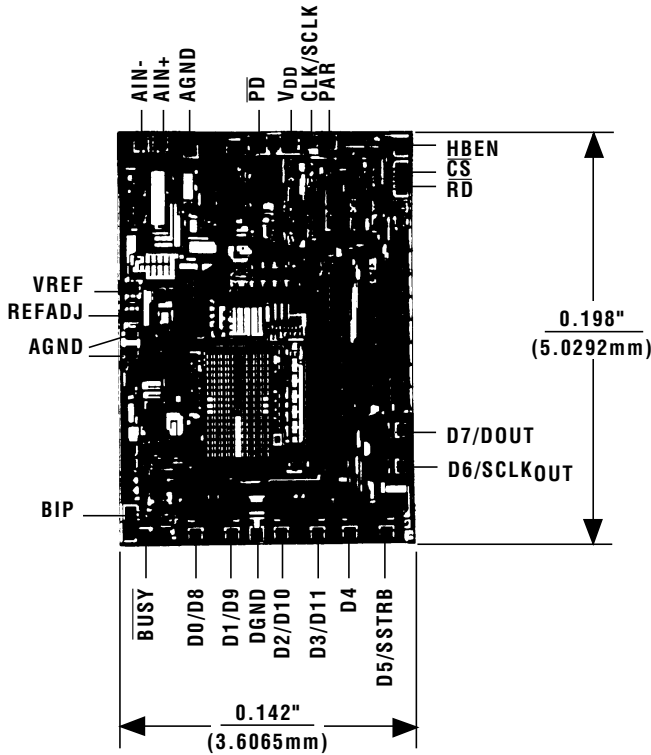
6N136フォトカプラは、最大データレートを90kbpsに制限します。低速クロックを必要とし、変換時間が長くなります。



# 低電力、12ビット、サンプリングADC、リファレンス及びパワーダウン付

MAX191

チップ構造図



SUBSTRATE CONNECTED TO V<sub>DD</sub>  
パッケージ

