

MAX15023

4.5V~28Vの広い入力、デュアル出力 同期整流バックコントローラ

概要

デュアル、同期整流ステップダウンコントローラのMAX15023は、5.5V~28V、または $5V \pm 10\%$ の入力電圧範囲で動作し、2つの独立した出力電圧を生成します。各出力は、入力電圧の85%から最低0.6Vまで調整可能で、12A以上の負荷をサポートします。入力電圧リップルおよび総RMS入力リップル電流は、交互に行われる180°逆位相動作によって低減します。

MAX15023は、外付け抵抗によって、200kHz~1MHzのスイッチング周波数に調整することができます。MAX15023の適応型同期整流によって、外付けのフリーホイールショットキーダイオードが不要になります。また、このデバイスは、外付けのローサイドMOSFETのオン抵抗を電流検出素子として利用するため、電流検出抵抗も不要です。これによって、電流検出抵抗がなくても、DC-DC部品を出力過負荷状態または出力短絡フォルト時の損傷から保護します。ヒカップモード電流制限は、短絡状態時の電力損失を低減します。MAX15023は、高精度ターンオン/ターンオフスレッシュホールドを備えた、2つの独立したパワーグッド出力と2つの独立したイネーブル入力を備え、電源監視と電源シーケンスに使用することができます。

その他の保護機能として、サイクルごとのローサイドシンクピーク電流制限、およびシャットダウンを備えています。サイクルごとのローサイドシンクピーク電流制限は、デバイスが出力から電流をシンクするときに、逆インダクタ電流が危険レベルに達するのを防止します。また、MAX15023は、出力を放電せずに、プリバイアスされた起動が可能で、適応型内蔵デジタルソフトスタートを備えています。この新しい独自の機能によって、起動時に外付けの大型出力コンデンサの単調性充電が可能になり、ヒカップモード短絡保護時のピークインダクタ電流の優れた制御が実現します。

MAX15023は、省スペースで放熱特性に優れた、4mm x 4mmの24ピンTQFN-EPパッケージで提供されます。このデバイスは、 $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ の拡張温度範囲で動作します。

アプリケーション

- POL (Point-of-Load)型レギュレータ
- セットトップボックス
- LCD TV二次電源
- スイッチ/ルータ
- パワーモジュール
- DSP電源

主な特長

- ◆ 入力電源範囲：5.5V~28V、 $5V \pm 10\%$
- ◆ 可変出力：0.6V~ $(0.85 \times V_{IN})$
- ◆ 可変スイッチング周波数：200kHz~1MHz
- ◆ プリバイアスされた負荷までの単調性起動を保証
- ◆ 可変の温度補償スレッシュホールドを備えた無損失でサイクルごとのローサイドソースピーク電流制限
- ◆ サイクルごとのローサイドシンクピーク電流制限保護
- ◆ 独自の適応型内蔵デジタルソフトスタート
- ◆ 電圧リファレンス精度： $\pm 1\%$
- ◆ ブーストダイオード内蔵
- ◆ 適応型同期整流によって外付けのフリーホイールショットキーダイオードが不要
- ◆ ヒカップモード短絡保護およびサーマルシャットダウン
- ◆ 電源シーケンス用のパワーグッド出力およびアナログイネーブル入力

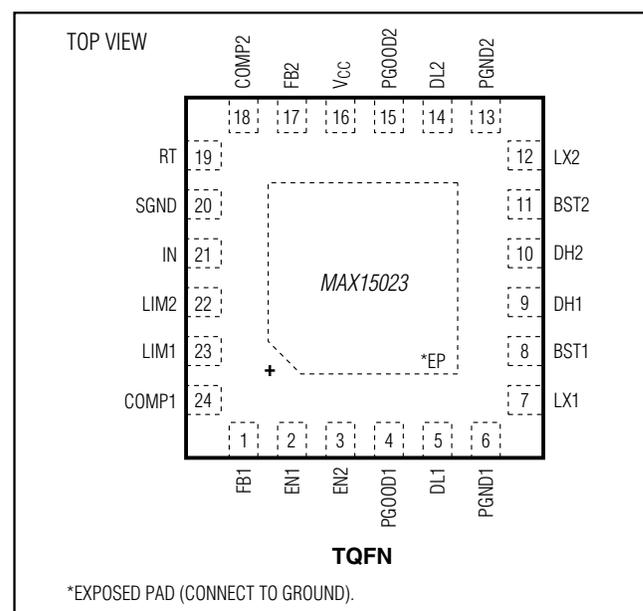
型番

PART	TEMP RANGE	PIN-PACKAGE
MAX15023ETG+	-40°C to $+85^{\circ}\text{C}$	24 TQFN-EP*
MAX15023ETG/V+	-40°C to $+85^{\circ}\text{C}$	24 TQFN-EP*

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。

*EP = エクスポーズドパッド

ピン配置



本データシートは日本語翻訳であり、相違及び誤りのある可能性があります。設計の際は英語版データシートを参照してください。

価格、納期、発注情報についてはMaxim Direct (0120-551056)にお問い合わせいただくか、Maximのウェブサイト(japan.maximintegrated.com)をご覧ください。

MAX15023

4.5V~28Vの広い入力、デュアル出力 同期整流バックコントローラ

ABSOLUTE MAXIMUM RATINGS

IN to SGND	-0.3V to +30V
BST_ to VCC	-0.3V to +30V
LX_ to SGND	-1V to +30V
EN_ to SGND	-0.3V to +6V
PGOOD_ to SGND	-0.3V to +30V
BST_ to LX_	-0.3V to +6V
DH_ to LX_	-0.3V to (V _{BST_} + 0.3V)
DL_ to PGND_	-0.3V to (V _{CC} + 0.3V)
SGND to PGND_	-0.3V to +0.3V
V _{CC} to SGND	-0.3V to the lower of +6V or (V _{IN} + 0.3V)
All Other Pins to SGND	-0.3V to (V _{CC} + 0.3V)

V _{CC} Short Circuit to SGND	Continuous
V _{CC} Input Current (IN = V _{CC} , internal LDO not used)	600mA
PGOOD_ Sink Current	20mA
Continuous Power Dissipation (T _A = +70°C)(Note 1)	2222.2mW
24-Pin TQFN-EP (derate 27.8mW/°C above +70°C)	2222.2mW
Operating Temperature Range	-40°C to +85°C
Junction Temperature	+150°C
Storage Temperature Range	-60°C to +150°C
Lead Temperature (soldering, 10s)	+300°C
Soldering Temperature (reflow)	+260°C

Note 1: These power limits are due to the thermal characteristics of the package, absolute maximum junction temperature (150°C), and the JEDEC 51-7 defined setup. Maximum power dissipation could be lower, limited by the thermal shutdown protection included in this IC.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

PACKAGE THERMAL CHARACTERISTICS (Note 2)

24 TQFN-EP

Junction-to-Ambient Thermal Resistance (θ _{JA})	+36°C/W
Junction-to-Case Thermal Resistance (θ _{JC})	+8°C/W

Note 2: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to japan.maximintegrated.com/thermal-tutorial.

ELECTRICAL CHARACTERISTICS

(V_{IN} = 12V, R_T = 33kΩ, C_{VCC} = 4.7μF, C_{IN} = 1μF, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
GENERAL						
Input Voltage Range	V _{IN}		5.5		28	V
		V _{IN} = V _{CC}	4.5		5.5	
Quiescent Supply Current	I _{IN}	V _{FB1} = V _{FB2} = 0.9V, no switching		4.5	6	mA
Standby Supply Current	I _{IN_SBY}	V _{EN1} = V _{EN2} = V _{SGND}		0.21	0.35	mA
V_{CC} REGULATOR						
Output Voltage	V _{CC}	6V < V _{IN} < 28V, I _{LOAD} = 5mA	5.00	5.2	5.50	V
		V _{IN} = 6V, 1mA < I _{LOAD} < 100mA				
V _{CC} Regulator Dropout		I _{LOAD} = 100mA		0.07		V
V _{CC} Short-Circuit Output Current		V _{IN} = 5V	150	250		mA
V _{CC} Undervoltage Lockout	V _{CC_UVLO}	V _{CC} falling	3.6	3.8	4	V
V _{CC} Undervoltage Lockout Hysteresis				430		mV
ERROR AMPLIFIER (FB_, COMP_)						
FB_ Input Voltage Set-Point	V _{FB_}		594	600	606	mV
FB_ Input Bias Current	I _{FB_}	V _{FB_} = 0.6V	-250		+250	nA

MAX15023

4.5V~28Vの広い入力、デュアル出力 同期整流バックコントローラ

ELECTRICAL CHARACTERISTICS (continued)

($V_{IN} = 12V$, $R_T = 33k\Omega$, $C_{VCC} = 4.7\mu F$, $C_{IN} = 1\mu F$, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)
(Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
FB_ to COMP_ Transconductance	g_m	$I_{COMP} = \pm 40\mu A$	650	1200	1900	μS
Amplifier Open-Loop Gain		No load		80		dB
Amplifier Unity-Gain Bandwidth				10		MHz
COMP_ Swing (High)				2.4		V
COMP_ Swing (Low)		No load at COMP_		0.6		V
COMP_ Source/Sink Current	$I_{COMP_}$	I_{COMP_I} , $V_{COMP_} = 1.5V$	45	80	120	μA
ENABLE (EN_)						
EN_ Input High	V_{EN_H}	EN_ rising	1.15	1.20	1.25	V
EN_ Input Hysteresis	V_{EN_HYS}			150		mV
EN_ Input Leakage Current	$I_{LEAK_EN_}$		-250		+250	nA
OSCILLATOR						
Switching Frequency	f_{SW}	Each converter	460	500	540	kHz
Switching Frequency Adjustment Range		(Note 4)	200		1000	kHz
PWM Ramp Peak-to-Peak Amplitude	V_{RAMP}			1.42		V
PWM Ramp Valley	V_{VALLEY}			0.72		V
Phase Shift Between Channels		From DH1 to DH2 rising edges		180		Degrees
Minimum Controllable On-Time				60	100	ns
Maximum Duty Cycle			86	87.5		%
OUTPUT DRIVERS						
DH_ On-Resistance		Low, sinking 100mA, $V_{BST_} - V_{LX_} = 5V$	1			Ω
		High, sourcing 100mA, $V_{BST_} - V_{LX_} = 5V$	1.2			
DL_ On-Resistance		Low, sinking 100mA, $V_{CC} = 5.2V$	0.75			Ω
		High, sourcing 100mA, $V_{CC} = 5.2V$	1.4			
DH_ Peak Current		$C_{LOAD} = 10nF$	Sinking	3		A
			Sourcing	2		
DL_ Peak Current		$C_{LOAD} = 10nF$	Sinking	3		A
			Sourcing	2		
DH_, DL_ Break-Before-Make Time (Dead Time)				15		ns
SOFT-START						
Soft-Start Duration				2048		Switching cycles
Reference Voltage Steps				64		Steps

MAX15023

4.5V~28Vの広い入力、デュアル出力 同期整流バックコントローラ

ELECTRICAL CHARACTERISTICS (continued)

($V_{IN} = 12V$, $R_T = 33k\Omega$, $C_{VCC} = 4.7\mu F$, $C_{IN} = 1\mu F$, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)
(Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CURRENT LIMIT/HICCUP						
Cycle-by-Cycle, Low-Side, Source Peak Current-Limit Threshold Adjustment Range		Source peak limit = $V_{LIM_}/10$	30		300	mV
LIM_ Reference Current	$I_{LIM_}$	$V_{LIM_} = 0.3V$ to $3V$, $T_A = +25^\circ C$	45	50	55	μA
LIM_ Reference Current TC		$V_{LIM_} = 0.3V$		2400		ppm/ $^\circ C$
Number of Consecutive Current-Limit Events to Hiccup				7		Events
Hiccup Timeout		Out of soft-start		7936		Switching cycles
Cycle-by-Cycle, Low-Side, Sink Peak Current-Limit Sense Voltage				$V_{LIM_}/20$		V
BOOST						
Boost Switch Resistance		$V_{IN} = V_{CC} = 5.2V$, $I_{BST_} = 10mA$		4.5	8	Ω
POWER-GOOD OUTPUTS						
PGOOD_ Threshold		$V_{FB_}$ rising	88.5	92.5	96.5	%
		$V_{FB_}$ falling	85.5	89.5	93.5	
PGOOD_ Output Leakage	I_{LEAK_PGD}	$V_{PGOOD_} = 28V$, $V_{EN_} = 5V$, $V_{FB_} = 0.8V$			1	μA
PGOOD_ Output Low Voltage	V_{PGOOD_L}	$I_{PGOOD_} = 2mA$, $EN_ = SGND$			0.4	V
THERMAL SHUTDOWN						
Thermal Shutdown Threshold				+150		$^\circ C$
Thermal Shutdown Hysteresis		Temperature falling		20		$^\circ C$

Note 3: All *Electrical Characteristics* limits over temperature are 100% tested at room temperature and guaranteed by design over the specified temperature range.

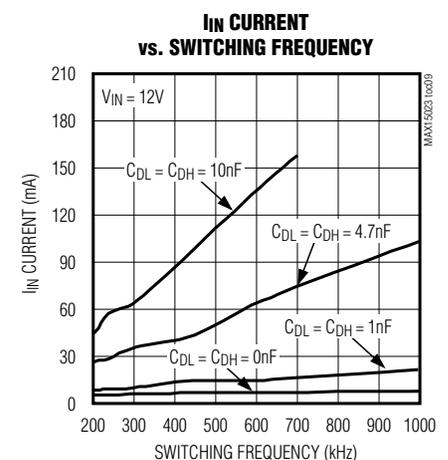
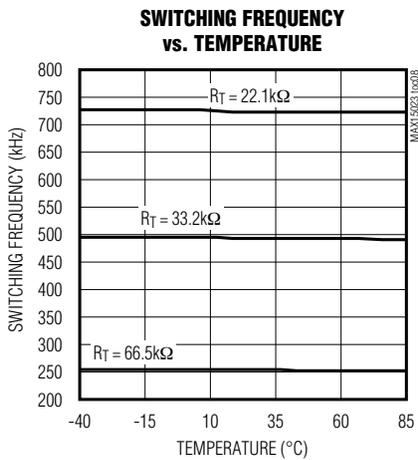
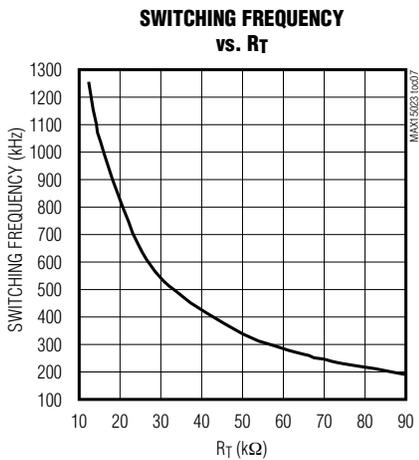
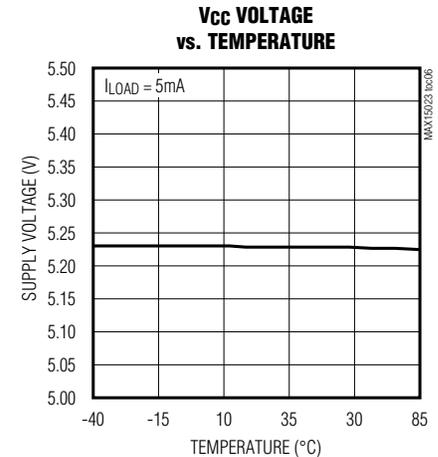
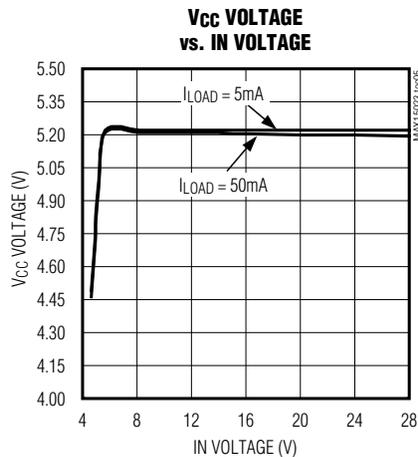
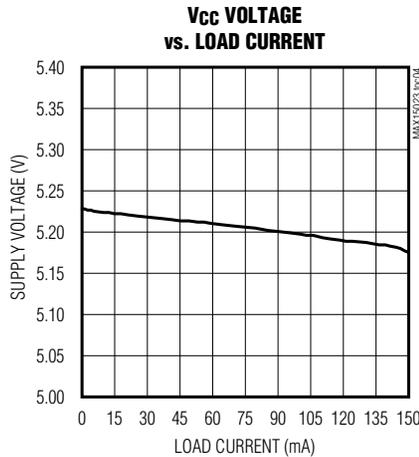
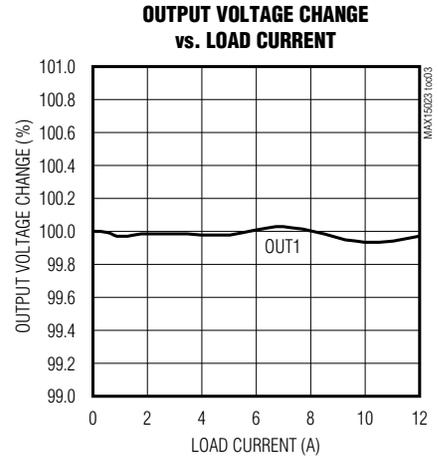
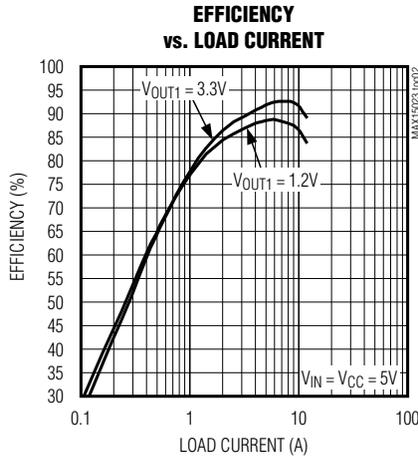
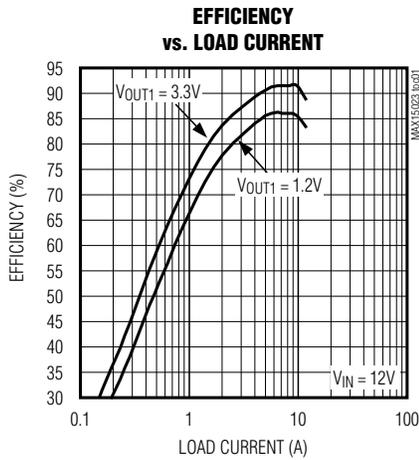
Note 4: Select R_T as $R_T(k\Omega) = \frac{24806}{(f_{SW}(kHz))^{1.0663}}$ (24806 has a $\frac{1}{farad}$ unit).

MAX15023

4.5V~28Vの広い入力、デュアル出力同期整流バックコントローラ

標準動作特性

(Supply = IN = 12V, unless otherwise noted. See *Typical Application Circuit* of Figure 6.)

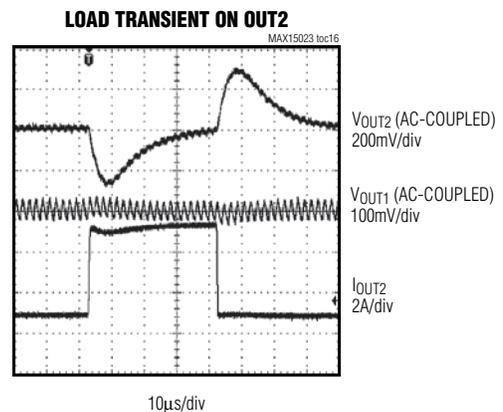
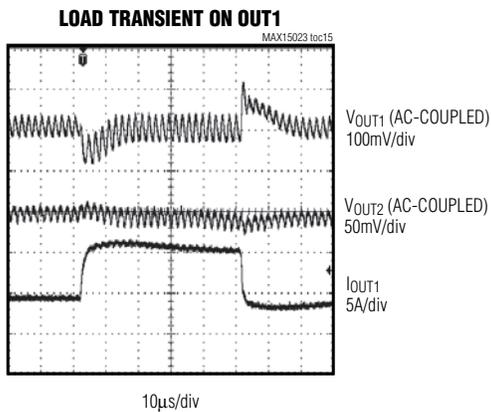
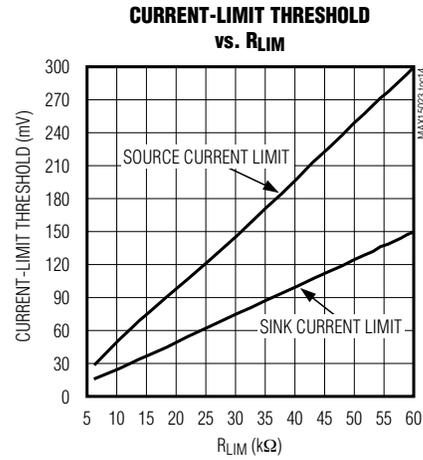
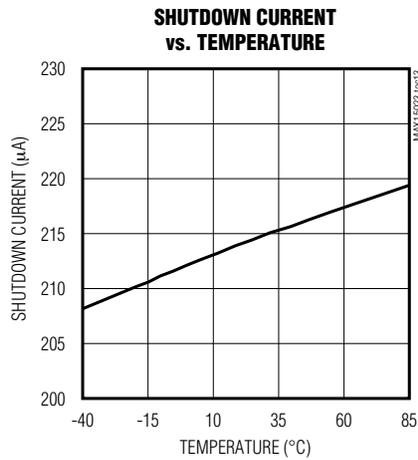
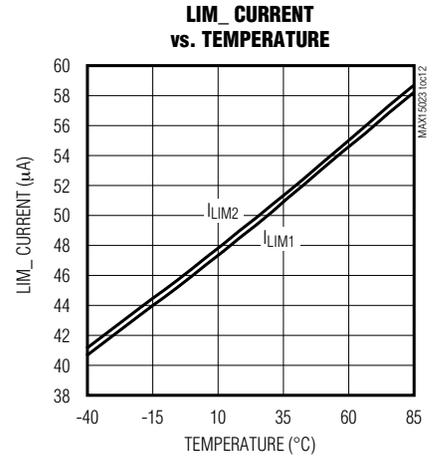
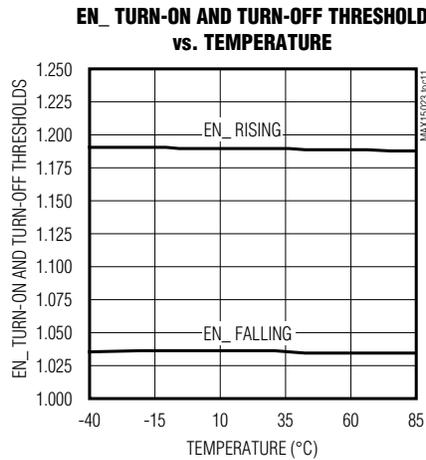
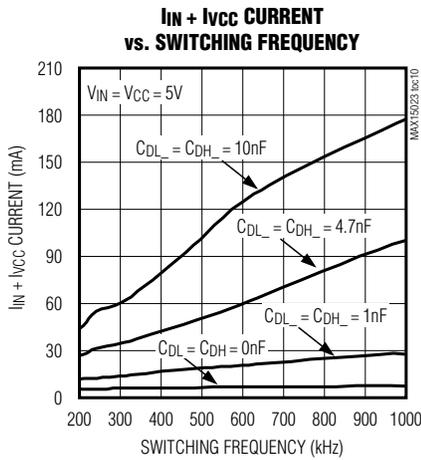


MAX15023

4.5V~28Vの広い入力、デュアル出力 同期整流バックコントローラ

標準動作特性(続き)

(Supply = $I_N = 12V$, unless otherwise noted. See *Typical Application Circuit* of Figure 6.)

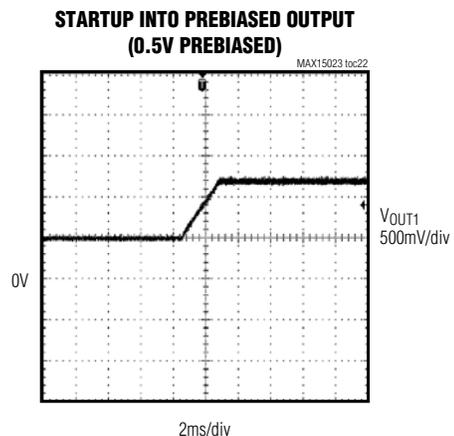
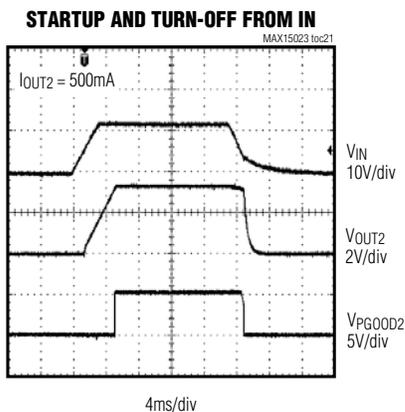
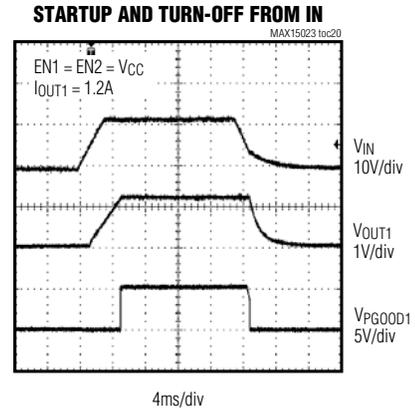
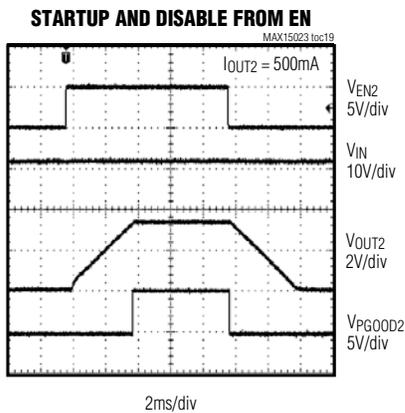
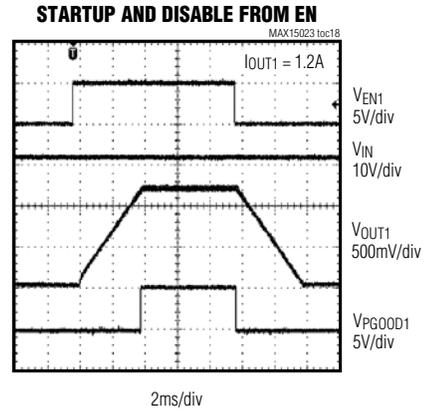
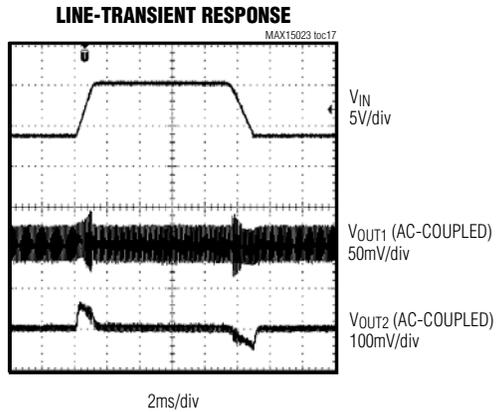


MAX15023

4.5V~28Vの広い入力、デュアル出力 同期整流バックコントローラ

標準動作特性(続き)

(Supply = $I_N = 12V$, unless otherwise noted. See *Typical Application Circuit* of Figure 6.)

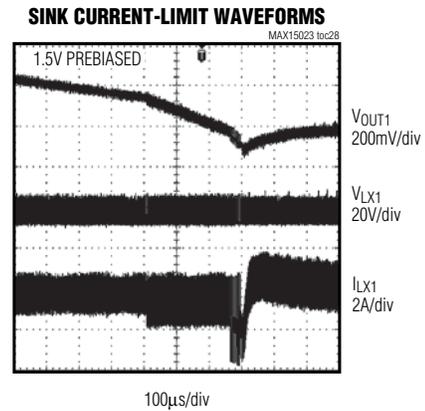
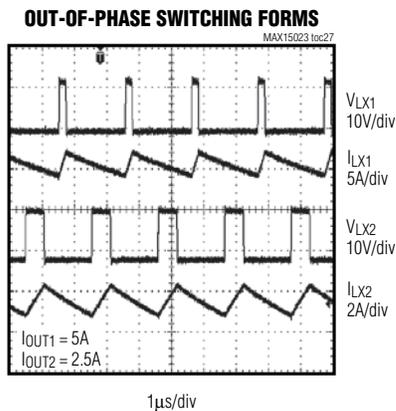
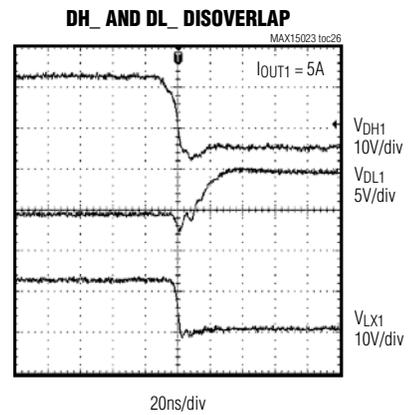
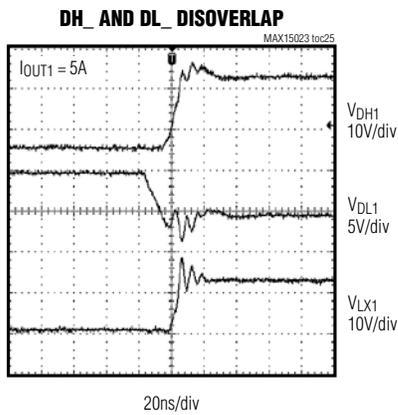
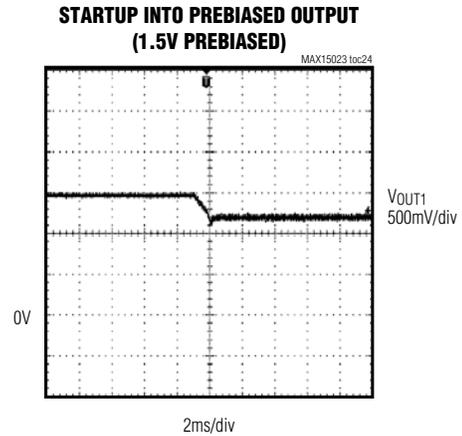
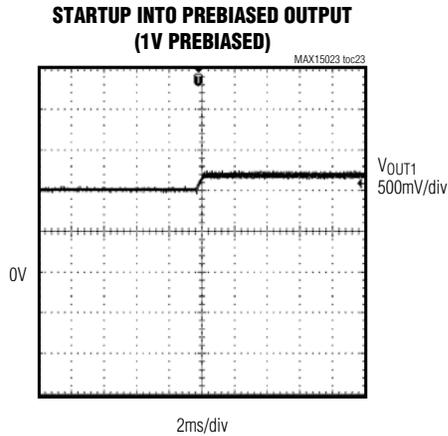


MAX15023

4.5V~28Vの広い入力、デュアル出力 同期整流バックコントローラ

標準動作特性(続き)

(Supply = $I_N = 12V$, unless otherwise noted. See *Typical Application Circuit* of Figure 6.)



MAX15023

4.5V~28Vの広い入力、デュアル出力 同期整流バックコントローラ

端子説明

端子	名称	機能
1	FB1	レギュレータ1のフィードバック入力。FB1を出力1とSGND間の抵抗分圧器に接続して、0.6V~(0.85 x 入力電圧(V))の範囲で出力電圧を調整してください。「出力電圧の設定」の項を参照してください。
2	EN1	レギュレータ1のアクティブハイのイネーブル入力。EN1の電圧が1.2V (typ)を超えると、コントローラはOUT1の安定化を開始します。電圧が1.05V (typ)を下回ると、レギュレータはオフになります。EN1入力は、電力シーケンシングの目的および第2のUVLOとして使用することができます。常時オンのアプリケーションの場合は、EN1をV _{CC} に接続してください。
3	EN2	レギュレータ2のアクティブハイのイネーブル入力。EN2の電圧が1.2V (typ)を超えると、コントローラはOUT2の安定化を開始します。電圧が1.05V (typ)を下回ると、レギュレータはオフになります。EN2入力は、電力シーケンシングの目的および第2のUVLOとして使用することができます。常時オンのアプリケーションの場合は、EN2をV _{CC} に接続してください。
4	PGOOD1	チャンネル1のパワーストック出力(オープンドレイン)。ロジック信号を得るために、28V以下の正の電圧に接続した外付け抵抗でPGOOD1をプルアップしてください。
5	DL1	レギュレータ1のローサイドゲートドライバ出力。DL1のスイング範囲はV _{CC} ~PGND1です。DL1はV _{CC} がUVLO立上りスレッショルド電圧に達するまでローです。
6	PGND1	ローサイドゲートドライバ電源リターン(レギュレータ1)。レギュレータ1のローサイドMOSFETのソースに接続してください。
7	LX1	レギュレータ1の外付けインダクタ接続。LX1をインダクタのスイッチング側に接続してください。LX1は、DH1ハイサイドゲートドライバの低位側電源レールおよび同期整流MOSFETのV _{DS} 降下(ドレイン端子)の検出入力として機能します。
8	BST1	レギュレータ1のブーストフライングコンデンサ接続。BST1とLX1間に100nF (min)のセラミックコンデンサを接続してください。
9	DH1	レギュレータ1のハイサイドゲートドライバ出力。DH1のスイング範囲はLX1~BST1です。DH1はV _{CC} がUVLO立上りスレッショルド電圧に達するまでローです。
10	DH2	レギュレータ2のハイサイドゲートドライバ出力。DH2のスイング範囲はLX2~BST2です。DH2はV _{CC} がUVLO立上りスレッショルド電圧に達するまでローです。
11	BST2	レギュレータ2のブーストフライングコンデンサ接続。BST2とLX2間に100nF (min)のセラミックコンデンサを接続してください。
12	LX2	レギュレータ2の外付けインダクタ接続。LX2をインダクタのスイッチング側に接続してください。LX2は、DH2ハイサイドゲートドライバの低位側電源レールおよび同期整流MOSFETのV _{DS} 降下(ドレイン端子)の検出入力として機能します。

MAX15023

4.5V~28Vの広い入力、デュアル出力 同期整流バックコントローラ

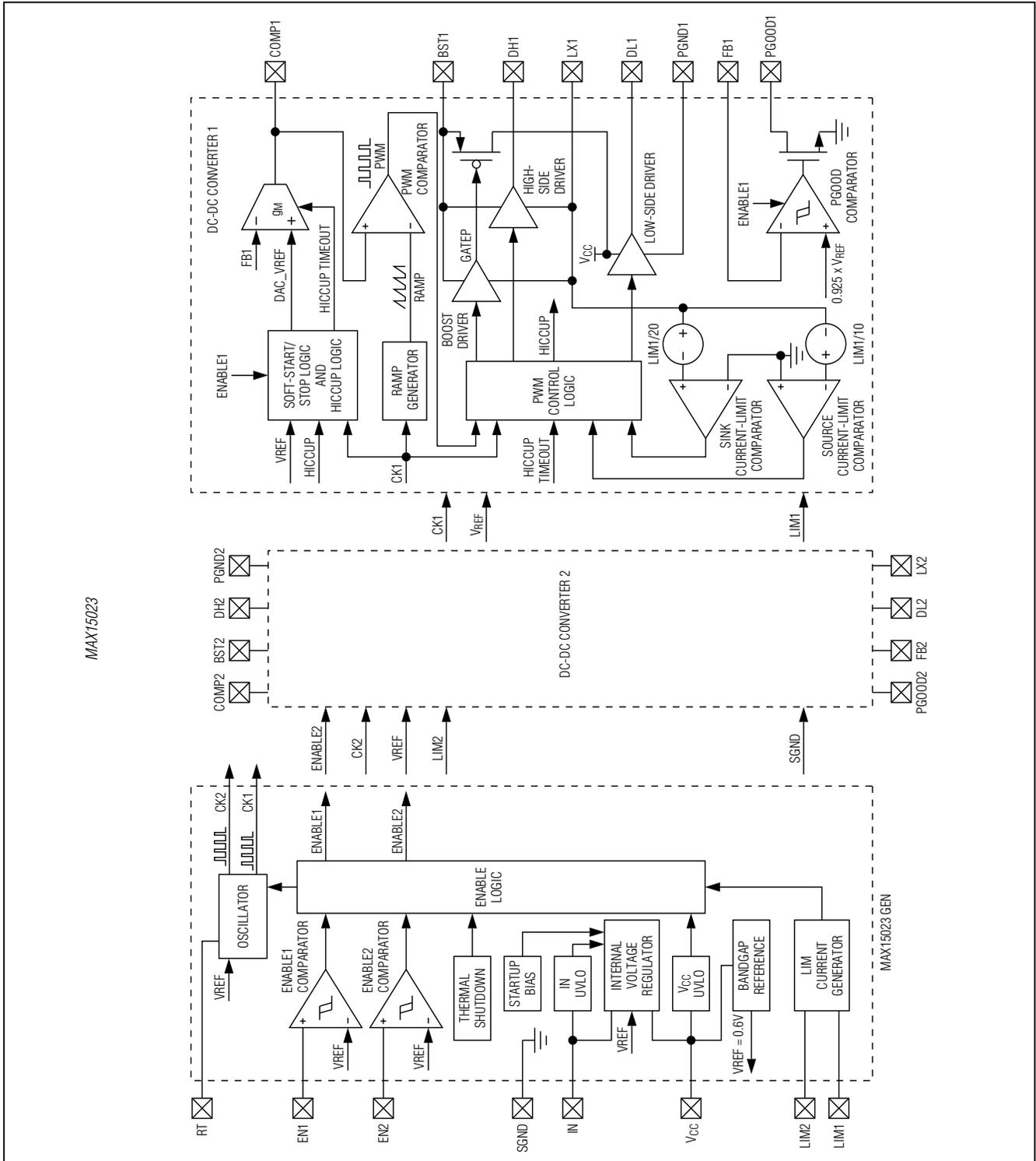
端子説明(続き)

端子	名称	機能
13	PGND2	ローサイドゲートドライバ電源リターン(レギュレータ2)。レギュレータ2のローサイドMOSFETのソースに接続してください。
14	DL2	レギュレータ2のローサイドゲートドライバ出力。DL2のスイング範囲は V_{CC} ~PGND2です。DL2は V_{CC} がUVLO立上りスレッショルド電圧に達するまでローです。
15	PGOOD2	チャンネル2のパワーグッド出力(オープンドレイン)。ロジック信号を得るために、28V以下の正の電圧に接続した外付け抵抗でPGOOD2をプルアップしてください。
16	V_{CC}	内蔵5.2Vリニアレギュレータ出力およびデバイスのコア電源。内蔵レギュレータを使用する場合は、 V_{CC} とSGND間に4.7 μ F (min)の低ESRセラミックコンデンサを接続してください。5V動作の場合 V_{CC} はINに接続され、デカップリング用として2.2 μ Fのセラミックコンデンサが適切です(「標準アプリケーション回路」を参照)。
17	FB2	レギュレータ2のフィードバック入力。FB2を出力2とSGND間の抵抗分圧器に接続して、0.6V~(0.85 x 入力電圧(V))の範囲で出力電圧を調整してください。「出力電圧の設定」の項を参照してください。
18	COMP2	レギュレータ2の補償端子。「補償」の項を参照してください。
19	RT	発振器タイミング抵抗入力。RTとSGND間に抵抗を接続して、発振器の周波数を200kHz~1MHzの範囲で設定してください(「スイッチング周波数の設定」の項を参照)。
20	SGND	信号グランド。SGNDをSGNDプレーンに接続してください。SGNDは両方のチャンネルの同期整流MOSFETの V_{DS} 降下(ソース端子)の検出入力としても機能します。
21	IN	内蔵 V_{CC} レギュレータ入力。内蔵リニアレギュレータ(V_{CC})を使用する場合は、INとSGND間に1 μ F (min)のセラミックコンデンサを接続してください。5V \pm 10%の範囲の動作時には、INを V_{CC} に接続してください。
22	LIM2	レギュレータ2の電流制限調整。LIM2とSGND間に抵抗(R_{LIM2})を接続して、電流制限スレッショルド(V_{ITH2})を30mV ($R_{LIM2} = 6k\Omega$)~300mV ($R_{LIM2} = 60k\Omega$)の範囲で調整してください。「サイクル単位のローサイドソースピーク電流制限の設定」の項を参照してください。
23	LIM1	レギュレータ1の電流制限調整。LIM1とSGND間に抵抗(R_{LIM1})を接続して、電流制限スレッショルド(V_{ITH1})を30mV ($R_{LIM1} = 6k\Omega$)~300mV ($R_{LIM1} = 60k\Omega$)の範囲で調整してください。「サイクル単位のローサイドソースピーク電流制限の設定」の項を参照してください。
24	COMP1	レギュレータ1の補償端子。「補償」の項を参照してください。
—	EP	エクスポーズドパッド。放熱を向上させるために、EPをSGNDと同電位の大面积の銅プレーンに接続してください。主なICのSGNDグランド接続として使用しないでください。

MAX15023

4.5V~28Vの広い入力、デュアル出力 同期整流バックコントローラ

ファンクションダイアグラム



MAX15023

4.5V~28Vの広い入力、デュアル出力 同期整流バックコントローラ

詳細

デュアル、同期整流ステップダウンコントローラのMAX15023は、5.5V~28Vまたは5V ±10%の入力電圧範囲で動作し、2つの個別の出力電圧を生成します。コントローラの入力バイアス電圧が指定範囲内である限り、入力電源バスは4.5V以下とすることも可能で、3.3Vレールからのステップダウン変換も可能です。両方の出力電圧を0.6V~レギュレータの入力電圧の85%の範囲で設定可能です。各出力は12A以上の負荷に対応可能です。レギュレータのスイッチングシーケンスは交互に行われる180°逆位相動作のため、入力電圧リップルおよび総RMS入力リップル電流が低減します。

高精度ターンオン/ターンオフスレッショルド(±4.2%)を備えたイネーブル入力により、外部UVLOを高精度で設定することができます。パワーグッド(PGOOD)オープンドレイン出力を使用した電源シーケンシングが可能です。

MAX15023は低出力電圧(最小0.6V)および大出力電流(12A以上)を供給する能力があるため、セットトップボックスなどにおいて5Vまたは12Vバスのポストレギュレーションを行って低電圧/大電流を供給するアプリケーションに最適です。

スイッチング周波数は、外付け抵抗を使用して200kHz~1MHzの範囲で調整可能です。MAX15023の適応型同期整流によって、外付けのフリーホイールショットキーダイオードが不要になります。

MAX15023は、電圧モード制御と外部補償を使用します。また、このデバイスはサイクル単位のローサイドソースピーク電流制限を利用して過電流保護を行い、インダクタのフリーホイール時間中に外付けのローサイドMOSFETのオン抵抗が電流検出素子として使用されるため、電流検出抵抗が不要です。電流制限スレッショルド電圧は、各レギュレータに対して個別に30mV~300mVの範囲で抵抗により調整可能で、温度補償されるため全温度範囲でのMOSFETの $R_{DS(ON)}$ の変動の影響が低減します。ヒカップモード電流制限は、長時間の短絡状態時に平均電流および電力損失を低減します。

また、MAX15023は独自の適応型内蔵デジタルソフトスタートを備え、出力を放電せずにプリバイアスされた起動が可能です。適応型デジタルソフトスタートは、ループ電圧リファレンスに基づいて動作することにより、ソフトスタートシーケンス中に電流制限スレッショルドに達した場合、自動的にソフトスタート時間を延長します。これによって、大きい未知の量の出力容量をスムーズに立ち上げる能力が増大します。また、ソフトスタートはヒカップモード短絡保護時に起動されるため、同じ電圧リファレンスロールバックアルゴリズムによって、安定した短絡または過負荷状態でのピークインダクタ電流に対する十分な制御が実現されます。

追加の保護機能(サイクル単位のローサイドシンクピーク電流制限)は、設定された安定状態の安定化レベルをプリバイアス電圧が上回っているか、または別の電圧

ソースが強制的に出力をそれ以上にしようとしている場合に、レギュレータが過大な電流をシンクするのを防止します。これによって、レギュレータが出力から電流をシンクしているときに同期整流MOSFETおよびハイサイドMOSFETのボディダイオードに危険なレベルの電流ストレスがかかりません。

サーマルシャットダウンは、過度の電力損失からMAX15023を保護します。

DC-DC PWMコントローラ

ステップダウンコントローラのMAX15023は、個々のチャンネルに対してPWM電圧モード制御方式を使用しています(「ファンクションダイアグラム」を参照)。動作周波数および出力LCフィルタ部品の選択について最大限の柔軟性を提供するために、制御ループの補償は外部で行うようになっています。内蔵のトランスコンダクタンスエラーアンプは、DC精度の向上に役立つ積分された誤差電圧をCOMP₁に生成します。COMP₁の電圧によって、PWMコンパレータおよびランプジェネレータを使用してデューティサイクルが設定されます。内部クロックの立上りエッジで、各レギュレータのハイサイドnチャンネルMOSFETがオンになり、適切なデューティサイクルまたは最大デューティサイクルのいずれかに達するまでオンのままになります。ハイサイドMOSFETのオン時間の間、インダクタ電流が漸増します。スイッチングサイクルの後半は、ハイサイドMOSFETがオフになってローサイドnチャンネルMOSFETがオンになります。インダクタ電流の減少とともにインダクタは蓄積されたエネルギーを解放して、出力に電流を供給します。選択されたサイクル単位のローサイドソースピーク電流制限スレッショルド(「電流制限回路(LIM₁)」の項を参照)をインダクタ電流が上回る過負荷状態では、後続のクロック立上りエッジでハイサイドMOSFETはオンにならず、ローサイドMOSFETはオンのままになってインダクタ電流を減少させます。

交互に行われる逆位相動作

MAX15023の2つの個別のレギュレータは、180°逆位相で動作することによって入力フィルタの要件を軽減し、電磁干渉(EMI)を低減し、効率を向上させます。これによって部品コストと基板スペースが効果的に削減されるため、MAX15023はコストに敏感なアプリケーションに最適です。

内蔵発振器周波数を分周することによって、各レギュレータ用の個別のクロック信号が得られます。2つのクロック信号の位相差は180°で、ハイサイドMOSFETは逆位相でオンになります。両方のレギュレータの瞬時入力電流ピークが重なることはないため、RMSリップル電流および入力電圧リップルが低減します。その結果、より低いリップル電流定格の入力コンデンサや、より小数または低コストのコンデンサの使用が可能になるとともに、EMIフィルタおよびシールドの要件が軽減されます。

4.5V~28Vの広い入力、デュアル出力 同期整流バックコントローラ

内蔵5.2Vリニアレギュレータ

MAX15023の内蔵機能およびMOSFETドライバは、 $5V \pm 10\%$ の電源電圧で動作するように設計されています。利用可能な電源電圧が5.5Vを超える場合は、5.2Vの内蔵ロードロップアウトリニアレギュレータが内部機能およびMOSFETドライバへの給電(V_{CC})に使用されます。外部 $5V \pm 10\%$ 電源電圧が利用可能な場合は、 I_N および V_{CC} を5V電源に接続することができます。レギュレータの最大入力電圧(V_{IN})は28Vです。レギュレータを使用する場合、レギュレータの入力(I_N)とSGND間に $1\mu F$ のセラミックコンデンサを接続する必要があります。レギュレータの出力(V_{CC})とSGND間に、 $4.7\mu F$ のセラミックコンデンサを接続してください。 V_{CC} のドロップアウト電圧は70mV (typ)のため、 V_{IN} が5.5V以上の場合に V_{CC} は5.2V (typ)になります。MAX15023はUVLO回路も採用しており、 V_{CC} が3.8V (typ)を下回ったときに両方のレギュレータをディセーブルします。430mVのUVLOヒステリシスは、パワーアップ/パワーダウン時のチャタリングを防止します。

内蔵 V_{CC} リニアレギュレータは最大100mAを供給可能で、ICへの給電、ローサイドゲートドライバの駆動、外付けブーストコンデンサの充電、および小さい外部負荷への給電に使用されます。外部負荷で利用可能な電流は、MOSFETゲート駆動のための消費電流によって決まります。

たとえば、600kHzでのスイッチング時、総ゲート電荷($V_{GS} = 5V$ 時)が $18nC$ の1つのMOSFETには $18nC \times 600kHz \cong 11mA$ が必要です。4つのMOSFETが駆動され、内部制御機能によって6mA (max)が使用されるため、外部負荷で利用可能な電流は次のようになります。

$$(100 - (4 \times 11)) - 6mA \cong 50mA$$

MOSFETゲートドライバ(DH_、DL_)

DH_およびDL_ドライバは、大型nチャネルパワーMOSFETの駆動用に最適化されています。通常動作状態および起動後には、DL_のローサイド駆動波形は常にDH_のハイサイド駆動波形と相補的になります(制御されたデッドタイムにより交差導通または貫通電流を防止)。個々のチャネルに対して適応型デッドタイム回路がDH_およびDL_出力を監視し、一方のMOSFETが完全にオフになるまで反対側のMOSFETがオンになるのを防ぎます。これによって、この回路はDL_ゲートドライバがオフになったあとでのみハイサイドドライバがオンになるようにします。同様に、DH_ゲートドライバがオフになるまでローサイド(DL_)がオンになるのを防ぎます。

適応型ドライバデッドタイムによって、広範なMOSFETで貫通電流のない動作が可能になり、遅延が最小限に抑えられて効率が維持されます。適応型デッドタイム回路が適切に動作するためには、DL_およびDH_ドライバとMOSFETのゲート間に、低抵抗、低インダクタン

スの経路が存在する必要があります。これが存在しないと、ゲート放電経路の浮遊インピーダンスが原因で、MOSFETの V_{GS} がまだハイの間に検出回路がMOSFETのゲートをオフと認識する可能性があります。浮遊インピーダンスを最小限に抑えるために、非常に短く、太いトレースを使用してください(MOSFETとドライバ間の距離が1インチの場合で50mil~100mil幅)。

同期整流は、通常ローサイドで使用されるショットキーキャッチダイオードの代わりに低抵抗のMOSFETスイッチを使用することによって整流器の導通損失を低減します。DL_をローに駆動する内蔵プルダウントランジスタは強力で、オン抵抗は 0.75Ω (typ)です。この低オン抵抗には、LX_端子の高速立上り時間中にローサイド同期整流MOSFETのドレインとゲート間の容量性結合が原因でDL_がプルアップされるのを防ぐ効果があります。

ハイサイドゲート駆動電源(BST_)と 内蔵ブーストスイッチ

ハイサイドMOSFETは、BST_とDH_間の内蔵スイッチを閉じることによってオンになります。これによって、ハイサイドMOSFETをオンにするために必要なゲートソース間電圧が提供され、この動作によりゲート駆動信号が V_{IN} 以上にブーストされます。BST_とLX_間に接続されたブーストコンデンサは、ハイサイドMOSFETのオン時間の間ゲートドライバ両端間の電圧を維持します。

ゲート電荷を供給するためにブーストコンデンサが失った電荷は、ハイサイドMOSFETがオフになりLX_端子がグランドまで低下するときに補給されます。対応するLX_端子がローのとき、 V_{CC} とBST_間に接続された内蔵高電圧スイッチがブーストコンデンサを V_{CC} 電圧まで充電します。外付けのブーストダイオードは不要です。適切なブーストコンデンサのサイズの選択については、「設計手順」の項の「ブーストフライングコンデンサの選択」の項を参照してください。

イネーブル入力(EN_)、適応型ソフトスタート およびソフトストップ

MAX15023を使用して、2つの個別の出力を安定化することができます。各位相のイネーブル入力(EN1およびEN2)を制御することによって、2つの出力のそれぞれを個別にオン/オフすることが可能です。

個々のイネーブル端子をロジックハイにすると、対応するチャネルがオンになります。次に、エラーアンプのリファレンス電圧を段階的に増大することによってソフトスタートシーケンスが開始されます。ソフトスタートの立上り時間は2048スイッチングサイクルで、分解能は安定状態の安定化電圧の $1/64$ であるため、出力電圧のスムーズな増大が可能です。個々のEN_をロジックローにすると、エラーアンプのリファレンス電圧を段階的に低下させることによってソフトストップシー

MAX15023

4.5V~28Vの広い入力、デュアル出力 同期整流バックコントローラ

ケンスが開始されます。ソフトストップシーケンスの完了後は、両方のMOSFETドライバがオフになります。詳細については、図1を参照してください。

常時オンの動作とする場合は、EN1およびEN2をV_{CC}に接続してください。高精度のターンオン/ターンオフスレッシュホールドを備えているため、EN1およびEN2はUVLO調整入力としての使用およびPGOOD_出力とともに電源シーケンス用としての使用も可能です(「イネーブル入力(EN_)の設定」の項を参照)。

ソフトスタートの適応型動作は、ソフトスタート立上りシーケンス中にサイクル単位のローサイドソースピーク電流制限に達した場合に明確になります。この場合、内部リファレンスの立上り速度が低減され、PWMコントローラは出力電圧ではなくインダクタ電流を制限値付近に安定化しようとしています。ソフトスタート時間は、最大4096クロックサイクル(通常のソフトスタート時間の2倍)まで延長可能です。この実装によって、出力

コンデンサの充電中にLX電流を制限値以下に維持するために必要となる時間に、ソフトスタート時間を自動的に適応させることが可能です。

ソフトスタートはヒカップモード短絡保護によって起動されるため、その他の詳細については「ヒカップモード過電流保護」の項も参照してください。

パワーグッド出力(PGOOD_)

MAX15023は、レギュレータの出力電圧を監視してパワーグッドスレッシュホールド(公称FB電圧の92.5%に固定)を検出する2つのパワーグッドコンパレータを内蔵しています。PGOOD_出力はオープンドレインのため、外付け抵抗を使用して駆動対象のロジック入力の電源電圧にプルアップしてください。この電圧は28Vを超えないようにしてください。ローのときは最大2mAの電流をシンク可能です。

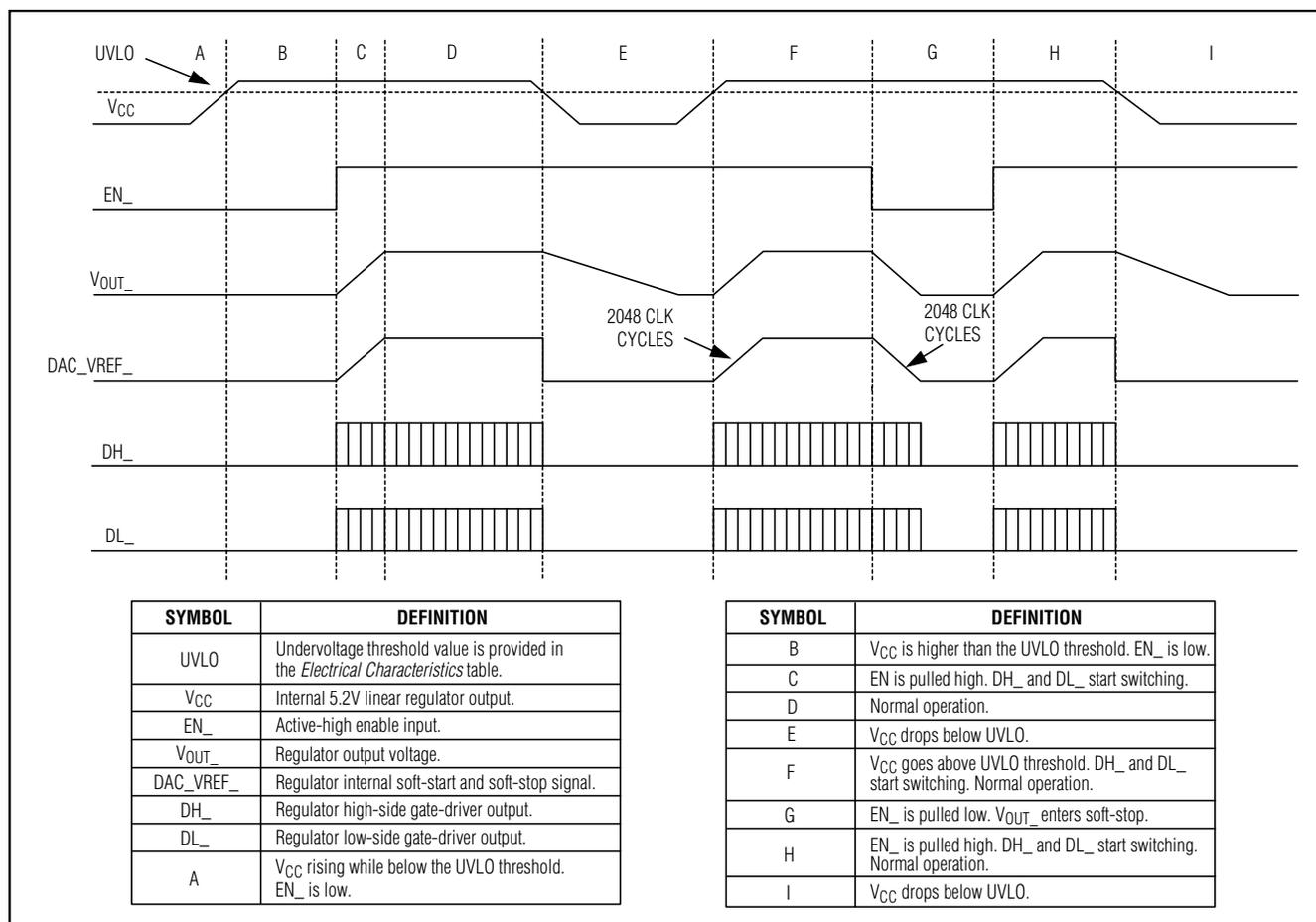


図1. MAX15023の詳細なパワーオン/パワーオフシーケンス

4.5V~28Vの広い入力、デュアル出力 同期整流バックコントローラ

対応するレギュレータ出力が公称安定化電圧の92.5%を上回ったときに、各PGOOD_nはハイ(ハイインピーダンス)になります。対応するレギュレータ出力電圧が公称安定化電圧の89.5% (typ)を下回ったときに、各PGOOD_nはローになります。PGOOD_nは、2つのレギュレータのパワーオンリセットまたは電源シーケンシングとして使用することができます。

ヒカップタイムアウト時間中、PGOOD_nはローにプルダウンされます。

プリバイアス出力に対する起動

コントローラがプリバイアス出力に対して起動する場合、PWMコンパレータが最初のPWMパルスを発行するまでDH_n/DL_nの相補的なスイッチングシーケンスは抑止されます。それまでDH_nおよびDL_nはオフに維持され、コンバータは出力から電流をシンクしません。最初のPWMパルスは、リファレンス電圧が漸増してFB_nの電圧を上回るか、内部ソフトスタート時間が終了した時点で発生します。

電流制限回路(LIM_n)

電流制限回路は、ローサイドMOSFETのオン抵抗を電流検出素子として使用することによって高コストの検出抵抗を不要にする、サイクル単位のローサイドソースおよびシンク電流検出アルゴリズムを採用しています。電流制限回路は、全温度範囲にわたるMOSFETのオン抵抗の変動に追従するための温度補償も備えています。電流制限値は各チャンネルに対してLIM_nの外付け抵抗により調整可能で(「標準アプリケーション回路」を参照)、広範なオン抵抗特性のMOSFETに対応します(「設計手順」の項を参照)。サイクル単位のローサイドソースピーク電流制限の調整範囲は30mV~300mVで、6kΩ~60kΩの抵抗値に相当します。ローサイドMOSFETのサイクル単位のローサイドソースピーク電流制限スレッショルドは正確にLIM_nの電圧の1/10で、サイクル単位のローサイドシンクピーク電流制限スレッショルドはLIM_nの電圧の1/20です。

MAX15023は、SGNDを使用して両方のチャンネルのローサイドMOSFETのソース端子の電圧を検出し、LX_nを使用して各ローサイドMOSFETのドレイン電圧を検出します。各チャンネルのLX_nとSGNDにおいてノイズおよびシステムの誤差による電流検出信号の劣化がないことを確保するために、「PCBレイアウトのガイドライン」の項を十分に遵守してください。

サイクル単位のローサイドソースピーク電流制限は、ローサイドMOSFETのオン時間中にインダクタ電流が通常の方向に流れ、ドレイン(LX_n)がソース(SGNDにより検出)より負側である場合に動作します。ローサイドMOSFETのオン時間中に電流検出信号の大きさがサイクル単位のローサイドソースピーク電流制限スレッショ

ルドを上回った場合、コントローラは新しいPWMサイクルを開始せず、次のサイクルでインダクタ電流を減衰させます。サイクル単位のローサイドソースピーク電流検出が採用されているため、実際のピーク電流はインダクタリップル電流の量だけ電流制限スレッショルドより大きくなります。そのため、正確な電流制限の特性および最大負荷能力は、ローサイドMOSFETのオン抵抗、電流制限スレッショルド、インダクタ値、および入力電圧の関数になります。

サイクル単位のローサイドシンクピーク電流制限も、ローサイドMOSFETでの電圧降下を監視することによって実現されますが、極性が逆です(ドレインがソースよりも正側)。ローサイドMOSFETのオン時間中の任意の時点でこの電圧降下が対応するLIM_n端子の電圧の1/20を超えた場合、ローサイドMOSFETがオフになり、インダクタ電流はハイサイドMOSFETを介して出力から逆流します。サイクル単位のローサイドシンクピーク電流制限がアクティブ化した場合、DH_nとDL_nのスイッチングシーケンスは相補的ではなくなります。

ヒカップモード過電流保護

ヒカップモード過電流保護は、短絡や激しい過負荷状態が長時間続く場合に消費電力を低減します。

ソフトスタートシーケンスの完了後、個々のスイッチングサイクルにおいてサイクル単位のローサイドソースピーク電流制限スレッショルドに達した場合、3ビットのカウンタがインクリメントされます。スレッショルドに達しなかった場合は、各スイッチングサイクルでカウンタがデクリメントされ、ゼロ(000)で停止します。

サイクル単位のローサイドソースピーク電流制限状態が継続する場合、カウンタが増大して111 (= 7イベント)に達します。その時点で、コントローラはDL_nとDH_nの両方のドライバを停止し、7936スイッチングサイクルだけ待ちます(ヒカップタイムアウト遅延)。この遅延後、コントローラは新しいソフトスタートシーケンスを開始します。

ソフトスタート時間中にサイクル単位のローサイドソースピーク電流制限イベントが発生した場合も、インダクタ電流を制御するためにターンオンサイクルが省略されますが、3ビットのカウンタがフルになってもソフトスタートシーケンスは終了しません。代わりに、サイクル単位のローサイドソースピーク電流制限イベントの発生回数に基づいてソフトスタートの立上りが低速化またはロールバックされ、PWMコントローラは出力電圧ではなくインダクタ電流を制限値付近に安定化しようとしています。

この独自の技法により、デューティサイクルの飽和を防ぎ、オン時間を制限することで、ハイサイドMOSFETがオンになるたびにピークインダクタ電流に達します。

MAX15023

4.5V~28Vの広い入力、デュアル出力 同期整流バックコントローラ

非理想的な短絡が出力に印加された場合、出力電圧は出力インピーダンスとこのフェーズ中における制限されたインダクタ電流との積に等しくなります。ソフトスタート時間の最大許容制限(通常のソフトスタート時間の2倍)に達すると、コントローラは7936クロックサイクルの間オフのままになったあと、再度ソフトスタートを試みます。

低電圧ロックアウト

MAX15023は、 V_{CC} の電圧を監視するための低電圧ロックアウト(UVLO)回路を内蔵しています。UVLO回路は、MOSFETドライバ用または内部制御機能用の電圧が低すぎる場合にMAX15023が動作するのを防ぎます。 V_{CC} の立下りスレッシュホールドは3.8V (typ)で、電源電圧の立下り/立下りエッジでのチャタリングを防止するために430mVのヒステリシスを備えています。 V_{CC} がUVLOの立下りスレッシュホールド電圧に達するまでは、 DL_{-} および DH_{-} はローのままになってスイッチングを抑制します。

熱過負荷保護

熱過負荷保護は、MAX15023内の総消費電力を制限します。デバイスのチップ接合部温度が $T_J = +150^{\circ}\text{C}$ を超えた場合、チップ内蔵の温度センサーがデバイスをシャットダウンし、 DL_{-} および DH_{-} を強制的にローにすることによってICの温度を低下させます。接合部温度が 20°C 低下すると、温度センサーはデバイスを再びオンにします。サーマルシャットダウン中は、レギュレータがシャットダウンされ、ソフトスタートがリセットされます。熱過負荷保護は、LDOレギュレータの消費電力、過度の駆動損失、またはその両方によってトリガされます。そのため、総消費電力(「消費電力」の項を参照)を十分に評価して、通常動作時に不要な熱過負荷保護がトリガされるのを防いでください。

設計手順

有効入力電圧範囲

MAX15023コントローラは最大28Vの入力電源で動作して最小0.6Vに安定出力が可能ですが、電圧変換比(V_{OUT}/V_{IN})の最小値は、制御可能な最小オン時間によって制限される場合があります。正常な固定周波数PWM動作のためには、電圧変換比が次の条件を満たすようにしてください。

$$\frac{V_{OUT}}{V_{IN}} > t_{ON(MIN)} \times f_{SW}$$

ここで、 $t_{ON(MIN)}$ は100ns (max)で、 f_{SW} はスイッチング周波数(単位: Hz)です。目的の電圧変換が上記の条件に適合しない場合は、実効デューティサイクルを減少させるためにパルススキップ動作が発生します。これ

を防止するには、スイッチング周波数を低下させるか、または入力電圧 V_{IN} を低下させてください。

電圧変換比の最大値は、最大デューティサイクル(D_{max})によって制限されます。

$$\frac{V_{OUT}}{V_{IN}} < D_{max} - \frac{D_{max} \times V_{DROP2} + (1 - D_{max}) \times V_{DROP1}}{V_{IN}}$$

ここで、 V_{DROP1} は、同期整流器、インダクタ、およびPCBの抵抗を含む、インダクタ放電経路の寄生電圧降下の合計です。 V_{DROP2} は、ハイサイドスイッチ、インダクタ、およびPCBの抵抗を含む、充電経路の電圧降下の合計です。実際には、十分な負荷過渡応答を得るために、適切なマージンを設けて上記の条件を満たしてください。

イネーブル入力(EN_{-})の設定

個々のコントローラは、アナログ電圧(1.2V)基準のイネーブル入力を備えています。電圧が1.2Vを超えると、レギュレータがイネーブルされます。第2のUVLOとして機能する特定のターンオンスレッシュホールドを設定する場合は、抵抗分圧回路を使用することができます(図2を参照)。

R_2 (EN_{-} とSGND間の抵抗)には200k Ω 以下の値を選択してください。 R_1 (V_{MON} と EN_{-} 間の抵抗)は、次式を使用して計算してください。

$$R_1 = R_2 \left[\left(\frac{V_{MON}}{V_{EN_H_}} \right) - 1 \right]$$

ここで、 $V_{EN_H_} = 1.2\text{V}$ (typ)です。

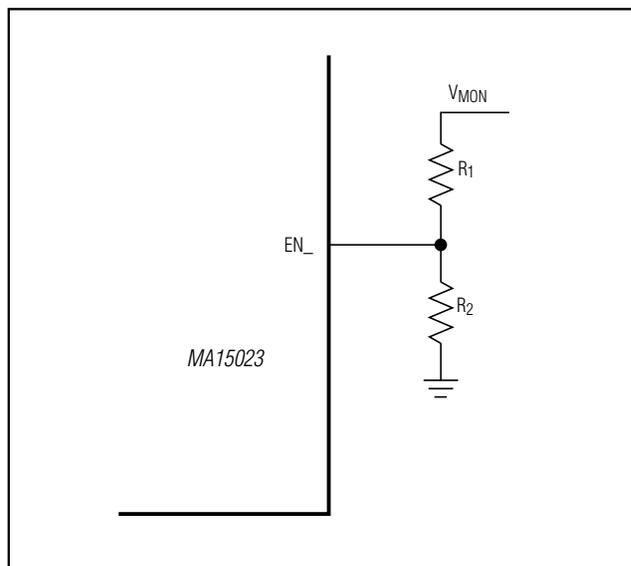


図2. 可変イネーブル電圧

4.5V~28Vの広い入力、デュアル出力同期整流バックコントローラ

出力電圧の設定

MAX15023の各チャネルの出力電圧は、出力とFB₋およびSGNDの間に抵抗分圧器を接続することによって設定してください(図3)。R₂ (FB₋とSGND間の抵抗)には16kΩ以下を選択してください。R₁ (OUT₋とFB₋間の抵抗)は、次式を使用して計算してください。

$$R_1 = R_2 \left[\left(\frac{V_{OUT_}}{V_{FB_}} \right) - 1 \right]$$

ここで、V_{FB₋} = 0.6V (typ) (「Electrical Characteristics (電気的特性)」の表を参照)、V_{OUT₋}の範囲は0.6V~(0.85 × V_{IN})が可能です。

抵抗R₁は、タイプIII補償回路の設計にも関係します。タイプIII補償回路を使用する場合は、必ず「タイプIII補償回路(図5を参照)」の項に従ってR₁およびR₂の値を検討してください。

スイッチング周波数の設定

個々のチャネルのスイッチング周波数(f_{SW})は、R_TとSGND間に接続する抵抗(R_T)によって設定されます。f_{SW}とR_Tの関係は、次のとおりです。

$$R_T = \frac{24806}{(f_{SW})^{1.0663}}$$

ここで、f_{SW}の単位はkHz、R_Tの単位はkΩ、24806の単位は1/faradです。たとえば、600kHzのスイッチング周波数は、R_T = 27.05kΩによって設定されます。周波数が高いほど、より低いインダクタ値と出力容量を使用する設計が可能になります。その結果、スイッチング周波数が高いほどピーク電流とI²R損失が減少しますが、コア損失、ゲート充電電流、およびスイッチング損失は増大します。

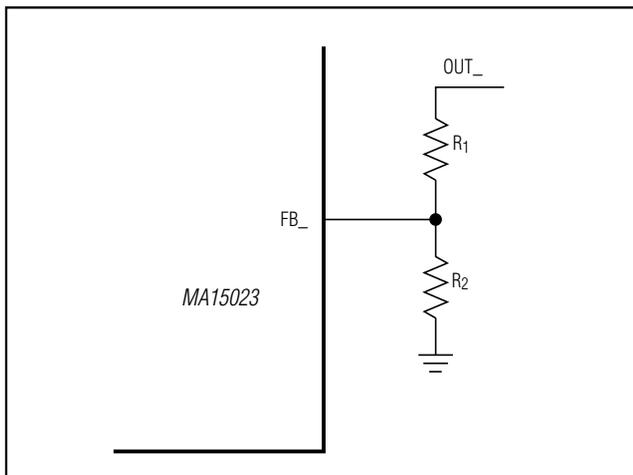


図3. 可変出力電圧

インダクタの選択

MAX15023による動作のためには、インダクタンス値(L)、インダクタ飽和電流(I_{SAT})、およびDC抵抗(R_{DC})の、3つの主要なインダクタのパラメータを指定する必要があります。インダクタンス値を選択するには、最初にインダクタのピークツーピークAC電流とDC平均電流の比率(LIR)を選択する必要があります。サイズと損失の間の適切な妥協点の1つは、ピークツーピークリップル電流と平均電流の比率が30%の場合(LIR = 0.3)です。その後、スイッチング周波数、入力電圧、出力電圧、および選択したLIRによって、次式のようにインダクタ値が決定されます。

$$L = \frac{V_{OUT}(V_{IN} - V_{OUT})}{V_{IN} f_{SW} I_{OUT} LIR}$$

ここで、V_{IN}、V_{OUT}、およびI_{OUT}は標準値です(標準的な条件に対して効率が最適化されます)。スイッチング周波数は、R_Tによって設定されます(「スイッチング周波数の設定」の項を参照)。正確なインダクタ値は重要ではなく、サイズ、コスト、効率、および過渡応答の要件間でトレードオフを行うために調整することができます。インダクタの値が小さいほどサイズとコストが最小限に抑えられ、過渡応答も改善されますが、ピーク電流が増大するため効率が低下します。逆に、インダクタンスが大きいほどRMS電流の減少によって効率が向上しますが、負荷過渡の仕様に適合するために必要な出力容量が増大します。

割り当てられた寸法に適合するものの中で、可能な限り最も低いDC抵抗値を備えた低損失のインダクタを探してください。ローサイドMOSFETのオン抵抗とI_{LIM}リファレンス電流(I_{LIM})の許容誤差を考慮した上で、最大電流制限値より上でのみ飽和が発生することを確保するために、インダクタの飽和定格(I_{SAT})は十分に高い値とする必要があります。一方で、これらの許容誤差によってコンバータの定格負荷電流(I_{LOAD(MAX)})の供給が妨げられてはなりません。これらの条件を組み合わせ、インダクタの飽和電流(I_{SAT})は次式を満たすようにしてください。

$$I_{SAT} > \frac{R_{DS(ON,MAX)}}{R_{DS(ON,TYP)}} \times \left(1 + \frac{LIR}{2} \right) \times I_{LOAD(MAX)}$$

ここで、R_{DS(ON,MAX)}およびR_{DS(ON,TYP)}はローサイドMOSFETの最大および標準オン抵抗です。インダクタの特定のタイプと値に対して、ワーストケースのインダクタの許容誤差に相当するLIRを選択してください。

LIR = 0.4で、ローサイドMOSFETのR_{DS(ON,MAX)}に対して+25%とする場合、インダクタの飽和電流はコンバータの最大負荷電流より約50%大きくしてください。この要件に適合する各種のインダクタをさまざまなメーカーから選択することができます(たとえば、Coilcraft MSS1278シリーズ)。

MAX15023

4.5V~28Vの広い入力、デュアル出力 同期整流バックコントローラ

サイクル単位のローサイドソースピーク電流制限の設定

ローサイドMOSFETのオン抵抗が電流検出素子として使用されるため、最小電流制限スレッショルドはワーストケースのローサイドMOSFETのオン抵抗値で予想される最大の負荷電流に対応した十分な高さにする必要があります。インダクタのサイクル単位のローサイドソースピーク電流は、 $I_{LOAD(MAX)}$ からリップル電流の半分を引いた値で発生します。リップル電流は、インダクタ電圧が規定の許容範囲の下限のときに最大になります。リップル電流の谷の間、電流制限スレッショルド電圧(V_{ITH})の最小値がローサイドMOSFETの電圧より高くなるようにしてください。

$$V_{ITH} > R_{DS(ON,MAX)} \times I_{LOAD(MAX)} \times \left(1 - \frac{LIR}{2}\right)$$

ここで、 $R_{DS(ON)}$ はローサイドMOSFETのオン抵抗(単位: Ω)です。ローサイドMOSFETのデータシートに記載された $R_{DS(ON)}$ の最大値を使用してください。

電流制限スレッショルドを調整する場合は、 $LIM_$ とSGND間に抵抗($R_{LIM_}$)を接続してください。電流制限スレッショルド($V_{ITH_}$)と $R_{LIM_}$ の関係は、次のとおりです。

$$R_{LIM_} = \frac{10 \times V_{ITH_}}{50\mu A}$$

ここで、 $R_{LIM_}$ の単位は $k\Omega$ で、 $V_{ITH_}$ の単位はmVです。 $R_{LIM_}$ の $6k\Omega \sim 60k\Omega$ の抵抗値の範囲は、 $30mV \sim 300mV$ の電流制限スレッショルドに対応します。電流制限を調整するときは、電流制限スレッショルドの設定の誤差を最小限に抑えるために、許容誤差1%の抵抗を使用してください。

入力コンデンサ

入力フィルタコンデンサは電源からのピーク電流を低減するとともに、回路のスイッチングによって発生する入力のノイズおよび電圧リップルを軽減します。MAX15023の2つのコンバータは、 180° 逆位相で動作することによって入力のスイッチング周波数を効果的に2倍にし、入力RMS電流を低減します。

コンバータ1とコンバータ2の負荷電流およびデューティサイクルに差があるため、入力リップル波形は非対称になります。実際に、ワーストケースの入力RMS電流は1つのコントローラのみが動作しているときに発生します。以下の各式では、コンバータが最大の出力電力($V_{OUT} \times I_{OUT}$)を供給している状態を使用する必要があります。

入力コンデンサで要求されるRMS電流(I_{RMS})は、次式で定義されます。

$$I_{RMS} = I_{LOAD(MAX)} \frac{\sqrt{V_{OUT}(V_{IN} - V_{OUT})}}{V_{IN}}$$

I_{RMS} は、入力電圧が出力電圧の2倍に等しい($V_{IN} = 2V_{OUT}$)ときに最大値となるため、 $I_{RMS(MAX)} = I_{LOAD(MAX)}/2$ です。

長期的信頼性を最大にするために、RMS入力電流において $+10^\circ C$ 以下の温度上昇を示す入力コンデンサを選択してください。

入力電圧リップルは、 ΔV_Q (コンデンサの放電によるもの)と ΔV_{ESR} (コンデンサのESRによるもの)で構成されます。高いリップル電流能力を備えた低ESRのセラミックコンデンサを入力に使用してください。ESRおよびコンデンサの放電による成分が50%に等しいと想定してください。所定の入力電圧リップルに必要な入力容量とESRを、以下の式を使用して計算してください。

$$ESR_{IN} = \frac{\Delta V_{ESR}}{I_{OUT} + \frac{\Delta I_L}{2}}$$

ここで、

$$\Delta I_L = \frac{(V_{IN} - V_{OUT}) \times V_{OUT}}{V_{IN} \times f_{SW} \times L}$$

および、

$$C_{IN} = \frac{I_{OUT} \times D(1-D)}{\Delta V_Q \times f_{SW}}$$

ここで、

$$D = \frac{V_{OUT}}{V_{IN}}$$

上記のすべての等式は、両方のコンバータの入力ポートを物理レイアウト上で結合し、1つの入力コンデンサのみで両方のコンバータに真に対応することができるという仮定の下で有効です。これが成立しない場合は、追加の低ESR/低ESLセラミックコンデンサを各コンバータの入力ポートの近くに配置し、ハイサイドMOSFETのドレインとローサイドMOSFETのソース間に接続してください。

出力コンデンサ

出力コンデンサの選択に関する主要なパラメータは、容量値、ESR、および電圧定格です。これらのパラメータは、全体的な安定性、出力リップル電圧、および過渡応答に影響します。出力リップルには、出力コンデンサに蓄積される電荷の変動と、コンデンサに出入りする電流によって発生するコンデンサのESR両端での電圧降下という、2つの成分があります。

$$\Delta V_{RIPPLE} \cong \Delta V_{ESR} + \Delta V_Q$$

4.5V~28Vの広い入力、デュアル出力 同期整流バックコントローラ

ESRと出力容量に起因する出力電圧リップルは、次のとおりです。

$$\Delta V_{ESR} = \Delta I_L \times ESR$$

$$\Delta V_Q = \frac{\Delta I_L}{8 \times C_{OUT} \times f_{SW}}$$

$$\Delta I_L = \frac{(V_{IN} - V_{OUT}) \times V_{OUT}}{V_{IN} \times f_{SW} \times L}$$

ここで、 ΔI_L はピークツーピークインダクタ電流リップルです(「インダクタの選択」の項を参照)。これらの式は、最初にコンデンサを選択する場合に適していますが、最終的な値はプロトタイプや評価用回路でのテストによって検証してください。

一般に、インダクタリップル電流が小さいほど出力リップル電圧が低くなります。出力コンデンサは、必要な負荷過渡応答に対して確認する必要があります。高速負荷過渡時に出力電圧の逸脱がどれだけ許容されるかも、コンデンサの出力容量、ESR、および等価直列インダクタンス(ESL)を決定する要因になります。負荷ステップ中は、コントローラが反応してデューティサイクルを増大させるまでの間、出力コンデンサが負荷電流を供給します。応答時間($t_{RESPONSE}$)は、コンバータのクロズドループ帯域幅によって決まります(「補償」の項を参照)。出力コンデンサのESRによる抵抗性の電圧降下、コンデンサのESLによる電圧降下(ΔV_{ESL})、およびコンデンサの放電によって、負荷ステップ中に電圧低下が発生します。

過渡負荷および電圧リップル性能を向上させるために、低ESRのタンタル/アルミ電解またはポリマーコンデンサとセラミックコンデンサの組み合わせを使用してください。リードのないコンデンサおよびコンデンサの並列接続は、ESLの低減に貢献します。出力電圧の最大の逸脱を許容可能な負荷の制限以下に維持してください。次の各式を使用して、負荷ステップ中に必要なESR、ESL、および容量値を計算してください。

$$ESR = \frac{\Delta V_{ESR}}{I_{STEP}}$$

$$C_{OUT} = \frac{I_{STEP} \times t_{RESPONSE}}{\Delta V_Q}$$

$$ESL = \frac{\Delta V_{ESL} \times t_{STEP}}{I_{STEP}}$$

$$t_{RESPONSE} \cong \frac{1}{3 \times f_0}$$

ここで、 I_{STEP} は負荷ステップ、 t_{STEP} は負荷ステップの立上り時間、 $t_{RESPONSE}$ はコントローラの応答時間、 f_0 はクロズドループのクロスオーバー周波数です。

補償

MAX15023の個々のチャネルは、ユーザーが外部での周波数補正に使用可能な反転入力および出力を備えたトランスコンダクタンスアンプを内蔵しています。個々のコンバータに対する外部補償の柔軟性によって、出力フィルタ部品(特に出力コンデンサ)の広範な選択肢が提供されます。コストに敏感なアプリケーションには、低ESRのアルミ電解コンデンサを使用します。部品サイズに敏感なアプリケーションの出力には、低ESRのタンタル、ポリマー、またはセラミックコンデンサを使用します。MAX15023はスイッチング周波数が高いため、出力にセラミックコンデンサを使用することが可能です。目的のクロズドループ帯域幅および位相マージンを実現するようにエラーアンプの小信号部品を選択してください。

適切な補償回路のタイプを選択するには、電源のポールとゼロ、ゼロクロスオーバー周波数、および出力コンデンサのタイプを決定する必要があります。

バックコンバータの場合、出力段のLCフィルタによって次の周波数に1組の複合ポールが発生します。

$$f_{PO} = \frac{1}{2\pi \times \sqrt{L_{OUT} \times C_{OUT}}}$$

出力コンデンサとそのESRによって、次の周波数にゼロも発生します。

$$f_{ZO} = \frac{1}{2\pi \times ESR \times C_{OUT}}$$

ループ利得クロスオーバー周波数(f_0 、ループ利得が1(0dB)に等しくなる周波数)は、スイッチング周波数の1/10より下に設定してください。

$$f_0 \leq \frac{f_{SW}}{10}$$

より低いクロスオーバー周波数を選択することによって、デューティサイクルのジッタなどの、フードバックループへのノイズ混入による影響が軽減される場合もあります。

安定したシステムを維持するには、安定性に関する2つの基準を満たす必要があります。

- 1) クロスオーバー周波数 f_0 における位相シフトが 180° 未満であること。言い換えると、ループの位相マージンが 0° より大きいこと。
- 2) 位相シフトが -180° の周波数における利得(利得マージン)が1未満であること。

MAX15023

4.5V~28Vの広い入力、デュアル出力 同期整流バックコントローラ

強固なループ安定性および優れた過渡応答を維持するために、約+50°~+60°の位相マージンを設けることが推奨されます。

電解または高ESRのタンタル出力コンデンサを使用する場合、コンデンサのESRゼロ(f_{Z0})は通常はLCポールとクロスオーバー周波数 f_0 の間で発生します($f_{P0} < f_{Z0} < f_0$)。この場合は、タイプII (PIまたは比例/積分)補償回路を使用してください。

セラミックまたは低ESRのタンタル出力コンデンサを使用する場合、コンデンサのESRゼロは通常は目的のクロスオーバー周波数 f_0 より上で発生して、 $f_{P0} < f_0 < f_{Z0}$ になります。この状況では、タイプIII (PIDまたは比例/積分/微分)補償回路を選択してください。

タイプII補償回路(図4を参照)

f_{Z0} が f_0 より低く、 f_{P0} に近い場合、コンデンサのESRゼロの位相リードによって、クロスオーバー周波数付近のLCフィルタの複合ポールの一方の位相損失がほぼ相殺されます。そのため、ループを安定させるために、中帯域のゼロおよび高周波数のポールを備えたタイプII補償回路を使用してください。図4では、 R_F および C_F によって中帯域のゼロ(f_{Z1})が発生します。タイプII補償回路の R_F および C_{CF} によって高周波数ポール(f_{P1})も提供され、出力の高周波数リップルの影響を軽減します。

図4に示すタイプII補償回路の部品の値を計算する場合は、以下の指示に従ってください。

- レギュレータのパルス幅モジュレータ、LCフィルタ、フィードバック分圧器、および関連回路で構成されるモジュレータのクロスオーバー周波数における利得($Gain_{MOD}$)を計算してください。

$$Gain_{MOD} = \frac{V_{IN}}{V_{OSC}} \times \frac{ESR}{(2\pi \times f_0 \times L_{OUT})} \times \frac{V_{FB}}{V_{OUT}}$$

ここで、 V_{IN} はレギュレータの入力電圧、 V_{OSC} はパルス幅モジュレータのランプの大きさ、 V_{FB} はFB_の入力電圧設定ポイント(0.6V typ、[Electrical Characteristics]の表を参照)、 V_{OUT} は目的の出力電圧です。

中帯域周波数でのエラーアンプの利得($Gain_{EA}$)は、次のとおりです。

$$Gain_{EA} = g_m \times R_F$$

ここで、 g_m はエラーアンプの相互コンダクタンスです。

f_0 におけるモジュレータの利得とエラーアンプの利得の積である全ループ利得を1にしてください。すなわち、

$$Gain_{MOD} \times Gain_{EA} = 1$$

したがって、

$$\frac{V_{IN}}{V_{OSC}} \times \frac{ESR}{(2\pi \times f_0 \times L_{OUT})} \times \frac{V_{FB}}{V_{OUT}} \times g_m \times R_F = 1$$

R_F について解くと、

$$R_F = \frac{V_{OSC} \times (2\pi \times f_0 \times L_{OUT}) \times V_{OUT}}{V_{FB} \times V_{IN} \times g_m \times ESR}$$

- 中帯域のゼロ(f_{Z1})を、(LCポールの一方を相殺するために) $0.75 \times f_{P0}$ に設定してください。

$$f_{Z1} = \frac{1}{2\pi \times R_F \times C_F} = 0.75 \times f_{P0}$$

C_F について解くと、

$$C_F = \frac{1}{2\pi \times R_F \times f_{P0} \times 0.75}$$

- 高周波のポールを(スイッチング周波数 f_{SW} におけるリップルを減衰させるために) $f_{P1} = 0.5 \times f_{SW}$ の位置として、次式を使用して C_{CF} を計算してください。

$$C_{CF} = \frac{1}{\pi \times R_F \times f_{SW} - \frac{1}{C_F}}$$

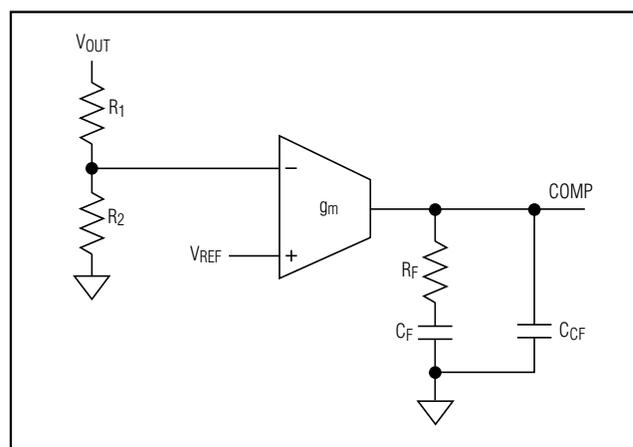


図4. タイプII補償回路

4.5V~28Vの広い入力、デュアル出力 同期整流バックコントローラ

タイプIII補償回路(図5を参照)

使用する出力コンデンサが低ESRのタンタルまたはセラミックタイプの場合、ESRによるゼロ周波数は、通常は目標のゼロクロスオーバー周波数(f_0)より高くなります。この場合は、タイプIII補償が推奨されます。タイプIII補償は、下記の周波数に3つのポールと2つのゼロを提供します。

$$f_{Z1} = \frac{1}{2\pi \times R_F \times C_F}$$

$$f_{Z2} = \frac{1}{2\pi \times C_1 \times (R_1 + R_l)}$$

2つの中帯域のゼロ(f_{Z1} および f_{Z2})が、LCフィルタによって発生する1組の複合ポールを相殺します。

$$f_{P1} = 0$$

f_{P1} は、DC出力電圧誤差を排除するために、ゼロ周波数にポールを生成します(積分器)。

$$f_{P2} = \frac{1}{2\pi \times R_l \times C_1}$$

f_{P2} は、ESRゼロ(f_{Z0})の位置に応じて、 f_{Z0} の相殺または高周波数の出力リップルに対する減衰の追加に使用することができます。

$$f_{P3} = \frac{1}{2\pi \times R_F \times \frac{C_F \times C_{CF}}{C_F + C_{CF}}}$$

f_{P3} は、高周波数の出力リップルを減衰させます。

ゼロおよびポールの位置は、位相マージンが f_0 付近でピークになるようにしてください。

$R_F \gg 2/g_m$ ($1/g_m(\text{MIN}) = 1/600\mu\text{S} = 1.67\text{k}\Omega$)であること、 R_1 、 R_2 、および R_l の並列抵抗値が $1/g_m$ より大きいことを確認してください。そうでない場合は、応答に 180° の位相シフトが発生して不安定になります。

以下の手順が推奨されます。

1) $R_F \geq 10\text{k}\Omega$ の場合、最初のゼロ(f_{Z1})を $0.5 \times f_{P0}$ の位置に設定してください。

$$f_{Z1} = \frac{1}{2\pi \times R_F \times C_F} = 0.5 \times f_{P0}$$

したがって、

$$C_F = \frac{1}{2\pi \times R_F \times 0.5 \times f_{P0}}$$

2) レギュレータのパルス幅モジュレータ、LCフィルタ、フィードバック分圧器、および関連回路で構成されるモジュレータのクロスオーバー周波数における利得(Gain_{MOD})は、次のとおりです。

$$\text{Gain}_{\text{MOD}} = \frac{V_{\text{IN}}}{V_{\text{OSC}}} \times \frac{1}{(2\pi \times f_0)^2 \times L_{\text{OUT}} \times C_{\text{OUT}}}$$

中帯域周波数でのエラーアンプの利得(Gain_{EA})は、次のとおりです。

$$\text{Gain}_{\text{EA}} = 2\pi \times f_0 \times C_1 \times R_F$$

f_0 におけるモジュレータの利得とエラーアンプの利得の積である全ループ利得を1にしてください。すなわち、

$$\text{Gain}_{\text{MOD}} \times \text{Gain}_{\text{EA}} = 1$$

したがって、

$$\frac{V_{\text{IN}}}{V_{\text{OSC}}} \times \frac{1}{(2\pi \times f_0)^2 \times C_{\text{OUT}} \times L_{\text{OUT}}} \times 2\pi \times f_0 \times C_1 \times R_F = 1$$

C_1 について解くと、

$$C_1 = \frac{V_{\text{OSC}} \times (2\pi \times f_0 \times L_{\text{OUT}} \times C_{\text{OUT}})}{V_{\text{IN}} \times R_F}$$

3) $f_{P0} < f_0 < f_{Z0} < f_{\text{SW}}/2$ の場合は、第2のポール(f_{P2})を使用して f_{Z0} を相殺してください。これによって、ループ利得のグラフのボード線図は、0dBクロスオーバーの直後では平坦にならず、最大でスイッチング周波数の $1/2$ まで -20dB/decade の傾きを維持します。出力コンデンサが低ESRのタンタルまたはポリマーの場合、その可能性が高くなります。その後、次のように設定してください。

$$f_{P2} = f_{Z0}$$

セラミックコンデンサを使用する場合、コンデンサのESRゼロ(f_{Z0})はスイッチング周波数の $1/2$ よりさらに上に位置し、 $f_{P0} < f_0 < f_{\text{SW}}/2 < f_{Z0}$ となる可能性が高くなります。この場合は、クロスオーバー周波数において位相マージンを大幅に損なうことがないように、第2のポールの周波数(f_{P2})を十分に高い位置にしてください。たとえば、 $5 \times f_0$ に設定することで、クロスオーバー周波数 f_0 における位相損失への寄与は約 11° のみとなります。

$$f_{P2} = 5 \times f_0$$

f_{P2} の決定後に、 R_l を計算してください。

$$R_l = \frac{1}{2\pi \times f_{P2} \times C_1}$$

MAX15023

4.5V~28Vの広い入力、デュアル出力 同期整流バックコントローラ

- 4) 第2のゼロ(f_{z2})を $0.2 \times f_0$ または f_{p0} のいずれか低い位置に設定して、次式を使用して R_1 を計算してください。

$$R_1 = \frac{1}{2\pi \times f_{z2} \times C_1} - R_1$$

- 5) 第3のポール(f_{p3})をスイッチング周波数の半分の位置に設定して、 C_{CF} を計算してください。

$$C_{CF} = \frac{C_F}{(2\pi \times 0.5 \times f_{SW} \times R_F \times C_F) - 1}$$

- 6) R_2 を次のように計算してください。

$$R_2 = \frac{V_{FB}}{V_{OUT} - V_{FB}} \times R_1$$

MOSFETの選択

MAX15023のステップダウンコントローラは、2つの外付けロジックレベルnチャンネルMOSFETを回路切替え素子として駆動します。これらのMOSFETを選択するための主なパラメータには、以下が含まれます。

- オン抵抗($R_{DS(ON)}$)
- 最大ドレイン-ソース間電圧($V_{DS(MAX)}$)
- 最小スレッショルド電圧($V_{TH(MIN)}$)
- 総ゲート電荷量(Q_G)
- 帰還容量(C_{RSS})
- 消費電力

4つのnチャンネルMOSFETは、すべて $V_{GS} = 4.5V$ でのオン抵抗の仕様が保証されているロジックレベルタイ

プであることが必要です。最大の効率を実現するために、標準入力電圧においてスイッチング損失と等しい導通損失を備えたハイサイドMOSFET (NH₁)を選択してください。最小入力電圧における導通損失がMOSFETのパッケージの熱的限界を超えず、全体的な熱許容量にも抵触しないことを確保してください。また、最大入力電圧における導通損失とスイッチング損失の和がパッケージの定格を超えず全体的な熱許容量にも抵触しないことを確保してください。MAX15023のDL₁ゲートドライバがローサイドMOSFET (NL₁)を駆動可能であることを確認してください。特に、NH₁のターンオンによるdV/dtが、NL₁のドレイン-ゲート間容量を介してNL₁のゲートをプルアップすることがないか確認してください。これは、交差導通の問題が発生する最大の原因です。

ゲート電荷損失はドライバによって消費されるため、MOSFETを過熱させることはありません。したがって、駆動電流が内蔵LDOレギュレータから供給される場合、駆動損失による消費電力を確認する必要があります。総ゲート電荷量が十分に低くなるようにすべてのMOSFETを選択する必要があります。それによって、 V_{CC} はICをオーバーヒートさせることなく4つすべてのドライバに給電することができます。

$$P_{DRIVE} = V_{IN} \times Q_{G_TOTAL} \times f_{SW}$$

ここで、 Q_{G_TOTAL} は、4つすべてのMOSFETのゲート電荷量の合計です。

消費電力

デバイスの最大消費電力は、チップから周囲環境への熱抵抗および周囲温度によって決まります。熱抵抗は、デバイスのパッケージ、PCBの銅面積、その他の熱質量、およびエアフローによって決まります。

パッケージの消費電力(P_T)は、電源構成によって決まります(「標準アプリケーション回路」を参照)。次式を使用して計算することができます。

$$P_T = V_{IN} \times I_{IN}$$

図7および8の回路の場合、次のようになります。

$$P_T = V_{CC} \times (I_{IN} + I_{VCC})$$

ここで、 V_{IN} および V_{CC} はそれぞれの端子の電圧、 I_{IN} は内蔵LDOの入力における電流(図7および8の回路の場合、 I_{IN} は事実上0)、 I_{VCC} は内部レギュレータを使用しない5V電源動作時($I_{IN} = V_{CC}$)に内部コアおよびドライバによって消費される電流です。さまざまな負荷容量値での I_{IN} および I_{VCC} の電流消費量と動作周波数の関係を示す標準的グラフについては、該当する「標準動作特性」を参照してください。

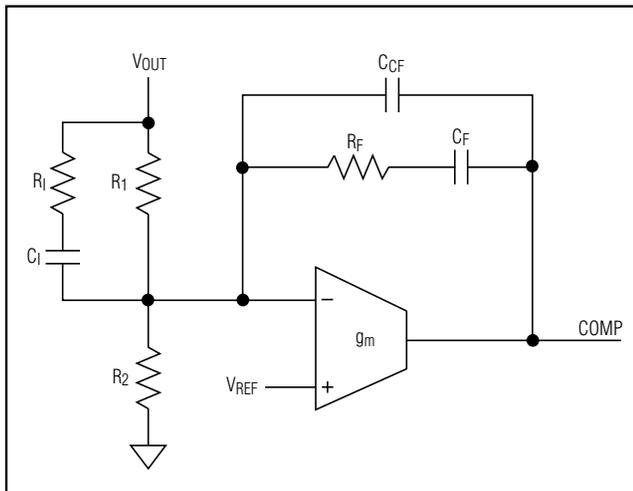


図5. タイプIII補償回路

4.5V~28Vの広い入力、デュアル出力 同期整流バックコントローラ

チップの温度上昇を概算する場合は、次式を使用してください。

$$T_J = T_A + (P_T \times \theta_{JA})$$

ここで、 θ_{JA} はパッケージの接合部-周囲間熱抵抗、 P_T はデバイス内で消費される電力、 T_A は周囲温度です。 θ_{JA} は、それぞれに該当するJEDEC規格(JESD51-5、JESD51-7)で規定された条件で、24ピンTQFNパッケージの場合は多層基板上において36°C/Wです。実際の動作条件がJEDEC規格に記載されているものと大幅に異なる場合は、接合部温度を高精度で推定するためにケース温度(T_C)を直接測定する必要があります。その場合、接合部温度は次式を使用して計算することができます。

$$T_J = T_C + (P_T \times \theta_{JC})$$

24ピンTQFNパッケージの場合は θ_{JC} の熱抵抗として3°C/Wを使用してください。ケース-周囲間熱抵抗(θ_{CA})は、PCBから周囲に熱がどれだけ伝達されるかで決まります。そのため、TQFNパッケージのエクスポーズドパッドを大面積の銅領域にはんだ付けし、基板の表面を介して熱を拡散させ、ケース-周囲間熱抵抗を最小限に抑えてください。大面積の銅領域を使用して、PCBを低い温度に維持してください。

ブーストフライングコンデンサの選択

MAX15023は、ブートストラップ回路を使用してハイサイドMOSFETのターンオンに必要なゲート-ソース間電圧を生成します。選択したnチャネルハイサイドMOSFETによって、次式に従って適切なブースト容量値(「標準アプリケーション回路」の $C_{BST_}$)が決定されます。

$$C_{BST_} = \frac{Q_g}{\Delta V_{BST_}}$$

ここで、 Q_g はハイサイドMOSFETの総ゲート電荷量、 $\Delta V_{BST_}$ はターンオン後にハイサイドMOSFETドライバで許容される電圧変動です。 $C_{BST_}$ を決定するときは、利用可能なゲート駆動電圧が大幅に減少しないように $\Delta V_{BST_}$ を選択してください(たとえば、 $\Delta V_{BST_} = 100mV \sim 300mV$)。ブーストフライングコンデンサは、低ESRのセラミックコンデンサにしてください。100nF (min)が推奨されます。

アプリケーション情報

PCBレイアウトのガイドライン

以下のようにコントローラのグランド接続を行ってください。ICの近くに小さいアナロググランドプレーンを作成するか、専用の内部プレーンを使用してください。このプレーンをSGNDに接続して、INのバイパスコンデンサ、補償用部品、フィードバック分圧器、RTの抵抗、およびLIM_の抵抗のグランド接続にこのプレーンを使用してください。

可能な場合、すべてのパワー部品を基板の上面に配置して、ビアを追加せずに上面のトレースまたは銅フィルのみを使用してパワー段の電流(特に大きい高周波数成分を含むもの)を配線してください。

基板上面に、チャネル1およびチャネル2の出力用の大面積のPGND銅領域をレイアウトして、高周波数入力コンデンサのボトム端子、出力コンデンサのボトム端子、およびローサイドMOSFETのソース端子をその領域に接続してください。

次に、ソース端子検出付近の数個のビアを使用して、SGNDプレーンを上面銅PGND領域にスター接続してください。それ以外の場所ではPGNDとSGNDを接続しないでください。方法については、MAX15023の評価キットのデータシートを参照してください。

特にグランド端子において、電源トレースおよび負荷接続を短くしてください。この手法は、高効率かつジッタのない動作に不可欠です。効率を向上させるために、厚い銅のPCB (1オンスよりも2オンス)を使用してください。

コントローラICは同期整流MOSFET (NL_)に隣接する位置に配置して、LX_、PGND_、DH_、およびDL_の接続を、短くかつ太くしてください。複数の小さなビアを使用して、これらの信号を上面から裏面へ配線してください。ゲート電流トレースは短くかつ太くする必要があり、ローサイドMOSFETがコントローラICから1インチの位置にある場合で50mil~100mil幅にしてください。ICからの各PGNDトレースは、それぞれのローサイドMOSFETのソース端子の近くで接続してください。

高速スイッチング端子(BST_、LX_、DH_、およびDL_)は、敏感なアナログ領域(RT、COMP_、LIM_、およびFB_)から遠ざけて配線してください。すべてのSGND基準の部品およびフィードバック部品は、ICの近くにまとめて配置してください。ノイズの混入を防ぐために、FB_および補償回路網はできる限り小さくしてください。

MAX15023

4.5V~28Vの広い入力、デュアル出力 同期整流バックコントローラ

標準アプリケーション回路

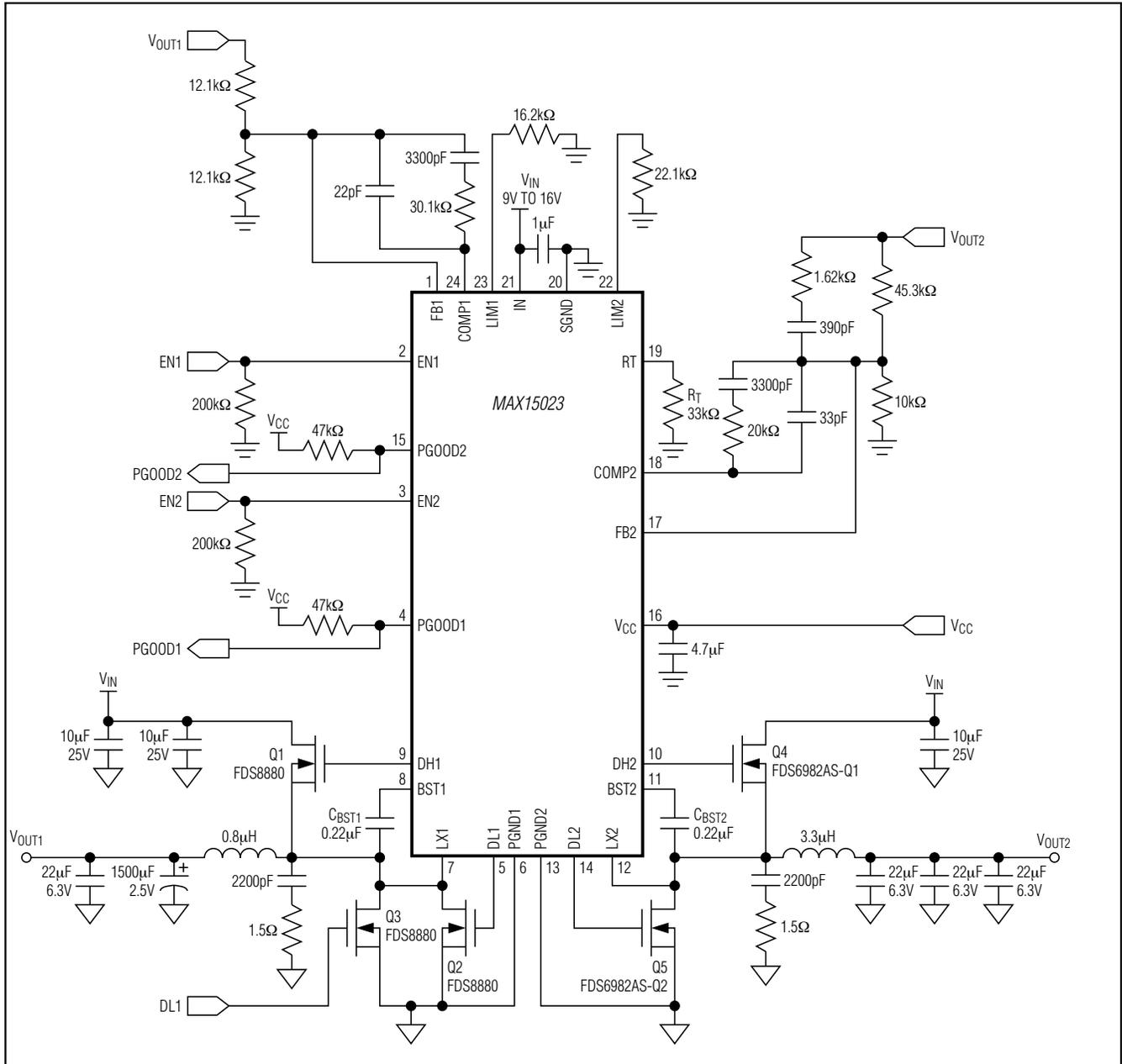


図6. アプリケーションダイアグラム(単一電源レール、 $V_{IN} = 9V \sim 16V$ による動作)

MAX15023

4.5V~28Vの広い入力、デュアル出力 同期整流バックコントローラ

標準アプリケーション回路(続き)

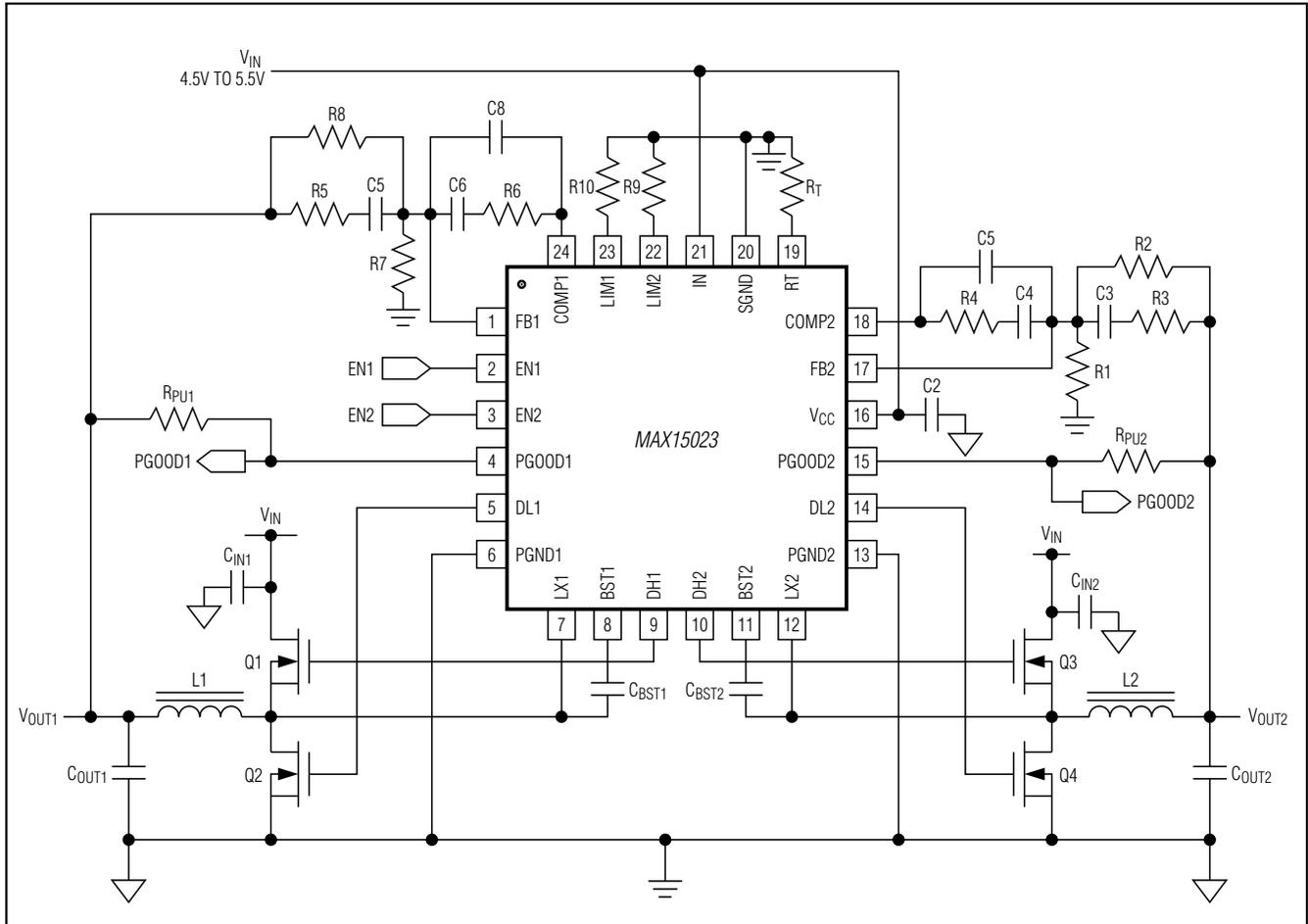


図7. アプリケーションダイアグラム($V_{IN} = V_{CC} = 5V \pm 10\%$ による動作)

MAX15023

4.5V~28Vの広い入力、デュアル出力 同期整流バックコントローラ

標準アプリケーション回路(続き)

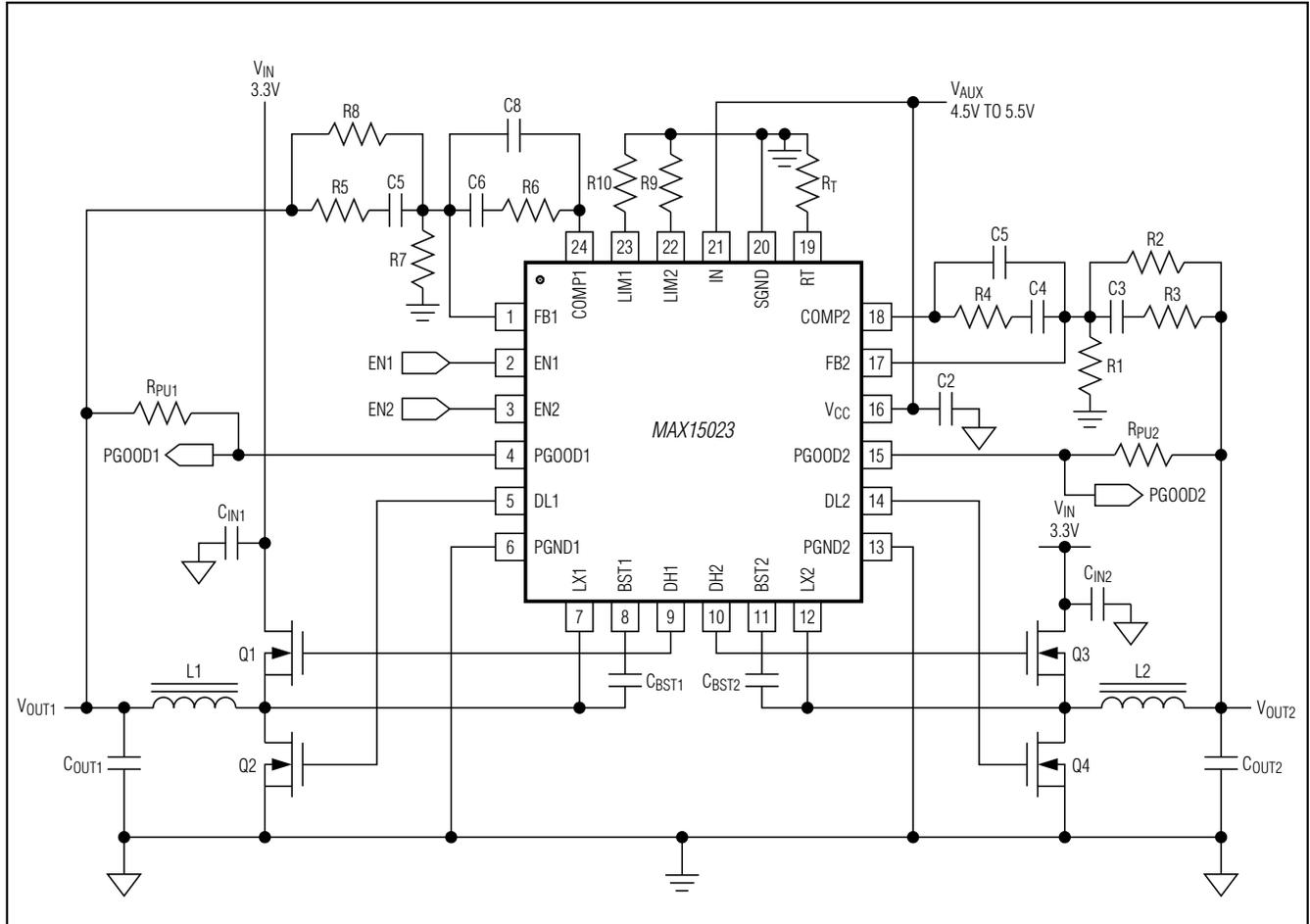


図8. アプリケーションダイアグラム(補助5V電源および3.3Vバスによる動作)

MAX15023

4.5V~28Vの広い入力、デュアル出力 同期整流バックコントローラ

チップ情報

PROCESS: BiCMOS

パッケージ

最新のパッケージ図面情報およびランドパターン(フットプリント)は japan.maximintegrated.com/packages を参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点に注意してください。

パッケージタイプ	パッケージコード	外形図No.	ランドパターンNo.
24 TQFN-EP	T2444+4	21-0139	90-0022

MAX15023

4.5V~28Vの広い入力、デュアル出力 同期整流バックコントローラ

改訂履歴

版数	改訂日	説明	改訂ページ
0	7/08	初版	—
1	2/09	「Electrical Characteristics (電気的特性)」、「電流制限回路(LIM_)」、および「イネーブル入力(EN_)の設定」の項を更新。	4, 15, 16
2	3/11	車載製品のMAX5023ETG/V+を追加	1, 2, 13, 27



マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maxim Integratedは完全にMaxim Integrated製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maxim Integratedは随時予告なく回路及び仕様を変更する権利を留保します。「Electrical Characteristics (電気的特性)」の表に示すパラメータ値(min、maxの各制限値)は、このデータシートの他の場所で引用している値より優先されます。