

EVALUATION KIT
AVAILABLE

MAXIM

2線4 ~ 20mA
スマート信号コンディショナ

MAX1459

概要

MAX1459は、最小限の外付部品点数でピエゾ抵抗性センサのキャリブレーション及び補償を行うために最適化された、高集積化アナログセンサ信号コンディショナです。本製品は、センサ励起用のプログラマブル電流ソース、3ビットのプログラマブルゲインアンプ(PGA)、128ビット内部EEPROM及び4つの12ビットDACからなっています。MAX1459は全エラー係数がセンサの再現性エラーの1%以下という性能を備えており、シリコンピエゾ抵抗性センサのオフセット、オフセット温度係数(オフセットTC)、フルスパン出力(FSO)、FSO温度係数(FSOTC)及びFSO非直線性を補償します。

MAX1459は、デジタルアナログコンバータ(DAC)で入力信号のオフセットとスパンを調整して一次温度エラーのキャリブレーション及び補償を行うため、量子化ノイズが排除されます。

MAX1459は、外部センサ、内部温度依存性抵抗又は専用温度トランスデューサによる温度補償が可能です。低コストの外部温度センサ(シリコントランジスタ)を使用して0.5%よりも良好な精度を達成できます。

MAX1459はテスト能力を内蔵しているため、従来の3つのセンサ製造作業を1つの自動化プロセスに統合できます。

- 予備テスト：ホストテストコンピュータの制御下でセンサ性能のデータを収集。
- キャリブレーション及び補償：テストコンピュータによって計算されてMAX1459にダウンロードされたキャリブレーション及び補償係数を計算し、(内部EEPROMに)保存。
- 最終テスト動作：予備テストソケットから外すことなく、トランスデューサキャリブレーション及び補償を確認。

MAX1459はピエゾ抵抗性センサ用に最適化されていますが、部品を追加すればその他の抵抗性センサ(加速計及び歪みゲージ)に使用できます。

MAX1459のカスタムバージョンについては、最後に記載されている「カスタム化」の項を参照して下さい。

アプリケーション

- 4 ~ 20mA トランスミッタ
- ピエゾ抵抗性圧力及び加速度
- 工業用圧力センサ
- ロードセル/Wheatstoneブリッジ
- 歪みゲージ
- 温度センサ

特長

- ◆ 2線4 ~ 20mA トランスミッタ用の高集積化センサ信号コンディショナ
- ◆ 内部EEPROMに保存された補正係数を使用してセンサエラーをトリミング(レーザトリミング)及びポテンショメータを排除)
- ◆ オフセット、オフセットTC、FSO、FSOTC及びFSO直線性を補償
- ◆ センサ励起用のプログラマブル電流ソース：0.1mA ~ 2.0mA
- ◆ 信号経路セトリング時間が高速：≈1ms
- ◆ +1mV/V ~ +40mV/Vのセンサ出力を許容
- ◆ 完全アナログ信号経路
- ◆ 内部又は外部温度リファレンス補償
- ◆ 自動化パイロット生産(キャリブレーション/補償)システムが入手可能
- ◆ EEPROMデータのセキュリティを確実にする書込み保護機能

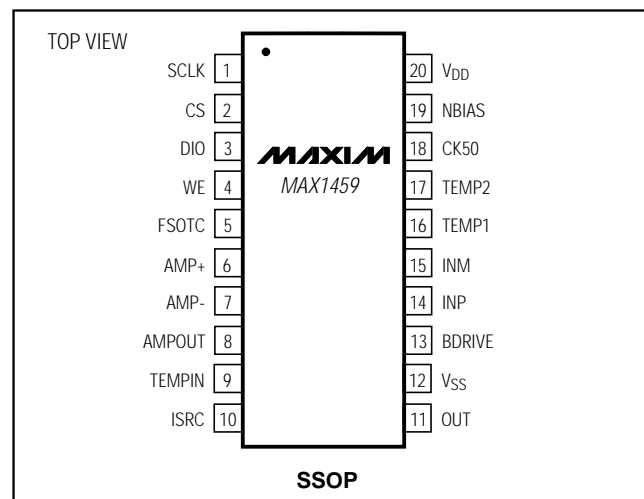
型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX1459CAP	0°C to +70°C	20 SSOP
MAX1459C/D	0°C to +70°C	Dice*
MAX1459AAP	-40°C to +125°C	20 SSOP

*Dice are tested at $T_A = +25^\circ\text{C}$, DC parameters only.

ファンクションダイアグラムはデータシートの最後に記載されています。

ピン配置



MAXIM

Maxim Integrated Products 1

本データシートに記載された内容は、英語によるマキシム社の公式なデータシートを翻訳したものです。翻訳により生じる相違及び誤りについての責任は負いかねます。正確な内容の把握にはマキシム社の英語のデータシートをご参照下さい。

無料サンプル及び最新版データシートの入手にはマキシム社のホームページをご利用下さい。www.maxim-ic.com

2線4 ~ 20mA スマート信号コンディショナ

MAX1459

ABSOLUTE MAXIMUM RATINGS

Supply Voltage, V_{DD} to V_{SS}-0.3V to +6V
 All Other Pins($V_{SS} - 0.3V$) to ($V_{DD} + 0.3V$)
 Short-Circuit Duration, FSOTC, OUT, BDRIVEContinuous
 Continuous Power Dissipation ($T_A = +70^\circ C$)
 20-Pin SSOP (derate 8.00mW/ $^\circ C$ above +70 $^\circ C$)640mW

Operating Temperature Ranges
 MAX1459CAP0 $^\circ C$ to +70 $^\circ C$
 MAX1459AAP-40 $^\circ C$ to +125 $^\circ C$
 Storage Temperature Range-65 $^\circ C$ to +150 $^\circ C$
 Lead Temperature (soldering, 10s)+300 $^\circ C$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

($V_{DD} = +5V$, $V_{SS} = 0$, $T_A = +25^\circ C$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
GENERAL CHARACTERISTICS						
Supply Voltage	V_{DD}		4.5	5.0	5.5	V
Supply Current	I_{DD}	$R_{NBIAS} = 402k\Omega$, $V_{DD} = 5.0V$ (Note 1)		2.0	2.5	mA
ANALOG INPUT (PGA)						
Input Impedance	R_{IN}			1		$M\Omega$
Input-Referred Offset Tempco		(Notes 2, 3)		± 0.5		$\mu V/^\circ C$
Amplifier Gain Nonlinearity				0.01		% V_{DD}
Output Step Response		63% of final value		2		ms
Common-Mode Rejection Ratio	CMRR	From V_{SS} to V_{DD}		90		dB
Input-Referred Adjustable Offset Range		At minimum gain (Note 4)		± 150		mV
Input-Referred Adjustable Full-Span Output (FSO) Range		(Note 5)		+1 to +40		mV/V
ANALOG OUTPUT (PGA)						
Differential Signal Gain Range		Selectable in eight steps		+41 to +230		V/V
Minimum Differential Signal Gain		$T_A = T_{MIN}$ to T_{MAX}	+36	+41	+44	V/V
Differential Signal Gain Tempco		$T_A = T_{MIN}$ to T_{MAX}		± 50		ppm/ $^\circ C$
Output Voltage Swing		No load	$V_{SS} + 0.05$		$V_{DD} - 0.05$	V
		10k Ω load	$V_{SS} + 0.25$		$V_{DD} - 0.25$	
Output Current Range		$V_{OUT} = (V_{SS} + 0.25V)$ to ($V_{DD} - 0.25V$)	-0.45 (sink)		0.45 (source)	mA
Output Noise		DC to 10Hz (gain = 41, source impedance = 5k Ω)		500		μV_{RMS}
CURRENT SOURCE						
Bridge Current Range	I_{BDRIVE}		0.1	0.5	2.0	mA
Bridge Voltage Swing	V_{BDRIVE}	$I_{BDRIVE} = 2mA$	$V_{SS} + 1.3$		$V_{DD} - 1.3$	V
Reference Input Voltage Range (ISRC)	V_{ISRC}		$V_{SS} + 1.3$		$V_{DD} - 1.3$	V

2線4 ~ 20mA スマート信号コンディショナ

MAX1459

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +5V$, $V_{SS} = 0$, $T_A = +25^\circ C$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL-TO-ANALOG CONVERTERS						
DAC Resolution				12		Bits
Differential Nonlinearity	DNL			± 1.5		LSB
Offset DAC Bit Weight	$\frac{\Delta V_{OUT}}{\Delta Code}$	DAC reference = $V_{DD} = 5.0V$		2.8		mV/bit
Offset TC DAC Bit Weight	$\frac{\Delta V_{OUT}}{\Delta Code}$	DAC reference = $V_{BDRIVE} = 2.5V$		1.4		mV/bit
FSO DAC Bit Weight	$\frac{\Delta V_{ISRC}}{\Delta Code}$	DAC reference = $V_{DD} = 5.0V$		1.22		mV/bit
FSOTC DAC Bit Weight	$\frac{\Delta V_{FSOT}}{\Delta Code}$	DAC reference = $V_{BDRIVE} = 2.5V$		0.6		mV/bit
IRO DAC						
DAC Resolution				3		Bits
DAC Bit Weight		Input referred, $V_{DD} = 5V$ (Note 6)		9		mV/bit
FSOTC BUFFER (FSOTC Pin)						
Output Voltage Swing		No load, $V_B = 5V$	0.2		4.0	V
Current Drive		$V_{FSOTC} = 2.5V$	-20		20	μA
INTERNAL RESISTORS						
Current Source Reference Resistor	R_{ISRC}			100		$k\Omega$
FSO Trim Resistor	R_{FTC}			100		$k\Omega$
Temperature-Dependent Resistor	R_{TEMP}			100		$k\Omega$
AUXILIARY OP AMP						
Input Common-Mode Range	CMR		V_{SS}		V_{DD}	V
Open-Loop Gain	A_V			60		dB
Offset Voltage (as unity-gain follower)		$V_{IN} = V_{DD}/2$	-30		30	mV
Output Swing		No load	$V_{SS} + 0.05$		$V_{DD} - 0.05$	V
Output Current				± 1		mA

2線4 ~ 20mA スマート信号コンディショナ

MAX1459

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +5V$, $V_{SS} = 0$, $T_A = +25^\circ C$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL PINS						
High-Level Input Voltage	V_{IH}		0.75 x V_{DD}			V
Low-Level Input Voltage	V_{IL}		0.25 x V_{DD}			V
Input Hysteresis			2			V
High-Level Output Voltage	V_{OH}	$I_{SOURCE} = 1mA$	4			V
Low-Level Output Voltage	V_{OL}	$I_{SINK} = 2mA$			0.5	V

Note 1: Excludes the sensor or load current.

Note 2: All electronics temperature errors are compensated together with sensor errors.

Note 3: The sensor and the MAX1459 must always be at the same temperature during calibration and use.

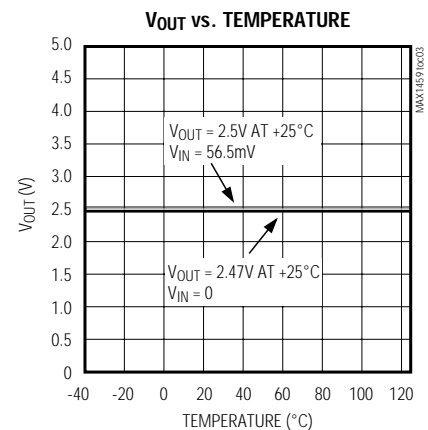
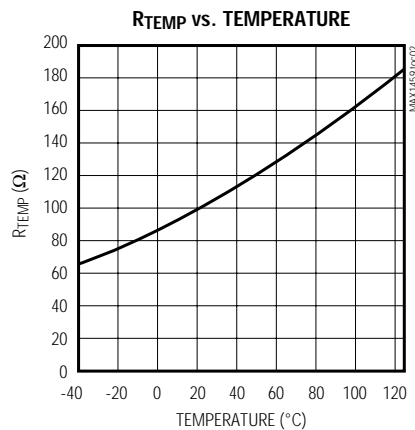
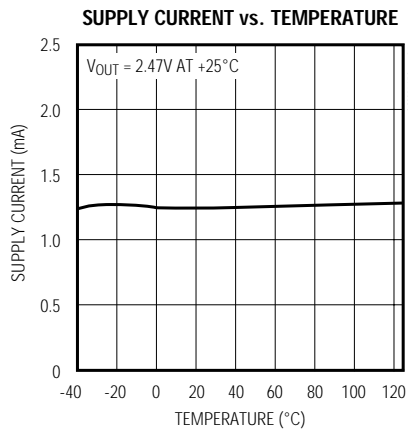
Note 4: This is the maximum allowable sensor offset.

Note 5: This is the sensor's sensitivity normalized to its drive voltage, assuming a desired full-span output of 4V and a bridge voltage of 2.5V. Sensors smaller than +10mV/V require an auxiliary op amp.

Note 6: Bit weight is ratiometric to V_{DD} .

標準動作特性

($V_{DD} = +5V$, $V_{SS} = 0$, $T_A = +25^\circ C$, unless otherwise noted.)



2線4 ~ 20mA スマート信号コンディショナ

MAX1459

端子説明

端子	名称	機能
1	SCLK	データクロック入力。プログラミング/テスト時にのみ使用。内部の1M (typ)抵抗でV _{SS} に接続されています。データはクロックの立上がりエッジで同期入力されます。推奨SCLK周波数は50kHz以下です。
2	CS	チップセレクト入力。このピンがハイの時、MAX1459が選択されます。ローの場合、OUTとDIOがハイインピーダンスになります。内部の1M (typ)抵抗でV _{DD} に接続されています。無接続にしておく通常動作になります。
3	DIO	データ入力/出力。プログラミング/テスト時にのみ使用。内部の1M (typ)抵抗でV _{SS} に接続されています。CSがローの時にハイインピーダンスになります。
4	WE	書込みイネーブル、デュアル機能入力ピン。EEPROM消去/書込み動作をイネーブルするために使用されます。また、DACリフレッシュレートモードを設定するためにも使用されます。内部の1M (typ)抵抗でV _{DD} に接続されています。「チップセレクト(CS)及び書込みイネーブル(WE)」の項を参照して下さい。
5	FSOTC	バッファ付フルスパン出力温度係数DAC出力。内部100k 抵抗(R _{FTC})を通じてFSOTCとISRCが接続されています(「ファンクションダイアグラム」を参照)。別方法として、R _{FTC} とR _{ISRC} の代わり、あるいはこれらと並列に外部抵抗を使用することもできます。
6	AMP+	補助オペアンプ正入力
7	AMP-	補助オペアンプ負入力
8	AMPOUT	補助オペアンプ出力
9	TEMPIN	FSOTC DAC及びOTC DAC用の外部温度依存性リファレンス電圧の入力ピン。デフォルトモードにおいて、MAX1459はFSOTC DAC及びOTC DACリファレンスとして温度依存性ブリッジ駆動電圧を使用します。
10	ISRC	電流ソースリファレンス。内部100k 抵抗(R _{ISRC})を通じてISRCがV _{SS} に接続されています。「ファンクションダイアグラム」を参照)。別方法として、R _{FTC} とR _{ISRC} の代わり、あるいはこれらと並列に外部抵抗を使用することもできます。
11	OUT	出力電圧。OUTは、最低10k の抵抗性負荷及び最大0.1μFの容量性負荷を駆動する能力を持ったレイルトゥレイル [®] 出力です。
12	V _{SS}	負電源
13	BDRIVE	センサ励起電流出力。この電流ソースがブリッジを駆動します。
14	INP	正センサ入力。入力インピーダンスは1M (typ)。入力範囲はレイルトゥレイル。
15	INM	負センサ入力。入力インピーダンスは1M (typ)。入力範囲はレイルトゥレイル。
16	TEMP1	温度センサ端子1
17	TEMP2	温度センサ端子2。R _{TEMP1} は温度係数が4600ppm/ の100k 温度依存性抵抗です。
18	CK50	クロック出力(公称50kHz)
19	NBIAS	チップ電流バイアスソース。V _{DD} とNBIASの間の外部402k ±1%抵抗に接続して下さい。
20	V _{DD}	正電源入力。V _{DD} とV _{SS} の間に0.1μFコンデンサを接続して下さい。

レイルトゥレイルは日本モトローラの登録商標です。

2線4~20mA スマート信号コンディショナ

MAX1459

詳細

MAX1459はセンサ信号のアナログ増幅経路を提供し、キャリブレーション及び温度補正のデジタル経路を提供します。キャリブレーション及び補正は、プログラブルゲインアンプ(PGA)のオフセットと利得を変更し、センサブリッジ電流を変更することによって実現されます。PGAはスイッチトコンデンサCMOS技術を使用しており、入力換算オフセットトリミング範囲が $\pm 63\text{mV}$ (9mV ステップ)です。オフセットDACによって出力換算微調整オフセットトリミングも提供されています(約 2.8mV ステップ)。PGAは $+41\text{V/V} \sim +230\text{V/V}$ の範囲で8個の利得値を提供しています。ブリッジ電流ソースは、 $0.1\text{mA} \sim 2\text{mA}$ の範囲で設定可能です。

MAX1459は4つの12ビットDACを使用しており、キャリブレーション係数はユーザが内部128ビットEEPROMに保存します。このメモリは、以下の情報を12ビット幅のワードとして含んでいます。

- コンフィギュレーションレジスタ
- オフセットキャリブレーション係数
- オフセット温度エラー補償係数
- FSO(フルスパン出力)キャリブレーション係数
- FSO温度エラー補償係数
- 24個のユーザ定義ビット：これは製造データのカスタムプログラミング用(たとえば製造番号及び日付)

図1に、標準的な圧力センサ出力を示し、またオフセット、フルスケール及びFSO出力値を電圧の関数として示します。

FSOTC補償

シリコンピエゾ抵抗性トランスデューサ(PRT)は、大きな正の入力抵抗温度係数(TCR)を示すため、一定電流で励起している場合、ブリッジ電圧(V_{BDRIVE})は温度とともに増加します。 V_{BDRIVE} がこのようにセンサ温度に依存することを利用して、センサの温度エラーを補償できます。PRTは大きな負のフルスパン出力感度温度係数(TCS)も持っているため、一定電圧で励起している場合、フルスパン出力(FSO)は温度とともに減少し、このためフルスパン出力温度係数(FSOTC)エラーを生じます。しかし、TCSが温度とともに減少するのと同じ割合でブリッジ電圧を温度とともに増加させることができれば、FSOは一定に維持されます。

FSOTC補償は、抵抗 R_{FTC} とFSOTC DACによって行われます。これらはISRCにおける励起リファレンス電流を温度の関数として変調します(図2)。FSOTCの電圧が温度に依存して変化するのに対して、FSO DACは V_{ISRC} を設定し、温度に依存せず一定に留まります。

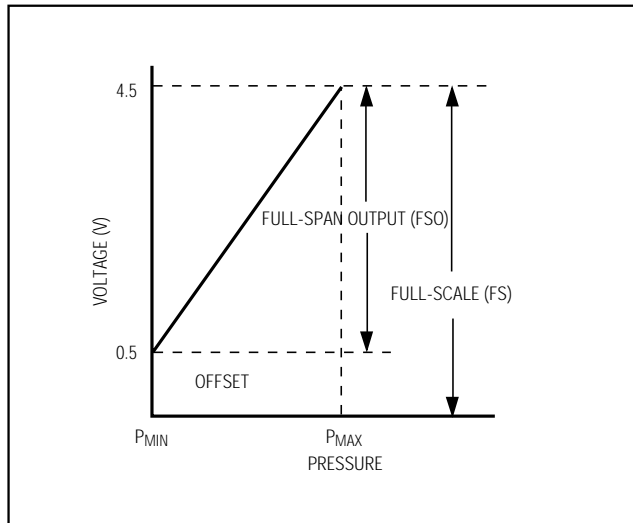


図1. 標準圧力センサ出力

FSOTCはFSOTC DACのバッファ出力です。リファレンスDAC電圧は V_{BDRIVE} で、これは温度に依存します。FSOTC DACは電流ソースの温度係数を変えます。ブリッジ電圧の温度係数がTCSと同じ絶対値で極性が逆の時、FSOTCエラーは補償され、FSOは温度が変化しても一定になります。

OFFSET TC補償

オフセットTCエラーの補償は、まず補償されていないオフセットTCエラーを測定し、次にエラーを補正するために出力加算ジャンクションに加える必要のある温度依存性の電圧 V_{BDRIVE} のパーセント比率を求めます。オフセットTC DACを使用して、出力加算ジャンクションに加えられるBDRIVE電圧の量を調整して下さい(図3)。

アナログ信号経路

完全差動アナログ信号経路は次の4段からなっています。

- 粗オフセット補正用のフロントエンド加算ジャンクション
- $41 \sim 230$ の範囲で8個の選択可能な利得を持つ3ビットPGA
- 3入力チャンネルの加算ジャンクション
- 差動からシングルエンドへの出力バッファ(図3)

粗オフセット補正

センサ出力は、まず $\text{CMRR} > 90\text{dB}$ 、入力インピーダンス約 $1\text{M}\Omega$ 、同相入力電圧範囲 $V_{\text{SS}} \sim V_{\text{DD}}$ の差動加算ジャンクション(INM(負入力)及びINP(正入力))に供給されます。この加算ジャンクションにおいて、粗オフセット補正電圧が加えられ、その結果得られる電圧がPGAに供給されます。3ビット(プラス符号)の入力換算オフセット

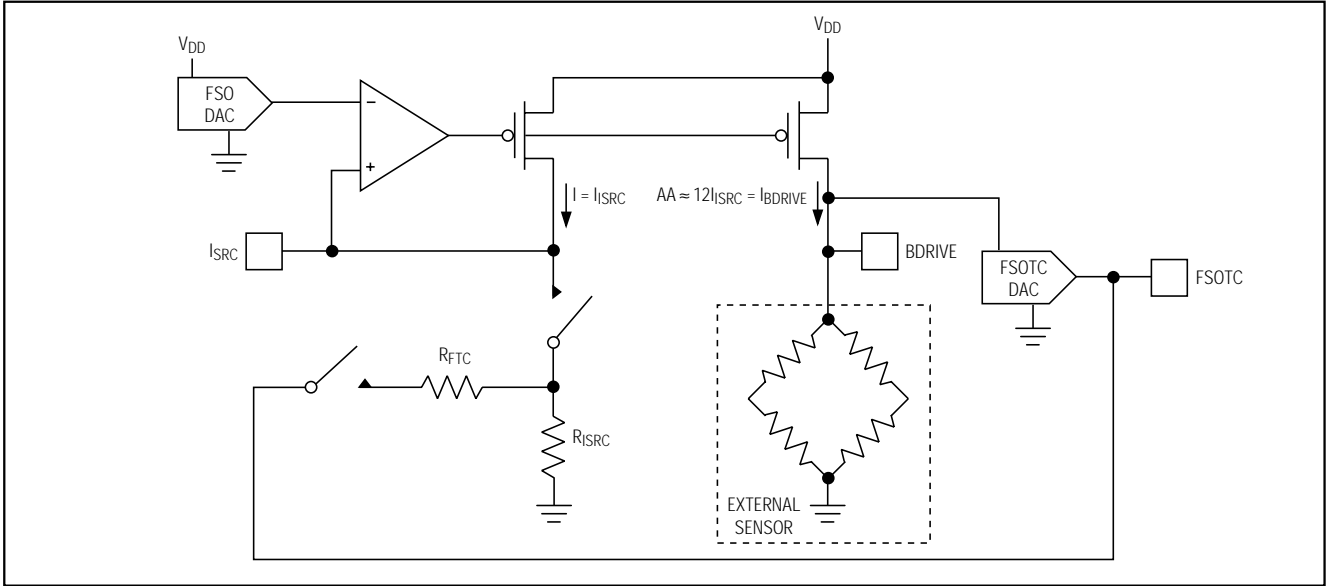


図2. ブリッジ励起回路

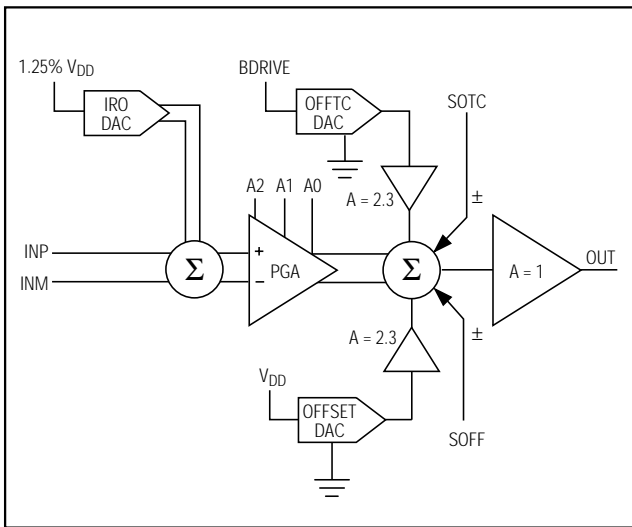


図3. 信号経路ブロック図

DAC (IRO DAC) が粗オフセット補正電圧を発生します。DAC電圧リファレンスは V_{DD} の1.25%であるため、 V_{DD} が5Vの場合はフロントエンドオフセット補正電圧が $-63\text{mV} \sim +63\text{mV}$ (9mVステップ)の範囲になります (表1)。入力信号にオフセットを加えるには、IROの符号ビットをハイに設定して下さい。入力信号からオフセットを減算するには、IROの符号ビットをローに設定して下さい。IRO DACビット (C2、C1、C0及びIRO符号ビット) はコンフィギュレーションレジスタで設定されます (「内部EEPROM」を参照)。

プログラマブルゲインアンプ

粗FSOの設定に使用されるプログラマブルゲインアンプ (PGA) は、スイッチトコンデンサCMOS技術を使用しており、41 ~ 230の範囲で8個 (27刻み) の選択可能な利得レベルを備えています (表2)。PGAの出力は出力加算ジャンクションに供給されます。3つのPGA利得ビットA2、A1及びA0はコンフィギュレーションレジスタに保存されます。

出力加算ジャンクション

アナログ信号経路の第3段は、PGA出力の加算ジャンクション、オフセット補正及びオフセットTC補正からなっています。加算ジャンクションに供給される前に、オフセット及びオフセットTC補正電圧の両方が2.3倍されます。これによりオフセット及びオフセットTC補正範囲が増大します。オフセット符号ビット及びオフセットTC符号ビットは、コンフィギュレーションレジスタに保存されます。オフセット符号ビットは、オフセット補正電圧がPGA出力に加えられるのか (符号ビットがハイ) あるいはPGA出力から差し引かれるのか (符号ビットがロー) を決定します。オフセットTCエラーが負の場合は、オフセットTC符号ビットがロジックハイであることが要求されます。同様に、オフセットTCエラーが正の場合は、オフセットTC符号ビットがロジックローであることが要求されます。加算ジャンクションの出力は出力バッファに供給されます。

2線4~20mA スマート信号コンディショナ

MAX1459

表1. 入力換算オフセットDAC補正值

IRO DAC					OFFSET CORRECTION PERCENT OF V _{DD} (%)	OFFSET CORRECTION AT V _{DD} = 5V (mV)
VALUE	SIGN	C2	C1	C0		
+7	1	1	1	1	+1.25	+63
+6	1	1	1	0	+1.08	+54
+5	1	1	0	1	+0.90	+45
+4	1	1	0	0	+0.72	+36
+3	1	0	1	1	+0.54	+27
+2	1	0	1	0	+0.36	+18
+1	1	0	0	1	+0.18	+9
-0	0	0	0	0	0	0
-1	0	0	0	1	-0.18	-9
-2	0	0	1	0	-0.36	-18
-3	0	0	1	1	-0.54	-27
-4	0	1	0	0	-0.72	-36
-5	0	1	0	1	-0.90	-45
-6	0	1	1	0	-1.08	-54
-7	0	1	1	1	-1.25	-63

表2. PGA利得設定及びIRO DACステップサイズ

PGA VALUE	A2	A1	A0	PGA GAIN (+V/+V)	OUTPUT-REFERRED IRO DAC STEP SIZE (V _{DD} = 5V) (V)
0	0	0	0	41	0.369
1	0	0	1	68	0.612
2	0	1	0	95	0.855
3	0	1	1	122	1.098
4	1	0	0	149	1.341
5	1	0	1	176	1.584
6	1	1	0	203	1.827
7	1	1	1	230	2.070

出力バッファ

出力バッファ(OUT)は無負荷時に両電源電圧から50mV以内までスイングし、10k Ω 負荷駆動時に両電源電圧から0.25V以内までスイングすることができます。OUTは0.1 μ Fの容量を容易に駆動できます。出力は電流制限されており、V_{DD}又はV_{SS}に短絡し続けても構いません。CSをローにすると、OUTはハイインピーダンスになり、標準出力インピーダンスが1M Ω (typ)と

なります。これにより、MAX1459を並列接続することが可能であるため、テストシステムのハーネスがそれほど複雑になりません。

ブリッジドライブ

FSO微補正は、センサ励起電流を12ビットFSO DACで変えることによって行います(図2)。センサブリッジの励起は、最大2mAまで供給できるプログラマブル電流ソースによって行われます。ISRCにおけるリファレンス電流は、抵抗R_{ISRC}及びISRC(FSO DACにより制御)によって決まります。このピンを流れるリファレンス電流は電流ミラー(電流ミラー利得AA \cong 12)によって乗算され、BDRIVEから供給されてセンサ励起に使用することができます。この電流の温度による変調を使用してFSOTCエラーを補正することができます。また出力電圧(V_{OUT})による変調を使用してFSO直線性エラーを補正することができます。

電圧駆動センサ

FSOTCが無視できるセンサの場合、ISRC及びBDRIVEを短絡してMAX1459を固定電圧駆動構成にすることができます。オフセットTCはR_{TEMP}で補償することができます。コンフィギュレーションレジスタのビット5を1に設定し、TEMPINを温度依存性電圧ソースに接続して下さい。このソースはR_{TEMP}に電流を流すことによって簡単に生成できます。このアプリケーションの詳細については、MAX1459リファレンスマニュアルを参照して下さい。

デジタルアナログコンバータ

4つの12ビットシグマ・デルタDACは、100ms以下(typ)でセトリングします。4つのDACは、補正係数を保存するためにEEPROM内にそれぞれ対応するメモリレジスタを持っています。

FSO DACはV_{DD}からリファレンスを取り、V_{ISRC}を制御します。そしてV_{ISRC}がセンサ励起電流のベースラインを設定します。FSO DACはFSOの微調整に使用されます。オフセットDACもリファレンスをV_{DD}から取っており、V_{DD}が5Vの時に1.22mVの分解能を提供しています。オフセットDACの出力は出力加算ジャンクションに供給され、そこで約2.3倍の利得を与えられるため、出力換算オフセット補正分解能は2.8mVとなります。

オフセットTC及びFSOTC DACは、いずれもリファレンスを温度依存性電圧から取っています。デフォルトモードにおいては、この電圧は内部でBDRIVEに接続されています。別方法として、コンフィギュレーションレジスタのビット5をセットすることにより、TEMPIN

を通じて別の温度センサを使用することもできます。この温度センサとしては、 R_{TEMP} 又は外部温度抵抗を使用することができます。

オフセットTC DACの出力は出力加算ジャンクションに供給され、そこで約2.3倍されるため、オフセットTC補正範囲が増大します。バッファ付FSOTC DAC出力はFSOTCに出てきて、FSOTCエラーを補正するために R_{FTC} を通じてISRCに接続されます。

内部リファレンス

MAX1459は、一般的なシリコンPRT用に最適化された3つの内部抵抗(R_{ISRC} 、 R_{FTC} 及び R_{TEMP})を備えています。 R_{ISRC} (とFSO DAC)は、公称センサ励起電流を設定します。 R_{FTC} (とFSOTC DAC)はFSOTCエラーを補償します。 R_{ISRC} 及び R_{FTC} はいずれも公称値が100k です。外部抵抗を使用する場合は、コンフィギュレーションレジスタの該当するビットをリセット(アドレス07hをゼロにリセット)することによって、 R_{ISRC} と R_{FTC} をディセーブルすることができます(表3)。

R_{TEMP} は、+25 における公称抵抗が100k で、TCが+4600ppm/ の高温係数抵抗です。この抵抗は、外部温度センサを必要とする一部のセンサタイプに対して使用することができます。この2つの R_{TEMP} 端子は、MAX1459のピン16及びピン17として提供されています。

表3. コンフィギュレーションレジスタ

BIT	CONFIGURATION REGISTER	
	EEPROM ADDRESS (hex)	DESCRIPTION
11	0B	IRO Sign, SIRO
10	0A	IRO MSB, C2
9	09	IRO, C1
8	08	IRO LSB, C0
7	07	R_{ISRC}/R_{FTC} Selection Bit (0 = enable internal), IRS
6	06	Reserved "0"
5	05	Temperature Sensor Selection Bit (0 = default V_{BDRIVE})
4	04	PGA Gain (MSB), A2
3	03	PGA Gain, A1
2	02	PGA Gain (LSB), A0
1	01	Offset Sign Bit, SOFF
0	00	Offset TC Sign Bit, SOTC

内部EEPROM

MAX1459は、8個の16ビットレジスタとして構成された128ビットの内部EEPROMを持っています。各レジスタの4つの上位ビットは予約ビットです。この内部EEPROMは、以下の内容(表4のメモリマップも参照)を保存するために使用されています。

- コンフィギュレーションレジスタ(表3)
- オフセット及びFSO DAC用の12ビットキャリブレーション係数
- オフセットTC及びFSOTC DAC用の12ビット補償係数
- 製造番号、バッチ日付及びチェックサム等のプロセス情報をユーザが保存するための2つの汎用レジスタ

EEPROMはビットアドレス指定が可能です。以下の手順でEEPROMを設定して下さい。ビットのアドレスは0 ~ 127(07F hex)です。

- 1) EEPROM全体を読取ってから、予約(リザーブ)ビットを保存します。
- 2) EEPROM全体を消去します。これによって、全てのビットが0になります(「ERASE EEPROMコマンド」の項を参照)。
- 3) 予約ビットも含めて、必要なビットを1に設定します(「WRITE EEPROM BITコマンド」の項を参照)。
- 4) READ EEPROM BITコマンド又はREAD EEPROM MATRIXコマンドを使用して、EEPROM全体を読取ります(「READ EEPROM BITコマンド」及び「READ EEPROM MATRIXコマンド」の項を参照)。

コンフィギュレーションレジスタ

コンフィギュレーションレジスタ(表3)は、PGA利得、オフセット及びオフセットTC係数の極性及び粗オフセット補正(IRO DAC)を決定します。また、内部抵抗(R_{FTC} 及び R_{ISRC})のイネーブル/ディセーブルも行います。

DACレジスタ

オフセット、オフセットTC、FSO及びFSOTCレジスタは、対応するキャリブレーション/補償DACで使用する係数を保存します。

デジタルラインの詳細

チップセレクト(CS)及び書込みイネーブル(WE)

CSは、OUTのイネーブル、シリアル通信の制御及びコンフィギュレーションとDACレジスタの強制更新に使用されます。

- CSがローの時シリアル通信がディセーブルされ、OUTがハイインピーダンスになります。

2線4~20mA スマート信号コンディショナ

MAX1459

表4. EEPROMメモリマップ

EE Address	0F	0E	0D	0C	0B	0A	09	08	07	06	05	04	03	02	01	00
Contents	1	0	0	0	Configuration											
EE Address	1F	1E	1D	1C	1B	1A	19	18	17	16	15	14	13	12	11	10
Contents	1	0	0	1	MSB	Offset										LSB
EE Address	2F	2E	2D	2C	2B	2A	29	28	27	26	25	24	23	22	21	20
Contents	1	0	1	0	MSB	Offset TC										LSB
EE Address	3F	3E	3D	3C	3B	3A	39	38	37	36	35	34	33	32	31	30
Contents	1	0	1	1	MSB	FSO										LSB
EE Address	4F	4E	4D	4C	4B	4A	49	48	47	46	45	44	43	42	41	40
Contents	1	1	0	0	MSB	FSOTC										LSB
Reserved	5F	5E	5D	5C	5B	5A	59	58	57	56	55	54	53	52	51	50
	0	0	0	0	Reserved											
EE Address	6F	6E	6D	6C	6B	6A	69	68	67	66	65	64	63	62	61	60
Contents	0	0	0	0	User-Defined Bits											
EE Address	7F	7E	7D	7C	7B	7A	79	78	77	76	75	74	73	72	71	70
Contents	0	0	0	0	User-Defined Bits											

= Reserved Bits

Note: The MAX1459 processes the Reserved Bits in the EEPROM. If these bits are not properly programmed, the configuration and DAC registers will not be updated correctly.

- INITシーケンスのUビットがゼロの時にCSがローからハイに遷移すると、EEPROMの内容を使用してコンフィギュレーション及びDACレジスタが更新されます。
- CS端子がハイからローに遷移すると、プログラミングモードが終了します。
- CSがロジックハイの時、OUT及びシリアル通信がイネーブルされます(「通信プロトコル」の項を参照)。
- WEがローの時、消去/書き込み動作がディセーブルされ、EEPROMでレジスタをリフレッシュする動作がディセーブルされます。
- WEがハイの時、リフレッシュ速度として約400回/秒が選択され、EEPROMの消去/書き込み動作がイネーブルされます。
- MAX1459のEEPROMがプログラムされた後は、WEをV_{SS}に接続することを推奨します。

WEは、内部コンフィギュレーション及びDACレジスタをEEPROMの内容でリフレッシュする速度を制御し、消去/書き込み動作をイネーブルします。通信が始まっていると(「通信プロトコル」の項を参照)内部レジスタのリフレッシュがディセーブルされます。

SCLK(シリアルクロック)

SCLKは外部から駆動する必要があります。このクロックは、MAX1459にコマンドを入力してEEPROMの内容を読み取るために使用されます。DIOの入力データはSCLKの上上がりエッジでラッチされます。

データ入力/出力

データ入力/出力(DIO)ラインは、MAX1459にコマンドを送るため(入力モード)あるいはEEPROMの内容を読むため(出力モード)に使用されます。

入力モード(デフォルトモード)においては、DIOのデータはSCLKの各立上がりエッジでラッチされます。つまり、DIOにおけるデータはSCLKの立上がりエッジで安定している必要があり、SCLKの立下がりエッジで遷移させることが必要です。

DIOは、READ EEPROMコマンド又はREAD EEPROM MATRIXコマンドを受け取ると出力モードに切り替わります。詳細については「EEPROMの読取り」の項を参照して下さい。

通信プロトコル

通信を開始するには、CSのローからハイへの遷移後のDIOの最初の8個のビットが101010U0(AA hex又はA8 hex、INITシーケンスとして定義)でなければなりません。MAX1459は次に16ビット制御ワードを受け付け始めます(図4)。

INIT SEQUENCEが検出されないと、DIO上のその後の全てのデータが無視されます。この状態はCSが再びローからハイに遷移して、正しいINIT SEQUENCEが受信されるまで続きます。

INIT SEQUENCEのUビットは、DAC及びコンフィギュレーションレジスタの内部EEPROMによる更新を制御します。このビットがロー(U = 0、INIT SEQUENCE = A8 hex)であると、次のCSの立上がりエッジで4つの内部DACの全て及びコンフィギュレーションレジスタが更新されます(これがパワーアップ時のデフォルトです)。Uビットがハイの時(INIT SEQUENCE = AA hex)は、DAC及びコンフィギュレーションレジスタが内部EEPROMから更新されず、その後でCSの立上がりエッジがあってもその時の値を保持します。MAX1459はCSがローになるまで制御ワードを受け付け続けます。

制御ワード

DIOにINIT SEQUENCEを受信した後、MAX1459は16ビットの制御ワードを(MSBを先にして)ラッチし始めます(図5)。

制御ワードの最初の4ビット(MSBであるCM3~CM0)はコマンドフィールドです。最後の12ビット(D11~D0)はデータフィールドを表します。MAX1459は、表5に記載されているコマンドをサポートします。

No-OPコマンド(0 hex)

ERASE EEPROM及びWRITE EEPROM BITコマンドの前には、ノーオペレーション(No-OP)コマンドを出す必要があります。ERASE EEPROMコマンドの場合、

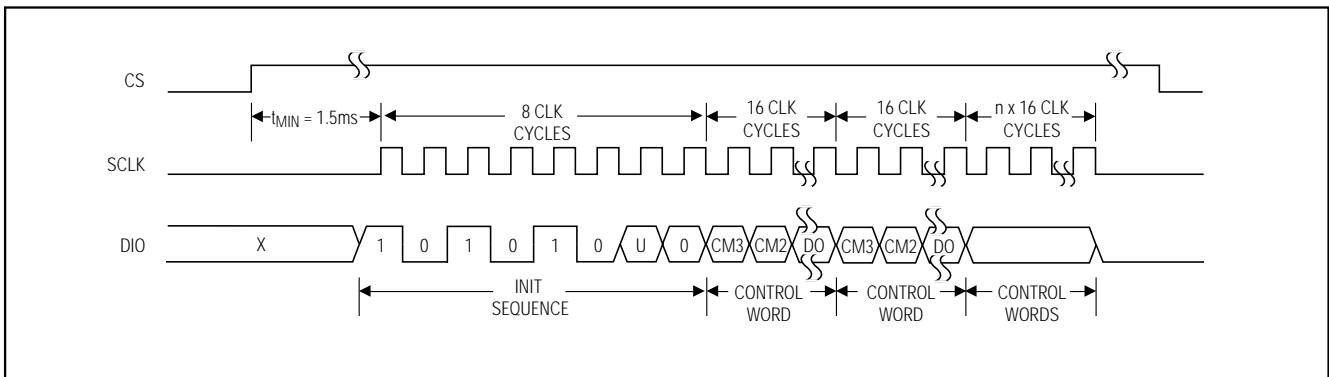


図4. 通信シーケンス

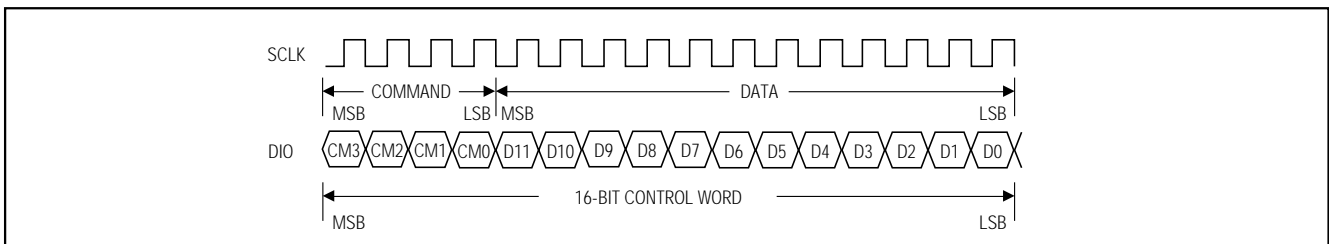


図5. 制御ワードのタイミング図

2線4~20mA スマート信号コンディショナ

MAX1459

表5. MAX1459のコマンド

FUNCTION	HEX CODE	CM3	CM2	CM1	CM0
No-OP	0h	0	0	0	0
ERASE EEPROM	1h	0	0	0	1
WRITE EEPROM BIT	2h	0	0	1	0
READ EEPROM BIT	3h	0	0	1	1
MAXIM RESERVED	4h	0	1	0	0
MAXIM RESERVED	5h	0	1	0	1
MAXIM RESERVED	6h	0	1	1	0
MAXIM RESERVED	7h	0	1	1	1
WRITE Data to Configuration Register	8h	1	0	0	0
WRITE Data to Offset DAC	9h	1	0	0	1
WRITE Data to Offset-TC DAC	Ah	1	0	1	0
WRITE Data to FSO DAC	Bh	1	0	1	1
WRITE Data to FSOTC DAC	Ch	1	1	0	0
CONTROL OUTPUT MUX	Dh	1	1	0	1
READ EEPROM MATRIX	Eh	1	1	1	0
LOAD REGISTER	Fh	1	1	1	1

制御ワードは0000 hexでなければなりません。WRITE EEPROM BITコマンドの場合、コマンドフィールドは0hでなければならず、データフィールドは下位ビットにこれから書き込まれるEEPROMアドレスを持っている必要があります(図6)。例えば、EEPROMの1C hexの位置(予約ビットのうちの1つ)に書き込むために必要なコマンドは以下のようになります。

- 001C hex : No-OPコマンド。データフィールドにはアドレス1C hex。
- 201C hex : WRITE EEPROM BITコマンド。データフィールドにはアドレス1C hex。
- 001C hex : No-OPコマンド。データフィールドにはアドレス1C hex。

ERASE EEPROMコマンド(1 hex)

ERASE EEPROMが発信されると、EEPROMの全てのメモリ領域がロジック0にリセットされます。16ビットワードのデータフィールドは無視されます(図7)。

重要: 内部チャージポンプは、EEPROMプログラミング動作に20V以上の電圧を発生します。EEPROM制御ロジックは、EEPROMを消去するために10msを要します。WRITE又はERASEコマンドを送った後、10ms以内に別のコマンドを出すと、EEPROMに間違ってデータが書き込まれることがあります。ERASE EEPROMサイクルの最大数が100を超えないようにして下さい。

WRITE EEPROM BITコマンド(2 hex)

WRITE EEPROM BITコマンドは、データフィールドの下位7ビット(D6~D0)で指定されたメモリ領域にロジックハイを保存します。データフィールドの上位ビット(D11~D7)は無視されます(図8)。内部EEPROMへの書き込みを行うには、WEとCSがハイでなければならないことに注意して下さい。さらに、EEPROMは $T_A = +25$ 、 $V_{DD} = +5V$ の条件でのみ書き込むようにして下さい。

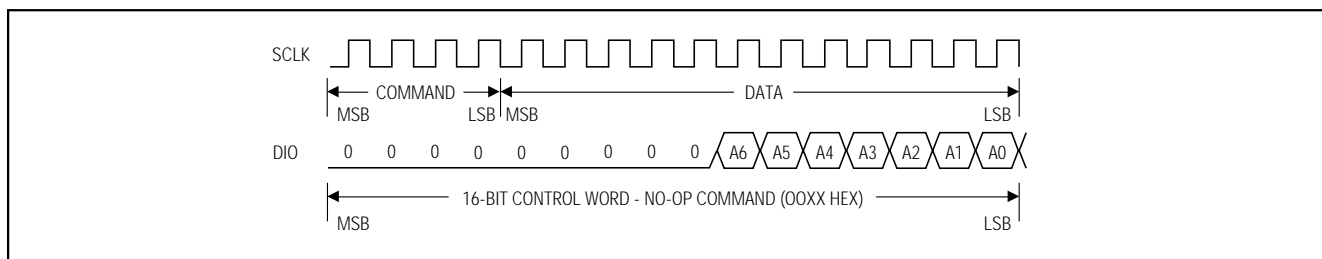


図6. No-OPコマンドのタイミング図

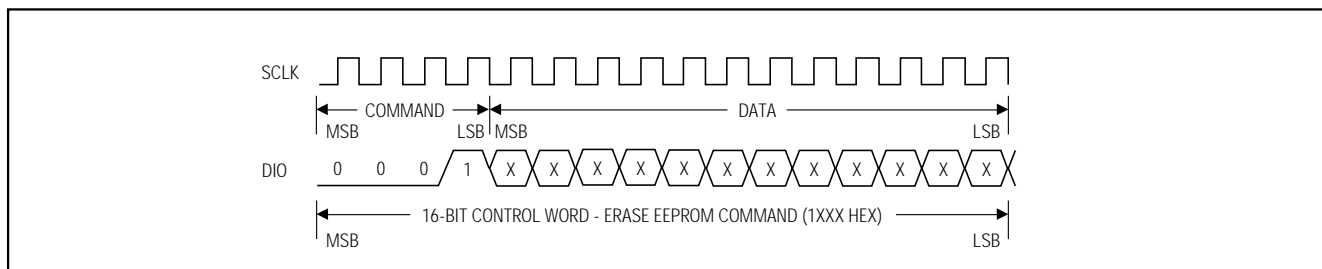


図7. ERASE EEPROMコマンドのタイミング図

内部EEPROMへの書込みは時間のかかるプロセスであり、1回だけで済ませるようにして下さい。全てのキャリブレーション/補償係数は、DAC及びコンフィギュレーションレジスタに直接書き込むことによって決定されます。これらのキャリブレーション/補償係数をEEPROMに書き込む時は、以下の手順に従って下さい。

- 1) No-OPコマンド(0000 hex)を出します。
- 2) ERASE EEPROM(1000 hex)コマンドを出します。
- 3) 10ms間待ちます。
- 4) No-OPコマンド(0000 hex)を出します。
- 5) データフィールドにビットのアドレスが入った状態でNo-OPコマンド(00XX hex、ただしXXはデータフィールド内のビットアドレス)を出します。
- 6) データフィールドに同じビットアドレスが入った状態でWRITE EEPROM BITコマンド(20XX hex)を出します。
- 7) 10ms間待ちます。
- 8) データフィールドに同じビットアドレスが入った状態でNo-OPコマンド(00XX hex)を出します。
- 9) ステップ5に戻ります。必要な全てのビットがセットされるまでこれを繰り返します。
- 10) 正しいキャリブレーション/補償係数が保存されていることを確認するために、EEPROMを読み取ります。

READ EEPROM BITコマンド(3 hex)

READ EEPROM BITコマンドは、データフィールドの下位7ビット(D6 ~ D0)ビットでアドレス指定されたメモリ領域に保存されているビットを返します。データフィールドの上位ビットは無視されます。読取りコマンドが出るとDIOラインは出力となり、アドレス指定されたEEPROM位置の内容は次の15個のSCLKサイクルの間DIOに現れます。READ EEPROMコマンドを出した後16個目のSCLKサイクルの立下がりエッジでDIOは入力モードに戻ります(図9)。DIOはSCLKの立上がりエッジでは安定しています。

コンフィギュレーション、DAC及び出力選択レジスタへの書込み (コマンド8、9、A、B、C及びD hex)

コマンド8 hex、9 hex、A hex、B hex及びC hexは、データフィールドの12ビット(D11 ~ D0)をコンフィギュレーションレジスタ及びDACレジスタに直接書き込みます。各レジスタ書込みコマンドの後でLOAD-REGISTERコマンド(Fxx hex)を出す必要があります。有効なINIT SEQUENCEの後で、4つのDAC全てとコンフィギュレーションレジスタはCSラインをトグルすることなく更新できることに気をつけて下さい(図10)。

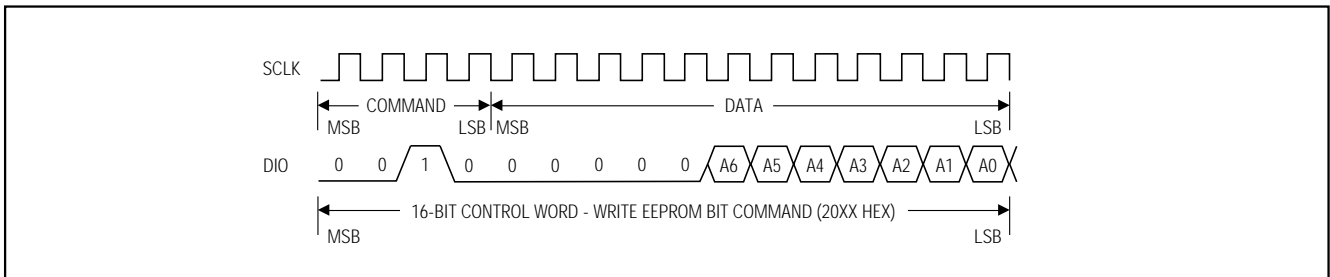


図8. WRITE EEPROM BITコマンドのタイミング図

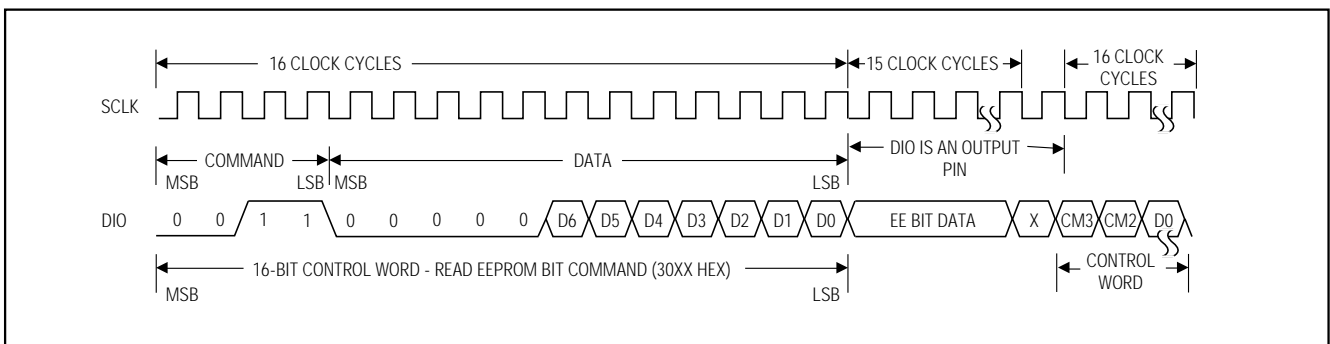


図9. READ EEPROM BITのタイミング図

2線4~20mA スマート信号コンディショナ

MAX1459

表6. 出力マルチプレクサの選択

MUX VALUE	D1	D0	OUTPUT
0 (default power-up)	0	0	Conditioned Output Voltage (PGA)
1	0	1	Sensor Bridge Voltage (V _B)
2	1	0	Current-Source Voltage (V _{SPAN})
3	1	1	Power Supply Voltage (V _{DD})

OUTPUT SELECTコマンド(D hex)

OUTPUT SELECTコマンドは、出力ピンをデフォルトのPGA出力の代わりに他の内部ノードに接続します(図10)。表6に出力マルチプレクサの設定を示します。出力マルチプレクサは、テストシステムが出力ピンを通じて様々な電圧を監視するために役立ちます。

READ EEPROM MATRIXコマンド(E hex)

このコマンドを出すと、128ビットEEPROMの内容全体がDIOに現れます。MAX1459がREAD EEPROM MATRIXコマンドを受け取ると、DIOはその後128クロックサイクルの間出力になります。128個目のクロックサイクルの後、DIOはデフォルトの入力モードに戻り、MAX1459は新しいコマンドを受け付けることができるようになります(図11)。DIO上のデータはSCLKの立下がりエッジで変化し、SCLKの立上がりエッジでは安定しています。

DIO上のEEPROMデータは8個の16ビットワード(MSB~LSB)です。順番は0F hex、0E hex、0D hex、...、00 hex(ワード0)、1F hex、1E hex、1D hex、... (ワード1)、...、7F hex、7E hex、...、70 hex(ワード7)です。

アプリケーション情報

パワーアップ

パワーアップ時には以下動作をします。

- 1) DAC及びコンフィギュレーションレジスタがゼロにリセットされます。
- 2) パワーアップの後でCSがローからハイに遷移します(CSが接続されていない場合、内部プルアップ抵抗がこの遷移を保証します)。そしてEEPROMの内容が読み取られ、処理されます。
- 3) DAC及びコンフィギュレーションレジスタが1回(WEがロジック0の時)あるいは約400回/秒(WEがロジック1の時)更新されます。
- 4) MAX1459は、INIT SEQUENCEを受信した直後から、DIOでシリアルフォーマットのコマンドを受け付け始めます。

適正動作のためにはMAX1459をプログラムする必要があります。

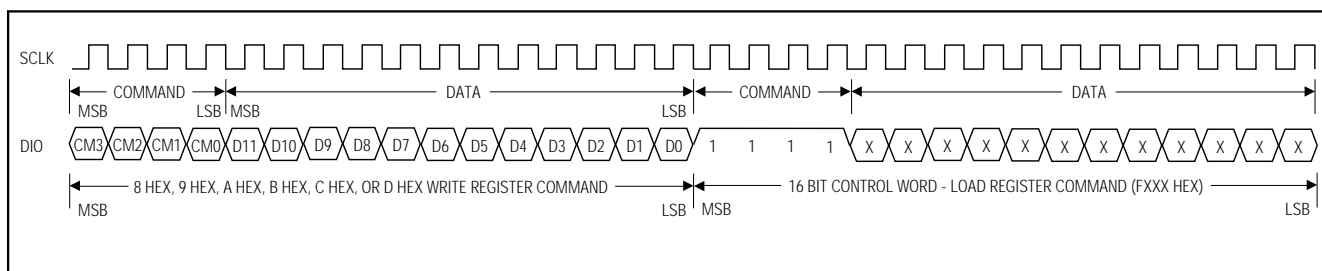


図10. レジスタ書き込み動作のタイミング

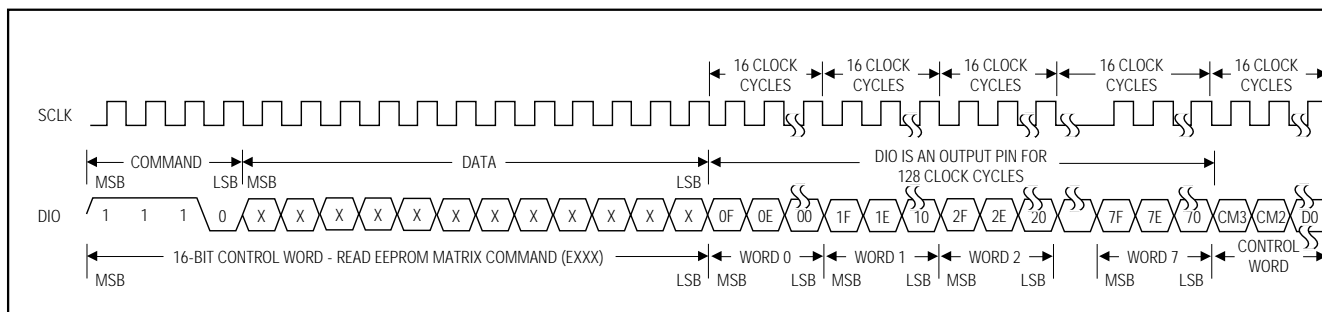


図11. EEPROMの内容全体を読み取るためのタイミング図

補償手順

表7及び図12に示す結果を得るために、以下の補償手順が使用されています。+5V電源付で出力電圧が電源電圧と比例関係になっている圧力トランスデューサを想定しています。希望のオフセット電圧(P_{MIN} における V_{OUT})は0.5Vで、希望のFSO電圧($V_{OUT}(P_{MAX}) - V_{OUT}(P_{MIN})$)は4Vです。つまり、FSO電圧(P_{MAX} における V_{OUT})は4.5Vになります(図1を参照)。この手順は、任意の2つのテスト温度 T_1 及び T_2 において、少なくとも2つのテスト圧力(例えばゼロとフルスケール)を必要とします。最良の直線フィットによる補償を実行したい2つのポイントを T_1 及び T_2 にすることが理想的です。以下に標準的な補償手順を示します。

- 1) 係数初期化の実行
- 2) FSOキャリブレーションの実行
- 3) FSOTC補償の実行
- 4) オフセットTC補償の実行
- 5) オフセットキャリブレーションの実行

係数の初期化

PGA及びブリッジ電流ソースの過負荷を防ぐ抵抗値とPGA利得を選んで下さい。MAX1459の内部抵抗が適切か、あるいは外部抵抗が必要かを決めて下さい。これらの値は、センサの動作に依存するため、センサの特性データ(センサのメーカーから入手して下さい)が必要です。特性データが入手できない場合は、2温度、2圧力のセンサ評価作業を行ってデータを得ることができます。必要なセンサ情報は表8に示してあり、これを使って、表9に記載されているパラメータの値を得ることができます。

R_{ISRC} の選択

外部抵抗を使用する場合は、下の式を使用して R_{ISRC} の値を求め、ISRCと V_{SS} の間に接続して下さい。12ビットFSO DACはダイナミックレンジが広いため、 R_{ISRC} の値は正確でなくても構いません。一般に、計算値の $\pm 50\%$ 以内の抵抗値であれば問題ありません。内部抵抗 R_{ISRC} と R_{FTC} の両方を使用する場合は、EEPROMのアドレスビット07 hexのIRSビットをローに設定して下さい。

表7. MAX1459のキャリブレーション及び補償

TYPICAL UNCOMPENSATED INPUT (SENSOR)		TYPICAL COMPENSATED TRANSDUCER OUTPUT	
NAME	DESCRIPTION	NAME	DESCRIPTION
Offset	$\pm 80\%$ FSO	V_{OUT}	Ratiometric to V_{DD} at 5.0V
FSO	+15mV/V	Offset at +25°C	0.500V ± 5 mV
Offset TC	-17% FSO	FSO at +25°C	4.000V ± 5 mV
Offset TC Nonlinearity	0.7% FSO	Offset Accuracy Over Temp Range	± 28 mV ($\pm 0.7\%$ FSO)
FSO TC	-35% FSO	FSO Accuracy Over Temp Range	± 20 mV ($\pm 0.5\%$ FSO)
FSO TC Nonlinearity	0.5% FSO		
Temperature Range	-40°C to +125°C		

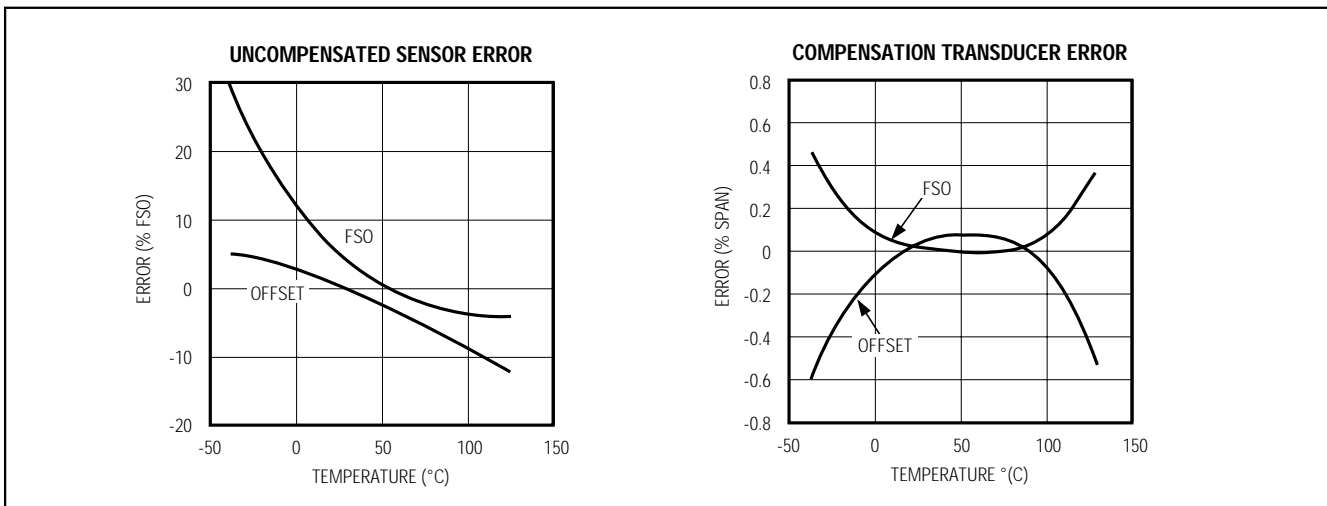


図12. キャリブレーションされていないセンサと温度補償済みトランスデューサの比較

2線4~20mA スマート信号コンディショナ

MAX1459

それ以外の場合には、IRSをハイに設定して、図13に示すようにして外部抵抗を接続して下さい。

$$R_{ISRC} \approx 12 \times R_b(T) \\ \approx 12 \times 5k\Omega \approx 60k\Omega$$

ここで、 $R_b(T)$ は温度T1(この例では+25)におけるセンサ入力インピーダンスです。

表8. 標準PRT用のセンサ情報

PARAMETER	SENSOR DESCRIPTION	TYPICAL VALUES
Rb(T)	Bridge Impedance	5kΩ at +25°C
TCR	Bridge Impedance Tempco	2600ppm/°C
S(T)	Sensitivity	+1.5mV/V per PSI at +25°C
TCS	Sensitivity Tempco	-2100ppm/°C
O(T)	Offset	+12mV/V at +25°C
OTC	Offset Tempco	-1000ppm/°C of FSO
S(p)	Sensitivity Linearity Error as % FSO, BSLF (best straight-line fit)	0.1% FSO, BSLF
P _{MIN}	Minimum Input Pressure	0 psi
P _{MAX}	Maximum Input Pressure	10 psi

表9. 補償部品及び部品定数

PARAMETER	DESCRIPTION
R _{ISRC}	Internal (approximately 100kΩ) or user-supplied resistor that programs the nominal sensor excitation current
R _{FTC}	Internal (approximately 100kΩ) or user-supplied resistor that compensates FSOTC errors
APGA	Programmable-gain amplifier gain
IRO	Input-referred offset correction DAC value
IRO Sign	Input-referred offset sign bit
IRS	Internal resistor selection bit
OFF COEF	Offset correction DAC coefficient
OFF Sign	Offset sign bit
OFFTC COEF	Offset TC compensation DAC coefficient
OFFTC Sign	Offset TC sign bit
FSO COEF	FSO trim DAC
FSOTC COEF	FSOTC compensation DAC

R_{FTC}の選択

外部抵抗を使用する場合は、下の式を使用してR_{FTC}の値を求め、ISRCとFSOTCの間に接続して下さい。12ビットFSOTC DACはダイナミックレンジが広いので、R_{FTC}の値は正確でなくても構いません。一般に、計算値の±50%以内の抵抗値であれば問題ありません。

$$R_{FTC} \approx \frac{R_{ISRC} \times 500\text{ppm}/^\circ\text{C}}{\text{TCR} - |\text{TCS}|} \\ \approx \frac{60k\Omega \times 500\text{ppm}/^\circ\text{C}}{2600\text{ppm}/^\circ\text{C} - |-2100\text{ppm}/^\circ\text{C}|} \approx 60k\Omega$$

この近似は、バルクのマイクロマシン処理シリコンPRTに最適です。R_{FTC}が負になる場合は、センサの動作が通常のものとは異なることを意味します。この場合は外部回路を追加しないとMAX1459による補償を行うことができません。

PGA利得設定の選択

PGAの利得設定を選択するには、まずT1におけるSensorFSO(センサのフルスパン出力電圧)を計算して下さい。

$$\text{SensorFSO} = S \times V_{\text{BDRIVE}} \times \Delta P \\ = +1.5\text{mV/V per PSI} \times 2.5\text{V} \times 10\text{ PSI} \\ = 0.0375\text{V}$$

ここで、SはT1におけるセンサの感度、V_{BDRIVE}はセンサ励起電圧(初期値2.5V)及び Pは最大圧力差です。

次に、下の式を使って理想的な利得を計算し、表2から最も近い利得設定を選択して下さい。

$$A_{\text{PGA}} \approx \frac{\text{OUTFSO}}{\text{SensorFSO}} \\ \approx \frac{4\text{V}}{0.0375\text{V}} = +106\text{V/V}$$

ここで、OUTFSOはキャリブレーション済みの希望するトランスデューサフルスパン出力電圧、SensorFSOはT1におけるセンサのフルスパン出力電圧です。

この例のPGAの値は2(利得+95V/V)が最適です。

入力換算OFFSETの決定

PGAによる増幅の前にフロントエンドセンサオフセットエラーをゼロにするために、入力換算オフセット(IRO)レジスタが使用されます。これにより、(特に利得が高い場合に)PGAが飽和するのを防ぎ、PGAの使用可能なダイナミックレンジが最大になります。

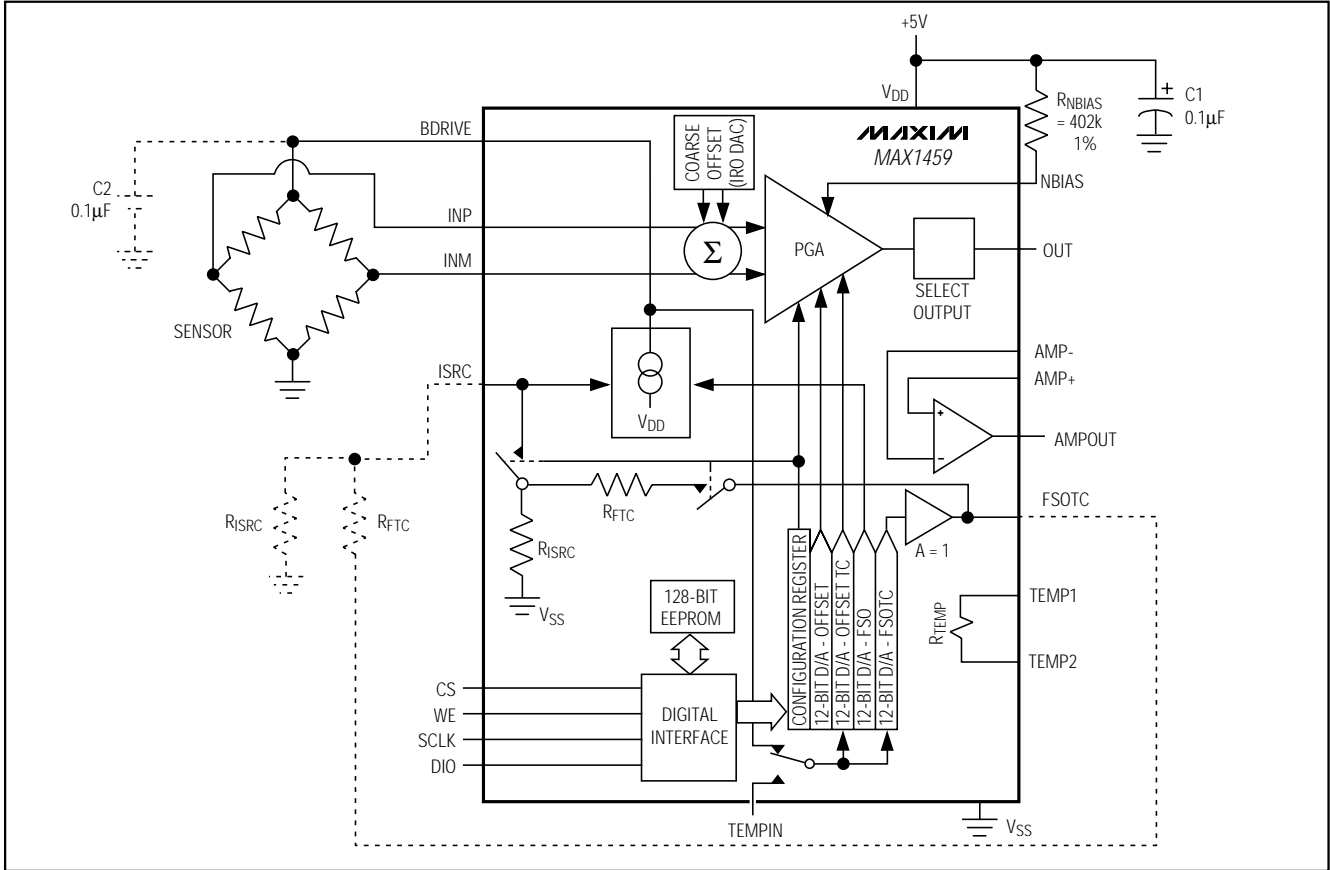


図13. 基本的なレシオメトリック出力構成

まず、下の式を使って理想的なIRO補正電圧を計算し、表1から最も近い設定を選択して下さい。

$$\begin{aligned} IRO_{ideal} &= -[O(T1) \times V_{BDRIVE}(T1)] \\ &= -(0.012V/V) \times 2.5V \\ &= -30mV \end{aligned}$$

ここで、IRO_{ideal}はセンサを完全にゼロにするために必要な電圧の値、O(T1)は+25におけるセンサオフセット電圧(V/V単位)、そしてV_{BDRIVE}(T1)は+25における標準センサ励起電圧です。この例においては、センサを完全にゼロにするためにアンプのフロントエンドから30mVを減算する必要があります。表1からIRO値として3を選ぶと、IRO DACが27mVになります。これが理想値に一番近い値です。この値を減算するには、IROの符号ビットを0にして下さい。残りの出力換算オフセットエラーは後にオフセットDACによって補正されます。

OFFTC COEF初期値の決定

一般に、OFFTC COEFは最初に0に設定できます。これはTCエラーが後で補償されるためです。しかし、オフセットTCエラーの大きなセンサの場合は、補償手順中に温度を上げた時にPGAが飽和しないように初期粗オフセットTC調整が必要です。初期粗オフセットTC調整は、オフセットTCがFSOの約10%よりも大きなセンサに必要です。初期粗オフセットTC調整が必要な場合は、以下の式を使って下さい。

$$\begin{aligned} OFFTC\ COEF &= \frac{4096 \times \Delta V_{OUT}(T)}{\Delta V_{BDRIVE}(T) \times 2.3} \\ &\cong \frac{4096 \times (OTC \times FSO) \times \Delta T}{TCS \times V_{BDRIVE} \times 2.3 \times \Delta T} \\ &\cong \frac{4096 \times (-1000ppm/^{\circ}C \times 4V)}{-2100ppm/^{\circ}C \times 2.5V \times 2.3} \cong 1357 \end{aligned}$$

2線4~20mA スマート信号コンディショナ

MAX1459

ここで、OTCはOUTFSOに対するppm/ 単位で表したセンサオフセットTCエラー(表8)、Tは動作温度範囲()、OFFTC COEFはDACにロードすべき10進法の数値です。正の値の場合はOFFTCの符号ビットをハイに設定して下さい。負の値の場合はOFFTCの符号ビットをローに設定して下さい。OFFTC COEFの絶対値が4096より大きい場合、センサは非常に大きなオフセットTCエラーを持っていることになり、MAX1459はこのエラーを完全に補正することができません。

FSOキャリブレーション

FSOキャリブレーションは室温においてフルスケールのセンサ励起状態で行って下さい。

- 1) FSOTC COEFを1000に設定します。
- 2) T1において、 V_{BDRIVE} が約2.5VになるまでFSO DACを調整します。
- 3) T1オフセット電圧が0.5Vになるまで、オフセットDAC(必要であればOFFSET符号ビットも)を調整します(「OFFSETキャリブレーション」を参照)。
- 4) フルスパン出力(measured V_{FSO})を測定します。
- 5) 下の式を使って理想的なブリッジ電圧 $V_{BIDEAL}(T1)$ を計算します。

$$V_{BIDEAL}(T1) = V_{BDRIVE} \times \left(1 + \frac{\text{desired}V_{FSO} - \text{measured}V_{FSO}(T1)}{\text{measured}V_{FSO}(T1)} \right)$$

注記： $V_{BIDEAL}(T1)$ が許容ブリッジ電圧スイング($V_{SS} + 1.3V$) ~ ($V_{DD} - 1.3V$)の範囲外である時は、PGAの利得設定を再び調整して下さい。 $V_{BIDEAL}(T1)$ が低すぎる時は、PGAの利得設定を1段階下げて、ステップ2に戻って下さい。 $V_{BIDEAL}(T1)$ が高すぎる時は、PGAの利得設定を1段階上げて、ステップ2に戻って下さい。

- 6) FSO DACを調整することにより $V_{BIDEAL}(T1)$ を設定します。
- 7) V_{OUT} が0.5VになるまでオフセットDACを再調整します(「OFFSETキャリブレーション」を参照)。

3ステップのFSOTC補償

ステップ1

以下の手順でFSOTC COEFを決定して下さい。4つの変数A~Dが使用されます。

- 1) 既存のFSO DAC係数をAと名づけます。
- 2) FSOTC DACを3000に変更します。

- 3) $V_{BDRIVE}(T1)$ が $V_{BIDEAL}(T1)$ と等しくなるまでFSO DACを調整します。
- 4) 新しいFSO DAC係数をBと名づけます。
- 5) 必要な場合はオフセット電圧を0.5Vに再調整します(オフセットDACで調整)。

この後、オフセットTC補償ステップが完了するまではオフセットやオフセットTC DACを変更しないことが重要です。

ステップ2

リニアFSOTC補償を完了するには、第2の温度T2でデータを測定します。以下の式及び手順はT2 > T1を満たす任意の2つの温度に適用できます。温度T2において以下のステップを実行して下さい。

- 1) フルスパン出力(measured $V_{FSO}(T2)$)を測定します。
- 2) 下の式を使って理想的なブリッジ電圧 $V_{BIDEAL}(T2)$ を計算します。

$$V_{BIDEAL}(T2) = V_{BDRIVE} \times \left(1 + \frac{\text{desired}V_{FSO} - \text{measured}V_{FSO}(T2)}{\text{measured}V_{FSO}(T2)} \right)$$

- 3) FSO DACを調整し、 $V_{BIDEAL}(T2)$ を設定します。
- 4) その時のFSO DAC係数をDと名づけます。
- 5) FSOTC DACを1000に変更します。
- 6) $V_{BDRIVE}(T2)$ が $V_{BIDEAL}(T2)$ と等しくなるまでFSO DACを調整します。
- 7) FSO DAC係数をCと名づけます。

ステップ3

ステップ1及び2で得られた値を下の式に代入して、FSOTC COEFを計算して下さい。

$$\text{FSOTC COEF} = \frac{1000(B-D) + 3000(C-A)}{(B-D) + (C-A)}$$

- 1) このFSOTC COEF値をFSOTC DACにロードします。
- 2) $V_{BDRIVE}(T2)$ が $V_{BIDEAL}(T2)$ と等しくなるまでFSO DACを調整します。

これでFSOキャリブレーションとFSO TC補償の両方が完了したことになります。

オフセットTC補償

T1におけるオフセット電圧は以前に0.5Vに設定されているため、T2においてこの電圧からずれた分はオフセットTCエラーです。以下の手順を実行して下さい。

- 1) T2におけるオフセット電圧を測定します。
- 2) 以下の式を使って必要な補正を計算します。

$$\text{NewOFFTC COEF} = \text{CurrentOFFTC COEF} - \left(\frac{4096 [V_{\text{OFFSET}}(T1) - V_{\text{OFFSET}}(T2)]}{2.3 [V_{\text{BDRIVE}}(T1) - V_{\text{BDRIVE}}(T2)]} \right)$$

注記：CurrentOFFTC COEFは、オフセットTC DACに保存されている時の値です。オフセットTCの符号ビット(SOTC)がローであればこの値は負です。

- 3) この値をオフセットTC DACにロードします。
- 4) NewOFFTC COEFが負である場合は、オフセットTC符号(SOTC)ビットをローに設定します。正であればハイに設定します。

これでオフセットTC補償が完了しました。

OFFSETキャリブレーション

この時点で、センサはまだ温度T2であるはずですが。最終的なオフセット調整はT2又はT1において、入力圧力ゼロで出力(V_{OUT}(P_{MIN}))の読取り値が0.5VになるまでオフセットDAC(場合によってはオフセット符号ビットSOFFも)を調整することにより達成されます。以下の手順を使って下さい。

- 1) オフセットDACをゼロに設定します(オフセットCOEF = 0)。
- 2) OUTにおける電圧を測定します。
- 3) V_{OUT}が希望のオフセット電圧(この例では0.5V)よりも大きい場合は、SOFFをローに設定し、小さい場合はハイに設定します。
- 4) V_{OUT}が希望のオフセット電圧に等しくなるまでオフセットCOEFを増やします。

これで、オフセットキャリブレーションは完了です。表7と図12に、補償なしの入力と標準的な補償済みのトランスデューサ出力の比較を示します。

センサの選択

シリコンピエゾ抵抗性センサ

MAX1459は、TCRが2000ppm/ 程度あるいはそれ以上の電流モード動作に設計されたセンサと共に使用するように最適化されています。電圧モード励起センサはTCRが低いのが特徴であるため、(内部又は外部)温度センサを必要とする場合もあります。TCR < TCS、低TCS又は低TCRの条件におけるMAX1459の使い方の詳細については、MAX1459リファレンスマニュアルを参照して下さい。MAX1459用に理想的なセンサは、入力インピーダンスが機械的な励起(圧力)の関数として

変化しないものです。バランスの取れていないPRTはうまく作動しません。

歪みゲージセンサ

MAX1459はピエゾ抵抗性センサの信号調整用に最適化されていますが、歪みゲージセンサの信号調整にも適用できます。歪みゲージセンサの性能と補償条件は様々です。これは、歪みゲージが多数の変数(例えば圧力、加速度、力、トルク等)の測定に使用され、様々な材料を検出素子(例えばコンスタンタン、マンガニン等)及びスプリング素子(例えば鋼鉄、ガラス、アルミニウム等)に用いているためです。このため、信号調整はアプリケーションに大きく依存します。このアプリケーションの詳細については、MAX1459リファレンスマニュアルを参照して下さい。

レシオメトリック出力構成

レシオメトリック出力構成は電源電圧に比例する出力を提供します。レシオメトリックA/Dコンバータと共に使用した場合、この出力は電源電圧に依存しないデジタル圧力値を提供します。殆どの自動車用アプリケーション及び一部の工業用アプリケーションは、レシオメトリック出力を必要とします。

MAX1459は、最小の外付部品で高性能のレシオメトリック出力を提供します(図13)。外付部品には以下が含まれます。

- 電源バイパスコンデンサ1個(C1)
- オプションの抵抗2つ(一方はFSOTCとISRCの間、他方はISRCとV_{SS}の間：センサタイプによります。)
- BDRIVEとV_{SS}間のオプションのコンデンサC2

2線、4~20mA構成

2線構成においては、4mA電流を使用してトランスデューサが駆動され、測定された圧力に比例して増加する0mA~16mAの電流が同じ1対のワイヤを使って送信されます。電流出力であるため、ケーブル抵抗に起因する精度の低下を起こさずに長距離の伝送が可能になります。

僅か数個の部品(図14)を付加するだけで4~20mA出力構成を作成できます。バンドギャップリファレンスを内蔵した低自己消費電流の電圧レギュレータ(MAX875等)を使用して下さい。MAX1459は回路の温度及び利得補償を行うため、リファレンス電圧の温度係数とキャリブレーション精度はそれ程重要ではありません。

MAX1459は抵抗R_{SENSE}の両端の電圧を制御します。R_{SENSE} = 50 の時、キャリブレーション手順を実行するために0.2V~1.0Vの範囲が必要です。抵抗R_B、R_C及びR_{OFF}は、R_{SENSE}の両端電圧を設定するために

2線4~20mA スマート信号コンディショナ

MAX1459

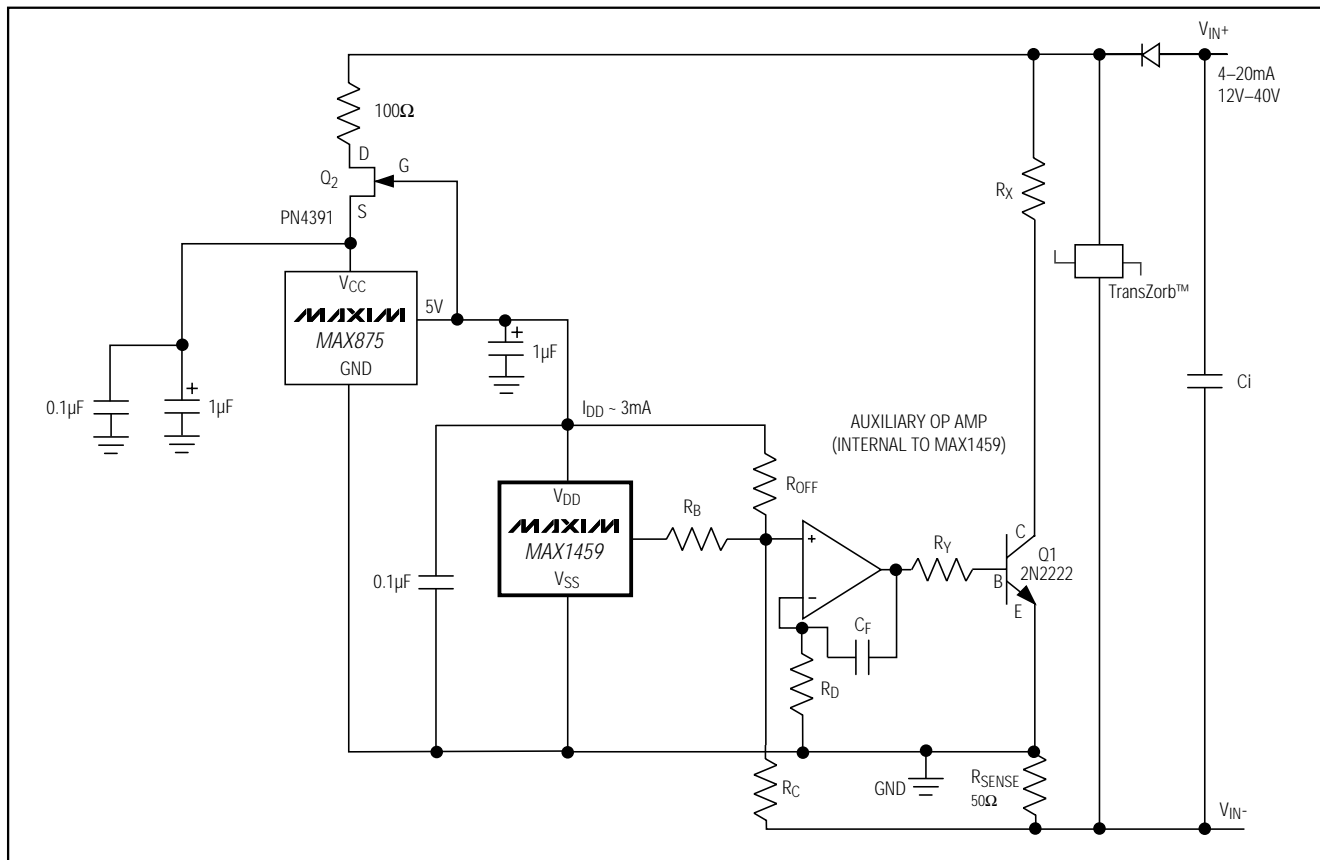


図14. 2線、4~20mA回路

使用されます。過電圧保護のため、VIN-とVIN+の間にツェナーダイオードを接続して下さい(図14)。入力同士の間フィードスルーコンデンサを取り付けると、EMI/RFIを低減できます。このアプリケーションの詳細については、MAX1459リファレンスマニュアルを参照して下さい。

4~20mAアプリケーションにおいては、熱管理に十分注意して下さい。Q1の電力消費が大きいので、圧力センサの近くにある場合は大きな誤差を生じる恐れがあります。特に心配されるのは、センサ出力のセトリング時間が非常に長くなることです。

非直線性補償

R_{TEMP} を R_{ISRC} 及び R_{FTC} と共に使用することにより、センサの非直線性を補償できます。このアプリケーションの詳細については、MAX1459リファレンスマニュアルを参照して下さい。

テストシステムの構成

MAX1459は、キャリブレーションと温度補償が組み込まれた自動生産圧力温度テストシステムをサポート

するように設計されています。図15に、複数のトランスデューサモジュールを平行にテストできる低コストのテストシステムの例を示します。スリーステート出力により、MAX1459はトランスデューサの並列接続が可能です。デジタルマルチプレクサが各トランスデューサのチップセレクト信号を制御します。図15のテストシステムは、下記の5線からなる専用テストバスを含んでいます。

- 電源ライン2本
- トランスデューサからシステムDVMへのアナログ出力電圧ライン1本
- シリアルインタフェースライン2本：DIO(入力/出力)及びSCLK(クロック)

MAX1459評価開発キット

MAX1459を使用したトランスデューサ及びテストシステムを容易に開発できるように、マキシム社ではMAX1459評価キット(EVキット)を用意しました。MAX1459を初めて使うユーザは、このキットの使用を強く推奨します。MAX1459 EVキットはMAX1459

TransZorbはGeneral Semiconductor Industriesの商標です。

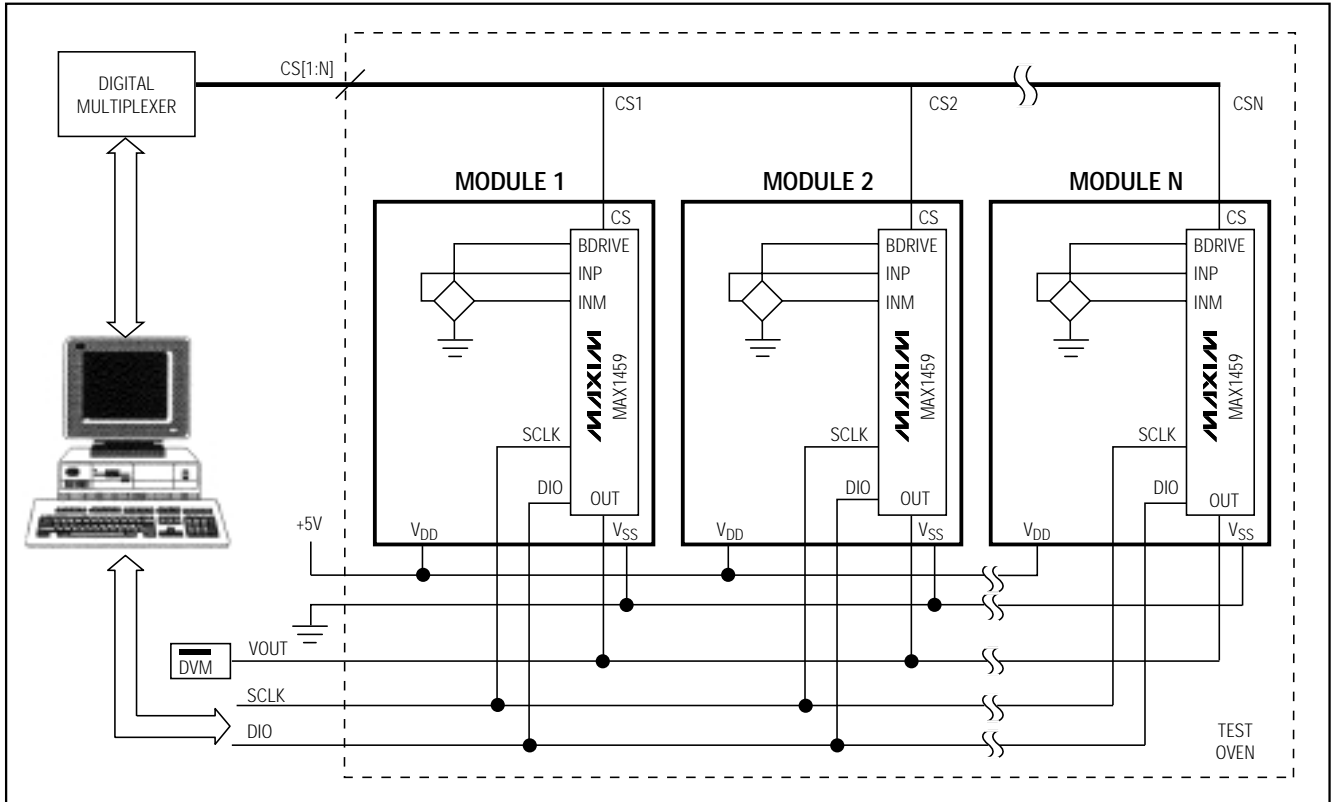


図15. 自動化テストシステムの概念図

の手動プログラミング作業を容易にするために設計されており、以下の構成になっています。

- 1) シリコン圧力センサ付の評価基板。
- 2) MAX1459リファレンスマニュアル。このマニュアルではMAX1459の構造と機能が詳しく説明されています。このマニュアルは、センサデータのデータ収集について詳しいテストエンジニア向けに作成されており、センサ補償アルゴリズムとテスト手順を提供しています。
- 3) MAX1459通信ソフトウェア。コンピュータ(IBMコンパチブル)でMAX1459のプログラミングを(1モジュールずつ)行うことを可能にします。
- 4) インタフェースアダプタ及びケーブル。評価基板をPCパラレルポートに接続するために使用します。

MAX1459パイロット 生産システム

マキシム社では、圧力センサ設計における最も難しい点がプロトタイプから生産への移行であることを理解しています。この移行過程をシンプルにするため、マキシム社は大量生産アプリケーション用の完全自動化パイロット生産システムを開発しました。

本システムはマキシム14XXDASBOARD及び1個以上の14XXMUXBOARDモジュール、DVM、環境試験箱及び圧力コントローラからなっています。

マキシム社からは、14XXDASBOARDと14XXMUXBOARDモジュールだけが供給されています。DVM、環境試験装置及び圧力コントローラは、ユーザが他の業者から入手する必要があります。

14XXDASBOARDと14XXMUXBOARDモジュールにより、ユーザは最大112ユニットを補償できます。IEEE-488コマンドがアクティブなDUTを選択し、MAX14XXアプリケーション回路と通信します。全てのシステム電圧測定値は1つの外部DVM用に多重化されます。各DUTは、汎用トランジション基板を通じて14XXMUXBOARDとインタフェースします。この基板は、インタフェース信号と低ノイズアナログ入力を提供します。14XXMUXBOARDを動作させるには14XXDASBOARDが必要です。全てのドライバソフトウェアは14XXDASBOARDファームウェアに組み込まれています。センサ補償手順は、National Instruments社のLabView™プログラムを使用して実施されています。

LabViewはNational Instrumentsの商標です。

2線4~20mA スマート信号コンディショナ

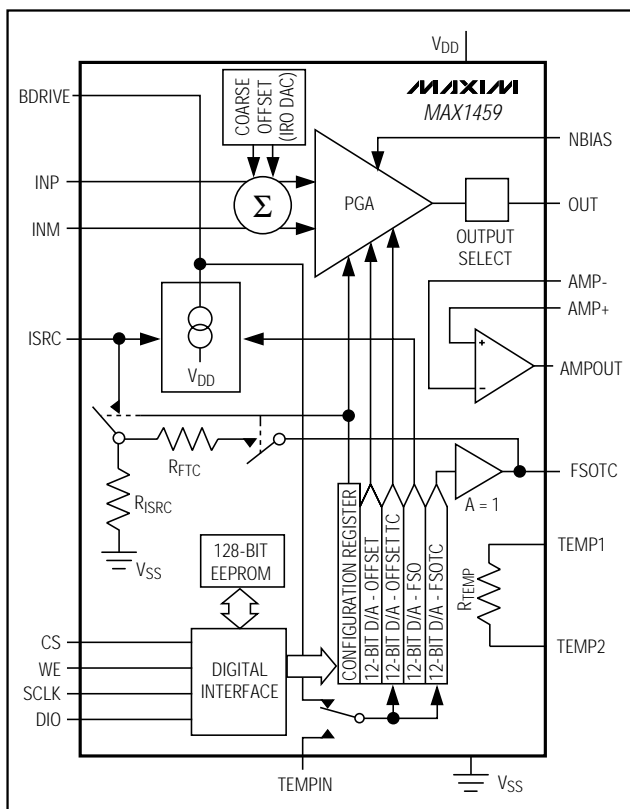
MAX1459

使用している圧力コントローラ、オープン又はDVMが本システムの設計で想定されているのと異なるタイプである場合は、補償手順の一部を変更する必要があります。価格及び入手可能性についてはお問い合わせ下さい。

カスタム化

マキシム社は、大量生産アプリケーション用にMAX1459をカスタム化することができます。マキシム社は、200以上のセンサ仕様のファンクションブロックからなる専用セルライブラリを使用して迅速にカスタム化MAX1459解決法を提供できます。詳細についてはマキシム社までお問い合わせ下さい。

ファンクションダイアグラム



チップ情報

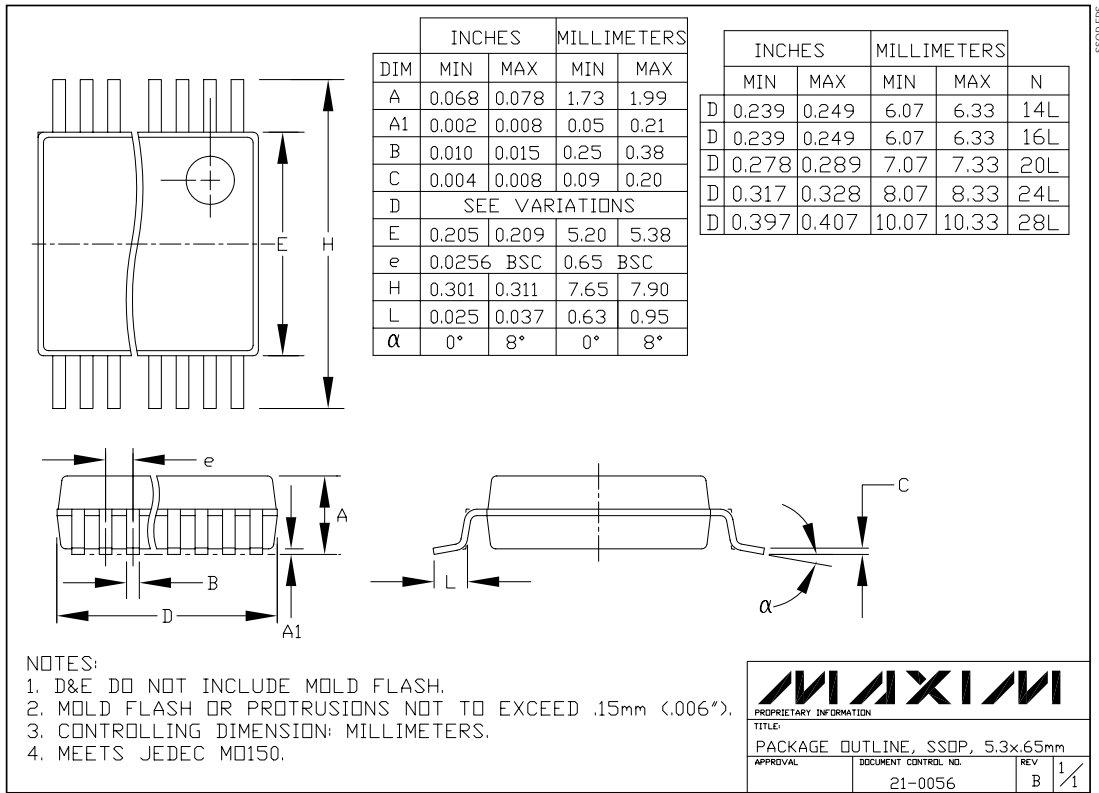
TRANSISTOR COUNT: 7792

SUBSTRATE CONNECTED TO VSS

2線4~20mA スマート信号コンディショナ

パッケージ

MAX1459



2線4~20mA スマート信号コンディショナ

MAX1459

NOTES

販売代理店

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

24 _____ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

© 2000 Maxim Integrated Products

MAXIM is a registered trademark of Maxim Integrated Products.