

シリアルLVDS出力付き、オクタル、
12ビット、65Msps、1.8V ADC

概要

オクタル、12ビット、A/Dコンバータ(ADC)のMAX1438は、完全差動入力、パイプラインアーキテクチャで、デジタルエラー補正を備え、完全差動信号経路を採用しています。このADCは、医療用画像処理装置およびデジタル通信アプリケーションにおいて低電力、高ダイナミック性能に最適化されています。MAX1438は1.8Vの単一電源で動作し、消費電力はわずか913mW(1チャンネル当り114mW)ですが、5.3MHzの入力周波数で69.9dB(typ)の信号対ノイズ比(SNR)を実現しています。MAX1438は低動作電力に加えて、アイドル時のパワーダウンモードを備えています。

内蔵の1.24Vの高精度バンドギャップリファレンスが、ADCのフルスケール範囲を設定します。柔軟なリファレンス構造が、高い精度または別の入力電圧範囲が必要なアプリケーション用に外部リファレンスを使用することを可能にします。リファレンス構造は低ノイズに最適化されています。

シングルエンドクロックがデータ変換プロセスを制御します。内蔵デューティサイクルイコライザによって、クロックデューティサイクルの幅広い変動が補償されます。内蔵PLLは、高速シリアル低電圧差動信号(LVDS)クロックを生成します。

MAX1438は、データ、クロック、およびフレーム整合信号に対して自己整合されるシリアルLVDS出力を備えています。出力データは、2の補数またはバイナリ形式で表されます。

MAX1438の最高サンプリングレートは65Mspsです。より遅い速度バージョンについては、下の「ピンコンパチブルバージョン」表をご覧ください。このデバイスは14mm x 14mm x 1mmのエクスポーズドパッド付き小型100ピンTQFPパッケージで提供され、工業用拡張温度範囲(-40°C~+85°C)で動作が保証されています。

アプリケーション

- 超音波および医療用画像処理
- 計測
- マルチチャンネル通信

特長

- ◆ 優れたダイナミック性能
 - SNR: 69.9dB(5.3MHzにおいて)
 - SFDR: 95dBc(5.3MHzにおいて)
 - チャンネルアイソレーション: 85dB
- ◆ 超低消費電力:
 - 1チャンネル当り114mW(通常動作時)
- ◆ シリアルLVDS出力
- ◆ ピン選択可能なLVDS/SLVS(スケーラブル低電圧信号)モード
- ◆ LVDS出力は最長30インチのFR-4バックプレーン接続をサポート
- ◆ デジタル信号の完全性のためのテストモード
- ◆ 完全差動アナログ入力
- ◆ 広い差動入力電圧範囲: 1.4V_{p-p}
- ◆ 1.24Vの高精度バンドギャップリファレンス内蔵
- ◆ クロックデューティサイクルイコライザ
- ◆ エクスポーズドパッド付き小型100ピンTQFPパッケージ
- ◆ 評価キットが利用可能(MAX1438EVKITを注文してください)

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX1438ECQ	-40°C to +85°C	100 TQFP-EP* (14mm x 14mm x 1mm)

* EP = エクスポーズドパッド

ピンコンパチブルバージョン

PART	SAMPLING RATE (Msps)	RESOLUTION (BITS)
MAX1434	50	10
MAX1436	40	12
MAX1437	50	12
MAX1438	65	12

ピン配置はデータシートの最後に記載されています。

シリアルLVDS出力付き、オクタル、 12ビット、65Msps、1.8V ADC

MAX1438

ABSOLUTE MAXIMUM RATINGS

AV _{DD} to GND.....	-0.3V to +2.0V	Continuous Power Dissipation (T _A = +70°C) 100-Pin TQFP 14mm x 14mm x 1mm (derated 47.6mW/°C above +70°C).....	3809.5mW
CV _{DD} to GND	-0.3V to +3.6V	Operating Temperature Range	-40°C to +85°C
OV _{DD} to GND	-0.3V to +2.0V	Maximum Junction Temperature	+150°C
IN _P , IN _N to GND.....	-0.3V to (AV _{DD} + 0.3V)	Storage Temperature Range	-65°C to +150°C
CLK to GND	-0.3V to (CV _{DD} + 0.3V)	Lead Temperature (soldering, 10s)	+300°C
OUT _P , OUT _N , FRAME ₊ , CLKOUT ₊ to GND.....	-0.3V to (OV _{DD} + 0.3V)		
DT, SLVS/LVDS, LVDS _{TEST} , PLL ₊ , T _B , REFIO, REFADJ, CMOUT to GND	-0.3V to (AV _{DD} + 0.3V)		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(AV_{DD} = 1.8V, OV_{DD} = 1.8V, CV_{DD} = 3.3V, GND = 0, external V_{REFIO} = 1.24V, C_{REFIO} to GND = 0.1μF, C_{REFP} to GND = 10μF, C_{REFN} to GND = 10μF, f_{CLK} = 65MHz (50% duty cycle), V_{DT} = 0, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY (Note 2)						
Resolution	N		12			Bits
Integral Nonlinearity	INL			±0.4	±2.5	LSB
Differential Nonlinearity	DNL	No missing codes over temperature		±0.25	±1	LSB
Offset Error					±0.5	%FS
Gain Error			-3.5		+2.0	%FS
ANALOG INPUTS (IN_P, IN_N)						
Input Differential Range	V _{ID}	Differential input		1.4		V _{P-P}
Common-Mode Voltage Range	V _{CMO}			0.76		V
Common-Mode Voltage Range Tolerance (Note 3)				±50		mV
Differential Input Impedance	R _{IN}	Switched capacitor load		2		kΩ
Differential Input Capacitance	C _{IN}			12.5		pF
CONVERSION RATE						
Maximum Conversion Rate	f _S MAX		65			MHz
Minimum Conversion Rate	f _S MIN			4.0		MHz
Data Latency				6.5		Cycles
DYNAMIC CHARACTERISTICS (differential inputs, 4096-point FFT) (Note 2)						
Signal-to-Noise Ratio	SNR	f _{IN} = 5.3MHz at -0.5dBFS		69.9		dB
		f _{IN} = 19.3MHz at -0.5dBFS	66.5	69.6		
Signal-to-Noise and Distortion (First 4 Harmonics)	SINAD	f _{IN} = 5.3MHz at -0.5dBFS		69.8		dB
		f _{IN} = 19.3MHz at -0.5dBFS	66.5	69.6		
Effective Number of Bits	ENOB	f _{IN} = 5.3MHz at -0.5dBFS		11.4		dB
		f _{IN} = 19.3MHz at -0.5dBFS		11.4		
Spurious-Free Dynamic Range	SFDR	f _{IN} = 5.3MHz at -0.5dBFS		95		dBc
		f _{IN} = 19.3MHz at -0.5dBFS	79	93		

シリアルLVDS出力付き、オクタル、 12ビット、65Mps、1.8V ADC

MAX1438

ELECTRICAL CHARACTERISTICS (continued)

(AVDD = 1.8V, OVDD = 1.8V, CVDD = 3.3V, GND = 0, external VREFIO = 1.24V, CREFIO to GND = 0.1μF, CREFP to GND = 10μF, CREFN to GND = 10μF, fCLK = 65MHz (50% duty cycle), VDT = 0, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Total Harmonic Distortion	THD	f _{IN} = 5.3MHz at -0.5dBFS		-98		dBc
		f _{IN} = 19.3MHz at -0.5dBFS		-92	-79	
Intermodulation Distortion	IMD	f ₁ = 5.3MHz at -6.5dBFS f ₂ = 6.3MHz at -6.5dBFS		89.3		dBc
Third-Order Intermodulation	IM3	f ₁ = 5.3MHz at -6.5dBFS f ₂ = 6.3MHz at -6.5dBFS		97.5		dBc
Aperture Jitter	t _{AJ}	Figure 11		<0.4		psRMS
Aperture Delay	t _{AD}	Figure 11		1		ns
Small-Signal Bandwidth	SSBW	Input at -20dBFS		100		MHz
Full-Power Bandwidth	LSBW	Input at -0.5dBFS		100		MHz
Output Noise		IN_P = IN_N		0.44		LSBRMS
Over-Range Recovery Time	t _{OR}	R _S = 25Ω, C _S = 50pF		1		Clock cycle
INTERNAL REFERENCE						
REFADJ Internal Reference-Mode Enable Voltage (Note 4)					0.1	V
REFADJ Low-Leakage Current				1.5		mA
REFIO Output Voltage	V _{REFIO}		1.18	1.24	1.30	V
Reference Temperature Coefficient	T _{CREFIO}			120		ppm/°C
EXTERNAL REFERENCE						
REFADJ External Reference-Mode Enable Voltage (Note 4)					AVDD - 0.1V	V
REFADJ High-Leakage Current				200		μA
REFIO Input Voltage				1.24		V
REFIO Input Voltage Tolerance				±5		%
REFIO Input Current	I _{REFIO}			<1		μA
COMMON-MODE OUTPUT (CMOUT)						
CMOUT Output Voltage	V _{CMOUT}			0.76		V
CLOCK INPUT (CLK)						
Input High Voltage	V _{CLKH}			0.8 x		V
Input Low Voltage	V _{CLKL}				0.2 x	V
Clock Duty Cycle				50		%
Clock Duty-Cycle Tolerance				±30		%
Input Leakage	D _{IIN}	Input at GND		5		μA
		Input at AVDD		80		
Input Capacitance	DC _{IN}			5		pF

シリアルLVDS出力付き、オクタル、 12ビット、65Mpsps、1.8V ADC

MAX1438

ELECTRICAL CHARACTERISTICS (continued)

(AVDD = 1.8V, OVDD = 1.8V, CVDD = 3.3V, GND = 0, external VREFIO = 1.24V, CREFFIO to GND = 0.1μF, CREFF to GND = 10μF, CREFN to GND = 10μF, fCLK = 65MHz (50% duty cycle), VDT = 0, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUTS (PLL_, LVDSTEST, DT, SLVS, PD, \bar{T}/B)						
Input High Threshold	V _{IH}		0.8 x AVDD			V
Input Low Threshold	V _{IL}			0.2 x AVDD		V
Input Leakage	DI _{IN}	Input at GND		5		μA
		Input at AVDD		80		
Input Capacitance	DC _{IN}		5			pF
LVDS OUTPUTS (OUT_P, OUT_N), SLVS/LVDS = 0						
Differential Output Voltage	VOHDIFF	R _{TERM} = 100Ω	250		450	mV
Output Common-Mode Voltage	VOCM	R _{TERM} = 100Ω	1.125		1.375	V
Rise Time (20% to 80%)	t _{RL}	R _{TERM} = 100Ω, C _{LOAD} = 5pF		350		ps
Fall Time (80% to 20%)	t _{FL}	R _{TERM} = 100Ω, C _{LOAD} = 5pF		350		ps
SLVS OUTPUTS (OUT_P, OUT_N, CLKOUTP, CLKOUTN, FRAMEP, FRAMEN), SLVS/LVDS = 1, DT = 1						
Differential Output Voltage	VOHDIFF	R _{TERM} = 100Ω		205		mV
Output Common-Mode Voltage	VOCM	R _{TERM} = 100Ω		220		V
Rise Time (20% to 80%)	t _{RS}	R _{TERM} = 100Ω, C _{LOAD} = 5pF		320		ps
Fall Time (80% to 20%)	t _{FS}	R _{TERM} = 100Ω, C _{LOAD} = 5pF		320		ps
POWER-DOWN						
PD Fall to Output Enable	t _{ENABLE}	(Note 5)		100		ms
PD Rise to Output Disable	t _{DISABLE}			20		ns
POWER REQUIREMENTS						
AVDD Supply Voltage Range	AVDD		1.7	1.8	1.9	V
OVDD Supply Voltage Range	OVDD		1.7	1.8	1.9	V
CVDD Supply Voltage Range	CVDD		1.7	1.8	3.6	V
AVDD Supply Current	I _{AVDD}	f _{IN} = 19.3MHz at -0.5dBFS	PD = 0	422	465	mA
			PD = 0, DT = 1	422		
			PD = 1, power-down, no clock input	1.16		mA
OVDD Supply Current	I _{OVDD}	f _{IN} = 19.3MHz at -0.5dBFS	PD = 0	85	110	mA
			PD = 0, DT = 1	85		
			PD = 1, power-down, no clock input	960		μA
CVDD Supply Current	I _{CVDD}	CVDD is used only to bias ESD-protection diodes on CLK input, Figure 2		0		mA
Power Dissipation	P _{DISS}	f _{IN} = 19.3MHz at -0.5dBFS		913	1035	mW

シリアルLVDS出力付き、オクタル、 12ビット、65Mpsps、1.8V ADC

MAX1438

ELECTRICAL CHARACTERISTICS (continued)

(AVDD = 1.8V, OVDD = 1.8V, CVDD = 3.3V, GND = 0, external VREFIO = 1.24V, CREFIO to GND = 0.1μF, CREFP to GND = 10μF, CREFN to GND = 10μF, fCLK = 65MHz (50% duty cycle), VDT = 0, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
TIMING CHARACTERISTICS (Note 6)						
Data Valid to CLKOUT Rise/Fall (Note 7)	tOD	Figure 5	(tSAMPLE / 24) - 0.15	(tSAMPLE / 24)	(tSAMPLE / 24) + 0.15	ns
CLKOUT Output-Width High	tCH	Figure 5		tSAMPLE / 12		ns
CLKOUT Output-Width Low	tCL	Figure 5		tSAMPLE / 12		ns
FRAME Rise to CLKOUT Rise (Note 7)	tCF	Figure 4	(tSAMPLE / 24) - 0.15	(tSAMPLE / 24)	(tSAMPLE / 24) + 0.15	ns
Sample CLK Rise to FRAME Rise (Note 7)	tsf	Figure 4	(tSAMPLE / 2) + 1.1	(tSAMPLE / 2)	(tSAMPLE / 2) + 2.6	ns
Crosstalk (Note 2)				-85		dB
Gain Matching (Note 2)	CGM	fIN = 5.3MHz		±0.1		dB
Phase Matching (Note 2)	CPM	fIN = 5.3MHz		±0.25		degrees

Note 1: Specifications at TA ≥ +25°C are guaranteed by production testing. Specifications at TA < +25°C are guaranteed by design and characterization and not subject to production testing.

Note 2: See definition in the *Parameter Definition* section at the end of this data sheet.

Note 3: See the *Common-Mode Output (CMOUT)* section.

Note 4: Connect REFADJ to GND directly to enable internal reference mode. Connect REFADJ to AVDD directly to disable the internal bandgap reference and enable external reference mode.

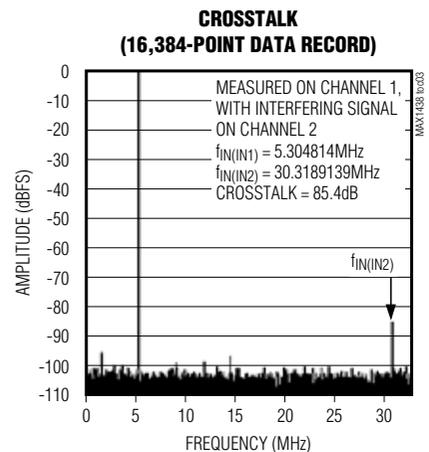
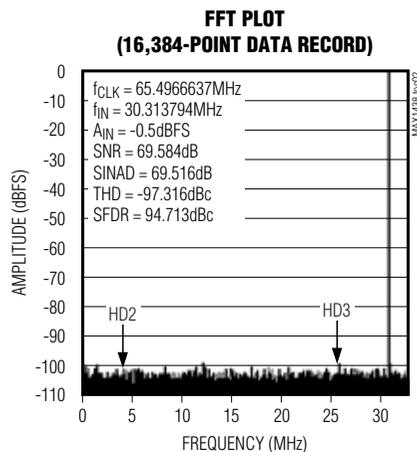
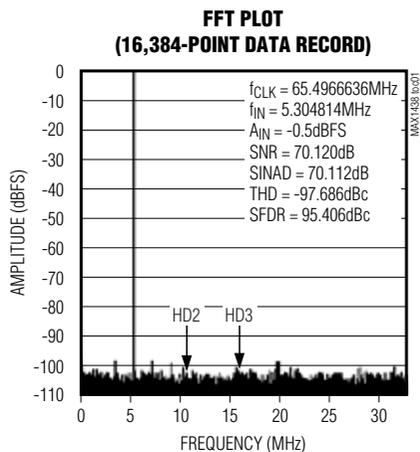
Note 5: Measured using CREFP to GND = 1μF and CREFN to GND = 1μF. tENABLE time may be lowered by using smaller capacitor values.

Note 6: Data valid to CLKOUT rise/fall timing is measured from 50% of data output level to 50% of clock output level.

Note 7: Guaranteed by design and characterization. Not subject to production testing.

標準動作特性

(AVDD = 1.8V, OVDD = 1.8V, CVDD = 3.3V, GND = 0, internal reference, differential input at -0.5dBFS, fIN = 5.3MHz, fCLK = 65MHz (50% duty cycle), VDT = 0, CLOAD = 10pF, TA = +25°C, unless otherwise noted.)

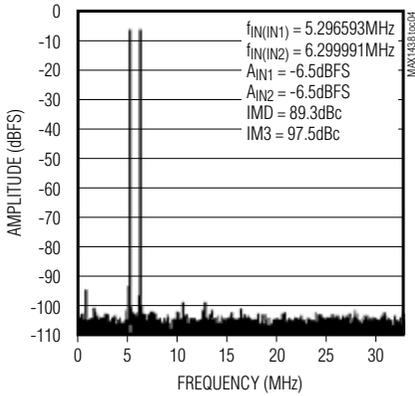


シリアルLVDS出力付き、オクタル、12ビット、65Mps、1.8V ADC

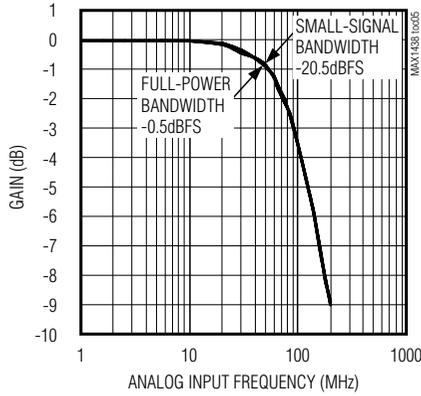
標準動作特性(続き)

($V_{DD} = 1.8V$, $OV_{DD} = 1.8V$, $CV_{DD} = 3.3V$, $GND = 0$, internal reference, differential input at $-0.5dBFS$, $f_{IN} = 5.3MHz$, $f_{CLK} = 65MHz$ (50% duty cycle), $V_{DT} = 0$, $C_{LOAD} = 10pF$, $T_A = +25^{\circ}C$, unless otherwise noted.)

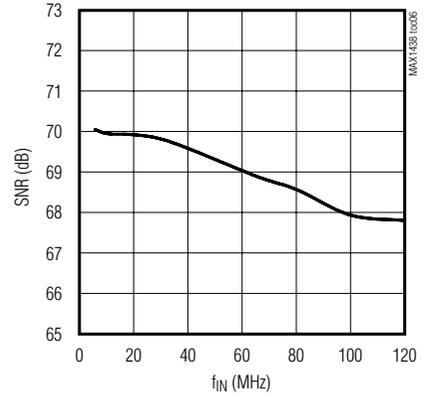
TWO-TONE INTERMODULATION DISTORTION (16,384-POINT DATA RECORD)



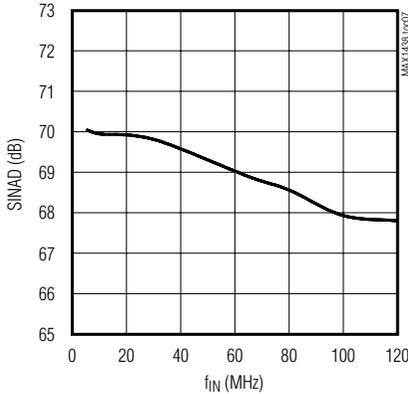
BANDWIDTH vs. ANALOG INPUT FREQUENCY



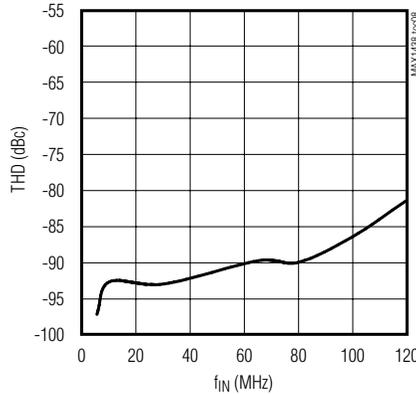
SIGNAL-TO-NOISE RATIO vs. ANALOG INPUT FREQUENCY



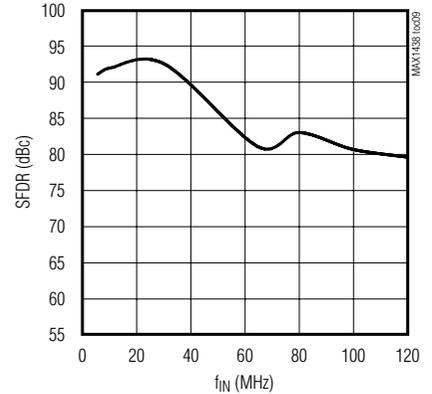
SIGNAL-TO-NOISE PLUS DISTORTION vs. ANALOG INPUT FREQUENCY



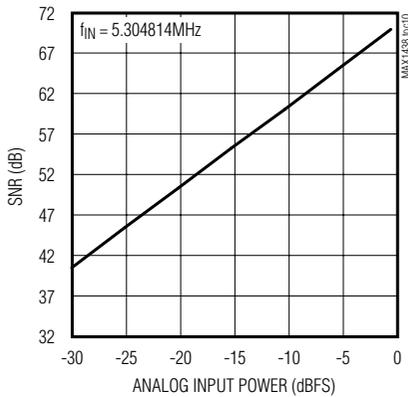
TOTAL HARMONIC DISTORTION vs. ANALOG INPUT FREQUENCY



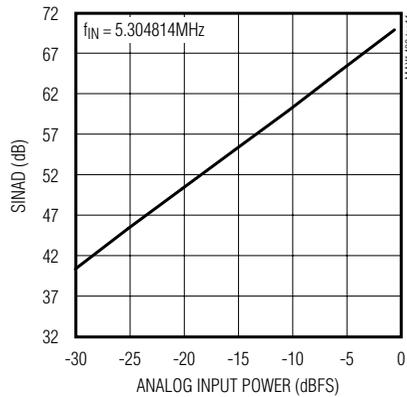
SPURIOUS-FREE DYNAMIC RANGE vs. ANALOG INPUT FREQUENCY



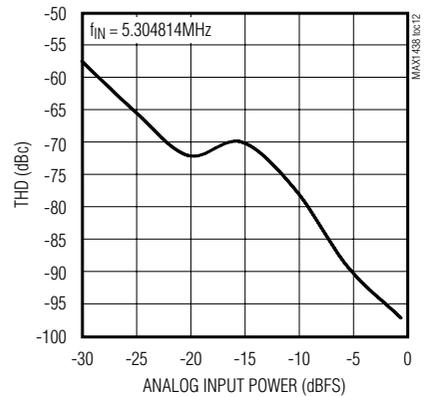
SIGNAL-TO-NOISE RATIO vs. ANALOG INPUT POWER



SIGNAL-TO-NOISE PLUS DISTORTION vs. ANALOG INPUT POWER



TOTAL HARMONIC DISTORTION vs. ANALOG INPUT POWER



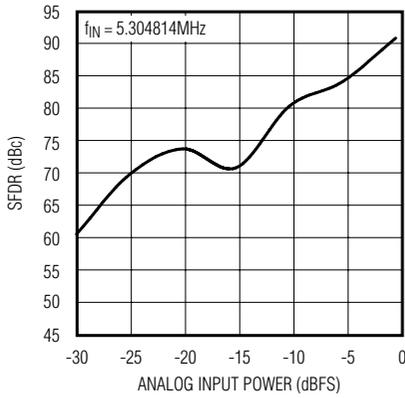
シリアルLVDS出力付き、オクタル、 12ビット、65Mps、1.8V ADC

MAX1438

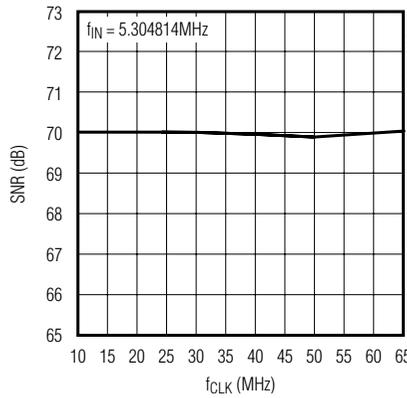
標準動作特性(続き)

($AV_{DD} = 1.8V$, $OV_{DD} = 1.8V$, $CV_{DD} = 3.3V$, $GND = 0$, internal reference, differential input at $-0.5dBFS$, $f_{IN} = 5.3MHz$, $f_{CLK} = 65MHz$ (50% duty cycle), $V_{DT} = 0$, $C_{LOAD} = 10pF$, $T_A = +25^{\circ}C$, unless otherwise noted.)

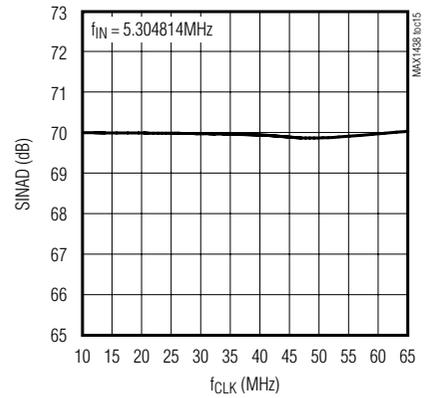
SPURIOUS-FREE DYNAMIC RANGE vs. ANALOG INPUT POWER



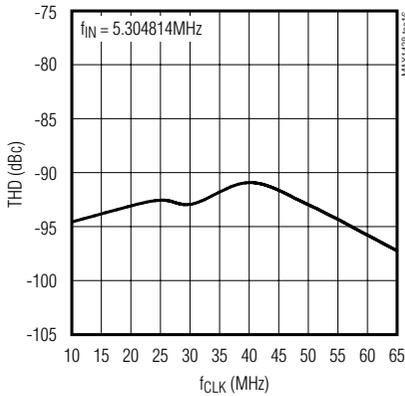
SIGNAL-TO-NOISE RATIO vs. SAMPLING RATE



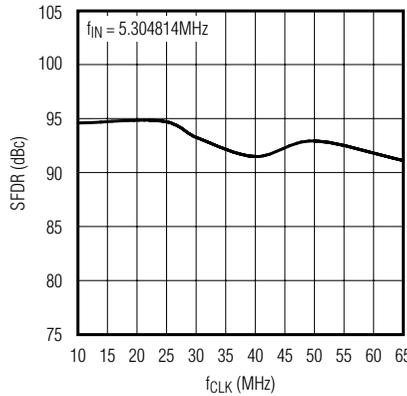
SIGNAL-TO-NOISE PLUS DISTORTION vs. SAMPLING RATE



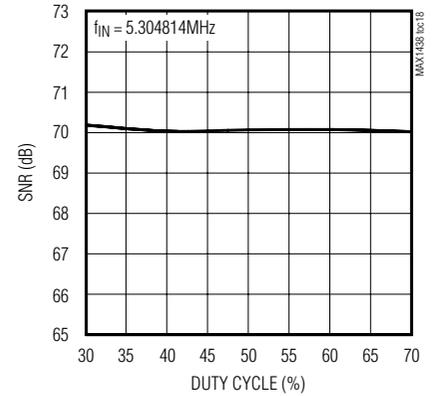
TOTAL HARMONIC DISTORTION vs. SAMPLING RATE



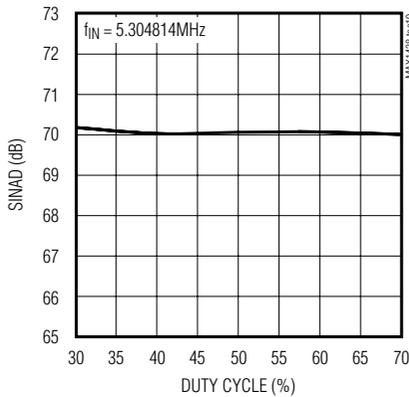
SPURIOUS-FREE DYNAMIC RANGE vs. SAMPLING RATE



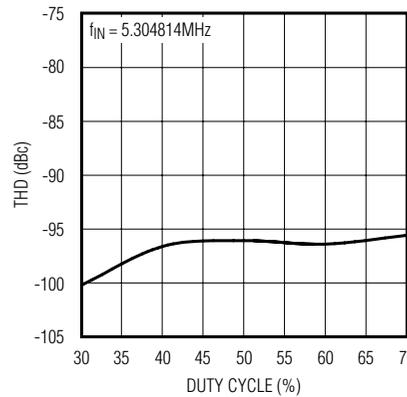
SIGNAL-TO-NOISE RATIO vs. DUTY CYCLE



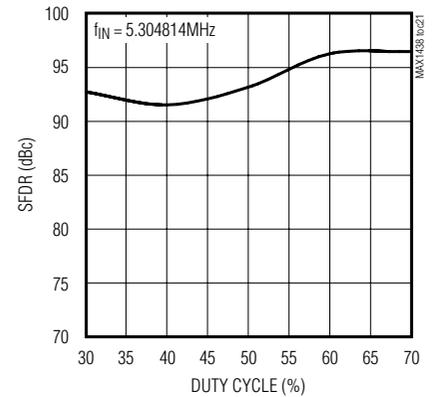
SIGNAL-TO-NOISE PLUS DISTORTION vs. DUTY CYCLE



TOTAL HARMONIC DISTORTION vs. DUTY CYCLE



SPURIOUS-FREE DYNAMIC RANGE vs. DUTY CYCLE

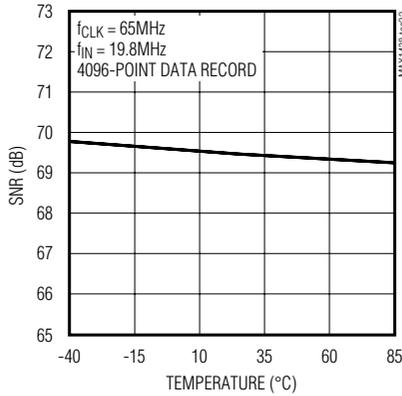


シリアルLVDS出力付き、オクタル、12ビット、65MSPS、1.8V ADC

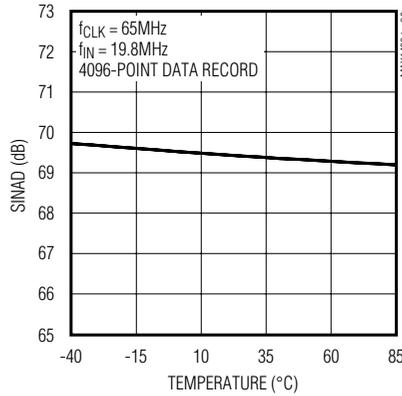
標準動作特性(続き)

($V_{DD} = 1.8V$, $OV_{DD} = 1.8V$, $CV_{DD} = 3.3V$, $GND = 0$, internal reference, differential input at $-0.5dBFS$, $f_{IN} = 5.3MHz$, $f_{CLK} = 65MHz$ (50% duty cycle), $V_{DT} = 0$, $C_{LOAD} = 10pF$, $T_A = +25^\circ C$, unless otherwise noted.)

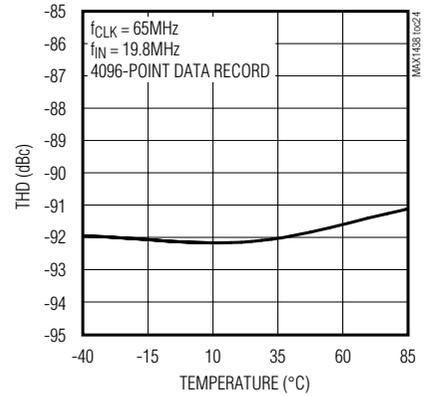
SIGNAL-TO-NOISE RATIO vs. TEMPERATURE



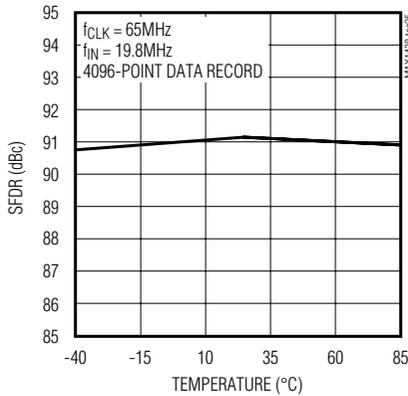
SIGNAL-TO-NOISE PLUS DISTORTION vs. TEMPERATURE



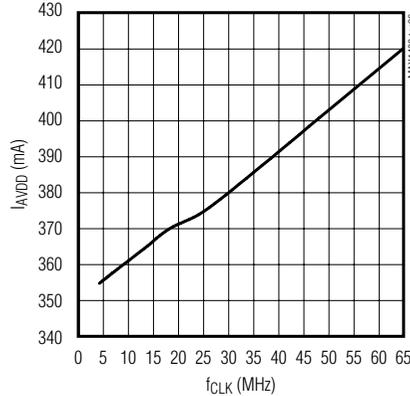
TOTAL HARMONIC DISTORTION vs. TEMPERATURE



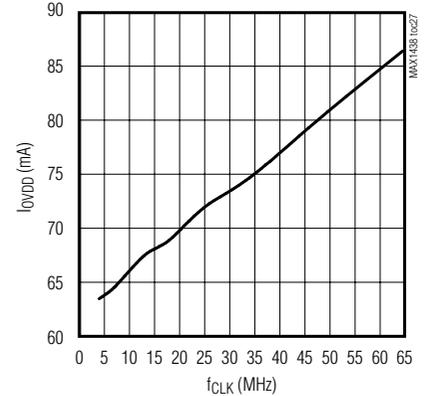
SPURIOUS-FREE DYNAMIC RANGE vs. TEMPERATURE



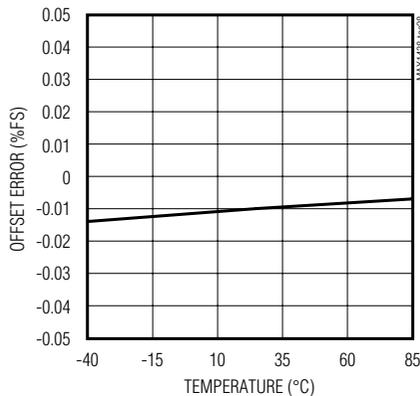
SUPPLY CURRENT vs. SAMPLING RATE (AV_{DD})



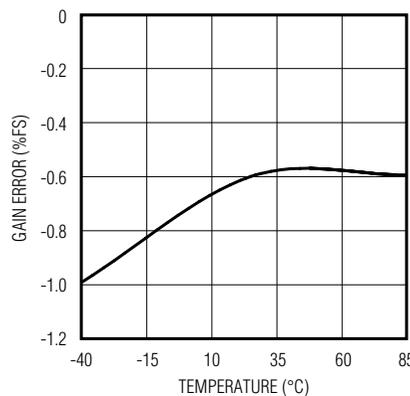
SUPPLY CURRENT vs. SAMPLING RATE (OV_{DD})



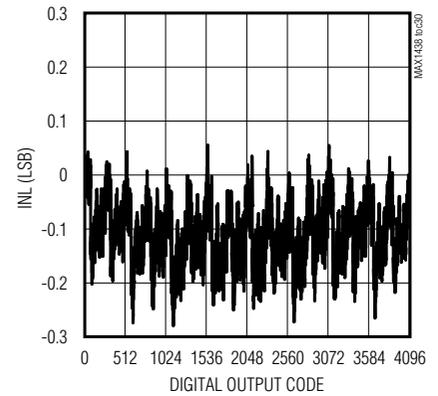
OFFSET ERROR vs. TEMPERATURE



GAIN ERROR vs. TEMPERATURE



INTEGRAL NONLINEARITY vs. DIGITAL OUTPUT CODE

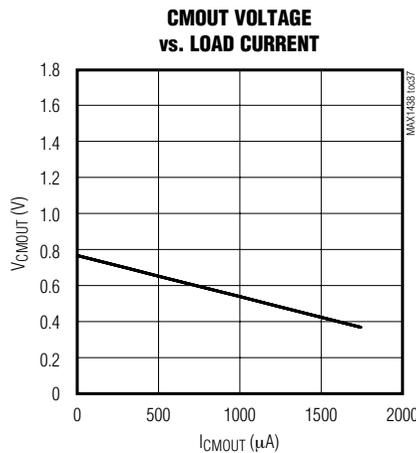
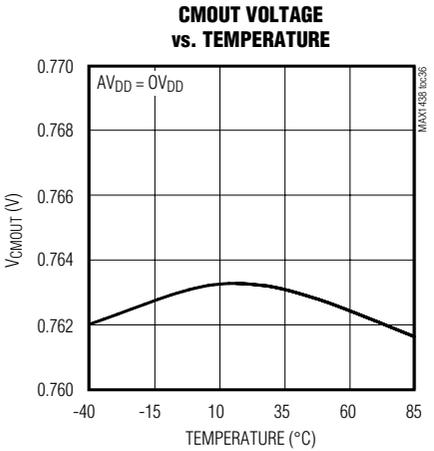
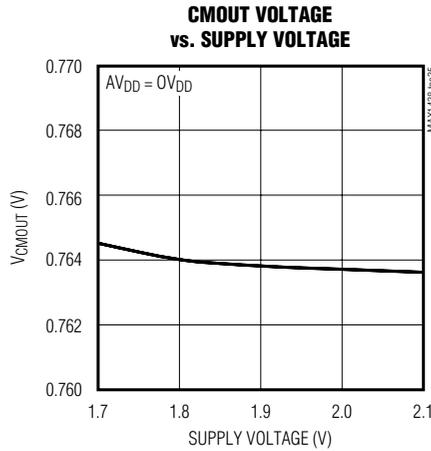
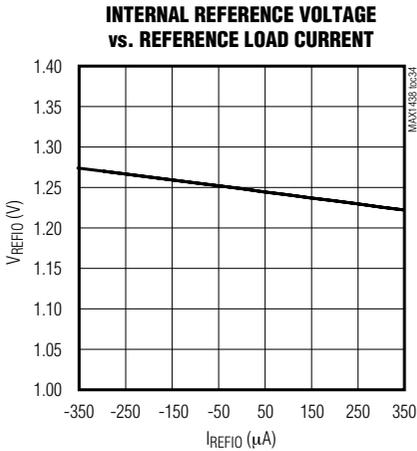
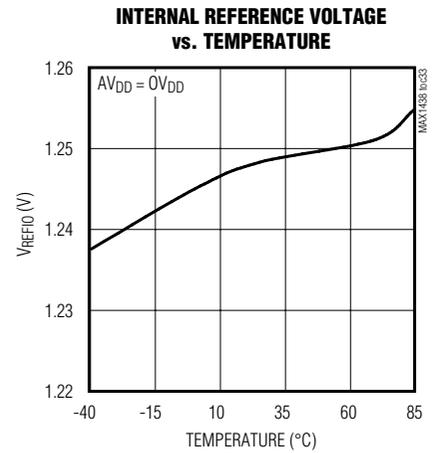
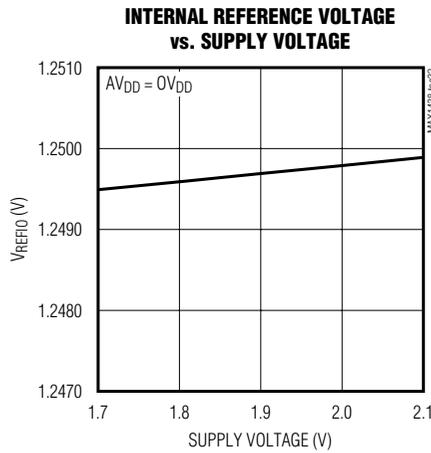
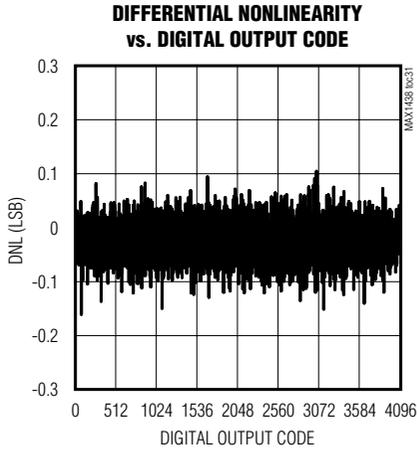


シリアルLVDS出力付き、オクタル、 12ビット、65Mps、1.8V ADC

MAX1438

標準動作特性(続き)

($V_{DD} = 1.8V$, $OV_{DD} = 1.8V$, $CV_{DD} = 3.3V$, $GND = 0$, internal reference, differential input at $-0.5dBFS$, $f_{IN} = 5.3MHz$, $f_{CLK} = 65MHz$ (50% duty cycle), $V_{DT} = 0$, $C_{LOAD} = 10pF$, $T_A = +25^\circ C$, unless otherwise noted.)



シリアルLVDS出力付き、オクタル、 12ビット、65Mpsps、1.8V ADC

MAX1438

端子説明

端子	名称	機能
1, 4, 7, 10, 16, 19, 22, 25, 26, 27, 30, 36, 89, 92, 96, 99, 100	GND	グラウンド。すべてのGNDピンを同じ電位に接続してください。
2	IN1P	チャンネル1の正アナログ入力
3	IN1N	チャンネル1の負アナログ入力
5	IN2P	チャンネル2の正アナログ入力
6	IN2N	チャンネル2の負アナログ入力
8	IN3P	チャンネル3の正アナログ入力
9	IN3N	チャンネル3の負アナログ入力
11, 12, 13, 15, 37-42, 86, 87, 88	AVDD	アナログ電源入力。AVDDを+1.7V~+1.9Vの電源に接続してください。AVDDをデバイスにできる限り近づけた0.1μFのコンデンサでGNDにバイパスしてください。AVDD電源プレーンを2.2μF以上の大容量コンデンサでGNDプレーンにバイパスしてください。すべてのAVDDピンを同じ電位に接続してください。
14, 31, 50, 51, 70, 75, 76	N.C.	接続なし。内部で接続されていません。
17	IN4P	チャンネル4の正アナログ入力
18	IN4N	チャンネル4の負アナログ入力
20	IN5P	チャンネル5の正アナログ入力
21	IN5N	チャンネル5の負アナログ入力
23	IN6P	チャンネル6の正アナログ入力
24	IN6N	チャンネル6の負アナログ入力
28	IN7P	チャンネル7の正アナログ入力
29	IN7N	チャンネル7の負アナログ入力
32	DT	二重終端の選択。差動出力ペア間の100Ω内部終端を選択するためには、DTをハイに駆動してください。出力終端を選択しない場合は、DTをローに駆動してください。
33	SLVS/LVDS	差動出力信号形式の選択入力。SLVS出力を選択するためには、SLVS/LVDSをハイに駆動してください。LVDS出力を選択するためには、SLVS/LVDSをローに駆動してください。
34	CVDD	クロック電源入力。CVDDを+1.7V~+3.6Vの電源に接続してください。CVDDを2.2μF以上と0.1μFの並列コンデンサでGNDにバイパスしてください。バイパスコンデンサをデバイスにできる限り近接して取り付けてください。
35	CLK	シングルエンドCMOSクロック入力
43, 46, 49, 54, 57, 60, 63, 64, 67, 71, 74, 77	OVDD	出力ドライバ電源入力。OVDDを+1.7V~+1.9Vの電源に接続してください。OVDDをデバイスにできる限り近づけた0.1μFのコンデンサでGNDにバイパスしてください。OVDD電源プレーンを2.2μF以上の大容量コンデンサでGNDプレーンにバイパスしてください。すべてのOVDDピンを同じ電位に接続してください。
44	OUT7N	チャンネル7の負LVDS/SLVS出力
45	OUT7P	チャンネル7の正LVDS/SLVS出力
47	OUT6N	チャンネル6の負LVDS/SLVS出力
48	OUT6P	チャンネル6の正LVDS/SLVS出力
52	OUT5N	チャンネル5の負LVDS/SLVS出力
53	OUT5P	チャンネル5の正LVDS/SLVS出力
55	OUT4N	チャンネル4の負LVDS/SLVS出力
56	OUT4P	チャンネル4の正LVDS/SLVS出力

シリアルLVDS出力付き、オクタル、 12ビット、65Mps、1.8V ADC

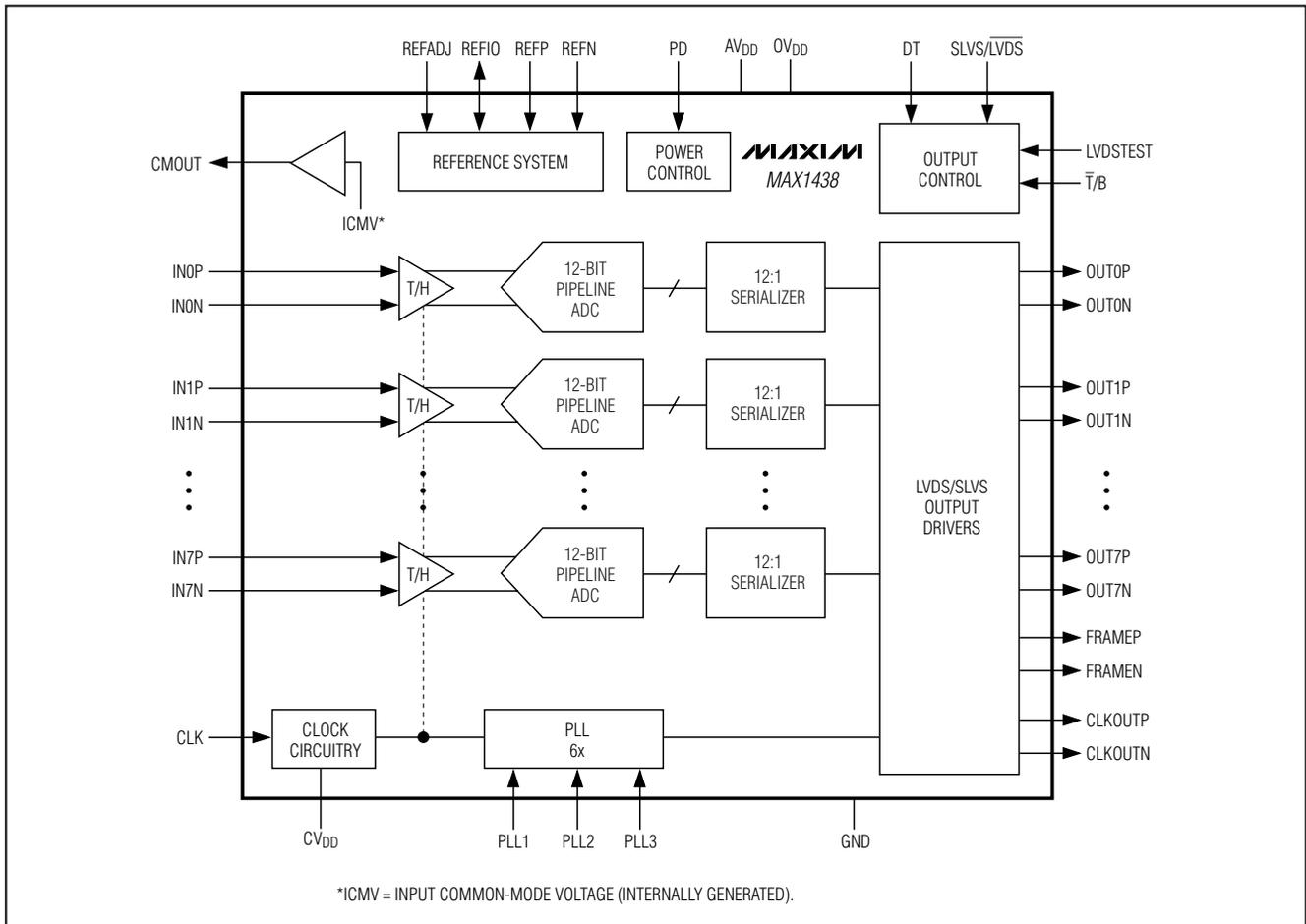
MAX1438

端子説明(続き)

端子	名称	機能
58	FRAMEN	負フレーム整合LVDS/SLVS出力。差動フレーム出力の立上りエッジが出力データストリームの正しいD0に整合します。
59	FRAMEP	正フレーム整合LVDS/SLVS出力。差動フレーム出力の立上りエッジが出力データストリームの正しいD0位置に整列します。
61	CLKOUTN	負のLVDS/SLVSシリアルクロック出力
62	CLKOUTP	正のLVDS/SLVSシリアルクロック出力
65	OUT3N	チャンネル3の負LVDS/SLVS出力
66	OUT3P	チャンネル3の正LVDS/SLVS出力
68	OUT2N	チャンネル2の負LVDS/SLVS出力
69	OUT2P	チャンネル2の正LVDS/SLVS出力
72	OUT1N	チャンネル1の負LVDS/SLVS出力
73	OUT1P	チャンネル1の正LVDS/SLVS出力
78	OUT0N	チャンネル0の負LVDS/SLVS出力
79	OUT0P	チャンネル0の正LVDS/SLVS出力
80	LVDSTEST	LVDSテストパターンのイネーブル。出力テストパターンをイネーブルするためには、LVDSTESTをハイに駆動してください(0000 1011 1101 MSB→LSB)。アナログ変換結果と同様に、テストパターンデータはLSBを先頭に出力されます。通常動作の場合は、LVDSTESTをローに駆動してください。
81	PD	パワーダウ入入力。すべてのチャンネルとリファレンスをパワーダウンするためには、PDをハイに駆動してください。通常動作の場合は、PDをローに駆動してください。
82	PLL3	PLL制御入力3。詳細については、表1をご覧ください。
83	PLL2	PLL制御入力2。詳細については、表1をご覧ください。
84	PLL1	PLL制御入力1。詳細については、表1をご覧ください。
85	\bar{T}/B	出力形式選択入力。バイナリ出力形式を選択するためには、 \bar{T}/B をハイに駆動してください。2の補数出力形式を選択するためには、 \bar{T}/B をローに駆動してください。
90	REFN	負リファレンスバイパス出力。1 μ F以上(10 μ F, typ)のコンデンサをREFPとREFNの間に接続し、1 μ F以上(10 μ F, typ)のコンデンサをREFNとGNDの間に接続してください。これらのコンデンサはプリント(PC)基板の同じ面にデバイスにできる限り近づけて配置してください。
91	REFP	正リファレンスバイパス出力。1 μ F以上(10 μ F, typ)のコンデンサをREFPとREFNの間に接続し、1 μ F以上(10 μ F, typ)のコンデンサをREFPとGNDの間に接続してください。これらのコンデンサはプリント(PC)基板の同じ面にデバイスにできる限り近づけて配置してください。
93	REFIO	リファレンス入力/出力。内部リファレンス動作(REFADJ = GND)の場合は、リファレンス出力電圧は1.24Vです。外部リファレンス動作(REFADJ = AV _{DD})の場合は、REFIOに安定したリファレンス電圧を印加してください。0.1 μ F以上でGNDにバイパスしてください。
94	REFADJ	内部または外部リファレンスモードの選択およびリファレンス調整の入力。内部リファレンスモードの場合は、REFADJをGNDにじかに接続してください。外部リファレンスモードの場合は、REFADJをAV _{DD} にじかに接続してください。リファレンス調整モードの場合は、「内部リファレンスによるフルスケール範囲の調整」の項をご覧ください。
95	CMOUT	コモンモードリファレンス電圧出力。CMOUTは、DC結合アプリケーション用に入力コモンモード電圧を出力します。CMOUTを0.1 μ F以上のコンデンサでGNDにバイパスしてください。
97	IN0P	チャンネル0の正アナログ入力
98	IN0N	チャンネル0の負アナログ入力
—	EP	エクスポーズドパッド。EPは内部でGNDに接続されています。EPをGNDに接続してください。

シリアルLVDS出力付き、オクタル、 12ビット、65Mps、1.8V ADC

ファンクションダイアグラム



詳細

ADCのMAX1438は、高速信号変換のために完全差動入力、パイプラインアーキテクチャで、デジタルエラー補正を備えています。ADCパイプラインアーキテクチャによって、入力に取り込まれたサンプルは半クロックサイクル毎に各パイプライン段を進行します。変換されたデジタル結果はシリアル化され、LVDS/SLVS出力ドライバを通じて送られます。入力から出力までの総クロック遅延は、6.5クロックサイクルです。

MAX1438は、入力と出力が同期した8つの独立した完全差動チャンネルを備えています。T/Bデジタル入力によって、出力をバイナリまたは2の補数に設定してください。グローバルパワーダウンによって、消費電力が最小限に抑制されます。

入力回路

図1は、入力T/H回路の簡略図を示します。トラックモードでは、スイッチS1、S2a、S2b、S4a、S4b、S5a、およびS5bは閉じています。完全差動回路は、スイッチS4aおよびS4bを通じて2個のコンデンサ(C2aとC2b)に入力信号をサンプリングします。S2aとS2bはトランスコンダクタンスオペアンプ(OTA)のコモンモードを設定し、S1と同時に開かれて入力波形をサンプリングします。つぎに、スイッチS4a、S4b、S5a、およびS5bが開かれた後に、スイッチS3aとS3bはコンデンサC1aおよびC1bをアンプの出力と接続し、スイッチS4cが閉じられます。得られた差動電圧は、コンデンサC2aとC2bに保持されます。アンプは、コンデンサC2aとC2bに当初保持されていた値まで、コンデンサC1aとC1bを充電します。つぎに、これらの値は第1段の量子化器に送られ、高速変動する入力からパイプラインを

シリアルLVDS出力付き、オクタル、 12ビット、65Mps、1.8V ADC

MAX1438

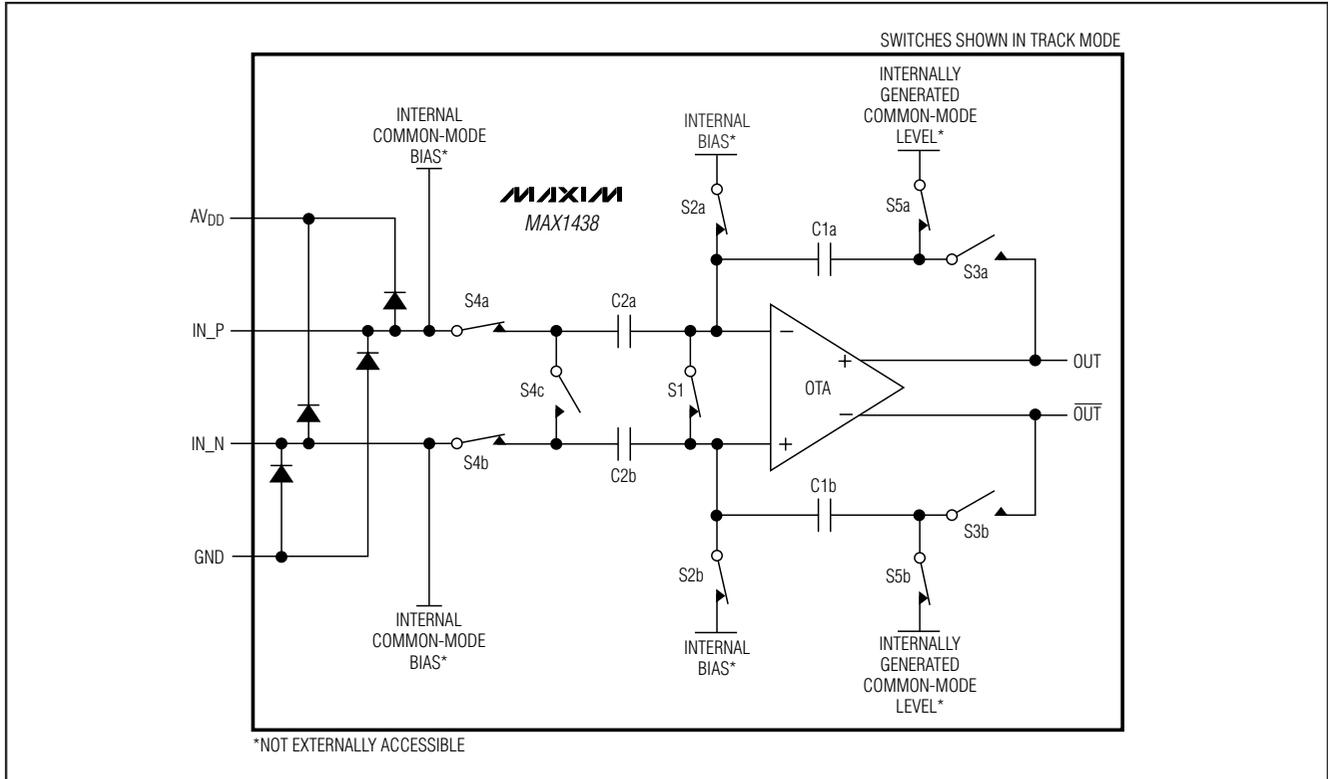


図1. 内部入力回路

分離します。IN_P～IN_N間のアナログ入力は、差動駆動されます。差動入力の場合は、性能を最適化するために、IN_PとIN_Nの入カインピーダンスをバランスさせてください。

リファレンス構成 (REFIO、REFADJ、REFP、およびREFN)

MAX1438は、1.24Vのバンドギャップリファレンスを内蔵していますが、外部リファレンス電圧で駆動することもできます。フルスケールアナログ差動入力範囲は±FSRです。FSR(フルスケール範囲)は、次式から求められます。

$$FSR = \frac{(0.700 \times V_{REFIO})}{1.24V}$$

ここで、 V_{REFIO} は、内部または外部で生成されるREFIOの電圧です。 $V_{REFIO} = 1.24V$ の場合は、フルスケール入力範囲は±700mV(1.4V_{p-p})です。

内部リファレンスモード

内部バンドギャップリファレンスを直接使用するためには、REFADJをGNDに接続してください。内部バンドギャップリファレンスは、内部リファレンスモードの場合、温度係数が120ppm/℃の1.24Vの V_{REFIO} を生成します。安定化させるためには、0.1μF以上のバイパスコンデンサをREFIOとGNDの間に外付けしてください。REFIOは外部回路に対して最大200μAまでソースし、シンクします。REFIOの負荷レギュレーションは75mV/mAです。MAX1438がパワーダウンモードのときは、REFIOはGNDに対して1MΩを超える抵抗を備えています。電源がMAX1438に印加される場合またはPDがハイからローに遷移する場合、内部リファレンス回路は起動と整定に100ms($C_{REFP} \sim GND = C_{REFN} \sim GND = 1\mu F$ の場合)が必要です。

利得誤差を補償するか、またはADCのFSRの縮小や拡大を行うためには、REFADJとGNDの間またはREFADJとREFIOの間に外付け抵抗器を追加してください。この抵抗器によって、MAX1438の内部リファレンス値をその公称値の最大±5%まで調整します。「内部リファレンスによるフルスケール範囲の調整」の項をご覧ください。

シリアルLVDS出力付き、オクタル、12ビット、65Mps、1.8V ADC

1 μ F以上(10 μ F typ)のコンデンサをREFPからGNDおよびREFNからGNDに接続し、1 μ F以上(10 μ F typ)のコンデンサをREFPとREFNの間に接続してください。これらのコンデンサは、プリント基板の同じ面でデバイスにできる限り近づけて接続してください。

外部リファレンスモード

外部リファレンスモードは、MAX1438のリファレンス電圧に優る制御が可能で、複数のコンバータに共通リファレンスを使用することを可能にします。内部リファレンスをディセーブルするためには、REFADJをAV_{DD}に接続してください。REFIOに安定した1.18V~1.30Vの電源を印加してください。REFIOを0.1 μ F以上のコンデンサでGNDにバイパスしてください。REFIOの入カインピーダンスは1M Ω を超えます。

クロック入力(CLK)

MAX1438は、入力クロックデューティサイクルが20%~80%と広範囲のCMOS対応クロック信号を受け付けます。外部のシングルエンドクロック信号でCLKを駆動してください。図2は、簡略化されたクロック入力図を示します。

MAX1438の規定のSNR性能を得るためには、クロックジッタが小さくなければなりません。アナログ入力サンプリングはCLKの立上りエッジで行われるため、このエッジのジッタはできる限り小さくする必要があります。ジッタは、次式によってどんなADCの最大SNR性能にも限界を与えます。

$$SNR = 20 \times \log \left(\frac{1}{2 \times \pi \times f_{IN} \times t_J} \right)$$

ここで、 f_{IN} はアナログ入力周波数を表し、 t_J は全システムクロックジッタです。

PLL入力(PLL1、PLL2、PLL3)

MAX1438は、入力クロックの6倍の周波数の出力クロック信号を生成するPLLを備えています。出力クロック

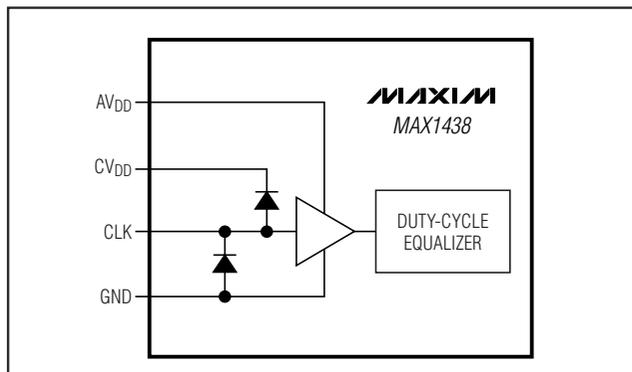


図2. クロック入力回路

表1. PLL1、PLL2、およびPLL3の構成表

PLL1	PLL2	PLL3	INPUT CLOCK RANGE (MHz)	
			MIN	MAX
0	0	0	45.0	65.0
0	0	1	32.5	45.0
0	1	0	22.5	32.5
0	1	1	16.3	22.5
1	0	0	11.3	16.3
1	0	1	8.1	11.3
1	1	0	5.6	8.1
1	1	1	4.0	5.6

信号は、MAX1438からデータをクロックアウトするために使われます(「システムタイミング要件」の項参照)。表1に記載の入カクロック範囲に従って、PLL1、PLL2、およびPLL3ビットを設定してください。

システムタイミング要件

図3は、アナログ入力、入力クロック、フレーム整合出力、シリアルクロック出力、およびシリアルデータ出力の間の関係を示します。差動アナログ入力(IN_PとIN_N)はCLK信号の立上りエッジでサンプリングされ、変換結果のデータは6.5クロックサイクル後にデジタル出力に現れます。図4は、入力と出力の関係についての詳細な2変換のタイミング図を示します。

クロック出力(CLKOUTP、CLKOUTN)

MAX1438は、CLKOUTPとCLKOUTNで構成される差動クロック出力を備えています。図4に示すように、シリアル出力データはクロック出力の両エッジでMAX1438からクロックアウトされます。出力クロックの周波数は、CLKの周波数の6倍です。

フレーム整合出力(FRAMEP、FRAMEN)

MAX1438は、FRAMEPとFRAMENで構成される差動フレーム整合信号を備えています。図4に示すように、フレーム整合信号の立上りエッジは、12ビットシリアルデータストリームの先頭ビット(D0)に対応します。フレーム整合信号の周波数は、入力クロックの周波数と同じです。

シリアル出力データ(OUT_P、OUT_N)

MAX1438は、OUT_PとOUT_Nで構成される各差動出力を通じて変換結果を提供します。変換結果は、サンプルが取得されてから6.5入力クロックサイクル後に有効です。図3に示すように、出力データは、出力クロックの両エッジでLSB(D0)を先頭にクロックアウトされます。図5は、詳細なシリアル出力タイミング図を示します。

シリアルLVDS出力付き、オクタル、 12ビット、65Mps、1.8V ADC

MAX1438

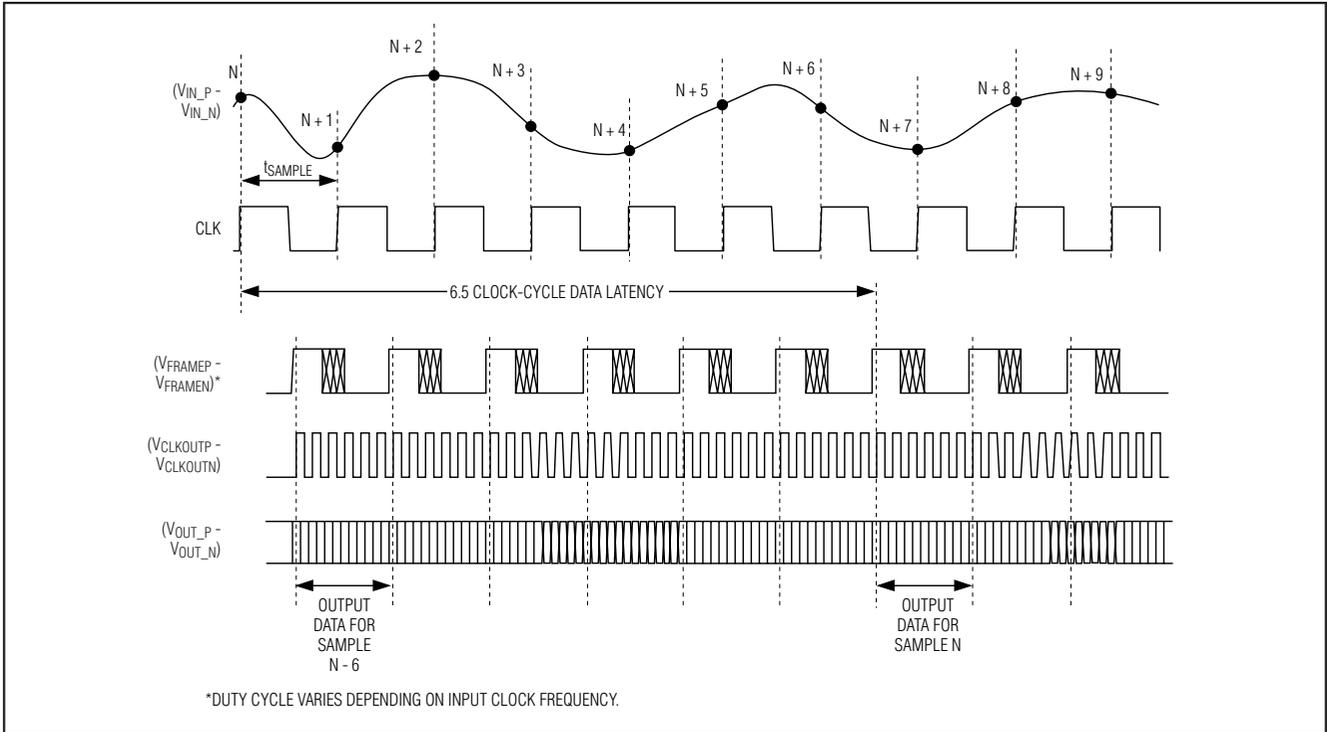


図3. グローバルタイミング図

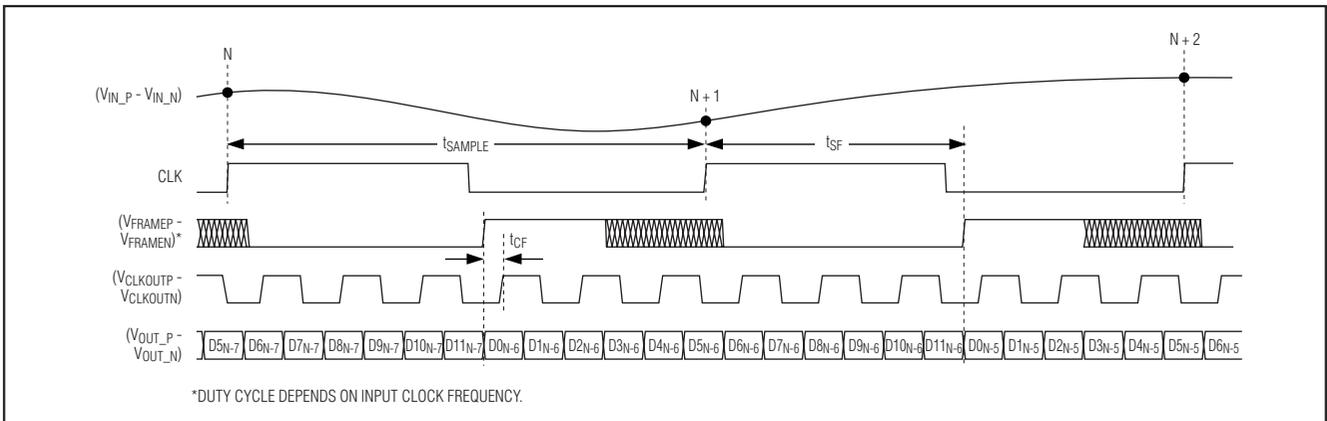


図4. 2変換タイミング詳細図

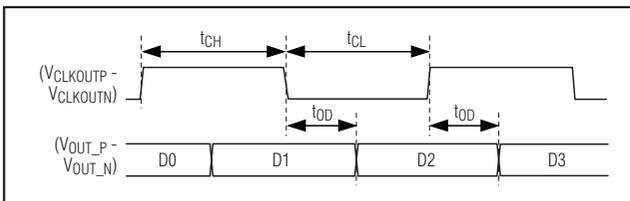
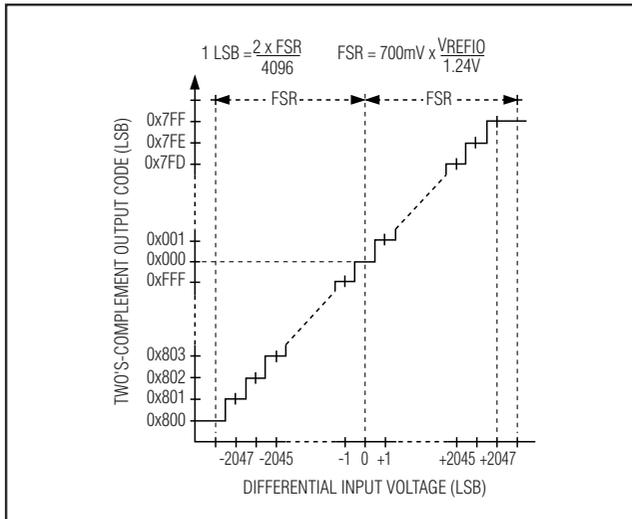
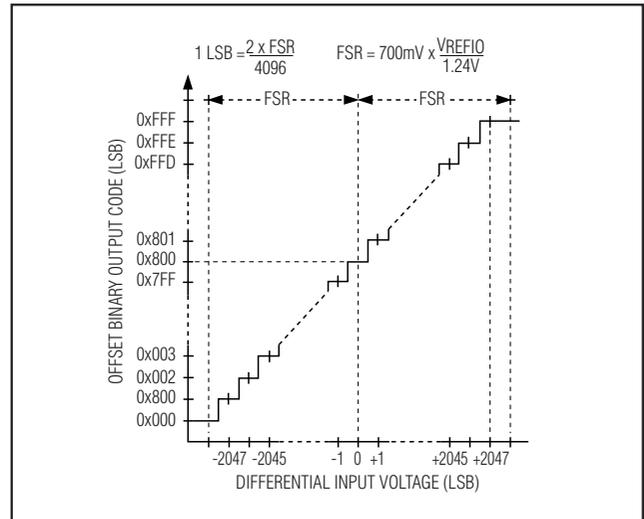


図5. シリアル化出力タイミング詳細図

シリアルLVDS出力付き、オクタル、 12ビット、65Mpsps、1.8V ADC

表2. 出力コード表($V_{REFIO} = 1.24V$)

TWO'S-COMPLEMENT DIGITAL OUTPUT CODE ($\bar{T}/B = 0$)			OFFSET BINARY DIGITAL OUTPUT CODE ($\bar{T}/B = 1$)			$V_{IN_P} - V_{IN_N}$ (mV) ($V_{REFIO} = 1.24V$)
BINARY D11 → D0	HEXADECIMAL EQUIVALENT OF D11 → D0	DECIMAL EQUIVALENT OF D11 → D0	BINARY D11 → D0	HEXADECIMAL EQUIVALENT OF D11 → D0	DECIMAL EQUIVALENT OF D11 → D0	
0111 1111 1111	0x7FF	+2047	1111 1111 1111	0xFFF	+4095	+699.66
0111 1111 1110	0x7FE	+2046	1111 1111 1110	0xFFE	+4094	+699.32
0000 0000 0001	0x001	+1	1000 0000 0001	0x801	+2049	+0.34
0000 0000 0000	0x000	0	1000 0000 0000	0x800	+2048	0
1111 1111 1111	0xFFF	-1	0111 1111 1111	0x7FF	+2047	-0.34
1000 0000 0001	0x801	-2047	0000 0000 0001	0x001	+1	-699.66
1000 0000 0000	0x800	-2048	0000 0000 0000	0x000	0	-700.00

図6. 2の補数の伝達関数($\bar{T}/B = 0$)図7. バイナリの伝達関数($\bar{T}/B = 1$)

出力データ形式(\bar{T}/B)伝達関数

MAX1438の出力データ形式は、ロジック入力 \bar{T}/B に応じて、オフセットバイナリ、または2の補数のいずれかです。 \bar{T}/B がローの場合は、出力データ形式は2の補数です。 \bar{T}/B がハイの場合は、出力データ形式はオフセットバイナリです。次式、表2、および図6と図7は、デジタル出力とアナログ入力の関係を定義します。2の補数($\bar{T}/B = 0$)の場合は、

$$V_{IN_P} - V_{IN_N} = FSR \times 2 \times \frac{CODE_{10}}{4096}$$

オフセットバイナリ($\bar{T}/B = 1$)の場合は、

$$V_{IN_P} - V_{IN_N} = FSR \times 2 \times \frac{CODE_{10} - 2048}{4096}$$

ここで、 $CODE_{10}$ は、表2に示すようにデジタル出力コードの10進数に相当します。

MAX1438のデジタル出力の容量性負荷は、できる限り小さくしてください。

LVDSおよびSLVS信号(SLVS/LVDS)

MAX1438の出力(OUT_P、OUT_N、CLKOUTP、CLKOUTN、FRAMEP、およびFRAMEN)をLVDSレベルとする場合はSLVS/LVDSをローにし、SLVSレベルとする場合はSLVS/LVDSをハイにしてください。SLVSレベルの場合は、DTをハイに駆動して、二重終端をイネーブルしてください。LVDSとSLVSの出力電圧レベルについては、「電気的特性(Electrical Characteristics)」表をご覧ください。

シリアルLVDS出力付き、オクタル、12ビット、65Mps、1.8V ADC

LVDSテストパターン(LVDSTEST)

すべてのLVDSまたはSLVS出力チャンネルで出力テストパターンをイネーブリングするためには、LVDSTESTをハイにしてください。出力テストパターンは、0000 1011 1101です。通常動作の場合は、LVDSTESTをローに駆動してください(テストパターンがディセーブルされます)。

コモンモード出力(CMOUT)

CMOUTは、DC結合アナログ入力用のコモンモードリファレンスを備えています。入力をDC結合する場合は、MAX1438を駆動する回路の出力コモンモード電圧を V_{CMOUT} の出力電圧と $\pm 50\text{mV}$ 以内で一致させてください。駆動回路の出力コモンモード電圧はCMOUTから取り出して使うことをお奨めします。

二重終端(DT)

MAX1438は、差動出力ペア(OUT_PとOUT_N、CLKOUTPとCLKOUTN、FRAMEPとFRAMEN)の間にオプションの 100Ω 終端を内蔵しています。ライン遠端部の終端のほかに出力部にじかに配置されるもう一方の終端も、ライン上の望ましくない反射を排除するのに役立ちます。トレース長が長く(5インチ以上)、またはインピーダンスが不整合のアプリケーションでは、この機能は有効です。二重終端を選択するためにはDTをハイに駆動し、また内蔵終端抵抗器をはずす単一終端のためにはDTをローにしてください。二重終端を選択すると、 OV_{DD} の消費電流が増大します(図8参照)。

パワーダウンモード(PD)

MAX1438は、変換が不要なときに低電力状態に移移して電力を効率的に使用するパワーダウンモードを備えています。

PDはすべてのチャンネルと内部リファレンス回路のパワーダウンモードを制御します。パワーダウンをイネーブリングするためには、PDをハイに駆動してください。パワーダウンモードでは、DTがローの場合は、LVDS/SLVSの全出力の出力インピーダンスは約 342Ω です。差動LVDS/SLVS出力の出力インピーダンスは、DTがハイの場合は、 100Ω です。パワーダウン時の標準的な消費電流については、「電気的特性(Electrical Characteristics)」表をご覧ください。以下は、パワーダウンモードにおけるアナログ入力とデジタル出力の状態を示します。

- IN_P、IN_Nのアナログ入力は内部入力アンプから切断。
- REFIOは、GNDに対して $1\text{M}\Omega$ を超える抵抗を保持。

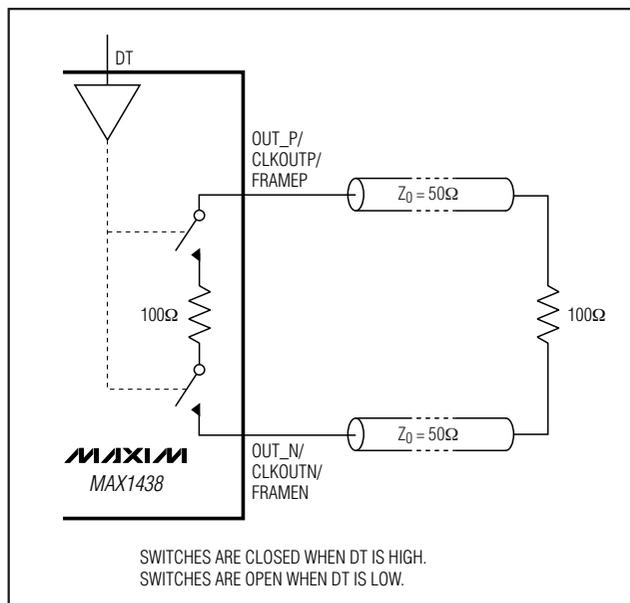


図8. 二重終端

- OUT_P、OUT_N、CLKOUTP、CLKOUTN、FRAMEP、およびFRAMENは、DTがローの場合には、出力ペア間に約 342Ω を保持。DTがハイの場合は、差動出力ペアは各ペア間に 100Ω を保持。

内部リファレンスで動作している場合は、パワーダウンからのウェイクアップ時間は標準的には 100ms です(C_{REFP} とGND間、および C_{REFN} とGND間に $1\mu\text{F}$ を接続)。外部リファレンスを使用している場合は、ウェイクアップ時間は外部リファレンスドライバに依存します。

アプリケーション情報

内部リファレンスによるフルスケール範囲の調整

MAX1438は、 $10\%(\pm 5\%)$ のフルスケール調整範囲を可能にします。フルスケール範囲を縮小するためには、 $25\text{k}\Omega \sim 250\text{k}\Omega$ の外付け抵抗器またはポテンショメータ(R_{ADJ})をREFADJとGNDの間に追加してください。フルスケール範囲を拡大するためには、 $25\text{k}\Omega \sim 250\text{k}\Omega$ の抵抗器をREFADJとREFIOの間に追加してください。図9は、2つの可能な構成を示します。

次式は、 R_{ADJ} とアナログフルスケール範囲の変化との関係を示します。

$$FSR = 0.7V \left(1 + \frac{1.25\text{k}\Omega}{R_{ADJ}} \right)$$

REFADJとREFIOの間に接続された R_{ADJ} の場合は、

シリアルLVDS出力付き、オクタル、12ビット、65Mps、1.8V ADC

MAX1438

オフセット誤差(Offset Error)

オフセット誤差は、実際の伝達関数が理想的な伝達関数と1点においていかに良く一致しているかを示す性能指数です。MAX1438の場合、理想的なミッドスケールデジタル出力遷移は両アナログ入力間が-1/2 LSBであるときに起ります(図6および7)。2極オフセット誤差は、測定されたミッドスケール遷移点と理想的なミッドスケール遷移点の偏差の大きさです。

利得誤差(Gain Error)

利得誤差は、実際の伝達関数の傾斜が理想的な伝達関数の傾斜といかに良く一致しているかを示す性能指標です。MAX1438の場合、利得誤差は測定されたフルスケールとゼロスケールの両遷移点の差から理想的なフルスケールとゼロスケールの両遷移点の差を差し引いた値です。

バイポーラデバイス(MAX1438)の場合、フルスケール遷移点は2の補数出力形式では0x7FEから0x7FF(オフセットバイナリでは0xFFEから0xFFF)で、ゼロスケール遷移点は2の補数では0x800から0x801(オフセットバイナリでは0x000から0x001)です。

クロストーク(Crosstalk)

クロストークは、各アナログ入力が必要な入力からいかに良く絶縁されているかを示します。MAX1438の場合、5.3MHz、-0.5dBFSのアナログ信号を1つのチャンネルに印加しながら、19.3MHz、-0.5dBFSのアナログ入力信号をもう1つにチャンネルに印加します。FFTが5.3MHzのアナログ入力に印加されたチャンネルに対して行われます。このFFTデータから、クロストークが5.3MHzと19.3MHzの両振幅の差として測定されます。

アパーチャ遅延(Aperture Delay)

アパーチャ遅延(t_{AD})は、サンプリングクロックの立上りエッジと、実際のサンプル取得時点との間で定義される時間です。図11をご覧ください。

アパーチャジッタ(Aperture Jitter)

アパーチャジッタ(t_{AJ})はアパーチャ遅延におけるサンプル間のばらつきです。図11をご覧ください。

信号対ノイズ比

(Signal-to-Noise Ratio : SNR)

デジタルサンプルから完全に再構築された波形の場合、理論的最大SNRはフルスケールアナログ入力(RMS値)の、RMS量子化誤差(残留誤差)に対する比です。理想的な理論的最小アナログ-デジタルノイズは、量子化誤差のみによってもたらされ、ADCの分解能(Nビット)に直接起因します。

$$\text{SNR}_{dB}[\text{max}] = 6.02\text{dB} \times N \times 1.76\text{dB}$$

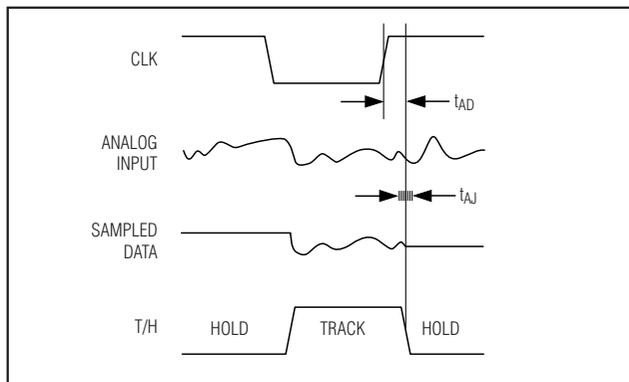


図11. アパーチャジッタ/遅延仕様

実際には、量子化ノイズ以外に、サーマルノイズ、リファレンスノイズ、クロックジッタなどのノイズソースがあります。

MAX1438の場合、SNRはRMS信号のRMSノイズに対する比を取るによって算出されます。RMSノイズは、基本波、最初の6つの高調波(HD2~HD7)、およびDCオフセットを除くナイキスト周波数までのすべてのスペクトル成分を含みます。

信号対ノイズ + 歪み

(Signal-to-Noise Plus Distortion : SINAD)

SINADは、RMS信号の、RMSノイズ+歪みに対する比を取るによって算出されます。RMSノイズ+歪みは、基本波とDCオフセットを除くナイキスト周波数までのすべてのスペクトル成分を含みます。

有効ビット数

(Effective Number of Bits : ENOB)

ENOBは、特定の入力周波数およびサンプリングレートにおけるADCのダイナミック性能を表わします。理想的なADCの誤差は量子化ノイズのみから成ります。フルスケール正弦波入力波形に対するENOBは次式から算出されます。

$$\text{ENOB} = \left(\frac{\text{SINAD} - 1.76}{6.02} \right)$$

全高調波歪み

(Total Harmonic Distortion : THD)

THDは、入力信号に含まれる最初の6つの高調波のRMS和の、基本波そのものに対する比です。これは、以下のように表わされます。

$$\text{THD} = 20 \times \log \left(\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2 + V_7^2}}{V_1} \right)$$

シリアルLVDS出力付き、オクタル、 12ビット、65Msps、1.8V ADC

スプリアスフリー、ダイナミックレンジ (Spurious-Free Dynamic Range : SFDR)

SFDRは、基本波(最大信号成分)のRMS振幅の、次に大きなスプリアス成分のRMS値(DCオフセットを除く)に対するデシベル値での比です。SFDRは、キャリアを基準にしてデシベル単位(dBc)で表わされます。

相互変調歪み (Intermodulation Distortion : IMD)

IMDは、2つの入力トーン f_1 と f_2 の全入力パワーを基準とするナイキスト周波数までのIM2~IM5相互変調積の全パワーです。各入力トーンレベルは、-6.5dBFSにおける値です。相互変調積は以下の通りです。

- 2次相互変調積 (IM2) : $f_1 + f_2$ 、 $f_2 - f_1$
- 3次相互変調積 (IM3) : $2 \times f_1 - f_2$ 、 $2 \times f_2 - f_1$ 、 $2 \times f_1 + f_2$ 、 $2 \times f_2 + f_1$
- 4次相互変調積 (IM4) : $3 \times f_1 - f_2$ 、 $3 \times f_2 - f_1$ 、 $3 \times f_1 + f_2$ 、 $3 \times f_2 + f_1$
- 5次相互変調積 (IM5) : $3 \times f_1 - 2 \times f_2$ 、 $3 \times f_2 - 2 \times f_1$ 、 $3 \times f_1 + 2 \times f_2$ 、 $3 \times f_2 + 2 \times f_1$

3次相互変調 (Third Order Intermodulation : IM3)

IM3は、2つの入力トーン f_1 と f_2 の全入力パワーを基準とするナイキスト周波数までの3次相互変調積の全パワーです。各入力トーンレベルは、-6.5dBFSにおける値です。3次相互変調積は、 $2 \times f_1 - f_2$ 、 $2 \times f_2 - f_1$ 、 $2 \times f_1 + f_2$ 、 $2 \times f_2 + f_1$ です。

小信号帯域幅(Small-Signal Bandwidth)

信号のスルーレートがADCの性能を制限しないように、-20.5dBFSのアナログ入力小信号がADCに加えら

れます。つぎに、デジタル変換結果の振幅が3dB低減するポイントまで入力周波数がスイープされます。

フルパワー帯域幅(Full-Power Bandwidth)

-0.5dBFSのアナログ入力大信号がADCに加えられ、デジタル変換結果の振幅が3dB低減するポイントまで入力周波数がスイープされます。このポイントは、フルパワー入力帯域幅周波数として定義されます。

利得マッチング(Gain Matching)

利得マッチングは、8つのADCチャンネルすべての利得が互いにどの程度良く一致しているかを示す性能指標です。MAX1438では、利得マッチングは、同じ5.3MHz、-0.5dBFSのアナログ信号をすべてのアナログ入力チャンネルに印加することによって測定されます。これらのアナログ入力は65Mspsでサンプリングされ、振幅の最大偏差が「電気的特性(Electrical Characteristics)」表に利得マッチングとしてdB単位で記載されます。

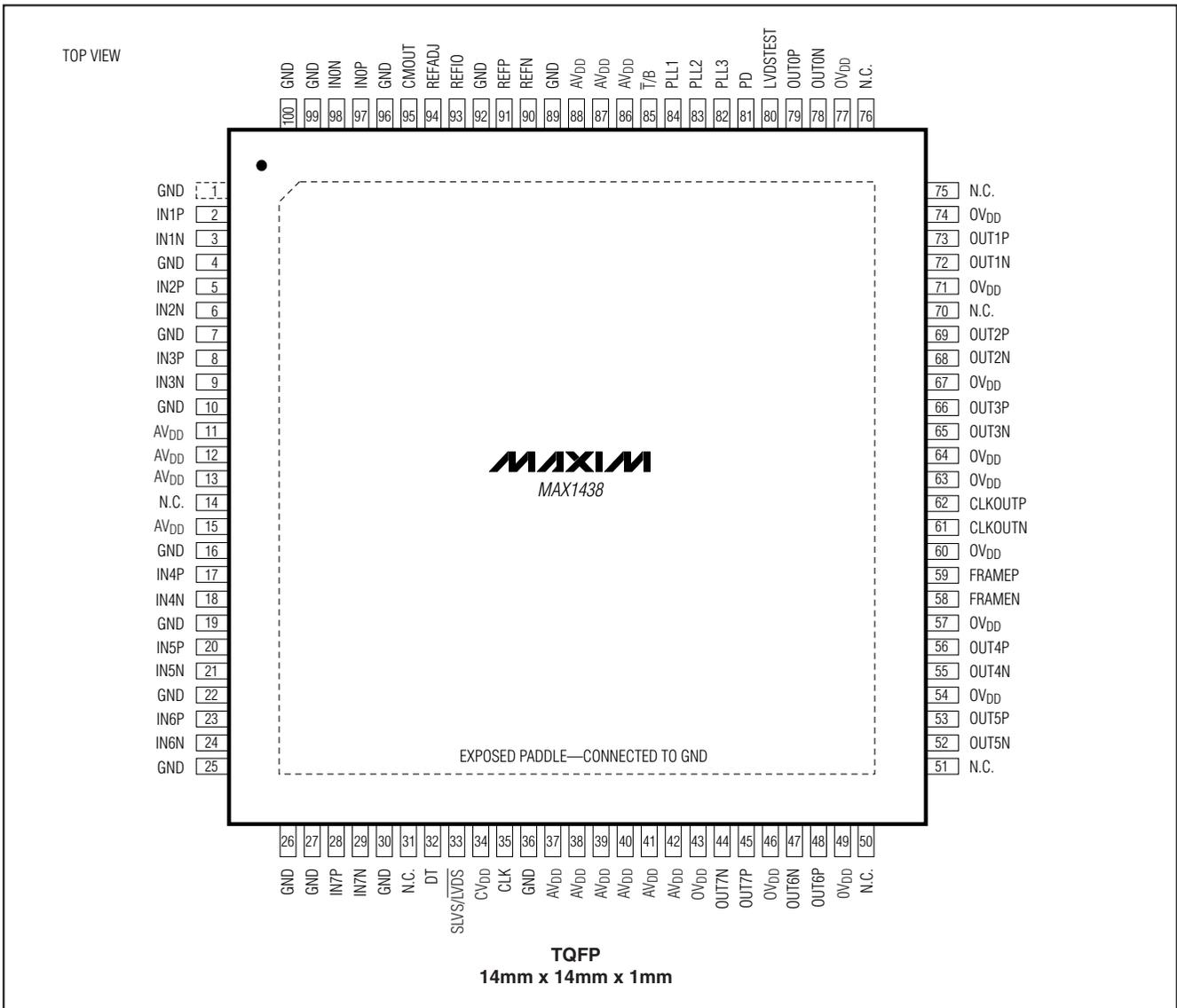
位相マッチング(Phase Matching)

位相マッチングは、8つのADCチャンネルすべての位相が互いにどの程度良く一致しているかを示す性能指標です。MAX1438の場合、位相マッチングは、同じ5.3MHz、-0.5dBFSのアナログ信号をすべてのアナログ入力チャンネルに印加することによって測定されます。これらのアナログ入力は65Mspsでサンプリングされ、位相の最大偏差が「電気的特性(Electrical Characteristics)」表に位相マッチングとして度単位で記載されます。

シリアルLVDS出力付き、オクタル、 12ビット、65Mps、1.8V ADC

MAX1438

ピン配置

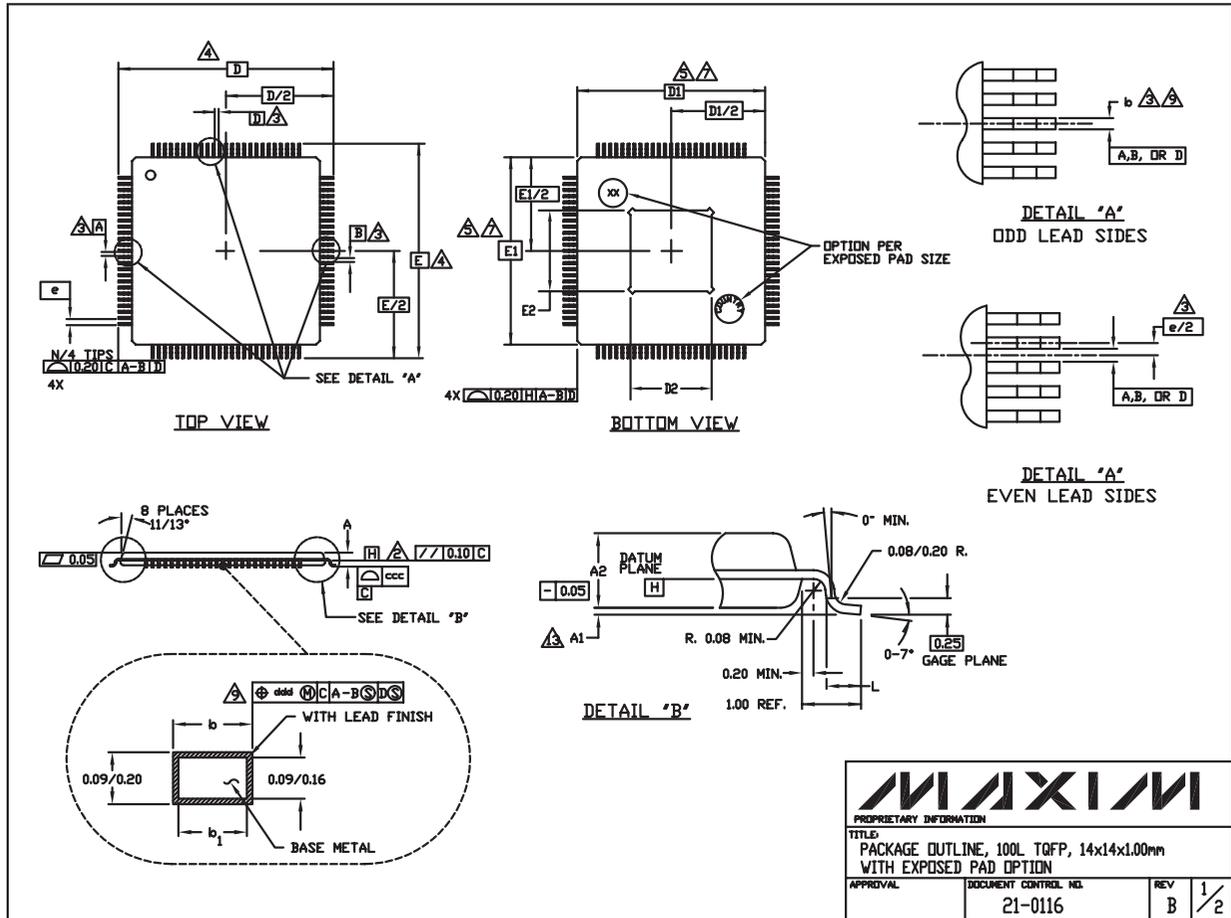


シリアルLVDS出力付き、オクタル、 12ビット、65Mps、1.8V ADC

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

For the MAX1438 exposed paddle variation, the package code is C100E-2.



14x14x1.00L TQFP, EXP. PAD.EPS

シリアルLVDS出力付き、オクタル、 12ビット、65Mps、1.8V ADC

MAX1438

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

For the MAX1438 exposed paddle variation, the package code is C100E-2.

NOTES:

- ALL DIMENSIONING AND TOLERANCING CONFORM TO ASME Y14.5M-1994.
- DATUM PLANE [H] LOCATED AT MOLD PARTING LINE AND COINCIDENT WITH LEAD, WHERE LEAD EXITS PLASTIC BODY AT BOTTOM OF PARTING LINE.
- DATUM [A-B] AND [D] TO BE DETERMINED AT CENTERLINE BETWEEN LEADS WHERE LEADS EXITS PLASTIC BODY AT DATUM PLANE [H].
- TO BE DETERMINED AT SEATING PLANE [C].
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE MOLD PROTRUSION IS 0.254mm ON D1 AND E1 DIMENSIONS.
- "N" IS THE TOTAL NUMBER OF TERMINALS.
- THESE DIMENSIONS TO BE DETERMINED AT DATUM PLANE [H].
- THE TOP OF PACKAGE IS SMALLER THAN THE BOTTOM OF PACKAGE BY 0.15mm.
- DIMENSIONS b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08mm TOTAL IN EXCESS OF THE b DIMENSION AT MAXIMUM MATERIAL CONDITION. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE FOOT.
- CONTROLLING DIMENSION: MILLIMETER
- MAXIMUM ALLOWABLE DIE THICKNESS TO BE ASSEMBLED IN THIS PACKAGE FAMILY IS 0.50mm.
- THIS OUTLINE IS NOT YET JEDEC REGISTERED.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.
- EXPOSED DIE PAD SHALL BE COPLANAR WITH BOTTOM OF PACKAGE WITHIN 0.05mm.
- METAL AREA OF EXPOSED DIE PAD SHALL BE WITHIN 0.30mm OF THE NOMINAL DIE PAD SIZE.
- COUNTRY OF ORIGIN MUST BE MARKED ON THE PACKAGE.

ALL DIMENSIONS ARE IN MILLIMETERS				
	MIN.	NOM.	MAX.	NOTES
A	~	~	1.20	
A ₁	0.05	~	0.15	13
A ₂	0.95	1.00	1.05	
D	16.00 BSC.			4
D ₁	14.00 BSC.			7,8
E	16.00 BSC.			4
E ₁	14.00 BSC.			7,8
L	0.45	0.60	0.75	
N	100			
e	0.50 BSC.			
b	0.17	0.22	0.27	9
b ₁	0.17	0.20	0.23	
ccc	~	~	0.08	
ddd	~	~	0.08	

EXPOSED PAD VARIATIONS						
	D2			E2		
PKG. CODE	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
C100E-2	7.7	8.0	8.3	7.7	8.0	8.3
C100E-3	6.2	6.5	6.8	6.2	6.5	6.8
C100E-6	4.7	5.0	5.3	4.7	5.0	5.3

MAXIM

PROPRIETARY INFORMATION

TITLE:
PACKAGE OUTLINE, 100L TQFP, 14x14x1.00mm
WITH EXPOSED PAD OPTION

APPROVAL	DOCUMENT CONTROL NO. 21-0116	REV B	2/2
----------	---------------------------------	----------	-----

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 _____ 23

© 2005 Maxim Integrated Products, Inc. All rights reserved. **MAXIM** is a registered trademark of Maxim Integrated Products, Inc.