

IFアプリケーション用、-78.2dBFS ノイズフロア、15ビット、65Msps ADC

概要

MAX1418は5V、高速、高性能のアナログ-デジタルコンバータ(ADC)で、完全差動広帯域トラック/ホールド(T/H)と15ビットコンバータコアを備えています。MAX1418は、極めて厳密なダイナミック性能要件に適合するADCが必要なマルチチャネル、マルチモードレシーバに最適です。ノイズフロアが-78.2dBFSなので、MAX1418を使って感度が優れたレシーバを設計することができます。

MAX1418は、69MHz及び71MHzの入力トーンに対して-85dBcのツートーン、スプリアスフリーダイナミックレンジ(SFDR)を実現します。73.6dBの優れた信号対ノイズ比(SNR)と、 $f_{IN} = 70\text{MHz}$ 及び65Mspsのサンプリングレートで88dBc/92dBcのシングルトーンSFDR性能(SFDR1/SFDR2)を示し、高性能デジタルレシーバに最適です。

MAX1418はアナログ5V及びデジタル3V電源で動作し、2.56V_{p-p}のフルスケール入力範囲を備え、最高65Mspsのサンプリングレートを実現します。入力T/Hは、260MHzの-1dBフルパワー帯域幅で動作します。

MAX1418は、パラレル、CMOS対応出力を2の補数形式で備えています。広範なロジックデバイスとインタフェースすることができるように、このADCは独立した2.3V~3.5Vの出力ドライバ電源範囲を持っています。MAX1418は熱抵抗を低減する裏面放熱パッド(EP)付、8mm x 8mm、56ピンQFNパッケージで提供され、工業用拡張温度範囲(-40°C~+85°C)での動作が保証されています。

IF製品のMAX1418、MAX1428、及びMAX1430(表「ピンコンパチブルの高/低速製品の選択」を参照)は、 $f_{CLK}/3$ 以上の入力周波数用に高ダイナミック性能が必要なアプリケーションに最適です。ベースバンドの姉妹製品MAX1419とは異なり、MAX1418は $f_{CLK}/3$ 以上の入力周波数に最適です。

アプリケーション

- セルラ基地局トランシーバシステム(BTS)
- ワイヤレスローカルループ(WLL)
- シングル及びマルチキャリアレシーバ
- マルチ標準レシーバ
- E911ロケーションレシーバ
- パワーアンプリニアリティ補正
- アンテナアレイ処理

ピン配置はデータシートの最後に記載されています。



特長

- ◆ 最小サンプリングレート：65Msps
- ◆ ノイズフロア：-78.2dBFS
- ◆ 優れたダイナミック性能
 - 73.6dB SNR($f_{IN} = 70\text{MHz}$ 及び $A_{IN} = -2\text{dBFS}$ の場合)
 - 88dBc/92dBcシングルトーン
 - SFDR1/SFDR2($f_{IN} = 70\text{MHz}$ 及び $A_{IN} = -2\text{dBFS}$ の場合)
 - 85dBマルチトーンSFDR($f_{IN1} = 69\text{MHz}$ 及び $f_{IN2} = 71\text{MHz}$ の場合)
- ◆ サンプリングジッタ：0.25ps以下
- ◆ 完全差動アナログ入力電圧範囲：2.56V_{p-p}
- ◆ CMOS対応の2の補数データ出力
- ◆ 独立したデータ有効クロック及びオーバーレンジ出力
- ◆ フレキシブル入力クロックバッファ
- ◆ MAX1418の評価キットを提供(MAX1427EVKITを請求してください)

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX1418ETN	-40°C to +85°C	56 QFN-EP*

*EP：裏面放熱パッド

ピンコンパチブルの高/低速製品の選択

PART	SPEED GRADE (Msps)	TARGET APPLICATION
MAX1418	65	IF
MAX1419	65	Baseband
MAX1427	80	Baseband
MAX1428*	80	IF
MAX1429*	100	Baseband
MAX1430*	100	IF

*開発中の製品。入手性についてはお問い合わせください。

IFアプリケーション用、-78.2dBFS ノイズフロア、15ビット、65Mps ADC

MAX1418

ABSOLUTE MAXIMUM RATINGS

AV_{CC}, DV_{CC}, DRV_{CC} to GND..... -0.3V to +6V
 INP, INN, CLKP, CLKN, CM to GND..... -0.3V to (AV_{CC} + 0.3V)
 D0–D14, DAV, DOR to GND..... -0.3V to (DRV_{CC} + 0.3V)
 Continuous Power Dissipation (T_A = +70°C)
 56-Pin QFN (derate 47.6mW/°C above +70°C)3809.5mW

Operating Temperature Range-40°C to +85°C
 Thermal Resistance θ_{JA}21°C/W
 Junction Temperature+150°C
 Storage Temperature Range-60°C to +150°C
 Lead Temperature (soldering, 10s)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(AV_{CC} = 5V, DV_{CC} = DRV_{CC} = 2.5V, GND = 0, INP and INN driven differentially with -2dBFS, CLKP and CLKN driven differentially with a 2V_{P-P} sinusoidal input signal, C_L = 5pF at digital outputs, f_{CLK} = 65MHz, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C, unless otherwise noted. ≥+25°C guaranteed by production test, <+25°C guaranteed by design and characterization.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY						
Resolution			15			Bits
Integral Nonlinearity	INL	f _{IN} = 15MHz		±1.5		LSB
Differential Nonlinearity	DNL	f _{IN} = 70MHz, no missing codes guaranteed		±0.4		LSB
Offset Error			-12		+12	mV
Gain Error			-4		+4	%FS
ANALOG INPUT (INP, INN)						
Differential Input Voltage Range	V _{DIFF}	Fully differential inputs drive, V _{DIFF} = V _{INP} - V _{INN}		2.56		V _{P-P}
Common-Mode Input Voltage	V _{CM}	Self-biased		4.17		V
Differential Input Resistance	R _{IN}			1 ±15%		kΩ
Differential Input Capacitance	C _{IN}			1		pF
Full-Power Analog Bandwidth	FPBW _{-1dB}	-1dB rolloff for a full-scale input		260		MHz
CONVERSION RATE						
Maximum Clock Frequency	f _{CLK}		65			MHz
Minimum Clock Frequency	f _{CLK}			20		MHz
Aperture Jitter	t _{AJ}			0.21		psRMS
CLOCK INPUT (CLKP, CLKN)						
Full-Scale Differential Input Voltage	V _{DIFFCLK}	Fully differential input drive, V _{CLKP} - V _{CLKN}		0.5 to 3.0		V
Common-Mode Input Voltage	V _{CM}	Self-biased		2.4		V
Differential Input Resistance	R _{INCLK}			2 ±15%		kΩ
Differential Input Capacitance	C _{INCLK}			1		pF
DYNAMIC CHARACTERISTICS						
Thermal + Quantization Noise Floor	NF	Analog input <-35dBFS		-78.2		dBFS

IFアプリケーション用、-78.2dBFS ノイズフロア、15ビット、65Mps ADC

MAX1418

ELECTRICAL CHARACTERISTICS (continued)

(AVCC = 5V, DVCC = DRVCC = 2.5V, GND = 0, INP and INN driven differentially with -2dBFS, CLKP and CLKN driven differentially with a 2VP-P sinusoidal input signal, CL = 5pF at digital outputs, fCLK = 65MHz, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C, unless otherwise noted. ≥+25°C guaranteed by production test, <+25°C guaranteed by design and characterization.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Signal-to-Noise Ratio (Note 1)	SNR	fIN = 5MHz at -2dBFS		75		dB
		fIN = 15MHz at -2dBFS		75		
		fIN = 35MHz at -2dBFS		74.8		
		fIN = 70MHz at -2dBFS	72	73.6		
		fIN = 170MHz at -6dBFS		68.5		
Signal-to-Noise and Distortion (Note 2)	SINAD	fIN = 5MHz at -2dBFS		74.8		dB
		fIN = 15MHz at -2dBFS		74.8		
		fIN = 35MHz at -2dBFS		74.4		
		fIN = 70MHz at -2dBFS	71	73.3		
		fIN = 170MHz at -6dBFS		64.4		
Spurious-Free Dynamic Range (HD2 and HD3) (Note 2)	SFDR1	fIN = 5MHz at -2dBFS		90		dBc
		fIN = 15MHz at -2dBFS		90		
		fIN = 35MHz at -2dBFS		88		
		fIN = 70MHz at -2dBFS	78	88		
		fIN = 170MHz at -6dBFS		67.5		
Spurious-Free Dynamic Range (HD4 and Higher) (Note 2)	SFDR2	fIN = 5MHz at -2dBFS		95		dBc
		fIN = 15MHz at -2dBFS		95		
		fIN = 35MHz at -2dBFS		93		
		fIN = 70MHz at -2dBFS	84.5	92		
		fIN = 170MHz at -6dBFS		82		
Two-Tone Intermodulation Distortion	TTIMD	fIN1 = 69MHz at -8dBFS; fIN2 = 71MHz at -8dBFS		-85		dBc
Two-Tone Spurious-Free Dynamic Range	SFDR _{TT}	fIN1 = 69MHz at -12dBFS < fIN1 < -100dBFS; fIN2 = 71MHz at -12dBFS < fIN2 < -100dBFS (Note 2)		-100		dBFS
DIGITAL OUTPUTS (D0–D14, DAV, DOR)						
Digital Output-Voltage Low	VOL				0.5	V
Digital Output-Voltage High	VOH		DVCC - 0.5			V
TIMING CHARACTERISTICS (DVCC = DRVCC = 2.5V) Figure 4						
CLKP/CLKN Duty Cycle	Duty cycle			50 ±5		%
Effective Aperture Delay	tAD			230		ps
Output Data Delay	tDAT	(Note 3)	3.0	4.5	7.5	ns
Data Valid Delay	tDAV	(Note 3)	5.3	6.5	8.7	ns

IFアプリケーション用、-78.2dBFS ノイズフロア、15ビット、65Mps ADC

MAX1418

ELECTRICAL CHARACTERISTICS (continued)

(AVCC = 5V, DVCC = DRVCC = 2.5V, GND = 0, INP and INN driven differentially with -2dBFS, CLKP and CLKN driven differentially with a 2VP-P sinusoidal input signal, CL = 5pF at digital outputs, fCLK = 65MHz, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C, unless otherwise noted. ≥+25°C guaranteed by production test, <+25°C guaranteed by design and characterization.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Pipeline Latency	tLATENCY			3		Clock cycles
CLKP Rising Edge to DATA Not Valid	tDNV	(Note 3)	2.6	3.8	5.7	ns
CLKP Rising Edge to DATA Valid (Guaranteed)	tDGV	(Note 3)	3.4	5.2	8.6	ns
DATA Setup Time (Before DAV Rising Edge)	tSETUP	(Note 3)	tCLKP - 0.5	tCLKP + 1.3	tCLKP + 2.4	ns
DATA Hold Time (After DAV Rising Edge)	tHOLD	(Note 3)	tCLKN - 3.6	tCLKN - 2.8	tCLKN - 2.0	ns
TIMING CHARACTERISTICS (DVCC = DRVCC = 3.3V) Figure 4						
CLKP/CLKN Duty Cycle	Duty cycle			50 ±5		%
Effective Aperture Delay	tAD			230		ps
Output Data Delay	tDAT	(Note 3)	2.8	4.1	6.5	ns
Data Valid Delay	tDAV	(Note 3)	5.3	6.3	8.6	ns
Pipeline Latency	tLATENCY			3		Clock cycles
CLKP Rising Edge to DATA Not Valid	tDNV	(Note 3)	2.5	3.4	5.2	ns
CLKP Rising Edge to DATA Valid (Guaranteed)	tDGV	(Note 3)	3.2	4.4	7.4	ns
DATA Setup Time (Before DAV Rising Edge)	tSETUP	(Note 3)	tCLKP + 0.2	tCLKP + 1.7	tCLKP + 2.8	ns
DATA Hold Time (After DAV Rising Edge)	tHOLD	(Note 3)	tCLKN - 3.5	tCLKN - 2.7	tCLKN - 2.0	ns
POWER REQUIREMENTS						
Analog Supply Voltage Range	AVCC			5 ±3%		V
Digital Supply Voltage Range	DVCC	(Note 2)		2.5 to 3.5		V
Output Supply Voltage Range	DRVCC	(Note 2)		2.5 to 3.5		V
Analog Supply Current	IAVCC			382	447	mA
Digital + Output Supply Current	IDVCC + IDRVCC	fCLK = 65MHz, CLOAD = 5pF		35.5	42	mA
Analog Power Dissipation	PDISS			2000		mW

Note 1: Dynamic performance is based on a 32,768-point data record with a sampling frequency of fSAMPLE = 65.0117120MHz, an input frequency of fIN = fSAMPLE × (35283/32768) = 70.001472MHz, and a frequency bin size of 1984Hz. Close-in (fIN ±23.8kHz) and low-frequency (DC to 47.6kHz) bins are excluded from the spectrum analysis.

Note 2: Apply the same voltage levels to DVCC and DRVCC

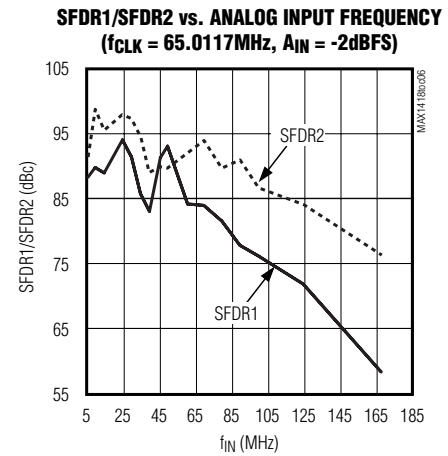
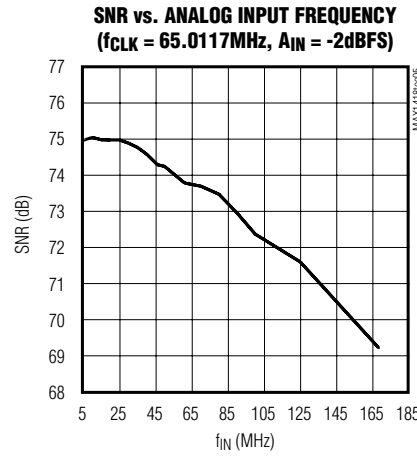
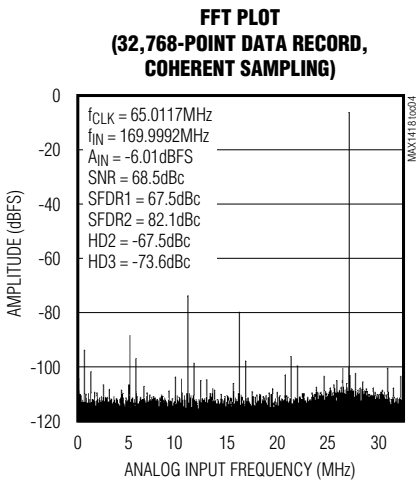
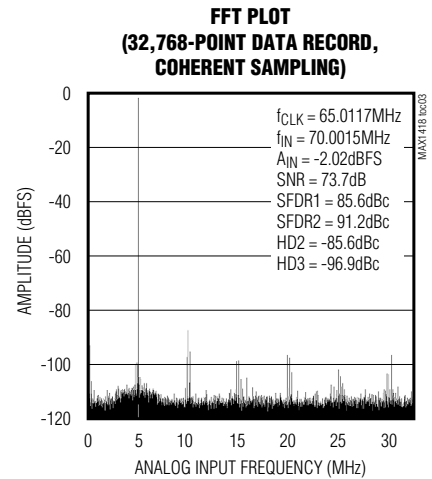
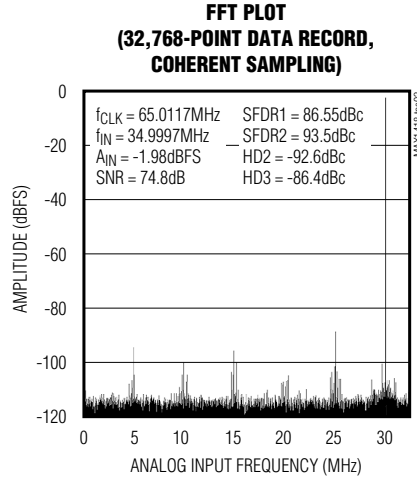
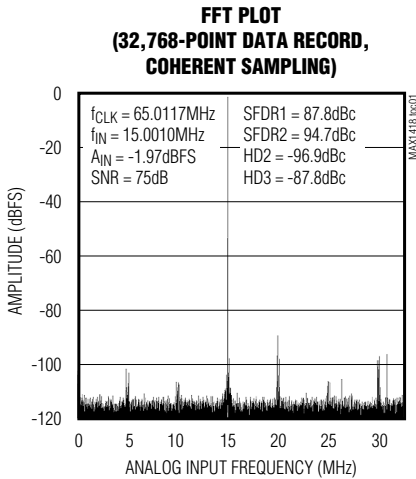
Note 3: Guaranteed by design and characterization.

IFアプリケーション用、-78.2dBFS ノイズフロア、15ビット、65Mps ADC

MAX1418

標準動作特性

($V_{CC} = 5V$, $DV_{CC} = DRV_{CC} = 2.5V$, INP and INN driven differentially with a -2dBFS amplitude, CLKP and CLKN driven differentially with a 2V_{p-p} sinusoidal input signal, $C_L = 5pF$ at digital outputs, $f_{CLK} = 65MHz$, $T_A = 25^\circ C$. All AC data based on a 32k-point FFT record and under coherent sampling conditions.)

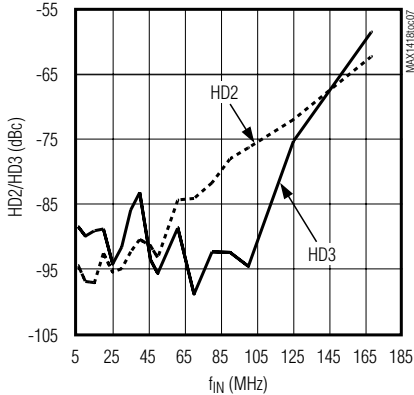


IFアプリケーション用、-78.2dBFS ノイズフロア、15ビット、65Mps ADC

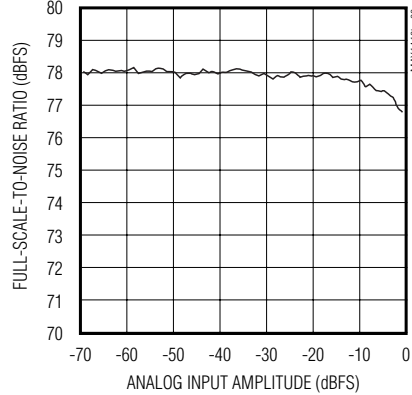
標準動作特性(続き)

($A_{VCC} = 5V$, $DV_{CC} = DRV_{CC} = 2.5V$, INP and INN driven differentially with a -2dBFS amplitude, CLKP and CLKN driven differentially with a 2V_{p-p} sinusoidal input signal, $C_L = 5pF$ at digital outputs, $f_{CLK} = 65MHz$, $T_A = 25^\circ C$. All AC data based on a 32k-point FFT record and under coherent sampling conditions.)

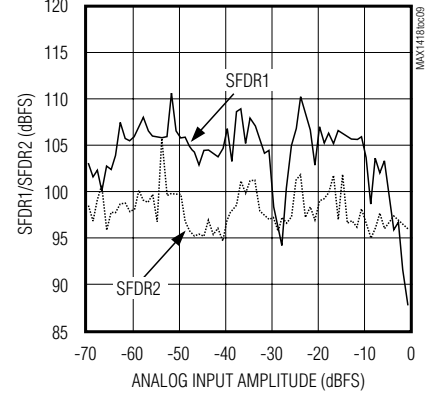
HD2/HD3 vs. ANALOG INPUT FREQUENCY
($f_{CLK} = 65.0117MHz$, $A_{IN} = -2dBFS$)



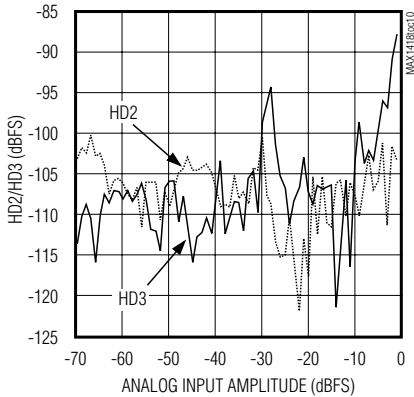
FULL-SCALE-TO-NOISE RATIO vs. ANALOG INPUT AMPLITUDE
($f_{CLK} = 65.0117MHz$, $f_{IN} = 15.0010MHz$)



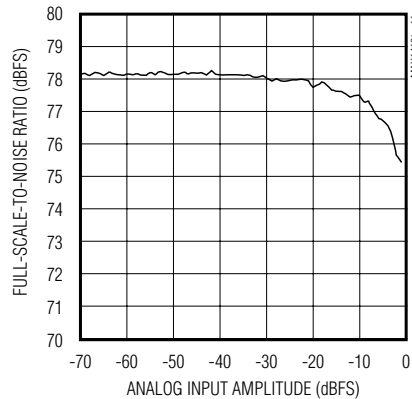
SFDR1/SFDR2 vs. ANALOG INPUT AMPLITUDE
($f_{CLK} = 65.0117MHz$, $f_{IN} = 15.0010MHz$)



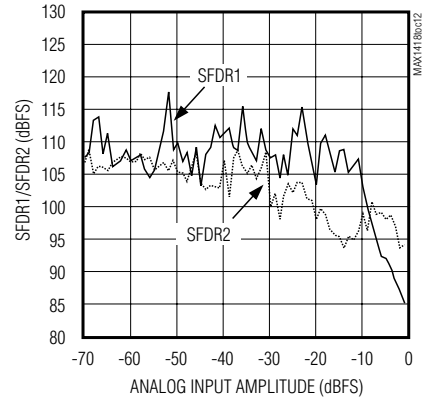
HD2/HD3 vs. ANALOG INPUT AMPLITUDE
($f_{CLK} = 65.0117MHz$, $f_{IN} = 15.0010MHz$)



FULL-SCALE-TO-NOISE RATIO vs. ANALOG INPUT AMPLITUDE
($f_{CLK} = 65.0117MHz$, $f_{IN} = 70.0015MHz$)



SFDR1/SFDR2 vs. ANALOG INPUT AMPLITUDE
($f_{CLK} = 65.0117MHz$, $f_{IN} = 70.0015MHz$)



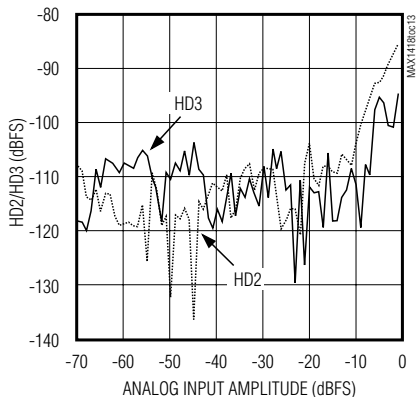
IFアプリケーション用、-78.2dBFS ノイズフロア、15ビット、65Mps ADC

MAX1418

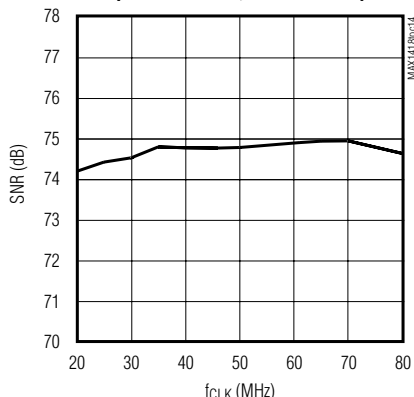
標準動作特性(続き)

($V_{CC} = 5V$, $DV_{CC} = DRV_{CC} = 2.5V$, INP and INN driven differentially with a -2dBFS amplitude, CLKP and CLKN driven differentially with a 2V_{p-p} sinusoidal input signal, $C_L = 5pF$ at digital outputs, $f_{CLK} = 65MHz$, $T_A = 25^\circ C$. All AC data based on a 32k-point FFT record and under coherent sampling conditions.)

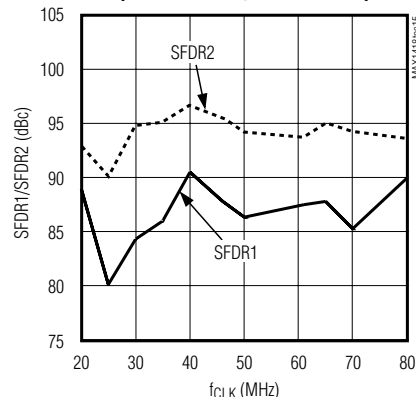
HD2/HD3 vs. ANALOG INPUT AMPLITUDE
($f_{CLK} = 65.0117MHz$, $f_{IN} = 70.0015MHz$)



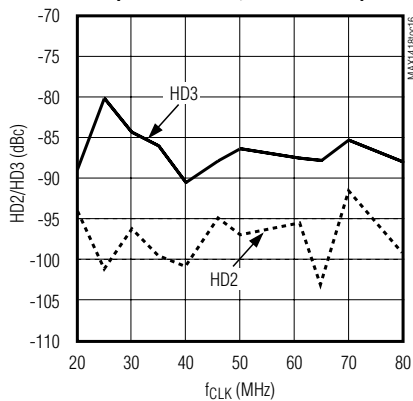
SNR vs. SAMPLING FREQUENCY
($f_{IN} = 15.2MHz$, $A_{IN} = -2dBFS$)



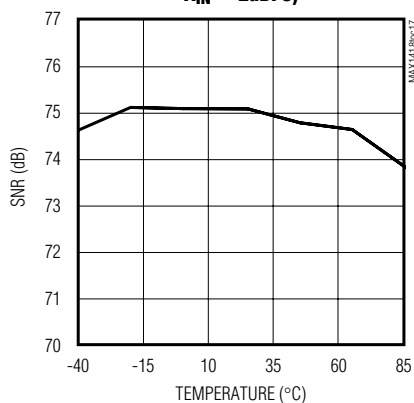
SFDR1/SFDR2 vs. SAMPLING FREQUENCY
($f_{IN} = 15.2MHz$, $A_{IN} = -2dBFS$)



HD2/HD3 vs. SAMPLING FREQUENCY
($f_{IN} = 15.2MHz$, $A_{IN} = -2dBFS$)



SNR vs. TEMPERATURE
($f_{CLK} = 65.0117MHz$, $f_{IN} = 15.0010MHz$,
 $A_{IN} = -2dBFS$)



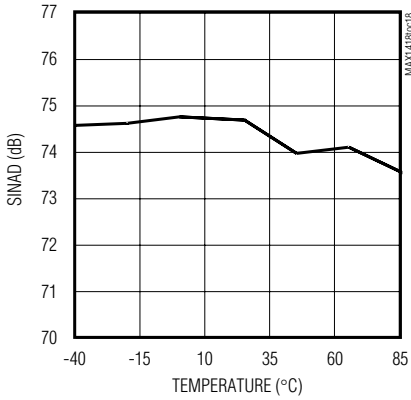
IFアプリケーション用、-78.2dBFS ノイズフロア、15ビット、65Mps ADC

MAX1418

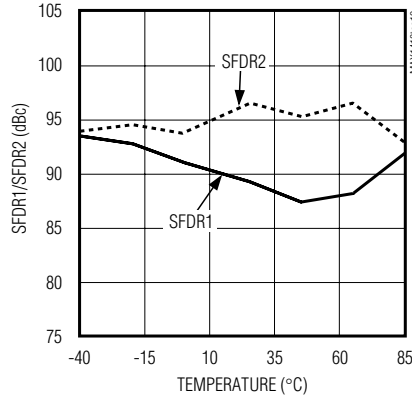
標準動作特性(続き)

(AVCC = 5V, DVCC = DRVCC = 2.5V, INP and INN driven differentially with a -2dBFS amplitude, CLKP and CLKN driven differentially with a 2Vp-p sinusoidal input signal, CL = 5pF at digital outputs, fCLK = 65MHz, TA = 25°C. All AC data based on a 32k-point FFT record and under coherent sampling conditions.)

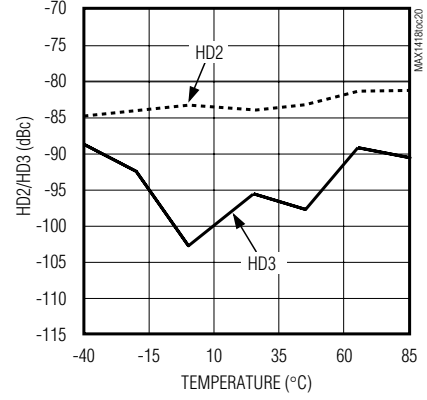
SINAD vs. TEMPERATURE
(fCLK = 65.0117MHz, fIN = 15.0010MHz,
AIN = -2dBFS)



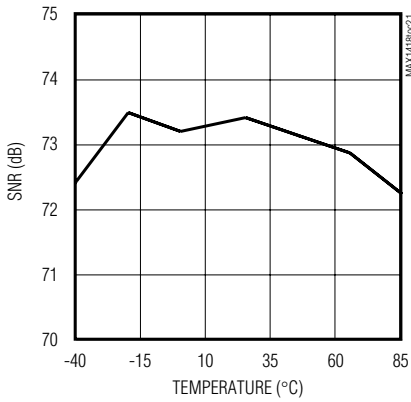
SFDR1/SFDR2 vs. TEMPERATURE
(fCLK = 65.0117MHz, fIN = 15.0010MHz,
AIN = -2dBFS)



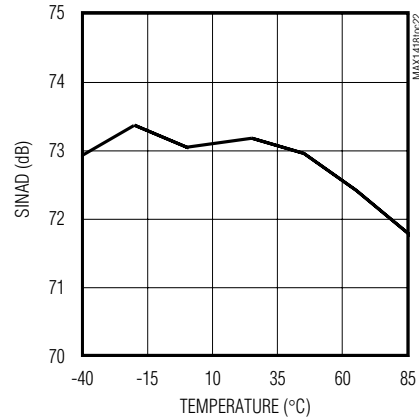
HD2/HD3 vs. TEMPERATURE
(fCLK = 65.0117MHz, fIN = 15.0010MHz,
AIN = -2dBFS)



SNR vs. TEMPERATURE
(fCLK = 65.0117MHz, fIN = 70.0015MHz,
AIN = -2dBFS)



SINAD vs. TEMPERATURE
(fCLK = 65.0117MHz, fIN = 70.0015MHz,
AIN = -2dBFS)



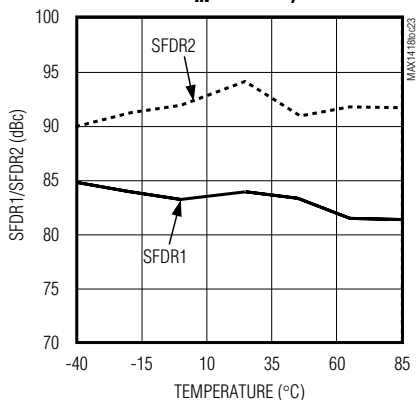
IFアプリケーション用、-78.2dBFS ノイズフロア、15ビット、65Mps ADC

MAX1418

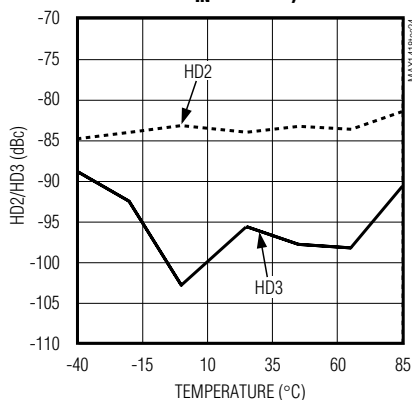
標準動作特性(続き)

($V_{CC} = 5V$, $DV_{CC} = 2.5V$, INP and INN driven differentially with a -2dBFS amplitude, CLKP and CLKN driven differentially with a 2V_{p-p} sinusoidal input signal, $C_L = 5pF$ at digital outputs, $f_{CLK} = 65MHz$, $T_A = 25^\circ C$. All AC data based on a 32k-point FFT record and under coherent sampling conditions.)

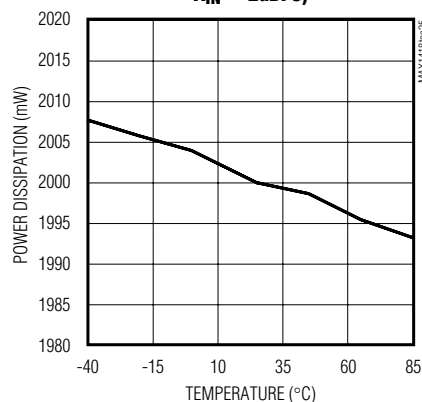
SFDR1/SFDR2 vs. TEMPERATURE
($f_{CLK} = 65.0117MHz$, $f_{IN} = 70.0015MHz$,
 $A_{IN} = -2dBFS$)



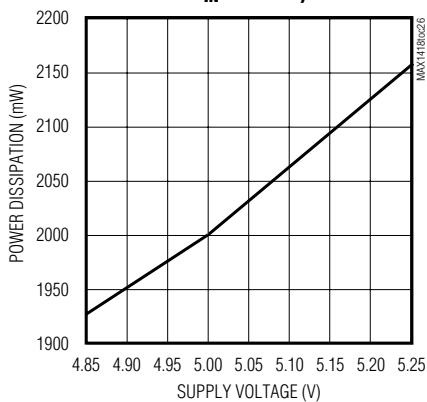
HD2/HD3 vs. TEMPERATURE
($f_{CLK} = 65.0117MHz$, $f_{IN} = 70.0015MHz$,
 $A_{IN} = -2dBFS$)



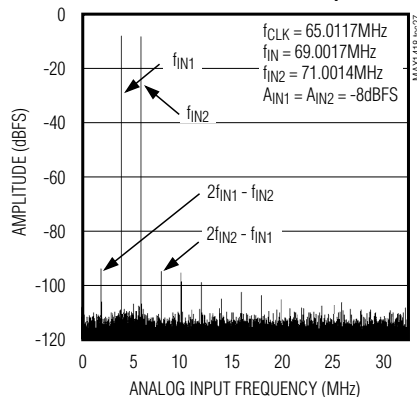
POWER DISSIPATION vs. TEMPERATURE
($f_{CLK} = 65.0117MHz$, $f_{IN} = 15.0010MHz$,
 $A_{IN} = -2dBFS$)



POWER DISSIPATION vs. SUPPLY VOLTAGE
($f_{CLK} = 65.0117MHz$, $f_{IN} = 15.0010MHz$,
 $A_{IN} = -2dBFS$)



TWO-TONE IMD PLOT
(32,768-POINT DATA RECORD,
COHERENT SAMPLING)



IFアプリケーション用、-78.2dBFS ノイズフロア、15ビット、65Mps ADC

MAX1418

端子説明

端子	名称	機能
1, 2, 3, 6, 9, 12, 14-17, 20, 23, 26, 27, 30, 52-56, EP	GND	コンバータグランド。アナログ、デジタル、及び出力ドライバグランドが同じ電位に内部接続されています。コンバータのEPをGNDに接続します。
4	CLKP	差動クロック、正入力端子
5	CLKN	差動クロック、負入力端子
7, 8, 18, 19, 21, 22, 24, 25, 28	AVCC	アナログ電源電圧。ピン直近でバイパスを行い、0.1 μ F~0.22 μ Fのコンデンサでグランドします。
10	INP	差動アナログ入力、正端子
11	INN	差動アナログ入力、負/コンプリメンタリ端子
13	CM	コモンモードリファレンス端子
29	DVCC	デジタル電源電圧。ピン直近でバイパスを行い、0.1 μ F~0.22 μ Fのコンデンサでグランドします。
31, 41, 42, 51	DRVCC	デジタル出力ドライバ電源電圧。ピン直近でバイパスを行い、0.1 μ F~0.22 μ Fのコンデンサでグランドします。
32	DOR	データオーバーレンジビット。この制御ラインはADCのオーバーレンジ状態に対してフラグを立てます。DORがハイで遷移する場合は、オーバーレンジ状態が検出されます。DORがローに維持される場合は、ADCは許容可能なフルスケール範囲内で動作します。
33	D0	デジタルCMOS出力ビット0(LSB)
34	D1	デジタルCMOS出力ビット1
35	D2	デジタルCMOS出力ビット2
36	D3	デジタルCMOS出力ビット3
37	D4	デジタルCMOS出力ビット4
38	D5	デジタルCMOS出力ビット5
39	D6	デジタルCMOS出力ビット6
40	D7	デジタルCMOS出力ビット7
43	D8	デジタルCMOS出力ビット8
44	D9	デジタルCMOS出力ビット9
45	D10	デジタルCMOS出力ビット10
46	D11	デジタルCMOS出力ビット11
47	D12	デジタルCMOS出力ビット12
48	D13	デジタルCMOS出力ビット13
49	D14	デジタルCMOS出力ビット14(MSB)
50	DAV	データ有効出力。この出力をクロック制御ラインとして使用して、外付けバッファやデータ収集システムを駆動することができます。コンバータクロックの立下りエッジとDAVの立上りエッジ間の標準遅延時間は、6.5nsです。

IFアプリケーション用、-78.2dBFS ノイズフロア、15ビット、65Mps ADC

詳細

図1は、MAX1418のアーキテクチャを概略しています。MAX1418は、低いサーマルノイズと歪みに最適化されている入力T/Hアンプを使用しています。T/Hアンプへのハイインピーダンス差動入力(INP及びINN)は4.17Vで自己バイアスされ、2.56V_{p-p}のフルスケール差動入力電圧に対応しています。T/Hアンプの出力は、超低サーマルノイズフロア及び超低歪みの実現にも最適化されている多段パイプラインADCコアにフィードされます。クロックバッファは差動入力クロック波形を受信し、入力T/H用の低ジッタクロック信号を生成します。アナログ入力の信号は、差動クロック波形の立上りエッジでサンプリングされます。差動クロック入力(CLKP及びCLKN)はハイインピーダンス入力であり、2.4Vで自己バイアスされ、0.5V_{p-p}~3.0V_{p-p}の差動クロック波形に対応しています。

多段パイプラインADCコアからの出力はエラー補正及びフォーマッタロジックに送られ、15ビット出力コードを2の補数形式でデジタル出力ドライバに供給します。出力ドライバは、2.3V~3.5Vの範囲にわたってプログラマブルなレベルを備えるCMOS対応出力を供給します。

アナログ入力及びコモンモード(INP、INN、CM)

MAX1418への信号入力(INP及びINN)は、平衡差動入力です。この差動構成は、偶数次高調波項のコモンモードノイズ結合及び除去に対する耐性を備えています。最適なダイナミック性能を実現するには、MAX1418への差動信号入力をAC結合し、綿密にバランスする必要があります(詳細については、「アプリケーション情報」の項を参照)。MAX1418の入力は図2に図示されているように自己バイアスするので、入力信号のAC結合を実現するのは容易です。T/H入力はハイインピーダンスですが、各入力からコモンモードリファレンスまで接続された2個の500Ωバイアス抵抗によって実差動入力インピーダンスは公称1kΩです。

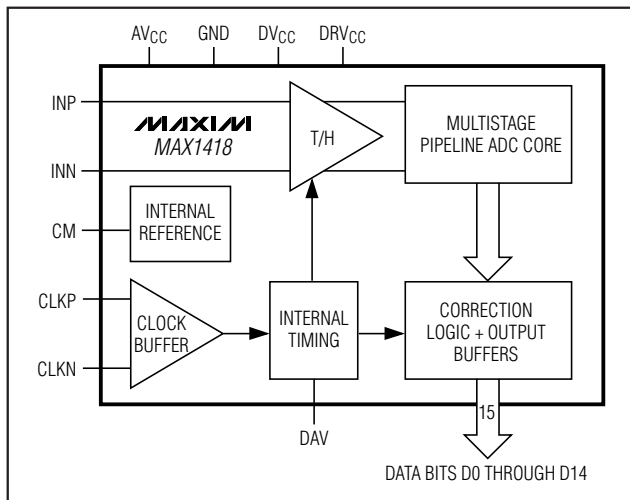


図1. 簡略MAX1418ダイアグラム

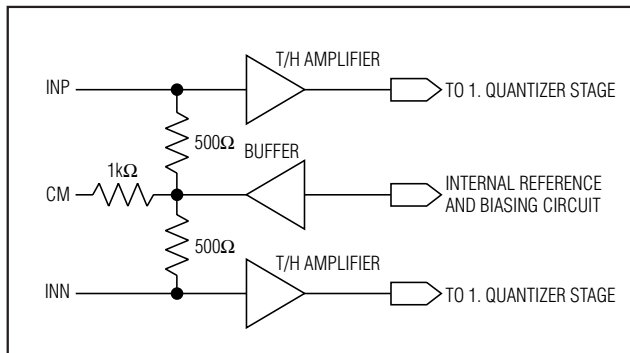


図2. 簡略アナログ及びコモンモード入力アーキテクチャ

CM端子は、入力コモンモード自己バイアス電位を監視します。入力信号がAC結合されているほとんどのアプリケーションでは、このピンは外部に接続されません。入力信号のDC結合が必要な場合は、この端子を使ってDCサーボループを構築し、入力コモンモード電位を制御することができます。詳細については、「アプリケーション情報」の項を参照してください。

IFアプリケーション用、-78.2dBFS ノイズフロア、15ビット、65Mps ADC

MAX1418

内蔵リファレンス回路

MAX1418は、2.5V、低ドリフトバンドギャップリファレンスを内蔵しています。このリファレンス電位によって、公称2.56V_{p-p}差動のコンバータ用のフルスケール範囲が確立されます。MAX1418のフルスケール範囲は外部から調整することができないので、内蔵リファレンス電位にアクセスすることはできません。

図3に、リファレンスを使ってアナログ入力用の共通モードバイアス電位を生成する方法を示しています。共通モード入力バイアスはバンドギャップリファレンス電位よりダイオード電位2つ分高く設定されているので、全温度範囲にわたって変動します。

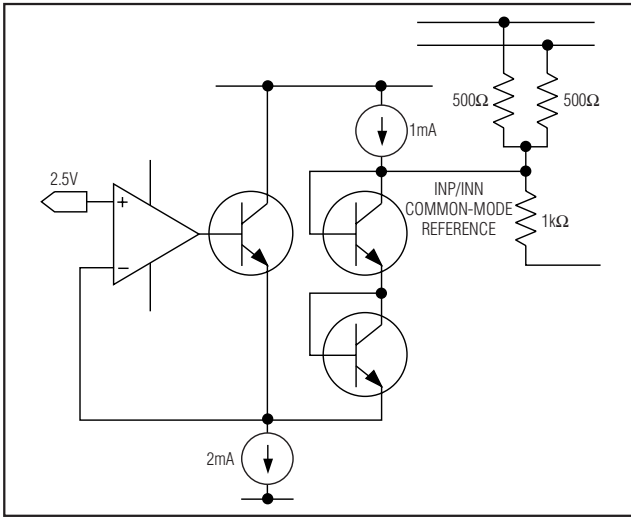


図3. 簡略リファレンスアーキテクチャ

クロック入力(CLKP、CLKN)

MAX1418の差動クロックバッファは、AC結合クロック波形を受け入れるように設計されています。信号入力のように、クロック入力も自己バイアスされます。この場合、コモンモードバイアス電位は2.4Vであり、各入力には1kΩ抵抗を通じてリファレンス電位に接続されています。このため、クロック入力に関する差動入力抵抗は、2kΩです。最低0.5V_{p-p}の差動クロック信号を使ってクロック入力を駆動することができ、また最適なダイナミック性能は2V_{p-p}~3V_{p-p}のクロック入力電圧レベルで実現されます。クロック信号のジッタは、サンプリングされた信号のジッタ(ノイズ)に直接変換されます。したがって、クロックソースは、低ジッタ(低位相ノイズ)ソースである必要があります。クロック入力駆動の詳細については、「アプリケーション情報」の項を参照してください。

システムタイミング要件

図4に、信号入力、クロック入力、データ出力、及びDAV出力のタイミングに関する関係を図示しています。図に表示されている変数は、「Electrical Characteristics (電気特性)」の項の各種タイミング規格に対応しています。変数には、以下の変数があります。

- t_{DAT} : クロックの立上りエッジから出力データ遷移の50%時点までの遅延
- t_{DAV} : クロックの立下りエッジからDAV立上りエッジの50%時点までの遅延
- t_{DNV} : クロックの立上りエッジからデータが無効になるまでの時間

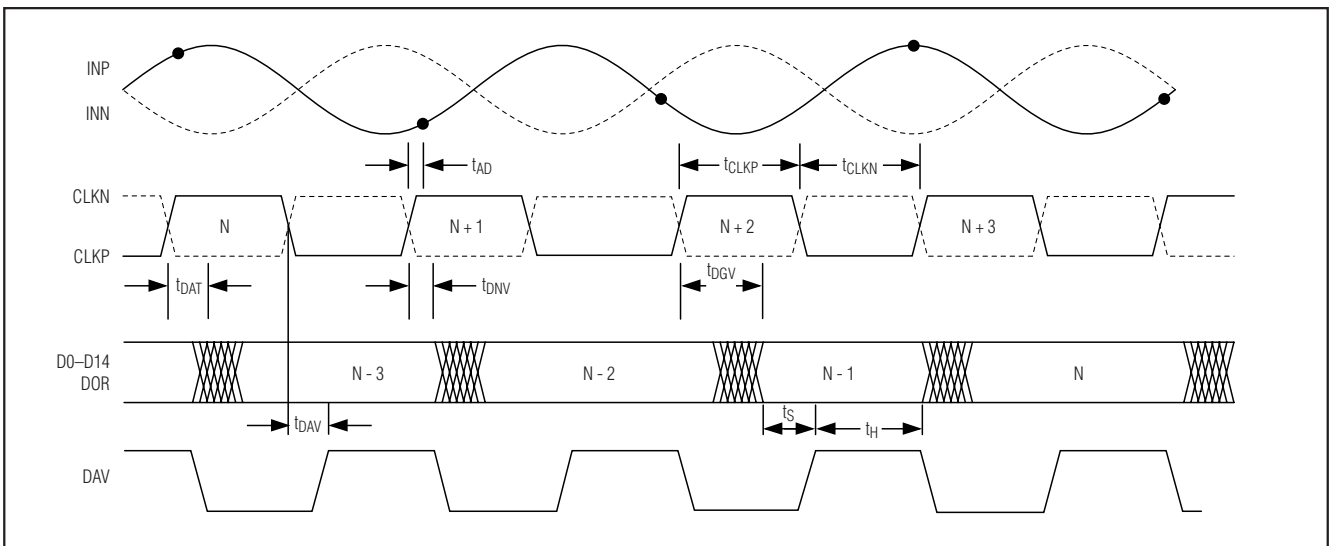


図4. システム及び出力タイミングダイアグラム

IFアプリケーション用、-78.2dBFS ノイズフロア、15ビット、65Mps ADC

- t_{DGV} : クロックの立上りエッジからデータが有効と保証されるまでの時間
- t_{SETUP} : 有効と保証されるデータからDAVの立上りエッジまでの時間
- t_{HOLD} : DAVの立上りエッジからデータが無効になるまでの時間
- t_{CLKP} : 立上りエッジの50%時点からクロック信号の立下りエッジの50%時点までの時間
- t_{CLKN} : 立下りエッジの50%時点からクロック信号の立上りエッジの50%時点までの時間

MAX1418は、入力信号を入力クロックの立上りエッジでサンプリングします。出力データは、データ遅延が3クロックサイクルで、DAV信号の立上りエッジで有効です。適切に動作させるには、クロックデューティサイクルを50%±5%にする必要があることに注意してください。

デジタル出力(D0~D14、DAV、DOR)

CMOS対応のデジタル出力(D0~D14、DAV、及びDOR)のロジックハイレベルを2.3V~3.5Vの範囲で設定することができます。この設定は、 DV_{CC} 及び DRV_{CC} 端子の電圧を希望ロジックハイレベルに設定することで実現されます。 DV_{CC} 及び DRV_{CC} の電圧を同じ値にする必要があることに注意してください。

最適な性能を得るには、MAX1418のデジタル出力の容量性負荷はできるだけ低く維持する必要があります(10pF以下)。容量性負荷が大きいと、データ遷移時に大充電電流が発生し、この電流がADCのアナログセクションに戻り、歪み項を生成するおそれがあります。

出力配線を短くして、(複数CMOS入力に対し)単一のCMOSバッファやラッチ入力を駆動すると、負荷容量を低く維持することができます。

出力端子にできるだけ近接して、MAX1418出力とデジタル負荷との間に小容量の直列抵抗(220Ω以下)を配置すると、データ遷移時の充電電流の抑圧に役立ち、ダイナミック性能を向上することができます。抵抗から負荷までの配線長をできるだけ短くして、配線容量を最小限に抑えます。

出力データは、表1に図示されているように2の補数形式です。

データはDAVの立上りエッジで有効で(図4)、DAVをクロック信号として使って出力データをラッチすることができます。DAV出力は2倍のデータ出力を駆動することができるので、この出力を使って複数データラッチを駆動することができます。

DOR出力によって、オーバレンジ状態を識別することができます。入力信号がMAX1418の正または負フルスケール範囲を上回ると、DORがハイに設定されます。DORのタイミングはデータ出力のタイミングと同じなので、DORはサンプルごとにオーバレンジを表示します。

表1. MAX1418のデジタル出力コーディング

INP ANALOG VOLTAGE LEVEL	INN ANALOG VOLTAGE LEVEL	D14-D0 TWO'S COMPLEMENT CODE
$V_{REF} + 0.64V$	$V_{REF} - 0.64V$	0111111111111111 (positive full scale)
V_{REF}	V_{REF}	0000000000000000 (midscale + δ) 1111111111111111 (midscale - δ)
$V_{REF} - 0.64V$	$V_{REF} + 0.64V$	1000000000000000 (negative full scale)

IFアプリケーション用、-78.2dBFS ノイズフロア、15ビット、65Mps ADC

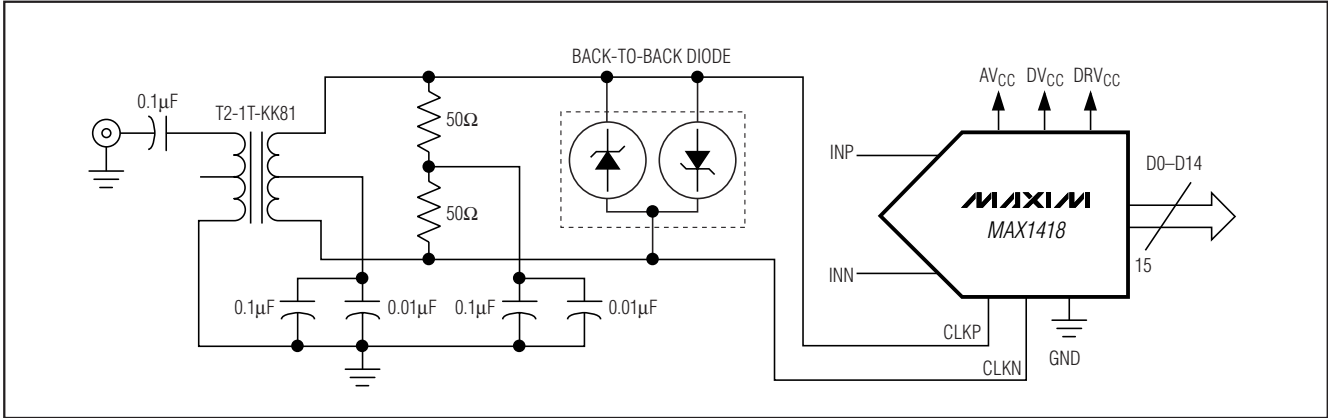


図5. トランス結合クロック入力構成

アプリケーション情報

差動、AC結合クロック入力

MAX1418へのクロック入力はAC結合差動信号で駆動されるように設計され、最適な性能は以下の条件で実現されます。ただし、多くの場合、利用可能なクロックソースはシングルエンドです。図5は、トランスを通じてシングルエンドクロック信号を差動信号に変換する1方法を示しています。この例では、1次側から2次側のトランス巻数比は、1:1.414です。1次側から2次側のインピーダンス比はこの巻数比の2乗すなわち1:2です。このため、100Ωの差動抵抗で2次側を終端すると、トランスの1次側から見たときに50Ω負荷が生成されます。この例の終端抵抗は、コモンノードをグランドにAC結合した2個の50Ω抵抗を直列に組み合わせて構成されています。また、コモンモード未接続の際には2つの入力間に接続した単体の100Ω抵抗を使用することができます。

図5の例では、トランスの2次側はクロック入力に直結されています。

クロック入力は自己バイアスするので、トランスのセンタータップはグランドにAC結合またはフローティング状態にする必要があります。2次側のセンタータップがグランドにDC結合された場合は、クロック入力と直列にブロッキングコンデンサを追加する必要があります。

クロックジッタは、クロック信号が高スループレートでゼロ交差する場合には、クロックジッタは通常改善されています。したがって、正弦波ソースを使ってクロック入力を駆動する場合は、クロック振幅をできるだけ大きくしてゼロ交差のスループレートを最大化することをお勧めします。入力信号が3V_{p-p}以下の差動に維持され

ている限りは、図5に図示されたバックトゥバックのショットキダイオードは不要です。(ゼロ交差のスループレートを最大化するために)振幅信号を大きくした際に、ダイオードはクロック入力に加わる差動信号振幅を制限する機能を果たします。

クロック入力に混入した差動モードノイズはクロックジッタになり、MAX1418のSNR性能を低下させます。アナログ入力信号がクロック入力と差動モードで結合すると、高調波歪みが発生します。このため、クロック配線がアナログ信号入力及びデジタル出力から適切に分離されていることが重要です。ノイズ結合の詳細については、「プリント基板レイアウトに関して」を参照してください。

差動、AC結合アナログ入力

アナログ入力(INP及びINN)は、差動AC結合信号で駆動するように設計されています。これらの入力を高精度でバランスすることが非常に重要です。これらの入力に印加されるコモンモード信号は、偶数次歪み項を悪化させます。このため、シングルエンド方式でこれらの入力を駆動しようとする、偶数次歪み項が大きくなります。

図6は、トランスを通じてシングルエンド信号を平衡差動信号に変換する1方法を示しています。この例では、1次側から2次側の巻数比は、1:1.414です。インピーダンス比は巻数比の2乗なので、この例ではインピーダンス比は1:2です。トランスの1次側で50Ωの入力インピーダンスを得るには、2次側を112Ωの差動負荷で終端します。MAX1418の差動入力抵抗と分岐したこの負荷は2次側に100Ωの差動負荷をもたらします。より大きなトランス巻数比を使ってより大きな信号ステップアップを実現するのは合理的です。これはMAX1418を駆動する回路の駆動要件を緩和するのに

IFアプリケーション用、-78.2dBFS ノイズフロア、15ビット、65Mps ADC

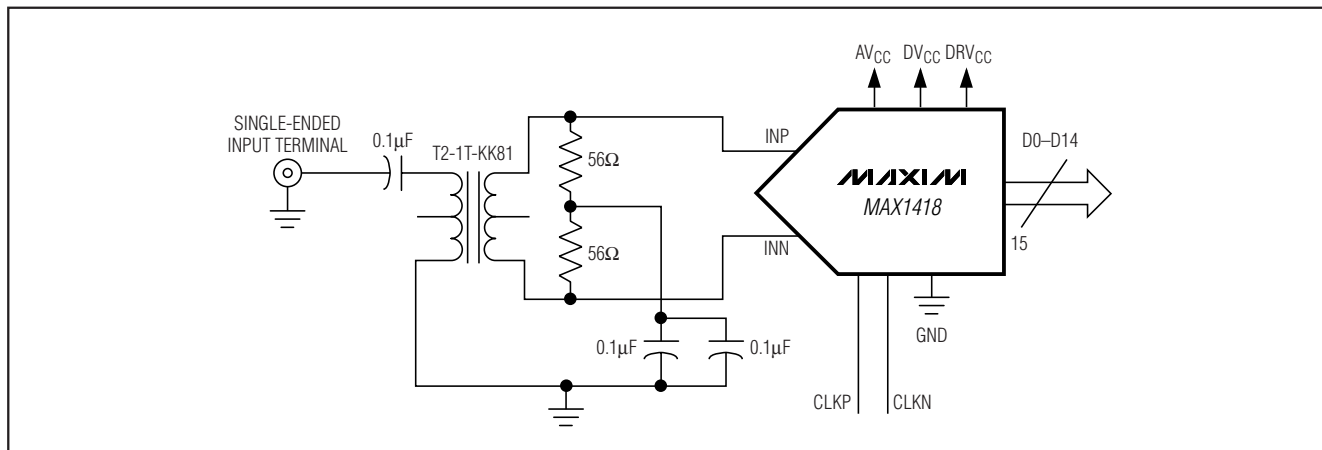


図6. トランス結合アナログ入力構成

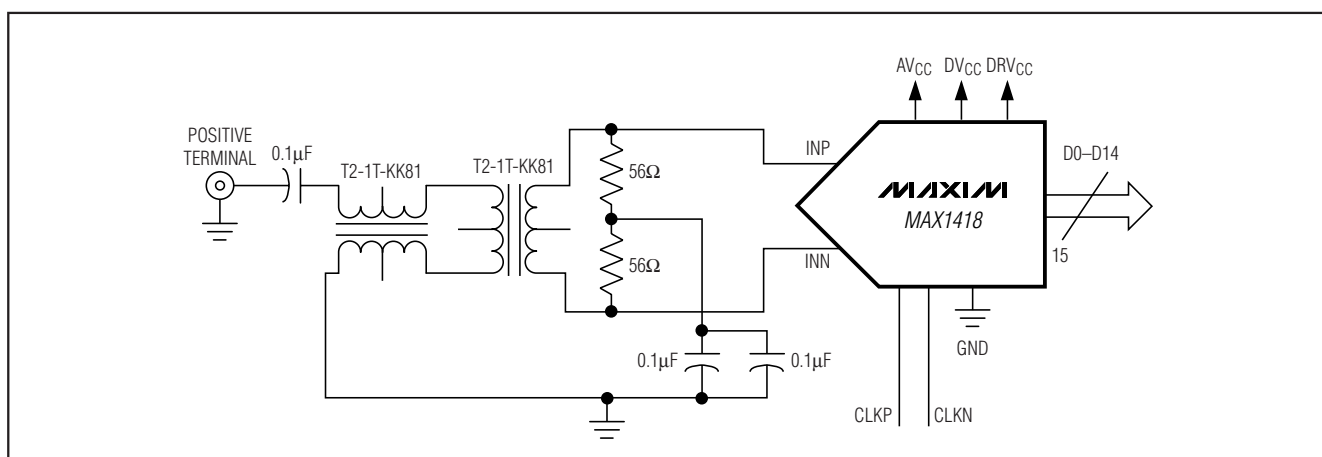


図7. 1次側トランス付トランス結合アナログ入力構成

有効な場合があります。ただし、巻数比を大きくすると、1次側から見た入力抵抗に対してMAX1418の差動入力抵抗の影響が大きくなります。1:4.47の巻数比では、MAX1418の1kΩ差動入力抵抗のみで、1次側から見て50Ωの入力抵抗になります。

図6のトランスのセンタータップはフローティングされていますが、グランドにAC結合することもできます。ただし、経験によれば、センタータップがフローティングされている場合にバランスが向上します。

前述のように、最適な偶数次歪み性能を得るには、MAX1418への信号入力を高精度でバランスする必要が

あります。図7ではトランスの1次側にバランスを追加して図6の回路に比べバランスを向上させ、図6の回路に比べて偶数次歪み項を大幅に向上させることができます。

トランスに関する注意事項に留意してください。トランスの1次または2次巻線を流れるDC電流によって、トランスコアが磁気バイアスされる場合があります。このバイアスが発生すると、トランスはもはや正確にバランスされず、MAX1418の歪みの劣化が認められることもあります。バランスされた動作に戻るには、コアから磁気を除く必要があります。

IFアプリケーション用、-78.2dBFS ノイズフロア、15ビット、65Mps ADC

MAX1418

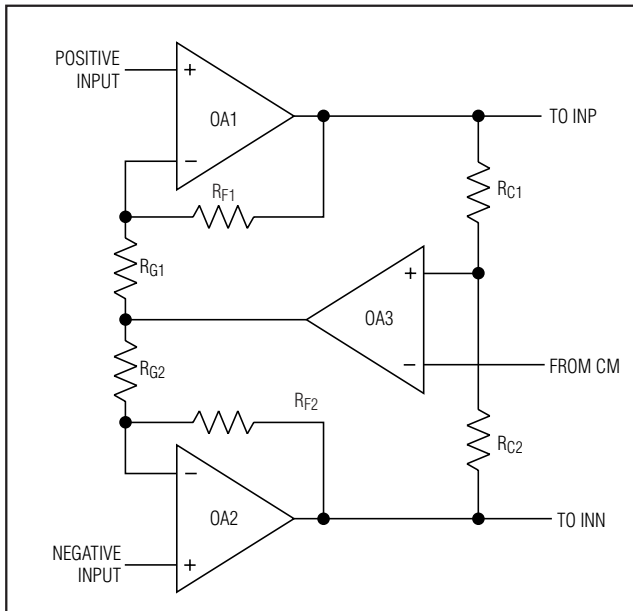


図8. DC結合アナログ入力構成

DC結合アナログ入力

入力信号のAC結合は最適なダイナミック性能を実現するのに適切な方法ですが、CM電位を利用して入力をDC結合することができます。図8は、DC結合を実現する1方法を示しています。アンプOA1及びOA2の出力のコモンモード電位は、MAX1418のCM電位と等しいアンプOA3の動作によって「サーボ制御」されます。コモンモードループが安定するように注意する必要があります。両方の回路の R_F/R_G 比を適切にマッチングさせてバランスさせる必要があります。

プリント基板レイアウトに関して

高ダイナミックレンジ、高サンプリングレートコンバータの性能は、不適切なプリント基板のレイアウト方式によって損なわれるおそれがあります。MAX1418もこのルールの例外ではなく、所定の性能を達成するには、綿密なレイアウト方式に従う必要があります。以下に4つのカテゴリのレイアウト課題を扱います。

- 1) 層の配置
- 2) 信号経路
- 3) グランド
- 4) 電源経路及びバイパス

MAX1427の評価基板(MAX1427 EV kit)は基板レイアウトのための優れた基準枠を提供し、以下の説明はこの評価基板に実装された場合に準拠しています。

層の配置

MAX1427の評価キットは6層基板で、ここでは層の配置について説明します。グランドプレーンは、信号経路層と電源経路層との間に配置することをお勧めします。この方式によって、電源ラインと信号ラインとの結合が阻止されます。MAX1427の評価キットのプリント基板は、信号ラインを最上部(部品)層に、グランドプレーンを第2層に配置しています。信号経路専用ではない最上部層領域は、第2層へのビアホール付グランドプレーンで占められています。第3層と第4層は電源経路専用で、第5層はもうひとつのグランドプレーンであり、第6層は追加部品の配置及び追加信号経路用に使われます。

第1層を信号ライン用に、第2層をグランドプレーンとして、第3層を電源経路用に、第4層を追加信号経路用に使えば、第4層も実装することができます。ただし、クロック及び信号ラインを相互に絶縁させ、電源ラインから絶縁させるように、注意してください。

信号経路

適切な偶数次歪みを維持するには、信号ライン(INP及びINN入力に接続される配線)を十分にバランスする必要があります。これを実行するには、信号配線をできるだけ対称にする必要があります。つまり、2つの信号配線をそれぞれ同じ長さにして、同じ寄生環境にする必要があります。前述のように、信号ラインを電源ラインから絶縁して、入力電源との結合を防止する必要があります。これは、先のセクションで説明したように必要な層の配置を行うことで、実現されます。また、クロックラインを信号ラインから分離させることが重要です。MAX1427の評価キットでは、これは最下層(第6層)にクロックラインを経由することで実現されます。次に、クロックラインはデバイスに近接した経路を通じてADCに接続します。クロックラインは、第5層のグランドプレーンによって電源ラインから分離されています。

容量性負荷を最小限に抑制するために、デジタル出力配線をできるだけ短くする必要があります。デジタルグランドを流れるリターン電流がバイパスコンデンサを経由するように連続的な経路を確保するためには、こうした配線の下部にある第2層のグランドプレーンをなくすべきではありません。

グランド

デジタルグランドのリターン電流を制限するために、グランドプレーンを分割する方式がADCのアプリケーションに関する文献でしばしば推奨されてきました。

IFアプリケーション用、-78.2dBFS ノイズフロア、15ビット、65Mps ADC

ただし、MAX1418などのコンバータの場合には、単一の連続したグランドプレーンを使用することを強く推奨します。MAX1427の評価キットでは、こうしたグランドプレーンで卓越したダイナミック性能を発揮します。

第2層のグランドプレーンへのピアホール付の第1層のグランドパッドにMAX1418のEPを直接半田付けする必要があります。これによって、プリント回路との卓越した電気及びサーマル接続が実現します。

電源バイパス

MAX1427の評価キットは各電源ライン(AV_{CC}、DV_{CC}、及びDRV_{CC})に220 μ Fのコンデンサを使用して、低周波バイパスを行います。こうしたコンデンサ部品の損失(直列抵抗)は、高いQの電源共振の排除に役立ちます。また、各電源ラインにフェライトビーズを使用して、電源バイパスを向上することもできます(図9)。

高周波電源ノイズを減衰するために、値が小さい(0.01 μ F~0.1 μ F)表面実装コンデンサを各電源端子や電源端子グループを配置する必要があります(図9)。グランドプレーンに短く接続して、基板上面にできるだけデバイスに近接してこれらのコンデンサを配置することをお勧めします。

静的パラメータの定義

積分非直線性(INL)

積分非直線性は、実際の伝達関数値の直線からの偏差です。この直線は、最適な直線フィット、またはオフセット及び利得誤差を nul(ゼロ)にした後に伝達関数の終点間を結んだ線です。ただし、MAX1418の静的直線性パラメータは、15MHzの入力周波数のヒストグラム法によって測定されます。

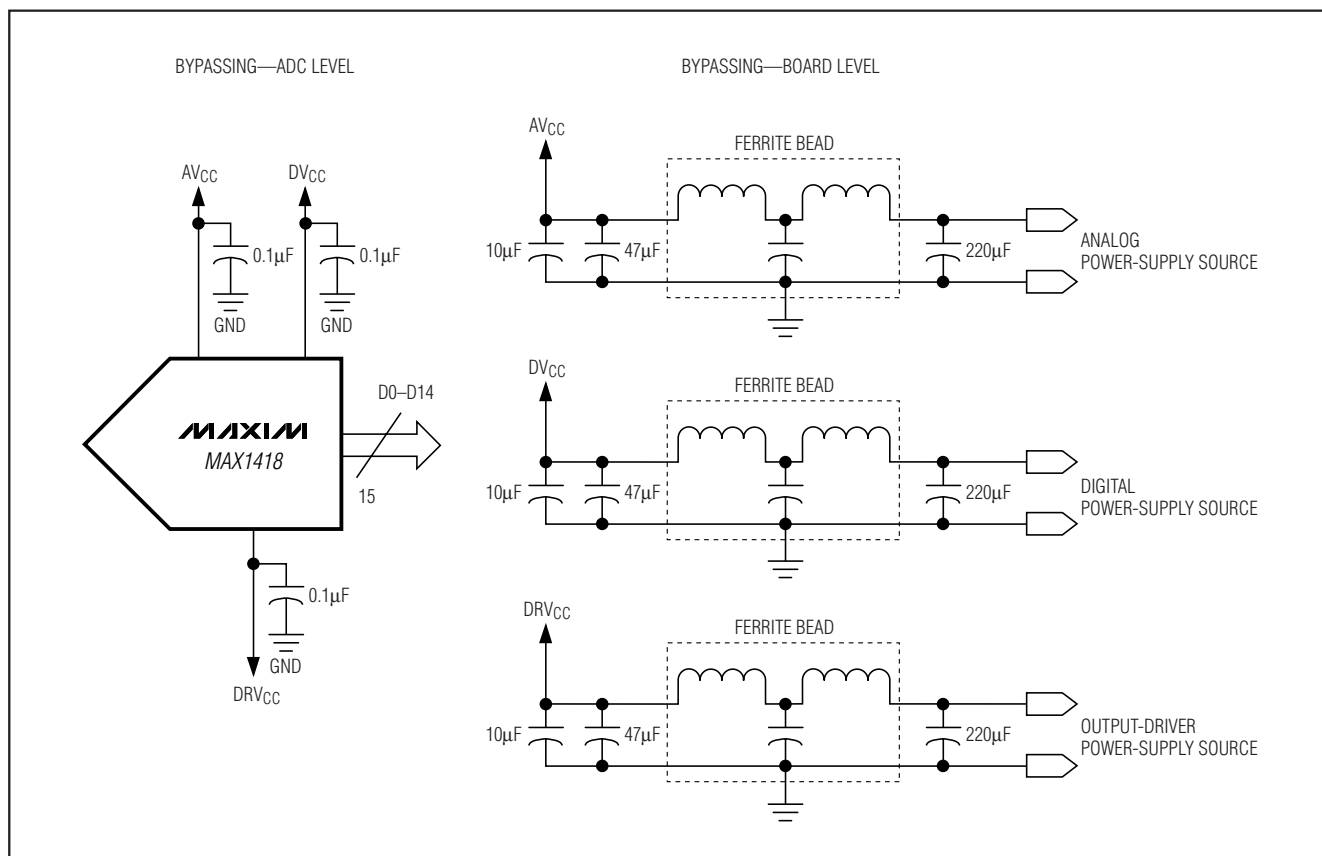


図9. MAX1418のグランド、バイパス、及びデカップリングの推奨図

IFアプリケーション用、-78.2dBFS ノイズフロア、15ビット、65Mps ADC

微分非直線性(DNL)

微分非直線性は、実際のステップの幅と1 LSBの理想的な値との差です。1 LSB以下のDNL誤差規格の場合は、ミッシングコードがないこと、及び伝達関数が単調性であることが保証されます。MAX1418のDNL規格は、70MHzの入力トーンに基づくヒストグラム法で測定されています。

動的パラメータの定義

アパーチャ遅延

アパーチャ遅延(t_{AD})は、サンプリングクロックの立上りエッジと、実際のサンプル取得時点との間の時間です(図4)。

アパーチャジッタ

アパーチャジッタ(t_{AJ})は、アパーチャ遅延におけるサンプル間のばらつきです。

信号対ノイズ比(SNR)

デジタルサンプルから完璧に再構築された波形の場合、理論的最大SNRはフルスケールアナログ入力(RMS値)のRMS数値化誤差(残留誤差)に対する比です。理想的な理論的最小アナログ-デジタルノイズは数値化誤差のみに起因し、ADCの分解能(Nビット)によって直接決まります。

$$SNR_{dB[max]} = 6.02_{dB} \times N + 1.76_{dB}$$

実際には、サーマルノイズ、クロックジッタ、信号位相ノイズ、伝達関数非直線性などのその他ノイズソースもSNRの算出に影響を与えるので、ADCのSNRの算出時にはこうしたその他ノイズソースを考慮する必要があります。フルスケールに近いアナログ入力信号(-0.5dBFS~-1dBFS)の場合は、サーマル及び数値化ノイズは周波数ピンの全域にわたって均等に分散されます。一方、伝達関数非直線性がもたらす誤差エネルギーは均等に分散されず、最初の数百の奇数次高調波に限定されます。

MAX1418の主な対象アプリケーションであるBTSアプリケーションでは、キャリア周波数やDCに近接した過剰ノイズと誤差エネルギーを気にしません。これらの低周波及び側波帯誤差は試験システムの産物であり、BTSチャンネル感度には重要ではありません。したがって、これらはSNR算出から除外されます。

信号対ノイズ+歪み(SINAD)

SINADは、RMS信号の、全スペクトル成分(基本波及びDCオフセットを除く)に対する比で算出されます。

シングルトーン、スプリアスフリーダイナミックレンジ(SFDR)

SFDRは、キャリア周波数(最大信号成分)のRMS振幅の、次に大きなノイズまたは高調波歪み成分のRMS値に対する比です。SFDRは、キャリア周波数振幅についてはdBcで、またはADCのフルスケール範囲についてはdBFSで通常測定されます。

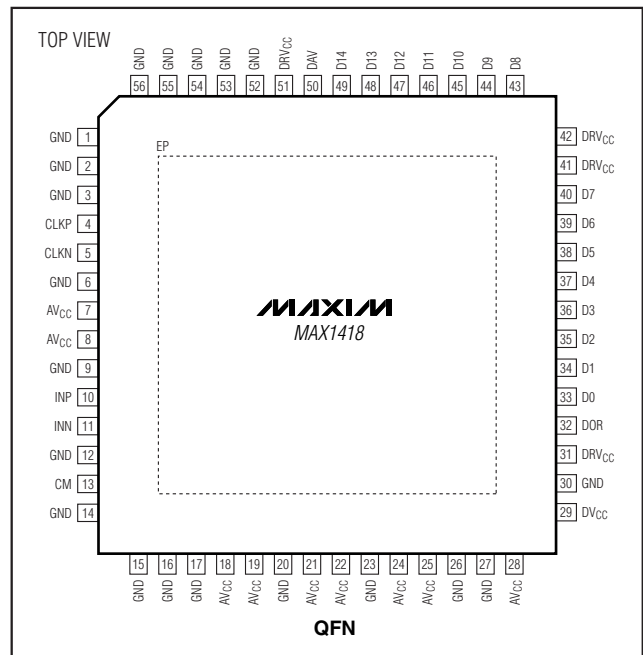
ツートーン、スプリアスフリーダイナミックレンジ(SFDR_{TT})

SFDR_{TT}は、いずれかの入力トーンのRMS値の、パワースペクトルにおけるピークスプリアス成分のRMS値に対する比です。このピークスプリアスは、2つの入力試験トーンの相互変調積の場合があります。

ツートーン相互変調歪み(IMD)

ツートーンIMDは、いずれかの入力トーンの、最悪の3次(以上)相互変調積に対する比をデシベル単位で表したものです。各入力トーンレベルは、-7dBフルスケールです。

ピン配置

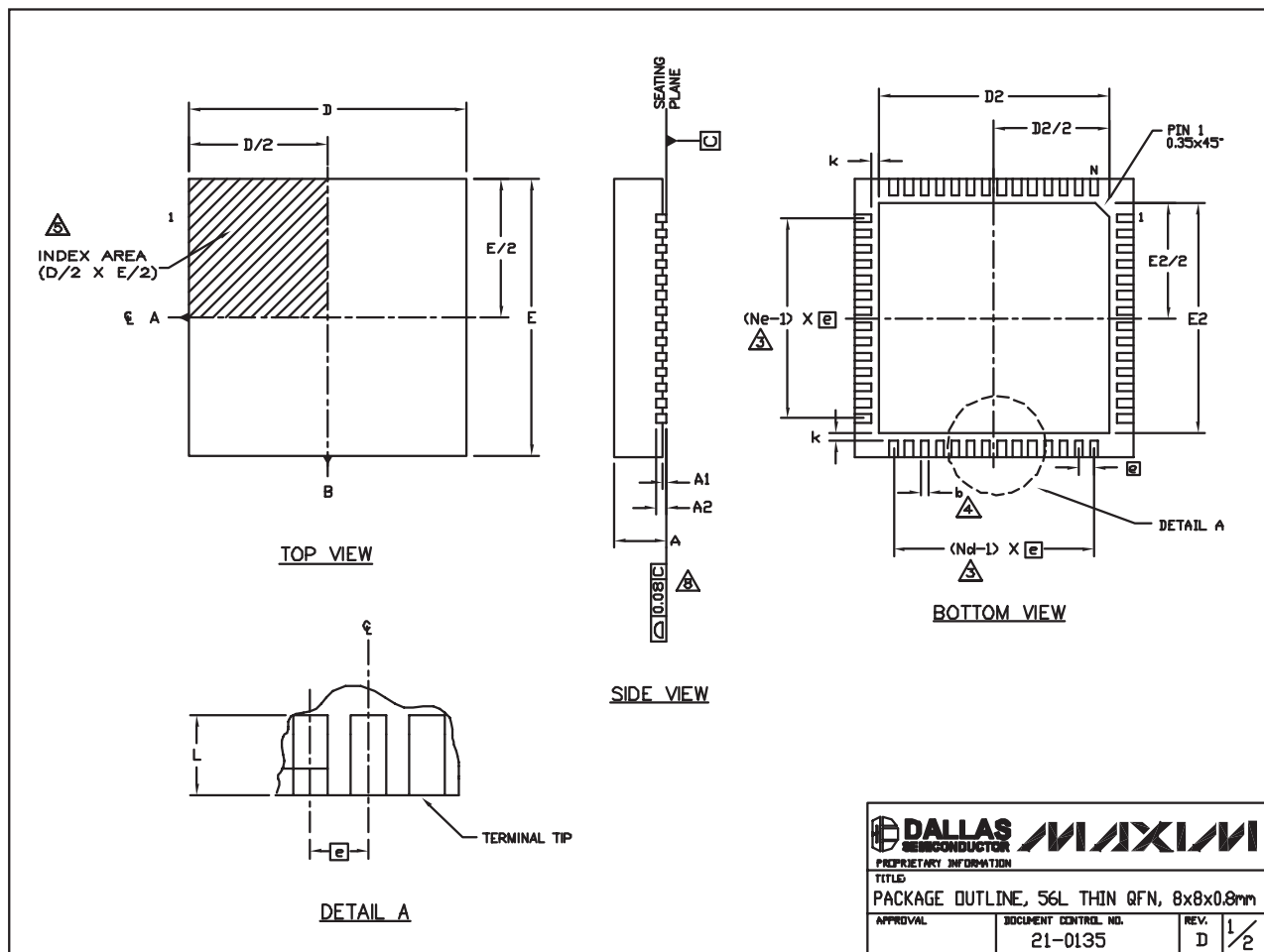


IFアプリケーション用、-78.2dBFS ノイズフロア、15ビット、65Mps ADC

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、<http://japan.maxim-ic.com/packages>をご参照下さい。)

MAX1418



IFアプリケーション用、-78.2dBFS ノイズフロア、15ビット、65Mps ADC

パッケージ(続き)



(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、<http://japan.maxim-ic.com/packages>をご参照下さい。)

NOTES:

1. DIE THICKNESS ALLOWABLE IS 0.225mm MAXIMUM (0.009 INCHES MAXIMUM).
2. DIMENSIONING & TOLERANCES CONFORM TO ASME Y14.5M. - 1994.
3. **N** IS THE NUMBER OF TERMINALS.
N_d IS THE NUMBER OF TERMINALS IN X-DIRECTION &
N_e IS THE NUMBER OF TERMINALS IN Y-DIRECTION.
4. DIMENSION **b** APPLIES TO PLATED TERMINAL AND IS MEASURED BETWEEN 0.20 AND 0.25mm FROM TERMINAL TIP.
5. THE PIN #1 IDENTIFIER MUST BE LOCATED ON THE TOP SURFACE OF THE PACKAGE WITHIN HATCHED AREA AS SHOWN.
EITHER AN INDENTATION MARK OR INK/LASER MARK IS ACCEPTABLE.
6. ALL DIMENSIONS ARE IN MILLIMETERS.
7. PACKAGE WARPAGE MAX 0.01mm.
8. APPLIES TO EXPOSED PAD AND TERMINALS.
EXCLUDES INTERNAL DIMENSION OF EXPOSED PAD.
9. MEETS JEDEC MO220.

SYMBOL	56L 8x8			N _o T _e
	MIN.	NOM.	MAX.	
A	0.70	0.75	0.80	
b	0.20	0.25	0.30	4
D	7.90	8.00	8.10	
E	7.90	8.00	8.10	
⊖	0.50 BSC			
N	56			3
N _d	14			3
N _e	14			3
L	0.30	0.40	0.50	
A1	0.00	0.02	0.05	
A2	0.20 REF			
k	0.25	--	--	

PKG. CODE	EXPOSED PAD VARIATION						JEDEC	DOWN BONDS ALLOWED
	D2			E2				
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.		
T5688-1	6.50	6.65	6.70	6.50	6.65	6.70	WLLD-5	NO
T5688-2	6.50	6.65	6.70	6.50	6.65	6.70	WLLD-5	YES
T5688-3	6.50	6.65	6.70	6.50	6.65	6.70	WLLD-5	NO

 	
<small>PREPROPRIETARY INFORMATION</small>	
<small>TITLE</small> PACKAGE OUTLINE, 56L THIN QFN, 8x8x0.8mm	
<small>APPROVAL</small>	<small>DOCUMENT CONTROL NO.</small> 21-0135
<small>REV.</small> D	<small>REV.</small> 2/2

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

20 _____ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**