

+5V、18ビット、低電力マルチチャネル、 オーバサンプリング(シグマ-デルタ)ADC

概要

MAX1402は、センサ励起用にマッチングされた200 μ Aの電流ソースを備えた低電力マルチチャネル、シリアル出力A/Dコンバータ(ADC)です。このADCは16ビット精度を実現するために、デジタルデシメーションフィルタ付のシグマ-デルタ変調器を使用しています。デジタルフィルタのデシメーション係数をユーザが選択できるため、変換分解能を落として出力データ速度を速くすることができます。出力データ速度480spsまで真の16ビット性能を実現します。さらに、変調器のサンプリング周波数の最適化により、電力消費を最小にするか、あるいはスループット速度を最大にすることができます。MAX1402は+5V電源で動作します。

MAX1402は、個々に利得を+1V/V~+128V/Vに設定できる3つの完全差動入力チャネルを備えています。さらに、DCオフセットを入力換算で選択されたフルスケール範囲の117%まで補償できます。これら3つの差動チャネルは、5つの疑似差動入力チャネルとして設定することも可能です。利得及びオフセット誤差補正用に、2つの完全差動システムキャリブレーションチャネルが追加されています。

MAX1402は、全ての信号入力を順番にスキャンし、シリアルインタフェースを通じて最小のオーバヘッドで結果を出力するように設定することもできます。2.4576MHz又は1.024MHzのマスタークロックを使用した場合、ライン周波数及び関連する高調波でデジタルデシメーションフィルタの周波数応答をゼロにプログラムすることにより、ポストフィルタリングなしで優れたライン除去比を保証できます。

MAX1402は28ピンSSOPパッケージで提供されています。

アプリケーション

- ポータブル工業用計器
- ポータブル重量計
- ループ駆動機器
- 圧力トランスデューサ

型番

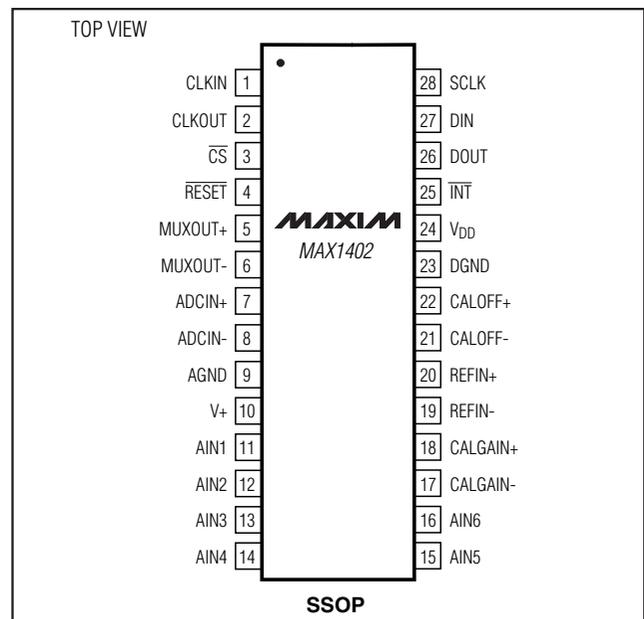
PART	TEMP RANGE	PIN-PACKAGE
MAX1402CAI	0°C to +70°C	28 SSOP
MAX1402EAI	-40°C to +85°C	28 SSOP

SPI及びQSPIはMotorola Inc.の商標です。

特長

- ◆ 分解能18ビットのシグマ-デルタADC
- ◆ 480spsまで16ビット精度を保持(ミスコードなし)
- ◆ 低自己消費電流：
 - 250 μ A(動作モード)
 - 2 μ A(パワーダウンモード)
- ◆ センサ励起用のマッチングされた内蔵電流ソース(200 μ A)
- ◆ 3つの完全差動又は5つの疑似差動信号入力チャネル
- ◆ 2つの完全差動キャリブレーションチャネル/補助入力チャネルを追加
- ◆ 利得及びオフセットは設定可能
- ◆ 完全差動リファレンス入力
- ◆ 連続又はオンコマンドで変換
- ◆ 自動チャネルスキャン及び連続データ出力モード
- ◆ 電源：+5V(アナログ用)及び+3V又は+5V(デジタル用)
- ◆ 3線シリアルインタフェース：
 - SPI™/QSPI™コンパチブル
- ◆ パッケージ：28ピンSSOP

ピン配置



+5V、18ビット、低電力マルチチャネル、 オーバーサンプリング(シグマ-デルタ)ADC

MAX1402

ABSOLUTE MAXIMUM RATINGS

V+ to AGND, DGND	-0.3V to +6V	Maximum Current Input into Any Pin	50mA
V _{DD} to AGND, DGND	-0.3V to +6V	Continuous Power Dissipation (T _A = +70°C)	
AGND to DGND	-0.3V to +0.3V	28-Pin SSOP (derate 9.52mW/°C above +70°C)	524mW
Analog Inputs to AGND	-0.3V to (V+ + 0.3V)	Operating Temperature Ranges	
Analog Outputs to AGND	-0.3V to (V+ + 0.3V)	MAX1402CAI	0°C to +70°C
Reference Inputs to AGND	-0.3V to (V+ + 0.3V)	MAX1402EAI	-40°C to +85°C
CLKIN and CLKOUT to DGND	-0.3V to (V _{DD} + 0.3V)	Storage Temperature Range	-60°C to +150°C
All Other Digital Inputs to DGND	-0.3V to +6V	Lead Temperature (soldering, 10s)	+300°C
All Digital Outputs to DGND	-0.3V to (V _{DD} + 0.3V)		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V+ = +5V ±5%, V_{DD} = +2.7V to +5.25V, V_{REFIN+} = +2.50V, REF_{IN-} = AGND, f_{CLKIN} = 2.4576MHz, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE						
Noise-Free Resolution		No missing codes guaranteed by design; for filter settings with FS1 = 0	16			Bits
Output Noise		Depends on filter setting and selected gain	Table 16			
Integral Nonlinearity	INL	Bipolar mode, filter settings with FS1 = 0	-0.0015		0.0015	%FSR
Nominal Gain (Note 1)				0.98		
Unipolar Offset Error		Relative to nominal of 1% FSR	-1		2	%FSR
Unipolar Offset Drift		For gains of 1, 2, 4		0.5		μV/°C
		For gains of 8, 16, 32, 64, 128		0.3		
Bipolar Zero Error			-2.0		2.0	%FSR
Bipolar Zero Drift		For gains of 1, 2, 4		0.8		μV/°C
		For gains of 8, 16, 32, 64, 128		0.3		
Positive Full-Scale Error (Note 2)		For gains of 1, 2, 4, 8, 16, 32, 64	-2.5		2.5	%FSR
		For gain of 128	-3.5		3.5	
Full-Scale Drift (Note 3)		For gains of 1, 2, 4		0.8		μV/°C
		For gains of 8, 16, 32, 64, 128		0.3		
Gain Error (Note 4)		For gains of 1, 2, 4, 8, 16, 32, 64	-2		2	%FSR
		For gain of 128	-3		3	
Gain-Error Drift (Note 5)		For gains of 1, 2, 4, 8, 16, 32, 64		1		ppm/°C
		For gain of 128		5		
Bipolar Negative Full-Scale Error		For gains of 1, 2, 4, 8, 16, 32, 64	-2.5		2.5	%FSR
		For gain of 128	-3.5		3.5	
Bipolar Negative Full-Scale Drift		For gains of 1, 2, 4		0.8		μV/°C
		For gains of 8, 16, 32, 64, 128		0.3		

+5V、18ビット、低電力マルチチャネル、 オーバーサンプリング(シグマ-デルタ)ADC

MAX1402

ELECTRICAL CHARACTERISTICS (continued)

(V₊ = +5V ±5%, V_{DD} = +2.7V to +5.25V, V_{REFIN+} = +2.50V, REF_{IN-} = AGND, f_{CLKIN} = 2.4576MHz, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
OFFSET DAC							
Offset DAC Range (Note 6)		Unipolar mode		-116.7		116.7	%FSR
		Bipolar mode		-58.35		58.35	
Offset DAC Resolution		Unipolar mode			16.7		%FSR
		Bipolar mode			8.35		
Offset DAC Full-Scale Error		Input referred	Gain = 1, 2, 4, 8, 16, 32, 64	-2.5		2.5	%FSR
			Gain = 128	-3.5		3.5	
Offset DAC Zero-Scale Error					0		%FSR
Additional Noise from Offset DAC (Note 7)		DAC code = 0000			0		μV _{RMS}
ANALOG INPUTS/REFERENCE INPUTS (Specifications for AIN and REF _{IN} , unless otherwise noted.)							
Common-Mode Rejection	CMR	At DC		90			dB
		For filter notch 50Hz, ±0.02 · f _{NOTCH} , MF1 = 0, MF0 = 0, f _{CLKIN} = 2.4576MHz (Note 8)		150			
		For filter notch 60Hz, ±0.02 · f _{NOTCH} , MF1 = 0, MF0 = 0, f _{CLKIN} = 2.4576MHz (Note 8)		150			
Normal-Mode 50Hz Rejection (Note 8)	NMR	For filter notch 50Hz, ±0.02 · f _{NOTCH} , MF1 = 0, MF0 = 0, f _{CLKIN} = 2.4576MHz		100			dB
Normal-Mode 60Hz Rejection (Note 8)	NMR	For filter notch 60Hz, ±0.02 · f _{NOTCH} , MF1 = 0, MF0 = 0, f _{CLKIN} = 2.4576MHz		100			dB
Common-Mode Voltage Range (Note 9)		REF _{IN} and AIN for BUFF = 0		V _{AGND}		V ₊	V
Absolute Input Voltage Range		REF _{IN} and AIN for BUFF = 0		V _{AGND} - 30mV		V ₊ + 30mV	V
Absolute and Common-Mode AIN Voltage Range		BUFF = 1		V _{AGND} + 200mV		V ₊ - 1.5	V
DC Input Leakage Current (Note 10)		REF _{IN} and AIN for BUFF = 0	T _A = +25°C	40			pA
			T _A = T _{MIN} to T _{MAX}			10	nA
AIN Input Current (Note 10)		BUFF = 1				10	nA
AIN Input Capacitance (Note 11)		BUFF = 0	Gain = 1	34			pF
			Gain = 2	38			
			Gain = 4	45			
			Gain = 8, 16, 32, 64, 128	60			
		BUFF = 1, all gains	30				
AIN Differential Voltage Range (Note 12)		Unipolar input range (U/B bit = 1)		0 to V _{REF} / gain			V
		Bipolar input range (U/B bit = 0)		±V _{REF} / gain			

+5V、18ビット、低電力マルチチャネル、 オーバーサンプリング(シグマ-デルタ)ADC

MAX1402

ELECTRICAL CHARACTERISTICS (continued)

(V+ = +5V ±5%, V_{DD} = +2.7V to +5.25V, V_{REFIN+} = +2.50V, REF_{IN-} = AGND, f_{CLKIN} = 2.4576MHz, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
AIN and REF _{IN} Input Sampling Frequency	f _s			(Table 15)			Hz
REF _{IN+} - REF _{IN-} Voltage (Note 13)		±5% for specified performance; functional with lower V _{REF}				2.50	V
LOGIC INPUTS							
Input Current	I _{IN}			-10		+10	μA
Input Low Voltage	V _{IL}	All inputs except CLK _{IN}	V _{DD} = 5V			0.8	V
			V _{DD} = 3.3V			0.4	
		CLK _{IN} only	V _{DD} = 5V			0.8	
			V _{DD} = 3.3V			0.4	
Input High Voltage	V _{IH}	All inputs except CLK _{IN}	V _{DD} = 5V	2			V
			V _{DD} = 3.3V	2			
		CLK _{IN} only	V _{DD} = 5V	3.5			
			V _{DD} = 3.3V	2.4			
Input Hysteresis	V _{HYS}	All inputs except CLK _{IN}	V _{DD} = 5V		200		mV
			V _{DD} = 3.3V		200		
LOGIC OUTPUTS							
Output Low Voltage (Note 14)	V _{OL}	DOUT and $\overline{\text{INT}}$	V _{DD} = 5V, I _{SINK} = 800μA			0.4	V
			V _{DD} = 3.3V, I _{SINK} = 100μA				
		CLK _{OUT}	V _{DD} = 5V, I _{SINK} = 10μA			0.4	
			V _{DD} = 3.3V, I _{SINK} = 10μA				
Output High Voltage (Note 14)	V _{OH}	DOUT and $\overline{\text{INT}}$	V _{DD} = 5V, I _{SOURCE} = 200μA	4			V
			V _{DD} = 3.3V, I _{SOURCE} = 100μA	V _{DD} - 0.3			
		CLK _{OUT}	V _{DD} = 5V, I _{SOURCE} = 10μA	4			
			V _{DD} = 3.3V, I _{SOURCE} = 10μA	V _{DD} - 0.3			
Floating-State Leakage Current	I _L			-10		10	μA
Floating-State Output Capacitance	C _O				9		pF
TRANSDUCER BURN-OUT (Note 15)							
Current	I _{BO}				0.1		μA
Initial Tolerance					±10		%
Drift					±0.05		%/°C
TRANSDUCER EXCITATION CURRENTS							
Current	I _{EXC}				200		μA
Initial Tolerance						15	%
Drift					100		ppm/°C
Match		OUT1 to OUT2				±1	%
Drift Match					5		ppm/°C
Compliance Voltage Range				V _{AGND}		V+ - 1.0	V

+5V、18ビット、低電力マルチチャネル、 オーバーサンプリング(シグマ-デルタ)ADC

MAX1402

ELECTRICAL CHARACTERISTICS (continued)

(V+ = +5V ±5%, V_{DD} = +2.7V to +5.25V, V_{REFIN+} = +2.50V, REF_{IN-} = AGND, f_{CLKIN} = 2.4576MHz, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
POWER REQUIREMENTS							
V+ Voltage	V+	For specified performance		4.75		5.25	V
V _{DD} Voltage	V _{DD}			2.7		5.25	V
Power-Supply Rejection V+ (Note 16)	PSR			(Note 17)			dB
ANALOG POWER-SUPPLY CURRENT (Measured with digital inputs at either DGND or V _{DD} , external CLKIN, burn-out and auxiliary currents disabled, X2CLK = 0, CLK = 0 for 1.024MHz, CLK = 1 for 2.4576MHz.)							
V+ Standby Current (Note 18)		PD bit = 1, external clock stopped			1	10	μA
V+ Current	I _{V+}	Normal mode, MF1 = 0, MF0 = 0	1.024MHz	Buffers off	175	210	μA
				Buffers on	370	420	
			2.4576MHz	Buffers off	250	300	
				Buffers on	610	700	
		2X mode, MF1 = 0, MF0 = 1	1.024MHz	Buffers off	245		mA
				Buffers on	610		
			2.4576MHz	Buffers off	0.42	0.55	
				Buffers on	1.2	1.5	
		4X mode, MF1 = 1, MF0 = 0	1.024MHz	Buffers off	0.42		mA
				Buffers on	1.2		
			2.4576MHz	Buffers off	1.8	2.2	
				Buffers on	4.8	6	
8X mode, MF1 = 1, MF0 = 1	1.024MHz	Buffers off	1.8		mA		
		Buffers on	4.8				
	2.4576MHz	Buffers off	1.8	2.2			
		Buffers on	4.8	6			
DIGITAL POWER-SUPPLY CURRENT (Measured with digital inputs at either DGND or V _{DD} , external CLKIN, burn-out and auxiliary currents disabled, X2CLK = 0, CLK = 0 for 1.024MHz, CLK = 1 for 2.4576MHz.)							
V _{DD} Standby Current (Note 18)		PD bit = 1, external clock stopped			1	10	μA
3.3V Digital Supply Current	I _{DD}	Normal mode, MF1 = 0, MF0 = 0	1.024MHz	70	200	μA	
			2.4576MHz	150	300		
		2X mode, MF1 = 0, MF0 = 1	1.024MHz	0.08		mA	
			2.4576MHz	0.17	0.35		
		4X mode, MF1 = 1, MF0 = 0	1.024MHz	0.11			
			2.4576MHz	0.22	0.40		
8X mode, MF1 = 1, MF0 = 1	1.024MHz	0.15					
	2.4576MHz	0.32	0.45				
5V Digital Supply Current	I _{DD}	Normal mode, MF1 = 0, MF0 = 0	1.024MHz	115	300	μA	
			2.4576MHz	235	450		
		2X mode, MF1 = 0, MF0 = 1	1.024MHz	0.13		mA	
			2.4576MHz	0.28	0.5		

+5V、18ビット、低電力マルチチャネル、 オーバーサンプリング(シグマ-デルタ)ADC

MAX1402

ELECTRICAL CHARACTERISTICS (continued)

(V+ = +5V ±5%, V_{DD} = +2.7V to +5.25V, V_{REFIN+} = +2.50V, REF_{IN-} = AGND, f_{CLKIN} = 2.4576MHz, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
5V Digital Supply Current	I _{DD}	4X mode, MF1 = 1, MF0 = 0	1.024MHz		0.17		mA
			2.4576MHz		0.36	0.6	
		8X mode, MF1 = 1, MF0 = 1	1.024MHz		0.24		
			2.4576MHz		0.53	0.8	
5V POWER DISSIPATION (V+ = V _{DD} = +5V, digital inputs = 0 or V _{DD} , external CLK _{IN} , burn-out and auxiliary currents disabled, X2CLK = 0, CLK = 0 for 1.024MHz, CLK = 1 for 2.4576MHz.)							
Power Dissipation	PD	Normal mode, MF1 = 0, MF0 = 0	1.024MHz	Buffers off	1.45	2.55	mW
				Buffers on	2.43	3.6	
			2.4576MHz	Buffers off	2.43	3.75	
				Buffers on	4.23	5.75	
		2X mode, MF1 = 0, MF0 = 1	1.024MHz	Buffers off	1.88		
				Buffers on	3.7		
			2.4576MHz	Buffers off	3.5	5.25	
				Buffers on	7.4	10	
		4X mode, MF1 = 1, MF0 = 0	1.024MHz	Buffers off	2.95		
				Buffers on	6.85		
			2.4576MHz	Buffers off	10.8	14	
				Buffers on	25.8	33	
		8X mode, MF1 = 1, MF0 = 1	1.024MHz	Buffers off	10.2		
				Buffers on	25.2		
			2.4576MHz	Buffers off	11.7	15	
				Buffers on	26.7	34	
Standby Power Dissipation		(Note 18)		10	100	μW	

- Note 1:** Nominal gain is 0.98. This ensures a full-scale input voltage may be applied to the part under all conditions without causing saturation of the digital output data.
- Note 2:** Positive Full-Scale Error includes zero-scale errors (unipolar offset error or bipolar zero error) and applies to both unipolar and bipolar input ranges. This error does not include the nominal gain of 0.98.
- Note 3:** Full-Scale Drift includes zero-scale drift (unipolar offset drift or bipolar zero drift) and applies to both unipolar and bipolar input ranges.
- Note 4:** Gain Error does not include zero-scale errors. It is calculated as (full-scale error - unipolar offset error) for unipolar ranges and as (full-scale error - bipolar zero error) for bipolar ranges. This error does not include the nominal gain of 0.98.
- Note 5:** Gain-Error Drift does not include unipolar offset drift or bipolar zero drift. It is effectively the drift of the part if zero-scale error is removed.
- Note 6:** Use of the offset DAC does not imply that any input may be taken below AGND.
- Note 7:** Additional noise added by the offset DAC is dependent on the filter cutoff, gain, and DAC setting. No noise is added for a DAC code of 0000.
- Note 8:** Guaranteed by design or characterization; not production tested.
- Note 9:** The absolute input voltage must be within the input-voltage range specification.
- Note 10:** All AIN and REF_{IN} pins have identical input structures. Leakage is production tested only for the AIN3, AIN4, AIN5, CALGAIN and CALOFF inputs.
- Note 11:** The dynamic load presented by the MAX1402 analog inputs for each gain setting is discussed in detail in the *Switching Network* Section. Values are provided for the maximum allowable external series resistance.

+5V、18ビット、低電力マルチチャネル、 オーバーサンプリング(シグマ-デルタ)ADC

MAX1402

- Note 12:** The input voltage range for the analog inputs is with respect to the voltage on the negative input of its respective differential or pseudo-differential pair. Table 5 shows which inputs form differential pairs.
- Note 13:** $V_{REF} = V_{REFIN+} - V_{REFIN-}$.
- Note 14:** These specifications apply to CLKOUT only when driving a single CMOS load.
- Note 15:** The burn-out currents require a 500mV overhead between the analog input voltage and both V+ and AGND to operate correctly.
- Note 16:** Measured at DC in the selected passband. PSR at 50Hz will exceed 120dB with filter notches of 25Hz or 50Hz and FAST bit = 0. PSR at 60Hz will exceed 120dB with filter notches of 20Hz or 60Hz and FAST bit = 0.
- Note 17:** PSR depends on gain. For a gain of +1V/V, PSR is 70dB typical. For a gain of +2V/V, PSR is 75dB typical. For a gain of +4V/V, PSR is 80dB typical. For gains of +8V/V to +128V/V, PSR is 85dB typical.
- Note 18:** Standby power-dissipation and current specifications are valid only with CLKIN driven by an external clock and with the external clock stopped. If the clock continues to run in standby mode, the power dissipation will be considerably higher.

TIMING CHARACTERISTICS

(V+ = +5V ±5%, VDD = +2.7V to +5.25V, AGND = DGND, fCLKIN = 2.4576MHz; input logic 0 = 0V; logic 1 = VDD, TA = TMIN to TMAX, unless otherwise noted.) (Notes 19, 20, 21)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Master Clock Frequency	fCLKIN	Crystal oscillator or clock externally supplied for specified performance (Notes 22, 23)	X2CLK = 0	0.4	2.5	MHz
		X2CLK = 1	0.8	5.0		
Master Clock Input Low Time	fCLKIN LO	tCLKIN = 1 / fCLKIN, X2CLK = 0	0.4 • tCLKIN			ns
Master Clock Input High Time	fCLKIN HI	tCLKIN = 1 / fCLKIN, X2CLK = 0	0.4 • tCLKIN			ns
INT High Time	tINT	X2CLK = 0, N = 2(2 • MF1 + MF0)		280 / N • tCLKIN		ns
		X2CLK = 1, N = 2(2 • MF1 + MF0)		560 / N • tCLKIN		
RESET Pulse Width Low	t2		100			ns
SERIAL-INTERFACE READ OPERATION						
INT to CS Setup Time (Note 8)	t3		0			ns
SCLK Setup to Falling Edge CS	t4		30			ns
CS Falling Edge to SCLK Falling Edge Setup Time	t5		30			ns
SCLK Falling Edge to Data Valid Delay (Notes 24, 25)	t6	VDD = 5V	0		80	ns
		VDD = 3.3V	0		100	
SCLK High Pulse Width	t7		100			ns
SCLK Low Pulse Width	t8		100			ns
CS Rising Edge to SCLK Rising Edge Hold Time (Note 21)	t9		0			ns
Bus Relinquish Time After SCLK Rising Edge (Note 26)	t10	VDD = 5V	10		70	ns
		VDD = 3.3V	10		100	
SCLK Rising Edge to INT High (Note 27)	t11	VDD = 5V			100	ns
		VDD = 3.3V			200	
SERIAL-INTERFACE WRITE OPERATION						
SCLK Setup to Falling Edge CS	t12		30			ns

+5V、18ビット、低電力マルチチャネル、 オーバサンプリング(シグマ-デルタ)ADC

MAX1402

TIMING CHARACTERISTICS (continued)

(V+ = +5V ±5%, V_{DD} = +2.7V to +5.25V, AGND = DGND, f_{CLKIN} = 2.4576MHz; input logic 0 = 0V; logic 1 = V_{DD}, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.) (Notes 19, 20, 21)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
\overline{CS} Falling Edge to SCLK Falling Edge Setup Time	t ₁₃		30			ns
Data Valid to SCLK Rising Edge Setup Time	t ₁₄		30			ns
Data Valid to SCLK Rising Edge Hold Time	t ₁₅		0			ns
SCLK High Pulse Width	t ₁₆		100			ns
SCLK Low Pulse Width	t ₁₇		100			ns
\overline{CS} Rising Edge to SCLK Rising Edge Hold Time	t ₁₈		0			ns
AUXILIARY DIGITAL INPUTS (DS0 and DS1)						
DS0/DS1 to SCLK Falling Edge Setup Time (Notes 21 & 28)	t ₁₉		40			ns
DS0/DS1 to SCLK Falling Edge Hold Time (Notes 21 & 28)	t ₂₀		0			ns

Note 19: All input signals are specified with t_r = t_f = 5ns (10% to 90% of V_{DD}) and timed from a voltage level of 1.6V.

Note 20: See Figure 4.

Note 21: Timings shown in tables are for the case where SCLK idles high between accesses. The part may also be used with the SCLK idling low between accesses, provided \overline{CS} is toggled. In this case SCLK in the timing diagrams should be inverted and the terms “SCLK Falling Edge” and “SCLK Rising Edge” exchanged in the specification tables. If \overline{CS} is permanently tied low, the part should only be operated with SCLK idling high between accesses.

Note 22: CLKIN duty cycle range is 45% to 55%. CLKIN must be supplied whenever the MAX1402 is not in standby mode. If no clock is present, the device can draw higher current than specified.

Note 23: The MAX1402 is production tested with f_{CLKIN} at 2.5MHz (1MHz for some I_{DD} tests).

Note 24: Measured with the load circuit of Figure 1 and defined as the time required for the output to cross the V_{OL} or V_{OH} limits.

Note 25: For read operations, SCLK active edge is falling edge of SCLK.

Note 26: Derived from the time taken by the data output to change 0.5V when loaded with the circuit of Figure 1. The number is then extrapolated back to remove effects of charging or discharging the 50pF capacitor. This ensures that the times quoted in the timing characteristics are true bus-relinquish times and are independent of external bus loading capacitances.

Note 27: \overline{INT} returns high after the first read after an output update. The same data can be read again while \overline{INT} is high, but be careful not to allow subsequent reads to occur close to the next output update.

Note 28: Auxiliary inputs DS0 and DS1 are latched on the first falling edge of SCLK during a data-read cycle.

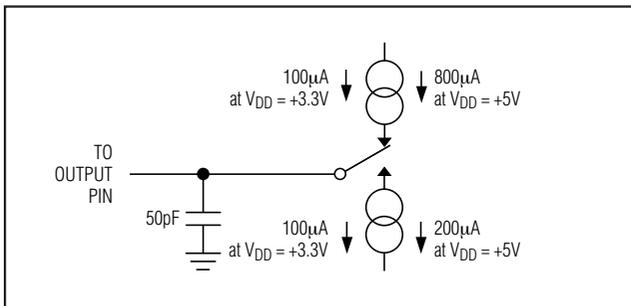


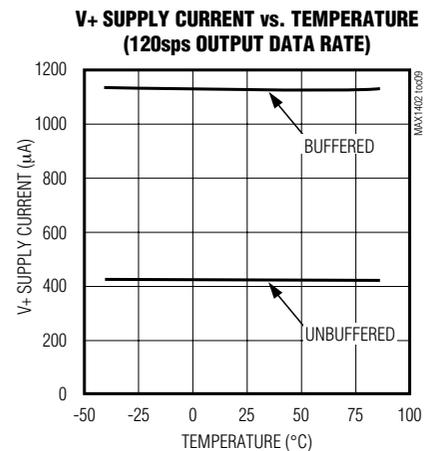
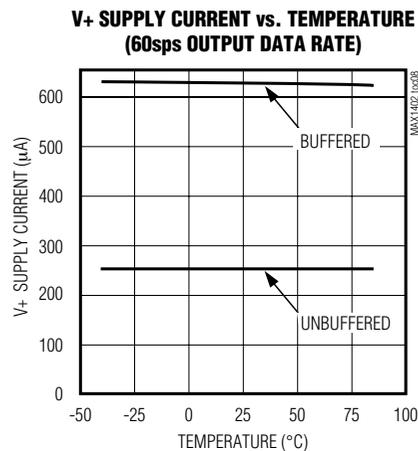
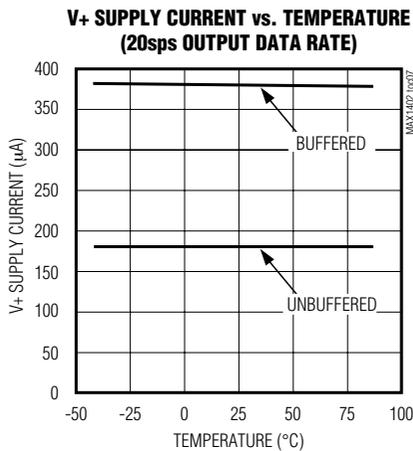
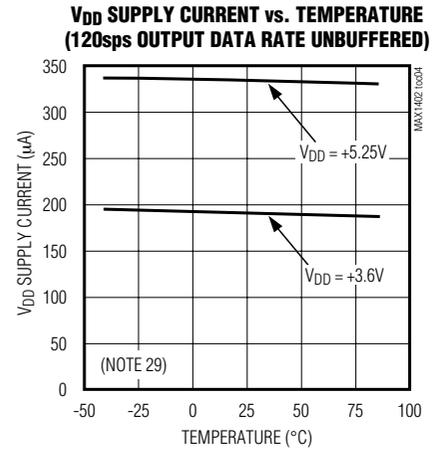
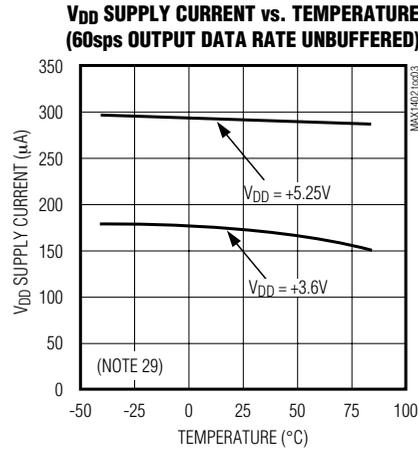
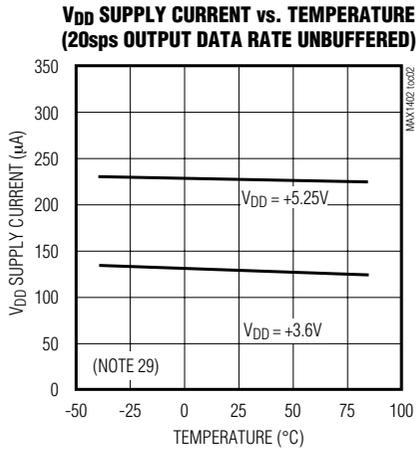
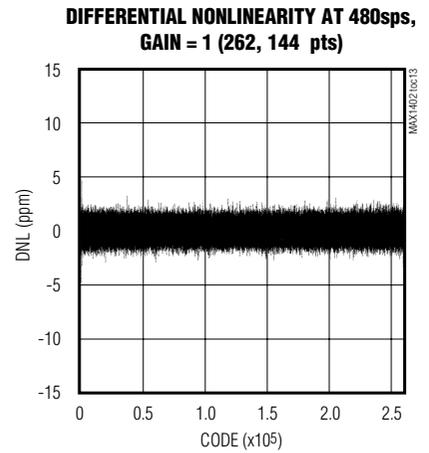
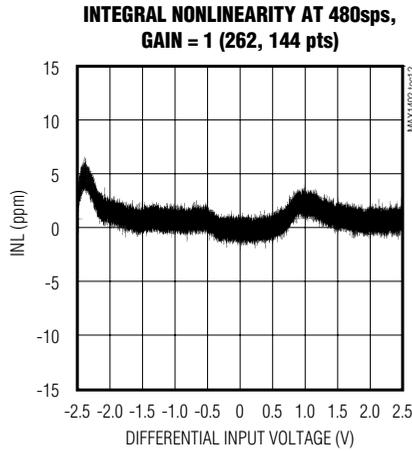
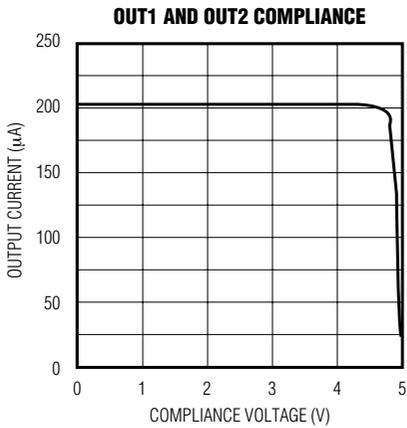
図1. バス解放時間及びVOLとVOHレベルのための負荷回路

+5V、18ビット、低電力マルチチャネル、 オーバーサンプリング(シグマ-デルタ)ADC

MAX1402

標準動作特性

($V_+ = +5V$, $V_{DD} = +5V$, $V_{REFIN+} = +2.50V$, $REFIN- = AGND$, $f_{CLKIN} = 2.4576MHz$, $T_A = +25^\circ C$, unless otherwise noted.)

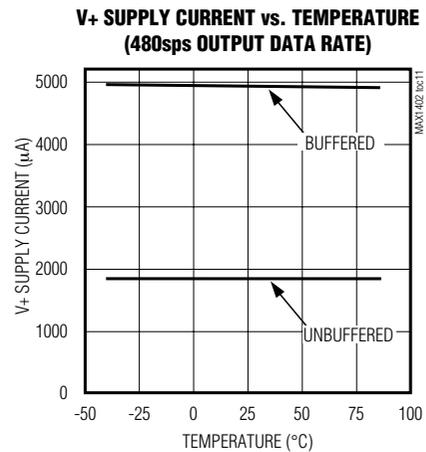
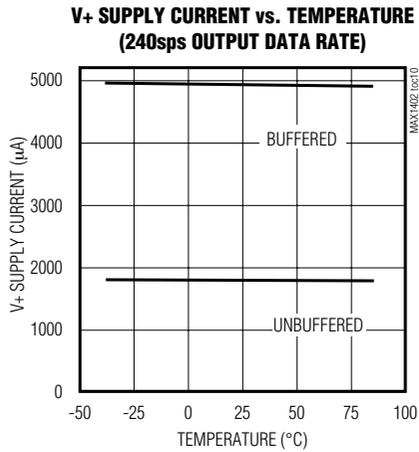
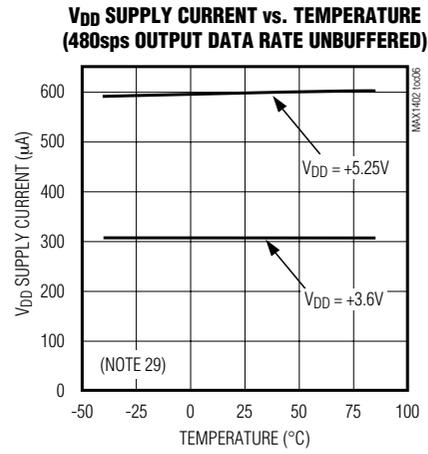
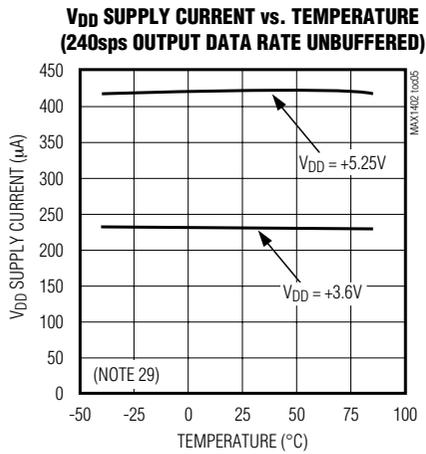


+5V、18ビット、低電力マルチチャネル、 オーバーサンプリング(シグマ-デルタ)ADC

MAX1402

標準動作特性(続き)

(V+ = +5V, V_{DD} = +5V, V_{REFIN+} = +2.50V, REFIN- = AGND, f_{CLKIN} = 2.4576MHz, T_A = +25°C, unless otherwise noted.)



Note 29: Minimize capacitive loading at CLKOUT for lowest V_{DD} supply current. *Typical Operating Characteristics* show V_{DD} supply current with CLKOUT loaded by 120pF.

+5V、18ビット、低電力マルチチャネル、 オーバーサンプリング(シグマ-デルタ)ADC

MAX1402

端子説明

端子	名称	機能
1	CLKIN	クロック入力。CLKINとCLKOUTの間にクリスタルを接続できます。別方法としては、公称周波数2.4576MHz又は1.024MHzのCMOSコンパチブルクロックでCLKINを駆動し、CLKOUTは未接続のままにしてください。X2CLK制御ビットが1に設定されている場合は、周波数として4.9152MHz及び2.048MHzを使用できます。
2	CLKOUT	クロック出力。マスタークロックをクリスタルから得る場合は、クリスタルをCLKINとCLKOUTの間に接続して下さい。このモードにおいては、内蔵クロック信号をCLKOUTで得ることはできません。CLKINを外部クロックで駆動する場合は、CLKOUTを未接続のままにしてください。
3	\overline{CS}	チップセレクト入力。デジタルインタフェースをイネーブルするために使用されるアクティブローロジック入力。 \overline{CS} がハード配線でローに接続されている場合、MAX1402は3線インタフェースモードで動作し、SCLK、DIN及びDOUTがインタフェースに使用されます。 \overline{CDI} は、シリアルバスに2つ以上のデバイスが使用されているシステムにおいてデバイスを選択するために使用されるか、あるいは連続的なSCLKが使用されている場合にMAX1402のフレーム同期信号として使用されます。
4	\overline{RESET}	アクティブローリセット入力。これをローにすると、制御ロジック、インタフェースロジック、デジタルフィルタ及びアナログ変調器がパワーオン状態にリセットされます。リセットが解除されるには、 \overline{RESET} がハイで、CLKINがトグルしていることが必要です。
5	DS1	補助データ入力ビット1のデジタル入力。このビットの状態は出力データのビットD4に反映されます。これは、DS1の状態をシリアルインタフェースから通信するために使用されます。
6	DS0	補助データ入力ビット0のデジタル入力。このビットの状態は出力データのビットD3に反映されます。これは、DS0の状態をシリアルインタフェースから通信するために使用されます。
7	OUT2	トランスデューサ励起電流ソース2
8	OUT1	トランスデューサ励起電流ソース1
9	AGND	アナロググランド。アナログ回路の基準点。AGNDはICサブストレートに接続されています。
10	V+	アナログ正電源電圧(+4.75V~+5.25V)
11	AIN1	アナログ入力チャネル1。AIN6をコモン端子とする疑似差動入力、あるいはAIN1/AIN2差動アナログ入力ペアの正入力として使用できます(「通信レジスタ」の項を参照)。
12	AIN2	アナログ入力チャネル2。AIN6をコモン端子とする疑似差動入力、あるいはAIN1/AIN2差動アナログ入力ペアの負入力として使用できます(「通信レジスタ」の項を参照)。
13	AIN3	アナログ入力チャネル3。AIN6をコモン端子とする疑似差動入力、あるいはAIN3/AIN4差動アナログ入力ペアの正入力として使用できます(「通信レジスタ」の項を参照)。
14	AIN4	アナログ入力チャネル4。AIN6をコモン端子とする疑似差動入力、あるいはAIN3/AIN4差動アナログ入力ペアの負入力として使用できます(「通信レジスタ」の項を参照)。
15	AIN5	アナログ入力チャネル5。AIN6と共に差動又は疑似差動入力として使用できます(「通信レジスタ」の項を参照)。
16	AIN6	アナログ入力チャネル6。疑似差動入力モードにおけるAIN1~AIN5のコモン端子として、あるいはAIN5/AIN6差動アナログ入力ペアの負入力として使用できます(「通信レジスタ」の項を参照)。

+5V、18ビット、低電力マルチチャネル、 オーバーサンプリング(シグマ-デルタ)ADC

MAX1402

端子説明(続き)

端子	名称	機能
17	CALGAIN-	負利得キャリブレーション入力。システム利得キャリブレーションに使用されます。CALGAIN+との完全差動入力ペアの負入力です。通常、これらの入力はシステム内のリファレンス電圧に接続します。システム利得キャリブレーションが不要で、自動シーケンスモードが使用されている場合、CALGAIN+/CALGAIN-入力ペアは付加的な完全差動入力チャネルとして使用できます。
18	CALGAIN+	正利得キャリブレーション入力。システム利得キャリブレーションに使用されます。CALGAIN-との完全差動入力ペアの正入力です。通常、これらの入力はシステム内のリファレンス電圧に接続します。システム利得キャリブレーションが不要で、自動シーケンスモードが使用されている場合、CALGAIN+/CALGAIN-入力ペアは付加的な完全差動入力チャネルとして使用できます。
19	REFIN-	負差動リファレンス入力。REFIN-はV+とAGND間でバイアスして下さい(REFIN+がREFIN-よりも高いことが条件です)。
20	REFIN+	正差動リファレンス入力。REFIN+はV+とAGND間でバイアスして下さい(REFIN+がREFIN-よりも高いことが条件です)。
21	CALOFF-	負オフセットキャリブレーション入力。システムオフセットキャリブレーションに使用されます。CALOFF+との完全差動入力ペアの負入力です。通常、これらの入力はシステム内のゼロリファレンス電圧に接続します。システムオフセットキャリブレーションが不要で、自動シーケンスモードが使用されている場合、CALOFF+/CALOFF-入力ペアは付加的な完全差動入力チャネルとして使用できます。
22	CALOFF+	正オフセットキャリブレーション入力。システムオフセットキャリブレーションに使用されます。CALOFF-との完全差動入力ペアの正入力です。通常、これらの入力はシステム内のゼロリファレンス電圧に接続します。システムオフセットキャリブレーションが不要で、自動シーケンスモードが使用されている場合、CALOFF+/CALOFF-入力ペアは付加的な完全差動入力チャネルとして使用できます。
23	DGND	デジタルグランド。デジタル回路の基準点。
24	V _{DD}	デジタル電源電圧(+2.7V~+5.25V)。
25	$\overline{\text{INT}}$	割込み出力。ロジックローの場合は、データレジスタから新しい出力ワードを読み取れることを意味します。出力ワード読取り動作が完了するとINTはハイに戻ります。INTはデータ読取りが行われなくても短時間(時間はフィルタ及びクロック制御ビットで決まる)だけハイに戻ります。ロジックハイの場合は、内部で動作中があることを意味するため、ハイの時は読取り動作を行わないようにして下さい。又、INTはDOUTに有効なデータが出ていることを示すストロブの働きもします(MDOUT = 1)。
26	DOUT	シリアルデータ出力。DOUTは、通信レジスタ、グローバルセットアップレジスタ、伝達関数レジスタ又はデータレジスタからの情報を含む内部シフトレジスタからデータを出力します。DOUTは、Σ-Δ変調器からのデジタルビット列を直接出力することもできます(MDOUT = 1)。
27	DIN	シリアルデータ入力。DINのデータは入力シフトレジスタに書き込まれ、その後通信レジスタのレジスタ選択ビットによって、通信レジスタ、グローバルセットアップレジスタ、特殊関数レジスタ又は伝達関数レジスタに転送されます。
28	SCLK	シリアルクロック入力。MAX1402とのデータ転送を行うには、ここに外部シリアルクロックを印加して下さい。このシリアルクロックは、連続的(データはパルス列として送信)でも間欠的でもかまいません。CSを使用してデータ転送のフレーミングを行う場合、変換と変換の間においてSCLKはハイとローのいずれも可能で、CSが希望のアクティブクロックエッジを決定します(「クロック極性の選択」を参照)。CSが恒久的にローに接続されている場合は、データの転送と転送の間でSCLKをハイに維持する必要があります。

+5V、18ビット、低電力マルチチャネル、 オーバーサンプリング(シグマ-デルタ)ADC

ヘッドで結果を出力するように設定することもできます。出力ワードは、各変換結果のソースを示す結果識別タグを含んでいます。

シリアルデジタルインタフェース

シリアルデジタルインタフェースを通じて、8つの内蔵レジスタにアクセスできます(図3)。全てのシリアルインタフェースコマンドは、通信レジスタ(COMM)への書き込みで始まります。パワーアップ、システムリセット又はインタフェースリセット時に、本デバイスは通信レジスタへの書き込みを待ちます。COMMレジスタへのアクセスは、0スタートビットで始まります。COMMレジスタのR/Wビットは読取り又は書き込み動作を選択し、レジスタ選択ビット(RS2、RS1、RS0)がアドレスされるレジスタを選択します。COMM又は他のレジスタに書き込まない場合は、DINをハイに保持して下さい(表10)。

シリアルインタフェースは、 \overline{CS} 、SCLK、DIN、DOUT及び \overline{INT} の5つの信号からなっています。SCLKのクロックパルスがビットをDINにシフトインし、DOUTからシフトアウトします。 \overline{INT} はデータの準備ができたことを知らせます。 \overline{CS} はデバイスのチップセレクト入力であると同時に、クロック極性選択入力です(図4)。 \overline{CS} を使用すると、いくつかのSPIコンパチブルデバイスの間でSCLK、DIN及びDOUT信号を共有できます。I/Oピンが足りない場合は、 \overline{CS} をローに接続し、シリアルデジタルインタフェースをSCLK、DIN及びDOUTを使用するCPOL = 1、CPHA = 1モードで動作させて下さい。この3線インタフェースモードは、光絶縁アプリケーションに最適です。さらに、MAX1402は読取りサイクル中にのみDOUTを駆動するため、マイクロコントローラ(PIC16C54又は80C51等)は、単一の双方向性I/Oピンを使用してDINへの送信とDOUTからの受信の両方を行うことができます(「アプリケーション情報」を参照)。

表1. 制御レジスタのアドレス指定

RS2	RS1	RS0	対象レジスタ
0	0	0	通信レジスタ
0	0	1	グローバル設定レジスタ1
0	1	0	グローバル設定レジスタ2
0	1	1	特殊機能レジスタ
1	0	0	伝達関数レジスタ1
1	0	1	伝達関数レジスタ2
1	1	0	伝達関数レジスタ3
1	1	1	データレジスタ

さらに、 \overline{INT} 信号をハードウェア割込みに接続すると、高速スループットが可能になり、また信頼性があり、衝突のないデータフローが可能になります。

MAX1402は、生の変調器データ出力にアクセスできるモードを備えています。このモードにおいては、DOUTと \overline{INT} の機能が変更されます(「変調器データ出力」を参照)。

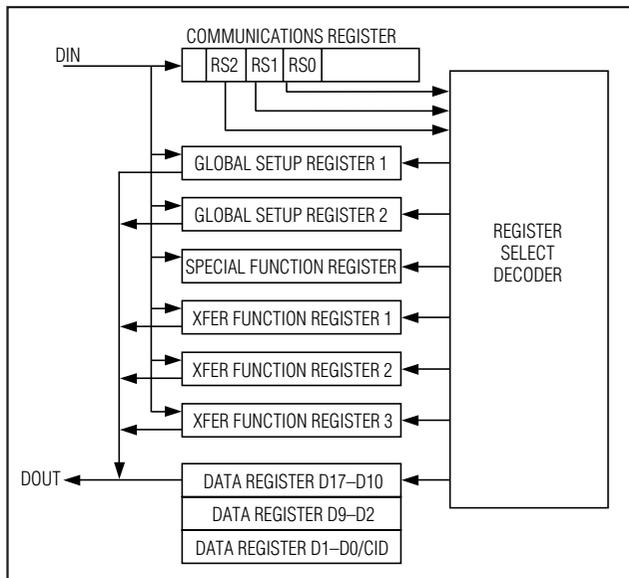


図3. レジスタのまとめ

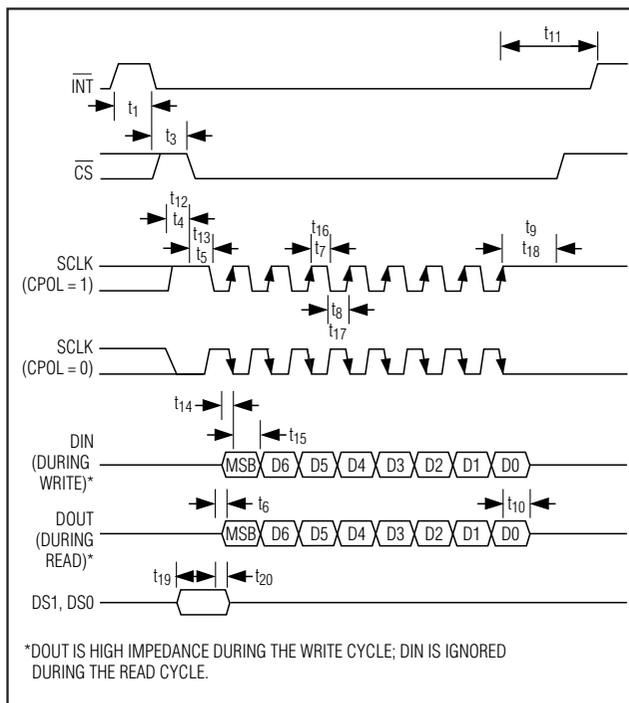


図4. シリアルインタフェースのタイミング

+5V、18ビット、低電力マルチチャネル、 オーバーサンプリング(シグマ-デルタ)ADC

クロック極性の選択

シリアルインタフェースは、クロックがハイ又はローにアイドルしている状態で動作できます。これはMotorolaのSPIインタフェースをCPOL = 1、CPHA = 1又はCPOL = 0及びCPHA = 1モードで動作させた場合とコンパチブルです。CSの立下がりエッジにおけるSCLKの状態をサンプリングすることにより、クロック極性を選択します。セットアップ時間 t_4/t_{12} 及び t_5/t_{13} に違反しないように注意して下さい。CSがグランドに接続されている場合はCSに立下がりエッジがないため、SCLKをハイでアイドルする必要がある場合があります(CPOL = 1、CPHA = 1)。

データレディ信号(DRDYビットが真又はINT=ロー)

データレディ信号は、24ビットデータレジスタから新しいデータを読み取りができることを知らせます。データレジスタの読み取りに成功すると、データレディ信号は偽になります。データが読まれる前に新しい測定が完了すると、データレディ信号は偽になります。データレジスタに新しいデータが準備されると、データレディ信号は再び真になります。

MAX1402には、データレディ信号を監視する方法が2つ用意されています。INTはハードウェア解決法(データがアクセス可能になったときにアクティブロー)を提供し、COMMレジスタのDRDYビットはソフトウェア解決法(アクティブハイ)を提供します。

データレディが真になったら、できるだけ早くデータを読み取って下さい。これは、測定速度が速いほど重要になります。データ読み取りが大幅に遅れると、衝突が起こることがあります。データレジスタの読み取り動作中に新しい測定が完了すると、衝突が起こります。衝突が起こると、データレジスタ内の情報は無効です。データは無効になりますが、それでもこの無効な読み取り動作は完了する必要があります。

インタフェースのリセット

32個の1を同期入力すると、シリアルインタフェースがリセットされます。インタフェースをリセットしても内部レジスタは影響されません。

連続データ出力モードを使用している場合は、8個の0を入力してから32個の1を入力して下さい。先頭の0が全ての動作のスタートビットとして使用されるため、32個以上の1を同期入力しても構いません。

通信レジスタ

最初のビット(MSB)

(LSB)

FUNCTION	DATA RDY	REGISTER SELECT BITS						
Name	0/DRDY	RS2	RS1	RS0	R/W	RESET	STDBY	FSYNC
Defaults	0	0	0	0	0	0	0	0

連続データ出力モード

入力チャネルをスキャンしている場合(SCAN = 1)、シリアルインタフェースはCOMMレジスタへの書き込みなしでデータレジスタを繰り返し読取ることができます。

最初のCOMM書き込み(01111000)の後に、24ビットのデータレジスタを読取るための24クロック(DIN = ハイ)が続きます。データレジスタが読み取られた後、次の変換の後でもう一度24クロック(DIN = ハイ)を書き込むことにより再び読み取りが可能になります。COMMレジスタに任意の有効なアクセスを書き込むことにより、連続データ出力モードを終了させることができます。

変調器データ出力(MDOUT = 1)

MDOUT = 1の場合は、カスタムフィルタリング用にシングルビットの生の変調器データをDOUTから得ることができます。INTはデータ同期用の変調器クロックを供給します。データはINTの立下がりエッジで有効になります。書き込み動作はこの状態でも実行できますが、読み取り動作はディセーブルされます。MDOUTが0に戻った後は、通常のシリアルインタフェース読み取り動作で有効データにアクセスできます。

内蔵レジスタ

通信レジスタ

0/DRDY : (デフォルト = 0)データレディビット。書き込みの時は、このビットを0にリセットして通信レジスタデータワードの開始を知らせる必要があります。読み取りの時は、ここ(0/DRDY)に1があると、データレジスタに有効なデータが準備されていることを意味します。このビットはデータレジスタが読取られた後にリセットされます。データが読み取られなかった場合、0/DRDYは次の測定の最後でローになります。

RS2, RS1, RS0 : (デフォルト = 0, 0, 0)レジスタ選択ビット。これらのビットはアクセスされるレジスタを選択します(表1)。

R/W : (デフォルト = 0)読み取り/書き込みビット。ハイに設定されると、選択されたレジスタが読取られます。R/W = 0の時は、選択されたレジスタに書き込まれます。

RESET : (デフォルト = 0)ソフトウェアリセットビット。このビットをハイに設定すると、デバイスはデフォルトのパワーアップ状態にリセットされず(RESET = 0)。

+5V、18ビット、低電力マルチチャネル、 オーバーサンプリング(シグマ-デルタ)ADC

STDBY : (デフォルト=0)スタンバイパワーダウンビット。STDBYビットをセットするとデバイスはスタンバイ状態になり、シリアルインタフェース及びCLK発振器以外の全てがシャットダウンします。

FSYNC : (デフォルト=0)フィルタ同期ビット。FSYNC=0の時に、変換はCLK、FS1、FS0、MF1及びMF0ビットによって決まるデータレートで自動的に実行されます。FSYNC=1だと、デジタルフィルタ及びアナログ変調器はリセット状態に保持され、通常の自己タイミング動作が禁止されます。このビットは、オンコマンドで変換して有効な出力データへのセトリング時間を最小限に抑えるため、あるいは幾つかのMAX1402の動作を同期させるために使用できます。FSYNCは、シリアルインタフェースやO/DRDYフラグをリセットしません。FSYNCがアクティブの時にO/DRDYをクリアするには、データレジスタの読取りを実行して下さい。

グローバル設定レジスタ1

A1、A0 : (デフォルト=0、0)チャンネル選択制御ビット。これらのビット(DIFF、M1及びM0ビットの状態の組み合わせ)は、表8、9及び10に従って、変換のために選択されるチャンネルを決定します。SCANビットがセットされていると、これらのビットは無視されます。

MF1、MF0 : (デフォルト=0、0)変調器周波数ビット。MF1及びMF0は、CLKIN発振器周波数の変調器動作周波数に対する比を決定します。これらは出力データレート、デジタルフィルタノッチ周波数の位置及びデバイスの電力消費に影響を与えます。MF1=0及びMF0=0にすると、電力消費が最小になります。これらのビットを1、1に設定すると、電力消費が最大になり、出力データレートが最高速になります(表2)。

CLK : (デフォルト=1)CLKビット。CLKビットはX2CLKとの組み合わせにより、MAX1402にCLKIN入力信号の周波数を知らせます。CLK=0の場合、CLKIN入力周波数として1.024MHz(X2CLK=1の場合は2.048MHz)が要求されます。CLK=1の場合、CLKIN入力周波数として2.4576MHz(X2CLK=1の場合、

4.9152MHz)が要求されます。このビットはデジタルフィルタのデシメーション係数に影響し、ひいては出力データレートに影響します(表2)。

FS1、FS0 : (デフォルト=0、1)フィルタ選択ビット。これらのビット(及びCLKビット)がデジタルフィルタのデシメーション比を制御します。出力データレート、デジタルフィルタ周波数応答ノッチの位置及び出力結果に存在するノイズがこれらのビットによって決まります(表2)。

FAST : (デフォルト0)FASTビット。FAST=0にすると、デジタルフィルタは変調器のデータ列に対してSINC³フィルタ関数が働きます。出力データレートはCLK、FS1、FS0、MF1及びMF0ビットの値によって決まります(表2)。SINC³関数のセトリング時間は $3 \cdot [1/(\text{出力データレート})]$ です。SINC³モードにおいては、MAX1402は(有効な設定変更の後)セトリングしたデータが準備できるまで自動的にDRDY信号を偽に保持します。FAST=1にすると、デジタルフィルタは変調器のデータ列に対してSINC¹フィルタ関数が働きます。このフィルタ関数によって達成される信号雑音比は、C³の場合よりも小さくなりますが、SINC³はセトリングに少なくとも出力サンプル3周期を要するのに対して、SINC¹は出力サンプル1周期内にセトリングします。SINC¹モードからSINC³モードに切り換えると、DRDYフラグがノンアクティブになり、フィルタが完全にセトリング後に再びアクティブになります。このモード変更には少なくとも3サンプルを要します。

グローバル設定レジスタ2

SCAN : (デフォルト=0)スキャンビット。このビットを1に設定すると、DIFF、M1及びM0の設定に従って入力チャンネルが順次スキャンされます(「スキャン(スキャンモード)」を参照)。SCAN=0の場合、MAX1402はA1、A0、DIFF、M1及びM0で選択された特定のチャンネルを繰り返し測定します(表4)。

M1、M0 : (デフォルト=0、0)モード制御ビット。これらのビットは、キャリブレーションチャンネルCALOFF

グローバル設定レジスタ1

最初のビット(MSB)

(LSB)

FUNCTION	CHANNEL SELECTION		MODULATOR FREQUENCY		FILTER SELECTION			
Name	A1	A0	MF1	MF0	CLK	FS1	FS0	FAST
Defaults	0	0	0	0	1	0	1	0

グローバル設定レジスタ2

最初のビット(MSB)

(LSB)

FUNCTION	SCAN	MODE CONTROL		BUFF	DIFF	BOUT	IOUT	X2CLK
Name	SCAN	M1	M0	BUFF	DIFF	BOUT	IOUT	X2CLK
Defaults	0	0	0	0	0	0	0	0

+5V、18ビット、低電力マルチチャネル、 オーバーサンプリング(シグマ-デルタ)ADC

及びCALGAINへのアクセスを制御します。SCAN = 0の時、M1 = 0及びM0 = 1に設定するとCALOFF入力を選択され、M1 = 1及びM0 = 0に設定するとCALGAIN入力を選択されます(表3)。SCAN = 1でM1 ≠ M0の場合、スキャンシーケンスにはCALOFFとCALGAIN入力の両方が含まれます(表4)。SCANが1に設定され、デバイスが有効な入力チャネルをスキャンしている時にどちらかのキャリブレーションモード(01又は10)が選択されると、スキャンシーケンスが拡張されてCALGAIN+/CALGAIN-入力ペア及びCALOFF+/CALOFF-入力ペアの両方の変換を含むようになります。正確なシーケンスはDIFFビットの状態に依存します(表4)。スキャン中、キャリブレーションチャネルは伝達関数レジスタ3の内容によって定義されるPGA利得、フォーマット及びDAC設定を使用します。

BUFF : (デフォルト=0)BUFFビットは入力バッファアンプの動作を制御します。このビットが0の場合、入力バッファはバイパスされ、パワーダウンします。このビットがハイに設定されると、バッファが入力サンプリングコンデンサを駆動して動的入力負荷を最小限に抑えます。

DIFF : (デフォルト=0)差動/疑似差動ビット。DIFF = 0の場合、デバイスは疑似差動モードになり、AIN1~AIN5はアナログコモン端子AIN6を基準として測定されます。DIFF = 1の時デバイスは差動モードになり、アナログ入力はAIN1/AIN2、AIN3/AIN4及びAIN5/AIN6として定義されます。各モードで有効な入力チャネルについては、表5に記載されています。DIFFは、デバイスがスキャンモードになっている時、スキャンシーケンスにも影響することに注意して下さい(表4)。

BOUT : (デフォルト=0)バーンアウト電流ビット。BOUT = 1に設定すると、選択されたアナログ入力チャネルに100nAの電流ソースが接続されます。このモードは、トランスデューサがバーンアウトまたは開回路になっていないかをチェックするために使用されます。最高の直線性を確保するためには、測定の前にバーンアウト電流ソースをオフ(BOUT = 0)にする必要があります。

IOUT : (デフォルト=0)IOUTビットはトランスデューサ励起電流を制御します。このビットを0にするとOUT1及びOUT2がディセーブルされ、これらのピンは実質上ハイインピーダンスになります。これが1になると、IOUT1とIOUT2の両方がアクティブになり、各ピンが200µAの電流ソースとなります。

表2. データ出力レート対CLK、フィルタ選択及び変調器周波数ビット

CLKIN FREQ.	CLKIN FREQ.	CLK	MF1	MF0	AVAILABLE OUTPUT DATA RATES			
					FS1, FS0 (0, 0) (sps)*	FS1, FS0 (0, 1) (sps)*	FS1, FS0 (1, 0) (sps)	FS1, FS0 (1, 1) (sps)
X2CLK = 0 f _{CLKIN} (MHz)	X2CLK = 1 f _{CLKIN} (MHz)							
1.024	2.048	0	0	0	20	25	100	200
1.024	2.048	0	0	1	40	50	200	400
1.024	2.048	0	1	0	80	100	400	800
1.024	2.048	0	1	1	160	200	800	1600
2.4576	4.9152	1	0	0	50	60	300	600
2.4576	4.9152	1	0	1	100	120	600	1200
2.4576	4.9152	1	1	0	200	240	1200	2400
2.4576	4.9152	1	1	1	400	480	2400	4800

* Data rates offering noise-free 16-bit resolution.

Note: When FAST = 0, f_{-3dB} = 0.262 • Data Rate. When FAST = 1, f_{-3dB} = 0.443 • Data Rate.

Default condition is in bold print.

表3. M1、M0によって制御される特殊モード(SCAN = 0)

M1	M0	DESCRIPTION
0	0	ノーマルモード：デバイスは標準動作。
0	1	オフセット校正：このモードで、MAX1402はCALOFF+とCALOFF-間に加えられた電圧を変換します。(DIFF、A1、A0で設定された)選択チャネルのPGA利得、DAC及びフォーマット設定が使用されます。
1	0	利得校正：このモードで、MAX1402はCALGAIN+とCALGAIN-間に加えられた電圧を変換します。(DIFF、A1、A0で設定された)選択チャネルのPGA利得、DAC及びフォーマット設定が使用されます。
1	1	予約：使用しないで下さい。

+5V、18ビット、低電力マルチチャネル、 オーバサンプリング(シグマ-デルタ)ADC

X2CLK : (デフォルト= 0)2倍クロックビット。このビットを1に設定すると、クロック信号経路内の2分周プリスケラが選択されます。これにより、より高い周波数のクリスタル又はクロックソースを使用することができ、非対称クロックソースへの耐性が改善されます。

表4. SCANモードのスキャンシーケンス (SCAN = 1)

DIFF	M1	M0	SEQUENCE
0	0	0	AIN1-AIN6, AIN2-AIN6, AIN3-AIN6, AIN4-AIN6, AIN5-AIN6
0	0	1	AIN1-AIN6, AIN2-AIN6, AIN3-AIN6, AIN4-AIN6, AIN5-AIN6, CALOFF, CALGAIN
0	1	0	AIN1-AIN6, AIN2-AIN6, AIN3-AIN6, AIN4-AIN6, AIN5-AIN6, CALOFF, CALGAIN
1	0	0	AIN1-AIN2, AIN3-AIN4, AIN5-AIN6
1	0	1	AIN1-AIN2, AIN3-AIN4, AIN5-AIN6, CALOFF, CALGAIN
1	1	0	AIN1-AIN2, AIN3-AIN4, AIN5-AIN6, CALOFF, CALGAIN

Note: All other combinations reserved.

表5. 有効な入力チャネル(SCAN = 0)

DIFF	M1	M0	AVAILABLE CHANNELS
0	0	0	AIN1-AIN6, AIN2-AIN6, AIN3-AIN6, AIN4-AIN6
0	0	1	CALOFF
0	1	0	CALGAIN
1	0	0	AIN1-AIN2, AIN3-AIN4, AIN5-AIN6
1	0	1	CALOFF
1	1	0	CALGAIN

特殊機能レジスタ(書込み専用)

MDOUT : (デフォルト= 0)変調器出力ビット。MDOUT = 0にすると、DOUTピンでのデータ読出しがイネーブされ、シリアルインタフェースの通常状態です。MDOUT = 1の場合はDOUT及びINTピンの機能が変わり、通常のシリアルデータインタフェース出力の代わりに生の単一ビット変調器出力を供給します。これにより、内蔵デジタルフィルタを経由せずに、変調器出力に直接カスタムフィルタリングを施すことができます。INTピンはDOUTの変調器データをいつサンプリングすべきかを知らせるクロックを出力します(INTの立下がりエッジ)。このモードにおいても内蔵デジタルフィルタは通常に動作していることに注意して下さい。MDOUTが0に戻ると、通常のシリアルインタフェース読取り動作によって、有効なデータにアクセスできるようになります。

FULLPD : (デフォルト= 0)完全パワーダウンビット。FULLPD = 1の時、デバイスはクロック発振器も含めて強制的に完全パワーダウン状態になります。シリアルインタフェースは引き続き動作します。この状態から正しく復起させるには、ハードウェアリセットを必要とします。

注記：特殊関数レジスタの予約ビットを全て0のデフォルト状態から変更すると、予約モードの1つが選択され、デバイスは期待通りの動作を行わなくなります。このレジスタは書込み専用レジスタです。しかし、間違つてこのレジスタを読んだ場合は、デバイスから24ビットのデータの同期出力を行い、通常のインタフェースアイドル状態に回復させて下さい。

伝達関数レジスタ

3つの伝達関数レジスタが、入力電圧を出力コードにマッピングするために使用される方法を制御します。これらのレジスタは、全て同じフォーマットを持っています。制御レジスタが関連するチャネルにどのようにマッピングされるかは動作モードに依存し、M1、M0、DIFF及びSCANの状態に影響されます(表8、9及び10)。

特殊関数レジスタ(書込み専用)

最初のビット(MSB)

(LSB)

FUNCTION	RESERVED BITS			RESERVED BITS				
Name	0	0	MDOUT	0	0	0	0	FULLPD
Defaults	0	0	0	0	0	0	0	0

伝達関数レジスタ

最初のビット(MSB)

(LSB)

FUNCTION	PGA GAIN CONTROL				OFFSET CORRECTION			
Name	G2	G1	G0	U/ \bar{B}	D3	D2	D1	D0
Defaults	0	0	0	0	0	0	0	0

+5V、18ビット、低電力マルチチャネル、 オーバーサンプリング(シグマ-デルタ)ADC

アナログ入力AIN1~AIN6

入力AIN1及びAIN2は、スキャンモード(SCAN = 1)やシングルエンドまたは差動(DIFF)モードの別に関わりなく、伝達関数レジスタ1にマッピングします。同様に、AIN3及びAIN4入力は常に伝達関数レジスタ2にマッピングします。最後に、AIN5は常に伝達関数レジスタ3にマッピングします(AIN6はアナログコモン端子です)。

CALGAIN及びCALOFF

スキャンモードでない時(SCAN = 0)は、A1及びA0によっていずれの伝達関数がCAGAIN及びCALOFFに適用されるかを選択します。スキャンモード(SCAN = 1)においては、CALGAIN及びCALOFFは常に伝達関数レジスタ3にマッピングされます。M1≠M0の状態ではスキャンしている時には、CALGAIN及びCALOFFの両チャンネルがスキャンシーケンスに含まれることに注意して下さい(表4)。両方のチャンネルが同じチャンネルIDタグを共有しますが、CALOFFが常にCALGAINよりも先になります(表11)。

任意のアクティブなチャンネル制御ビットの状態を変更すると、INTが直ちにハイに遷移して変調器/フィルタがリセットされることに注意して下さい。INTは、適切なデジタルフィルタセトリング時間が経過した後、再び発生します。インアクティブなチャンネルの制御設定はINTの状態に影響せず、またフィルタ/変調器がリセットすることもなく、自由に変更できます。

PGAの利得

ビットG2~G0は、表6に従ってPGAの利得を制御します。

ユニポーラ/バイポーラモード

U/ \bar{U} ビットは、チャンネルをバイポーラ又はユニポーラモードに設定します。0の時にバイポーラモードが選択され、1の時にユニポーラモードが選択されます。このビットはアナログ信号設定には影響しません。変調器

表6. PGA利得コード

G2	G1	G0	PGA GAIN
0	0	0	x1
0	0	1	x2
0	1	0	x4
0	1	1	x8
1	0	0	x16
1	0	1	x32
1	1	0	x64
1	1	1	x128

は常にバイポーラ入力を受け付け、選択された入力と同じ電位である時に1の密度が50%のビット列を生成します。このビットは、有効な出力ビットが適正な出力範囲にマッピングされるようにデジタルフィルタ出力の処理を制御します。変換を行う前にU/ \bar{U} を設定する必要がありますことに注意して下さい。既に出力レジスタに保持されているデータには影響を与えません。

バイポーラモードを選択しても、AGNDより低い入力許容されるわけではなく、デバイスの利得及びオフセットが変わるだけです。全ての入力は、仕様動作電圧範囲内に収まっている必要があります。

オフセット補正DAC

ビットD3~D0はオフセット補正DACを制御します。DACの範囲はPGAの利得設定に依存し、有効なフルスケール入力範囲に対するパーセント比率として表現されます(図7)。

D3は符号ビット、D2~D0はDAC値の大きさを表します。DAC値として0000(デフォルト)が設定されると、DACは変調器入力から切り離されることに注意して下さい。これにより、オフセット補正が必要ない時には、DACをノイズ性能の劣化から防ぎます。

伝達関数レジスタのマッピング

表8、9及び10に、様々な動作モードにおけるチャンネル制御レジスタのマッピングを示します。

表7. DACコード対DAC値

D3	D2	D1	D0	BIPOLAR DAC VALUE (% of FSR)	UNIPOLAR DAC VALUE (% of FSR)
0	0	0	0	DAC not connected	
0	0	0	1	+8.3	+16.7
0	0	1	0	+16.7	+33.3
0	0	1	1	+25	+50
0	1	0	0	+33.3	+66.7
0	1	0	1	+41.6	+83.3
0	1	1	0	+50	+100
0	1	1	1	+58.3	+116.7
1	0	0	0	DAC not connected	
1	0	0	1	-8.3	-16.7
1	0	1	0	-16.7	-33.3
1	0	1	1	-25	-50
1	1	0	0	-33.3	-66.7
1	1	0	1	-41.6	-83.3
1	1	1	0	-50	-100
1	1	1	1	-58.3	-116.7

+5V、18ビット、低電力マルチチャネル、 オーバーサンプリング(シグマ-デルタ)ADC

MAX1402

表8. 伝達関数レジスタのマッピング — 通常モード(M1 = 0、M0 = 0)

SCAN	DIFF	A1	A0	CHANNEL	TRANSFER FUNCTION REG.
0	0	0	0	AIN1–AIN6	1
0	0	0	1	AIN2–AIN6	1
0	0	1	0	AIN3–AIN6	2
0	0	1	1	AIN4–AIN6	2
0	1	0	0	AIN1–AIN2	1
0	1	0	1	AIN3–AIN4	2
0	1	1	0	AIN5–AIN6	3
0	1	1	1	Do Not Use	
1	0	X	X	AIN1–AIN6	1
1	0	X	X	AIN2–AIN6	1
1	0	X	X	AIN3–AIN6	2
1	0	X	X	AIN4–AIN6	2
1	0	X	X	AIN5–AIN6	3
1	1	X	X	AIN1–AIN2	1
1	1	X	X	AIN3–AIN4	2
1	1	X	X	AIN5–AIN6	3
1	1	1	1	Do Not Use	

X = 任意

+5V、18ビット、低電力マルチチャネル、 オーバーサンプリング(シグマ-デルタ)ADC

MAX1402

**表9. 伝達関数レジスタのマッピング — オフセットキャリブレーションモード
(M1 = 0、M0 = 1)**

SCAN	DIFF	A1	A0	CHANNEL	TRANSFER FUNCTION REG.
0	0	0	0	CALOFF+ – CALOFF-	1
0	0	0	1	CALOFF+ – CALOFF-	1
0	0	1	0	CALOFF+ – CALOFF-	2
0	0	1	1	CALOFF+ – CALOFF-	2
0	1	0	0	CALOFF+ – CALOFF-	1
0	1	0	1	CALOFF+ – CALOFF-	2
0	1	1	0	CALOFF+ – CALOFF-	3
0	1	1	1	Do Not Use	
1	0	X	X	AIN1–AIN6	1
1	0	X	X	AIN2–AIN6	1
1	0	X	X	AIN3–AIN6	2
1	0	X	X	AIN4–AIN6	2
1	0	X	X	AIN5–AIN6	3
1	0	X	X	CALOFF+ – CALOFF-	3
1	0	X	X	CALGAIN+ – CALGAIN-	3
1	1	X	X	AIN1–AIN2	1
1	1	X	X	AIN3–AIN4	2
1	1	X	X	AIN5–AIN6	3
1	1	X	X	CALOFF+ – CALOFF-	3
1	1	X	X	CALGAIN+ – CALGAIN-	3
1	1	1	1	Do Not Use	

X = 任意

+5V、18ビット、低電力マルチチャネル、 オーバーサンプリング(シグマ-デルタ)ADC

MAX1402

表10. 伝達関数レジスタのマッピング — 利得キャリブレーションモード
(M1 = 1、M0 = 0)

SCAN	DIFF	A1	A0	CHANNEL	TRANSFER FUNCTION REG.
0	0	0	0	CALGAIN+ – CALGAIN-	1
0	0	0	1	CALGAIN+ – CALGAIN-	1
0	0	1	0	CALGAIN+ – CALGAIN-	2
0	0	1	1	CALGAIN+ – CALGAIN-	2
0	1	0	0	CALGAIN+ – CALGAIN-	1
0	1	0	1	CALGAIN+ – CALGAIN-	2
0	1	1	0	CALGAIN+ – CALGAIN-	3
0	1	1	1	Do Not Use	
1	0	X	X	AIN1-AIN6	1
1	0	X	X	AIN2-AIN6	1
1	0	X	X	AIN3-AIN6	2
1	0	X	X	AIN4-AIN6	2
1	0	X	X	AIN5-AIN6	3
1	0	X	X	CALOFF+ – CALOFF-	3
1	0	X	X	CALGAIN+ – CALGAIN-	3
1	1	X	X	AIN1-AIN2	1
1	1	X	X	AIN3-AIN4	2
1	1	X	X	AIN5-AIN6	3
1	1	X	X	CALOFF+ – CALOFF-	3
1	1	X	X	CALGAIN+ – CALGAIN-	3
1	1	1	1	Do Not Use	

X = 任意

データレジスタ(読取り専用)

データレジスタは24ビット読取り専用レジスタです。ここにデータを書き込んでも影響はありません。書き込み動作が試みられた場合、通信レジスタへの書き込みを待つ通常アイドルモードに戻るまでに、8ビットのデータをデバイスに同期入力する必要があります。

データはMSBを先頭にして出力され、次に予備の0ビットが1つ、補助データビットが2つ、そしてデータの送信元であるチャンネルを示す3ビットのチャンネルIDタグが続きます。

D17~D0 : 変換結果。D17がMSBです。この結果は、オフセットバイナリフォーマットになっています。00 0000 0000 0000が最小値を表し、11 1111 1111 1111が最大値を表します。有効な入力範囲を超える入力は、対応する最小又は最大出力値に制限されます。

0 : この予備ビットは常に0です。

DS1、DS0 : 補助データ入力ピンの状態。これらは、その時のデータレジスタ読取りアクセスのSCLK信号の最初の立下がりエッジでラッチされます。

CID2~0 : チャンネルIDタグ(表11)。

データレジスタ(読取り専用)ビット

最初のビット(データMSB)

DATA BITS							
D17	D16	D15	D14	D13	D12	D11	D10

DATA BITS							
D9	D8	D7	D6	D5	D4	D3	D2

(データLSB)

(LSB)

DATA BITS		RESERVED	AUXILIARY DATA		CHANNEL ID TAG		
D1	D0	'0'	DS1	DS0	CID2	CID1	CID0

+5V、18ビット、低電力マルチチャネル、 オーバーサンプリング(シグマ-デルタ)ADC

スイッチングネットワーク

スイッチングネットワークにより、3つの完全差動入力チャネル又はAIN6を共通コモンとした5つの疑似差動チャネルのどちらかを選ぶことができます。スイッチングネットワークは、システムキャリブレーション用の2つの付加的な完全差動入力チャネルを提供します。これらは、予備の完全差動信号チャネルとして使用することもできます。表12に、両方の動作モードにおいて有効なチャネル構成を示します。

スキャン(SCANモード)

有効な入力チャネルを順番にサンプリングし、変換するには、グローバル設定レジスタのSCAN制御ビットをセットして下さい。シーケンスは、DIFF(完全差動又は疑似差動)、及びモード制御ビットM1及びM0によって決定されます(表8、9、10)。SCANがセットされると、

表11. チャネルIDタグコード

CID2	CID1	CID0	CHANNEL
0	0	0	AIN1-AIN6
0	0	1	AIN2-AIN6
0	1	0	AIN3-AIN6
0	1	1	AIN4-AIN6
1	0	0	AIN1-AIN2
1	0	1	AIN3-AIN4
1	1	0	AIN5-AIN6
1	1	1	Calibration

表12. 完全及び疑似差動モードにおける入力チャネル構成(SCAN = 0)

M1	M0	DIFF	A1	A0	MODE	HIGH INPUT	LOW INPUT
0	0	0	0	0	Pseudo-Differential	AIN1	AIN6
0	0	0	0	1		AIN2	AIN6
0	0	0	1	0		AIN3	AIN6
0	0	0	1	1		AIN4	AIN6
0	0	X	X	X		AIN5*	AIN6*
0	1	X	X	X		CALOFF+**	CALOFF-**
1	0	X	X	X		CALGAIN+**	CALGAIN-**
0	0	1	0	0	Fully Differential	AIN1	AIN2
0	0	1	0	1		AIN3	AIN4
0	0	1	1	0		AIN5	AIN6
0	1	X	X	X		CALOFF+**	CALOFF-**
1	0	X	X	X		CALGAIN+**	CALGAIN-**

X = 任意

* この構成は疑似差動モードで内部スキャンロジックを使用している時のみ可能です。

** これらの組み合わせはキャリブレーションモードにおいてのみ可能です。

デバイスは有効な各チャネルを順次使用して1つの変換結果を送信した後で次のチャネルに進みます。最高の分解能を保証するため、MAX1402は各変換が完全にセトリングするために十分な時間だけ自動的に待つからデータレディ信号を発生し、次の有効なチャネルに進みます。このため、スキャン速度はクロックビット(CLK)、フィルタ制御ビット(FS1、FS2)及び変調器周波数選択ビット(MF1、MF0)に依存します。

バーンアウト電流

入力回路は2つのバーンアウト電流も提供します。これらの小さな電流は、選択されたトランスデューサの正常性をテストするために使用できます。これらはグローバル設定レジスタのBOUTビットによって、選択的にイネーブル又はディセーブルすることができます。

トランスデューサ励起電流

MAX1402は、OUT1とOUT2にマッチングされたトランスデューサ励起電流200 μ Aを2つ提供します。これらの電流は絶対温度係数が低く、厳密なTCマッチングになっています。この電流ソースはトランスデューサ励起用に最適化されており、長いトランスデューサケーブルのIR降下に起因する誤差の正確な補償を可能にする厳密な温度追従特性を持っています。これらは単一のレジスタ制御ビット(IOUT)を使用することにより、イネーブル又はディセーブルすることができます。

+5V、18ビット、低電力マルチチャネル、 オーバーサンプリング(シグマ-デルタ)ADC

チャンネル選択ネットワークにおける 動の入力インピーダンス

無バッファモード(BUFF=0)で使用した場合、アナログ入力は駆動回路から見て動的負荷となります。駆動回路から見た動的負荷は、サンプリングコンデンサのサイズ及び入力サンプリング周波数(図5)によって決まります。MAX1402は、全ての利得設定において一定速度でサンプリングします。これにより、与えられたデータレートにおいて入力がセトリングするための最大時間が決まります。入力における動的負荷は利得設定によって変わります。利得が+2V/V、+4V/V及び+8V/Vの場合、入力サンプリングコンデンサは選択された利得が増加すると共に増加します。利得が+16V/V、+32V/V、+64V/V及び+128V/Vの場合、x8の利得設定と同じ入力負荷となります。

どのスイッチトキャパシタADC入力でも同じことがいえませんが、MAX1402を使用して設計を行う場合、直列入力抵抗の長所及び短所を考慮して下さい。直列抵抗は外部駆動アンプに対するトランジェント電流インパルスを低減します。これはアンプの位相マージンを改善し、リングングの可能性を低減します。この抵抗によって、サンプラーからのトランジェント負荷電流は、回路のRC時定数による期間に広がります。しかし、直列抵抗の選択を誤ると高速16ビットコンバータの性能が劣化する恐れがあります。RCネットワークのセト

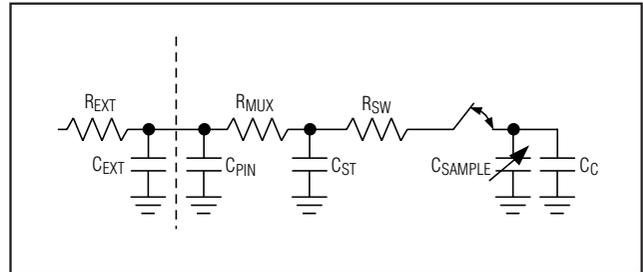


図5. 無バッファモード(BUFF = 0)におけるアナログ入力

リング時間のために、コンバータが適正に動作できる速度が制限されるか、サンプラーのセトリング精度が低減することがあります。このため、実用の際はRC時定数を希望の精度にセトリングするために十分に小さくして下さい (RC時定数は駆動源のインピーダンスとMAX1402の入力及びその他の外部容量を含む容量の積で得られます)。表13a~13dに、MAX1402の各利得設定において、無バッファモードで16ビット性能を確保するための最大許容直列抵抗対外部容量がまとめられています。

入力バッファ

MAX1402は、入力をPGA/変調器による容量性負荷から分離するための入力バッファのペアを備えています(図6)。これらのバッファは、DCオフセット及び低周

**表13a. 無バッファ(BUFF = 0)モードにおいて16ビット利得誤差以下のための
R_{EXT}、C_{EXT}値 — 1x変調器サンプリング周波数(MF1、MF0 = 00) ;
X2CLK = 0 ; CLKIN = 2.4576MHz**

PGA GAIN	EXTERNAL RESISTANCE R _{EXT} (kΩ)					
	C _{EXT} = 0pF	C _{EXT} = 50pF	C _{EXT} = 100pF	C _{EXT} = 500pF	C _{EXT} = 1000pF	C _{EXT} = 5000pF
1	45	20	13	3.9	2.2	0.58
2	45	20	13	3.9	2.2	0.58
4	34	17	12	3.6	2.0	0.53
8, 16, 32, 64, 128	22	13	9.7	3.3	1.9	0.49

**表13b. 無バッファ(BUFF = 0)モードにおいて16ビット利得誤差以下のための
R_{EXT}、C_{EXT}値 — 2x変調器サンプリング周波数(MF1、MF0 = 01) ;
X2CLK = 0 ; CLKIN = 2.4576MHz**

PGA GAIN	EXTERNAL RESISTANCE R _{EXT} (kΩ)					
	C _{EXT} = 0pF	C _{EXT} = 50pF	C _{EXT} = 100pF	C _{EXT} = 500pF	C _{EXT} = 1000pF	C _{EXT} = 5000pF
1	23	9.9	6.5	1.9	1.1	0.29
2	23	9.9	6.5	1.9	1.1	0.29
4	17	8.5	5.8	1.8	1.0	0.27
8, 16, 32, 64, 128	11.2	6.7	4.9	1.6	0.93	0.24

+5V、18ビット、低電力マルチチャネル、 オーバーサンプリング(シグマ-デルタ)ADC

表13c. 無バッファ(BUFF = 0)モードにおいて16ビット利得誤差以下のための
R_{EXT}、C_{EXT}値 — 4x変調器サンプリング周波数(MF1、MF0 = 10) ;
X2CLK = 0 ; CLKIN = 2.4576MHz

PGA GAIN	EXTERNAL RESISTANCE R _{EXT} (kΩ)					
	C _{EXT} = 0pF	C _{EXT} = 50pF	C _{EXT} = 100pF	C _{EXT} = 500pF	C _{EXT} = 1000pF	C _{EXT} = 5000pF
1	11.1	4.9	3.2	0.95	0.54	0.14
2	11.1	4.9	3.2	0.95	0.54	0.14
4	8.3	4.2	2.9	0.89	0.50	0.13
8, 16, 32, 64, 128	5.5	3.3	2.4	0.81	0.46	0.12

表13d. 無バッファ(BUFF = 0)モードにおいて16ビット利得誤差以下のための
R_{EXT}、C_{EXT}値 — 8x変調器サンプリング周波数(MF1、MF0 = 11) ;
X2CLK = 0 ; CLKIN = 2.4576MHz

PGA GAIN	EXTERNAL RESISTANCE R _{EXT} (kΩ)					
	C _{EXT} = 0pF	C _{EXT} = 50pF	C _{EXT} = 100pF	C _{EXT} = 500pF	C _{EXT} = 1000pF	C _{EXT} = 5000pF
1	5.4	2.4	1.6	0.47	0.26	0.069
2	5.4	2.4	1.6	0.47	0.26	0.069
4	4.0	2.1	1.4	0.43	0.25	0.064
8, 16, 32, 64, 128	2.7	1.6	1.2	0.39	0.23	0.059

波数ノイズの影響を軽減するためにチョツパスタビライズドされています。バッファは全アナログ電力消費の50%以上を消費するため、電力消費を小さくする必要があり、しかも容量性入力負荷が問題にならないアプリケーションにおいてはバッファをシャットダウンできるようになっています。入力がAGND又はV+の近くで動作しなければならないアプリケーションにおいては、これらのバッファをディセーブルして下さい。

バッファ付モードで使用した場合、これらのバッファは入力をサンプリングコンデンサから分離します。このモードにおいては、サンプリングに関する利得誤差が著しく低減します。チョツパスタビライズドによる小さな動的負荷が残ります。マルチプレクサは最大

10nAの小さなリーク電流があります。ソース抵抗が高い場合には、このリーク電流のためにDCオフセットが生じることがあります。

リファレンス入力

MAX1402はレシオメトリック測定用に最適化されており、完全差動リファレンス入力を備えています。リファレンス電圧をREFIN+の方がREFIN-よりも高くなるようにREFIN+とREFIN-の間に印加して下さい。REFIN+及びREFIN-は、AGNDとV+の間にする必要があります。MAX1402は、+5Vアナログ電源(V+)で動作している時の+2.5Vリファレンスで仕様が規定されています。

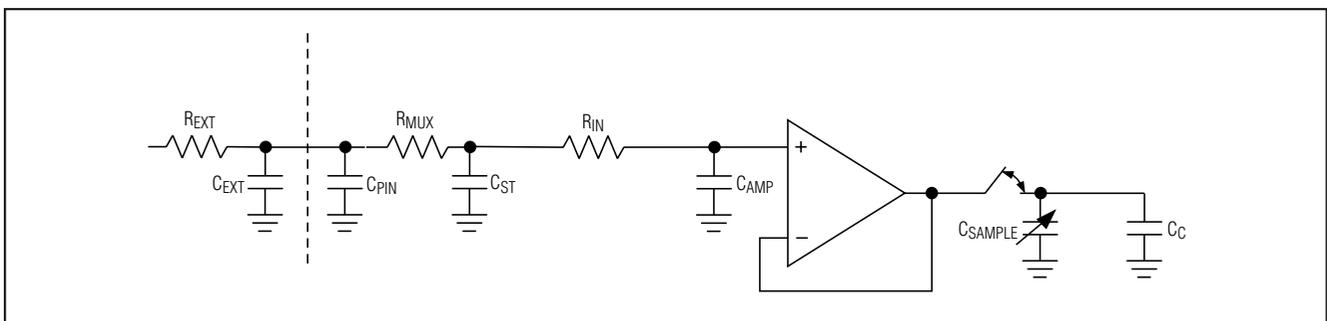


図6. バッファ付モード(BUFF = 1)におけるアナログ入力

+5V、18ビット、低電力マルチチャネル、 オーバーサンプリング(シグマ-デルタ)ADC

表14. バッファ付(BUFF = 0)モードにおいて16ビット利得誤差以下の
R_{EXT}、C_{EXT}値 — 全変調器サンプリング周波数(MF1、MF0 = XX) ;
X2CLK = 0 ; CLKIN = 2.4576MHz

PGA GAIN	EXTERNAL RESISTANCE R _{EXT} (kΩ)					
	C _{EXT} = 0pF	C _{EXT} = 50pF	C _{EXT} = 100pF	C _{EXT} = 500pF	C _{EXT} = 1000pF	C _{EXT} = 5000pF
1	10	10	10	10	10	10
2	10	10	10	10	10	10
4	10	10	10	10	10	10
8	10	10	10	10	10	10
16	10	10	10	10	10	10
32	10	10	10	10	10	10
64	10	10	10	10	10	10
128	10	10	10	10	10	10

変調器

MAX1402は、シングルビットの2次スイッチトキャパシタ変調器を用いて、アナログデジタル変換を行います。変調器内の単一のコンパレータが、変換される信号の帯域幅よりも大幅に高いサンプルレートで入力信号を量子化します。この量子化器は次に1と0からなる列をデジタルフィルタに送って、周波数シェイピングされた量子化ノイズを除去します。

MAX1402の変調器は、シングルビット量子化器から生じる量子化ノイズの2次周波数シェイピングを備えています。信号雑音比を最大限に高め、電源ノイズに対する耐性を強くするためにこの変調器は完全差動式になっています。

変調器は、マスタークロック周波数(f_{CLKIN})、X2CLKビット、CLKビット及び変調器周波数制御ビットMF1及びMF0によって決まる合計8つの異なるサンプリングレート(f_M)のうちの1つで動作します。これらの各モードにおける電力消費は、変調器のバイアスレベルを制御することにより最適化されています。表15に、入力及びリファレンスサンプルレートを示します。

PGA

変調器の前に、ユーザが利得をx1、x2、x4、x8、x16、x32、x64又はx128(表6)の中から選べる可変利得アンプ(PGA)があります。図7に、次のコードを使用した場合のデフォルトバイポーラ伝達関数を示します：
1) PGA = 0、DAC = 0、2) PGA = 3、DAC = 0、
3) PGA = 3、DAC = 3。

出力ノイズ

表16a及び16bに、MAX1402をf_{CLKIN} = 2.4576MHzで動作させた場合の標準出力周波数(ノッチ)におけるrms雑音及び-3dB周波数を示します。バイポーラ入力範囲、V_{REF} = +2.50V、無バッファ時(BUFF = 0)及びバッファ挿入時(BUFF = 1)における数値が与えられています。これらの数値は、差動アナログ入力電圧0の状態で作られた標準値です。図8に、実効分解能対利得及びノッチ周波数のグラフを示します。実効分解能の値は次式から得ています。

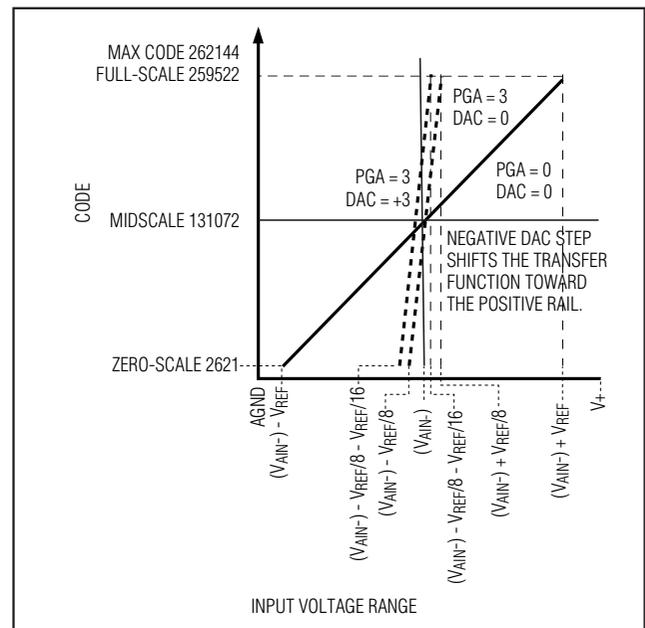


図7. バイポーラ伝達関数に対するPGA及びDACコードの影響

+5V、18ビット、低電力マルチチャネル、 オーバーサンプリング(シグマ-デルタ)ADC

MAX1402

表15. 変調器の動作周波数、サンプリング周波数及び16ビットデータ出力レート

MCLK FREQ. X2CLK = 0 DEFAULT f _{CLKIN} (MHz)	MCLK FREQ. X2CLK = 1 f _{CLKIN} (MHz)	CLK	MF1	MF0	AIN/REFIN SAMPLING FREQ. f _s (kHz)	MOD. FREQ. f _M (kHz)	AVAILABLE OUTPUT DATA RATES AT 16-BIT ACCURACY (sps)
1.024	2.048	0	0	0	16	8	20, 25
1.024	2.048	0	0	1	32	16	40, 50
1.024	2.048	0	1	0	64	32	80, 100
1.024	2.048	0	1	1	128	64	160, 200
2.4576	4.9152	1	0	0	38.4	19.2	50, 60
2.4576	4.9152	1	0	1	76.8	38.4	100, 120
2.4576	4.9152	1	1	0	153.6	76.8	200, 240
2.4576	4.9152	1	1	1	307.2	153.6	400, 480

注記：デフォルト状態は太字。

表16a. MAX1402の雑音対利得及び出力データレート — 無バッファモード、
V_{REF} = 2.5V、f_{CLKIN} = 2.4576MHz

OUTPUT DATA RATE (sps)	-3dB FREQ. (Hz)	TYPICAL OUTPUT NOISE IN μVRMS								BIT STATUS
		PROGRAMMABLE GAIN								
		x1	x2	x4	x8	x16	x32	x64	x128	
										MF1:MF0 = 0
50	13.1	6.20	3.27	2.02	1.25	1.13	1.10	1.05	0.99	FS1:FS0 = 0
60	15.7	7.23	3.94	2.21	1.36	1.20	1.12	1.10	1.10	FS1:FS0 = 1
300	78.6	147.60	70.73	35.10	17.91	9.57	5.05	3.54	2.75	FS1:FS0 = 2
600	157.2	844.82	417.07	216.88	107.06	50.91	26.25	13.26	7.43	FS1:FS0 = 3
										MF1:MF0 = 1
100	26.2	6.98	3.61	1.94	1.24	1.10	1.04	0.98	1.00	FS1:FS0 = 0
120	31.4	7.91	3.93	2.14	1.36	1.17	1.08	1.08	1.10	FS1:FS0 = 1
600	157.2	138.79	73.86	37.69	19.19	9.34	5.15	3.29	2.76	FS1:FS0 = 2
1200	314.4	836.32	405.49	203.35	99.75	52.38	24.50	13.40	7.31	FS1:FS0 = 3
										MF1:MF0 = 2
200	52.4	6.25	4.00	1.96	1.26	1.07	1.02	0.98	1.01	FS1:FS0 = 0
240	62.9	7.00	4.16	2.04	1.34	1.15	1.14	1.09	1.09	FS1:FS0 = 1
1200	314.4	141.69	71.25	35.91	18.11	9.45	5.20	3.38	2.79	FS1:FS0 = 2
2400	628.8	816.66	399.44	200.51	103.04	51.17	26.57	13.88	7.38	FS1:FS0 = 3
										MF1:MF0 = 3
400	104.8	6.87	3.50	2.06	1.31	1.16	1.09	1.13	1.08	FS1:FS0 = 0
480	125.7	8.15	3.84	2.36	1.44	1.28	1.23	1.22	1.21	FS1:FS0 = 1
2400	628.8	150.09	69.17	36.54	18.92	9.67	5.14	3.61	3.12	FS1:FS0 = 2
4800	1258	820.73	419.17	203.74	103.78	51.42	26.47	13.96	7.68	FS1:FS0 = 3

+5V、18ビット、低電力マルチチャネル、 オーバーサンプリング(シグマ-デルタ)ADC

MAX1402

表16b. MAX1402の雑音対利得及び出力データレート — バッファ付モード、
 $V_{REF} = 2.5V$ 、 $f_{CLKIN} = 2.4576MHz$

OUTPUT DATA RATE (sps)	-3dB FREQ. (Hz)	TYPICAL OUTPUT NOISE IN μV_{RMS}								BIT STATUS
		PROGRAMMABLE GAIN								
		x1	x2	x4	x8	x16	x32	x64	x128	
										MF1:MF0 = 0
50	13.1	6.05	4.13	2.35	1.50	1.40	1.32	1.37	1.39	FS1:FS0 = 0
60	15.7	7.11	4.24	2.54	1.64	1.49	1.53	1.49	1.48	FS1:FS0 = 1
300	78.6	142.02	71.62	35.65	18.32	9.35	5.60	4.10	3.52	FS1:FS0 = 2
600	157.2	823.33	405.95	195.95	102.14	50.28	25.85	13.75	7.78	FS1:FS0 = 3
										MF1:MF0 = 1
100	26.2	8.10	3.66	2.25	1.52	1.34	1.31	1.34	1.35	FS1:FS0 = 0
120	31.4	8.37	4.12	2.53	1.64	1.45	1.49	1.45	1.46	FS1:FS0 = 1
600	157.2	143.45	69.52	36.04	17.77	9.32	5.48	3.92	3.41	FS1:FS0 = 2
1200	314.4	830.30	408.48	201.87	101.39	52.39	26.77	13.50	7.87	FS1:FS0 = 3
										MF1:MF0 = 2
200	52.4	6.55	3.21	1.92	1.35	1.24	1.16	1.16	1.10	FS1:FS0 = 0
240	62.9	7.40	3.89	2.24	1.47	1.35	1.29	1.22	1.25	FS1:FS0 = 1
1200	314.4	148.57	73.71	36.80	18.08	9.92	5.26	3.64	3.02	FS1:FS0 = 2
2400	628.8	851.32	408.09	202.57	105.18	52.98	25.71	13.33	7.97	FS1:FS0 = 3
										MF1:MF0 = 3
400	104.8	6.60	3.83	2.21	1.38	1.28	1.21	1.17	1.21	FS1:FS0 = 0
480	125.7	7.58	4.14	2.28	1.58	1.40	1.34	1.30	1.31	FS1:FS0 = 1
2400	628.8	144.96	68.92	35.92	17.36	9.52	5.45	3.79	3.21	FS1:FS0 = 2
4800	1258	803.87	394.00	205.60	102.18	52.48	26.07	13.59	7.89	FS1:FS0 = 3

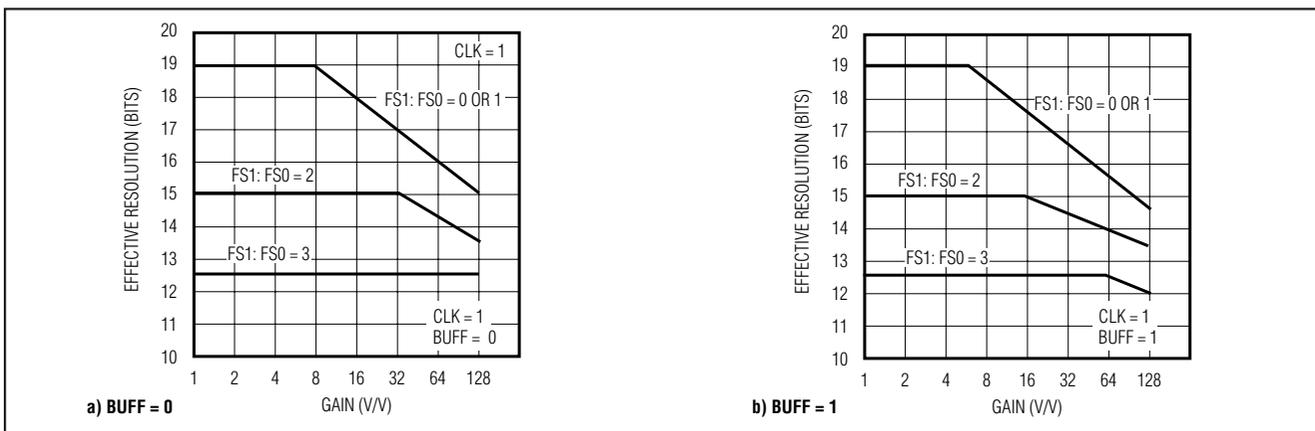


図8. 実効分解能対利得及びノッチ周波数

$$\text{実効分解能} = (SNR_{dB} - 1.76dB) / 6.02$$

可能な最大の信号をデバイスのノイズで割った値SNRdBが、入力フルスケール電圧(即ち $2 \cdot V_{REFIN} / GAIN$)の出力rmsノイズに対する比として定義されます。これは、ピークトゥピーク出力ノイズの数値を使用して計算されないことに注意して下さい。ピークトゥピークノイズの数値は、rms数値の6.6倍にまで達することがあります。ピークトゥピークノイズに基づく実効分解能の数値は、

表に記載されたrmsノイズに基づく実効分解能よりも2.5ビット低くなることがあります。

表16に示すノイズは、デバイスノイズ及び量子化ノイズからなっています。デバイスノイズは比較的低いですが、利得設定が高い場合には制約するノイズ源になります。量子化ノイズはノッチ周波数に依存し、ノッチ周波数が増えると主要なノイズ源となります。

+5V、18ビット、低電力マルチチャネル、 オーバーサンプリング(シグマ-デルタ)ADC

オフセット補正DAC

MAX1402は、変調器入力において粗(3ビットと符号)オフセット補正DACを備えています。このDACを使用して入力信号のオフセット成分を除去することにより、ADCをより感度のよい信号範囲で使用できるようにします。ユニポーラモードにおいて、DACは選択された範囲の $\pm 116.7\%$ ($\pm 16.7\%$ きざみ)までオフセットすることができ、バイポーラモードにおいては、選択された範囲の $\pm 58.3\%$ ($\pm 8.3\%$ きざみ)までオフセットすることができます。DACの値として0が選択されると、DACは変調器入力から完全に切り離されるため、ノイズに寄与しなくなります。図7及び9に、入力範囲及び伝達関数に対するDACコードの影響を示します。

クロック発振器

クロック発振器は、CLKIN及びCLKOUTの間に接続された外部クリスタル(又は共振器)と共に使用するか、外部発振器で、CLKOUTを未接続の状態ではCLKINを直接駆動します。通常動作モードにおいて、MAX1402はCLKINが1.024MHz(CLK=0)又は2.4576MHz(CLK=1、デフォルト)で動作が規定されています。これらの周波数で動作する時、本デバイスはその地域のライン周波数(60Hz又は50Hz)及び付随する高調波で周波数応答のヌル(ゼロ)を生成するように設定できます。

スタンバイモード(STBY=1)においては、シリアルインタフェース及びクロック発振器を除く全ての回路がパワーダウンします。SCLKが静的な時に、インタフェースの消費電力は最小になります。パワーダウンモード(発振器を含む)に入るには、特殊機能レジスタのFULLPDビットをセットして下さい。フルパワーシャットダウンを解除するには、内容が破壊されたレジスタがクリアされるように、マスタークロック信号が確立するまで(外部クリスタル使用の内蔵発振器の場合には通常10ms)待ってから、ハードウェアリセット又はソフトウェアリセットを行って下さい。

多くの場合、周波数の高いクリスタル又は共振器を使用の方が便利です。特に表面実装アプリケーションにおいては、これによって発振器の部品のプリント基板面積を削減し、安価な入手しやすい部品を使用できます。又、デューティサイクルが50%近辺でないクロックソースでデバイスを動作させる必要があるかもしれません。いずれにせよ、MAX1402は最大5MHzのマスタークロックの周波数で動作できます。内部2分周プリスケラによって2.5MHzまでの範囲でデューティサイクルが50%の内部クロック周波数を作ることができます。このプリスケラを起動するには、制御レジスタのX2CLKビットをセットして下さい。CLKINに2.5MHzより高い周波数を利用し、X2CLKモードを使用すると、

デジタル消費電流が多少大きくなることに注意して下さい。

デジタルフィルタ

内蔵デジタルフィルタは、SINC³又はSINC¹フィルタを使用して変調器からの1ビットデータ列を処理します。SINCフィルタは概念的にシンプルで、効率が良く、又非常に融通性が高いために分解能やデータレートを可変にする必要がある場合に特に適しています。又、フィルタノッチ位置は出力データレート(1/データワード周期)に直接関係しているために制御が簡単です。

SINC¹機能は、デフォルトのSINC³フィルタと同じ周波数応答ノッチを保持する一方、セトリング応答が速くなっています。これにより、フィルタの分解能及び量子化ノイズを犠牲にしてセトリングを速くすることができます。SINC¹フィルタは1データワード周期内にセトリングします。ノッチが60Hzの場合(データレート60Hz)、セトリング時間は1/60Hz、即ち16.7msになります。SINC³フィルタの場合は3/60Hz、即ち50msでセトリングします。これらのフィルタ応答間の切換えは、グローバル設定レジスタのFASTビットを使用して行います。セトリングを速くする場合はSINC¹モードを、最高の精度が必要な場合はSINC³を使用して下さい。FASTビットをローにリセットすると、SINC¹モードからSINC³モードに切り替えます。DRDY信号は偽になり、少なくとも3つのデータワード周期後に有効なデータが準備されると再び真になります。

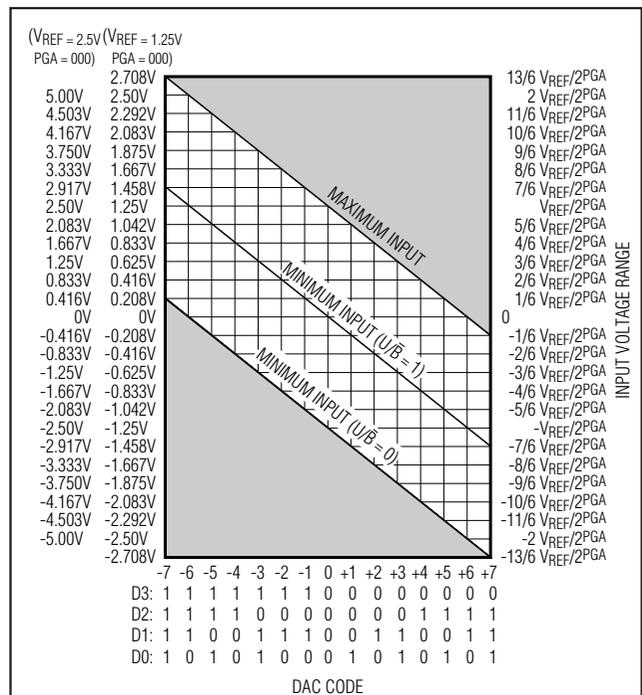


図9. 入力電圧範囲対DACコード

+5V、18ビット、低電力マルチチャネル、 オーバーサンプリング(シグマ-デルタ)ADC

グローバル設定レジスタのMDOUTビットをセットすることにより、デジタルフィルタをバイパスすることができます。MDOUT=1の場合、変調器の生の出力がDOUTで直接得られます。

フィルタの特性

MAX1402のデジタルフィルタは、SINC¹(sinx/x)及びSINC³(sinx/x)³ローパスフィルタ機能を実現します。SINC³機能の伝達関数は、次式で記述される3つのカスケード接続のSINC¹フィルタです。zドメインでの表現は、

$$H(z) = \left[\frac{1}{N} \frac{1 - z^{-N}}{1 - z^{-1}} \right]^3$$

周波数ドメインでの表現は、

$$H(f) = \left[\frac{1}{N} \frac{\sin\left(N\pi \frac{f}{f_M}\right)}{\sin\left(\pi \frac{f}{f_M}\right)} \right]^3$$

となります。ここで、デシメーション係数Nは変調器周波数 f_M の出力周波数 f_N に対する比です。

図10にフィルタ周波数応答を示します。SINC³の特性カットオフ周波数は、最初のノッチ周波数の0.262倍です。このため、最初のフィルタノッチ周波数が60Hzである場合、カットオフ周波数は15.72Hzとなります。図10に示す応答はデジタルフィルタのサンプル周波数(f_M)の両側で、そして関連する高調波($2f_M$ 、 $3f_M$ 、...)の両側で繰り返されます。

SINC³フィルタの応答はSINC¹(平均フィルタ)フィルタの応答と似ていますが、ロールオフがより急峻になっています。デジタルフィルタの出力データレートは、フィルタ周波数応答の最初のノッチの位置に一致します。このため、フィルタの最初のノッチが60Hzになっている図10のグラフでは、出力データレートは60Hzとなります。この(sinx/x)³フィルタのノッチは、最初のノッチ周波数の倍数のところで繰り返されます。SINC³フィルタは、これらのノッチにおいて100dB以上の減衰率を提供します。

グローバル設定レジスタのCLK、X2CLK、MF1、MF0、FS1及びFS0にロードされた値によって、デジタルフィルタのカットオフ周波数を求めて下さい。FS0及びFS1を変えて異なるカットオフ周波数を設定しても、フィルタ応答の形は変わりません。変わるのはノッチの周波数です。例えば、図11はカットオフ周波数として13.1Hz及び最初のノッチ周波数として50Hzを示しています。

入力においてステップ変化があった場合は、有効なデータを読み取れるまでにセトリング時間が必要です。セトリング時間は、そのフィルタのために選択された出力データレートに依存します。フルスケールステップ入力に対するSINC³フィルタのセトリング時間は、出力データ周期の4倍に達することがあります。(FSYNC機能を又は内部スキャンロジックによって)同期されたステップ入力に対するセトリング時間は、出力データ周期の3倍です。

アナログフィルタリング

デジタルフィルタは、変調器サンプル周波数の高調波の近くは除去しません。しかし、MAX1402はオーバ

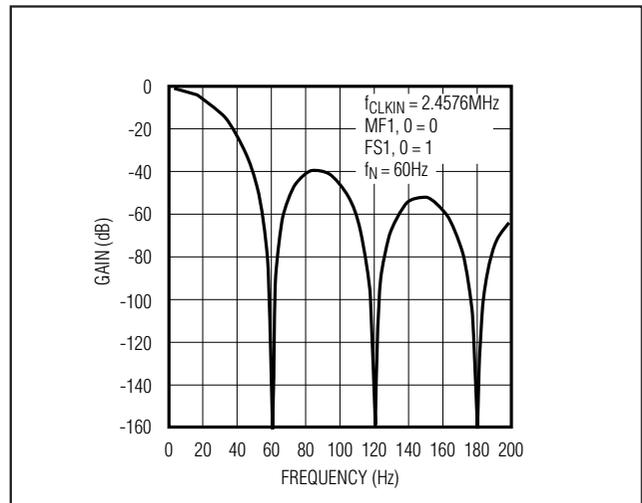


図10. SINC³フィルタの周波数応答(ノッチは60Hz)

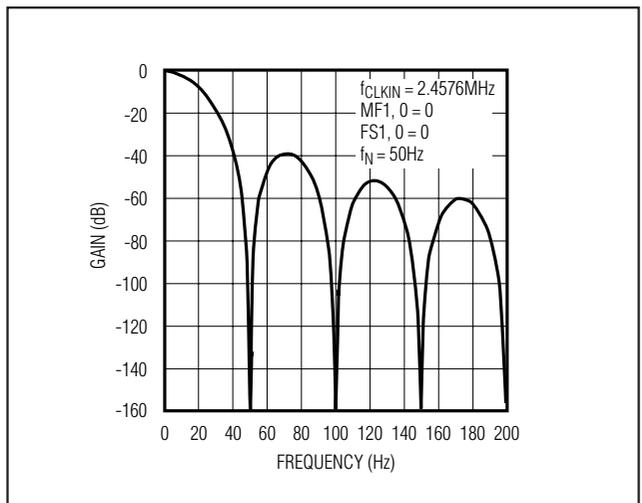


図11. SINC³フィルタの周波数応答(ノッチは50Hz)

+5V、18ビット、低電力マルチチャネル、 オーバーサンプリング(シグマ-デルタ)ADC

サンプリング比が高いため、これらの帯域はスペクトラム中の小部分を占めるに過ぎず、殆どの広帯域ノイズはフィルタリングされます。このため、内蔵フィルタリングを持たない従来のコンバータと比べて、MAX1402での前段のアナログフィルタリングの必要性はかなり少なくなっています。さらに、本デバイスは数kHzまで90dBのコモンモード除去比を持っているため、この周波数範囲におけるコモンモードノイズへの感受性はかなり低減されます。

アプリケーションによっては、MAX1402の前にフィルタリングによって、デジタルフィルタが除去しない望ましくない周波数を除去する必要があります。又、アプリケーションによっては、対象とする周波数帯域の外側の差分ノイズ信号がアナログ変調器を飽和しないようにフィルタリングを追加する必要があります。

無バッファモードのMAX1402の手前に受動部品を配置する場合は、利得誤差が生じないようにソースインピーダンスを十分小さくして下さい(表13)。このため、無バッファモードにおいてMAX1402の手前で使用できる受動アンチエイリアシングフィルタリング量がかなり制限されます。しかし、本デバイスをバッファ付モードで使用する場合は、大きなソースインピーダンスがあっても小さなDCオフセット誤差が生じるだけとなります(ソース抵抗が1kΩの場合10μV以下のオフセット誤差が生じます)。このため、ソースインピーダンスを大きくする必要がある場合は、バッファ付モードの使用を推奨します。

キャリブレーションチャンネル

2つの完全差動キャリブレーションチャンネルにより、システム利得及びオフセット誤差の測定が可能になっています。CALOFFチャンネルを0Vに接続し、CALGAINチャンネルをリファレンス電圧に接続して下さい。CALOFF及びCALGAINの両チャンネルの幾つかの測定値を平均して下さい。平均オフセットコードを差し引き、利得誤差を補正するためにスケールして下さい。このリニアキャリブレーション技法は、アナログ入力におけるソースインピーダンスに起因する誤差を除去するために使用できます(例えば、シンプルなRCアンチエイリアシングフィルタをフロントエンドで使用する場合)。

アプリケーション情報

SPIインタフェース(68HC11、PIC16C73)

ハードウェアSPI(シリアル周辺インタフェース)を備えたマイクロプロセッサは、3線インタフェースを使用してMAX1402にインタフェースできます(図12)。SPI

ハードウェアはSCLK上に8つのパルスからなるグループを生成し、1つのピンにデータをシフトインして他方のピンからシフトアウトします。

最高の結果を得るには、ハードウェア割込みを使用してINTピンを監視し、新しいデータの準備ができた時点でできるだけ早く取り込んで下さい。ハードウェア割込みが使用できない場合、あるいは割込みの待ち時間が選択された変換レートよりも長い場合は、FSYNCビットを使用してデータ出力レジスタ読取り中の自動測定を防いで下さい。

図13のコード例は、68HC11を使用してMAX1402とインタフェースする方法を示しています。システムに依存する初期化コードは図示されていません。

ビットバンギングインタフェース (80C51、PIC16C54)

どのようなマイクロコントローラでも、汎用I/Oピンを使用することによりMAX1402にインタフェースできます。双方向性又はオープンドレインI/Oピンが使用できる場合は、DINをDOUTに接続することによってインタフェースピンの数を減らして下さい(図14)。図15に、SPIをソフトウェアでエミュレートする方法を示します。図13に示したものと同一初期化ルーチンを使用して下さい。

最高の結果を得るには、ハードウェア割込みを使用してINTピンを監視し、新しいデータの準備ができた時点でできるだけ早く取り込んで下さい。ハードウェア割込みが使用できない場合、あるいは割込みの待ち時間が選択された変換レートよりも長い場合は、FSYNCビットを使用してデータ出力レジスタ読取り中の自動測定を防いで下さい。

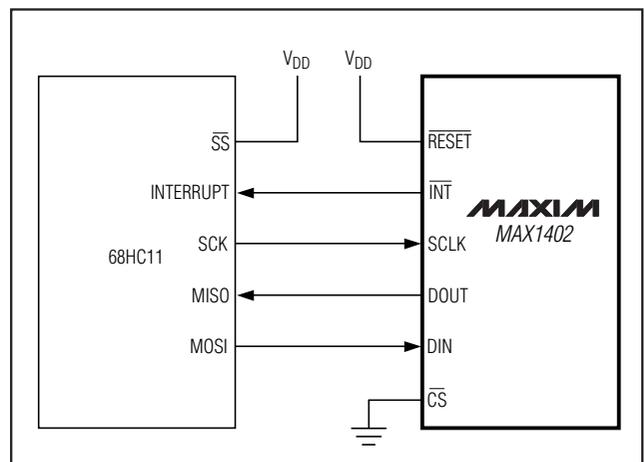


図12. MAX1402から68HC11へのインタフェース

+5V、18ビット、低電力マルチチャネル、 オーバサンプリング(シグマ-デルタ)ADC

MAX1402

```
/* Assumptions:
** The MAX140X's CS pin is tied to ground
** The MAX140X's INT pin drives a falling-edge-triggered interrupt
** MAX140X's DIN is driven by MOSI, DOUT drives MISO, and SCLK drives SCLK
*/

/* Low-level function to write 8 bits using 68HC11 SPI */
void WriteByte (BYTE x)
{
    /* System-dependent: write to SPI hardware and wait until it is finished */
    HC11_SPDR = x;
    while (HC11_SPSR & HC11_SPSR_SPIF) { /* idle loop */ }
}

/* Low-level function to read 8 bits using 68HC11 SPI */
BYTE ReadByte (void)
{
    /* System-dependent: use SPI hardware to clock in 8 bits */
    HC11_SPDR = 0xFF;
    while (HC11_SPSR & HC11_SPSR_SPIF) { /* idle loop */ }
    return HC11_SPDR;
}

/* Low-level interrupt handler called whenever the MAX140X's INT pin goes low.
** This function reads new data from the MAX140X and feeds it into a
** user-defined function Process_Data().
*/
void HandleDRDY (void)
{
    BYTE data_H_bits, data_M_bits, data_L_bits; /* storage for data register */
    WriteByte(0x78); /* read the latest data register value */
    data_H_bits = ReadByte();
    data_M_bits = ReadByte();
    data_L_bits = ReadByte();
    Process_Data(data_H_bits, data_M_bits, data_L_bits);
    /* System-dependent: re-enable the interrupt service routine */
}

/* High-level function to configure the MAX140X's registers
** Refer to data sheet for custom setup values.
*/
void Initialize (void)
{
    /* System-dependent: configure the SPI hardware (CPOL=1,CPHA=1) */
    /* write to all of configuration registers */
    MY_GS1 = 0x0A; MY_GS2 = 0x00; MY_GS3 = 0x00;
    MY_TF1 = 0x00; MY_TF2 = 0x00; MY_TF3 = 0x00;
    WriteByte(0x10); WriteByte(MY_GS1); /* write Global Setup 1 */
    WriteByte(0x20); WriteByte(MY_GS2); /* write Global Setup 2 */
    WriteByte(0x30); WriteByte(MY_GS3); /* write Global Setup 3 */
    WriteByte(0x40); WriteByte(MY_TF1); /* write Transfer Function 1 */
    WriteByte(0x50); WriteByte(MY_TF2); /* write Transfer Function 2 */
    WriteByte(0x60); WriteByte(MY_TF3); /* write Transfer Function 3 */
    /* System-dependent: enable the data-ready (DRDY) interrupt handler */
}
}
```

図13. SPIインタフェースの例

+5V、18ビット、低電力マルチチャネル、 オーバーサンプリング(シグマ-デルタ)ADC

MAX1402

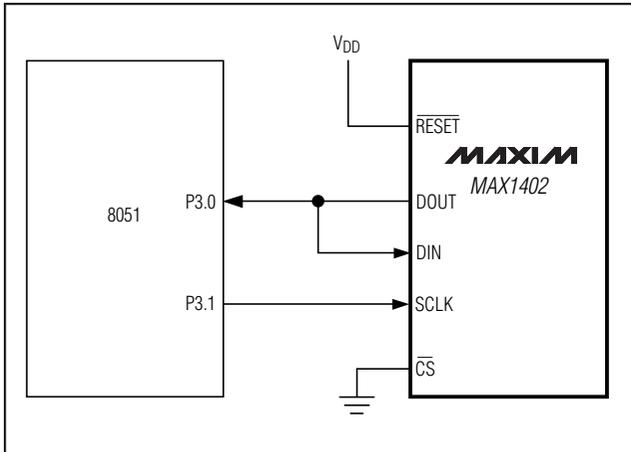


図14. MAX1402から8051へのインタフェース

```
/* Low-level function to write 8 bits
** The example shown here is for a bit-banging system with (CPOL=1, CPHA=1)
*/
void WriteByte (BYTE x)
{
    drive SCK pin high
    count = 0;
    while (count <= 7)
    {
        if (bit 7 of x is 1)
            drive DIN pin high
        else
            drive DIN pin low
        drive SCK pin low
        x = x * 2;
        drive SCK pin high
        count = count + 1;
    }
}

/* Low-level function to read 8 bits
** The example shown here is for a bit-banging system with (CPOL=1, CPHA=1)
*/
BYTE ReadByte (void)
{
    x = 0;
    drive SCK pin high
    count = 0;
    while (count <= 7)
    {
        x = x * 2;
        drive SCK pin low
        if (DOUT pin is high)
            x = x + 1;
        drive SCK pin high
        count = count + 1;
    }
}
return x;
```

図15. ビットバンギングSPIの置き換え方法

+5V、18ビット、低電力マルチチャンネル、 オーバーサンプリング(シグマ-デルタ)ADC

MAX1402

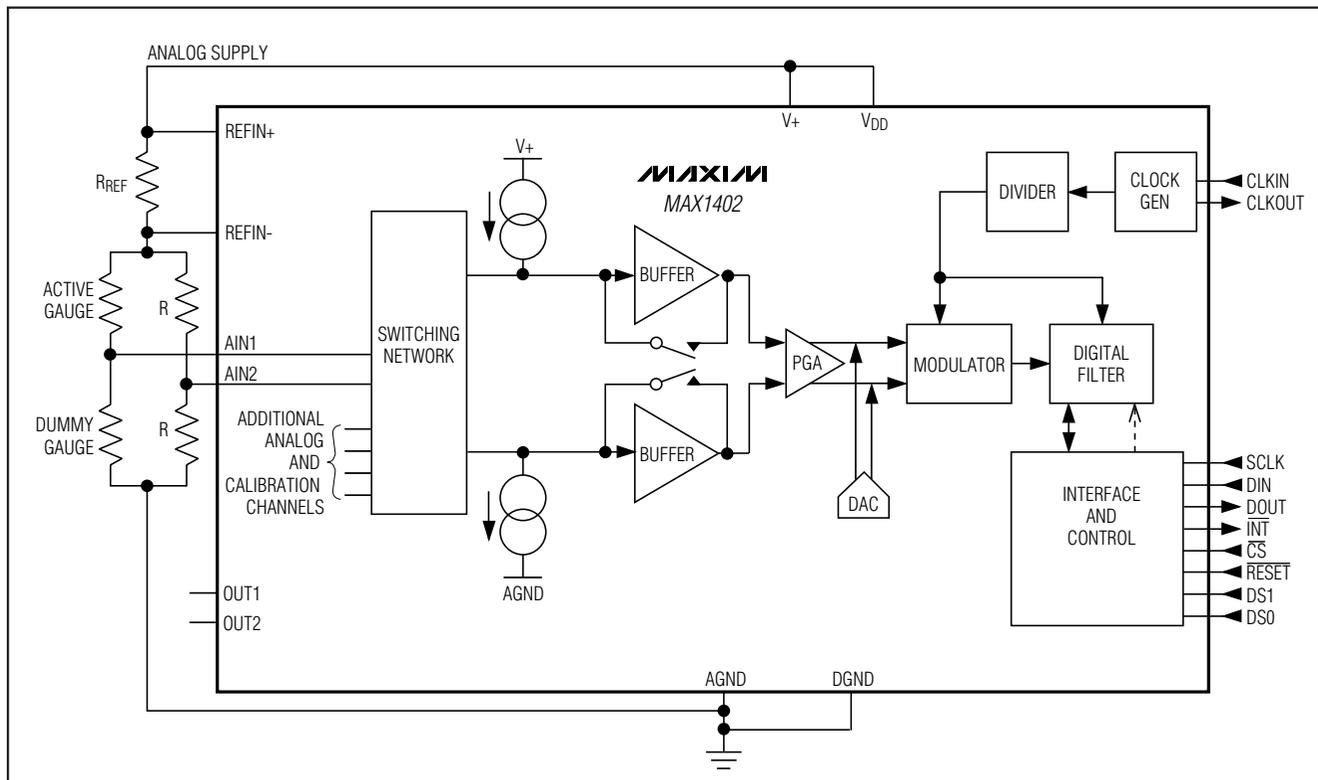


図16. MAX1402のストレイン・ゲージアプリケーション

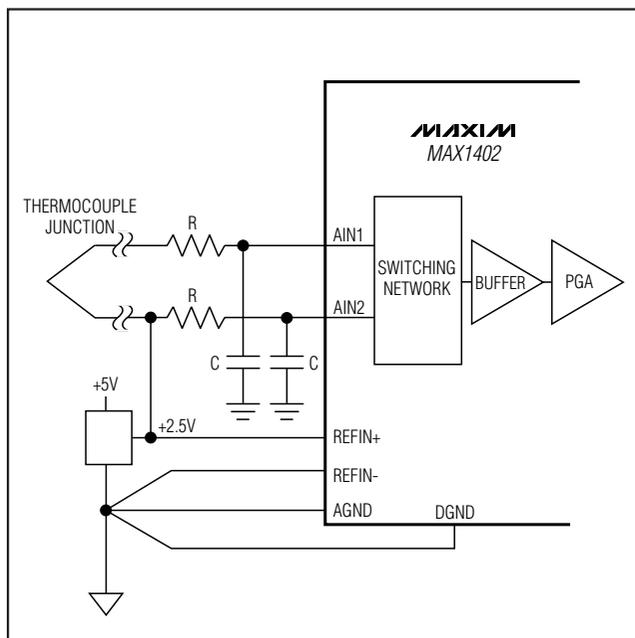


図17. MAX1402使用の熱電対アプリケーション

ストレイン・ゲージの動作

MAX1402の差動入力をストレインゲージのブリッジ回路に接続して下さい。図16において、アナログ正電源電圧がブリッジ回路及びMAX1402とMAX1402のリファレンス電圧を駆動します。内蔵PGAによって、MAX1402はフルスケール20mVという小さなアナログ入力電圧範囲まで扱うことが可能です。本デバイスは差動入力であるため、このアナログ入力範囲の絶対値はAGND~V+の間のどこでも構いません。

温度測定

図17に熱電対からMAX1402への接続を示します。このアプリケーションにおいては、MAX1402はバッファ付モードで動作するため、フロントエンドに大きなデカップリングコンデンサを使用できます。これらのデカップリングコンデンサは、熱電対のリード線が拾うノイズを除去します。MAX1402がバッファ付モードで動作している時は、コモンモード範囲が小さくなります。熱電対からの差動電圧を適切なコモンモード電圧にするため、MAX1402のAIN2入力はリファレンス電圧+2.5Vにバイアスされています。

+5V、18ビット、低電力マルチチャネル、 オーバサンプリング(シグマ-デルタ)ADC

4~20mAループ駆動トランスミッタ

低電力、単一電源動作でフォトカプラとのインタフェースが簡単なMAX1402は、ループ駆動の4~20mAトランスミッタに最適です。ループ駆動のトランスミッタは4~20mAループから電源を得ているため、トランスミッタ回路で有効な電流が4mAに制限されます。ループの許容誤差により、この使用可能電流がさらに3.5mAにまで制限されます。MAX1402は消費電流が僅か250 μ Aであるため、残りのトランスミッタ回路で合計3.25mAを消費することができます。図18に、ループ駆動の4~20mAトランスミッタのブロック図を示します。

電源

MAX1402には特別の電源シーケンスは必要ありません。V+又はV_{DD}のいずれが先でも構いません。MAX1402は優れたラッチアップ性能を持っていますが、ラッチアップを防ぐために、アナログ入力信号(AIN_)又はCLKIN入力の前にMAX1402の電源を投入することが重要です。これが不可能な場合は、これらのピンに流れ込む電流を50mAに制限して下さい。MAX1402とシステムデジタル回路にそれぞれ個別の電源を使用している場合は、MAX1402の電源を先に投入して下さい。

3線及び4線RTD構成

厳密にマッチングされた200 μ Aの電流ソースが、3線及び4線RTD構成における誤差を補償します。3線構成(図19)において電流ソースを1つだけ使用した場合は、

リード抵抗が誤差の原因となります。200 μ AがRL₁を流れて、AIN1とAIN2の間に電圧誤差が生じます。もう1つの電流ソースでRL₂の両端に等価な電圧を生じさせることにより、AIN1とAIN2の差動電圧がリード抵抗に影響されないようにこの誤差を保証することができます。ここでは、両方のリード線が同じ材質で長さが等しく(RL₁=RL₂)、OUT1とOUT2がマッチングされた温度係数(5ppm/°C)を持っていると仮定しています。両方の電流ソースがRL₃を流れてコモンモード電圧が生じますが、これはAIN1及びAIN2の差動電圧に影響を与えません。これらの電流ソースの1つを使用してリファレンス電圧を駆動すると、レシオメトリック測定の精度を高めることができます。

3線構成とは異なり、4線構成(図20)はリード抵抗による誤差がありません。これはAIN1及びAIN2に接続された測定リード線に電流が流れないためです。電流ソースOUT1がRTDの励起電流を供給し、電流ソースOUT2がリファレンス電圧を生成するための電流を供給します。R_{REF}の両端に生じるこのリファレンス電圧により、アナログ入力電圧スパンがリファレンス電圧に対して比率の維持を確実にします。アナログ入力電圧のRTD温度係数誤差はRTD電流ソースの温度ドリフトに起因し、リファレンス電圧の変化によって補償されます。RTDの通常の抵抗は100 Ω であるため、20mVの信号が発生し、MAX1402のアナログ入力に直接扱えます。OUT1及びOUT2の電圧はV+電源電圧から1.0V以内まで許容されます。

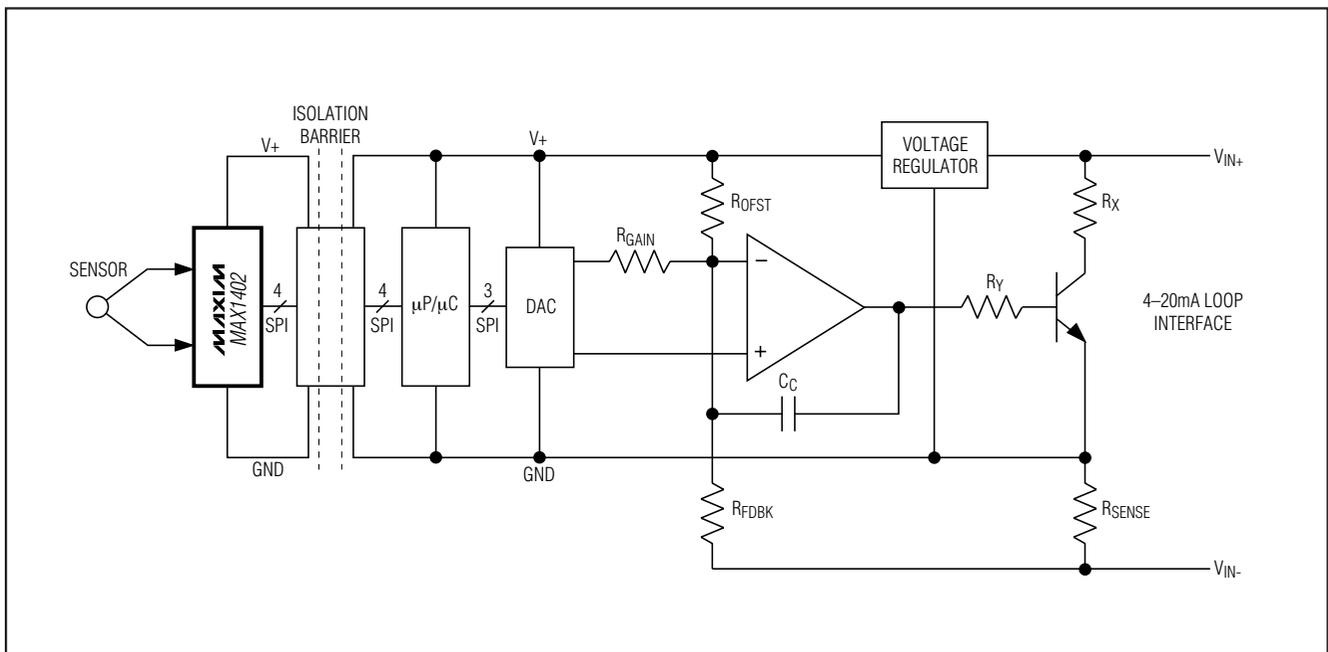


図18. 4~20mAトランスミッタ

+5V、18ビット、低電力マルチチャネル、 オーバーサンプリング(シグマ-デルタ)ADC

MAX1402

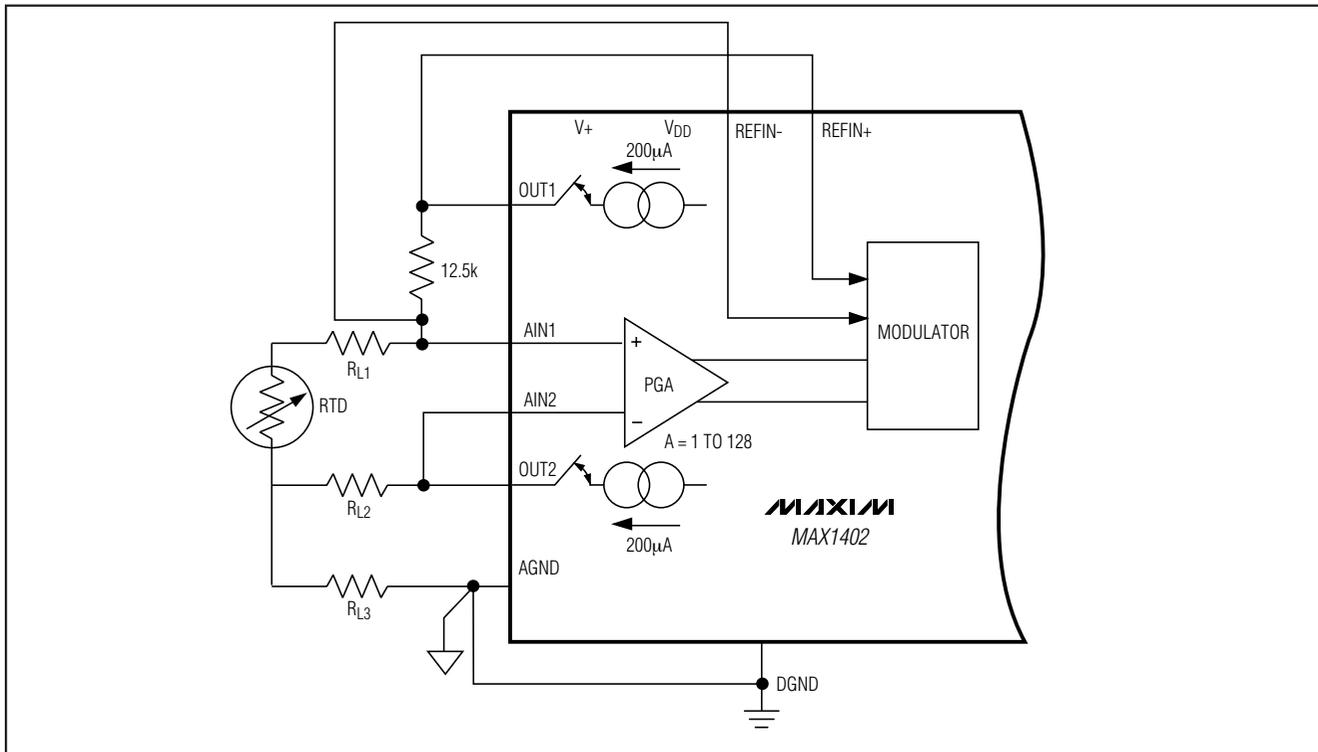


図19. 3線RTDアプリケーション

グラウンディング及びレイアウト

最高の性能を得るために、アナログとデジタルのグラウンドプレーンが別々になったプリント基板を使用して下さい。ワイヤラップ基板はお勧めしません。

プリント基板は、アナログとデジタルのセクションが分離され、各々が基板上の異なる場所に限定されるように設計して下さい。デジタルとアナログのグラウンドプレーンは、1箇所だけで接続して下さい。AGNDとDGNDの接続を必要とするデバイスがMAX1402だけである場合は、グラウンドプレーン同士の接続をMAX1402のAGNDピンとDGNDピンのところで行って下さい。複数のデバイスがAGNDとDGNDの接続を必要とするシステムにおいても、接続は一点だけで行って下さい。星型グラウンドがMAX1402のできるだけ近くに来るようにして下さい。

デジタルラインをデバイスの下に引くのは避けて下さい。これはノイズがチップにカップリングする恐れ

があるためです。アナロググラウンドプレーンをMAX1402の下に引くことによって、デジタルノイズのカップリングを最小限に抑えて下さい。低インピーダンスの経路にするため、また電源ラインのグリッチによる影響を低減するために、MAX1402への電源ラインはできるだけ広くして下さい。

基板上の他の部所への放射ノイズを避けるため、クロック等の高速スイッチング信号をデジタルグラウンドでシールドして下さい。クロック信号をアナログ入力の近くに引かないで下さい。デジタル信号とアナログ信号が交差しないようにして下さい。基板の反対側にあるトレース同士は、互いに直角に引くようにして下さい。これによって基板上のフィードスルーの影響を軽減できます。マイクロストリップ技法が最善ですが、両面基板では不可能な場合もあります。この技法においては、基板の部品面側はグラウンドプレーン専用で使用し、信号はハンダ面側に配置されます。

+5V、18ビット、低電力マルチチャネル、 オーバーサンプリング(シグマ-デルタ)ADC

MAX1402

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

SSOP:EPS

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.068	0.078	1.73	1.99
A1	0.002	0.008	0.05	0.21
B	0.010	0.015	0.25	0.38
C	0.004	0.008	0.09	0.20
D	SEE VARIATIONS			
E	0.205	0.212	5.20	5.38
e	0.0256 BSC		0.65 BSC	
H	0.301	0.311	7.65	7.90
L	0.025	0.037	0.63	0.95
α	0 $^{\circ}$	8 $^{\circ}$	0 $^{\circ}$	8 $^{\circ}$

D	INCHES		MILLIMETERS		N
	MIN	MAX	MIN	MAX	
D	0.239	0.249	6.07	6.33	14L
D	0.239	0.249	6.07	6.33	16L
D	0.278	0.289	7.07	7.33	20L
D	0.317	0.328	8.07	8.33	24L
D	0.397	0.407	10.07	10.33	28L

NOTES:

1. D&E DO NOT INCLUDE MOLD FLASH.
2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .15 MM (.006").
3. CONTROLLING DIMENSION: MILLIMETERS.
4. MEETS JEDEC MO150.
5. LEADS TO BE COPLANAR WITHIN 0.10 MM.

PROPRIETARY INFORMATION

TITLE:
PACKAGE OUTLINE, SSOP, 5.3 MM

APPROVAL	DOCUMENT CONTROL NO. 21-0056	REV. C	1/1
----------	---------------------------------	-----------	-----

チップ情報

TRANSISTOR COUNT: 34,648

SUBSTRATE CONNECTED TO AGND

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

38 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2002 Maxim Integrated Products, Inc. All rights reserved.

MAXIM is a registered trademark of Maxim Integrated Products.