

MAXIM

トラック/ホールド、リファレンス内蔵 500ksp/s、12ビットADC

概要

MAX120およびMAX122は、全機能を内蔵したBiCMOS、サンプリング12ビットA/Dコンバータで、トラック/ホールド(T/H)と低ドリフト電圧リファレンスを内蔵し、高速な変換速度と低消費電力性能を備えています。T/Hがもつ350nsのアクイジション時間とMAX120の1.6 μ sの変換時間の組み合わせにより、最大500kサンプリング/秒(ksp/s)のスループット・レートを提供します。変換時間が2.6 μ sのMAX122では、333ksp/sのスループット・レートを実現することができます。

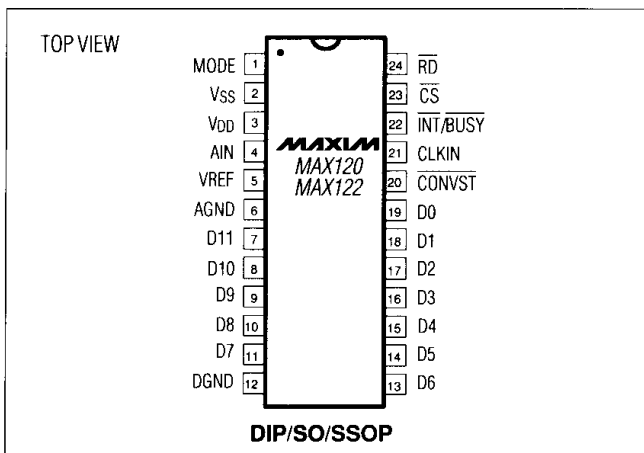
MAX120/MAX122は、-5V~+5V範囲のアナログ電圧を入力可能です。唯一必要な外付け部品は、電源およびリファレンス電圧用のデカップリング・コンデンサのみです。MAX120は0.1MHz~8MHzのクロック周波数で動作し、MAX122は0.1MHz~5MHzのクロック周波数で動作します。

MAX120/MAX122は、標準マイクロプロセッサ(μ P)インタフェースを備えています。3ステートのデータ出力は12ビット・データバスにおいて動作するように構成できます。データアクセスおよびバスリリース・タイミングの仕様は最もポピュラーな μ Pとコンパチブルであり、ウェイトステートを挿入する必要はありません。さらに、MAX120/MAX122はFIFOバッファと直接インタフェースすることが可能であり、 μ Pには実質的に割込みオーバーヘッドが生じません。すべての入出力はTTLおよびCMOSコンパチブルです。シリアル・インタフェースが必要な用途においては、MAX121をお勧めします。

アプリケーション

デジタル信号処理(DSP)
オーディオおよびテレコミュニケーション処理
音声認識および合成
高速データ・アクイジション
スペクトラム分析
データ・ロギング・システム

ピン配置



特長

- ◆12ビット分解能
- ◆動作温度範囲にてノーミッシング・コード
- ◆20ppm/ $^{\circ}$ Cの-5V内部リファレンス
- ◆1.6 μ s変換時間/500ksp/sスループット(MAX120)
- ◆2.6 μ s変換時間/333ksp/sスループット(MAX122)
- ◆低ノイズ、低歪み：
 - 70dB MinのSINAD
 - 77dB MaxのTHD(MAX122)
- ◆低消費電力：210mW
- ◆独立したトラック/ホールド制御入力
- ◆連続変換モード可能
- ◆ \pm 5Vの入力レンジ、 \pm 15Vまでの過電圧入力を許容
- ◆24ピンナローDIP、ワイドSOPおよびSSOPパッケージ

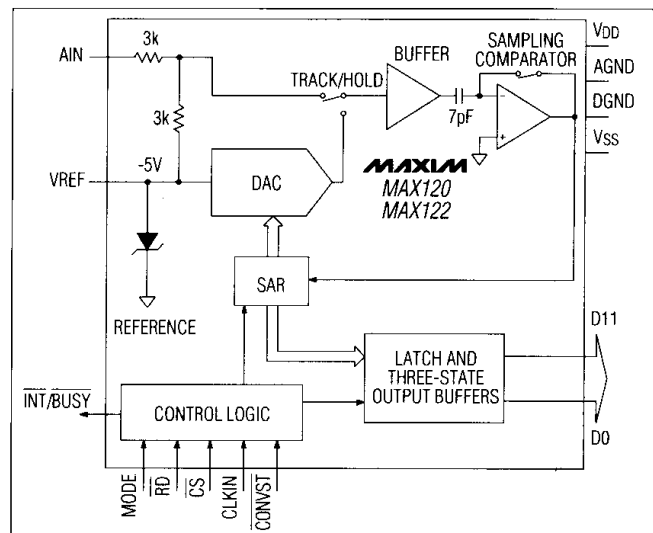
型番

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSBs)
MAX120CNG	0 $^{\circ}$ C to +70 $^{\circ}$ C	24 Narrow Plastic DIP	\pm 1
MAX120CWG	0 $^{\circ}$ C to +70 $^{\circ}$ C	24 Wide SO	\pm 1
MAX120CAG	0 $^{\circ}$ C to +70 $^{\circ}$ C	24 SSOP	\pm 1
MAX120C/D	0 $^{\circ}$ C to +70 $^{\circ}$ C	Dice*	\pm 1
MAX120ENG	-40 $^{\circ}$ C to +85 $^{\circ}$ C	24 Narrow Plastic DIP	\pm 1
MAX120EWG	-40 $^{\circ}$ C to +85 $^{\circ}$ C	24 Wide SO	\pm 1

Ordering Information continued on last page.

*Contact factory for dice specifications.

ファンクションダイアグラム



トラック/ホールド、リファレンス内蔵 500ksp/s, 12ビットADC

MAX120/MAX122

ABSOLUTE MAXIMUM RATINGS

V _{DD} to DGND	-0.3V to +6V
V _{SS} to DGND	+0.3V to -17V
A _{IN} to A _{GN} D	±15V
A _{GN} D to DGND	±0.3V
Digital Inputs/Outputs to DGND	-0.3V to (V _{DD} + 0.3V)
Continuous Power Dissipation (T _A = +70°C)	
Narrow Plastic DIP (derate 13.33mW/°C above +70°C)	1067mW
SO (derate 11.76mW/°C above +70°C)	941mW
SSOP (derate 8.00mW/°C above +70°C)	640mW
Narrow CERDIP (derate 12.50W/°C above +70°C)	1000mW

Operating Temperature Ranges:

MAX12_C__	0°C to +70°C
MAX12_E__	-40°C to +85°C
MAX12_MRG	-55°C to +125°C
Storage Temperature Range	-65°C to +160°C
Lead Temperature (soldering, 10 sec)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +4.75V to +5.25V, V_{SS} = -10.8V to -15.75V, f_{CLK} = 8MHz for MAX120 and 5MHz for MAX122, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ACCURACY						
Resolution	RES		12			Bits
Differential Nonlinearity (Note 1)	DNL	12-bit no missing codes over temp. range			±3/4	LSB
			MAX122AC/AE		±1	
		11-bit no missing codes over temp. range			±2	
Integral Nonlinearity (Note 1)	INL				±3/4	LSB
			MAX120C/E, MAX122BC/BE/BM		±1	
			MAX120M		±2	
Bipolar Zero Error (Note 1)		Code 00.00 to 00.01 transition, near A _{IN} = 0V			±3	LSB
		Temperature drift			±0.005	LSB/°C
Full-Scale Error (Notes 1, 2)		Including reference; adjusted for bipolar zero error; T _A = +25°C			±8	LSB
Full-Scale Temperature Drift		Excluding reference		±1		ppm/°C
Power-Supply Rejection Ratio (Change in FS, Note 3)	PSRR	V _{DD} only, 5V ±5%		±1/4	±3/4	LSB
		V _{SS} only, -12V ±10%		±1/4	±1	
		V _{SS} only, -15V ±5%		±1/4	±1	
ANALOG INPUT						
Input Range			-5		5	V
Input Current		A _{IN} = +5V (approximately 6kΩ to REF)			2.5	mA
Input Capacitance (Note 4)					10	pF
Full-Power Input Bandwidth				1.5		MHz
REFERENCE						
Output Voltage		No external load, A _{IN} = 5V, T _A = +25°C	-5.02		-4.98	V
External Load Regulation		0mA < I _{SINK} < 5mA, A _{IN} = 0V			5	mV
Temperature Drift (Note 5)		MAX12_C/E			±25	ppm/°C
		MAX12_M			±30	

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = +4.75V to +5.25V, V_{SS} = -10.8V to -15.75V, f_{CLK} = 8MHz for MAX120 and 5MHz for MAX122, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
DYNAMIC PERFORMANCE (MAX120: f _S = 500kHz, A _{IN} = ±5Vp-p, 100kHz; MAX122: f _S = 333kHz, A _{IN} = ±5Vp-p, 50kHz)							
Signal-to-Noise Plus Distortion	SINAD	T _A = +25°C	MAX120, MAX122	70	72		dB
			MAX122AC/AE	70			
			MAX122BC/BE/BM	69			
Total Harmonic Distortion (First Five Harmonics)	THD	T _A = +25°C	MAX120		-82	-77	dB
			MAX122		-85	-78	
			MAX122AC/AE			-77	
			MAX122BC/BE/BM			-75	
Spurious-Free Dynamic Range	SFDR	T _A = +25°C	MAX120	77	82		dB
			MAX122	78	85		
			MAX122AC/AE	77			
			MAX122BC/BE/BM	75			
CONVERSION TIME							
Synchronous	t _{CONV}	13t _{CLK}	MAX120			1.63	μs
			MAX122			2.60	
Clock Frequency	f _{CLK}		MAX120	0.1		8	MHz
			MAX122	0.1		5	
DIGITAL INPUTS (CLKIN, CONVST, RD, CS)							
Input High Voltage	V _{IH}			2.4			V
Input Low Voltage	V _{IL}					0.8	V
Input Capacitance (Note 4)						10	pF
Input Current		V _{IN} = 0V or V _{DD}				±5	μA
DIGITAL OUTPUTS (INT/BUSY, D11-D0)							
Output Low Voltage	V _{OL}	I _{SINK} = 1.6mA				0.4	V
Output High Voltage	V _{OH}	I _{SOURCE} = 1mA		V _{DD} - 0.5			V
Leakage Current	I _{LKG}	V _{IN} = 0V or V _{DD} , D11-D0				±5	μA
Output Capacitance (Note 4)						10	pF
POWER REQUIREMENTS							
Positive Supply Voltage	V _{DD}	Guaranteed by supply rejection test		4.75		5.25	V
Negative Supply Voltage	V _{SS}	Guaranteed by supply rejection test		-10.80		-15.75	V
Positive Supply Current (Note 6)	I _{DD}	V _{DD} = 5.25V, V _{SS} = -15.75V, A _{IN} = 0V			9	15	mA
Negative Supply Current (Note 6)	I _{SS}	V _{DD} = 5.25V, V _{SS} = -15.75V, A _{IN} = 0V			14	20	mA
Power Dissipation (Note 6)		V _{DD} = 5V, V _{SS} = -12V, A _{IN} = 0V			210	315	mW

Note 1: These tests are performed at V_{DD} = 5V, V_{SS} = -15V. Operation over supply is guaranteed by supply rejection tests.

Note 2: Ideal full-scale transition is at +5V - 3/2LSB = +4.9963V, adjusted for offset error.

Note 3: Supply rejection defined as change in full-scale transition voltage with the specified change in supply voltage = (FS at nominal supply) - (FS at nominal supply ± tolerance), expressed in LSBs.

Note 4: For design guidance only, not tested.

Note 5: Temperature drift is defined as the change in output voltage from +25°C to T_{MIN} or T_{MAX}. It is calculated as

$$TC = (\Delta V_{REF}/V_{REF})/(\Delta T)$$

Note 6: CS = RD = CONVST = 0V, MODE = 5V

トラック/ホールド、リファレンス内蔵 500ksp/s, 12ビットADC

MAX120/MAX122

TIMING CHARACTERISTICS

(V_{DD} = +5V, V_{SS} = -12V to -15V, 100% tested, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.) (Note 7)

PARAMETER	SYMBOL	CONDITIONS	T _A = +25°C			MAX12_C/E			MAX12_M			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
\overline{CS} to \overline{RD} Setup Time	t _{CS}		0			0			0			ns
\overline{CS} to \overline{RD} Hold Time	t _{CH}		0			0			0			ns
CONVST Pulse Width	t _{CONVST}		30			30			30			ns
\overline{RD} Pulse Width	t _{RD}		t _{DA}			t _{DA}			t _{DA}			ns
Data-Access Time	t _{DA}	C _L = 100pF	40	75			100			120		ns
Bus-Relinquish Time	t _{DH}		30	50			65			80		ns
\overline{RD} or \overline{CONVST} to \overline{BUSY}	t _{B0}	C _L = 50pF	30	75			100			120		ns
CLKIN to \overline{BUSY} or \overline{INT}	t _{B1}	C _L = 50pF	70	110			150			180		ns
CLKIN to \overline{BUSY} Low	t _{B2}	In mode 5	45	90			120			150		ns
\overline{RD} to \overline{INT} High	t _{tH}	C _L = 50pF	30	50			75			90		ns
\overline{BUSY} or \overline{INT} to Data Valid	t _{BD}	C _L (Data) = 100pF C _L (\overline{INT} , \overline{BUSY}) = 50pF		20			30			35		ns
Acquisition Time (Note 8)	t _{AQ}		350			350			400			ns
Aperture Delay (Note 8)	t _{AP}			10								ns
Aperture Jitter (Note 8)				30								ps

Note 7: Control inputs specified with t_r = t_f = 5ns (10% to 90% of +5V) and timed from a 1.6V voltage level. Output delays are measured to +0.8V if going low, or +2.4V if going high. For bus-relinquish time, a change of 0.5V is measured. See Figures 1 and 2 for load circuits.

Note 8: For design guidance only, not tested.

端子説明

ピン	名称	機能
1	MODE	モード入力。結線により動作モードを設定 V _{DD} : 単一変換、 \overline{INT} 出力 OPEN : 単一変換、 \overline{BUSY} 出力 DGND : 連続変換、 \overline{BUSY} 出力
2	V _{SS}	負電源ピン、-12Vまたは-15V
3	V _{DD}	正電源ピン、+5V
4	A _{IN}	サンプルするアナログ入力、±5Vバイポーラ入力
5	VREF	-5Vリファレンス出力。22μFと0.1μFを並列に用いてAGNDにバイパス

ピン	名称	機能
6	AGND	アナログ・グランド
7-11, 13-19	D11-D0	3ステート・データ出力。D11(MSB)~D0(LSB)
12	DGND	デジタル・グランド
20	$\overline{\text{CONVST}}$	変換開始入力。立下りエッジにおいて変換を開始します。
21	CLKIN	クロック入力。0.1~8MHz(MAX120)または、0.1~5MHz(MAX122)のTTLコンパチブル・クロックで駆動します。
22	$\overline{\text{INT}}/\overline{\text{BUSY}}$	変換状況を示すINT(割込み)またはBUSY出力。MODEピンが V_{DD} に接続されている場合にはINT出力となります。MODEピンがオープンまたはDGNDに接続されている場合にはBUSY出力となります。動作ブロック図を参照。
23	$\overline{\text{CS}}$	チップ・セレクト入力、アクティブロー。RDがローのとき3ステート出力をイネーブします。CONVSTおよびRDがローのとき、CSの立下りエッジにおいて変換を開始します。
24	$\overline{\text{RD}}$	リード入力、アクティブロー。CSがローのとき、RDは3ステート出力をイネーブします。CONVSTとCSがローのとき、RDの立下りエッジにおいて変換を開始します。

詳細

ADCの動作

MAX120/MAX122は、逐次比較と入力T/H回路を用いてアナログ信号を連続した12ビットのデジタル出力コードに変換します。制御ロジックは多くの μP と容易にインタフェースが可能であり、殆どの用途において僅かな受動素子しか必要としません。T/Hは外付けコンデンサを必要としません。図3に、最も単純なMAX120/MAX122の動作構成を示します。

アナログ入力トラック/ホールド

図4に、ADCアナログ・コンパレータのサンプリング方式を表した入力等価回路を示します。内蔵バッファはホールド・コンデンサを充電し変換の間に必要なアクイジション時間を最小化します。アナログ入力は、10pFコンデンサと並列な6k Ω の抵抗として現れます。

各変換の間、バッファの入力は入力抵抗を介してAINに接続されます。そして変換が開始するとバッファの入力はAINから切り離され、入力をサンプリングします。変換の終了時にバッファ入力はAINに再度接続され、ホールド・コンデンサは再び入力電圧によって充電されます。

T/Hは、変換が進行していない場合、常にトラックング・モードにあります。そして変換が開始してから約10ns後にホールド・モードとなります。ある変換と次の変換におけるこの遅延時間のばらつき(アパーチャ・ジッタ)は、標準で30psです。図7から図11に、さまざまなインタフェース・モードにおけるT/Hモードとインタフェース・タイミングを示します。

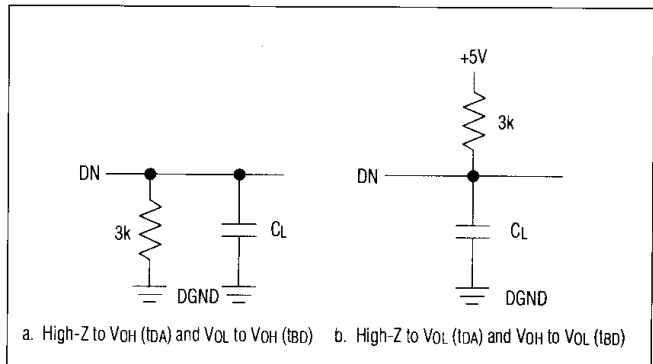


図1. アクセス時間測定用負荷回路

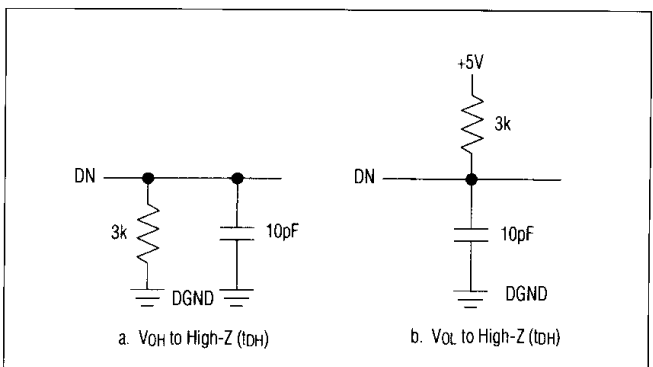


図2. バス開放時間測定用負荷回路

トラック/ホールド、リファレンス内蔵 500ksp/s、12ビットADC

MAX120/MAX122

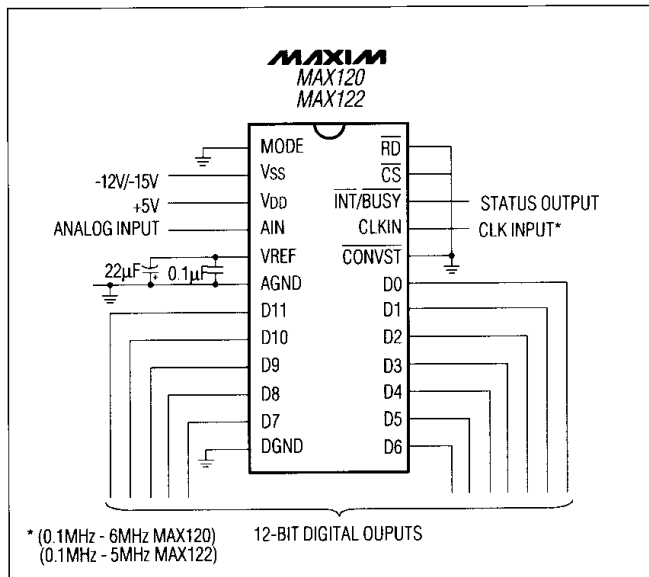


図3. 最も単純な動作モード（連続変換）におけるMAX120/MAX122の構成

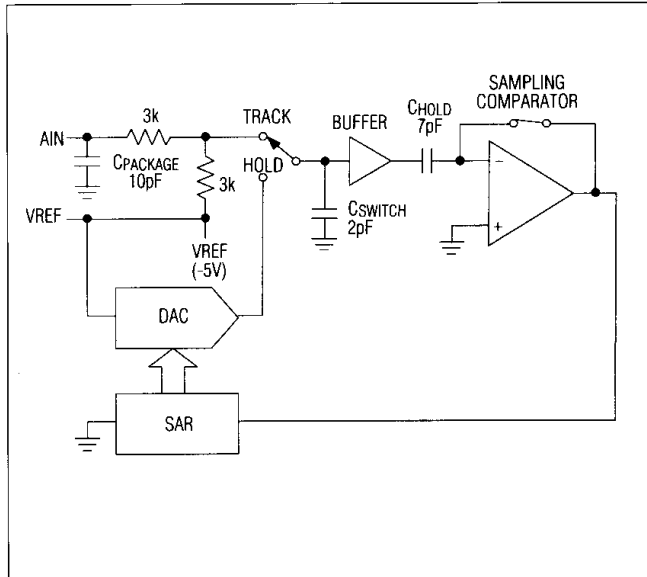


図4. 入力等価回路

内部リファレンス

MAX120/MAX122の-5.00Vの埋込み型ツェナ・リファレンスは、内部DACをバイアスします。このリファレンスの出力はVREFピンから出力され、0.1μFのセラミック・コンデンサと22μF以上の電解コンデンサの並列構成によってAGNDピンにバイパスする必要があります。リファレンス出力バッファを正しく補償するために、電解コンデンサの等価直列抵抗(ESR)は100mΩ以下にしてください。

正しいバイパス処理によってリファレンス・ノイズは最小となり、高周波においても低インピーダンスを維持します。内部リファレンスの出力バッファは、外部の負荷に対して5mAまでシンク可能です。

外部リファレンス電圧の電圧レンジが、-5.05V~-5.10Vで最小でも5mAをシンクすることが可能な場合、MAX120/MAX122の内部リファレンスをオーバードライブできます。その場合でも外部VREF用バイパス・コンデンサは必要です。

デジタル・インタフェース

外部クロック

MAX120/MAX122は正常動作のために、TTLコンパチブルのクロックを必要とします。MAX120は、モード1~4（「動作モード」を参照）において0.1~8MHzの周波数レンジのクロックを必要とします。モード5においては、最大クロック周波数は6MHzに制限されています。MAX122は全ての動作モードにおいて、0.1~5MHzのクロックを必要とします。MAX120とMAX122の最小クロック周波数は、T/Hのドループのため0.1MHzに制限されています。

クロックおよび制御信号の同期化

クロックおよび変換開始入力(CONVSTまたはRDとCS、「動作モード」を参照)の同期がとれていない場合、変換時間は13~14クロック・サイクルの範囲内で変動します。逐次比較レジスタ(SAR)の状態はCLKIN入力の立上りエッジにおいて常に変化します。変換時間を一定にする方法については、図5および以下のガイドラインを参考にしてください。

13クロック・サイクルの変換時間を得るためには、変換開始入力は、遅くとも次のCLKINの立上りエッジの50ns前までにローとなる必要があります。14クロック・サイクルの変換時間を得るためには、変換開始入力はCLKINの次の立上りエッジの10ns以内にローとなる必要があります。変換開始入力がCLKINの次の立上りエッジの前の10~50nsの間にローとなった場合には、変換に必要なクロック・サイクル数は不定となり、13サイクルまたは14サイクルのいずれかになります。最良のアナログ性能を得るためには、変換開始入力をクロック入力に同期させる必要があります。

出力データ・フォーマット

変換結果は12ビット・データバス上に出され、データアクセス時間は75nsです。出力データフォーマットは2の補数形式です。3つの入力制御信号(CS、RDおよびCONVST)、コンバータ出力状態のINT/BUSY、そして12ビットの出力データは、16ビット・データバスに直接インタフェースすることができます。

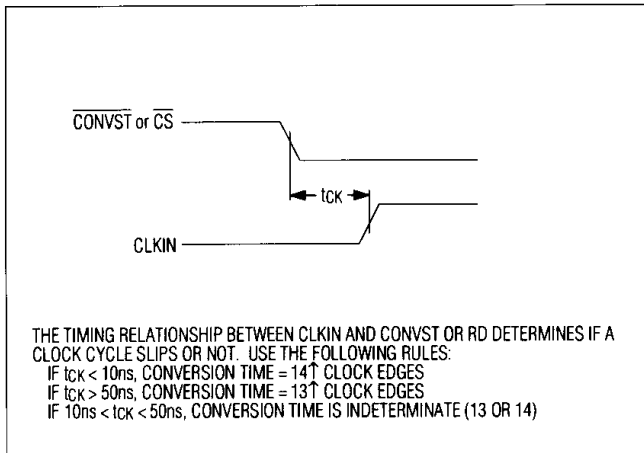


図5. クロックおよび制御信号の同期化

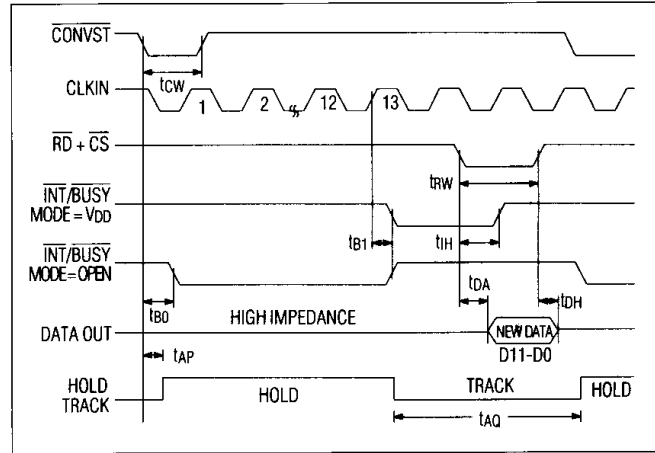


図7. 完全制御モード(モード1)

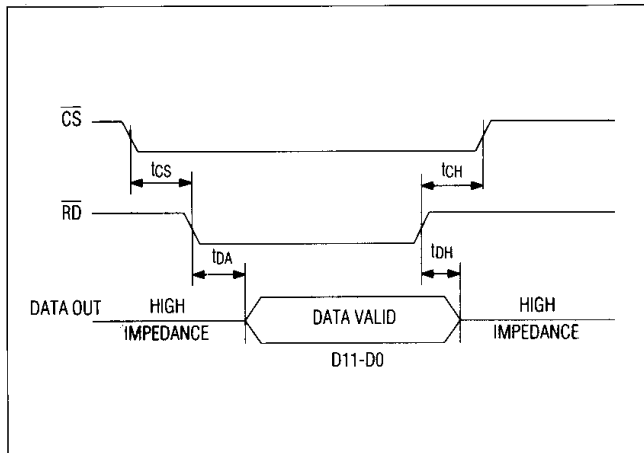


図6. データアクセスおよびバス開放タイミング

タイミングと制御

MAX120/MAX122は5つの動作モードを備えています。それらについて図7~11に概要を示し「動作モード」の節で解説します。

完全制御モード(モード1)は変換の開始とデータの読出し操作を最大限に制御可能です。完全制御モードは、ウェイトステート機能をもつ μP 、またはもたない μP 用です。単独動作モード(モード2)および連続変換モード(モード5)は、 μP の無いシステム、あるいはFIFOバッファやダイレクト・メモリ・アクセス(DMA)ポートを介してADCと μP を結合するシステムにおいて用います。低速メモリ・モード(モード3)は、ADCが変換を実行している間、ウェイトステートに入る μP 用のモードです。ROMモード(モード4)は、ウェイトステートに入ることのできない μP 用のモードです。

5つの動作モードの全てに於いて、変換の開始は $\overline{\text{CONVST}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{CS}}$ の3つのデジタル入力ピンのうちのいずれか1つに

よって制御されます。図12に変換回路の等価論理を示します。すべての変換モードにおいて、変換を行う際には $\overline{\text{CONVST}}$ はローである必要があります。変換を実行している間、再スタートはできません。

読出し動作は $\overline{\text{RD}}$ と $\overline{\text{CS}}$ によって制御します。データを読み出す際には、これらのデジタル入力をいずれもローとします。 $\overline{\text{INT}}/\overline{\text{BUSY}}$ 出力はコンバータの状態を示し、最後の変換結果をいつ得られるのか、を判断するために用います。MODE入力により $\overline{\text{INT}}/\overline{\text{BUSY}}$ 出力を以下のように構成することができます。

MODE = V_{DD} の場合： $\overline{\text{INT}}/\overline{\text{BUSY}}$ は、割込み出力として機能します。この構成では、変換の終了時に $\overline{\text{INT}}/\overline{\text{BUSY}}$ はローとなり、変換データが読み取られるとハイに戻ります。

MODE = オープンまたはDGNDの場合： $\overline{\text{INT}}/\overline{\text{BUSY}}$ は、BUSY出力として機能します。この場合、 $\overline{\text{INT}}/\overline{\text{BUSY}}$ は変換の開始時にローとなり変換が終了するまでロー状態を保ちます。変換の終了時に、データはD0~D11に現れます。

電源投入時の初期化

電源投入時に以下の条件が満たされていないならば、MAX120/MAX122の最初の変換結果は無効となります。

- 1) 内蔵T/Hがトラック・モードに入るための14クロック・サイクルと、トラック・モードにおける最低350nsのアクイジション時間。
- 2) リファレンス電圧が確実に安定していること。そして、リファレンスのバイパス・コンデンサ1 μF ごとに0.5msの遅延をおくこと(22 μF のコンデンサでは11ms)。

トラック/ホールド、リファレンス内蔵 500kps、12ビットADC

MAX120/MAX122

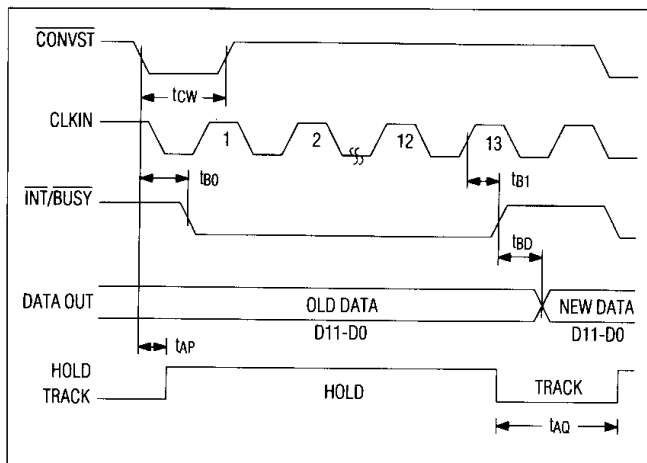


図8. 単独動作モード(モード2)

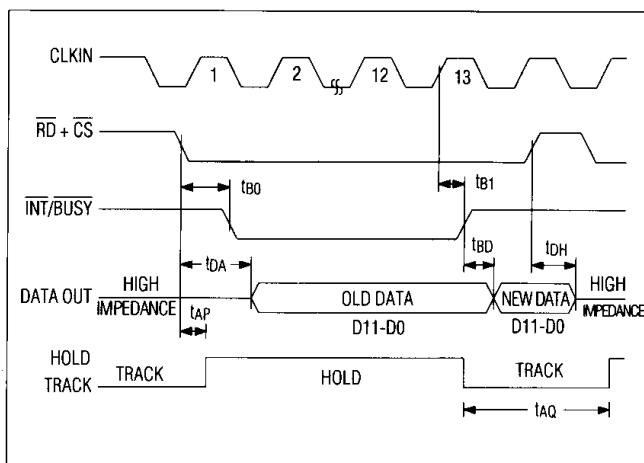


図9. スローメモリ・モード(モード3)

動作モード

モード1：(完全制御モード)

図7に完全制御モード(モード1)のタイミング図を示します。このモードでは、 μP が変換の開始とデータの読出し動作を個々に制御します。

CONVSTの立下りエッジにおいて、T/Hはホールド・モードに入りSAR内での変換を開始します。「クロックおよび制御信号の同期化」の節で述べたように、変換は13ないし14クロック・サイクルで終了します。INT/BUSY出力の状態変化により以下のように変換の終了が通知されます。

MODE = V_{DD} ：変換の終了は、INT/BUSY出力の立下りエッジによって通知されます。

MODE = オープンまたはDGND：変換の実行中はINT/BUSY出力がローで、変換終了時にハイに戻ります。

変換が終了すると、RDおよびCSをローとし、CONVSTをハイに保つことで、新しい変換を開始することなくデータを読み出すことができます。データの読出しを行わずに新しい変換を開始する際には、RDおよびCSをハイに保ったまま、CONVSTをローとします。データの読出しと新しい変換の開始を同時に行うためには、CONVST、RDおよびCSをすべてローとします。変換の終了から次の変換までには、T/Hのアクイジション時間を得るために少なくとも350nsの遅延をおいてください。

モード2：単独動作モード

(MODE = オープン、RD = CS = DGND)

フルバス・インタフェースを用いないシステムや、それが

必要なシステムでは、MAX120/MAX122を、DMAポートやFIFOバッファを介してメモリと直接リンクすることができる単独動作モードを用いることができます。単独動作モードにおいては、変換はCONVSTの立下りエッジにおいて開始します。データ出力は常にイネーブルされており、変換終了を示すINT/BUSYの立上りエッジにおいてデータが変化します。図8に単独動作モードのタイミングを示します。

モード3：スローメモリ・モード

(CONVST = GND、MODE = オープン)

RDおよびCSをローとすることにより、T/Hはホールド・モードとなり変換が開始します。INT/BUSYは、変換の実行中ローレベルを維持するため、 μP のウエイト入力として用いることができます。INT/BUSYによって変換の終了が通知されるまでデータバス上には前回の交換結果が出力されています。図9に、スローメモリ・モードのタイミングを示します。

モード4：ROMモード

(MODE = オープン、CONVST = GND)

ROMモードでは、MAX120/MAX122は高速メモリのように振舞い、 μP がウエイト状態に入るのを防ぎます。RDとCSをローとすることでT/Hはホールド・モードとなって変換が開始し、前回の交換結果を読み出すことができます。この動作モードでは、あるシーケンスにおいて最初に読み出されるデータの内容は常に無意味です。2回目の読出し動作は、最初の変換結果にアクセスするとともに新しい変換を開始します。連続する読出し動作の時間間隔は、T/Hのアクイジション時間とMAX120/MAX122の変換時間の合計以上にする必要があります。図10にROMモードのタイミングを示します。

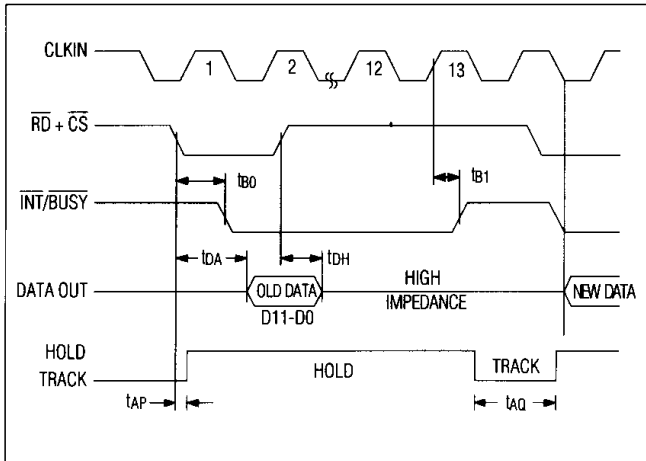


図10. ROMモード(モード4)

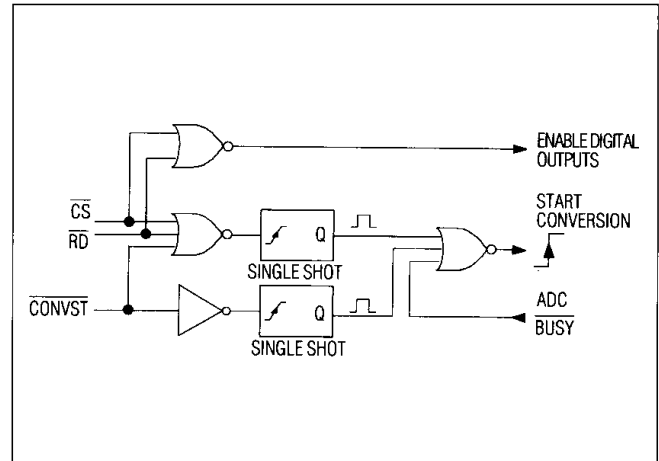


図12. 変換制御ロジック

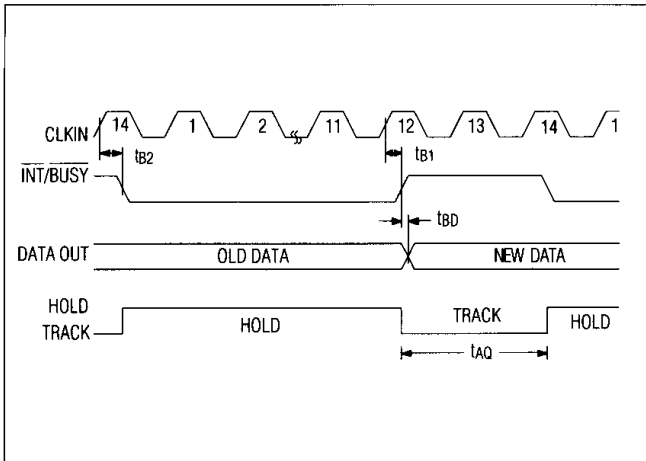


図11. 連続変換モード(モード5)

モード5：連続変換モード
(CONVST=RD=CS=MODE=GND)

フルバス・インタフェースを用いないか、必要としないシステムでは、MAX120/MAX122は、DMAポートやFIFOバッファを介して直接メモリとリンクすることが可能な連続変換モードで動作することができます。このモードでは、毎回の変換はT/Hアキュイジション時間の2クロック・サイクルを含めて14クロック・サイクルごとに繰り返して連続的に実行されます。2クロック・サイクル以内に350nsの最小アキュイジション時間仕様を満足するために、MAX120の最大クロック周波数はモード5において6MHzに制限されています。

データ出力は常にイネーブルされており、新しいデータはINT/BUSYの立上りエッジが示す変換の終了のたびに出力バス上に現れます。MODE入力はGNDに結線しておく必要があります。CS、RDまたはCONVSTをハイとすることにより、変換を中断することができます。図11に、連続変換モードのタイミングを示します。

アプリケーション情報

FIFOバッファの使用

FIFOメモリを用いてMAX120からのデータ・ブロックをバッファすることにより、μPは、MAX120がμPの介在無しに変換データをFIFOに書き込んでいる間にデータを処理することが可能となるため、割込みによるオーバーヘッド時間を取り除くことができます。データ・ブロックを取り出す際には、μPはFIFOから読み出し割込みサイクルを介してデータを読み出します。FIFOの読み出しおよび書き込み動作は完全に非同期です。図13に、MAX120を連続変換モード(モード5)で動作させ、IDT7200 256×9FIFOバッファに428ksp/sのレートで直接データを書き込むための構成を示します。1msに約3回アクティブとなるFIFOのハーフフル(HF)フラグによってμPに割込みをかけ、蓄積されたデータの読み出しを行います。500ksp/s動作では、8MHzのクロックを用いCONVSTに500kHzのパルスを与えます。FIFOが一杯になるとフル・フラグ(FF)がアクティブになります。このフラグを無視した場合、データは失われます。CS、RDまたはCONVSTをハイとすることにより、必要に応じて変換を中断することができます。FIFOの読み出しサイクル時間は15nsと高速なため、ほとんどのシステムの速度要求を満足します。RESET入力は、FIFO内のすべてのデータを0にリセットします。

同期動作では、「動作モード」の節で述べたようにCONVSTピンによって変換を開始することができます(モード2：単独動作モード)。

デジタルバス・ノイズ

変換の実行中にADCのデータバスがアクティブになると、データ・ピンとADCのコンパレータが結合し、誤差が生じる原因となります。スローメモリ・モード(モード3)を用いて

トラック/ホールド、リファレンス内蔵 500ksp/s、12ビットADC

MAX120/MAX122

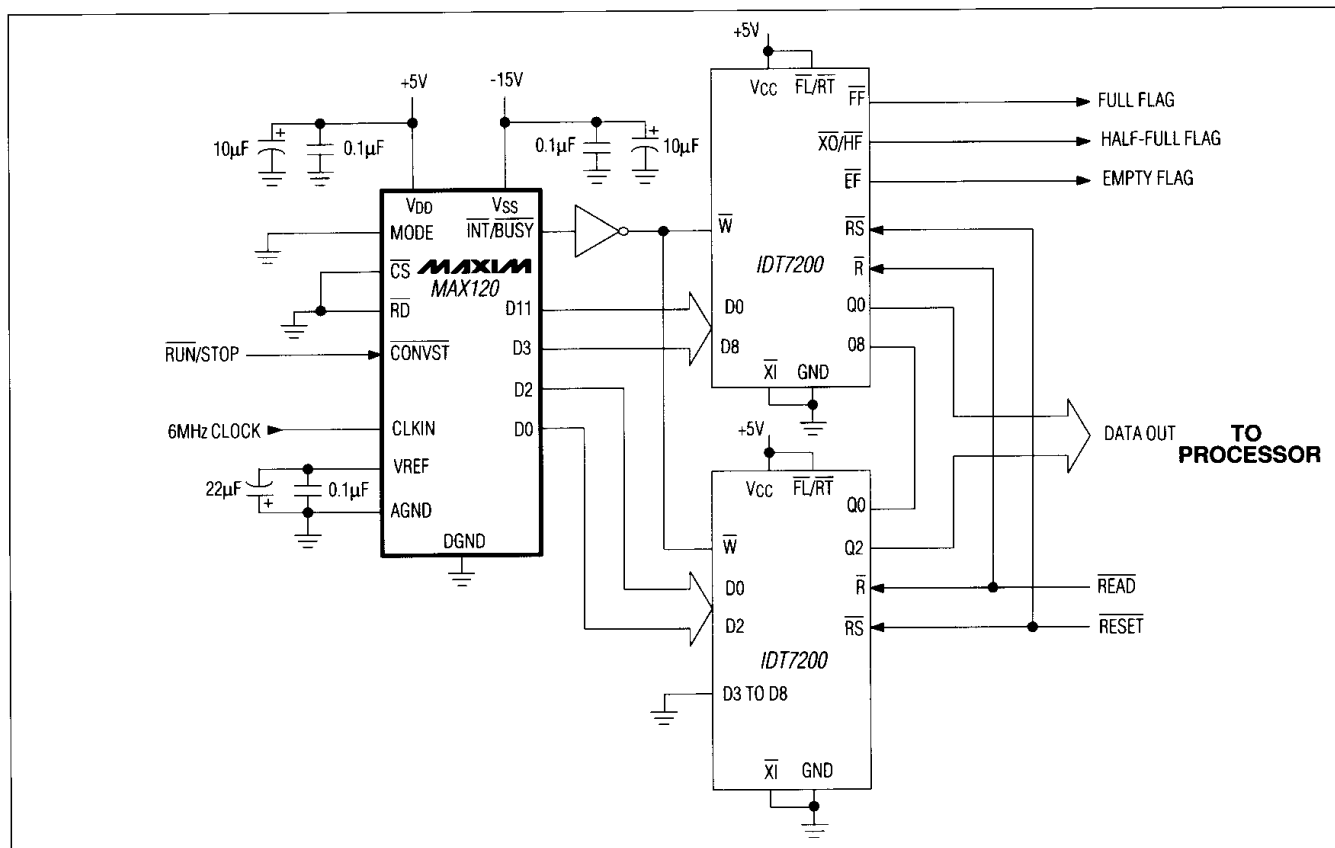


図13. MAX120とFIFOメモリを用いた構成

変換の実行中は μP をウェイトステートに置くことにより、この問題を回避することができます。モード1またはモード4において、変換の実行中にデータバスがアクティブの場合、バスをADCから切り離すために3ステート・ドライバを用いてください。

ROMモード(モード4)では、変換を開始した後、出力バッファをディゼーブルするために \overline{RD} または \overline{CS} をハイとしたとき、大きなデジタル・ノイズがADC内に発生します。SARがコンパレータの判定結果をラッチすると同時にこのノイズが発生した場合、誤差の原因となります。この問題を回避するためには、 \overline{RD} と \overline{CS} は少なくとも1クロック・サイクルの間アクティブに保ってください。このような対策がとれない場合、 \overline{RD} または \overline{CS} を、CLKINの立下りエッジと同時にハイにしてください。これはコンパレータ出力がラッチされるのは常にCLKINの立上りエッジであるからです。

レイアウト、グラウンドおよびバイパス処理

最良のシステム性能を得るためには、アナログとデジタルの独立したグラウンド・プレーンをもつプリント基板を用

いてください。ワイヤラップ・ボードはお勧めできません。図14に示すように、2つのグラウンド・プレーンを低インピーダンスの電源ソースにおいて相互に結合してください。

基板のレイアウトを行う際には、デジタル信号とアナログ信号のラインはできるかぎり接近しないように配置してください。アナログ・ラインとデジタル・ライン(特にクロック)が並列にならないように注意してください。

ADCの高速コンパレータは V_{DD} および V_{SS} 電源ライン内の高周波ノイズに対して敏感です。これらの電源は、 $0.1\mu F$ と $10\mu F$ のバイパス・コンデンサを用いてアナログ・グラウンド・プレーンにバイパスしてください。最良のノイズ除去性能を得るため、コンデンサのリード線はできる限り短くします。 $+5V$ 電源のノイズが非常に大きい場合、図14に示すように 5Ω の抵抗を接続してください。図15は負電源(V_{SS})除去比の周波数特性、図16は正電源(V_{DD})除去比の周波数特性を、それぞれ 5Ω 抵抗を接続した場合と接続していない場合について示しています。

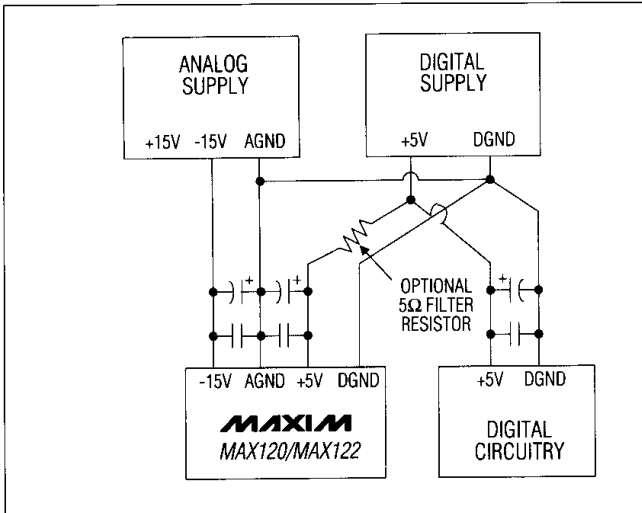


図14. 電源のグランド処理

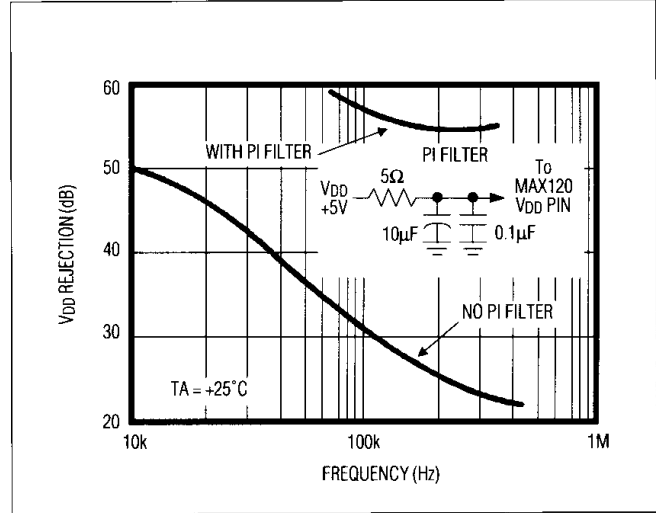


図16. V_{DD} 電源除去比対周波数

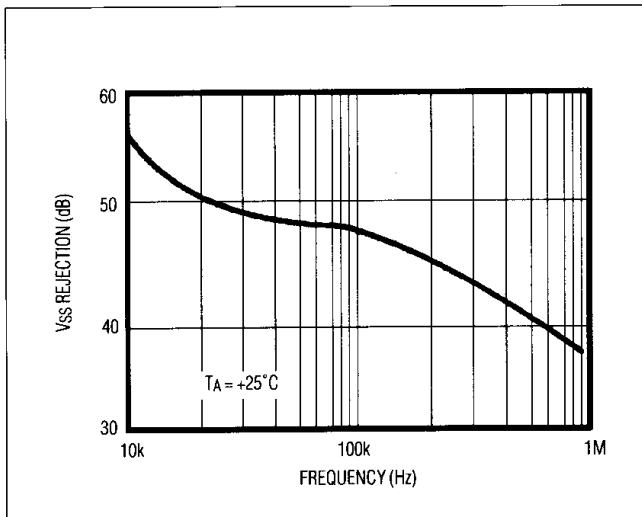


図15. V_{SS} 電源除去比対周波数

ゲインとオフセット調整

図17は、MAX120/MAX122のバイポーラ入出力伝達関数のプロットです。コード遷移は連続する整数LSB値の間で起こります。出力コーディングは2の補数バイナリ形式で、 $1\text{LSB} = 2.44\text{mV} (10\text{V}/4096)$ です。

ゲイン(フルスケール・レンジ)調整を必要とする応用では、図18に示す回路を用いることができます。オフセットとゲイン(フルスケール・レンジ)のいずれも調整する必要がある場合、図19または図20の回路を用いることができます。いずれの回路においても、オフセットはゲインの前に調整してください。

図19の回路でバイポーラ・オフセットを調整する場合、ア

ンプの非反転入力に $+1/2\text{LSB} (0.61\text{mV})$ を与え、出力コードが0000 0000 0000と0000 0000 0001の間でふらつくように $R4$ を調整します。フルスケールの調整時には、アンプの入力に $FS - 1/2\text{LSB} (2.4988\text{V})$ を与え、出力コードが0111 1111 1110と0111 1111 1111の間でふらつくように $R2$ を調整します。これらの調整には若干の相互作用があります。図19の回路で得たMAX120/MAX122の伝達関数は、フルスケール・レンジが 2.5V となる点を除き、図17と同一です。

図20の回路を用いてバイポーラ・オフセットを調整する際には、 V_{IN} に $-1/2\text{LSB} (-1.22\text{mV})$ を与え、出力コードが0000 0000 0000と0000 0000 0001の間でふらつくように $R5$ を調整します。ゲイン調整では、 $-FS + 1/2\text{LSB} (-4.9951\text{V})$ を V_{IN} に与え、出力コードが0111 1111 1110と0111 1111 1111の間でふらつくように $R1$ を調整します。図20の回路では、オフセットとゲイン調整は相互に作用します。図21は図20の回路から得た伝達関数です。

ダイナミック性能

高速サンプリング能力と500kspsのスループット(MAX122では333ksps)をもつことから、MAX120/MAX122は広帯域信号処理への応用に理想的です。信号処理やその他の関連する応用をサポートし、定格スループットにおけるADCのダイナミック周波数応答、歪みおよびノイズを保証するため、高速フーリエ変換(FFT)テスト技法を用いています。特に、低歪み正弦波をADC入力に与え、規定の時間にわたってデジタル変換結果を記録するテストが含まれています。そしてこのデータをFFTアルゴリズムを用いて解析し、周波数成分を決定しています。

トラック/ホールド、リファレンス内蔵 500ksp/s、12ビットADC

MAX120/MAX122

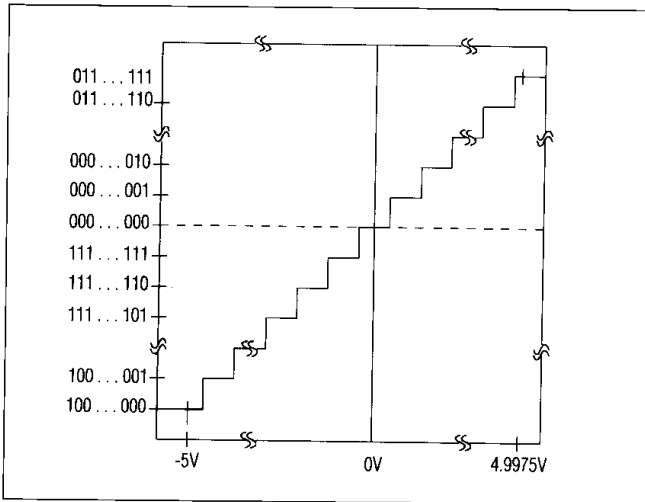


図17. バイポーラ伝達関数

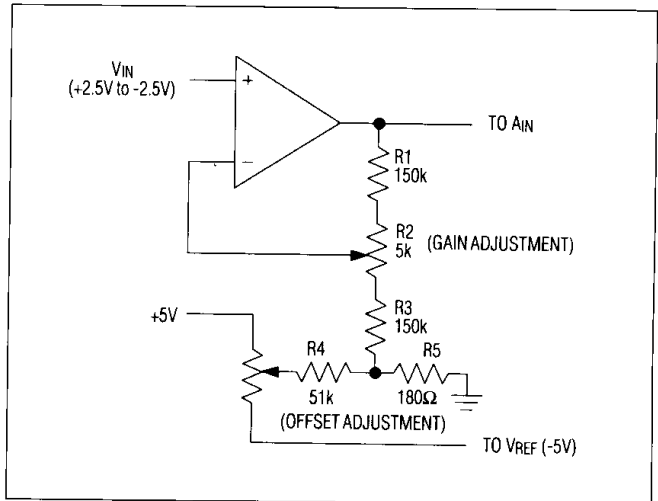


図19. オフセットおよびゲイン調整(非反転)

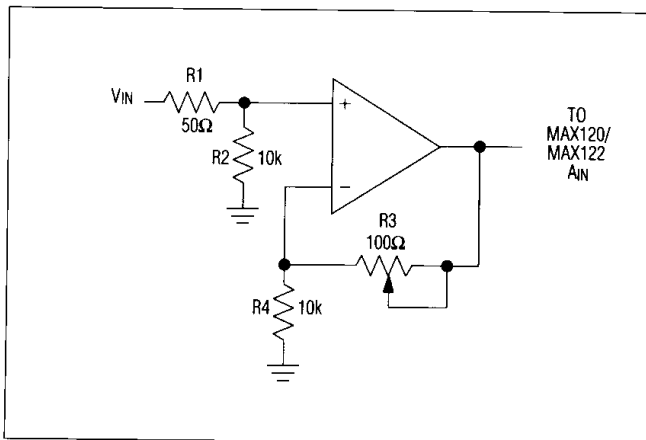


図18. ゲインのみの調整回路

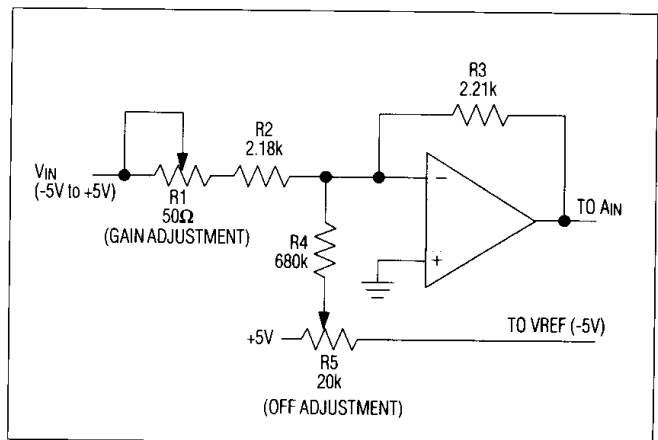


図20. オフセットおよびゲイン調整(反転)

従来からADCの評価は、ゼロおよびフルスケール誤差、積分非直線性(INL)、微分非直線性(DNL)などの仕様によって行われてきました。これらのパラメータは、DCやゆるやかに変化する信号についての性能の規定には広く受け入れられていますが、ADCがシステムの伝達関数に与える影響が重要な信号処理用途においてはほとんど意味がありません。さまざまなDC誤差の大きさはダイナミック性能においてはあまり意味をもたず、異なるテストが必要となります。

信号-ノイズ比と有効ビット数

信号-ノイズ+歪み比(SINAD)は基本入力周波数のRMS振幅と、その他すべてのADC出力信号のRMS振幅の比です。出力帯域はDC以上でADCのサンプル・レートの1/2以下の周波数に制限されています。

理論上の最小ADCノイズは、量子化誤差に起因し、ADCの分解能から直接得ることができます。SNR = (6.02N + 1.76) dB、ここでNは分解能のビット数です。理想的な12ビットADCは最高で74dBのSNRを実現可能です。FFTプロットは、さまざまな周波数帯域における出力レベルを示します。図22は、MAX120を用いて純粋な100kHz正弦波を500ksp/sレートでサンプルした際のFFTプロットです。

分解能とSNRの式を変形しSINADの実測値を与えることにより、ADCの有効分解能(あるいは、有効ビット数): $N = (SINAD - 1.76) / 6.02$ を得ることができます。図22は、MAX120の有効ビット数を入力周波数の関数として示しています。MAX122も同様の性能です。

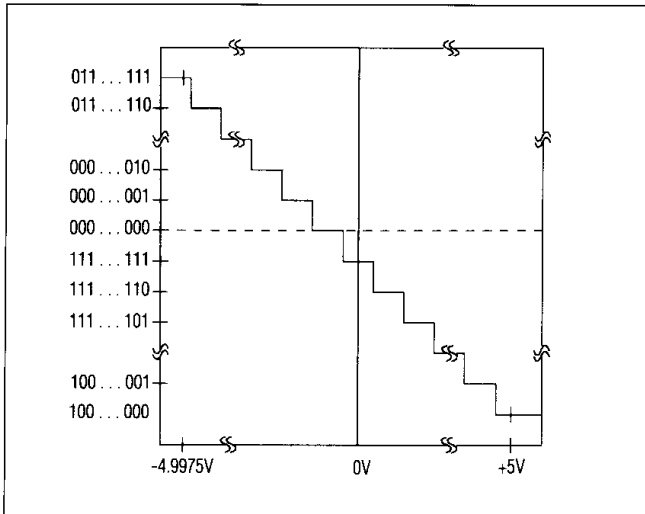


図21. 反転バイポーラ伝達関数

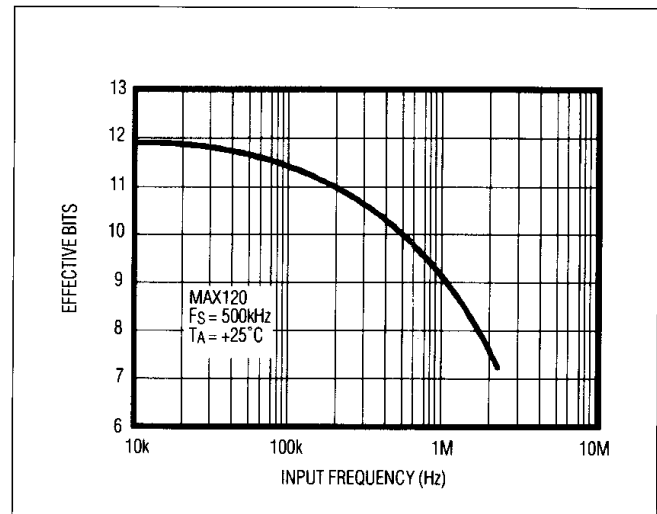


図23. 有効ビット数対入力周波数

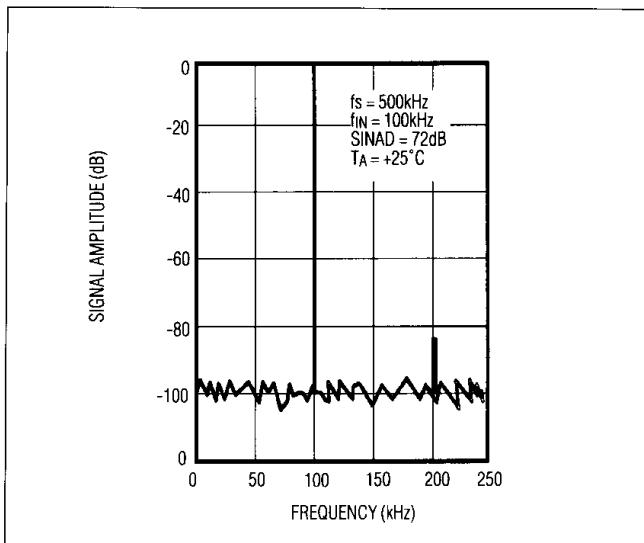


図22. MAX120FFTプロット

全高調波歪み

ADCがナイキスト周波数以上において純粋な正弦波をサンプルした場合、ADCの伝達関数内の非直線性は、サンプルされた出力データ内に入力周波数の高調波を生成します。

全高調波歪み (THD) は、すべての高調波のRMS和 (DCを除くDCからサンプル・レートの1/2までの周波数帯域) と、基本周波数のRMS振幅の比です。これは次の式で表現することができます。

$$\text{THD} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_N^2}}{V_1}$$

ここで、 V_1 は基本波のRMS振幅、 $V_2 \sim V_N$ は第2次～第N次の高調波の振幅です。電気的特性に示したTHDの規格は、第2次から第5次の高調波を含んでいます。

混変調歪み

ADCの入力信号が1つ以上の周波数成分から構成されている場合、ADCの伝達関数の非直線性により、THDに加えて混変調歪み (IMD) が生じます。IMDは、他の異なった周波数の正弦波によって発生する、正弦波入力の変化です。

それぞれ周波数 f_a と f_b をもつ2つの純粋な正弦波がADCの入力に与えられるとき、ADCの伝達関数内の非直線性は、2つの周波数の和と差の周波数 $m f_a \pm n f_b$ ($m, n = 0, 1, 2, 3, \dots$) において歪み成分を生成します。THDは m または n がゼロでの、これらの歪み成分を含んでいます。混変調歪みは m と n のいずれもが非0の、すべての歪み成分から構成されています。例えば、第2次IMDは $(f_a + f_b)$ と $(f_a - f_b)$ を含んでおり、第3次IMDは $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$ を含んでいます。

2つの入力正弦波の振幅が等しい場合、第2次IMD成分の大きさ (dB) は次の式で表すことができます。

$$\text{IMD}(f_a \pm f_b) = 20 \log \left[\frac{(f_a \pm f_b) \text{ における振幅}}{f_a \text{ における振幅}} \right]$$

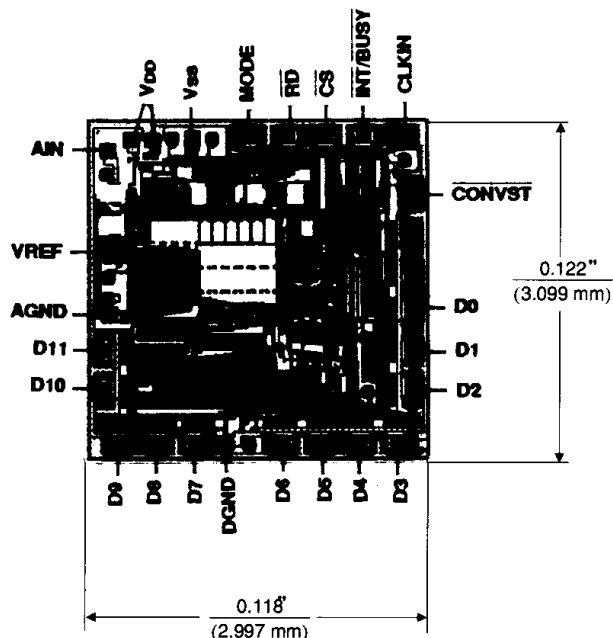
トラック/ホールド、リファレンス内蔵 500ksp/s、12ビットADC

MAX120/MAX122

スプリアスフリー・ダイナミックレンジ

スプリアスフリー・ダイナミックレンジは、基本波のRMS振幅と次に大きな周波数成分(DCからサンプル・レートの1/2までの周波数帯域内)の比です。通常、次に大きな周波数成分は入力周波数の高調波として生じます。しかしながら、ADCが例外的に線形な場合にはADCのノイズ・フロア内にランダムなピークとして生じます。

チップ構造図



MAX120/MAX122 TRANSISTOR COUNT 1920;
SUBSTRATE CONNECTED TO V_{DD}.

型番(続き)

PART	TEMP. RANGE	PIN-PACKAGE	NL (LSBs)
MAX120EAG	-40°C to +85°C	24 SSOP	±1
MAX120MRG	-55°C to +125°C	24 Narrow CERDIP	±2
MAX122ACNG	0°C to +70°C	24 Narrow Plastic DIP	±3/4
MAX122BCNG	0°C to +70°C	24 Narrow Plastic DIP	±1
MAX122ACWG	0°C to +70°C	24 Wide SO	±3/4
MAX122BCWG	0°C to +70°C	24 Wide SO	±1
MAX122ACAG	0°C to +70°C	24 SSOP	±3/4
MAX122BCAG	0°C to +70°C	24 SSOP	±1
MAX122BC/D	0°C to +70°C	Dice*	±1
MAX122AENG	-40°C to +85°C	24 Narrow Plastic DIP	±3/4
MAX122BENG	-40°C to +85°C	24 Narrow Plastic DIP	±1
MAX122AEWG	-40°C to +85°C	24 Wide SO	±3/4
MAX122BEWG	-40°C to +85°C	24 Wide SO	±1
MAX122AEAG	-40°C to +85°C	24 SSOP	±3/4
MAX122BEAG	-40°C to +85°C	24 SSOP	±1
MAX122BMRG	-55°C to +125°C	24 Narrow CERDIP	±1
MAX120EVKIT-DIP†	0°C to +70°C	Plastic DIP - Through Hole	

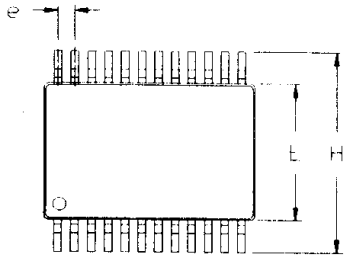
* Contact factory for dice specifications.

† MAX120 EV kit can be used to evaluate the MAX122; when ordering the EV kit, ask for a free sample of the MAX122.

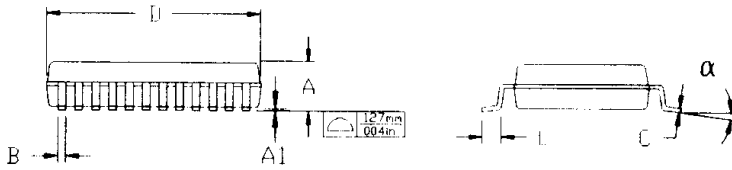
トラック/ホールド、リファレンス内蔵 500ksp/s、12ビットADC

パッケージ

MAX120/MAX122

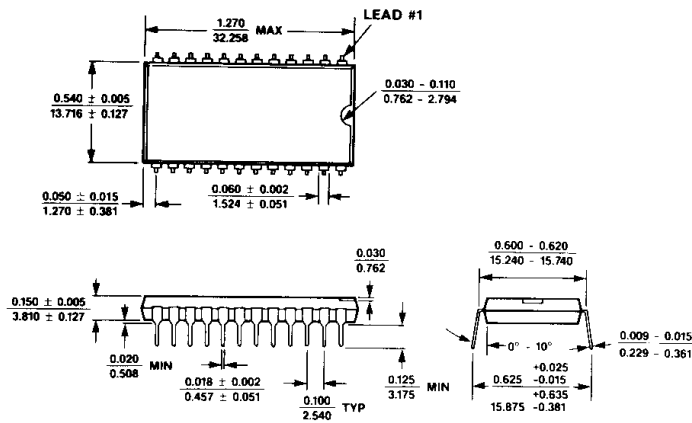


DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.068	0.078	1.73	1.99
A1	0.002	0.008	0.05	0.21
B	0.010	0.015	0.25	0.38
C	0.005	0.009	0.13	0.22
D	0.278	0.328	8.07	8.33
E	0.425	BSC	0.65	BSC
L	0.205	0.212	5.20	5.38
H	0.301	0.311	7.65	7.9
I	0.022	0.037	0.55	0.95
α	0°	8°	0°	8°



- NOTES:
1. D & E DO NOT INCLUDE MOLD FLASH
 2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED 15µm (0.06mil)
 3. CONTROLLING DIMENSION: MILLIMETER

Case Outline, SSOP, 24L



24 Lead Plastic DIP (PG)

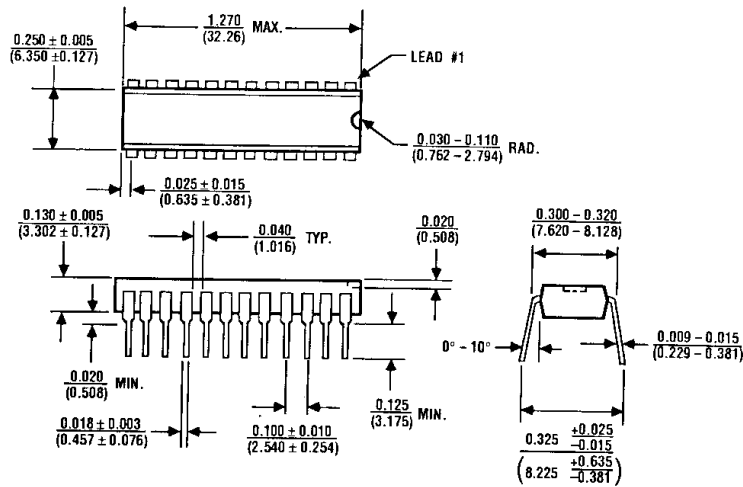
$$\theta_{JA} = 110^{\circ}\text{C/W}$$

$$\theta_{JC} = 50^{\circ}\text{C/W}$$

トラック/ホールド、リファレンス内蔵 500ksp/s、12ビットADC

MAX120/MAX122

パッケージ(続き)



24 Lead Plastic Narrow DIP

$\theta_{JA} = 120^{\circ}\text{C/W}$
 $\theta_{JC} = 60^{\circ}\text{C/W}$

販売代理店

マキシム・ジャパン株式会社

〒169 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL.(03)3232-6141 FAX.(03)3232-6149

Maxim cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim product. No circuit patent licenses are implied. Maxim reserves the right to change the circuitry and specifications without notice at any time.

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600