

## MAX11903

## 18ビット、1.6Mps、低電力、 完全差動SAR ADC

### 概要

MAX11903は、基準電圧バッファ内蔵の18ビット、1.6Mps、シングルチャネル、完全差動SAR ADCです。MAX11903は、スループットに直接比例するクラス最低の消費電力をもち、優れた静的および動的性能を発揮します。このデバイスは、ユニポーラ差動 $\pm V_{REF}$ 入力範囲を備えています。供給電源は、基準電圧バッファ用3.3V電源、1.8Vアナログ電源、1.8Vデジタル電源、1.5V~3.6Vデジタルインタフェース電源が含まれます。

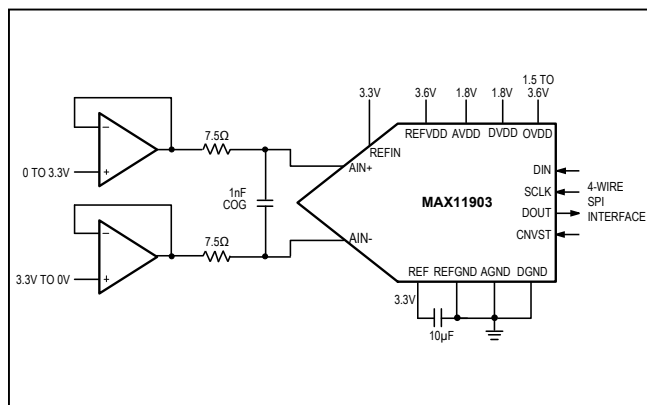
このADCは98dBのSN比と-123dBのTHDを達成し、18ビットの分解能でミッシングコードなし、2 LSBのINL(max)を保証します。

MAX11903は、SPI対応のシリアルインタフェースを使用してデータ通信を行います。MAX11903は、20ピンTQFNパッケージ(4mm x 4mm)で提供され、 $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ の動作温度範囲が保証されています。

### アプリケーション

- 試験および測定
- 自動試験装置
- 医療用計測
- プロセス制御および産業用オートメーション
- データ収集システム
- テレコム
- バッテリ駆動機器

### アプリケーションダイアグラム



### 特長と利点

- 分解能：18ビット、ミッシングコードなし
- 1.6Mpsのスループット、パイプライン遅延なし
- 超低消費電力：9mW (1.6Mps時)
- INL： $\pm 2$  LSB (max) (18ビット)
- DNL： $\pm 0.5$  LSB (max) (18ビット)
- SN比：98.0dB ( $f_{IN} = 10\text{kHz}$ の場合)
- SINAD：97.8dB ( $f_{IN} = 10\text{kHz}$ の場合)
- THD：-123dB ( $f_{IN} = 10\text{kHz}$ の場合)
- ユニポーラ差動アナログ入力範囲： $\pm V_{REF}$
- $V_{REF} = 2.5\text{V} \sim 3.6\text{V}$
- 基準電圧バッファ内蔵
- アナログおよびデジタルコア電源：1.8V
- REFVDD基準電圧バッファ電源：3.3V
- デジタルインタフェース電源：1.5V~3.6V
- シリアルインタフェース：SPI/QSPI™/MICROWIRE®/DSP対応
- 動作温度： $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$
- 20ピンTQFNパッケージ(4mm x 4mm)

QSPIはMotorola, Inc.の商標です。  
MICROWIREはNational Semiconductor Corporationの登録商標です。

型番と選択ガイドはデータシートの最後に記載されています。

### 16ビット~20ビットSAR ADCファミリ

	16-BIT	18-BIT	20-BIT
1.6Mps	MAX11901	MAX11903	MAX11905
1Mps	MAX11900*	MAX11902*	MAX11904*

\*開発中の製品

関連部品およびこの製品とともに使用可能な推奨製品については、[japan.maximintegrated.com/MAX11903.related](http://japan.maximintegrated.com/MAX11903.related)を参照してください。



19-7410; Rev 0; 6/14

本データシートは日本語翻訳であり、相違及び誤りのある可能性があります。設計の際は英語版データシートを参照してください。

価格、納期、発注情報についてはMaxim Direct (0120-551056)にお問い合わせいただくか、Maximのウェブサイト ([japan.maximintegrated.com](http://japan.maximintegrated.com)) をご覧ください。

## 目次

概要	1
アプリケーション	1
特長と利点	1
アプリケーションダイアグラム	1
16ビット~20ビットSAR ADCファミリ	1
Absolute Maximum Ratings	4
Package Thermal Characteristics	4
Electrical Characteristics	4
標準動作特性	8
ピン配置	12
端子説明	12
機能ブロック図	13
詳細	14
アナログ入力	14
入力セトリング	16
入力フィルタ	16
電圧リファレンスの設定	17
伝達関数	17
デジタルインタフェース	19
SPIのタイミング図	20
レジスタ書込み	22
レジスタ読出し	22
レジスタマップ	23
Modeレジスタ	23
Conversion Resultレジスタ	24
Chip IDレジスタ	24
標準アプリケーション回路	24
シングルエンドユニポーラ入力から差動ユニポーラ出力へ	24
シングルエンドバイポーラ入力から差動ユニポーラ出力へ	24
レイアウト、グラウンド処理、およびバイパス処理	24
定義	27
積分非直線性	27
微分非直線性	27
オフセット誤差	27
利得誤差	27
信号対ノイズ比	27
信号対ノイズ+歪み	27
有効ビット数	27
全高調波歪み	27

## 目次 ( 続き )

スプリアスフリーダイナミックレンジ	27
アパーチャ遅延	27
アパーチャジッタ	27
選択ガイド	28
型番	28
チップ情報	28
パッケージ	28
改訂履歴	29

## 図リスト

図1. 信号範囲	14
図2. 入力サンプリング回路の簡略モデル	15
図3. 変換フレーム、SAR変換、トラックおよび読出し動作	15
図4. 理想伝達特性	18
図5. トラックフェーズでの読出し	19
図6. SAR変換フェーズでの読出し	19
図7. 分割読出しモード	20
図8. SPIインタフェース接続	20
図9. レジスタ書き込み操作のDINのタイミング	21
図10. 変換後のデータ出力読出しのタイミング図	21
図11. Modeレジスタ書き込み	22
図12. レジスタ読出し	22
図13. ユニポーラシングルエンド入力	25
図14. バイポーラシングルエンド入力	25
図15. 表面層のレイアウト例	26

## 表リスト

表1. 推奨ADCドライバアンプの例	16
表2. 電圧リファレンスの設定	17
表3. MAX11903の推奨外部基準電圧源の例	17
表4. 伝達特性	18
表5. DOUTのドライバ強度	23

### Absolute Maximum Ratings

REFVDD, REF, REFIN, OVDD to GND .....	-0.3V to +4V
AVDD, DVDD to GND .....	-0.3V to +2V
DGND to AGND, REFGND .....	-0.3V to +0.3V
AIN+, AIN- to GND .....	-0.3V to the lower of (V <sub>REF</sub> + 0.3V) and +4V or ±130mA
SCLK, DIN, DOUT, CNVST, to GND .....	-0.3V to the lower of (V <sub>OVDD</sub> + 0.3V) and +4V
Maximum Current into Any Pin.....	50mA

Continuous Power Dissipation (T <sub>A</sub> = +70°C)	
TQFN (derate 30.30mW/°C above +70°C).....	2424.2mW
Operating Temperature Range.....	-40°C to +85°C
Junction Temperature.....	+150°C
Storage Temperature Range.....	-65°C to +150°C
Lead Temperature (soldering, 10s) .....	+300°C
Soldering Temperature (reflow).....	+260°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

### Package Thermal Characteristics (Note 1)

TQFN

Junction-to-Ambient Thermal Resistance (θ <sub>JA</sub> ).....	33°C/W
Junction-to-Case Thermal Resistance (θ <sub>JC</sub> ) .....	2°C/W

**Note 1:** Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to [japan.maximintegrated.com/thermal-tutorial](http://japan.maximintegrated.com/thermal-tutorial).

### Electrical Characteristics

(f<sub>SAMPLE</sub> = 1.6MSPs, V<sub>AVDD</sub> = 1.8V, V<sub>DVDD</sub> = 1.8V, V<sub>OVDD</sub> = 1.5V to 3.6V, V<sub>REFVDD</sub> = 3.6V, V<sub>REF</sub> = 3.3V, Internal Ref Buffers On, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>ANALOG INPUT</b>						
Input Voltage Range (Note 3)		(AIN+) - (AIN-)	-V <sub>REF</sub>		+V <sub>REF</sub>	V
Absolute Input Voltage Range		AIN+, AIN- relative to AGND	-0.1		V <sub>REF</sub> + 0.1	V
Common-Mode Input Range		[(AIN+) + (AIN-)]/2	V <sub>REF</sub> /2 - 0.1	V <sub>REF</sub> /2	V <sub>REF</sub> /2 + 0.1	V
Input Leakage Current		Acquisition phase	-1	0.001	+1	µA
Input Capacitance				32		pF
<b>STATIC PERFORMANCE (Note 4)</b>						
Resolution	N		18			Bits
Resolution	LSB	V <sub>REF</sub> = 3.3V		25.2		µV
No Missing Codes			18			Bits
Offset Error (Note 4)			-4	±1	+4	LSB
Offset Temperature Coefficient				±0.004		LSB/°C
Gain Error		Referred to REFIN reference input	-50	±5	+50	LSB
Gain Error Temperature Coefficient (Note 5)		Referred to REFIN reference input		±0.05		LSB/°C
Gain Error		Referred to REF pins	-12	±4	+12	LSB
Gain Error Temperature Coefficient (Note 5)		Referred to REF pins		±0.04		LSB/°C
Integral Nonlinearity	INL		-2	±0.5	+2	LSB

**Electrical Characteristics (continued)**

( $f_{\text{SAMPLE}} = 1.6\text{MSPs}$ ,  $V_{\text{AVDD}} = 1.8\text{V}$ ,  $V_{\text{DVDD}} = 1.8\text{V}$ ,  $V_{\text{OVDD}} = 1.5\text{V to } 3.6\text{V}$ ,  $V_{\text{REFVDD}} = 3.6\text{V}$ ,  $V_{\text{REF}} = 3.3\text{V}$ , Internal Ref Buffers On,  $T_{\text{A}} = T_{\text{MIN}}$  to  $T_{\text{MAX}}$ , unless otherwise noted. Typical values are at  $T_{\text{A}} = +25^{\circ}\text{C}$ .) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Differential Nonlinearity (Note 6)	DNL		-0.5	±0.25	+0.5	LSB
Analog Input CMR	CMR	DC		5		LSB/V
Power-Supply Rejection (Note 7)	PSR	PSR vs. AVDD		0.6		LSB/V
Power-Supply Rejection (Note 7)	PSR	PSR vs. REFVDD		1		LSB/V
Transition Noise				1.2		LSB <sub>RMS</sub>
<b>EXTERNAL REFERENCE</b>						
REF Voltage Input Range	$V_{\text{REF}}$		2.5	3.3	3.6	V
Load Current	$I_{\text{REF}}$	1.6MSPs, $V_{\text{REF}} = 3.3\text{V}$		600		μA
REF Input Capacitance				1		nF
<b>REFERENCE BUFFER</b>						
REFIN Input Voltage Range	$V_{\text{REFIN}}$	$V_{\text{REF}} < (V_{\text{REFVDD}} - 200\text{mV})$	2.5	3	$V_{\text{REFVDD}} - 200\text{mV}$	V
REFIN Input Current	$I_{\text{REFIN}}$			1		nA
Turn-On Settling Time		$C_{\text{EXT}} = 10\mu\text{F}$ on REF pin, $C_{\text{REFIN}} = 0.1\mu\text{F}$ on REFIN pin		20		ms
External Compensation Capacitor	$C_{\text{EXT}}$	REF pins	4.7	10		μF
<b>DYNAMIC PERFORMANCE (Note 8)</b>						
Dynamic Range		Internal RefBuffer, -60dBFS input		98.7		dB
Signal-to-Noise Ratio	SNR	Internal RefBuffer, $f_{\text{IN}} = 10\text{kHz}$	96.8	98.0		dB
Signal-to-Noise Plus Distortion	SINAD	Internal RefBuffer, $f_{\text{IN}} = 10\text{kHz}$ , -0.1dBFS	96.7	97.9		dB
Spurious-Free Dynamic Range	SFDR	Internal RefBuffer, $f_{\text{IN}} = 10\text{kHz}$		125		dB
Total Harmonic Distortion	THD	Internal RefBuffer, $f_{\text{IN}} = 10\text{kHz}$		-123		dB
Total Harmonic Distortion	THD	Internal RefBuffer, $f_{\text{IN}} = 100\text{kHz}$		-115		dB
Total Harmonic Distortion	THD	Internal RefBuffer, $f_{\text{IN}} = 250\text{kHz}$		-107		dB
<b>SAMPLING DYNAMICS</b>						
Throughput			0		1.6	MSPs
Full-Power Bandwidth		-3dB point (targeting 20MHz)		20		MHz
		-0.1dB point		3		
Acquisition Time	$t_{\text{ACQ}}$		100			ns
Aperture Delay		Time delay from CNVST rising edge to time at which sample is taken for conversion		1		ns
Aperture Jitter				3		ps <sub>RMS</sub>

**Electrical Characteristics (continued)**

( $f_{\text{SAMPLE}} = 1.6\text{Msps}$ ,  $V_{\text{AVDD}} = 1.8\text{V}$ ,  $V_{\text{DVDD}} = 1.8\text{V}$ ,  $V_{\text{OVDD}} = 1.5\text{V to } 3.6\text{V}$ ,  $V_{\text{REFVDD}} = 3.6\text{V}$ ,  $V_{\text{REF}} = 3.3\text{V}$ , Internal Ref Buffers On,  $T_A = T_{\text{MIN}}$  to  $T_{\text{MAX}}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ\text{C}$ .) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>POWER SUPPLIES</b>						
Analog Supply Voltage	AVDD		1.7	1.8	1.9	V
Digital Supply Voltage	DVDD		1.7	1.8	1.9	V
Reference Buffer Supply Voltage	REFVDD		2.7	3.3	3.6	V
Interface Supply Voltage	OVDD		1.5		3.6	V
Analog Supply Current	$I_{\text{AVDD}}$	$V_{\text{AVDD}} = 1.8\text{V}$		2	2.5	mA
Digital Supply Current	$I_{\text{DVDD}}$	$V_{\text{DVDD}} = 1.8\text{V}$		2.2	2.7	mA
Reference Buffer Supply Current	$I_{\text{REFVDD}}$	$V_{\text{REFVDD}} = 3.6\text{V}$ , internal buffers enabled		3.3	3.55	mA
Reference Buffer Supply Current	$I_{\text{REFVDD}}$	$V_{\text{REFVDD}} = 3.6\text{V}$ , internal buffers powered down		0.26		mA
Interface Supply Current (Note 9)	$I_{\text{OVDD}}$	$V_{\text{OVDD}} = 1.5\text{V}$		0.35		mA
		$V_{\text{OVDD}} = 3.6\text{V}$		1		
Shutdown Current		For AVDD, DVDD, REFVDD		1		$\mu\text{A}$
Shutdown Current		For DVDD		1		$\mu\text{A}$
Power Dissipation		$V_{\text{AVDD}} = 1.8\text{V}$ , $V_{\text{DVDD}} = 1.8\text{V}$ , $V_{\text{REFVDD}} = 3.3\text{V}$ , internal reference buffers disabled		8.4	10.2	mW
<b>DIGITAL INPUTS (DIN, SCLK, CNVST)</b>						
Input Voltage High	$V_{\text{IH}}$	$V_{\text{OVDD}} = 1.5\text{V to } 3.6\text{V}$	0.7 x $V_{\text{OVDD}}$			V
Input Voltage Low	$V_{\text{IL}}$	$V_{\text{OVDD}} = 1.5\text{V to } 3.6\text{V}$			0.3 x $V_{\text{OVDD}}$	V
Input Capacitance	$C_{\text{IN}}$		10			pF
Input Current	$I_{\text{IN}}$	$V_{\text{IN}} = 0\text{V or } V_{\text{OVDD}}$	1			$\mu\text{A}$
<b>DIGITAL OUTPUTS (DOUT)</b>						
Output Voltage High	$V_{\text{OH}}$	$I_{\text{SOURCE}} = 2\text{mA}$	$V_{\text{OVDD}} - 0.4$			V
Output Voltage Low	$V_{\text{OL}}$	$I_{\text{SINK}} = 2\text{mA}$			0.4	V

**Electrical Characteristics (continued)**

( $f_{\text{SAMPLE}} = 1.6\text{MSPS}$ ,  $V_{\text{AVDD}} = 1.8\text{V}$ ,  $V_{\text{DVDD}} = 1.8\text{V}$ ,  $V_{\text{OVDD}} = 1.5\text{V to } 3.6\text{V}$ ,  $V_{\text{REFVDD}} = 3.6\text{V}$ ,  $V_{\text{REF}} = 3.3\text{V}$ , Internal Ref Buffers On,  $T_{\text{A}} = T_{\text{MIN}} \text{ to } T_{\text{MAX}}$ , unless otherwise noted. Typical values are at  $T_{\text{A}} = +25^{\circ}\text{C}$ .) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>TIMING</b>						
DIN to SCLK Rising Edge Setup	$t_1$				4	ns
DIN to SCLK Rising Edge Hold	$t_2$		1			ns
DOUT End-Of-Conversion Low Time	$t_3$		10			ns
DOUT to SCLK Rising Edge Hold	$t_4$		2.5			ns
DOUT to SCLK Rising Edge Setup	$t_5$	100MHz SCLK	1.5			ns
SCLK High	$t_6$		4.5			ns
SCLK Period	$t_7$		10			ns
SCLK Low	$t_8$		4.5			ns
CNVST Rising Edge To SCLK Rising Edge	$t_9$		0			ns
SCLK Rising Edge to CNVST Rising Edge	$t_{10}$		25			ns
CNVST High	$t_{11}$		20			ns
CNVST High to EOC	$t_{12}$				525	ns
Conversion Period	$t_{13}$		625			ns

**Note 2:** Limits are 100% production tested at  $T_{\text{A}} = +25^{\circ}\text{C}$ . Limits over the operating temperature range are guaranteed by design and device characterization.

**Note 3:** See the [Analog Inputs](#) section.

**Note 4:** See the [Definitions](#) section at the end of the data sheet.

**Note 5:** See the [Definitions](#) section at the end of the data sheet. Error contribution from the external reference not included.

**Note 6:** Parameter is guaranteed by design.

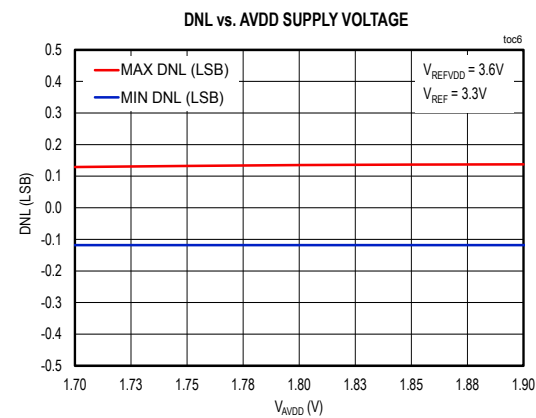
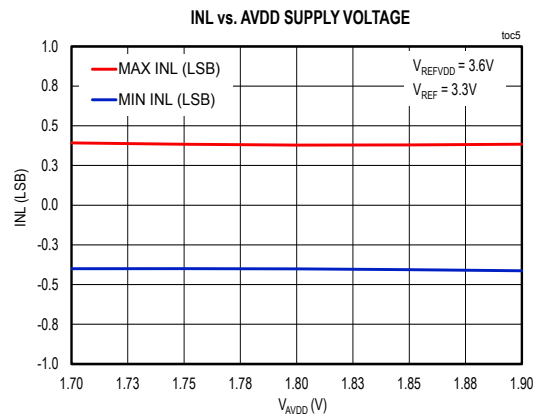
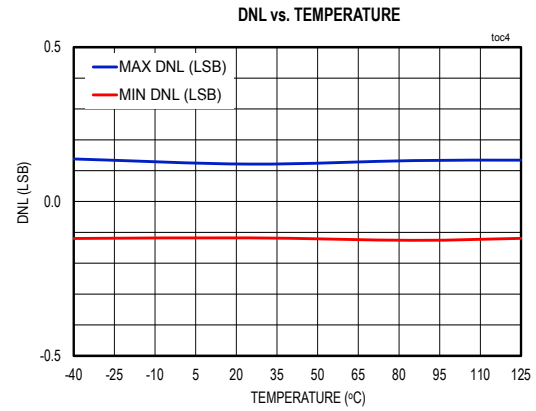
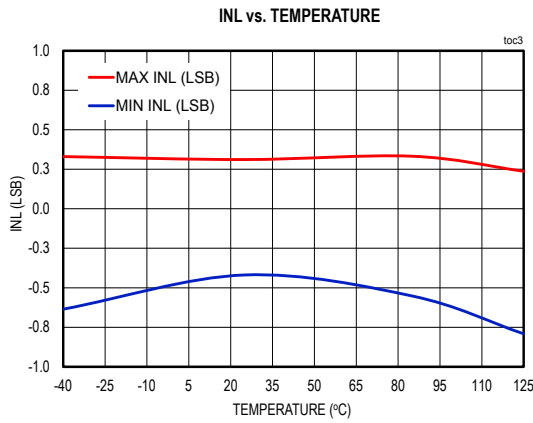
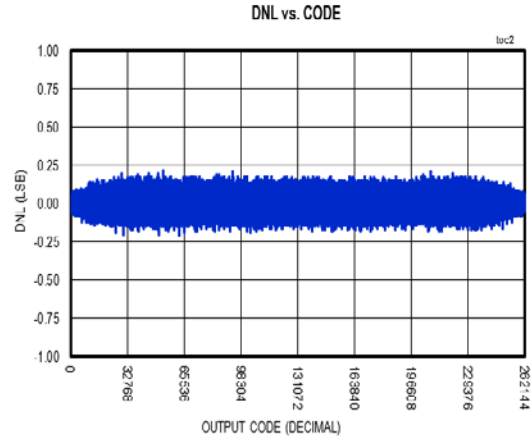
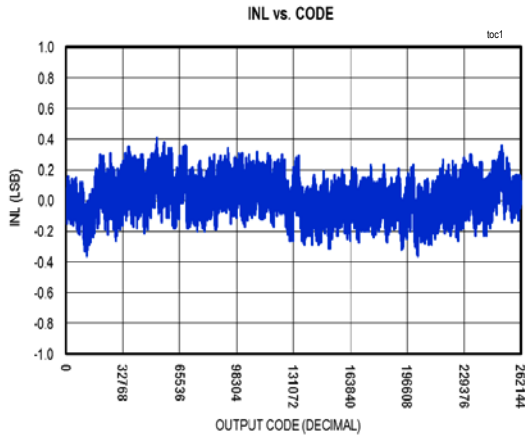
**Note 7:** Defined as the change in positive full-scale code transition caused by a  $\pm 5\%$  variation in the supply voltage.

**Note 8:** Sine wave input,  $f_{\text{IN}} = 10\text{kHz}$ ,  $A_{\text{IN}} = -0.5\text{dB}$  below full scale.

**Note 9:**  $C_{\text{LOAD}} = 10\text{pF}$  on DOUT.  $f_{\text{CONV}} = 1.6\text{MSPS}$ . All data is read out.

標準動作特性

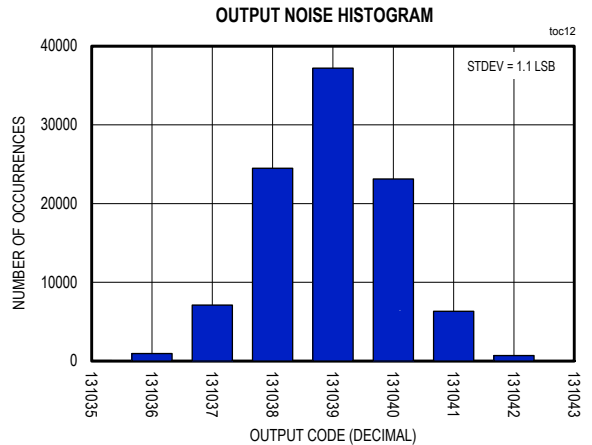
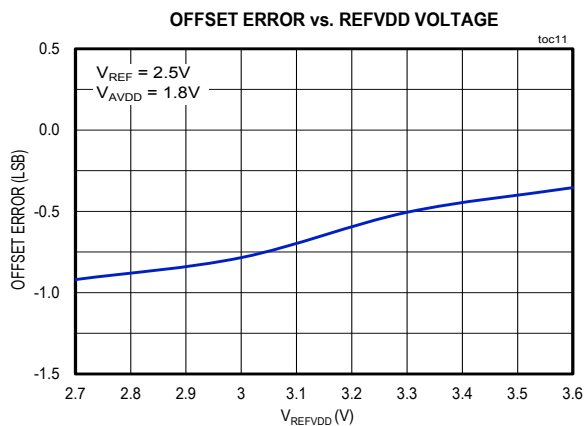
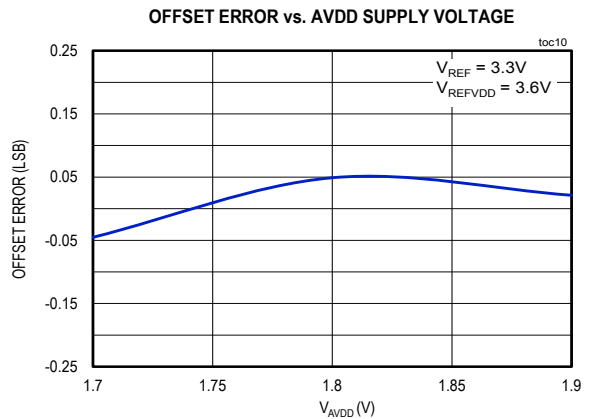
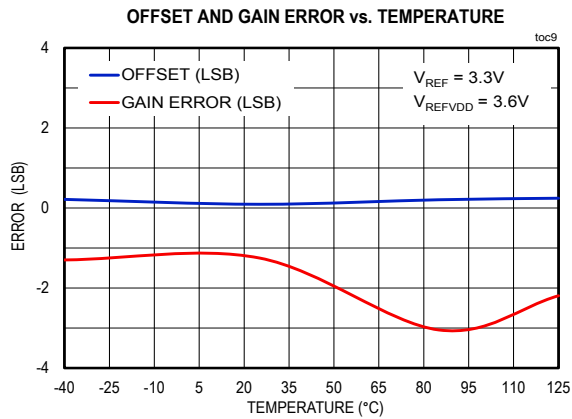
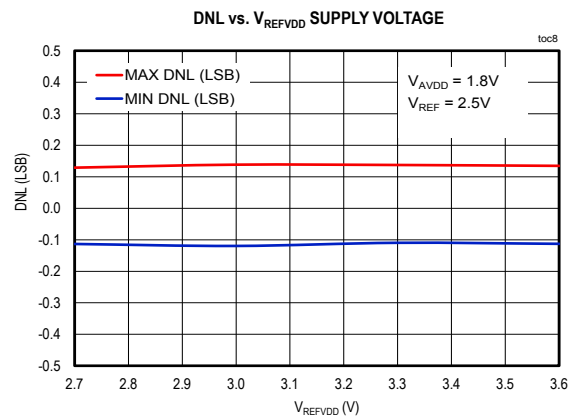
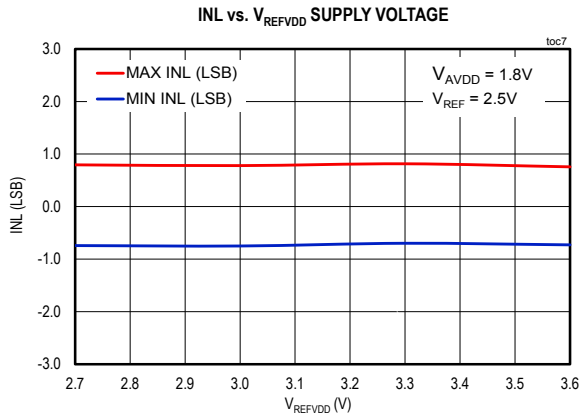
( $V_{AVDD} = 1.8V$ ,  $V_{DVDD} = 1.8V$ ,  $V_{OVDD} = 1.8V$ ,  $V_{REFVDD} = 3.6V$ ,  $f_{SAMPLE} = 1.6MSPs$ ,  $V_{REF} = 3.3V$ , Internal Ref Buffer On,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^{\circ}C$ .)





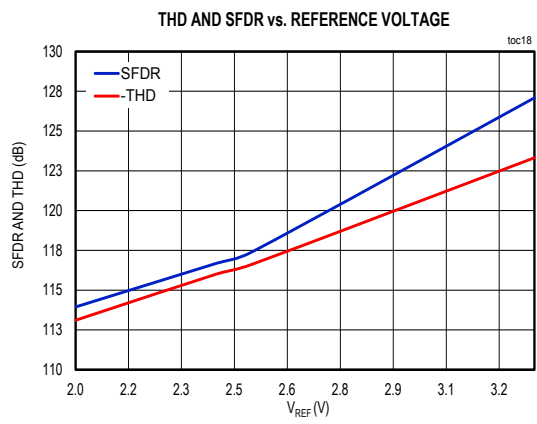
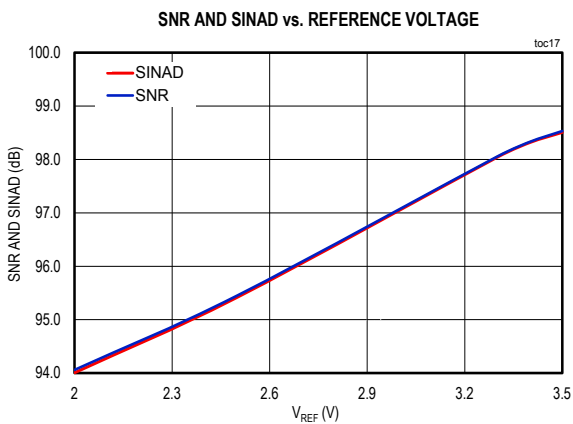
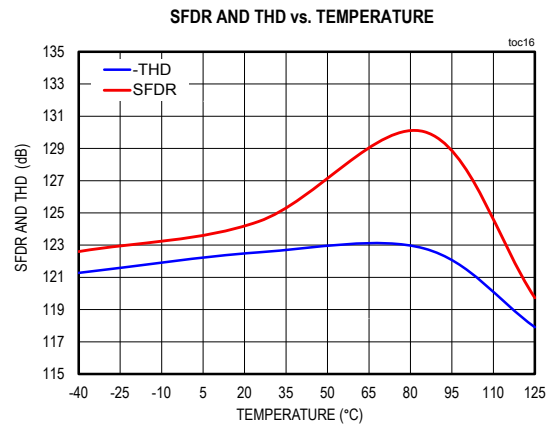
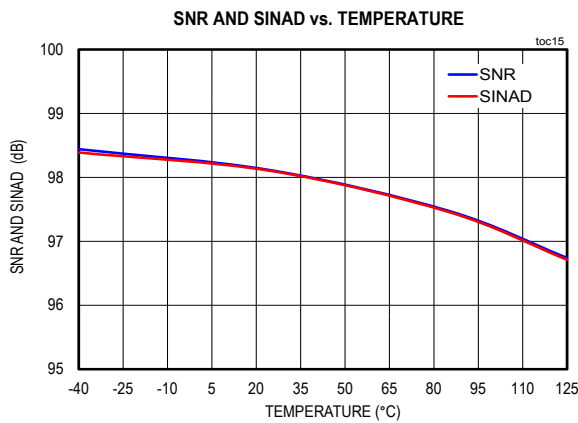
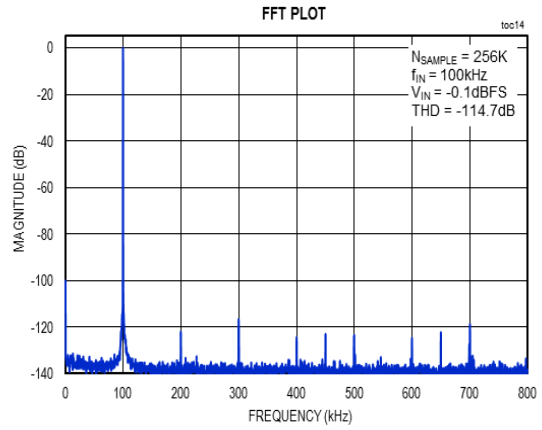
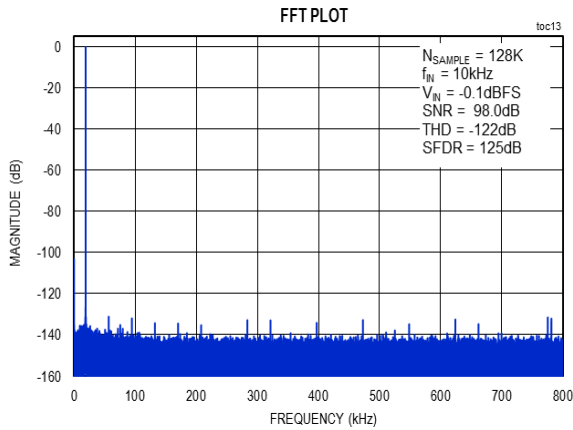
標準動作特性(続き)

( $V_{AVDD} = 1.8V$ ,  $V_{DVDD} = 1.8V$ ,  $V_{OVDD} = 1.8V$ ,  $V_{REFVDD} = 3.6V$ ,  $f_{SAMPLE} = 1.6MSPs$ ,  $V_{REF} = 3.3V$ , Internal Ref Buffer On,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^{\circ}C$ .)



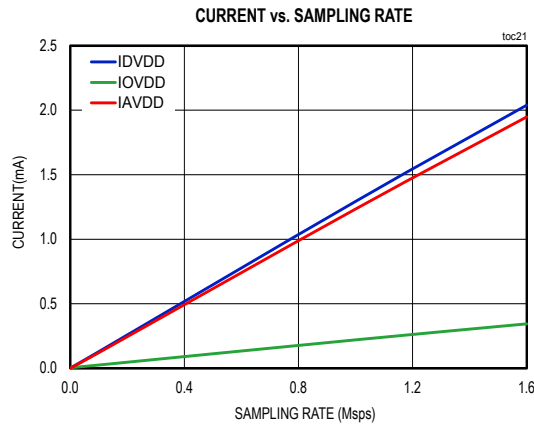
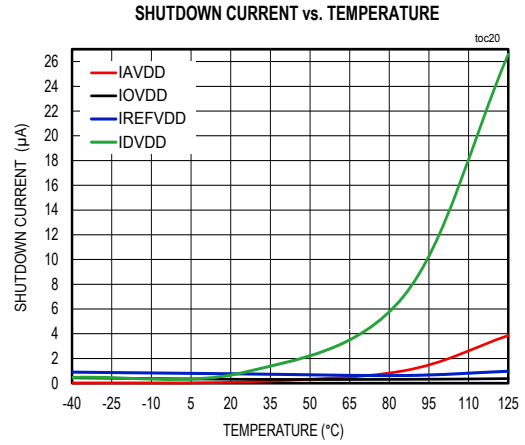
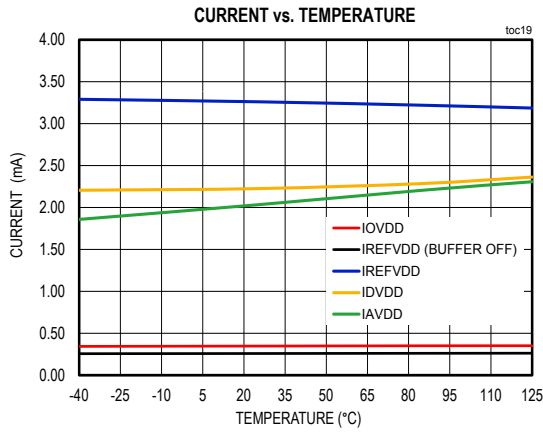
標準動作特性(続き)

( $V_{AVDD} = 1.8V$ ,  $V_{DVDD} = 1.8V$ ,  $V_{OVDD} = 1.8V$ ,  $V_{REFVDD} = 3.6V$ ,  $f_{SAMPLE} = 1.6MSPS$ ,  $V_{REF} = 3.3V$ , Internal Ref Buffer On,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^{\circ}C$ .)

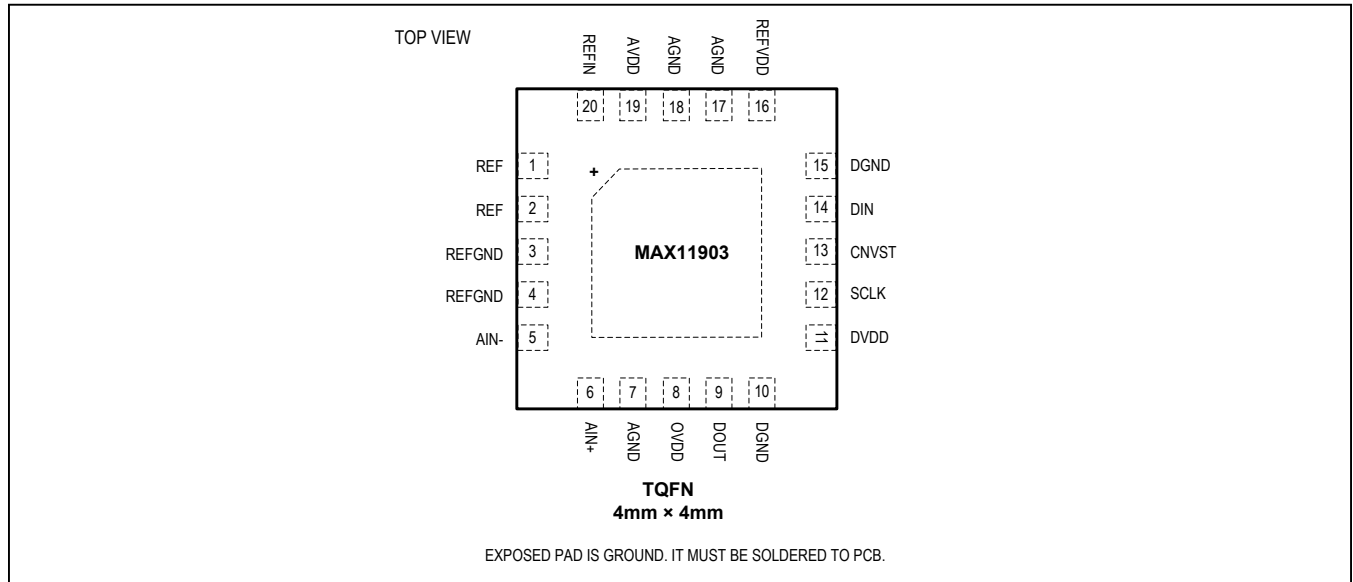


標準動作特性(続き)

( $V_{AVDD} = 1.8V$ ,  $V_{DVDD} = 1.8V$ ,  $V_{OVDD} = 1.8V$ ,  $V_{REFVDD} = 3.6V$ ,  $f_{SAMPLE} = 1.6Mps$ ,  $V_{REF} = 3.3V$ , Internal Ref Buffer On,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^{\circ}C$ .)



ピン配置



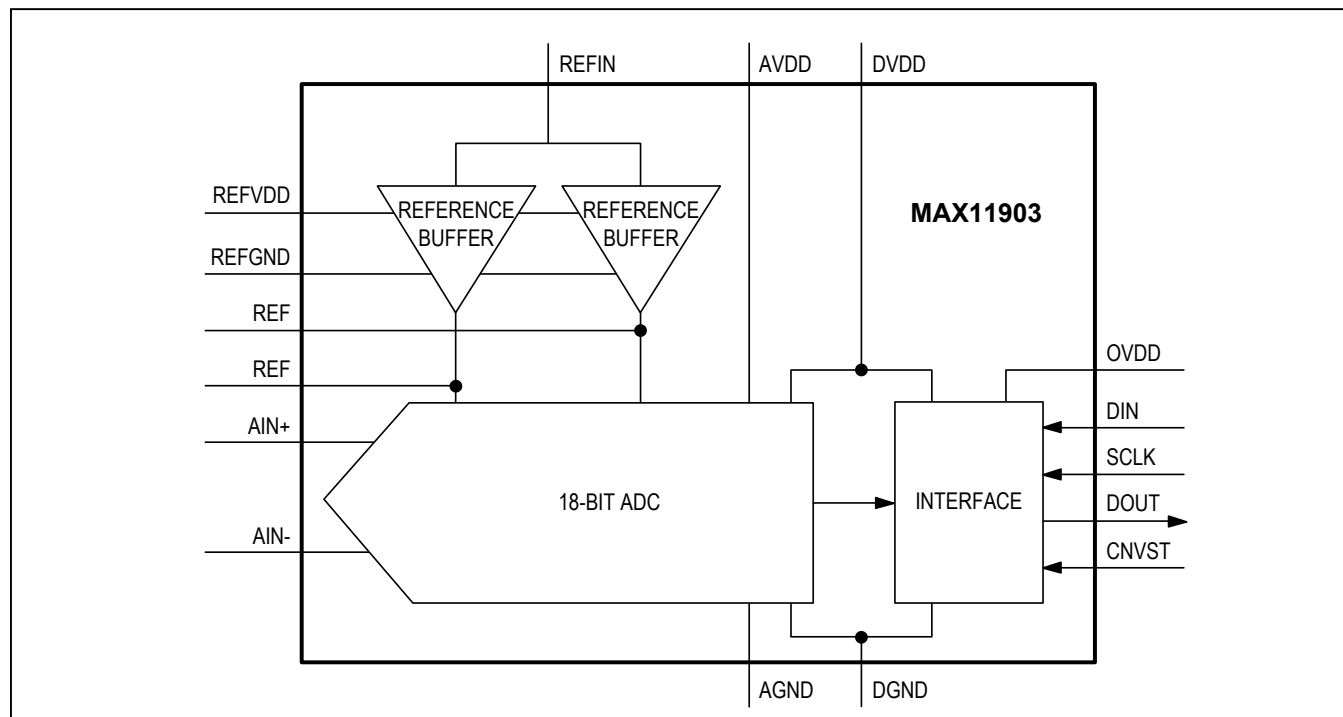
端子説明

端子	名称	I/O	機能
1, 2	REF	I/O	基準電圧。REFは、内部基準電圧バッファによって駆動されるか、外部基準電圧によって直接駆動される基準電圧のバイパス端子です。これらの端子を10μFのコンデンサでREFGNDに接続してください。
3, 4	REFGND	I	基準電圧グランド
5	AIN-	I	負のアナログ入力
6	AIN+	I	正のアナログ入力
7	AGND	I	アナロググランド
8	OVDD	I	デジタルインタフェース電源。公称1.8V。10μFのコンデンサと0.1μFのコンデンサを並列にしたもの(10μF    0.1μF)でDGNDに接続してください。
9	DOUT	O	デジタル出力データ
10	DGND	I	デジタルグランド
11	DVDD	I	デジタル電源。公称1.8V。並列にした10μFのコンデンサと0.1μFのコンデンサを並列にしたもの(10μF    0.1μF)でグランドに接続してください。
12	SCLK	I	シリアルクロック入力
13	CNVST	I	変換開始。立上りエッジでアナログ入力(AIN+, AIN-)がサンプリングされ、変換処理が開始されます。
14	DIN	I	シリアルデータ入力。DINのデータは、SCLKの立上りエッジでシリアルインタフェースにラッチされます。
15	DGND	I	デジタルグランド

## 端子説明(続き)

端子	名称	I/O	機能
16	REFVDD	I	基準電圧バッファ供給電源。公称3V。10 $\mu$ Fのコンデンサと0.1 $\mu$ Fのコンデンサを並列にしたもの(10 $\mu$ F    100nF)でAGNDに接続してください。
17, 18	AGND	I	アナロググランド。10 $\mu$ Fのコンデンサと0.1 $\mu$ Fのコンデンサを並列にしたもの(10 $\mu$ F    100nF)でAGNDに接続してください。
19	AVDD	I	アナログ電源。公称1.8V。
20	REFIN	I	内部基準電圧バッファ入力。電圧はREFVDDの電圧を少なくとも300mV下回る必要があります。REFIN = 0Vの場合、基準電圧バッファは動作停止されます。
—	EP	—	エクスポーズパッド。AGNDと同じプレーンに接続する必要があります。

## 機能ブロック図



## 詳細

MAX11903は、SPIインタフェースを備えた18ビット、最高サンプリングレート1.6MSPS、完全差動入力、シングルチャネルSAR ADCです。この製品は、業界トップクラスのサンプリングレートと分解能を備えながら、消費電力がごくわずかです。MAX11903は基準電圧バッファを内蔵しているため、基板スペース、部品数、およびシステムコストが最小限に抑えられます。内部発振器が変換を駆動し変換時間を設定するため、外部のタイミング要件が簡易化されます。

## アナログ入力

両方のアナログ入力(AIN+とAIN-)の範囲は0V~V<sub>REF</sub>です。したがって、差動入力間隔V<sub>DIFF</sub> = (AIN+) - (AIN-)の範囲は-V<sub>REF</sub>~+V<sub>REF</sub>であり、フルスケール範囲は次のようになります。

$$FSR = 2 \times V_{REF}$$

最下位ビット(LSB)の公称分解能ステップ幅は、次のとおりです。

$$LSB = \frac{FSR}{2^N}, N = 18$$

差動アナログ入力はV<sub>REF</sub>/2の信号コモンモードを中心とする必要があります。許容誤差は±100mVです。

外部基準電圧源を使用した場合、基準電圧は2.5Vからリファレンスバッファ電源(REFVDD)までの範囲が可能です。内蔵基準電圧バッファを使用する場合、基準電圧は2.5V~リファレンスバッファ電源(REFVDD) - 200mVまでの範囲が可能です。これによって、内蔵基準電圧バッファのための適切なヘッドルームが確保されます。

図1は、AIN+/AIN-、基準電圧V<sub>REF</sub>、およびリファレンスバッファ電源電圧REFVDDの信号範囲を示しています。

図2はMAX11903の入力等価回路を示しています。ADCは完全差動内蔵トラック/ホールドを使用して両方の入力(AIN+およびAIN-)をサンプリングし、パイプライン遅延や処理待ち時間はありません。

MAX11903は、範囲超過から入力を保護するための専用の入力クランプを備えています。ダイオードD1とD2はESD保護を提供し、入力電圧のクランプとして動作します。ダイオードD1/D2は、100mAの最大順電流に耐えることができます。サンプリングスイッチは入力をサンプリングコンデンサに接続します。

図3は、デジタル化サイクル(変換フレーム、SAR変換、トラックおよび読出し動作)のタイミングを示しています。

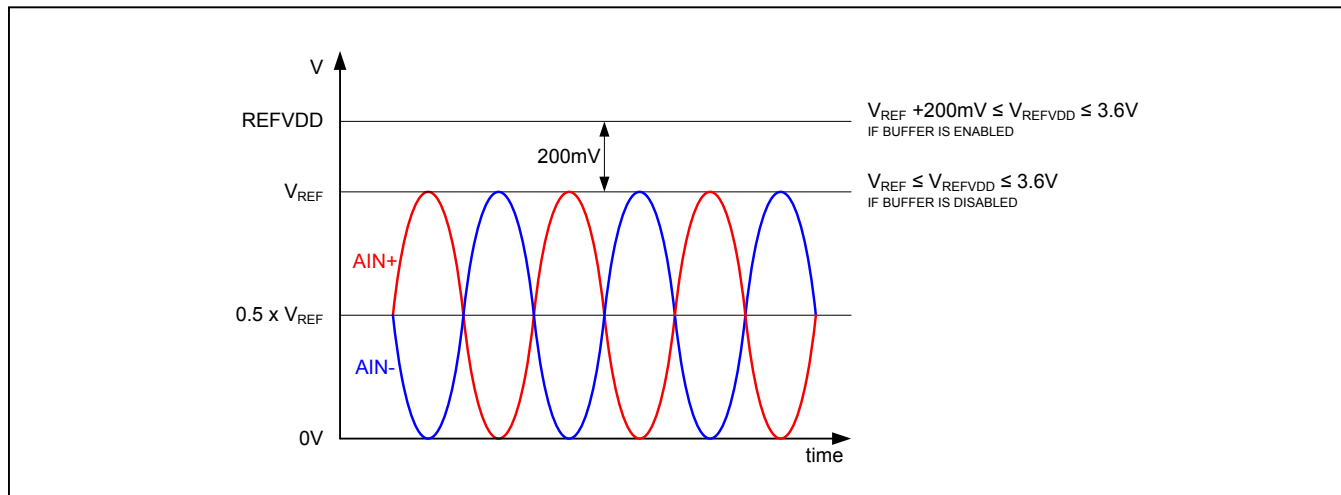


図 1. 信号範囲

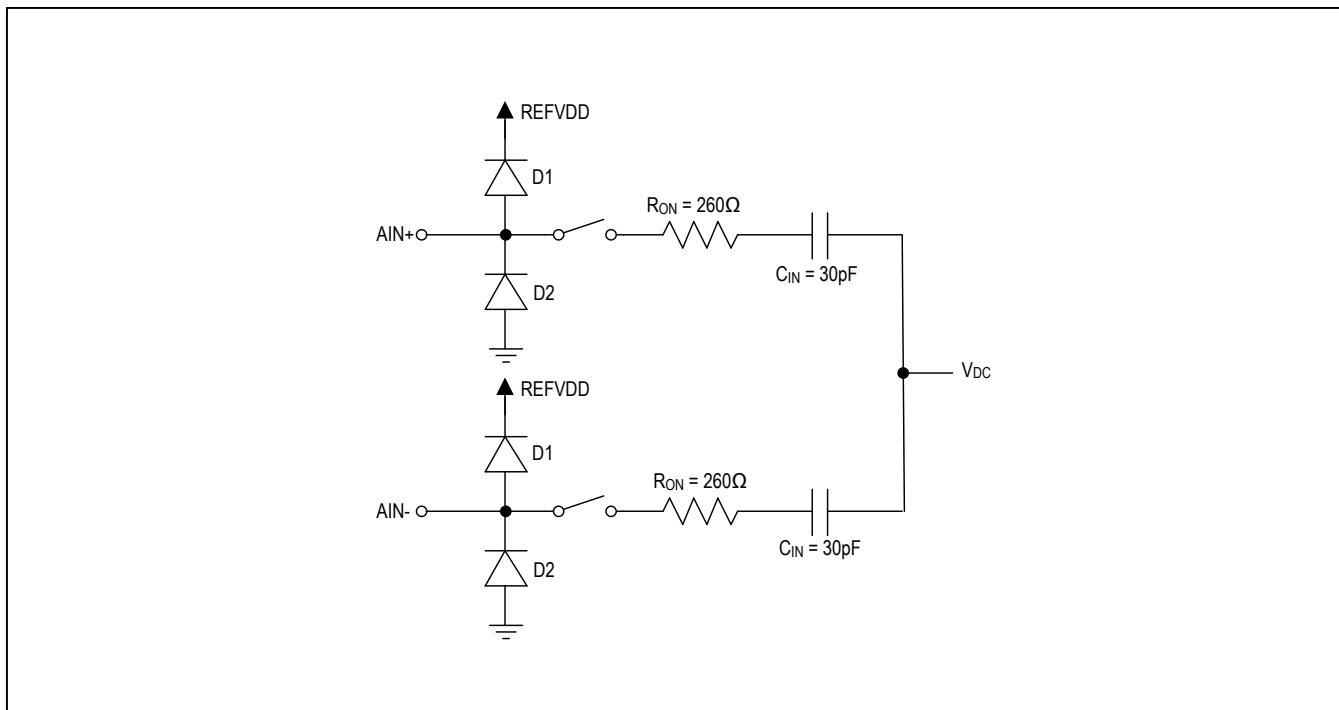


図 2. 入力サンプリング回路の簡略モデル

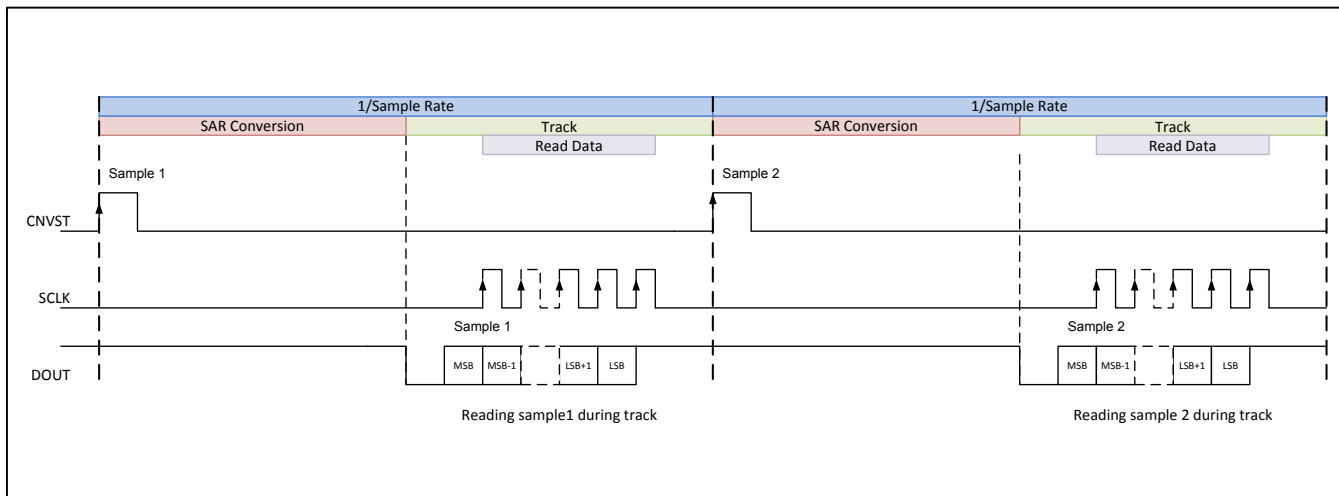


図 3. 変換フレーム、SAR 変換、トラックおよび読出し動作

## 入力セトリング

トラックフェーズ中(図3)、サンプリングスイッチは閉じられ、アナログ入力はサンプリングコンデンサに直接接続されます。入力電圧に対するサンプリングコンデンサの充電は、信号源抵抗とサンプリングコンデンサのサイズによって決まります。CNVSTの立上りエッジは、ADCのサンプリングの瞬間です。この瞬間に、トラックフェーズが終了し、サンプリングスイッチが開き、デバイスは逐次比較(SAR)変換フェーズに移行します。変換フェーズでは、差動コンパレータがサンプリングコンデンサの電圧をCDACの値と比較します。これは、逐次比較技法を使用して $V_{REF}/2$ と $V_{REF}/2^{18}$ の間で値を循環的に処理します。最終的な結果はSPIバス経由で読み出すことができます。SAR変換の最後でADCは自動的にトラックフェーズに戻り、アクティブな回路をパワーダウンします。つまり、ADCはトラックモードで静的な電力を消費しません。

入力信号の収束時間より長くADCが入力信号をトラックした場合に、正確な変換結果が得られます。過度の信号源抵抗によってトラック時間内に信号が安定しない場合は、より高速な電圧収束性を達成するために外付けADCドライバが必要になります。MAX11903の変換時間は内部発振器によって設定される固定値のため、サンプルレートを引き下げることによってトラック時間を延長し、電圧収束性を改善することができます。

電圧収束の動作はサンプリング回路の時定数によって決まります。この時定数は、総抵抗(信号源抵抗 + スイッチ抵抗)と総容量(サンプリングコンデンサ、外付け入力コンデンサ、PCBの寄生容量)に依存します。

シングルポール回路によって入力回路をモデル化したときに、入力の時定数( $R_{TOTAL} \times C_{LOAD}$ )が $t_{TRACK}/15$ を超えないようにしてください。ここで、 $R_{TOTAL}$ は総抵抗(信号源抵抗 + スイッチ抵抗)、 $C_{LOAD}$ は総容量(サンプリング

コンデンサ、外付け入力コンデンサ、PCBの寄生容量)、 $t_{TRACK}$ はトラック時間です。

ADCドライバを使用する場合は、「アプリケーションダイアグラム」に示したように、アンプとADC入力の間直列抵抗(通常は $5\Omega \sim 50\Omega$ )を使用することが推奨されます。ADCドライバアンプの要件の一部を以下に示します。

- 1) 高速収束時間：マルチチャネル多重回路の場合、ADCドライバアンプはフルスケールステップが印加されたとき、最小トラック時間に誤差0.5 LSB以下で安定する必要があります。
- 2) 低ノイズ：アプリケーションが目的とする帯域幅において、ADCドライバが十分に低いノイズ密度を確実に備えることが重要です。MAX11903が20MHzの全帯域幅で使用する場合、全体のSN比が大幅に低下しないようにするために、 $3nV/\sqrt{Hz}$ 以下の出力ノイズスペクトル密度を備えたアンプを使用することが推奨されます。ADC入力に外付けRCフィルタを挿入して帯域外入力ノイズを減衰させることが推奨されます。
- 3) ADCの優れた動的性能を完全に利用するために、マキシムは同等またはより優れたTHD性能を備えたADCドライバの使用を推奨します。これによって、ADCドライバが信号経路の歪み性能を制限しないことが確保されます。表1に、MAX9632をADCドライバとして使用する場合の最も重要な特長を示しています。

## 入力フィルタ

ノイズの多い入力信号は、ADCドライバアンプ入力の前に適切なフィルタを使用してノイズを最小限に抑えてください。「アプリケーションダイアグラム」に示したRC回路は、主としてADCのトラックフェーズ開始時にアンプにかかる負荷過渡を低減するために設計されています。この回路は収束時間の要件も満たす必要があり、ノイズ帯域幅を制限するという利点を提供します。

表1. 推奨ADCドライバアンプの例

AMPLIFIER	INPUT-NOISE DENSITY (nV/ $\sqrt{Hz}$ )	SMALL-SIGNAL BANDWIDTH (MHz)	SLEW RATE (V/ $\mu$ s)	THD (dB)	I <sub>CC</sub> (mA)	COMMENTS
MAX9632	1	55	30	-128	3.9mA	Low noise, THD at 10kHz



### 電圧リファレンスの設定

MAX11903は基準電圧バッファを内蔵しているため、部品数と基板スペースの削減に役立ちます。また、基準電圧端子REFを外部リファレンスで駆動することもできます。内部基準電圧バッファを使用するには、REFIN端子を外部基準電圧源で駆動します。それがREF端子にバッファされた基準電圧出力として現れます。内部基準電圧バッファは、レジスタへの書き込みを行うか(「[Modeレジスタ](#)」の項を参照)、またはREFINを0Vに接続することによって動作停止することができます。内蔵基準電圧バッファが動作停止されると、外部基準電圧源によってREF端子を直接駆動することができます。簡易ダイアグラムで外部基準電圧源に必要な接続を明示しています。

高いシステム精度を実現するには、低ノイズ、低温度ドリフトの基準電圧が必要です。MAX6126とMAX6325は、MAX11903と共に使用するのに特に適しています。

MAX6126とMAX6325は、それぞれ0.02%と0.04%の初期精度、3ppm/°Cと1ppm/°C(max)の温度係数を備え、高精度のアプリケーションを実現することができます。マキシムは、ADCのピンの近くに配置した2.2μFのコンデンサでREFINとREFをバイパスすることを推奨します。

### 伝達関数

[図4](#)は、MAX11903の理想伝達特性を示しています。

初期設定のデータ形式は2の補数です。しかし、Modeレジスタのビット1をセットすることによってオフセットバイナリ形式を選択することができます(「[Modeレジスタ](#)」の項を参照)。

[表4](#)は、印加される入力電圧に関するコードを示しています。これらのデータはV<sub>REF</sub>が3.0Vの場合であり、フルスケール範囲は6Vです。

**表2. 電圧リファレンスの設定**

REFERENCE CONFIGURATION	INTERNAL REFERENCE BUFFERS	REFIN	V <sub>REF</sub>	V <sub>REFVDD</sub>
Internal Reference Buffer	ON	2.5V to V <sub>REFVDD</sub> - 0.2V	2.5V to V <sub>REFVDD</sub> - 0.2V	2.7V to 3.6V
External Reference Buffer	OFF	Tie to 0V or disable through serial interface	2.5V to V <sub>REFVDD</sub>	2.5V to 3.6V

**表3. MAX11903の推奨外部基準電圧源の例**

PART	V <sub>OUT</sub> (V)	TEMPERATURE COEFFICIENT (ppm/°C, max)	INITIAL ACCURACY (%)	NOISE (0.1Hz TO 10Hz) (μV <sub>p-p</sub> )	PACKAGE
MAX6126	2.5, 3	3	0.02	1.45	μMAX-8, SO-8
MAX6325	2.5	1	0.04	1.5	SO-8

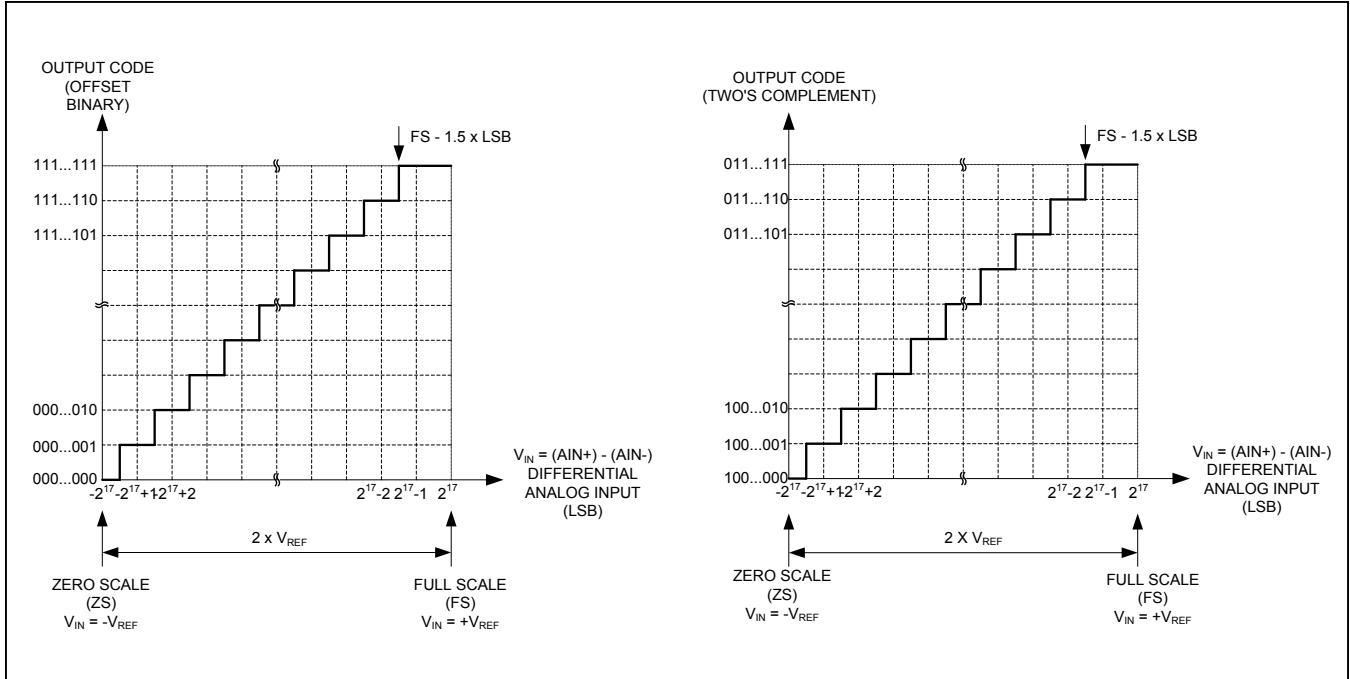


図 4. 理想伝達特性

表4. 伝達特性

MIDCODE VALUE	DIFFERENTIAL ANALOG INPUT FULL-SCALE RANGE = 6V (V)	HEXADECIMAL TWO'S COMPLEMENT	HEXADECIMAL OFFSET BINARY
FS - 1 LSB	2.99997711	0x1FFFF	0x3FFFF
Midscale + 1 LSB	0.00002289	0x00001	0x20001
Midscale	0.00000000	0x00000	0x20000
Midscale - 1 LSB	-0.00002289	0x3FFFF	0x1FFFF
-FS + 1 LSB	-2.99997711	0x20001	0x00001
-FS	-3.00000000	0x20000	0x00000

### デジタルインタフェース

MAX11903はSPIインタフェースを備え、CNVSTでサンプリングを制御し、SCLK、DOUT、DINで標準のSPI信号を構成します。SAR変換は、CNVSTの立上りエッジで開始されます。CNVSTの最小ハイ時間は20nsであり、DOUTがローになりSAR変換の完了を示す前にCNVSTをローにする必要があります。DOUTは10nsの間ローになり、それに続いてMSBがDOUTピンで出力されます。その後、18個のSCLKパルスを送信することによって、18ビットの変換結果をSPIインタフェース経由で読み出すことができます。DOUTがローになることによって、トラックフェーズの開始も示されます。CNVSTの次の立上りエッジまで、ADCはトラックフェーズのままです。

MAX11903には、データを読み出すための3種類のモードがあります。

- トラックフェーズでの読出し(図5)
- SAR変換フェーズでの読出し(図6)
- 分割読出し(図7)

トラックフェーズでの読出しモード時には、ADCがトラックモードの間のみデータが読み出されます。図5は、この読出しモードのSPI信号を示しています。

SAR変換フェーズでの読出しモードでは、SAR変換フェーズでのみデータが読み出されます。図6は、このモードのすべてのSPI信号を示しています。SAR変換フェーズでのみ読み出されるデータは、直前の変換フレームに相当することに注意してください。

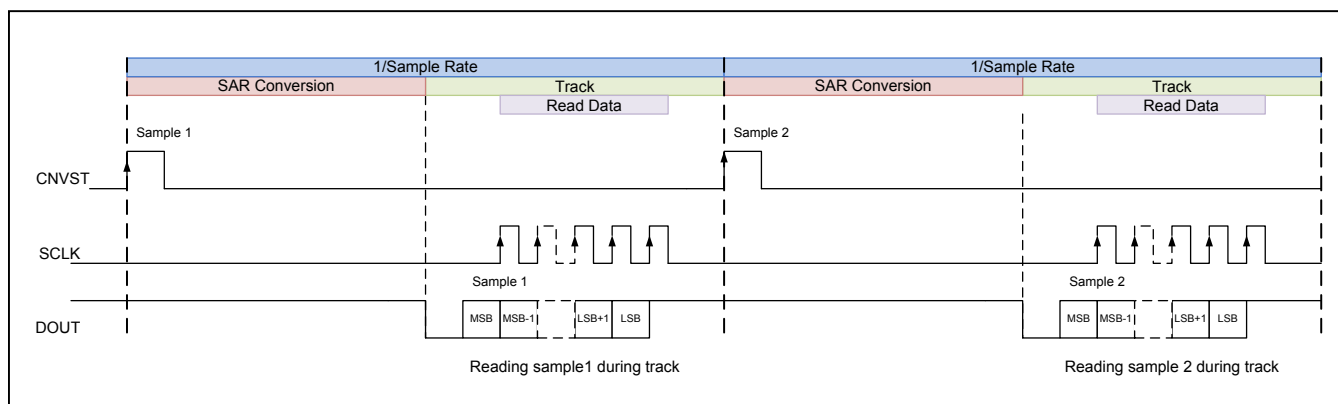


図 5. トラックフェーズでの読出し

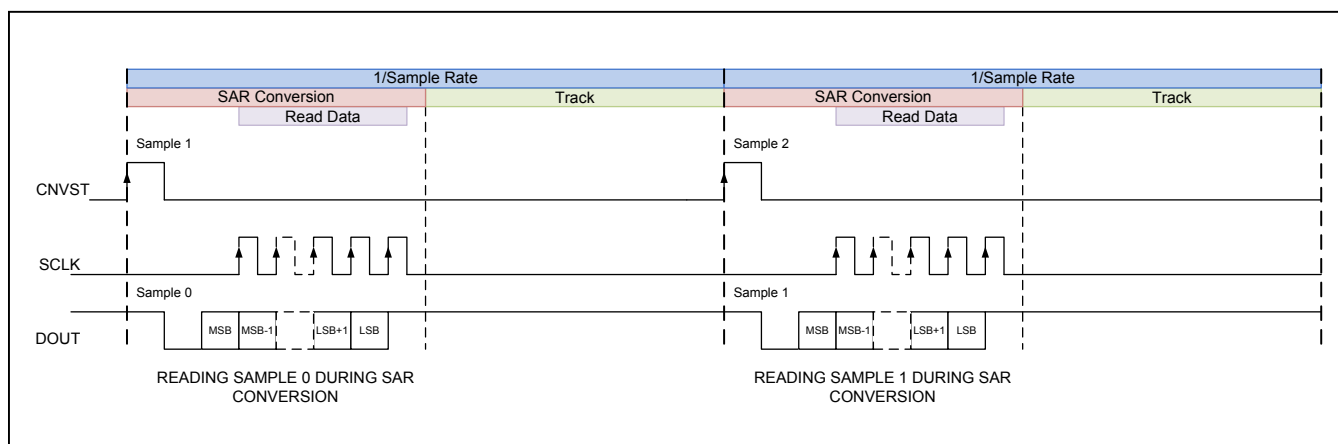


図 6. SAR 変換フェーズでの読出し

分割読出しモードでは、トラックフェーズとそれに続くSAR変換フェーズでデータが読み出されます。図7は、その説明のタイミング図を示しています。

より高いサンプリングレートでは、トラック時間の長さが足りなくなり、18ビットのデータすべてを読み出すことができない場合があります。この場合、データ読出しをトラックモードで開始した後、後続のSAR変換フェーズで続行することが可能です。読出し操作は、DOUTがローになりSAR変換フェーズの終了を示す前に完了する必要があることに注意してください。また、サンプリングエッジ(CNVSTの立上りエッジ)の近くでSCLKパルスを印加しないであ

さい(Quiet Timeの仕様 $t_{10}$ を参照)。この分割読出し機能を使用すると、低速のSPIクロックに対応することができます。

**SPIのタイミング図**

図8は、MAX11903とホストプロセッサ間の標準的なデジタルSPIインタフェース接続を示しています。

点線の接続はオプションです。

図9は、Configurationレジスタのタイミング図を示しています。

図10は、変換後のデータ出力読出しのタイミング図を示しています。

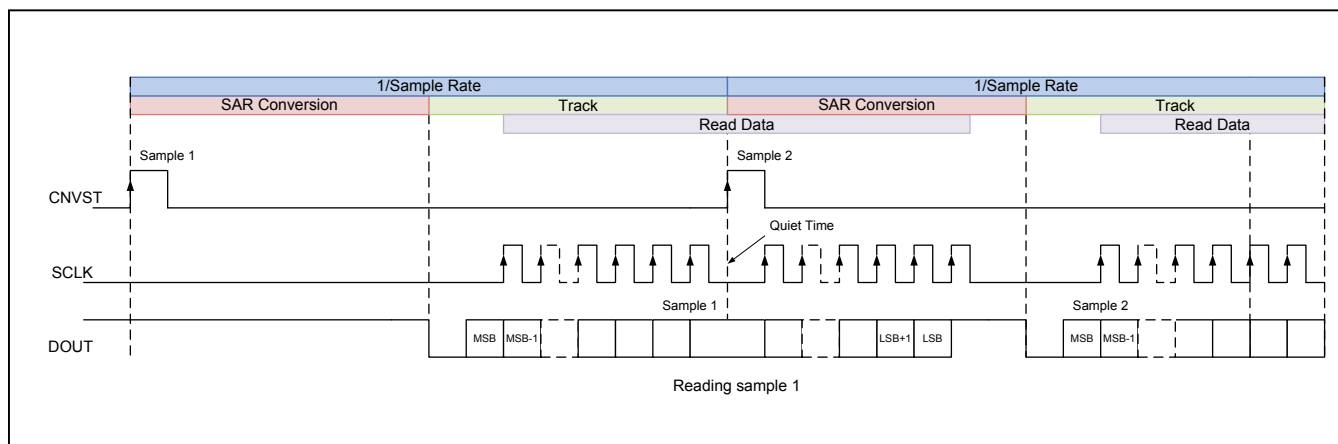


図 7. 分割読出しモード

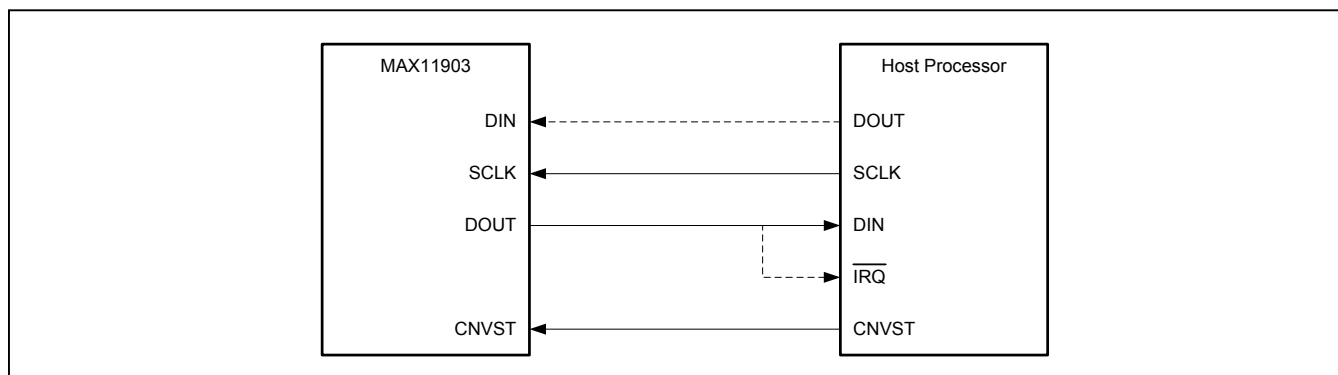


図 8. SPI インタフェース接続

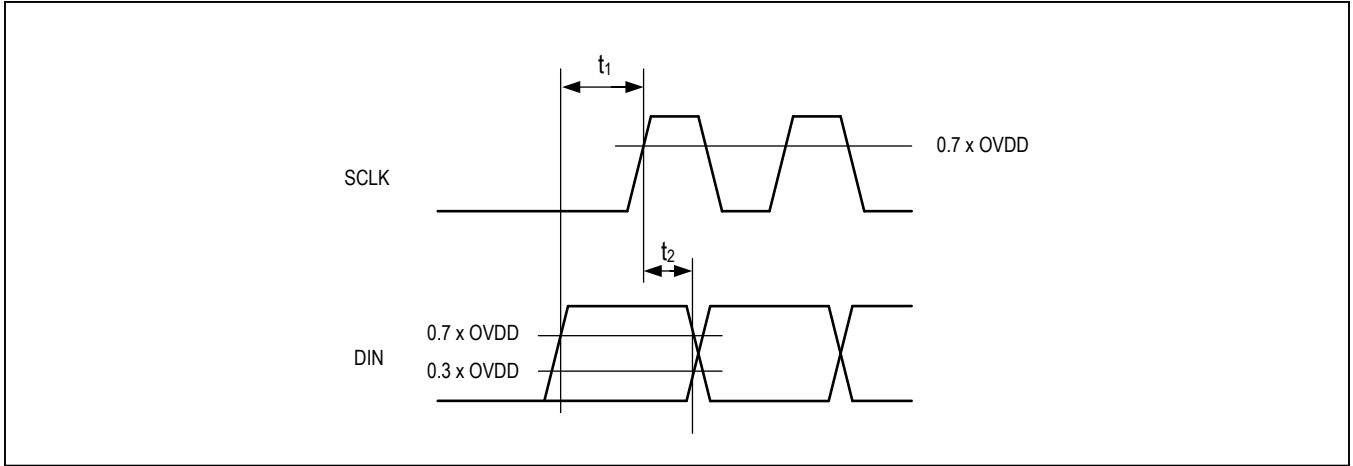


図 9. レジスタ書き込み操作の DIN のタイミング

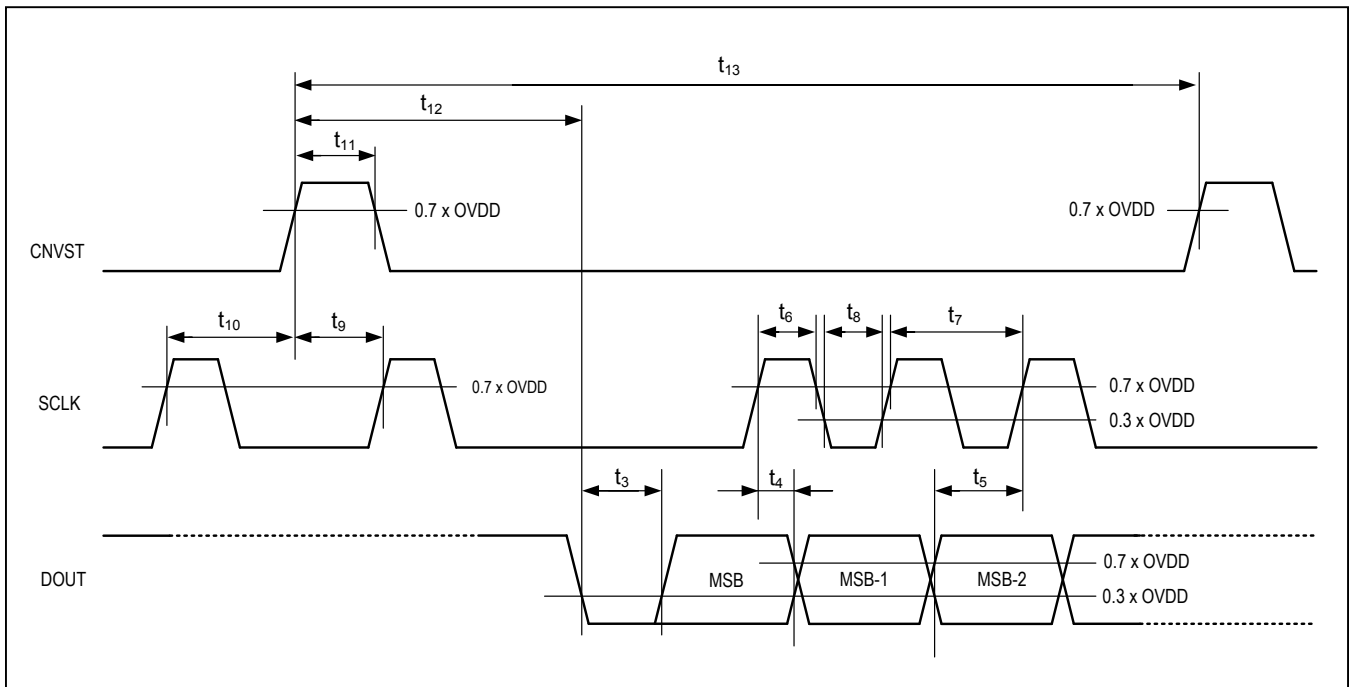


図 10. 変換後のデータ出力読出しのタイミング図

レジスタ書込み

すべてのSPI操作は、コマンドワードで始まります。コマンドワードの構造を下に示します。スタートビットがない場合(DINがローの場合)、デバイスは変換結果を出力した後、アイドル状態になります(図5、6、7を参照)。16ビットのModeレジスタは、書込み可能な唯一のレジスタです。図11は、Modeレジスタ書込み操作の波形を示しています。

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
Start	0	Adr 3	Adr 2	Adr 1	Adr 0	R/W	0

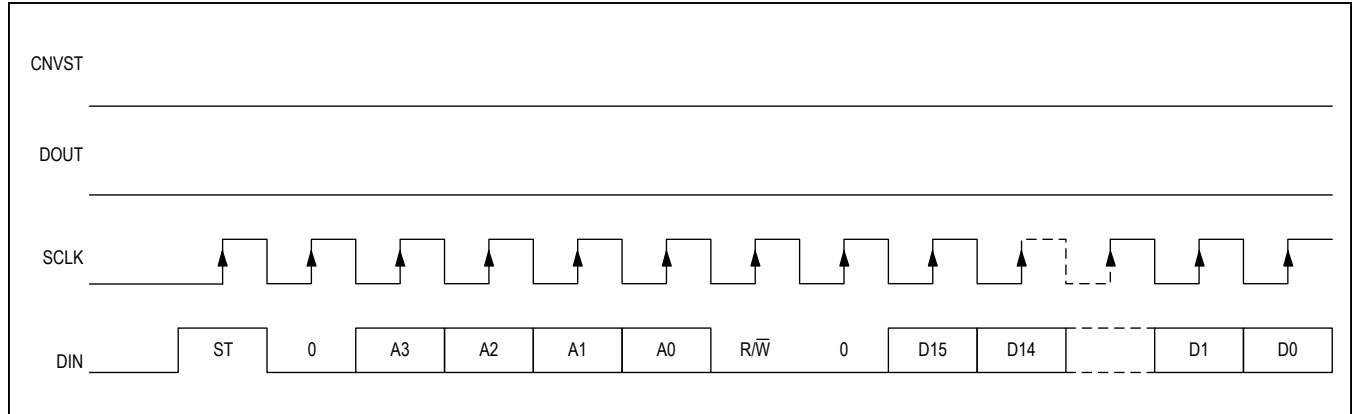


図 11. Mode レジスタ書込み

レジスタ読出し

読出し動作は、R/Wビットをハイに設定することによって指定されます。データはSCLKの8番目の立上りエッジの後、MAX11903によって出力されます。図12は、Modeレジスタ読出しの波形を示しています。

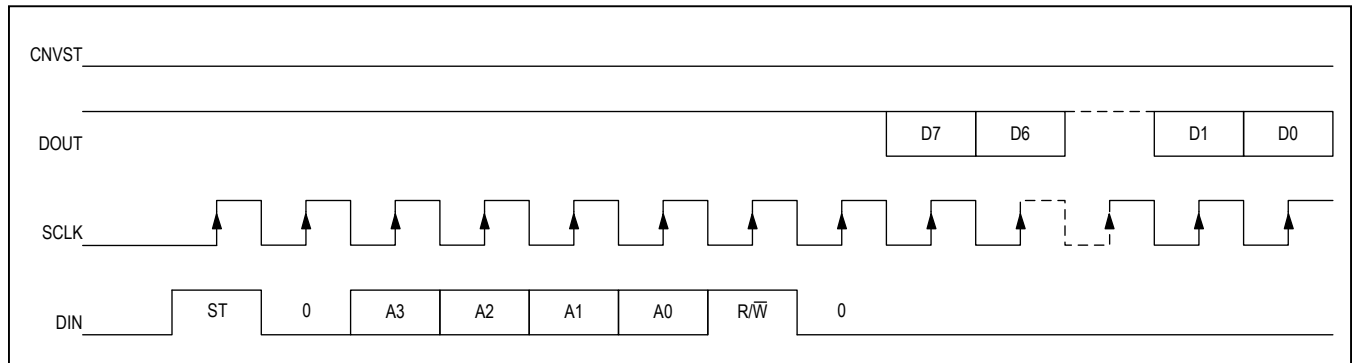


図 12. レジスタ読出し

## レジスタマップ

FUNCTION	ADDRESS	R/W BITS	DATA WIDTH	DATA
Read or Write Mode Register	0001	1 or 0	16	Mode Register
Read Conversion Result*	0010	1	18	Conversion Result
Read Chip ID	0100	1	8	Chip ID
Reserved, Do Not Use	All other	—	—	Reserved, Do Not Use

\*図5、6、7に示したように変換結果を読み取ることもできます。

## Modeレジスタ

リセット状態は0x0000です。したがって、有効な基準電圧がREFIN端子に印加された場合に内蔵基準電圧バッファが動作します。外部基準電圧源を使用する場合は、REFINをローに接続します。内蔵基準電圧バッファは自動的にパワーダウンされます。

BIT 15	BIT 14	BIT 13	BIT 12	BIT 11	BIT 10	BIT 9	BIT 8	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
Reset	—	—	—	—	—	DD2	DD1	DD0	—	—	PD REF1	POR pass	OTP busy	OB	PD REF2
Reset:		Reset the part when high.													
DD[2:0]:		Program the driver strength on DOUT.													
PD REF1:		Power down the first reference buffer when set.													
POR pass:		High to indicate that POR was successful. If this bit is low, RESET should be asserted.													
OTP busy:		High to indicate that the device is powering up.													
OB:		Output data format is offset binary when high. two's complement when low.													
PD REF2:		Power down the second reference buffer when set.													

DD[2:0]では、DOUT端子のドライバ強度を設定します。より高いドライバ強度は、DOUTの容量性負荷が大きいシステムで使用します。電力を節約し性能を向上させるため、動作する範囲で最も弱いドライバ強度を選択してください。

ドライバ強度は、1から6の順です。ドライバ強度1は最も弱く、ドライバ強度6は最も強くなります。表5は、レジスタ値DD[2:0]とドライバ強度との対応関係を示しています。

表5. DOUTのドライバ強度

DD[2:0]	DRIVER STRENGTH
000	4
001	5
010	6
011	Not Valid
100	1
101	2
110	3
111	Not Valid

## Conversion Resultレジスタ

18ビットの読出し専用レジスタで、直接またはコマンド読出しシーケンスによって読み出すことができます。

## Chip IDレジスタ

このレジスタは、チップの改訂履歴を確認するために使用可能な4ビットのコードを保持します。ID = 1001bです。

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
—	—	—	—	ID3	ID2	ID1	ID0

## 標準アプリケーション回路

現実の信号は、通常、ADCでデジタル化する前に調整が必要です。以下では、信号のシフト、増幅、減衰、フィルタリングを行うアナログ信号処理回路の一般的な例について概説します。

### シングルエンドユニポーラ入力から差動ユニポーラ出力へ

図13の回路は、シングルエンドのユニポーラ信号とMAX11903のインタフェースの方法を示しています。この信号調整回路は、 $0V \sim +V_{REF}$ のシングルエンド入力信号を、信号ピーク間振幅が $2 \times V_{REF}$ でコモンモード電圧が $V_{REF}/2$ の完全差動出力信号に変換します。この場合、シングルエンド信号源は、第1のアンプのハイインピーダンス入力を駆動します。このアンプは、 $V_{REF}$ のピーク間振幅と $V_{REF}/2$ のコモンモード出力電圧でADCのAIN+入力と第2段アンプを駆動します。第2のアンプはこの入力信号を反転し、オフセットを加えてピーク間振幅が $V_{REF}$ でコモンモード出力電圧が $V_{REF}/2$ の反転信号を生成し、それがADCのAIN-入力を駆動します。

### シングルエンドバイポーラ入力から差動ユニポーラ出力へ

MAX11903は、ユニポーラコモンモード付きの差動入力信号を受け付ける差動入力ADCです。図14は、 $-2 \times V_{REF} \sim +2 \times V_{REF}$ のシングルエンドバイポーラ入力信号を、ピーク間振幅が $2 \times V_{REF}$ でコモンモード電圧が $V_{REF}/2$ の完全差動出力信号に変換する信号調整回路を示しています。

シングルエンドバイポーラ入力信号は、第1のアンプの反転入力を駆動します。このアンプは、入力信号を反転してオフセットを加えます。また、 $V_{REF}$ のピーク間振幅と $V_{REF}/2$ のコモンモード出力電圧でADCのAIN-入力と第2段アンプを駆動します。第2のアンプも反転構成で、ADCのAIN+入力を駆動します。このアンプは、オフセットを加えてピーク間振幅が $V_{REF}$ でコモンモード出力電圧が

$V_{REF}/2$ の信号を生成します。信号源から見た入力インピーダンスは、初段の反転アンプの入力抵抗によって変わります。入力インピーダンスは、信号源の出力インピーダンスに基づいて慎重に選択する必要があります。

## レイアウト、グラウンド処理、およびバイパス処理

最高の性能を実現するために、グラウンドプレーンを備えたPCBを使用します。デジタルとアナログの信号ラインを確実に分離します。アナログとデジタルのラインは互いに平行に配線せず(特にクロックのライン)、デジタルラインをADCのパッケージの下に配線しないでください。一面GNDプレーンの構成でデジタル信号を1つの方向から配線し、アナログ信号を反対方向から配線することによって最高の性能が得られます。MAX11903のGND端子をこのグラウンドプレーンに接続します。ノイズのない動作を実現するため、このグラウンドについて電源へのグラウンドリターンをローインピーダンスに保ち、できる限り短くします。

2nFのCOGセラミックチップコンデンサを、MAX11903にできる限り近付けてAIN+とAIN-の間に配置する必要があります。このコンデンサは、入力源回路にかかる過渡電圧を低減します。

最高の性能を実現するために、X5Rの誘電体を1210以下のケースサイズに実装した16V、10 $\mu$ FのセラミックチップコンデンサでREF出力をグラウンドプレーンに接続します。すべてのバイパスコンデンサが個別のビアでグラウンドプレーンに直接接続されていることを確認してください。

寄生インダクタンスを最小限に抑えるために、各端子に対してできる限りデバイスの近くに配置した10 $\mu$ FのセラミックチップコンデンサでAVDD、DVDD、およびOVDDをグラウンドプレーンに接続します。最高の性能を実現するために、AVDDおよびDVDD電源プレーンはMAX11903のアナログインタフェース側から引き込み、OVDD電源プレーンはデバイスのデジタルインタフェース側から引き込みます。図15は、レイアウト例の表面層を示しています。



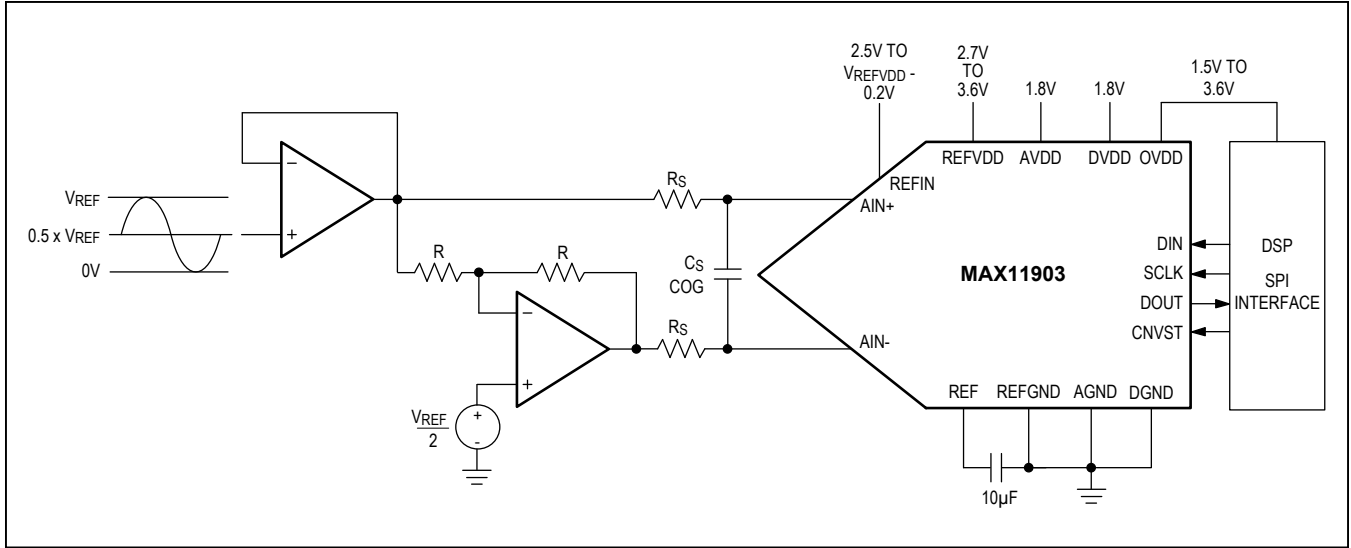


図 13. ユニポーラシングルエンド入力

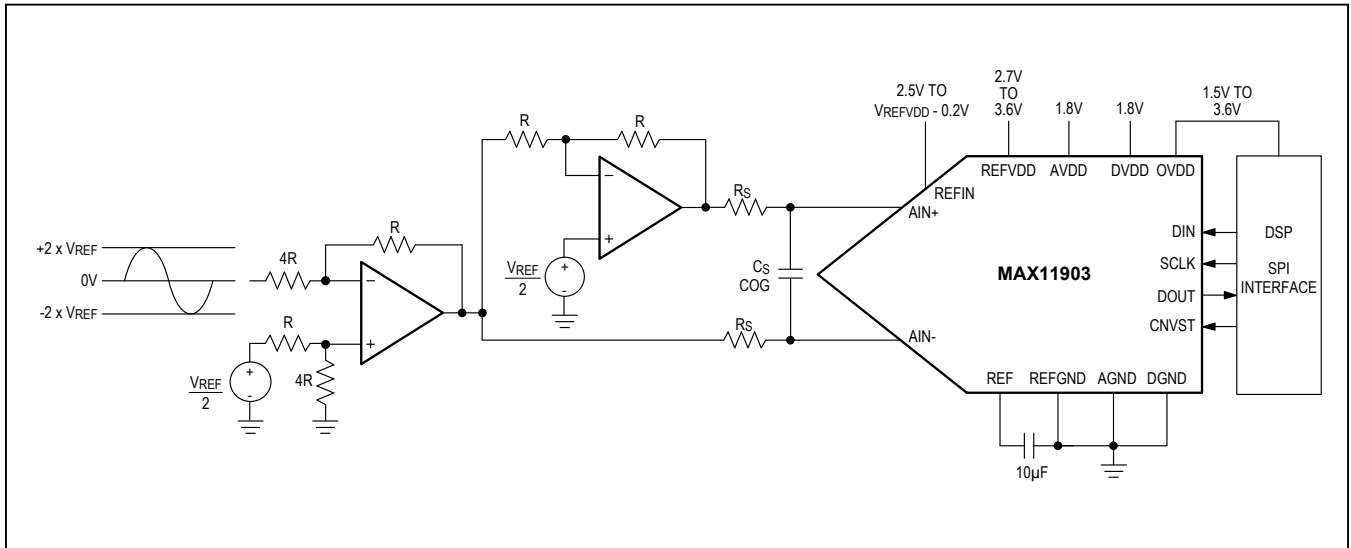


図 14. バイポーラシングルエンド入力

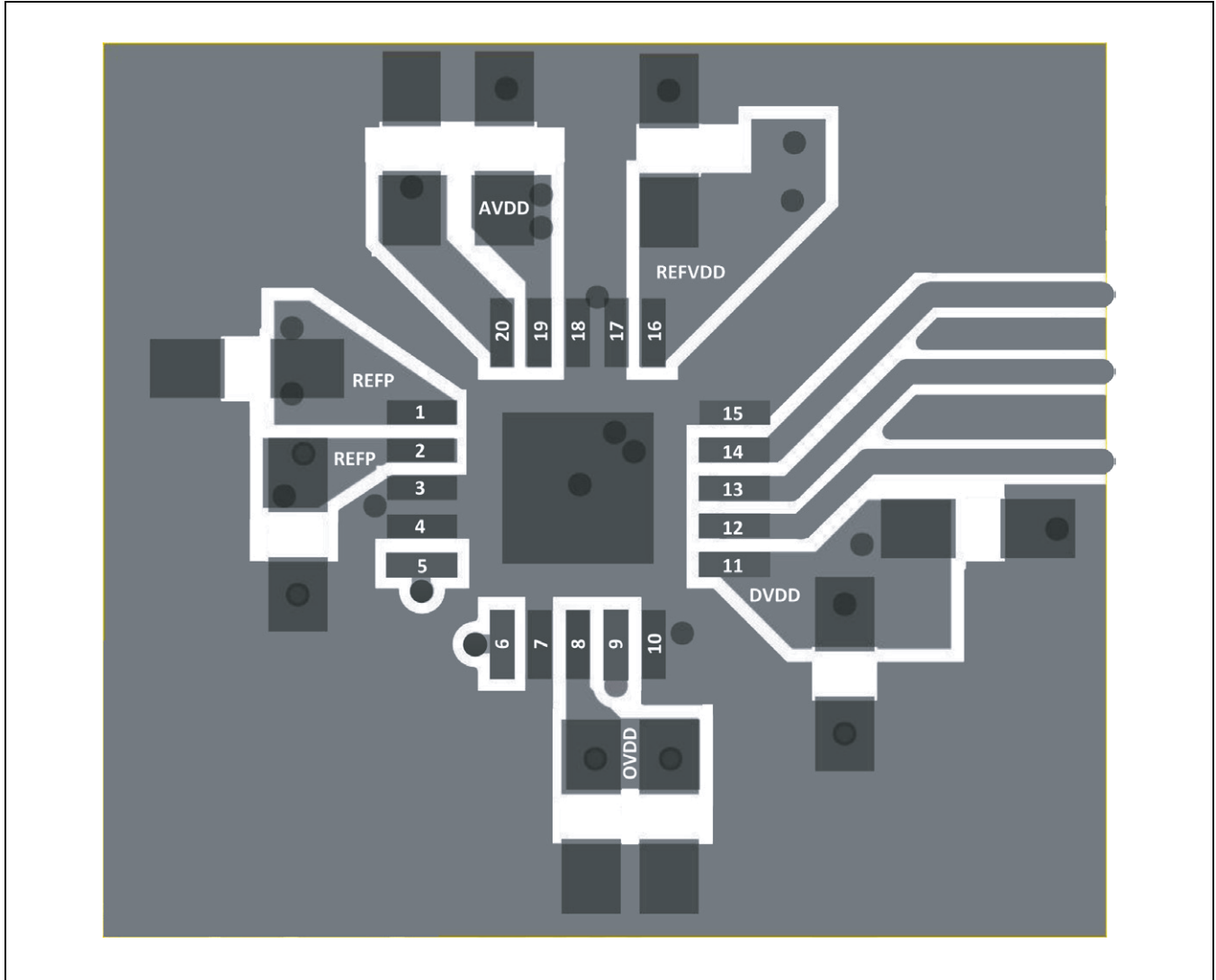


図 15. 表面層のレイアウト例

## 定義

### 積分非直線性

積分非直線性(INL)は、実際の伝達関数上の値と直線との偏差です。これらのデバイスでは、この直線はオフセット誤差と利得誤差の相殺後に伝達関数の端点間に引いた直線です。

### 微分非直線性

微分非直線性(DNL)は、1 LSBの実際のステップ幅と理想値との差です。これらのデバイスでは、各デジタル出力コードのDNLを測定し、最悪値を「[Electrical Characteristics \(電気的特性\)](#)」の表に記載しています。DNL誤差の仕様が±1 LSB未満であれば、ミッシングコードがないことが保証されます。

### オフセット誤差

オフセット誤差は、0V差動アナログ入力電圧で測定された実際の出力と理想出力との偏差として定義されます。

### 利得誤差

利得誤差は、測定される実際の出力範囲と予想される理想出力範囲との差として定義されます。これは、フルスケール範囲に近い振幅で入力に信号を印加して測定されます。

### 信号対ノイズ比

デジタルサンプルから完全に再構成された波形では、信号対ノイズ比(SN比)は、フルスケールのアナログ入力電力とRMS量子化誤差(残余誤差)との比率です。理想的な理論上の最小アナログ-デジタル変換ノイズは量子化ノイズ誤差にのみ起因し、ADCの分解能(Nビット)によって直接決定されます。

$$\text{SN比} = (6.02 \times N + 1.76) \text{dB}$$

実際には、熱雑音、基準電圧雑音、クロックジッタなど、量子化雑音以外にもノイズ源が存在します。SN比は雑音電力に対する信号電力の比率を求めることによって計算され、全スペクトル成分から基本波、最初の5つの高調波、およびDCオフセットを除いたものが含まれます。

### 信号対ノイズ+歪み

信号対ノイズ+歪み(SINAD)は、基本入力周波数の電力とその他すべてのADC出力信号の電力との比率です。

$$\text{SINAD(dB)} = 10 \times \text{LOG} \left[ \frac{\text{Signal}}{\text{(Noise + Distortion)}} \right]$$

### 有効ビット数

有効ビット数(ENOB)は、特定の入力周波数とサンプリングレートにおけるADCの総合的な精度を示します。理想的なADCの誤差は、量子化雑音のみで構成されます。入力範囲がADCのフルスケール範囲に等しい場合は、次式によってENOBを計算します。

$$\text{ENOB} = \frac{\text{SINAD} - 1.76}{6.02}$$

### 全高調波歪み

全高調波歪み(THD)は、変換されたデータの最初の5つの高調波に含まれる電力と基本波の電力との比率です。これは次の式で表されます。

$$\text{THD} = 10 \times \text{log} \left[ \frac{P_2 + P_3 + P_4 + P_5}{P_1} \right]$$

ここで、 $P_1$ は基本波の電力、 $P_2 \sim P_5$ は2次～5次の高調波の電力です。

### スプリアスフリーダイナミックレンジ

スプリアスフリーダイナミックレンジ(SFDR)は、基本波(最大の信号成分)の電力と、次に大きな周波数成分の電力との比率です。

### アパーチャ遅延

アパーチャ遅延( $t_{AD}$ )は、サンプリングクロックのエッジから実際のサンプルが取得される瞬間までの時間遅延です。

### アパーチャジッタ

アパーチャジッタ( $t_{AJ}$ )は、アパーチャ遅延におけるサンプルごとのばらつきです。

## 選択ガイド

PART	BITS	SPEED (ksps)	FULLY DIFFERENTIAL INPUT (MAX) (V)	REFERENCE BUFFERS	PACKAGE
MAX11900*	16	1000	±3.6	Internal/External	4mm x 4mm TQFN-20
MAX11901	16	1600	±3.6	Internal/External	4mm x 4mm TQFN-20
MAX11902*	18	1000	±3.6	Internal/External	4mm x 4mm TQFN-20
MAX11903	18	1600	±3.6	Internal/External	4mm x 4mm TQFN-20
MAX11904*	20	1000	±3.6	Internal/External	4mm x 4mm TQFN-20
MAX11905	20	1600	±3.6	Internal/External	4mm x 4mm TQFN-20

\*開発中の製品。出荷時期に関してはお問い合わせください。

## 型番

PART	TEMP RANGE	PIN-PACKAGE
MAX11903ETP+	-40°C to +85°C	20 TQFN-EP*

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。

\*EP = エクスポートパッド。

## チップ情報

PROCESS: CMOS

## パッケージ

最新のパッケージ図面情報およびランドパターン(フットプリント)は [japan.maximintegrated.com/packages](http://japan.maximintegrated.com/packages) を参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点に注意してください。

パッケージタイプ	パッケージコード	外形図No.	ランドパターンNo.
20 TQFN-EP	T2044+5	<a href="#">21-0139</a>	<a href="#">90-0429</a>

## 改訂履歴

版数	改訂日	説明	改訂ページ
0	6/14	初版	—



マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maxim Integratedは完全にMaxim Integrated製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maxim Integratedは随時予告なく回路及び仕様を変更する権利を留保します。「Electrical Characteristics (電気的特性)」の表に示すパラメータ値 (min、maxの各制限値)は、このデータシートの他の場所で引用している値より優先されます。

**Maxim Integrated 160 Rio Robles, San Jose, CA 95134 USA 1-408-601-1000**

29