

EVALUATION KIT
AVAILABLE±5V、1.5Gsp/s、8ビットADC
2.2GHzトラック/ホールドアンプ内蔵

MAX108

概要

MAX108は、2.2GHzまでの帯域幅でアナログ信号の正確な数値化が可能なPECLコンパチブルの1.5Gsp/s、8ビットアナログデジタルコンバータ(ADC)です。マキシム社独自の先進のGST-2パイポーラプロセスで製造されたMAX108は、高性能トラック/ホールド(T/H)アンプとデジタルタイザを単一のモノリシックチップに集積化しています。

フルパワー入力帯域幅が2.2GHzと非常に広い内蔵T/Hは、革新的な設計により、ナイキスト周波数で高性能(有効ビット数7.5)を実現しています。完全差動コンパレータ設計及びデコード回路により、シーケンスずれ(サーモメータバブル又はスパークルコード)を減少させ、優れた準安定性能を提供します。エラーにより、偽のフル又はゼロスケール出力が生じ得る他のADCとは異なり、MAX108はエラーの大きさが1LSBに制限されています。

アナログ入力は差動又はシングルエンド用に設計されており、入力電圧範囲は±250mVとなっています。デュアル差動PECLコンパチブル出力経路により、インタフェースが容易になり、また、出力データ速度をサンプリングクロック速度の半分に低減する8:16デマルチプレクサを備えています。PECL出力は+3V~+5V範囲の任意の電源で動作できるため、+3.3V又は+5V基準の機器とコンパチブルです。他のMAX108をインタリーブして、実行システムサンプリング速度を増加させるための制御入力も提供されています。

MAX108のパッケージは、25mm x 25mm、192コンタクトのエンハンスドスーパーボールグリッドアレイ(ESBGA™)です。温度範囲は、民生用(0°C~+70°C)のものが用意されています。MAX108とピンコンパチブルな低速バージョンについては、MAX104(1Gsp/s)及びMAX106(600Msp/s)データシートを参照して下さい。

アプリケーション

- デジタルRF/IF信号処理
- ダイレクトRFダウンコンバージョン
- 高速データ収集
- デジタル発振器
- 高エネルギー物理
- レーダ/ECM機器
- ATE機器

標準動作回路はデータシートの最後に記載されています。

ESBGAはAmkor/Anamの商標です。

MAXIM

Maxim Integrated Products 1

本データシートに記載された内容はMaxim Integrated Productsの公式な英語版データシートを翻訳したものです。翻訳により生じる相違及び誤りについては責任を負いかねます。正確な内容の把握には英語版データシートをご参照ください。

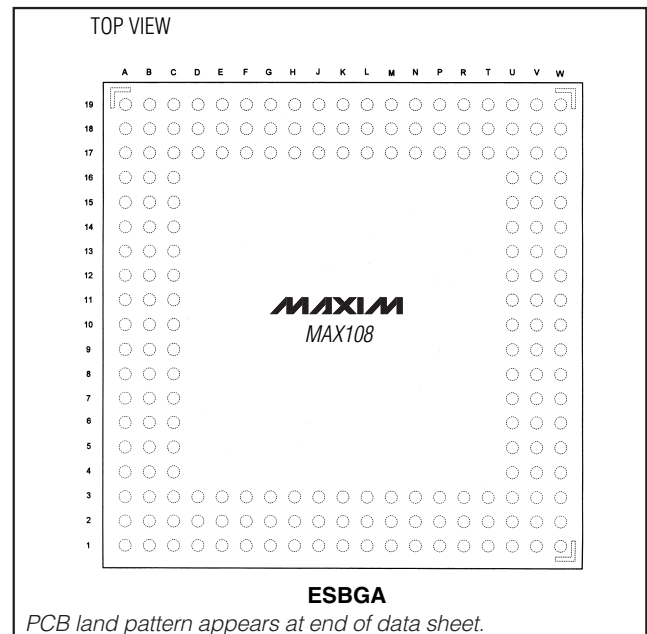
無料サンプル及び最新版データシートの入手には、マキシムのホームページをご利用ください。http://japan.maxim-ic.com

特長

- ◆ 変換速度：1.5Gsp/s
- ◆ フルパワーアナログ入力帯域幅：2.2GHz
- ◆ 有効ビット数：
 $f_{IN} = 750\text{MHz}$ (ナイキスト周波数)において7.5
- ◆ INL及びDNL：±0.25LSB
- ◆ 50Ωの差動アナログ入力
- ◆ 入力信号範囲：±250mV
- ◆ 内蔵+2.5V高精度バンドギャップ電圧リファレンス
- ◆ ラッチ付差動PECLデジタル出力
- ◆ 選択可能な8:16デマルチプレクサ
- ◆ 内部デマルチプレクサリセット入力(リセット出力付)
- ◆ パッケージ：192コンタクトのESBGA
- ◆ MAX104(1Gsp/s)及びMAX106(600Msp/s)とピンコンパチブル

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX108CHC	0°C to +70°C	192 ESBGA

192コンタクトのESBGA
ボール割当マトリックス

±5V、1.5Gsp/s、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX108

ABSOLUTE MAXIMUM RATINGS

V _{CCA} to G _{NDA}	-0.3V to +6V	R _{STIN+} , R _{STIN-}	-0.3V to (V _{CCO} + 0.3V)
V _{CCD} to G _{NDD}	-0.3V to +6V	V _{OSADJ} Adjust Input	-0.3V to (V _{CC1} + 0.3V)
V _{CC1} to G _{ND1}	-0.3V to +6V	CLK+ to CLK- Voltage Difference	±3V
V _{CCO} to G _{NDD}	-0.3V to (V _{CCD} + 0.3V)	CLK+, CLK-	(V _{EE} - 0.3V) to (G _{NDD} + 1V)
AUXEN1, AUXEN2 to G _{ND}	-0.3V to (V _{CCD} + 0.3V)	CLKCOM	(V _{EE} - 0.3V) to (G _{NDD} + 1V)
V _{EE} to G _{ND1}	-6V to +0.3V	VIN+ to VIN- Voltage Difference	±2V
Between G _{ND} s	-0.3V to +0.3V	VIN+, VIN- to G _{ND1}	±2V
V _{CCA} to V _{CCD}	-0.3V to +0.3V	Continuous Power Dissipation (T _A = +70°C)	
V _{CCA} to V _{CC1}	-0.3V to +0.3V	192-Contact ESBGA (derate 61mW/°C above +70°C)	4.88W
PECL Digital Output Current	50mA	(with heatsink and 200 LFM airflow,	
REFIN to G _{NDR}	-0.3V to (V _{CC1} + 0.3V)	derate 106mW/°C above +70°C)	8.48W
REFOUT Current	+100µA to -5mA	Operating Temperature Range	
ICONST, IPTAT to G _{ND1}	-0.3V to +1.0V	MAX108CHC	0°C to +70°C
TTL/CMOS Control Inputs		Operating Junction Temperature	+150°C
(DEMUXEN, DIVSELECT)	-0.3V to (V _{CCD} + 0.3V)	Storage Temperature Range	-65°C to +150°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(V_{CCA} = V_{CC1} = V_{CCD} = +5.0V ±5%, V_{EE} = -5.0V ±5%, V_{CCO} = +3.0V to V_{CCD}, REFIN connected to REFOUT, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ACCURACY						
Resolution	RES		8			Bits
Integral Nonlinearity (Note 1)	INL	T _A = +25°C	-0.5	±0.25	0.5	LSB
Differential Nonlinearity (Note 1)	DNL	T _A = +25°C	-0.5	±0.25	0.5	LSB
Missing Codes		No missing codes guaranteed			None	Codes
ANALOG INPUTS						
Full-Scale Input Range	V _{FSR}	Note 1	475	500	525	mVp-p
Common-Mode Input Range	V _{CM}	Signal + offset w.r.t. G _{ND1}		±0.8		V
Input Resistance	R _{IN}	VIN+ and VIN- to G _{ND1} , T _A = +25°C	49	50	51	Ω
Input Resistance Temperature Coefficient	T _{CR}			150		ppm/°C
VOS ADJUST CONTROL INPUT						
Input Resistance (Note 2)	R _{VOS}		14	25		kΩ
Input V _{OS} Adjust Range		V _{OSADJ} = 0 to 2.5V	±4	±5.5		LSB
REFERENCE INPUT AND OUTPUT						
Reference Output Voltage	REFOUT	Driving REFIN input only	2.475	2.50	2.525	V
Reference Output Load Regulation	ΔREFOUT	0 < I _{SOURCE} < 2.5mA			5	mV
Reference Input Resistance	R _{REF}	Referenced to G _{NDR}	4	5		kΩ

±5V、1.5Gsp/s、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX108

DC ELECTRICAL CHARACTERISTICS (continued)

($V_{CCA} = V_{CCI} = V_{CCD} = +5.0V \pm 5\%$, $V_{EE} = -5.0V \pm 5\%$, $V_{CCO} = +3.0V$ to V_{CCD} , REFIN connected to REFOUT, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CLOCK INPUTS (Note 3)						
Clock Input Resistance	R_{CLK}	CLK+ and CLK- to CLKCOM, $T_A = +25^\circ C$	48	50	52	Ω
Input Resistance Temperature Coefficient	TCR			150		ppm/ $^\circ C$
TTL/CMOS CONTROL INPUTS (DEMUXEN, DIVSELECT)						
High-Level Input Voltage	V_{IH}		2.0			V
Low-Level Input Voltage	V_{IL}				0.8	V
High-Level Input Current	I_{IH}	$V_{IH} = 2.4V$			50	μA
Low-Level Input Current	I_{IL}	$V_{IL} = 0$	-1		1	μA
DEMUX RESET INPUT (Note 4)						
Digital Input High Voltage	V_{IH}		-1.165			V
Digital Input Low Voltage	V_{IL}				-1.475	V
PECL DIGITAL OUTPUTS (Note 5)						
Digital Output High Voltage	V_{OH}		-1.025		-0.880	V
Digital Output Low Voltage	V_{OL}		-1.810		-1.620	V
POWER REQUIREMENTS						
Positive Analog Supply Current	I_{CCA}			480	780	mA
Positive Input Supply Current	I_{CCI}			108	150	mA
Negative Input Supply Current	I_{EE}		-290	-210		mA
Digital Supply Current	I_{CCD}			205	340	mA
Output Supply Current (Note 6)	I_{CCO}			75	115	mA
Power Dissipation (Note 6)	P_{DISS}			5.25		W
Common-Mode Rejection Ratio (Note 7)	CMRR	$V_{IN+} = V_{IN-} = \pm 0.1V$	40	68		dB
Positive Power-Supply Rejection Ratio (Note 8)	PSRR+	(Note 9)	40	73		dB
Negative Power-Supply Rejection Ratio (Note 8)	PSRR-	(Note 10)	40	68		dB

±5V、1.5Gsp/s、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX108

AC ELECTRICAL CHARACTERISTICS

($V_{CCA} = V_{CC1} = V_{CCD} = +5.0V$, $V_{EE} = -5.0V$, $V_{CCO} = +3.3V$, REFIN connected to REFOUT, $f_S = 1.5Gsp/s$, f_{IN} at -1dBFS, $T_A = +25^\circ C$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
ANALOG INPUT							
Analog Input Full-Power Bandwidth	BW-3dB				2.2		GHz
Analog Input VSWR	VSWR	$f_{IN} = 500MHz$			1.1:1		V/V
Transfer Curve Offset	V _{OS}	VOSADJ control input open		-2	0	+2	LSB
DYNAMIC SPECIFICATIONS							
Effective Number of Bits (Note 11)	ENOB ₁₅₀₀	$f_{IN} = 1500MHz$	Differential		7.07		Bits
			Single-ended		7.07		
	ENOB ₇₅₀	$f_{IN} = 750MHz$	Differential		7.51		
			Single-ended		7.53		
	ENOB ₂₅₀	$f_{IN} = 250MHz$	Differential	7.3	7.71		
			Single-ended		7.71		
Signal-to-Noise Ratio (No Harmonics)	SNR ₁₅₀₀	$f_{IN} = 1500MHz$	Differential		44.8		dB
			Single-ended		44.9		
	SNR ₇₅₀	$f_{IN} = 750MHz$	Differential		46.8		
			Single-ended		46.9		
	SNR ₂₅₀	$f_{IN} = 250MHz$	Differential	44.8	47.4		
			Single-ended		47.4		
Total Harmonic Distortion (Note 12)	THD ₁₅₀₀	$f_{IN} = 1500MHz$	Differential		-44.5		dB
			Single-ended		-44.2		
	THD ₇₅₀	$f_{IN} = 750MHz$	Differential		-52.1		
			Single-ended		-52.8		
	THD ₂₅₀	$f_{IN} = 250MHz$	Differential		-60.2	-55.5	
			Single-ended		-61.3		
Spurious-Free Dynamic Range	SFDR ₁₅₀₀	$f_{IN} = 1500MHz$	Differential		44.6		dB
			Single-ended		45.5		
	SFDR ₇₅₀	$f_{IN} = 750MHz$	Differential		54.0		
			Single-ended		54.1		
	SFDR ₂₅₀	$f_{IN} = 250MHz$	Differential	55.0	61.6		
			Single-ended		61.7		
Signal-to-Noise Ratio and Distortion	SINAD ₁₅₀₀	$f_{IN} = 1500MHz$	Differential		43.3		dB
			Single-ended		43.4		
	SINAD ₇₅₀	$f_{IN} = 750MHz$	Differential		46.0		
			Single-ended		46.1		
	SINAD ₂₅₀	$f_{IN} = 250MHz$	Differential	44.7	47.2		
			Single-ended		47.2		
Two-Tone Intermodulation	IMD	$f_{IN1} = 247MHz$, $f_{IN2} = 253MHz$, at -7dB below full-scale			-66.8		dB

±5V、1.5Gsp/s、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX108

AC ELECTRICAL CHARACTERISTICS (continued)

($V_{CCA} = V_{CC1} = V_{CCD} = +5.0V$, $V_{EE} = -5.0V$, $V_{CCO} = +3.3V$, REFIN connected to REFOUT, $f_S = 1.5Gsp/s$, f_{IN} at -1dBFS, $T_A = +25^\circ C$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
TIMING CHARACTERISTICS						
Maximum Sample Rate	f_{MAX}		1.5			Gsp/s
Clock Pulse Width Low	t_{PWL}	Figure 17	0.3			ns
Clock Pulse Width High	t_{PWH}	Figure 17	0.3		5	ns
Aperture Delay	t_{AD}	Figure 4		100		ps
Aperture Jitter	t_{AJ}	Figure 4		<0.5		ps
Reset Input Data Setup Time (Note 13)	t_{SU}	Figure 15	0			ps
Reset Input Data Hold Time (Note 13)	t_{HD}	Figure 15	0			ps
CLK to DREADY Propagation Delay	t_{PD1}	Figure 17		2.2		ns
DREADY to DATA Propagation Delay (Note 14)	t_{PD2}	Figure 17	-50	150	350	ps
DATA Rise Time	t_{RDATA}	20% to 80%, $C_L = 3pF$		420		ps
DATA Fall Time	t_{FDATA}	20% to 80%, $C_L = 3pF$		360		ps
DREADY Rise Time	$t_{RDREADY}$	20% to 80%, $C_L = 3pF$		220		ps
DREADY Fall Time	$t_{FDREADY}$	20% to 80%, $C_L = 3pF$		180		ps
Primary Port Pipeline Delay	t_{PDP}	Figures 6, 7, 8	DIV1, DIV2 modes		7.5	Clock Cycles
			DIV4 mode		7.5	
Auxiliary Port Pipeline Delay	t_{PDA}	Figures 6, 7, 8	DIV1, DIV2 modes		8.5	Clock Cycles
			DIV4 mode		9.5	

- Note 1:** Static linearity parameters are computed from a “best-fit” straight line through the code transition points. The full-scale range (FSR) is defined as 256 times the slope of the line.
- Note 2:** The offset control input is a self-biased voltage divider from the internal +2.5V reference voltage. The nominal open-circuit voltage is +1.25V. It may be driven from an external potentiometer connected between REFOUT and GNDI.
- Note 3:** The clock input’s termination voltage can be operated between -2.0V and GNDI. Observe the absolute maximum ratings on the CLK+ and CLK- inputs.
- Note 4:** Input logic levels are measured with respect to the V_{CCO} power-supply voltage.
- Note 5:** All PECL digital outputs are loaded with 50Ω to $V_{CCO} - 2.0V$. Measurements are made with respect to the V_{CCO} power-supply voltage.
- Note 6:** The current in the V_{CCO} power supply does not include the current in the digital output’s emitter followers, which is a function of the load resistance and the V_{TT} termination voltage.
- Note 7:** Common-mode rejection ratio (CMRR) is defined as the ratio of the change in the transfer-curve offset voltage to the change in the common-mode voltage, expressed in dB.
- Note 8:** Power-supply rejection ratio (PSRR) is defined as the ratio of the change in the transfer-curve offset voltage to the change in power-supply voltage, expressed in dB.
- Note 9:** Measured with the positive supplies tied to the same potential; $V_{CCA} = V_{CCD} = V_{CC1}$. V_{CC} varies from +4.75V to +5.25V.
- Note 10:** V_{EE} varies from -5.25V to -4.75V.

±5V、1.5Gpsps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

Note 11: Effective number of bits (ENOB) are computed from a curve fit referenced to the theoretical full-scale range.

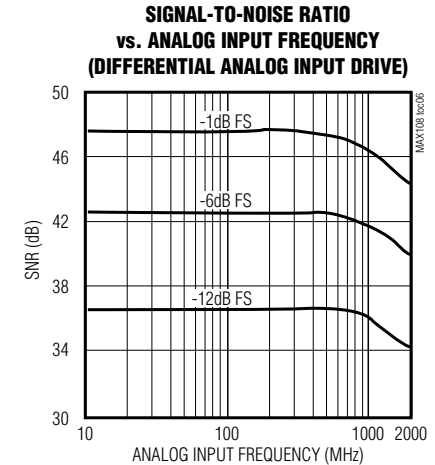
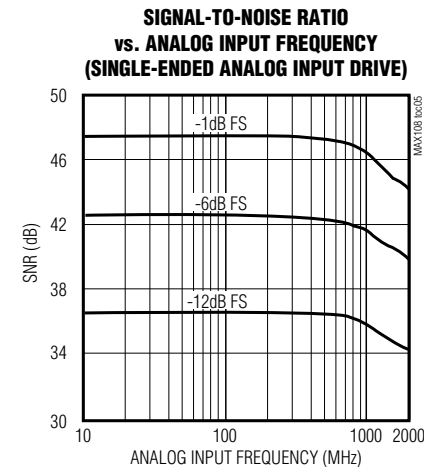
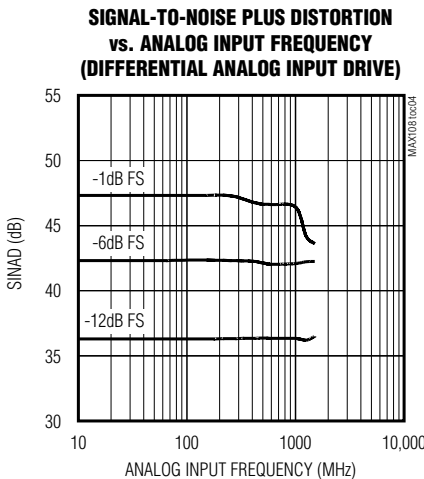
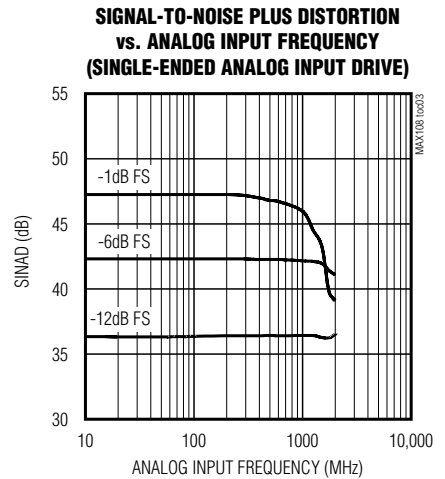
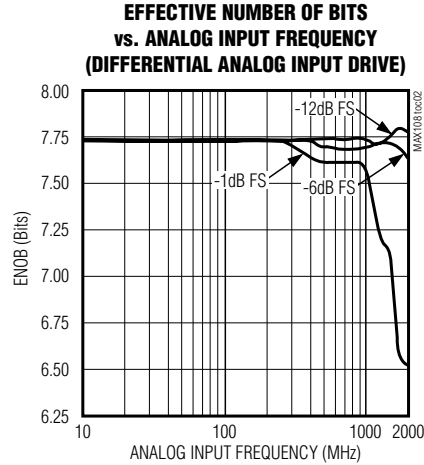
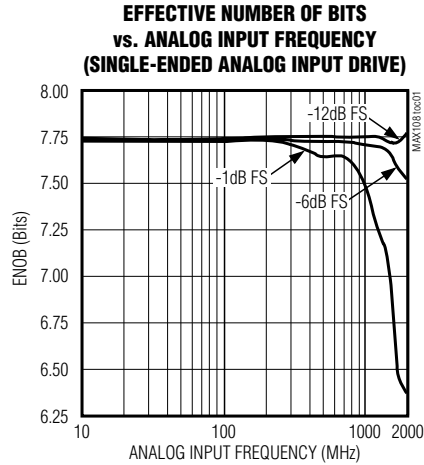
Note 12: Total harmonic distortion (THD) is computed from the first five harmonics.

Note 13: Guaranteed by design with a reset pulse width one clock period long or greater.

Note 14: Guaranteed by design. The DREADY to DATA propagation delay is measured from the 50% point on the rising edge of the DREADY signal (when the output data changes) to the 50% point on a data output bit. This places the falling edge of the DREADY signal in the middle of the data output valid window, within the differences between the DREADY and DATA rise and fall times, which gives maximum setup and hold time for latching external data latches.

標準動作特性

($V_{CCA} = V_{CC1} = V_{CCD} = +5V$, $V_{EE} = -5V$, $V_{CCO} = +3.3V$, REFIN connected to REFOUT, $f_s = 1.5Gpsps$, $T_A = +25^\circ C$, unless otherwise noted.)



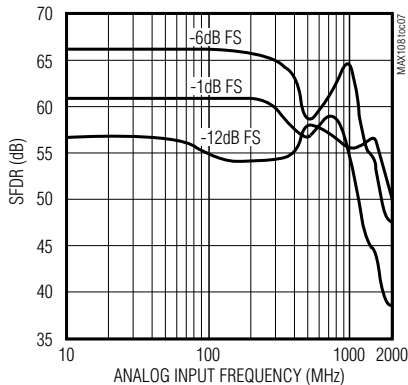
±5V、1.5Gsp/s、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX108

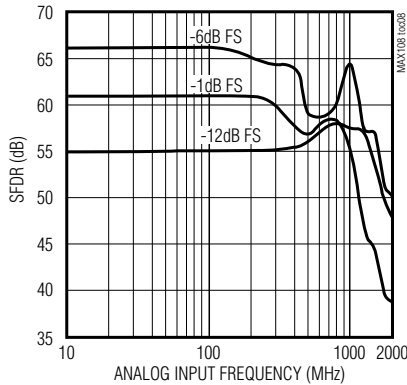
標準動作特性(続き)

($V_{CCA} = V_{CC1} = V_{CCD} = +5V$, $V_{EE} = -5V$, $V_{CCO} = +3.3V$, REF_{IN} connected to REF_{OUT} , $f_S = 1.5Gsp/s$, $T_A = +25^\circ C$, unless otherwise noted.)

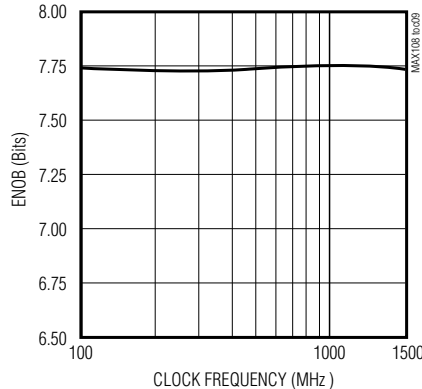
SPURIOUS-FREE DYNAMIC RANGE vs. ANALOG INPUT FREQUENCY (SINGLE-ENDED ANALOG INPUT DRIVE)



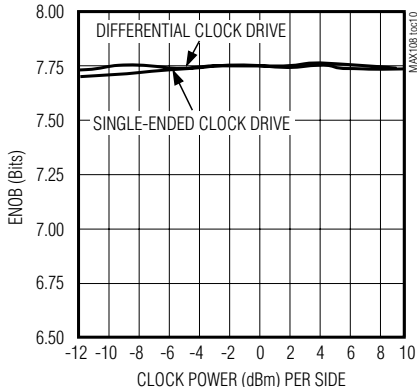
SPURIOUS-FREE DYNAMIC RANGE vs. ANALOG INPUT FREQUENCY (DIFFERENTIAL ANALOG INPUT DRIVE)



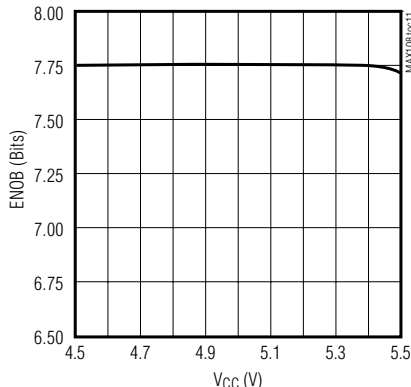
EFFECTIVE NUMBER OF BITS vs. CLOCK FREQUENCY ($f_{IN} = 250MHz$, 1dB FS)



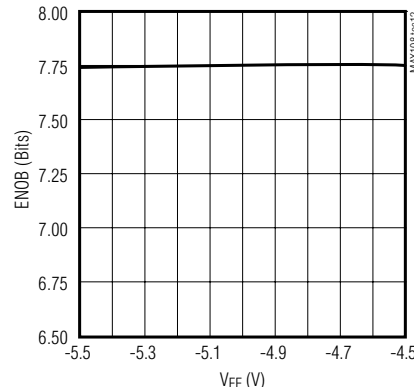
EFFECTIVE NUMBER OF BITS vs. CLOCK POWER ($f_{IN} = 250MHz$, -1dB FS)



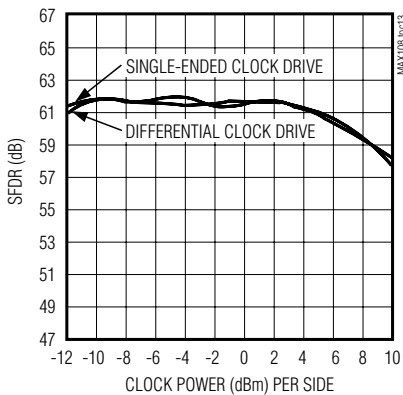
EFFECTIVE NUMBER OF BITS vs. $V_{CC1} = V_{CCA} = V_{CCD}$ ($f_{IN} = 250MHz$, -1dB FS)



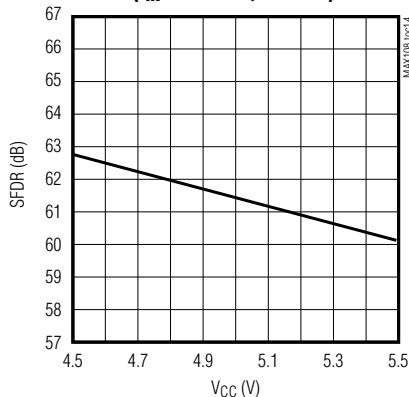
EFFECTIVE NUMBER OF BITS vs. V_{EE} ($f_{IN} = 250MHz$, -1dB FS)



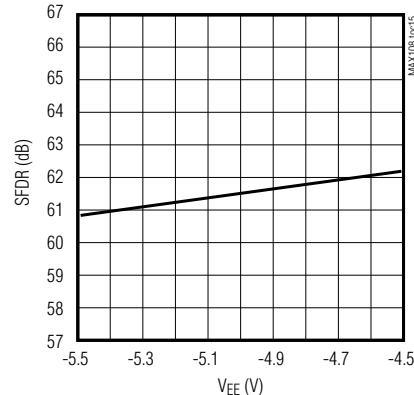
SPURIOUS-FREE DYNAMIC RANGE vs. CLOCK POWER ($f_{IN} = 250MHz$, -1dB FS)



SPURIOUS-FREE DYNAMIC RANGE vs. $V_{CC1} = V_{CCA} = V_{CCD}$ ($f_{IN} = 250MHz$, -1dB FS)



SPURIOUS-FREE DYNAMIC RANGE vs. V_{EE} ($f_{IN} = 250MHz$, -1dB FS)



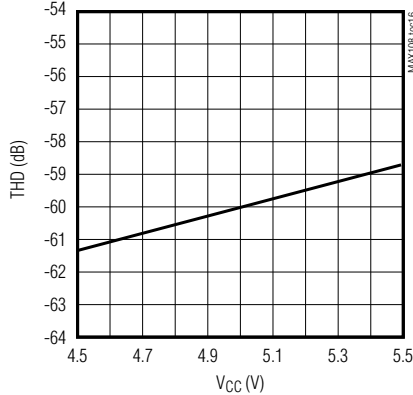
±5V、1.5Gsp/s、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX108

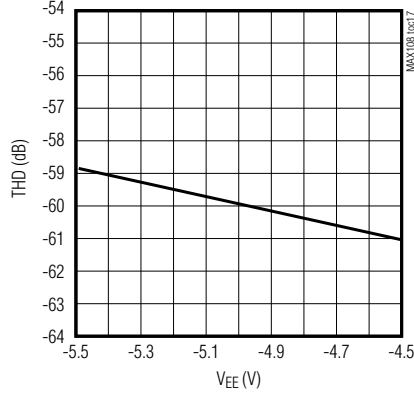
標準動作特性(続き)

($V_{CCA} = V_{CC1} = V_{CCD} = +5V$, $V_{EE} = -5V$, $V_{CCO} = +3.3V$, REFIN connected to REFOUT, $f_S = 1.5Gsp/s$, $T_A = +25^\circ C$, unless otherwise noted.)

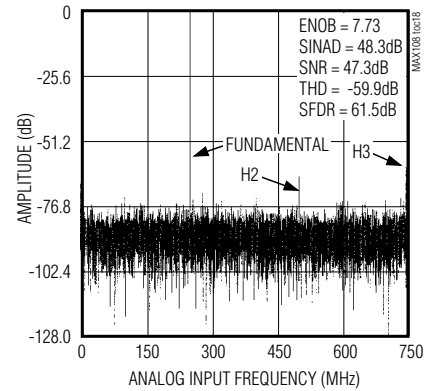
**TOTAL HARMONIC DISTORTION
vs. $V_{CC1} = V_{CCA} = V_{CCD}$
($f_{IN} = 250MHz$, -1dB FS)**



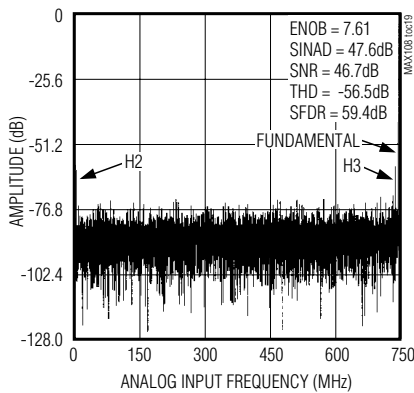
**TOTAL HARMONIC DISTORTION vs. V_{EE}
($f_{IN} = 250MHz$, -1dB FS)**



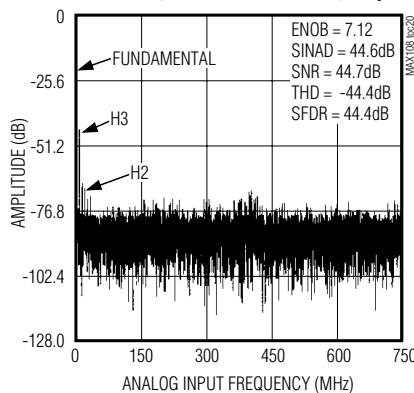
**FFT PLOT
($f_{IN} = 250.9460449MHz$,
RECORD LENGTH 16,384)**



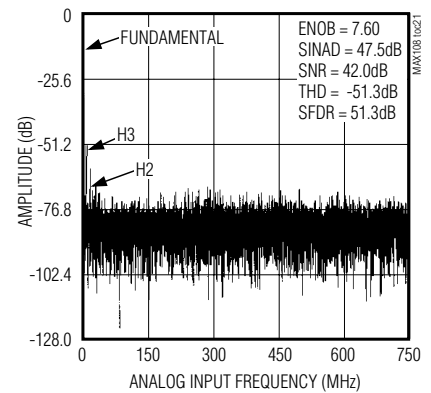
**FFT PLOT
($f_{IN} = 747.1618562MHz$,
RECORD LENGTH 16,384)**



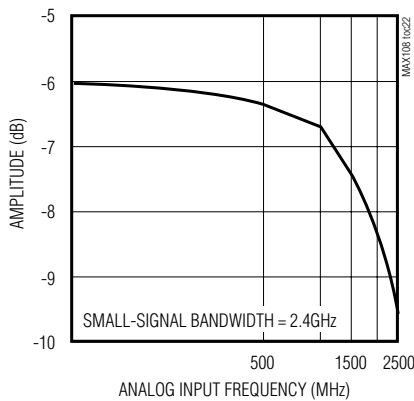
**FFT PLOT
($f_{IN} = 1503.021240MHz$,
-1dB FS, RECORD LENGTH 16,384)**



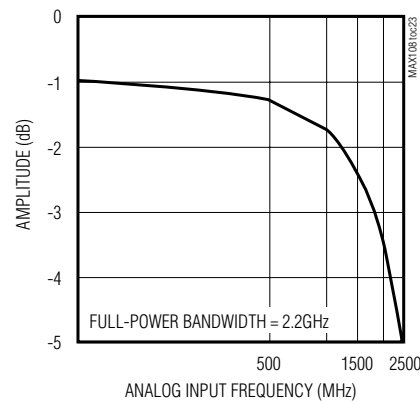
**FFT PLOT
($f_{IN} = 1503.021240MHz$,
-3dB FS, RECORD LENGTH 16,384)**



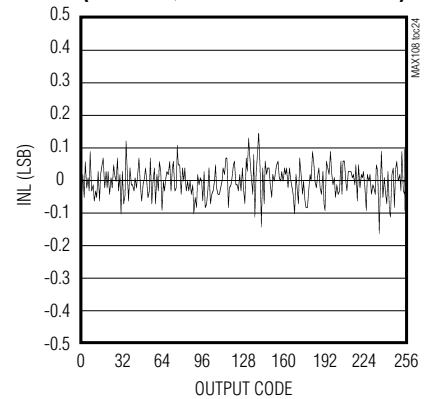
**ANALOG INPUT BANDWIDTH
-6dB BELOW FULL SCALE**



**ANALOG INPUT BANDWIDTH
FULL POWER**



**INTEGRAL NONLINEARITY
vs. OUTPUT CODE
(LOW-FREQUENCY SERVO-LOOP DATA)**

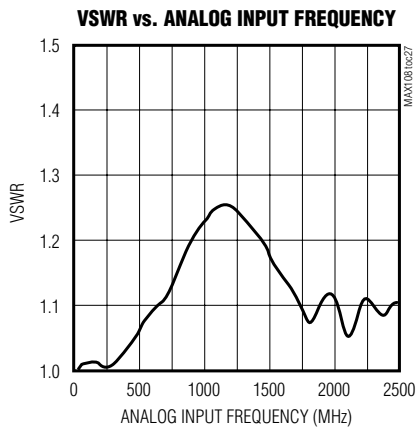
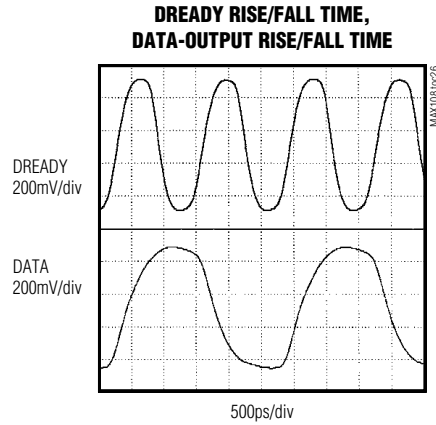
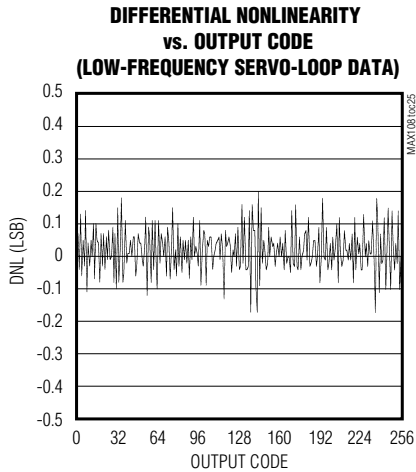


±5V、1.5Gsp/s、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

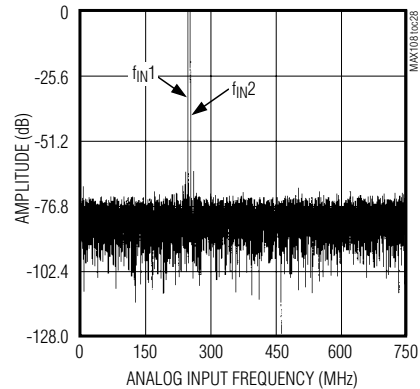
MAX108

標準動作特性(続き)

($V_{CCA} = V_{CC1} = V_{CCD} = +5V$, $V_{EE} = -5V$, $V_{CCO} = +3.3V$, REFIN connected to REFOUT, $f_S = 1.5Gsp/s$, $T_A = +25^\circ C$, unless otherwise noted.)



TWO-TONE INTERMODULATION FFT PLOT
($f_{IN1} = 247.1008301MHz$, $f_{IN2} = 253.3264160MHz$, 7dB BELOW FULL SCALE, RECORD LENGTH 16,384)



端子説明

コンタクト	名称	機能
A1–A4, A6, A7, B1, B2, C1, C2, D1–D3, G1, H1, J2, J3, K1–K3, L2, L3, M1, N1, T2, T3, U1, V1, V2, W1–W4	GNDI	アナロググランド。T/Hアンプ、クロック分配、バンドギャップリファレンス及びリファレンスアンプ用。
A5, B5, C5, H2, H3, M2, M3, U5, V5, W5	V_{CC1}	アナログ電源電圧(+5V)。T/Hアンプ、クロック分配、バンドギャップリファレンス及びリファレンスアンプに電源を供給します。
A8, B8, C8, U6, V6, W6	GNDA	アナロググランド。コンバータアレイ用。
A9, B9, C9, U7, V7, W7	V_{CCA}	アナログ電源電圧(+5V)。アナログコンバータアレイに電源を供給します。
A10, E17, F2, P3, R17, R18	TESTPOINT (T.P.)	テストポイント。接続しないで下さい。
A11, B11, B16, B17, C11, C16, U9, U17, V9, V17, V18, W9	GNDD	デジタルグランド

±5V、1.5Gsp/s、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX108

端子説明(続き)

コンタクト	名称	機能
A12-A19, B19, C19, D19, E19, F19, G19, H19, J19, K19, L19, M19, N19, P19, T19, U19, V19, W10-W19	V _{CCO}	PECL電源電圧(+3V~+5V)
B3, B4, C3, C4, E3, F3, G2, G3, N2, N3, U2-U4, V3, V4	V _{EE}	アナログ電源電圧(-5V)。T/Hアンプ、クロック分配、バンドギャップリファレンス及びリファレンスアンプに電源を供給します。
B6, B7	GNDR	リファレンスグランド。 必ずGNDIに接続して下さい。
B10, B18, C10, C17, C18, T17, T18, U8, U18, V8, W8	V _{CCD}	デジタル電源電圧(+5V)
B12	P0+	主出力データビット0(LSB)
B13	A0+	補助出力データビット0(LSB)
B14	P1+	主出力データビット1
B15	A1+	補助出力データビット1
C6	REFIN	リファレンス入力
C7	REFOUT	リファレンス出力
C12	P0-	コンプリメンタリ主出力データビット0(LSB)
C13	A0-	コンプリメンタリ補助出力データビット0(LSB)
C14	P1-	コンプリメンタリ主出力データビット1
C15	A1-	コンプリメンタリ補助出力データビット1
D17	DIVSELECT	TTL/CMOSデマルチプレクサ分割選択入力 1: デシメーションDIV4モード 0: デマルチプレクサDIV2モード
D18	AUXEN2	V _{CCO} に接続すると補助ポートに電源が供給されます。GNDDに接続するとパワーダウンします。
E1	ICONST	チップ温度測定テストポイント。「チップ温度測定」を参照。
E2	IPTAT	チップ温度測定テストポイント。「チップ温度測定」を参照。
E18	DEMUXEN	TTL/CMOSデマルチプレクサイネーブル制御 1: デマルチプレクサをイネーブル 0: デマルチプレクサをディセーブル
F1	VOSADJ	オフセット調整入力
F17	P2-	コンプリメンタリ主出力データビット2
F18	P2+	主出力データビット2
G17	A2-	コンプリメンタリ補助出力データビット2
G18	A2+	補助出力データビット2
H17	P3-	コンプリメンタリ主出力データビット3
H18	P3+	主出力データビット3

±5V、1.5Gsp/s、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX108

端子説明(続き)

コンタクト	名称	機能
J1	VIN-	差動入力電圧(-)
J17	A3-	コンプリメンタリ補助出力データビット3
J18	A3+	補助出力データビット3
K17	DREADY-	コンプリメンタリデータレディックロック
K18	DREADY+	データレディックロック
L1	VIN+	差動入力電圧(+)
L17	P4-	コンプリメンタリ主出力データビット4
L18	P4+	主出力データビット4
M17	A4-	コンプリメンタリ補助出力データビット4
M18	A4+	補助出力データビット4
N17	P5-	コンプリメンタリ主出力データビット5
N18	P5+	主出力データビット5
P1	CLK-	コンプリメンタリサンプリングクロック入力
P2	TESTPOINT (T.P.)	このコンタクトは必ずGNDIに接続して下さい。
P17	A5-	コンプリメンタリ補助出力データビット5
P18	A5+	補助出力データビット5
R1-R3	CLKCOM	50Ωクロック終端処理リターン
R19	AUXEN1	V _{CCO} に接続すると補助ポートに電源が供給されます。GNDDに接続するとパワーダウンします。
T1	CLK+	サンプリングクロック入力
U10	RSTIN-	コンプリメンタリPECLデマルチプレクサリセット入力
U11	RSTOUT-	コンプリメンタリPECLリセット出力
U12	OR-	コンプリメンタリPECLオーバレンジビット
U13	A7-	コンプリメンタリ補助出力データビット7(MSB)
U14	P7-	コンプリメンタリ主出力データビット7(MSB)
U15	A6-	コンプリメンタリ補助出力データビット6
U16	P6-	コンプリメンタリ主出力データビット6
V10	RSTIN+	PECLデマルチプレクサリセット入力
V11	RSTOUT+	PECLリセット出力
V12	OR+	PECLオーバレンジビット
V13	A7+	補助出力データビット7(MSB)
V14	P7+	主出力データビット7(MSB)
V15	A6+	補助出力データビット6
V16	P6+	主出力データビット6

±5V、1.5Gsp/s、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX108

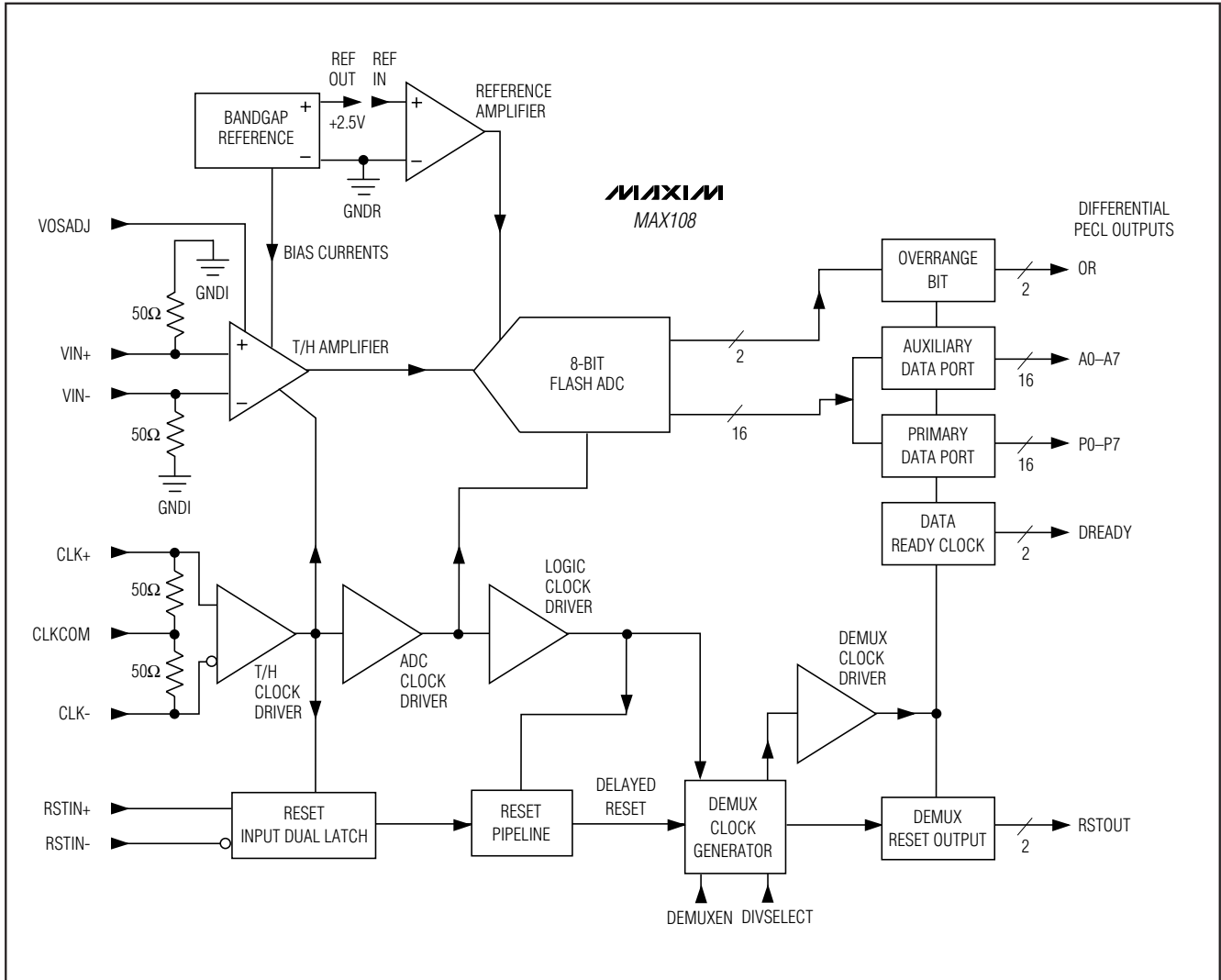


図1. 簡略ファンクションダイアグラム

詳細

MAX108は、内蔵トラック/ホールド(T/H)アンプ及び差動PECLコンパチブル出力付の8ビット1.5Gsp/sフラッシュ・アナログデジタルコンバータ(ADC)です。本ADC(図1)は、完全差動8ビットディジタイザとユニークなエンコード方式を採用することにより、準安定状態を制限し、しかも1LSB(max)を超えるエラーが生じません。集積化8:16出力デマルチプレクサは、出力データ速度をサンプリングクロック速度の半分に低減することにより、本製品へのインタフェースを単純化しています。このデマルチプレクサは内部リセット能力を持っている

ため、複数のMAX108のタイムインタリーブによってさらに高い実効サンプリング速度を実現します。

1.5Gsp/sクロックで駆動した場合、MAX108はアナログ入力周波数750MHzにおいて標準有効ビット数(ENOB)7.5以上を提供します。MAX108のアナログ入力は差動又はシングルエンド用に設計されており、フルスケール入力範囲は±250mVです。さらに、本ADCは+2.5V高精度バンドギャップリファレンスを内蔵しています。必要に応じて、外部リファレンスを使用することも可能です。

±5V、1.5Gsp/s、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX108

動作原理

MAX108のフラッシュ又はパラレル構造は、全ての一般的な集積化ADC設計の中で最も速いマルチビット変換を提供します。この高速フラッシュ構造の要は、革新的な高性能コンパレータ設計です。フラッシュコンバータ及びダウンストリームロジックがコンパレータ出力をパラレル8ビットコードに変換し、このバイナリコードをオプションの8:16デマルチプレクサに送ります。ここで、主及び補助ポートが、ポート当たり最大750Msp/sまでの速度(MAX108のデマルチプレクサ部の設定に依存)でPECLコンパチブルのデータを出します。

図2に理想的な伝達関数を示します。

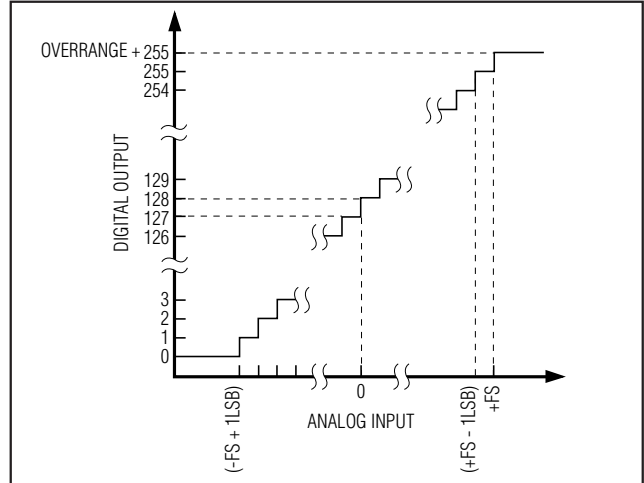


図2. 伝達関数

内蔵トラック/ホールドアンプ

これは全てのADCについて言えることですが、変換中に入力波形が急激に変化すると、有効ビット数(ENOB)及び信号対雑音比(SNR)の仕様が劣化します。MAX108の内蔵広帯域(2.2GHz)T/Hアンプはこの影響を低減し、ENOB性能を著しく改善するため、高い変換速度で高速アナログデータを高精度に捕捉できます。

T/Hアンプは入力信号オーババッファし、±250mVのフルスケール信号入力範囲を受け付けます。T/Hアンプは差動50Ω入力終端処理が施されているため、インピーダンス整合されたラインを使用してMAX108にインタフェースしやすくなっています。図3に、MAX108の内部T/Hアンプ段の簡略化回路図を示します。

アパーチャ幅、遅延及びジッタ(又は不確定性)は、高速コンバータの動的性能に影響するパラメータです。特にアパーチャジッタは、SNRに直接影響し、著しい誤差を生じさせないで量子化できる最大スルーレート(dV/dt)を制限します。MAX108は革新的なT/Hアンプ設計によって、アパーチャジッタを0.5ps以下(typ)に抑えています。

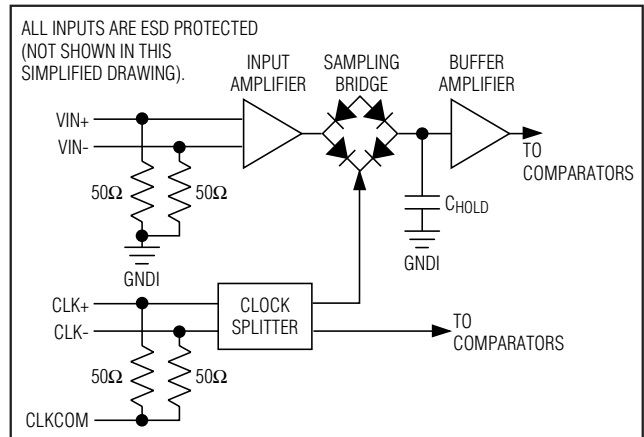


図3. 2.2GHz T/Hアンプの内部構造

アパーチャ幅

アパーチャ幅(t_{AW})は、(例えば、サンプリングブリッジをターンオフしてT/Hユニットをホールドモードにするために)T/H回路がホールドコンデンサを入力回路から切り離すために要する時間(図4)です。

アパーチャジッタ

アパーチャジッタ(t_{AJ})は、サンプル間の時間間隔のばらつき(図4)です。

アパーチャ遅延

アパーチャ遅延(t_{AD})は、サンプリングクロックの立上がりとサンプルが実際に行われる時点の間の時間です(図4)。

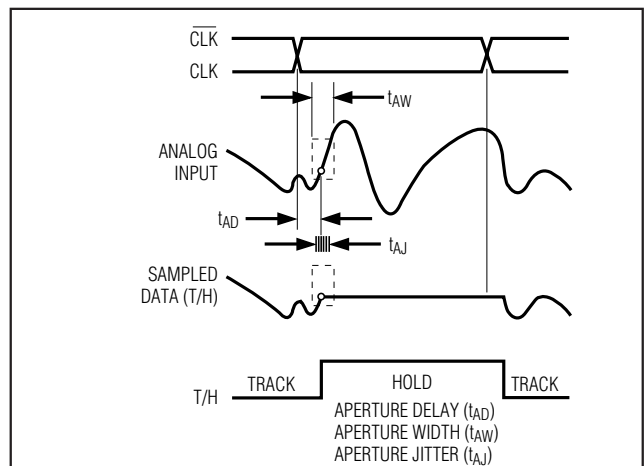


図4. T/Hアパーチャのタイミング

±5V、1.5Gbps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

内部リファレンス

MAX108は+2.5V高精度リファレンスを内蔵しています。このリファレンスはREFOUTをREFINに接続することにより、使用できます。これにより、リファレンス出力がリファレンスバッファの正入力に接続されます。このバッファの負入力、GNDRに内部接続されています。GNDRは、ユーザのアプリケーション基板上でGNDIに接続する必要があります。必要に応じて、REFOUTは外部機器を駆動するために最大2.5mAの電流ソースとして使用できます。

ADCのフルスケール範囲は、可変外部リファレンスを使用することにより調整できます。外部リファレンス電源を使用するには、高精度リファレンスをREFINに接続し、REFOUTピンをフローティング状態にしてください。この構成においては、2つのリファレンスの競合を避けるため、REFOUTを同時に接続することは出来ません。REFINの標準入力抵抗は5kΩで、+2.5V±200mVの入力電圧を受け付けます。最高の性能を得るために、MAX108の内部リファレンスを使用することを推奨します。

デジタル出力

MAX108は、オフセットバイナリフォーマットで差動PECL出力にデータを出します。図5にPECL出力セルの簡略化回路図を示します。全てのPECL出力はV_{CC0}によって駆動されます。V_{CC0}としては+3.0V~V_{CCD}間の任意の電圧が可能であるため、+3.3V又は+5Vのいずれの機器とフレキシブルなインタフェースが可能で、公称V_{CC0}電源電圧は+3.3Vです。

MAX108の全てのPECL出力はオープンエミッタ式であるため、各伝送ラインの遠い方の端でV_{CC0} - 2Vに対して50Ωで終端処理する必要があります。表1に、MAX108の全PECL出力とその機能を示します。

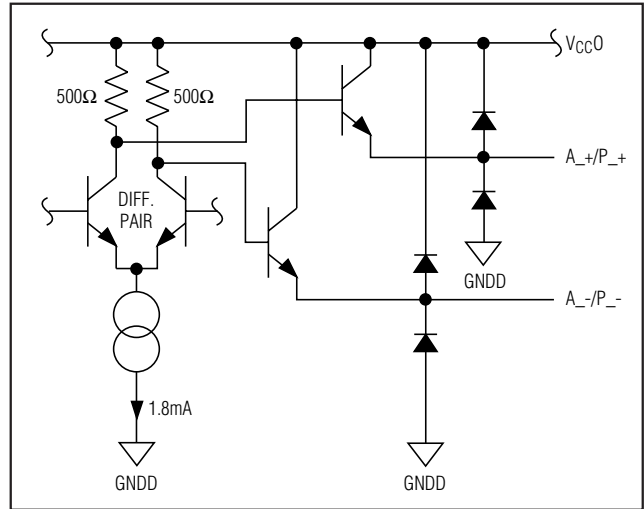


図5. 簡略化PECL出力構造

デマルチプレクサの動作

MAX108の内部デマルチプレクサは、2つのTTL/CMOSコンパチブル入力(DEMUXEN、DIVSELECT)によって制御される3つの異なる動作モードを提供します(「デマルチプレックスDIV2モード」, 「非デマルチプレックスDIV1モード」及び「デシメーションDIV4モード」を参照)。

DEMUXENは、内部1:2デマルチプレクサの動作をイネーブル/ディセーブルします。DEMUXENがロジックハイになると、内部デマルチプレクサがアクティブになり、ロジックローの時に非アクティブになります。内部デマルチプレクサがイネーブルされた状態で、DIVSELECTは動作モードの選択を制御します。DIVSELECTがローの時はデマルチプレックスDIV2モードになり、DIVSELECTがハイの時にデシメーションDIV4モードになります(表2)。

表1. PECL出力の機能

PECL出力信号	機能説明
P0+ to P7+, P0- to P7-	LSBからMSBまでの主ポート差動出力。“+”は真の出力を示し、“-”は補数出力を意味します。
A0+ to A7+, A0- to A7-	LSBからMSBまでの補助ポート差動出力。“+”は真の出力を示し、“-”は補数出力を意味します。
DREADY+, DREADY-	データレディックロック、真及び補の出力。これらの信号は主から補助への出力データのラッチに使用します。
OR+, OR-	オーバレンジ、真及び補の出力
RSTOUT+, RSTOUT-	リセット出力、真及び補の出力

±5V、1.5Gsp/s、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

非デマルチプレックスDIV1モード

MAX108は、非デマルチプレックスDIV1モードにおいて最大750Mspsまで動作可能です(表2)。このモードにおいては、内部デマルチプレックスはディセーブルされ、サンプリングされたデータは主ポートのみに出力されます。補助ポートにはそのデータが1クロックサイクル遅れて現れます(図6)。補助出力ポートは主出力ポートと同じデータストリームを含むため、AUXEN1及びAUXEN2をデジタルグランド(GNDD)に接続することにより、補助ポートをシャットダウンして電力を節約することができます。これにより、内部バイアスセルがパワーダウンして、補助ポートの両方の出力(真及び補数)がロジックハイレベルにプルアップされます。全ての補助出力ポートからPECL終端電源($V_{CCO} - 2V$)

に接続されている外部50Ω終端抵抗を取り外すことにより、さらに電力を節約できます。

デマルチプレックスDIV2モード

MAX108は、内部で選択可能なDIV2モードを備えています(表2)。このモードは出力データレートをサンプルクロックレートの半分に低減します。デマルチプレックスされた出力はデュアル8ビットフォーマットの形になり、主及び補助出力ポートに2つの連続するサンプルがデータレディクロックの立上がりエッジで出力されます(図7)。補助データポートが前の方のサンプルを含み、主出力が最新のデータサンプルを含みます。補助ポートPECL出力ドライバをパワーアップするためには、AUXEN1とAUXEN2が V_{CCO} に接続されている必要があります。

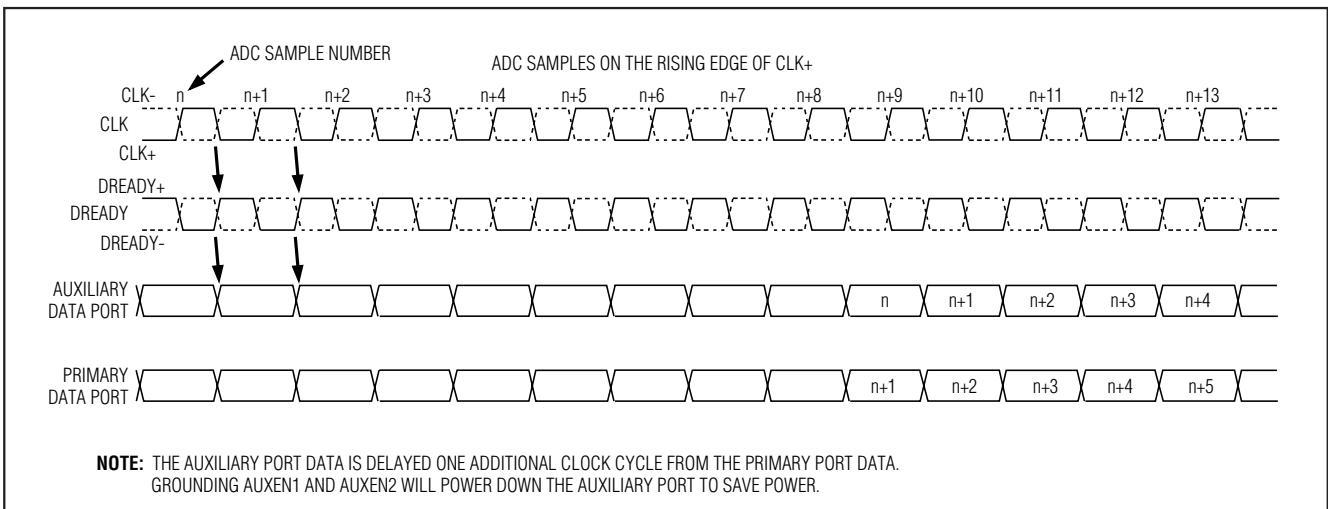


図6. 非デマルチプレックスDIV1モードのタイミング図

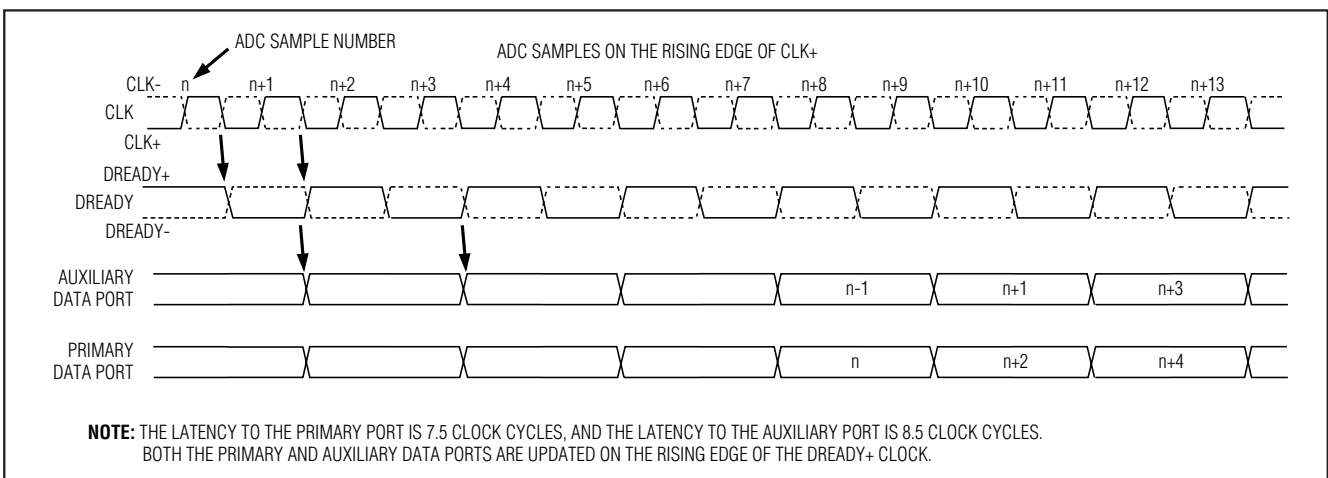


図7. デマルチプレックスDIV2モードのタイミング図

±5V、1.5Gsp/s、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

デシメーションDIV4モード

MAX108は、また低速出力データレートでシステムデバッグを行うために、入力サンプレート $\frac{1}{4}$ で各入力サンプル及び出力データを1つおきに切り捨てる、特別な間引きデマルチプレクサ出力を提供します。入力クロックが1.5GHzの場合、DIV4モードの実効出力データ速度は出力ポート当たり375MHzに低減されます(表2)。入力のサンプルが1つおきに捨てられるため、コンバータの実効サンプル速度は750Msp/sとなります。

オーバレンジ動作

主及び補助デマルチプレクサ出力の両方について、単一の差動PECLオーバレンジ出力ビット(OR+, OR-)を備えています。オーバレンジビットの動作は、内部デマルチプレクサの状態に依存します。デマルチプレク

スDIV2モード及びデシメーションDIV4モードにおいては、ORビットは主又は補助ポートがオーバレンジのサンプルを含んでいる場合にフラグを発生します(表2)。非デマルチプレクサDIV1モードにおいては、ORポートは主出力ポートがオーバレンジサンプルを含んでいる場合にのみフラグを発生します。

アプリケーション情報

シングルエンドのアナログ入力

MAX108のT/Hアンプは、シングルエンド及び差動の両アナログ入力においてフルスピードで動作するように設計されています(図9)。入力VIN+及びVIN-はレーザトリミングの50Ω終端抵抗を内蔵しており、優れた電圧定常波比(VSWR)性能を提供します。

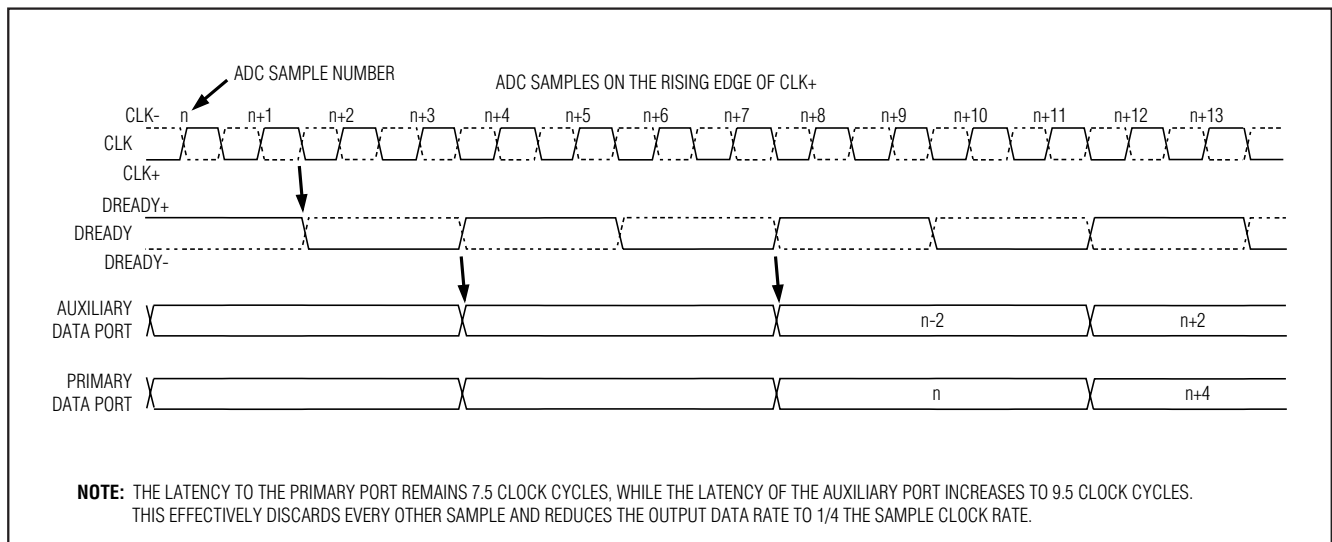


図8. デシメーションDIV4モードのタイミング図

表2. デマルチプレクサの動作

DEMUXEN	DIVSELECT	DEMUX MODE	OVERRANGE BIT OPERATION
Low	X	DIV1 750Msp/s (max)	Flags overrange data appearing in primary port only.
High	Low	DIV2 750Msp/s/port	Flags overrange data appearing in either the primary or auxiliary port.
High	High	DIV4 375Msp/s/port	

X = 任意

±5V、1.5Gsp/s、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX108

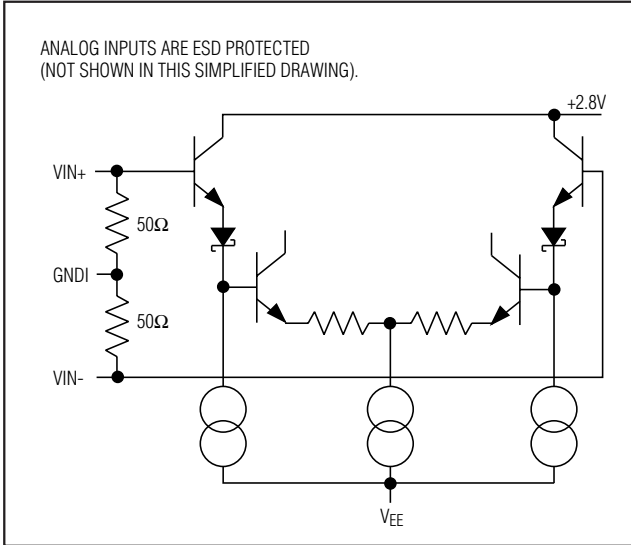


図9. 簡略アナログ入力構造(シングルエンド/差動)

標準的なシングルエンド構成において、アナログ入力信号(図10a)は同相入力(VIN+)でT/Hアンプ段に入り、逆相入力(VIN-)は外部50ΩでGNDIに逆終端処理されています。シングルエンド動作においては、入力振幅±250mVが可能です。表3に、シングルエンド動作における入力電圧及び対応する出力コードを示します。

差動アナログ入力

差動入力駆動(図10b)でフルスケールデジタル出力を得るには、VIN+とVIN-の間に250mVp-pを印加する必要があります(VIN+=+125mV、VIN-=-125mV)。ミッドスケールのデジタル出力コード(01111111又は10000000)は、VIN+とVIN-の間に電圧差がない

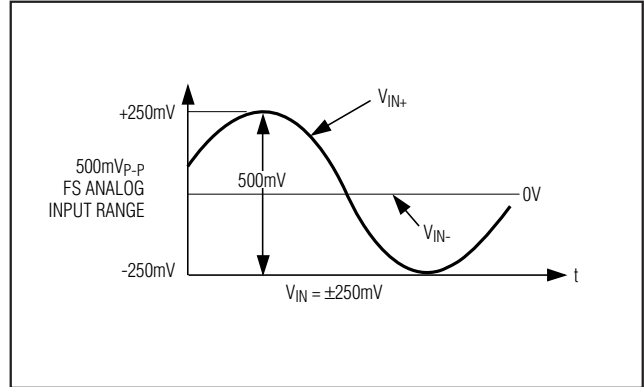


図10a. シングルエンドアナログ入力信号

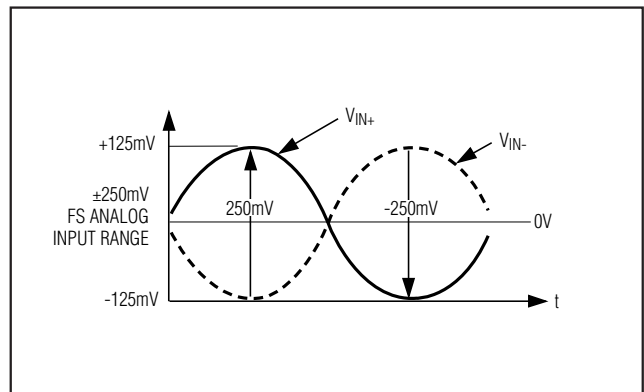


図10b. 差動アナログ入力信号

時に生じます。ゼロスケールのデジタル出力コードを得るには、同相(VIN+)入力が-125mV、逆相入力(VIN-)が+125mVであることが必要です。最高の性能を得るために、差動入力駆動を推奨します。表4に、差動入力電圧と対応する出力コードを示します。

表3. シングルエンド動作の理想的な入力電圧と出力コードの関係

VIN+	VIN-	OVERRANGE BIT	OUTPUT CODE
+250mV	0V	1	11111111 (full scale)
+250mV - 1LSB	0V	0	11111111
0V	0V	0	01111111 toggles 10000000
-250mV + 1LSB	0V	0	0000001
-250mV	0V	0	00000000 (zero scale)

±5V、1.5Gbps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

表4. 差動動作の理想的な入力電圧と出力コードの関係

VIN+	VIN-	OVERRANGE BIT	OUTPUT CODE
+125mV	-125mV	1	11111111 (full scale)
+125mV - 0.5LSB	-125mV + 0.5LSB	0	11111111
0V	0V	0	01111111 toggles 10000000
-125mV + 0.5LSB	+125mV - 0.5LSB	0	00000001
-125mV	+125mV	0	00000000 (zero scale)

オフセット調整

MAX108は、システムオフセットを補償するための制御入力(VOSADJ)を備えています。オフセット調整入力は、内部+2.5V高精度リファレンスからの自己バイアス分圧器です。公称開回路電圧はリファレンス電圧の半分です。標準的な入力抵抗が25kΩのこのピンをREFOUTとGNDIの間に接続された外部10kΩポテンショメータで駆動することにより、オフセットエラーを補正できます(図11)。この制御機能によるオフセット調整範囲は、±5.5LSB(typ)です。

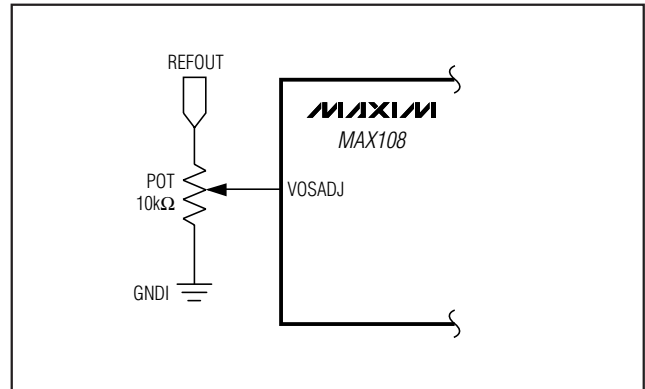


図11. 外部10kΩポテンショメータによるオフセット調整

クロック動作

MAX108は、シングルエンドと差動の両動作用に設計されたクロック入力を備えているため(図12)、入力駆動の必要条件がフレキシブルになっています。各クロック入力は、チップ上のレーザトリミング50Ω抵抗でCLKCOM(クロック終端リターン)に対して終端処理されています。CLKCOM終端電圧は、グランド~-2V間の任意の電圧に接続することにより、標準ECL駆動レベルとコンパチブルにすることができます。

クロック入力は内部のプリアンプでバッファされているため、小振幅のサイン波ソースでもデータコンバータが適正に動作します。MAX108は、振幅が僅か100mV(-10dBm)のシングルエンド低位相ノイズのサイン波クロック信号で動作するように設計されています。これにより、外部ECLクロックバッファ及びそれに伴うジッタを排除できます。

シングルエンドクロック入力(サイン波ドライブ)

低位相ノイズのサイン波ソースをシングルクロック入力にAC又はDCカップリングすることにより、優れた性能が得ることができます(図13a、表5)。適正なDCバランスを得るために、駆動されていないクロック入力を外部でGNDIに対して50Ω逆終端処理して下さい。

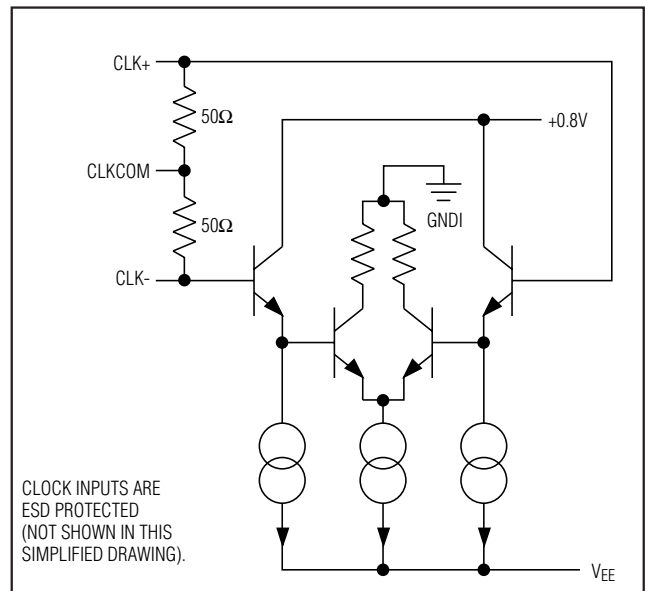


図12. 簡略クロック入力構造(シングルエンド/差動)

±5V、1.5Gsp/s、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

クロックドライブパワーレベルが-10dBm(クロック信号振幅100mV)~+10dBm(クロック信号振幅1V)の範囲であれば、データコンバータの動的性能に本質的に影響しません。動的性能の仕様は+4dBm(クロック信号振幅+500mV)のシングルエンドクロックドライブを使って測定されています。入力アンプ段の飽和を防ぐため、クロックパワーレベルを最大+10dBmに制限して下さい。

差動クロック入力(サイン波ドライブ)

適切な平衡不平衡変成器又は、トランスを使用してシングルエンドのサイン波ソースを差動ドライブに変換すると、差動クロックドライブ(図13b、表5)の利点を活用できます。高精度の内蔵レーザトリミング50Ωクロック終端抵抗が、優れた振幅マッチングを保証します。適正な入力振幅必要条件については、「シングルエンドクロック入力(サイン波ドライブ)」を参照して下さい。

シングルエンドクロック入力(ECLドライブ)

MAX108をシングルエンドECLクロックドライブ用に設定するには、クロック入力を図13cに示す方法で接続して下さい(表5)。駆動されていないクロック入力にノイズがカップリングして動的性能を劣化させるのを防ぐため、良好なバイパスを備えたV_{BB}電源(-1.3V)が必須です。

差動クロック入力(ECLドライブ)

CLKCOMにおけるクロック終端電圧を-2Vに設定することにより、MAX108を標準的な差動(図13d、表5)ECLクロックソースで駆動できます。クロック終端リターン(CLKCOM)は、ADCにできるだけ近いところで、0.01μFのコンデンサを使用してGNDIにバイパスして下さい。

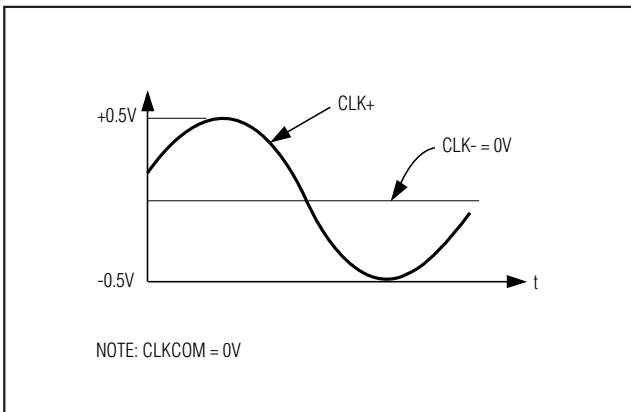


図13a. シングルエンドのクロック入力信号

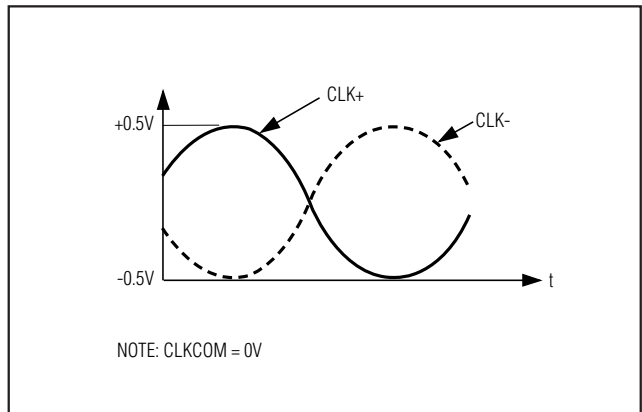


図13b. 差動クロック入力信号

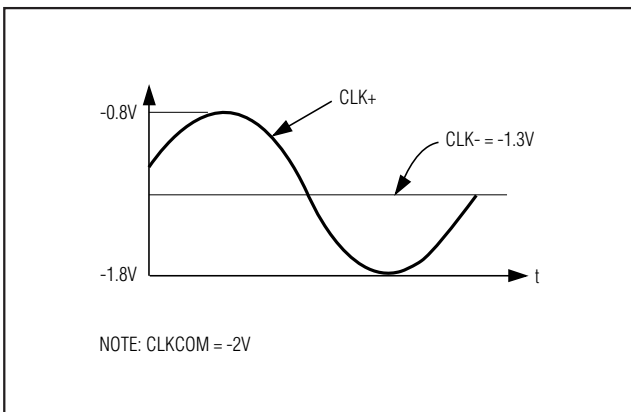


図13c. シングルエンドのECLクロックドライブ

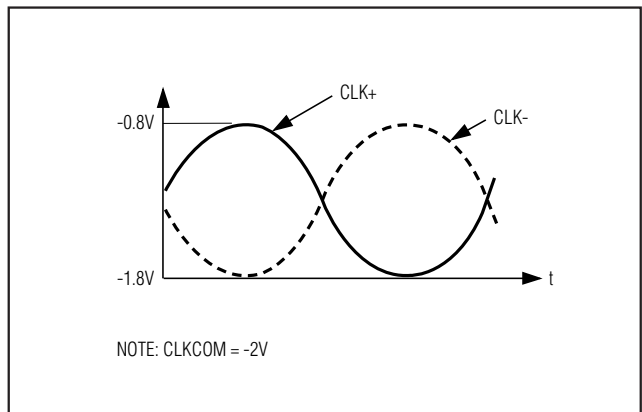


図13d. 差動ECLクロックドライブ

±5V、1.5Gps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

表5. DCカップリングのクロック駆動オプション

CLOCK DRIVE	CLK+	CLK-	CLKCOM	REFERENCE
Single-Ended Sine Wave	-10dBm to +4dBm	External 50Ω to GNDI	GNDI	Figure 13a
Differential Sine Wave	-10dBm to +4dBm	-10dBm to +4dBm	GNDI	Figure 13b
Single-Ended ECL	ECL Drive	-1.3V	-2V	Figure 13c
Differential ECL	ECL Drive	ECL Drive	-2V	Figure 13d

クロック入力のACカップリング

クロック入力ACカップリングされている場合、PECLでクロック入力CLK+及びCLK-を駆動することができます。この条件においては、CLKCOMをGNDIに接続して下さい。駆動されていないクロック入力、駆動されている入力のカップリングに使用されているのと同じ値のコンデンサと50Ω抵抗を直列に接続したものでGNDIに対して逆終端処理されている場合には、シングルエンドのECL/PECL/サイン波駆動も可能です。

デマルチプレクサのリセット動作

MAX108は、出力デジタルデータのデータレートをサンプルクロックレートの半分に低減する内部1:2デマルチプレクサを備えています。デマルチプレクサのリセットは、複数のMAX108をインタリーブする時、及び外部デマルチプレクサを同期させる時に必要となります。図1の簡略ブロックダイアグラムには、4つのメイン回路ブロックからなるデマルチプレクサリセット信号経路が示されています。入力から出力に向かって、リセット入力デュアルラッチ、リセットパイプライン、デマルチプレクサクロック発生器及びリセット出力があります。デマルチプレクサリセット動作及びこのセクションの制御に関する信号は、表6に記載されています。

リセット入力デュアルラッチ

リセット入力デュアルラッチ回路ブロックは、MAX108のPECL出力を駆動しているのと同じV_{CC0}電源を基準とする差動PECLリセット入力を受け付けます。リセットを同期させる必要のないアプリケーションにおいては、リセット入力をオープンにしておいてかまいません。この場合、リセット入力は内部50kΩ抵抗と20μA電流ソースによって適正なレベルに自己バイアスされます。この組み合わせがRSTIN+とRSTIN-の間に-1Vの差を生成して、内部リセット回路をディセーブルします。50Ωで(V_{CC0} - 2V)に終端処理されたPECLロジックレベルで駆動された場合、内部バイアスネットワークは容易にオーバドライブされます。図14にリセット入力構造の略図を示します。

リセット入力データを適正にラッチするには、サンプルクロックの立上がりエッジから見たセットアップ時間

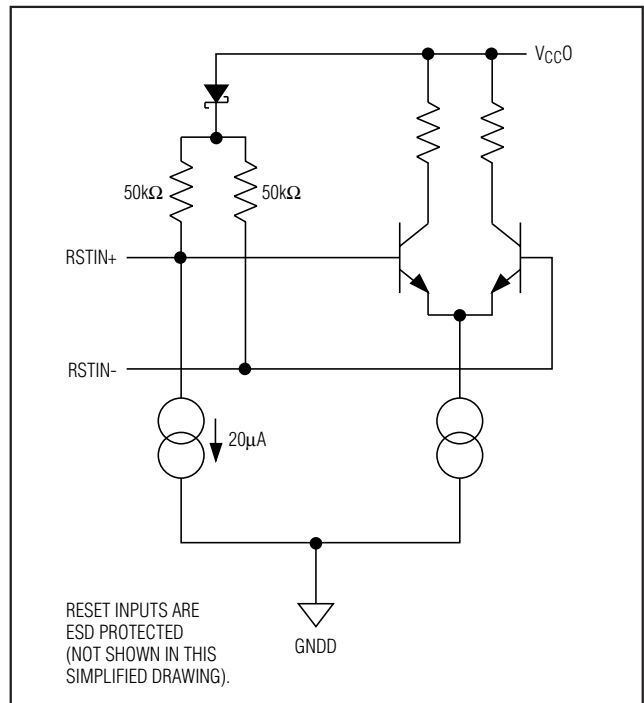


図14. リセット入力構造の略図

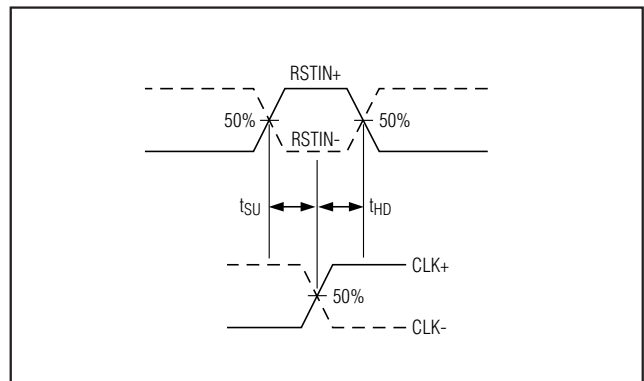


図15. リセット入力タイミングの定義

(t_{SU})とデータホールド時間(t_{HD})の仕様が満たされている必要があります。図15のタイミング図に、リセット入力とサンプリングクロックの間のタイミング関係を示します。

±5V、1.5Gsp/s、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

表6. デマルチプレクサ動作及びリセット制御信号

信号	型	機能
CLK+, CLK-	サンプリングクロック入力	マスタADCタイミング信号。ADCはCLK+の立ち上がりエッジでサンプリングします。
DREADY+, DREADY-	差動PECL出力	データレディPECL出力。出力データはDREADY+の立ち上がりエッジで変化します。
RSTIN+, RSTIN-	差動PECL入力	デマックスリセット入力信号。アクティブの時に内部デマックスをリセットします。
RSTOUT+, RSTOUT-	差動PECL出力	追加外部デマックスICをリセットするためのリセット出力。

リセットパイプライン

リセット信号経路における次のセクションはリセットパイプラインです。このブロックは、変換されたアナログデータがADCを通り抜ける待ち時間と一致するように、クロックサイクルの待ち時間を付加することを目的としています。このようにすると、リセットデータがRSTOUT+/RSTOUT-PECL出力に到達した時に、RSTIN+/RSTIN-でリセット入力の発生が停止した時点で主及び補助ポートに存在するアナログデータと時間的にアラインメントされます。

デマルチプレクサクロック発生器

デマルチプレクサクロック発生器は、デマルチプレクス及び非デマルチプレクス動作の異なるモードに必要とされるDIV1、DIV2又はDIV4クロックを発生します。TTL/CMOS制御入力DEMUXEN及びDIVSELECTは、デマルチプレクスモードの選択を制御します(表2を参照)。図16と図17のタイミング図は、それぞれDIV1、DIV2及びDIV4モードにおける出力タイミング及びデータアラインメントを示しています。

デバイスのパワーアップ時には、CLK+/CLK-入力におけるサンプリングクロックとDready+/Dready-出力におけるデータレディクロックの間の位相関係はランダムです。全ての2分周回路について言えることですが、これらのクロックの間には2通りの位相関係が可能です。これらの位相の間の差は、DIV2-Dreadyクロックの単なる反転です。この関係は、図16のタイミング図に示されています。

インタリーブ等、2つ以上のMAX108を使用して実効サンプリング速度を高めるアプリケーションにおいては、最初のパワーアップ時に全てのMAX108を既知のDREADY位相にリセットして下さい。この同期操作は、デバイス間の出力サンプルの順番を設定するために必要です。コンバータをリセットすればこの同期操作が達成されます。リセット信号は、デマルチプレクサクロック発生器ブロックの内部カウンタを強制的に既知の位相状態にします。

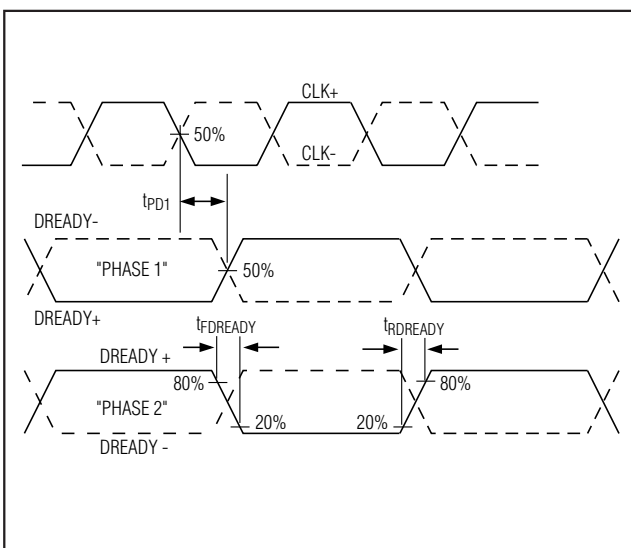


図16. デマルチプレクスDIV2モードにおけるCLK及びDREADYタイミング(2通りのDREADY位相を図示)

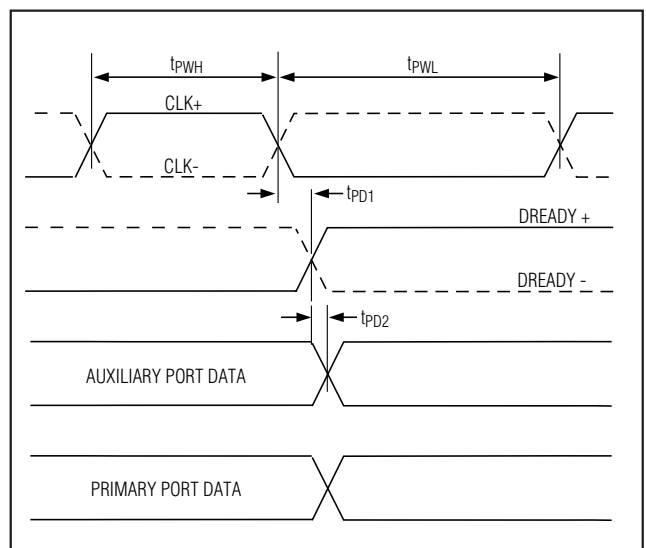


図17. 全てのモード(DIV1、DIV2、DIV4)の出力タイミング

±5V、1.5Gsp/s、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX108

リセット出力

最後に、リセット信号は差動PECLフォーマットでリセット信号経路の最後のブロックに送られます。RSTOUT+/RSTOUT-は、出力データ速度をさらに低減する必要のあるアプリケーションにおいて、追加の外部デマルチプレクサをリセットするために使用される時間アラインメントされたリセット信号を出力します。多くのデマルチプレクサデバイスは、クロックで駆動されている間にリセット信号が数クロックサイクルの間、発生し続けることが必要です。これを達成するため、MAX108のDREADYクロックはRSTOUTが発生している間トグルし続けます。

単一のデバイスの場合、同期リセットは必要ありません。これは、出力ポートにおけるサンプルの順番がDREADYクロックの位相に依らず不変であるためです。DIV2モードにおいては、補助ポートのデータは8.5クロックサイクルだけ遅延され、主ポートのデータは7.5クロックサイクル遅延されます。古い方のデータは、DREADYクロックの位相に関係なく常に補助ポートにあります。リセット出力信号RSTOUTは、主ポートよりも1クロックサイクル遅れます(6.5クロックサイクル)。このように

RSTOUTは待ち時間が減らされているため、主及び補助ポートの同期データの開始をマークすることができます。RSTOUT信号がゼロに戻る時、DREADYクロック位相がリセットされます。

DREADYクロックの入クロックに対する位相は2通り可能であるため、考慮すべきタイミング図が2つあります。最初のタイミング図(図18)は、DREADYクロック位相がすでにリセットされている時のRSTOUTタイミングと補助及び主出力ポートのデータアラインメントを示しています。この例においては、RSTINパルスの長さは2クロックサイクルです。この条件下ではDREADYクロックは中断されずに続き、補助及び主ポートのデータストリームも中断されずに続きます。

2番目のタイミング図(図19)は、DREADY位相がリセット位相と反対である場合の結果を示しています。この場合、DREADYクロックはサンプルクロックの1サイクルを「飲み込んで」、リセット位相に再び同期します。補助及び主ポートのデータストリームが逆転していることに注意して下さい。リセットが発生する前には、補助ポートは「偶数」サンプルを含んでおり、主ポートは「奇数」サンプルを含んでいましたが、RSTOUTが解除後

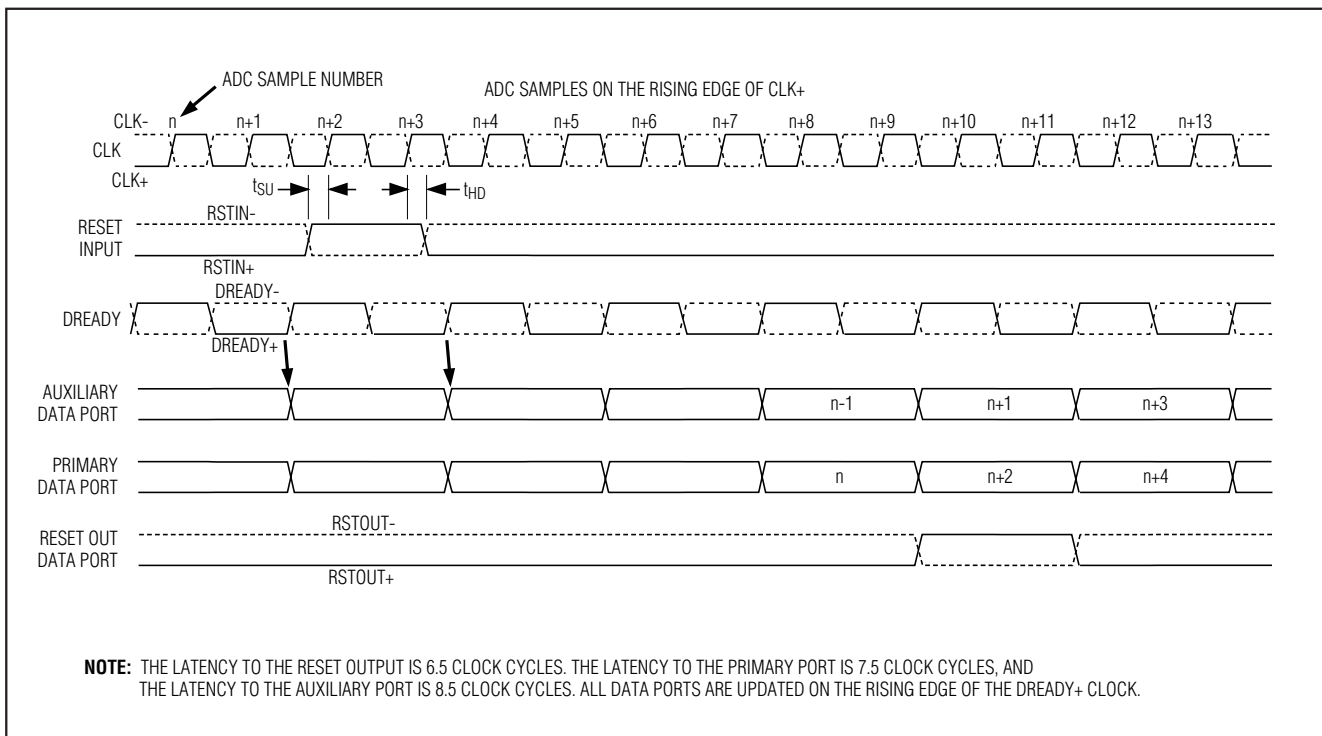


図18. デマルチプレクサDIV2モードにおけるリセット出力のタイミング (DREADYがアラインメントされている場合)

±5V、1.5Gsp/s、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

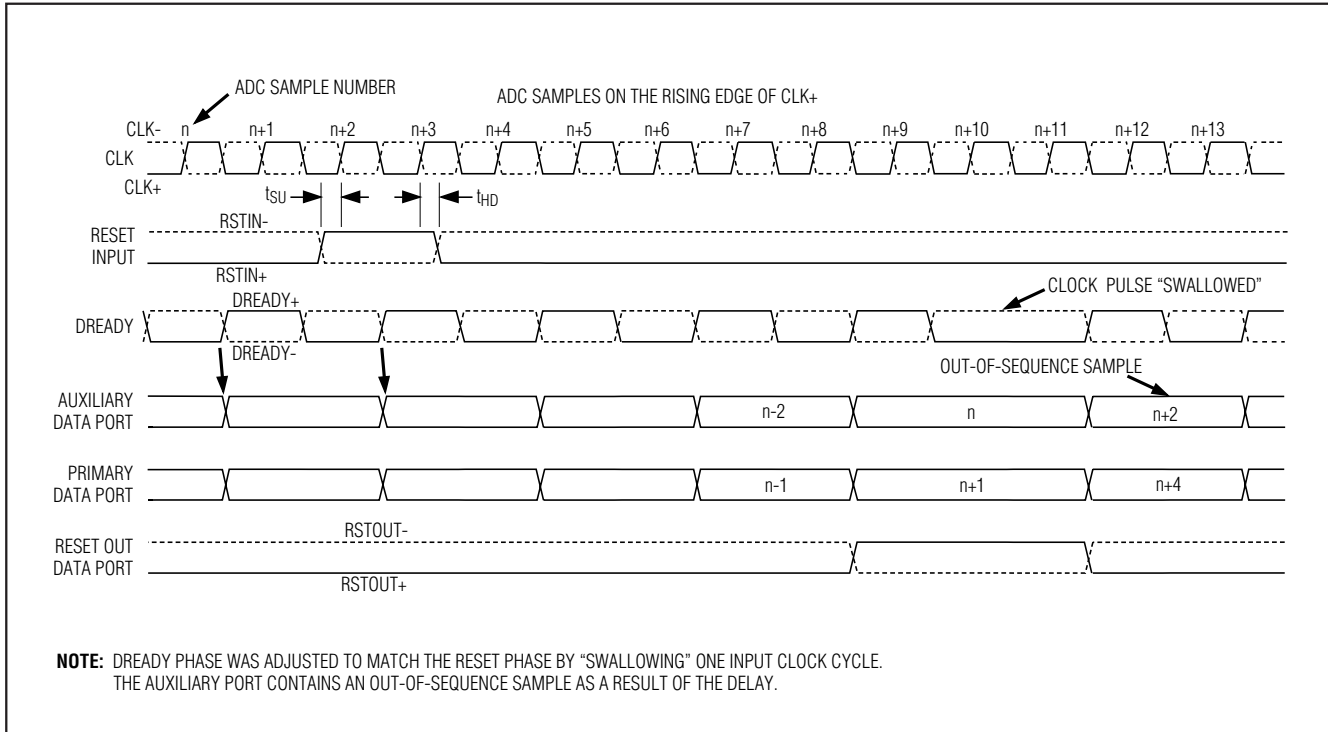


図19. デマルチプレクスDIV2モードにおけるリセット出力のタイミング (DREADYが再アラインメントされた場合)

(これがDREADYクロックのリセット位相の開始をマークします)、これらのポートの中のサンプルの順番が逆転していることに注意して下さい。補助ポートは、シーケンス外のサンプルも含んでいます。これはDREADYをリセット位相に再び同期させるために必要だったクロックサイクルの「飲み込み」の結果です。また、DREADY位相に関係なく、古い方のサンプルは常に補助ポートにあることに注意して下さい。

これらの例は、2クロックサイクルの長さのリセット入力信号の結果生じる組み合わせを図示しています。サンプルクロックに対するセットアップ時間及びホールド時間の必要条件が満たされていれば、内部MAX108デマルチプレクサを長さ1クロックサイクルだけのリセットパルスでリセットすることも可能です。しかし、これは、外他に外部デマルチプレクサを使用している場合には推奨できません。

多くのデマルチプレクサデバイスでは、クロックで駆動されている間、リセット信号がアクティブであることが必要であり、1クロックサイクルよりも長いリセットを要する場合がありますことに注意して下さい。さらに重要なことは、DREADYクロックの位相が再同期のために1クロックサイクルが「飲み込まれる」ような位相であった場合、リセット出力はまったく生じなくなります。

本質的には、RSTOUT信号がクロックパルスと共に「飲み込まれる」こととなります。完全なシステムリセットを確実にする最良の方法は、外部デマルチプレクサの完全なリセットに必要な数のDREADYクロックサイクルの間RSTINを発生し続けることです。

チップ温度の測定

チップ温度の測定を必要とするアプリケーションにおいては、端子ICONST及びIPTATの電流 I_{CONST} 及び I_{PTAT} を測定することにより、通常動作条件におけるMAX108のチップ温度を求めることができます。 I_{CONST} 及び I_{PTAT} は2つの公称100 μ Aの電流で、+27°Cで等しくなるように設計されています。これらの電流は、MAX108の内部高精度+2.5Vバンドギャップリファレンスから引き出されています。 I_{CONST} は温度に依存しないように設計されているのに対して、 I_{PTAT} は絶対温度に直接比例します。これらの電流は、 V_{CC1} を基準とするPNP電流ソースから供給され、GNDIに接続された2つの直列ダイオードに流れ込みます。端子ICONST及びIPTATはオープンにしておいてかまいません。これは、内部キャッチダイオードが電流ソースの飽和を防ぐためです。チップ温度を測定する最も単純な方法は、GNDIを基準とする電流計で各電流を測定することです(この

±5V、1.5Gsp/s、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

電流計がキャッチダイオードをシャットオフします)。摂氏のチップ温度は次式で計算されます。

$$T_{DIE} = 300 \times \left[\frac{I_{PTAT}}{I_{CONST}} \right] - 273$$

チップ温度を測定するもう1つの方法では、図20に示すオペアンプ回路を使用します。この回路はチップ温度に比例する電圧を生成します。この信号を使用したアプリケーションとしては、MAX108のチップ温度を一定に保つための冷却ファンの速度制御が挙げられます。この回路は、 I_{CONST} 及び I_{PTAT} 電流を電圧 V_{CONST} 及び V_{PTAT} に変換することによって動作します(このときこれらが+27°Cで同じ値になることを考慮に入れてスケールリングします)。この電圧差が、可変利得のインストルメンテーションアンプとして構成された2つのアンプによって増幅されます。回路利得の公称値は4.5092V/Vです。インストルメンテーションアンプの利得は次式で与えられます。

$$A_V = \frac{V_{TEMP}}{V_{CONST} - V_{PTAT}}$$

$$A_V = 1 + \frac{R1}{R2} + 2 \times \frac{R1}{R3}$$

この回路のキャリブレーションを行うには、まずJU1のピン2~3を接続してPTAT経路の入力をゼロにしてください。MAX108がパワーアップした状態で、 V_{TEMP} 出力が-2.728VになるまでポテンシオメータR3を調整してください。キャリブレーションが完了した後、JU1のピン1~2を接続すると回路の通常動作が回復します。こうすると、 V_{TEMP} ノードにおける電圧は次式に従って実際のMAX108のチップ温度に比例します。

$$T_{DIE} (^\circ\text{C}) = 100 \times V_{TEMP}$$

オペアンプスケールリング回路を使ったチップ温度測定の総合精度は、主に回路内の抵抗の精度とマッチングによって制限されます。

熱管理

アプリケーション環境によっては、ESBGAパッケージのMAX108の基板実装の後で外部ヒートシンクをパッケージに取り付ける必要がある場合も考えられます。既存のオープンツールのヒートシンクは、標準的なヒートシンクメーカから入手可能です(「ヒートシンクメーカ」を参照)。ヒートシンクはすでに接着剤が付いているため、パッケージへの取付が容易です。

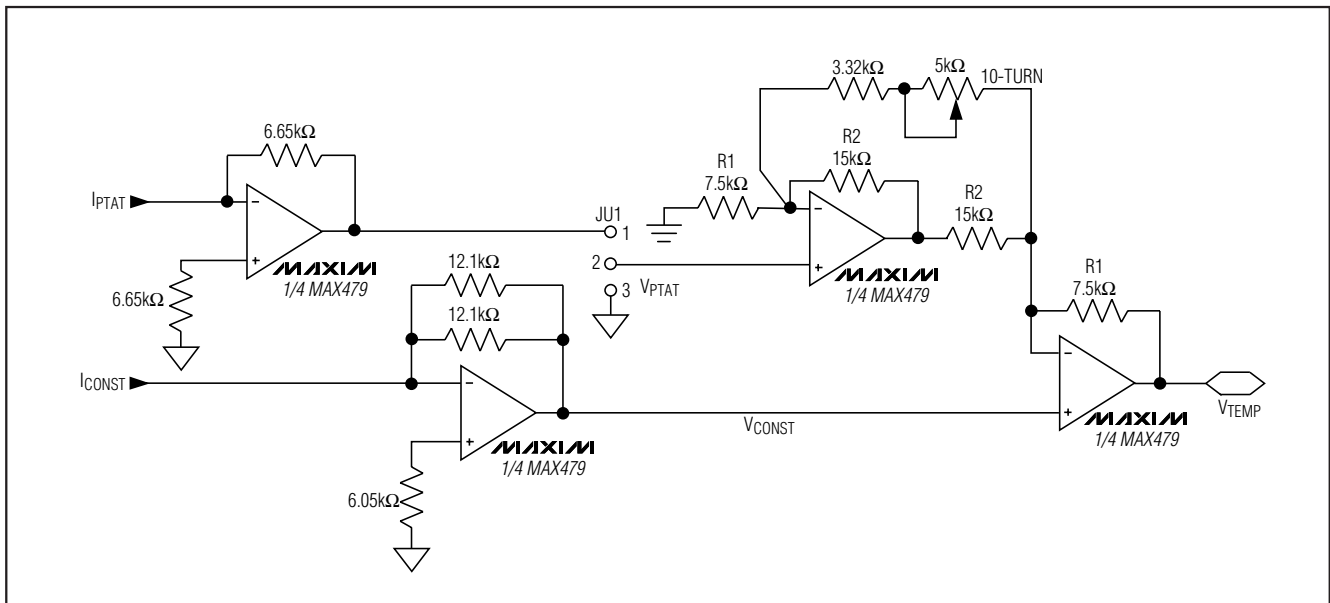


図20. MAX479を使用したチップ温度収集回路

±5V、1.5Gsp/s、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

表7. ヒートシンクがある場合とない場合の
MAX108の熱的性能

AIRFLOW (linear ft/min)	MAX108 θ_{JA} ($^{\circ}\text{C}/\text{W}$)	
	WITHOUT HEATSINK	WITH HEATSINK
0	16.5	12.5
200	14.3	9.4
400	13	8.3
800	12.5	7.4

熱的性能

MAX108は、ジャンクションから周囲環境への熱抵抗を求めるためにモデル化されています。表7に本ADCの熱的性能パラメータを示します。

周囲温度： $T_A = +70^{\circ}\text{C}$
 ヒートシンク寸法：25mm x 25mm x 10mm
 基板サイズ及びレイアウト：4インチ x 4インチ
 2信号層
 2電源層

ヒートシンクメーカー

Aavid Engineering社及びIERC社は、25mm x 25mm ESBGAパッケージに合うオープンツールの薄型ヒートシンクを提供しています。

Aavid Engineering, Inc.
 電話：714-556-2665
 ヒートシンクカタログ番号：335224B00032
 ヒートシンク寸法：25mm x 25mm x 10mm

International Electronic Research Corporation (IERC)
 電話：818-842-7277
 ヒートシンクカタログ番号：BDN09-3CB/A01
 ヒートシンク寸法：23.1mm x 23.1mm x 9mm

バイパス/レイアウト/電源

グラウンディングと電源デカップリングは、MAX108の性能に強く影響します。クロック周波数が1.5GHzで分解能が8ビットである場合、望ましくないデジタルクロストークが入力、リファレンス、電源及びグランド接続部を通じてカップリングし、ADCの動的性能に悪影響を与えます。この理由から、グラウンディング及び電源デカップリングのガイドラインに忠実に従って下さい(図22)。

マキシム社では、グランドプレーンと電源プレーンが別々になった複層プリント基板(PCB)の使用を強く推奨しています。MAX108はアナログとデジタルの

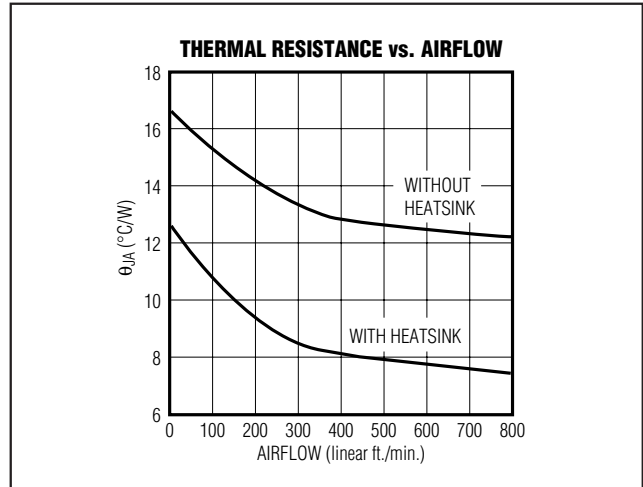


図21. MAX108の熱的性能

グランド接続部が別々になっているため(それぞれGNDA、GNDI、GNDR及びGNDD)、プリント基板はアナログとデジタルのグランド部が別々になっており、一点のみ(電源での星型グランド)で接続されるようにして下さい。デジタル信号はデジタルグランドプレーンの上に引き、アナログ信号はアナロググランドプレーンの上に引いて下さい。デジタル信号は、敏感なアナログ入力、リファレンス入力及びクロック入力から遠ざけて下さい。クロック、アナログ入力及びデジタル出力等の高速信号は、MAX108EVKITで使用されているような50Ωマイクロストリップラインを使って配線して下さい。

MAX108は、アナログとデジタルの電源入力 that 別々になっています。即ち、 V_{EE} (-5Vアナログ及びサブストレート電源)及び V_{CC1} (+5V)がT/Hアンプ、クロック分配、バンドギャップリファレンス及びリファレンスアンプを駆動し、 V_{CCA} (+5V)がADCのコンパレータアレイに電源を供給し、 V_{CCO} (+3V~ V_{CCD})が全てのPECLベースの回路セクションに電源を供給し、さらに V_{CCD} (+5V)がデータコンバータの全てのロジック回路に電源を供給しています。

パワーアップ中に、MAX108の V_{EE} 電源コンタクトがオープンのままになることは許されません。この状態を避けるため、 V_{EE} とGNDIの間に高速ショットキダイオード(Motorola 1N5817等)を付加して下さい。このダイオードは、デバイスのサブストレートが順方向バイアスしてラッチアップの原因になるのを防ぎます。全ての電源は、プリント基板に入るところで大きなタンタル又は電解コンデンサでデカップリングして下さい。

±5V、1.5Gpsps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

最高の性能を得るには、全ての電源を適切なグラウンドにバイパスして下さい。このバイパスには、電源ノイズを除去するための10 μ F tantalumコンデンサと、非常に周波数の高いノイズを除去するためにMAX108の直近に配置された高品質の47pFセラミックチップコンデンサ及び0.1 μ Fコンデンサを並列にしたものを使用して下さい。

静的パラメータの定義

積分非直線性

積分非直線性(INL)は、実際の伝達関数の値の直線からの偏差です。この直線は、最良の直線フィットあるいは

はオフセット及び利得誤差をヌル(ゼロ)にした後に伝達関数の終点間を結んだ線です。MAX108の静的直線性パラメータ他は、最良直線フィット法を使用して測定されています。

微分非直線性

微分非直線性(DNL)は、実際のステップの幅と1LSBの理想的な値の間の差です。DNLの大きさが1LSB未満であれば、そのDACはミッシングコードがないこと、及びコードは単調性であることが保証されます。

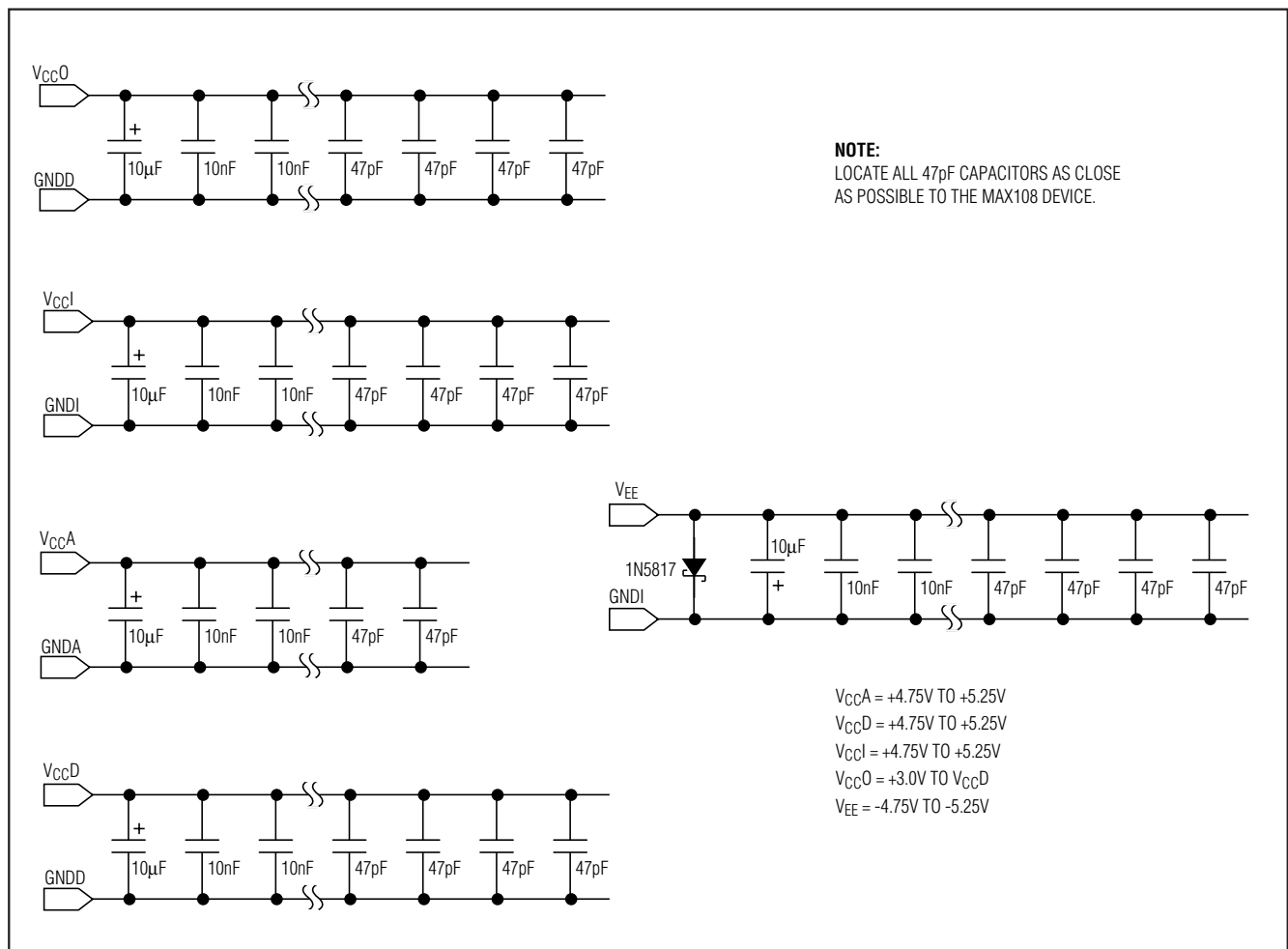


図22. MAX108のバイパスとグラウンド接続

±5V、1.5Gsp/s、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX108

ビットエラーレート(BER)

(サンプルが取られた時の)アナログ入力電圧がある入力コンパレータの決定点の近くになっていると、準安定に起因するエラーが起こり得ます。このエラーの大きさは、コンパレータネットワーク内のそのコンパレータの位置に依存します。MSBのコンパレータであった場合には、このエラーはフルスケールに達します。MAX108はユニークなエンコード方式でこれらのエラーの大きさを1LSBに制限することにより、この問題を解決しています。

動的パラメータの定義

信号対雑音比

デジタルサンプルから完全に再構築された波形の場合、最大理論SNRはフルスケールアナログ入力(RMS値)のRMS量子化誤差(残留誤差)に対する比です。理想的な最小アナログデジタルノイズは数値化エラーのみに起因し、ADCの分解能(Nビット)によって直接決まります。

$$\text{SNR}(\text{MAX}) = (6.02 \times N + 1.76)\text{dB}$$

現実には、量子化ノイズの他にもサーマルノイズ、リファレンスノイズ、クロックジッタ等のノイズソースがあります。このため、SNRを計算する時はRMS信号とRMSノイズの比をとります。RMSノイズは全てのスペクトル成分から基本波、最初の5つの高調波及びDCオフセットを差し引いたものです。

実効ビット数

ENOBは、特定の入力周波数及びサンプリング速度におけるADCの全体的な精度を示します。理想的なADCの誤差は、量子化誤差のみから成ります。ENOBは、理想的なフルスケール範囲を基準とする曲線フィットから計算されます。

信号対雑音+歪み

信号対雑音+歪み(SINAD)はENOBから次式を使用することにより計算されます。

$$\text{SINAD} = (6.02 \times \text{ENOB}) + 1.76$$

全高調波歪み

全高調波歪み(THD)は、入力信号の最初の4つの高調波RMS和と基本波そのものの比です。これは次式で表されます。

$$\text{THD} = 20 \times \log \left(\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2}}{V_1} \right)$$

ここで、 V_1 は基本波の振幅、 $V_2 \sim V_5$ は2次～5次高調波の振幅です。

スプリアスフリーダイナミックレンジ(SFDR)

スプリアスフリーダイナミックレンジ(SFDR)は、基本波(最大信号成分)と次に大きなスプリアス成分(DCオフセットを除く)のRMS値の比をデシベル単位で表したものです。

相互変調歪み(IMD)

ツートーン相互変調歪み(IMD)はいずれかの入力トーンと最悪の3次(以上)相互変調積の比をデシベル単位で表したものです。入力トーンレベルは-7dBフルスケールです。

チップ情報

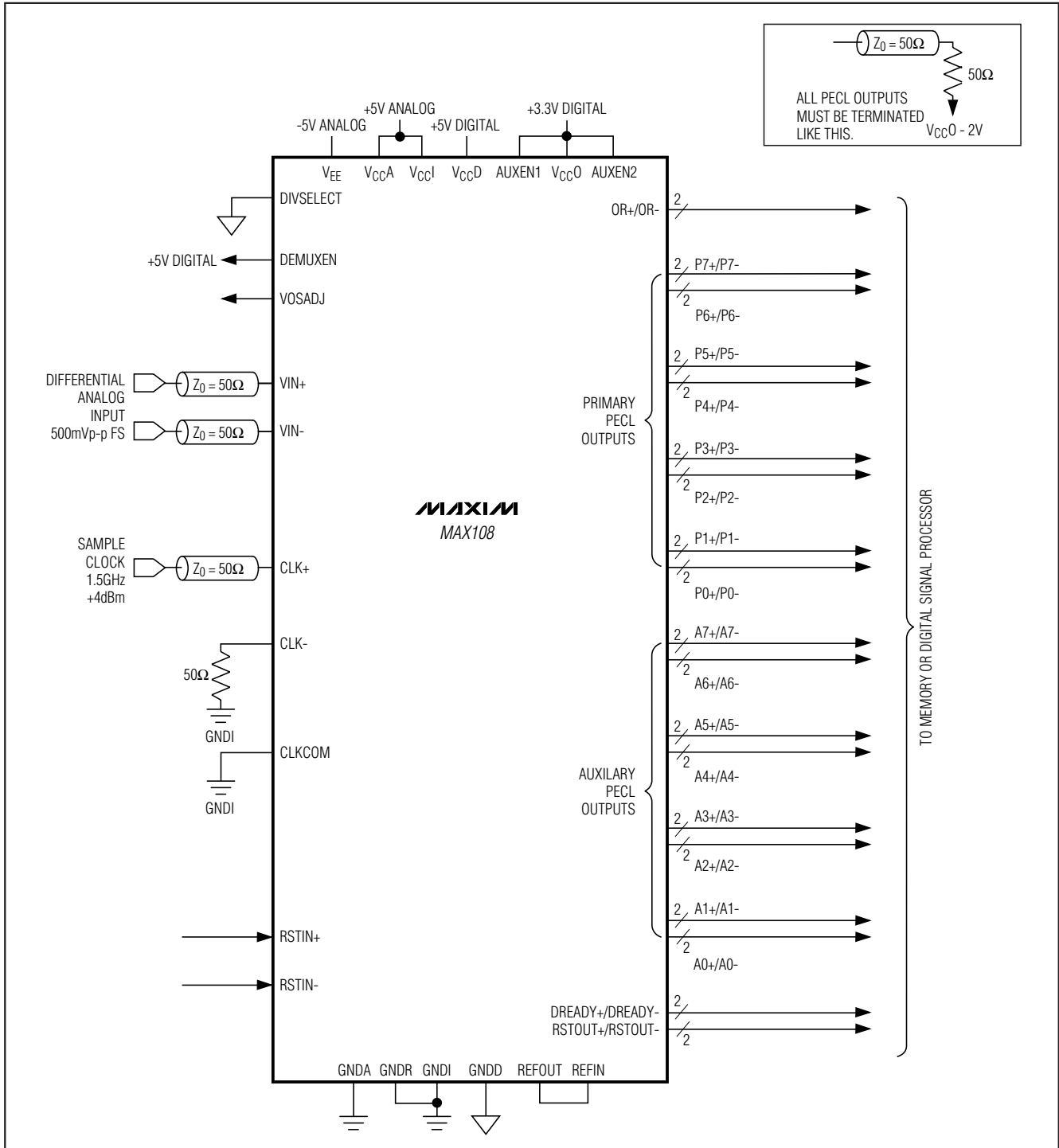
TRANSISTOR COUNT: 20,486

SUBSTRATE CONNECTED TO V_{EE}

±5V、1.5Gsp/s、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX108

標準動作回路



±5V、1.5Gsp/s、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

192コンタクトのESBGAプリント基板ランドパターン

MAX108

TOP VIEW

MAX108 192 Ball ESBGA Printed Circuit Board (PCB) Land Pattern

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
A	● GNDI	● GNDI	● GNDI	● GNDI	● VCCI	● GNDI	● GNDI	● GNDA	● VCCA	● T.P.	● GNDD	● VCCO	● VCCO	● VCCO	● VCCO	● VCCO	● VCCO	● VCCO	● VCCO
B	● GNDI	● GNDI	● VEE	● VEE	● VCCI	● GNDR	● GNDR	● GNDA	● VCCA	● VCCD	● GNDD	● P0+	● A0+	● P1+	● A1+	● GNDD	● GNDD	● VCCD	● VCCO
C	● GNDI	● GNDI	● VEE	● VEE	● VCCI	● REFIN	● REFOUT	● GNDA	● VCCA	● VCCD	● GNDD	● P0-	● A0-	● P1-	● A1-	● GNDD	● VCCD	● VCCD	● VCCO
D	● GNDI	● GNDI	● GNDI														● DIV SELECT	● AUXEN2	● VCCO
E	● ICONST	● IPTAT	● VEE														● T.P.	● DEMUXEN	● VCCO
F	● VOSADJ	● T.P.	● VEE														● P2-	● P2+	● VCCO
G	● GNDI	● VEE	● VEE														● A2-	● A2+	● VCCO
H	● GNDI	● VCCI	● VCCI														● P3-	● P3+	● VCCO
J	● VIN-	● GNDI	● GNDI														● A3-	● A3+	● VCCO
K	● GNDI	● GNDI	● GNDI														● DREADY-	● DREADY+	● VCCO
L	● VIN+	● GNDI	● GNDI														● P4-	● P4+	● VCCO
M	● GNDI	● VCCI	● VCCI														● A4-	● A4+	● VCCO
N	● GNDI	● VEE	● VEE														● P5-	● P5+	● VCCO
P	● CLK-	● T.P.	● T.P.														● A5-	● A5+	● VCCO
R	● CLKCOM	● CLKCOM	● CLKCOM														● T.P.	● T.P.	● AUXEN1
T	● CLK+	● GNDI	● GNDI														● VCCD	● VCCD	● VCCO
U	● GNDI	● VEE	● VEE	● VEE	● VCCI	● GNDA	● VCCA	● VCCD	● GNDD	● RSTIN-	● RSTOUT-	● OR-	● A7-	● P7-	● A6-	● P6-	● GNDD	● VCCD	● VCCO
V	● GNDI	● GNDI	● VEE	● VEE	● VCCI	● GNDA	● VCCA	● VCCD	● GNDD	● RSTIN+	● RSTOUT+	● OR+	● A7+	● P7+	● A6+	● P6+	● GNDD	● GNDD	● VCCO
W	● GNDI	● GNDI	● GNDI	● GNDI	● VCCI	● GNDA	● VCCA	● VCCD	● GNDD	● VCCO	● VCCO	● VCCO	● VCCO	● VCCO	● VCCO	● VCCO	● VCCO	● VCCO	● VCCO



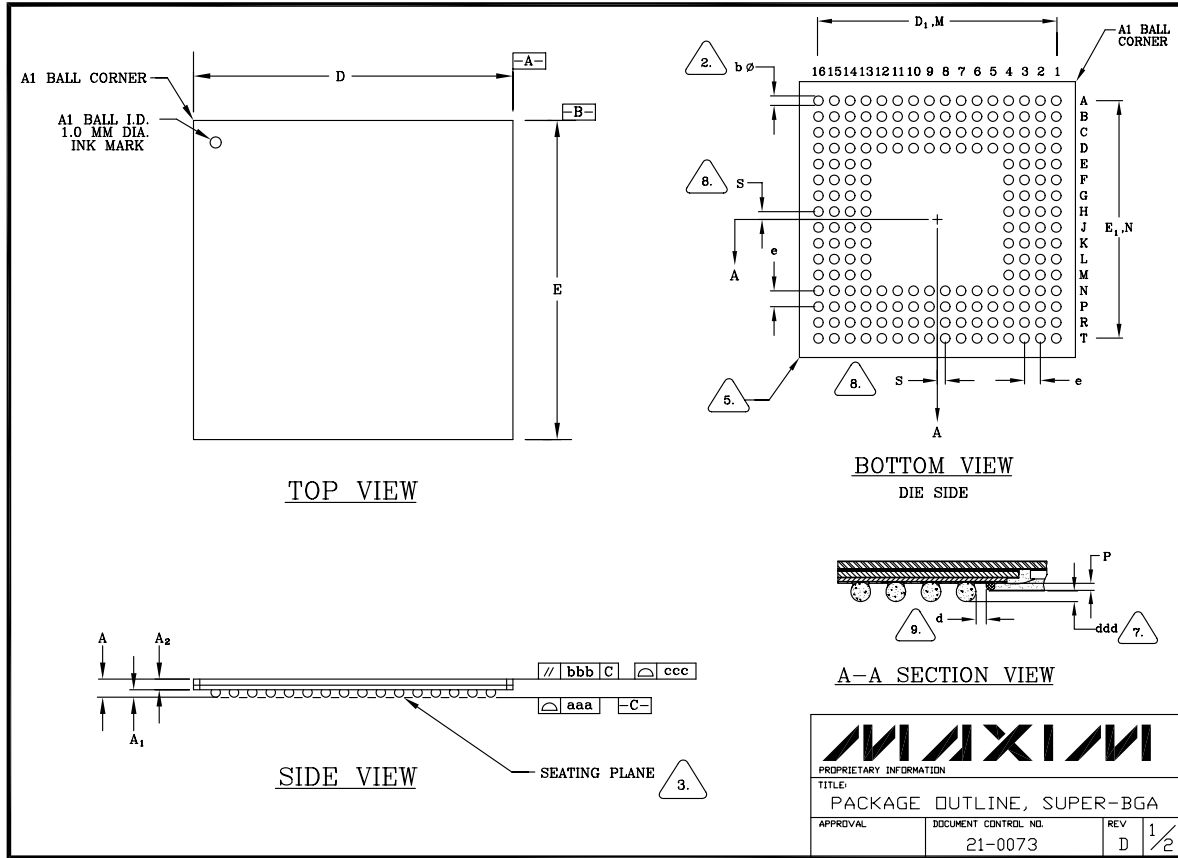
MAX108

- +5V Track/Hold Analog** VCCI
- +5V Comparator Analog** VCCA
- +5V Logic Digital** VCCD
- 5V Track/Hold Analog** VEE
- +3.3V PECL Supply** VCCO
- T/H Ground** GNDI
- Comparator Ground** GNDA
- Logic Ground** GNDD

±5V、1.5Gsp/s、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)




±5V、1.5Gsp/s、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX108

パッケージ(続き)


(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

NOTES: UNLESS OTHERWISE SPECIFIED

- ALL DIMENSIONS AND TOLERANCES CONFORM TO ANSI Y14.5M-1982.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM SOLDER BALL DIAMETER, PARALLEL TO PRIMARY DATUM [C].
- PRIMARY DATUM [C] AND SEATING PLANE ARE DEFINED BY THE SPHERICAL CROWNS OF THE SOLDER BALLS.
- THE 192 BALL 25 X 25 MM SBGA HAS 3 ROWS OF BALLS. THE 256 BALL 27 X 27 MM SBGA HAS 4 ROWS OF BALLS.
- SHAPE AT CORNER.

SINGLE FORM
- ALL DIMENSIONS ARE IN MILLIMETERS.
- HEIGHT FROM BALL SEATING PLANE TO PLANE OF ENCAPSULANT.
- "S" IS MEASURED WITH RESPECT TO [A] AND [B] AND DEFINES THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW "S"=.000; WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW THE VALUE "S"=e/2. "S" MAY BE EITHER .000 OR e/2 FOR EACH VARIATION.
- THE DIMENSION FROM THE OUTER EDGE OF THE RESIN DAM TO THE EDGE OF THE INNERMOST ROW OF SOLDER BALL PADS IS TO BE A MINIMUM OF 0.50mm.
- "SUPER BGA" IS A REGISTERED TRADEMARK OF AMKOR TECHNOLOGIES.
- MEETS JEDEC MS034.

STANDARD BODY SIZE DIMENSION TABLE

BODY SIZE	25.0 X 25.0MM PACKAGE			27.0 X 27.0MM PACKAGE			BODY SIZE	NOTE
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.		
A	1.41	1.54	1.67	1.41	1.54	1.67		OVERALL THICKNESS
A1	0.56	0.63	0.70	0.56	0.63	0.70		BALL HEIGHT
A2	0.85	0.91	0.97	0.85	0.91	0.97		BODY THICKNESS
D	24.90	25.00	25.10	26.90	27.00	27.10		BODY SIZE
D1	22.76	22.86	22.96	24.03	24.13	24.23		BALL FOOTPRINT
E	24.90	25.00	25.10	26.90	27.00	27.10		BODY SIZE
E1	22.76	22.86	22.96	24.03	24.13	24.23		BALL FOOTPRINT
M,N	19 x 19			20 x 20				BALL MATRIX
b	0.60	0.75	0.90	0.60	0.75	0.90		BALL DIAMETER
d	0.6			0.6				MIN DISTANCE ENCAP TO BALLS
e	1.27			1.27				BALL PITCH
aaa			0.15			0.15		COPLANARITY
bbb			0.15			0.15		PARALLEL
ccc			0.20			0.20		TOP FLATNESS
ddd/a	0.15	0.33	0.50	0.15	0.33	0.50		SEATING PLANE CLEARANCE
P	0.20	0.30	0.35	0.20	0.30	0.35		ENCAPSULATION HEIGHT
S	—	—	0.00	—	—	0.635		SOLDER BALL PLACEMENT



PROPRIETARY INFORMATION

TITLE: PACKAGE OUTLINE, SUPER-BGA

APPROVAL	DOCUMENT CONTROL NO.	REV	2/2
	21-0073	D	

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 31