

ドロップアウト電圧 85mV、低ノイズ、出力設定可能な5Aリニア電圧レギュレータ

特長

- 出力電流: 5A
- ドロップアウト電圧: 85mV (代表値)
- イネーブル機能によるリファレンスのソフトスタート
- デジタル設定可能な V_{OUT} : 0.8V~1.8V
- デジタル出力マーキング: $\pm 1\%$ 、 $\pm 3\%$ 、または $\pm 5\%$
- 低出力ノイズ: $25\mu V_{RMS}$ (10Hz~100kHz)
- 複数デバイスの並列接続により 10A 以上の出力が可能
- 高精度電流制限: $\pm 20\%$
- 入力、負荷、温度の全範囲で $\pm 1\%$ の精度を実現
- 低ESRのセラミック出力コンデンサ (最小15 μF) で安定化
- 高周波数 PSRR: 30dB (1MHz)
- VIOC ピンで降圧コンバータを制御して、低消費電力を維持し、効率を最適化
- PWRGD / UVLO / サーマル・シャットダウン・フラグ
- フの字電流制限による保護
- サーマル・シャットダウン
- 28ピン (4mm x 5mm x 0.75mm) QFN パッケージ

アプリケーション

- FPGA および DSP の電源
- ASIC および マイクロプロセッサの電源
- サーバー および ストレージ機器
- 降圧レギュレータのポスト・レギュレーションおよび電源の絶縁

説明

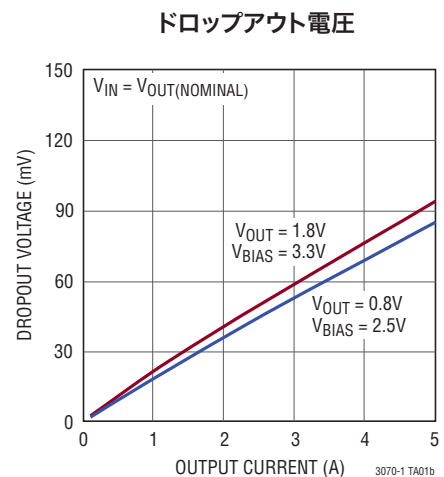
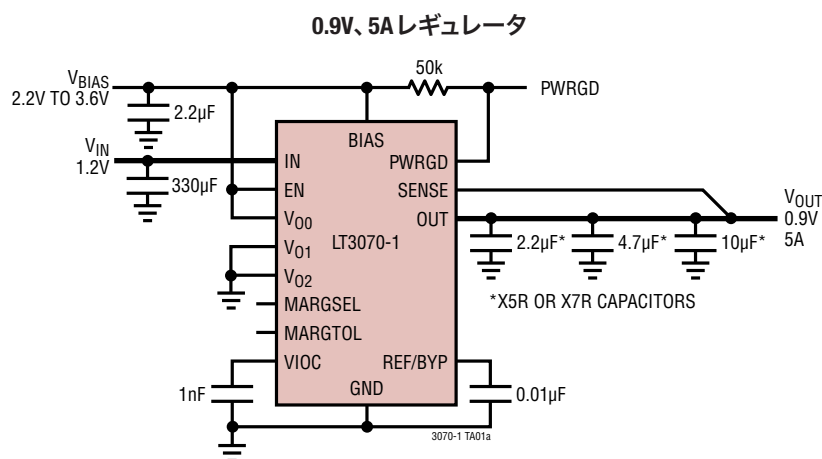
LT[®]3070-1 は、UltraFast™ 過渡応答を実現する低電圧リニア電圧レギュレータです。このデバイスは 85mV (代表値) のドロップアウト電圧で 5A までの出力電流を供給します。0.01 μF のリファレンス・バイパス・コンデンサによって出力電圧ノイズを $25\mu V_{RMS}$ にまで抑えます。LT3070 は BIAS ピン供給電圧を介してリファレンス・ソフトスタートを制御しますが、LT3070-1 は EN ピンでリファレンス・ソフトスタート動作を制御します。LT3070-1 は帯域幅が広いので、低 ESR のセラミック・コンデンサを使用可能で、バルク容量やコストを削減します。このような特長を持つ LT3070-1 は、高性能 FPGA、マイクロプロセッサ、ノイズにセンシティブな通信用電源などのアプリケーションに最適です。

出力電圧は、0.8V~1.8V の範囲で 50mV 刻みでデジタル設定可能です。マーキング機能により、システムの出力電圧を $\pm 1\%$ 、 $\pm 3\%$ 、または $\pm 5\%$ 単位で調節できます。また、独自のトラッキング機能を搭載しており、LT3070-1 の入力に電力供給する降圧レギュレータを制御できます。このトラッキング機能は降圧レギュレータを駆動することで LT3070-1 の入力電圧を $V_{OUT} + 300mV$ に保ち、消費電力を最小限に抑えます。

内部保護機能として、UVLO、逆電流保護、パワー・フォールドバック高精度電流制限、サーマル・シャットダウンなどがあります。LT3070-1 は熱特性が改善された 28ピン、4mm x 5mm の QFN パッケージで供給されます。

全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。

標準的応用例



LT3070-1

絶対最大定格

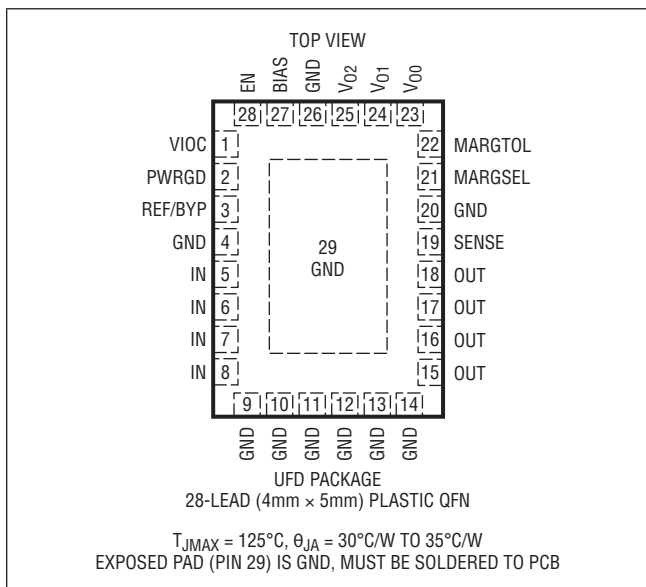
(Note 1)

IN、OUT	-0.3V~3.3V
BIAS	-0.3V~4V
V _{O2} 、V _{O1} 、V _{O0} 入力.....	-0.3V~4V
MARGSEL、MARGTOL 入力.....	-0.3V~4V
EN 入力.....	-0.3V~4V
SENSE 入力.....	-0.3V~4V
VIOC、PWRGD 出力.....	-0.3V~4V
REF/BYP 出力.....	-0.3V~4V
出力短絡時間.....	無期限

動作ジャンクション温度 (Note 2)

LT3070-1E/LT3070-1I.....	-40°C~125°C
LT3070-1MP	-55°C~125°C
保存温度範囲.....	-65°C~150°C

ピン配置



発注情報

鉛フリー仕上げ	テープ&リール	製品マーキング*	パッケージ	温度範囲
LT3070EUFDF-1#PBF	LT3070EUFDF-1#TRPBF	30701	28ピン(4mm×5mm)プラスチックQFN	-40°C to 125°C
LT3070IUFDF-1#PBF	LT3070IUFDF-1#TRPBF	30701	28ピン(4mm×5mm)プラスチックQFN	-40°C to 125°C
LT3070MPUFDF-1#PBF	LT3070MPUFDF-1#TRPBF	30701	28ピン(4mm×5mm)プラスチックQFN	-55°C to 125°C
鉛ベース仕上げ	テープ&リール	製品マーキング*	パッケージ	温度範囲
LT3070EUFDF-1	LT3070EUFDF-1#TR	30701	28ピン(4mm×5mm)プラスチックQFN	-40°C to 125°C
LT3070IUFDF-1	LT3070IUFDF-1#TR	30701	28ピン(4mm×5mm)プラスチックQFN	-40°C to 125°C
LT3070MPUFDF-1	LT3070MPUFDF-1#TR	30701	28ピン(4mm×5mm)プラスチックQFN	-55°C to 125°C

更に広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。*温度グレードは出荷時のコンテナのラベルで識別されます。

テープ&リールの仕様。一部のパッケージは、#TRMPBF接尾部の付いた指定の販売経路を通じて500個入りのリールで供給可能です。

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り $C_{OUT} = 15\ \mu\text{F}$ (Note 9)、 $V_{IN} = V_{OUT} + 0.3\text{V}$ (Note 5)、 $V_{BIAS} = 2.5\text{V}$ 。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
IN Pin Voltage Range	$V_{IN} \geq V_{OUT} + 150\text{mV}$, $I_{OUT} = 5\text{A}$	●	0.95		3.0	V
BIAS Pin Voltage Range (Note 3)		●	2.2		3.6	V
Regulated Output Voltage	$V_{OUT} = 0.8\text{V}$, $10\text{mA} \leq I_{OUT} \leq 5\text{A}$, $1.05\text{V} \leq V_{IN} \leq 1.25\text{V}$	●	0.792	0.800	0.808	V
	$V_{OUT} = 0.9\text{V}$, $10\text{mA} \leq I_{OUT} \leq 5\text{A}$, $1.15\text{V} \leq V_{IN} \leq 1.35\text{V}$	●	0.891	0.900	0.909	V
	$V_{OUT} = 1\text{V}$, $10\text{mA} \leq I_{OUT} \leq 5\text{A}$, $1.25\text{V} \leq V_{IN} \leq 1.45\text{V}$	●	0.990	1.000	1.010	V
	$V_{OUT} = 1.1\text{V}$, $10\text{mA} \leq I_{OUT} \leq 5\text{A}$, $1.35\text{V} \leq V_{IN} \leq 1.55\text{V}$	●	1.089	1.100	1.111	V
	$V_{OUT} = 1.2\text{V}$, $10\text{mA} \leq I_{OUT} \leq 5\text{A}$, $1.45\text{V} \leq V_{IN} \leq 1.65\text{V}$, $V_{BIAS} = 3.3\text{V}$	●	1.188	1.200	1.212	V
	$V_{OUT} = 1.5\text{V}$, $10\text{mA} \leq I_{OUT} \leq 5\text{A}$, $1.75\text{V} \leq V_{IN} \leq 1.95\text{V}$, $V_{BIAS} = 3.3\text{V}$	●	1.485	1.500	1.515	V
	$V_{OUT} = 1.8\text{V}$, $10\text{mA} \leq I_{OUT} \leq 5\text{A}$, $2.05\text{V} \leq V_{IN} \leq 2.25\text{V}$, $V_{BIAS} = 3.3\text{V}$	●	1.782	1.800	1.818	V
Regulated Output Voltage Margining (Note 3)	MARGTOL = 0V, MARGSEL = V_{BIAS}	●	0.8	1	1.2	%
	MARGTOL = 0V, MARGSEL = 0V, $I_{OUT} = 10\text{mA}$	●	-1.2	-1	-0.8	%
	MARGTOL = FLOAT, MARGSEL = V_{BIAS}	●	2.7	3	3.3	%
	MARGTOL = FLOAT, MARGSEL = 0V, $I_{OUT} = 10\text{mA}$	●	-3.3	-3	-2.7	%
Line Regulation to V_{IN}	$V_{OUT} = 0.8\text{V}$, $\Delta V_{IN} = 1.05\text{V}$ to 2.7V , $V_{BIAS} = 3.3\text{V}$, $I_{OUT} = 10\text{mA}$	●			1.0	mV
	$V_{OUT} = 1.8\text{V}$, $\Delta V_{IN} = 2.05\text{V}$ to 2.7V , $V_{BIAS} = 3.3\text{V}$, $I_{OUT} = 10\text{mA}$	●			1.0	mV
Line Regulation to V_{BIAS}	$V_{OUT} = 0.8\text{V}$, $\Delta V_{BIAS} = 2.2\text{V}$ to 3.6V , $V_{IN} = 1.1\text{V}$, $I_{OUT} = 10\text{mA}$	●			2.0	mV
	$V_{OUT} = 1.8\text{V}$, $\Delta V_{BIAS} = 3.25\text{V}$ to 3.6V , $V_{IN} = 2.1\text{V}$, $I_{OUT} = 10\text{mA}$	●			1.0	mV
Load Regulation, $\Delta I_{OUT} = 10\text{mA}$ to 5A	$V_{BIAS} = 2.5\text{V}$, $V_{IN} = 1.05\text{V}$, $V_{OUT} = 0.8\text{V}$	●		-1.5	-3.0	mV
	$V_{BIAS} = 2.5\text{V}$, $V_{IN} = 1.25\text{V}$, $V_{OUT} = 1.0\text{V}$	●		-2	-4.0	mV
	$V_{BIAS} = 3.3\text{V}$, $V_{IN} = 1.45\text{V}$, $V_{OUT} = 1.2\text{V}$	●		-2	-4.0	mV
	$V_{BIAS} = 3.3\text{V}$, $V_{IN} = 1.75\text{V}$, $V_{OUT} = 1.5\text{V}$	●		-2.5	-5.0	mV
	$V_{BIAS} = 3.3\text{V}$, $V_{IN} = 2.05\text{V}$, $V_{OUT} = 1.8\text{V}$	●		-3	-7.0	mV
Dropout Voltage, $V_{IN} = V_{OUT(\text{NOMINAL})}$ (Note 6)	$I_{OUT} = 1\text{A}$, $V_{OUT} = 1\text{V}$	●		20	35	mV
	$I_{OUT} = 2.5\text{A}$, $V_{OUT} = 1\text{V}$	●		50	65	mV
	$I_{OUT} = 5\text{A}$, $V_{OUT} = 1\text{V}$	●		85	120	mV
SENSE Pin Current	$V_{IN} = 1.1\text{V}$, $V_{SENSE} = 0.8\text{V}$	●	35	50	65	μA
	$V_{BIAS} = 3.3\text{V}$, $V_{IN} = 2.1\text{V}$, $V_{SENSE} = 1.8\text{V}$	●	200	300	400	μA

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り $C_{OUT} = 15\ \mu\text{F}$ (Note 9)、 $V_{IN} = V_{OUT} + 0.3\text{V}$ (Note 5)、 $V_{BIAS} = 2.5\text{V}$ 。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Ground Pin Current, $V_{IN} = 1.3\text{V}$, $V_{OUT} = 1\text{V}$	$I_{OUT} = 10\text{mA}$	●	0.65	1.1	1.8	mA
	$I_{OUT} = 5\text{A}$	●	0.9	1.35	2.3	mA
BIAS Pin Current in Nap Mode	EN = Low	●	120	200	320	μA
BIAS Pin Current, $V_{IN} = 1.3\text{V}$, $V_{OUT} = 1\text{V}$	$I_{OUT} = 10\text{mA}$	●	0.75	1.08	1.5	mA
	$I_{OUT} = 100\text{mA}$	●	1.25	1.8	2.4	mA
	$I_{OUT} = 500\text{mA}$	●	2.0	3.0	4.0	mA
	$I_{OUT} = 1\text{A}$	●	2.6	3.8	5.0	mA
	$I_{OUT} = 2.5\text{A}$	●	3.5	5.2	7.0	mA
	$I_{OUT} = 5\text{A}$	●	4.5	6.9	10.0	mA
Current Limit (Note 5)	$V_{IN} - V_{OUT} < 0.3\text{V}$, $V_{BIAS} = 3.3\text{V}$	●	5.1	6.4	7.7	A
	$V_{IN} - V_{OUT} = 1.0\text{V}$, $V_{BIAS} = 3.3\text{V}$	●	3.2	4.5	5.8	A
	$V_{IN} - V_{OUT} = 1.7\text{V}$, $V_{BIAS} = 3.3\text{V}$	●	1.2	2.5	4.3	A
Reverse Output Current (Note 8)	$V_{IN} = 0\text{V}$, $V_{OUT} = 1.8\text{V}$	●		300	450	μA
PWRGD V_{OUT} Threshold	Percentage of $V_{OUT(\text{NOMINAL})}$, V_{OUT} Rising	●	87	90	93	%
	Percentage of $V_{OUT(\text{NOMINAL})}$, V_{OUT} Falling	●	82	85	88	%
PWRGD V_{OL}	$I_{\text{PWRGD}} = 200\ \mu\text{A}$ (Fault Condition)	●		50	150	mV
V_{BIAS} Undervoltage Lockout	V_{BIAS} Rising	●	1.1	1.55	2.1	V
	V_{BIAS} Falling	●	0.9	1.4	1.7	V
V_{IN} - V_{OUT} Servo Voltage by VIOC		●	250	300	350	mV
VIOC Output Current	$V_{IN} = V_{OUT(\text{NOMINAL})} + 150\text{mV}$, Sourcing Out of the Pin	●	160	235	310	μA
	$V_{IN} = V_{OUT(\text{NOMINAL})} + 450\text{mV}$, Sinking Into the Pin	●	170	255	340	μA
V_{IL} Input Threshold (Logic-0 State), V_{O2} , V_{O1} , V_{O0} , MARGSEL, MARGTOL	Input Falling	●			0.25	V
V_{IZ} Input Range (Logic-Z State), V_{O2} , V_{O1} , V_{O0} , MARGSEL, MARGTOL		●	0.75		$V_{BIAS} - 0.9$	V
V_{IH} Input Threshold (Logic-1 State), V_{O2} , V_{O1} , V_{O0} , MARGSEL, MARGTOL	Input Rising	●	$V_{BIAS} - 0.25$			V
Input Hysteresis (Both Thresholds), V_{O2} , V_{O1} , V_{O0} , MARGSEL, MARGTOL				60		mV
Input Current High, V_{O2} , V_{O1} , V_{O0} , MARGSEL, MARGTOL	$V_{IH} = V_{BIAS} = 2.5\text{V}$, Current Flows Into Pin	●		25	40	μA
Input Current Low, V_{O2} , V_{O1} , V_{O0} , MARGSEL, MARGTOL	$V_{IL} = 0\text{V}$, $V_{BIAS} = 2.5\text{V}$, Current Flows Out of Pin	●		25	40	μA
EN Pin Threshold	$V_{OUT} = \text{Off to On}$, $V_{BIAS} = 2.5\text{V}$	●			1.4	V
	$V_{OUT} = \text{On to Off}$, $V_{BIAS} = 2.5\text{V}$	●	0.9			V
	$V_{OUT} = \text{Off to On}$, $V_{BIAS} = 2.2\text{V to } 3.6\text{V}$	●			$0.56 \cdot V_{BIAS}$	V
	$V_{OUT} = \text{On to Off}$, $V_{BIAS} = 2.2\text{V to } 3.6\text{V}$	●	$0.36 \cdot V_{BIAS}$			V
EN Pin Logic High Current	$V_{EN} = V_{BIAS} = 2.5\text{V}$	●	2.5	4.0	6.5	μA

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り $C_{OUT} = 15\ \mu\text{F}$ (Note 9)、 $V_{IN} = V_{OUT} + 0.3\text{V}$ (Note 5)、 $V_{BIAS} = 2.5\text{V}$ 。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
EN Pin Logic Low Current	$V_{EN} = 0\text{V}$			0.1	μA
V_{BIAS} Ripple Rejection	$V_{BIAS} = V_{OUT} + 1.5\text{V}_{AVG}$, $V_{RIPPLE} = 0.5\text{V}_{P-P}$, $f_{RIPPLE} = 120\text{Hz}$, $V_{IN} - V_{OUT} = 300\text{mV}$, $I_{OUT} = 2.5\text{A}$		75		dB
V_{IN} Ripple Rejection (Notes 3, 4, 5)	$V_{BIAS} = 2.5\text{V}$, $V_{RIPPLE} = 50\text{mV}_{P-P}$, $f_{RIPPLE} = 120\text{Hz}$, $V_{IN} - V_{OUT} = 300\text{mV}$, $I_{OUT} = 2.5\text{A}$		66		dB
Reference Voltage Noise (REF/BYP Pin)	$C_{REF/BYP} = 10\text{nF}$, $\text{BW} = 10\text{Hz to } 100\text{kHz}$		10		μVRMS
Output Voltage Noise	$V_{OUT} = 1\text{V}$, $I_{OUT} = 5\text{A}$, $C_{REF/BYP} = 10\text{nF}$, $C_{OUT} = 15\mu\text{F}$, $\text{BW} = 10\text{Hz to } 100\text{kHz}$		25		μVRMS

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: LT3070-1 レギュレータは T_J が T_A にほぼ等しいパルス負荷条件のもとでテストされ、仕様が規定されている。LT3070-1E は $T_A = 25^\circ\text{C}$ で全数テストされている。 -40°C と 125°C の温度での性能は設計、特性評価および統計学的なプロセス・コントロールとの相関で確認されている。LT3070-1I は -40°C ~ 125°C の動作ジャンクション温度範囲で確認されている。LT3070-1MP は -55°C ~ 125°C の動作ジャンクション温度範囲で全数テストされ、確認されている。

Note 3: 適正な性能とレギュレーションを維持するため、BIAS 電源電圧は IN 電源電圧よりも高くする必要がある。与えられた V_{OUT} に対して、BIAS 電圧は次の条件を満たす必要がある。 $2.2\text{V} \leq V_{BIAS} \leq 3.6\text{V}$ and $V_{BIAS} \geq (1.25 \cdot V_{OUT} + 1\text{V})$ 。 $V_{OUT} \leq 0.95\text{V}$ の場合、最小 BIAS 電圧は 2.2V に制限される。

Note 4: 動作条件は最大ジャンクション温度によって制限されている。安定化された出力電圧の仕様は、入力電圧と出力電流の全ての可能な組合せに対して適用されるわけではない。最大出力電流で動作しているときは、入力電圧範囲を $V_{IN} < V_{OUT} + 500\text{mV}$ に制限する。

Note 5: LT3070-1には安全動作領域保護回路が搭載されている。 V_{IN} - V_{OUT} 間の電圧が上昇するに従って電流制限が減少する。 $V_{IN} - V_{OUT} > 500\text{mV}$ でフの字電流制限が作動する。電流制限と $V_{IN} - V_{OUT}$ 電圧のグラフについては代表的な性能特性を参照。フの字電流制限機能はサーマル・シャットダウン回路には関係しない。

Note 6: ドロップアウト電圧 V_{DO} は、規定出力電流時の入力-出力間の最小電圧差である。ドロップアウト時には、出力電圧は $V_{IN} - V_{DO}$ に等しくなる。

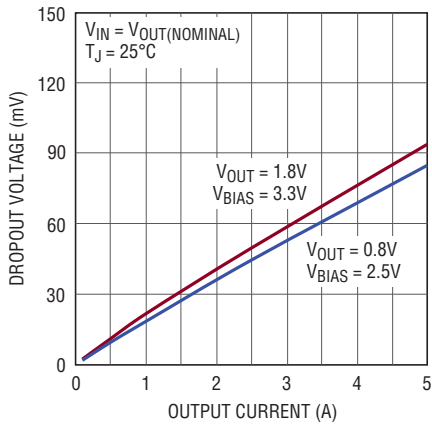
Note 7: GNDピンの電流は $V_{IN} = V_{OUT(NOMINAL)} + 300\text{mV}$ および電流源負荷でテストされる。VIOC はバッファされた出力で、 V_{O2} ピン~ V_{O0} ピンによって設定される V_{OUT} の値によって決定される。VIOC の出力はマーゼニング機能には関係しない。

Note 8: 逆出力電流は、INピンをグラウンドに接続し、OUTピンとSENSEピンを定格出力電圧に強制した状態でテストされる。これはOUTピンとSENSEピンに流入する電流として測定される。

Note 9: 周波数補償: LT3070-1は、15個の $1\ \mu\text{F}$ のセラミック・コンデンサまたは同じケース寸法の段階的に大きさを変えた $10\ \mu\text{F}/4.7\ \mu\text{F}/2.2\ \mu\text{F}$ のセラミック・コンデンサで構成される最小 $15\ \mu\text{F}$ の C_{OUT} を OUTピンに使用して周波数補償を行う必要がある。アナログ・デバイスでは X5R または X7R の誘電体コンデンサのみを推奨している。

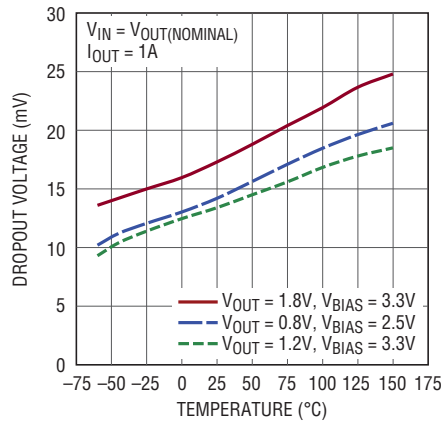
代表的な性能特性

ドロップアウト電圧と I_{OUT}



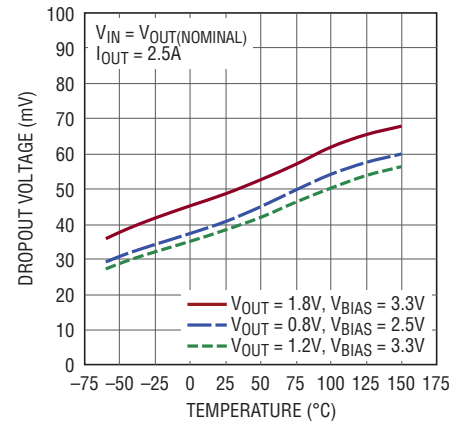
30701 G01

ドロップアウト電圧と温度



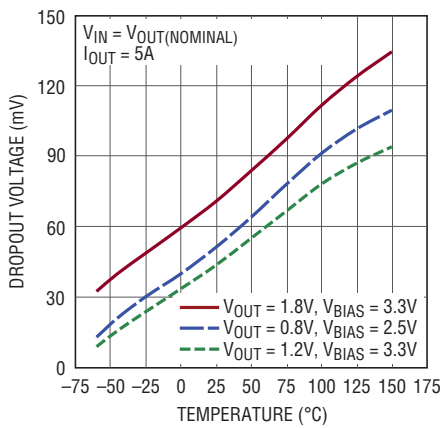
30701 G02

ドロップアウト電圧と温度



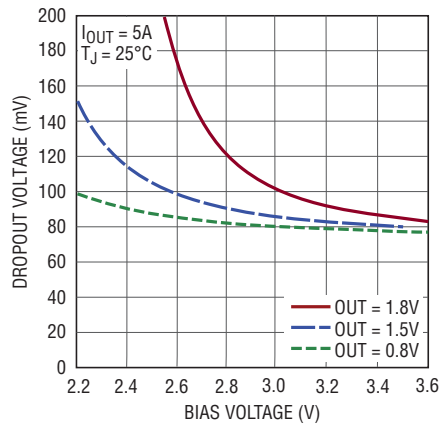
30701 G03

ドロップアウト電圧と温度



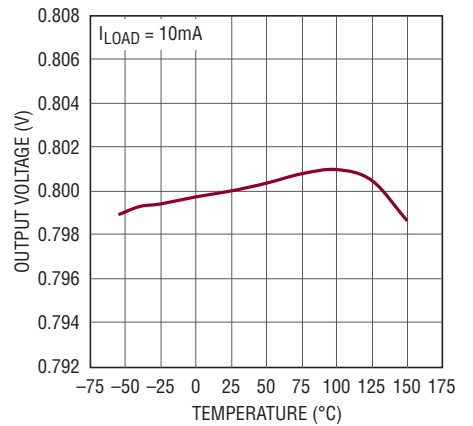
30701 G04

ドロップアウト電圧と V_{BIAS}



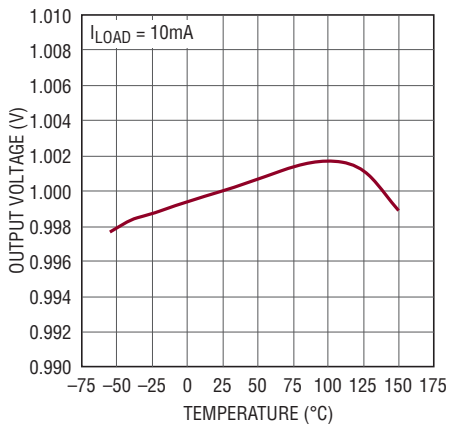
30701 G05

出力電圧 (0.8V) と温度



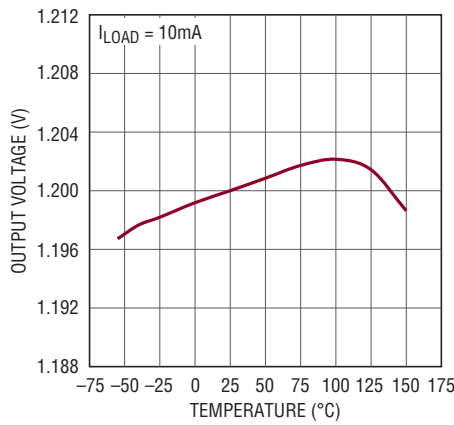
30701 G06

出力電圧 (1V) と温度



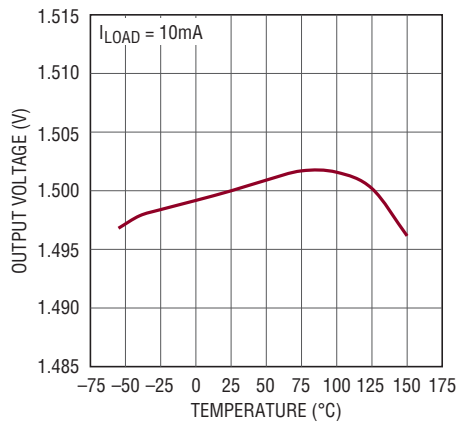
30701 G07

出力電圧 (1.2V) と温度



30701 G08

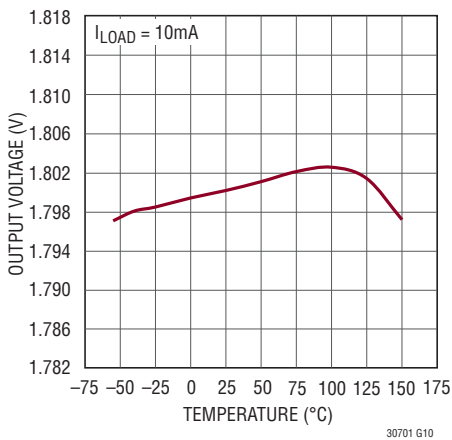
出力電圧 (1.5V) と温度



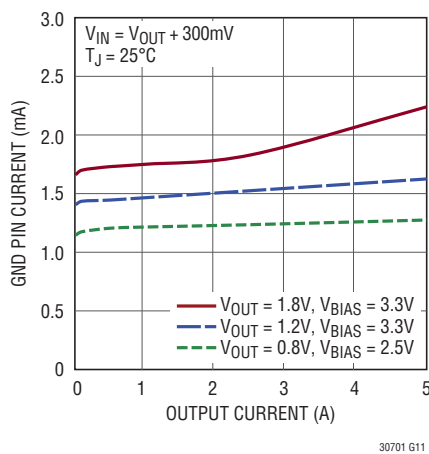
30701 G09

代表的な性能特性

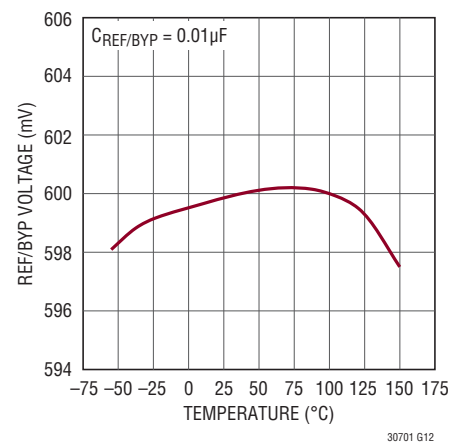
出力電圧 (1.8V) と温度



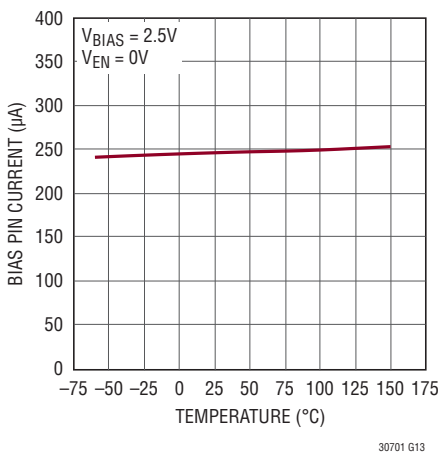
GND ピンの電流と I_{OUT}



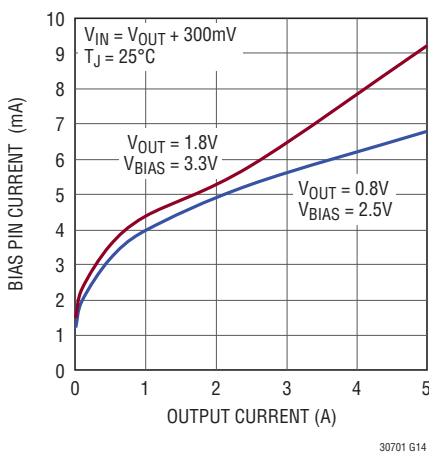
REF/BYP ピンの電圧と温度



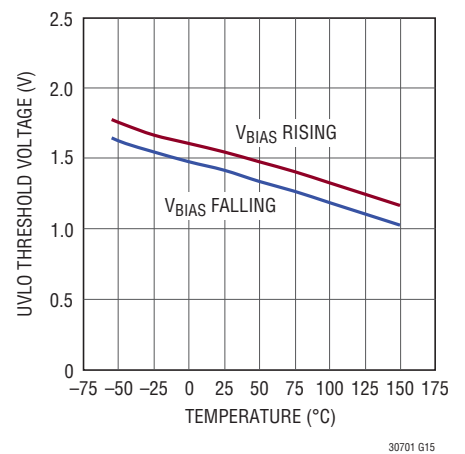
ナップ・モードの BIAS ピンの電流



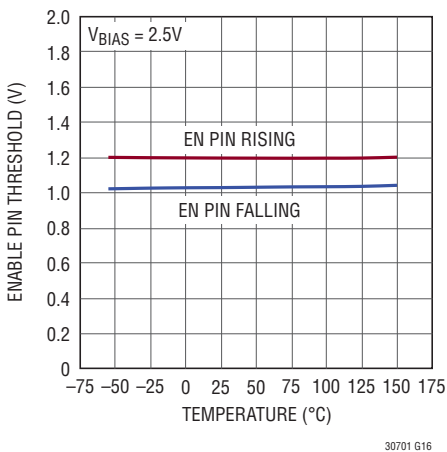
BIAS ピンの電流と I_{OUT}



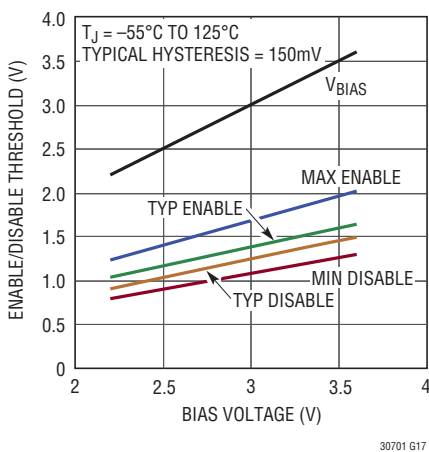
BIAS ピンの低電圧ロックアウト閾値



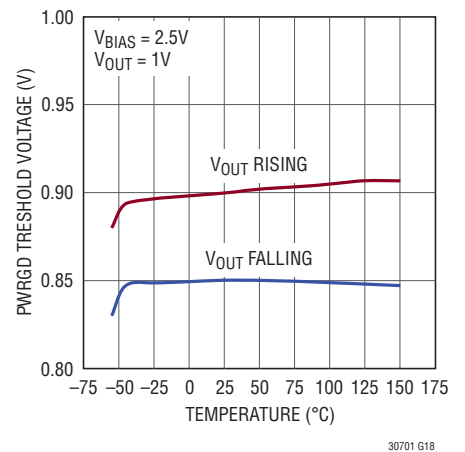
EN ピンの閾値



イネーブル・ピンの閾値およびヒステリシスと V_{BIAS}

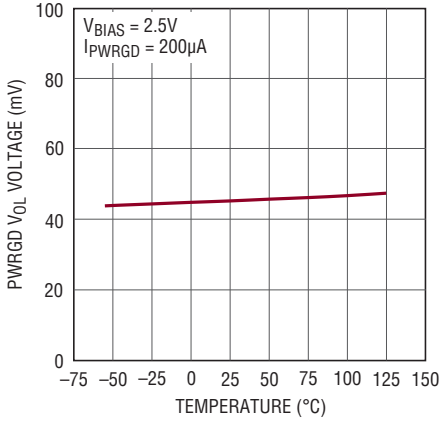


PWRGD のスレッシュホールド電圧



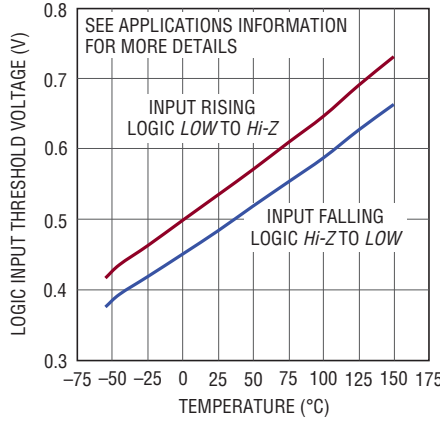
代表的な性能特性

PWRGDのV_{OL}と温度



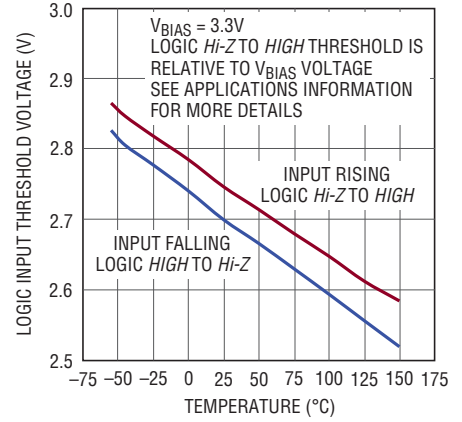
30701 G19

ロジック入力のスレッシュヨールド
電圧ローからHi-Z状態への遷移



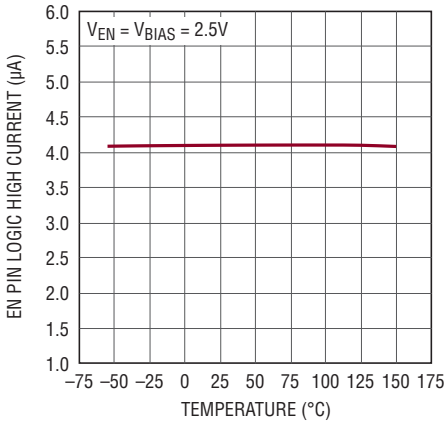
30701 G20

ロジック入力のスレッシュヨールド
電圧Hi-Zからハイ状態への遷移



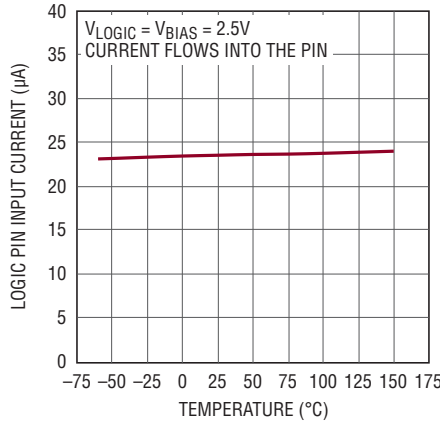
30701 G21

ENピンのロジック・ハイ電流



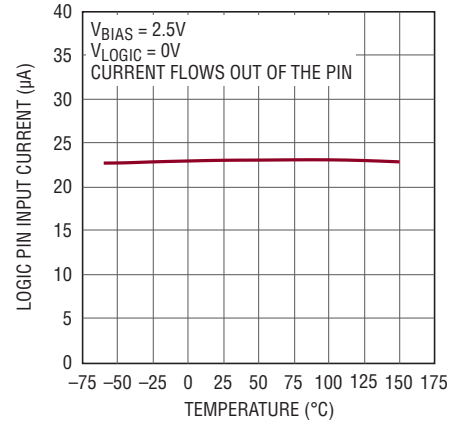
30701 G22

ロジックピンの入力電流、
ハイ状態



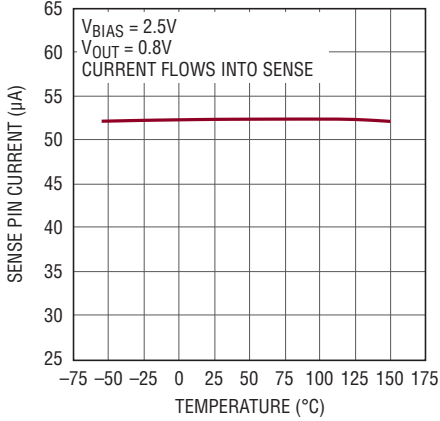
30701 G23

ロジックピンの入力電流、
ロー状態



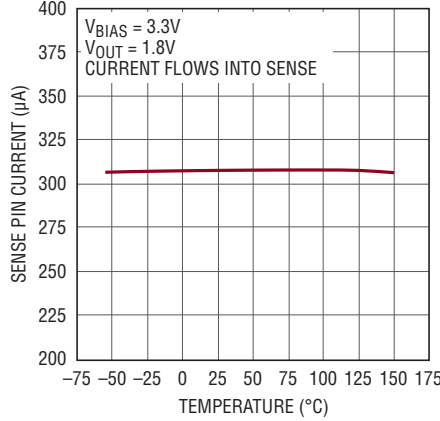
30701 G24

SENSEピンの電流



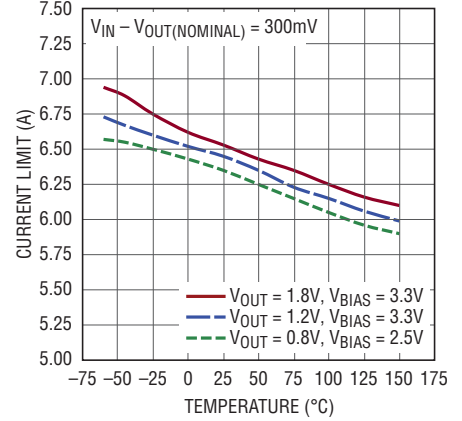
30701 G25

SENSEピンの電流



30701 G26

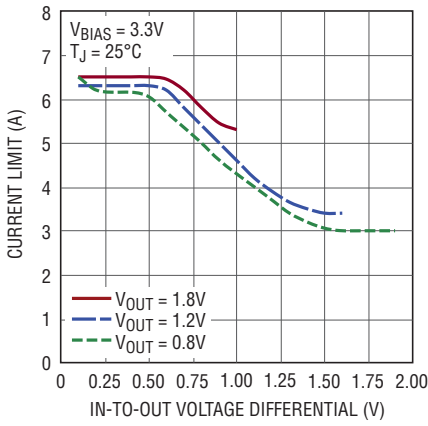
電流制限と温度



30701 G27

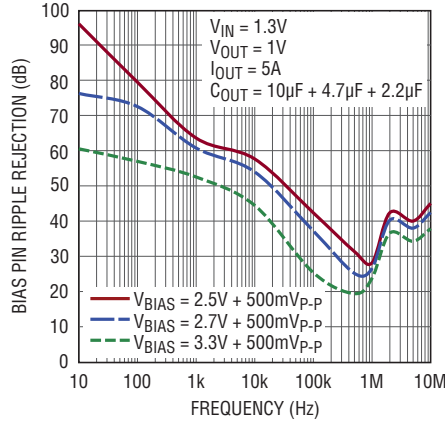
代表的な性能特性

電流制限と $V_{IN} - V_{OUT}$



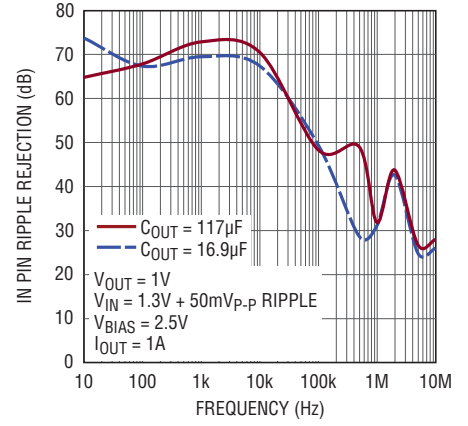
30701 G28

BIASピンのリップル除去比



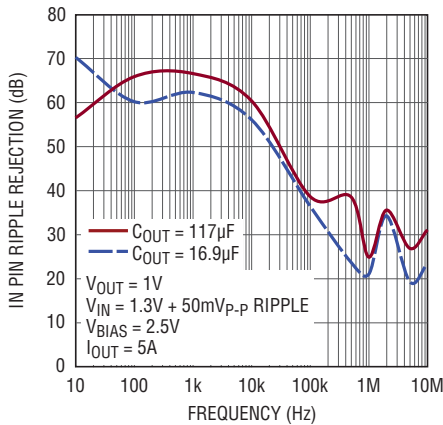
30701 G29

INピンのリップル除去比



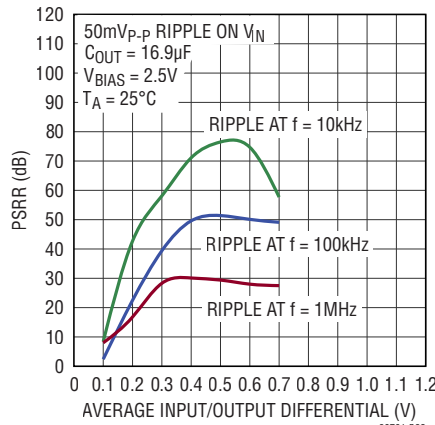
30701 G30

INピンのリップル除去比



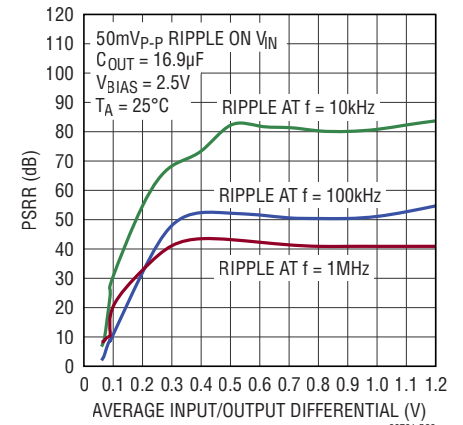
30701 G31

INピンのリップル除去比と $V_{IN} - V_{OUT}$ 、1V/5A



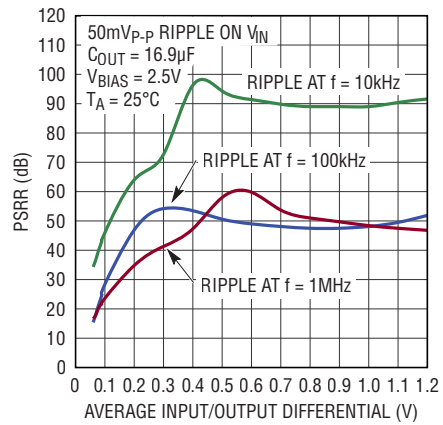
30701 G32

INピンのリップル除去比と $V_{IN} - V_{OUT}$ 、1V/2.5A



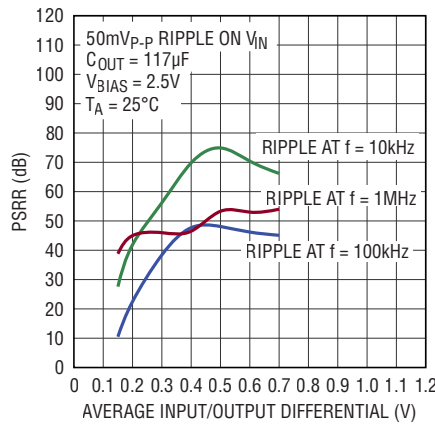
30701 G33

INピンのリップル除去比と $V_{IN} - V_{OUT}$ 、1V/1A



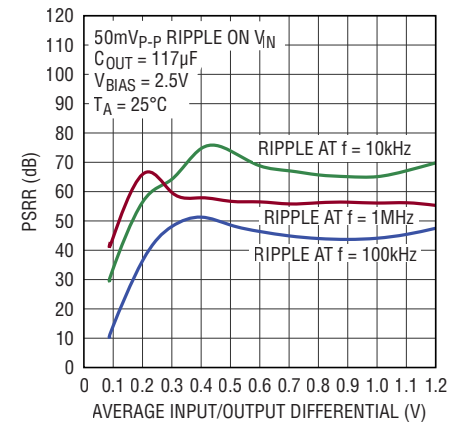
30701 G34

INピンのリップル除去比と $V_{IN} - V_{OUT}$ 、1V/5A



30701 G35

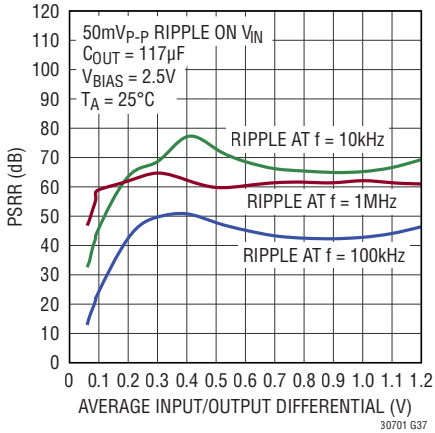
INピンのリップル除去比と $V_{IN} - V_{OUT}$ 、1V/2.5A



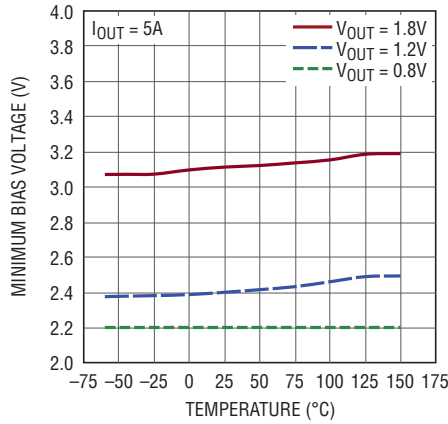
30701 G36

代表的な性能特性

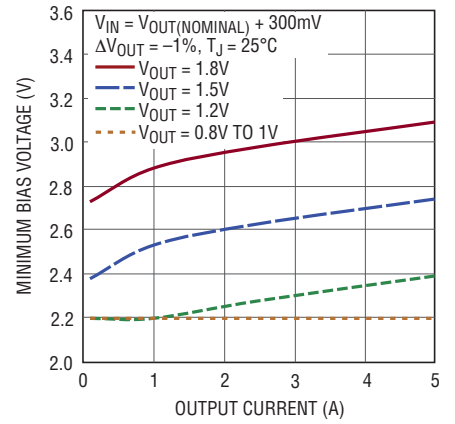
INピンのリップル除去比と
 $V_{IN} - V_{OUT}$ 、1V/1A



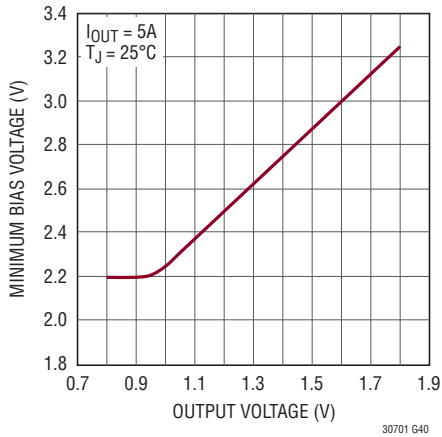
最小BIAS 電圧と温度



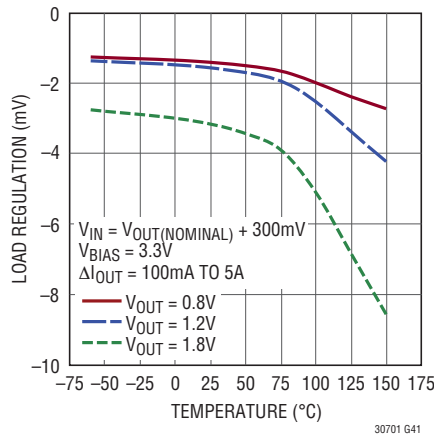
最小BIAS 電圧とIOUT



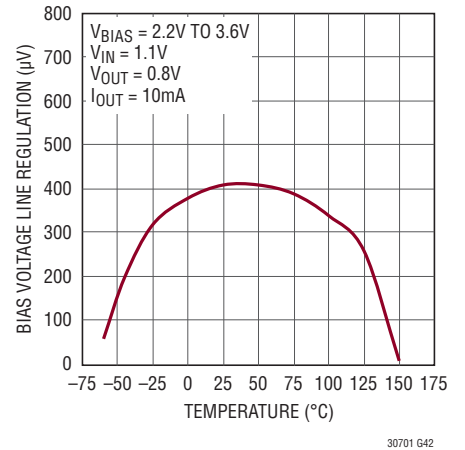
最小BIAS 電圧とVOUT



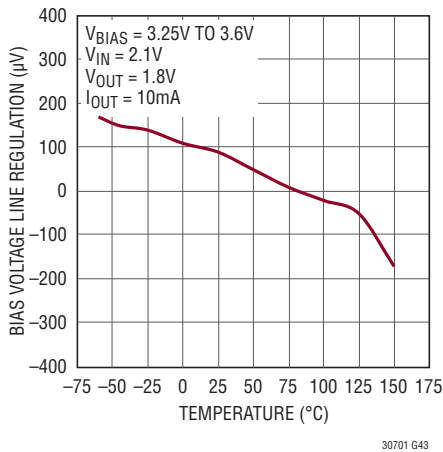
負荷レギュレーション



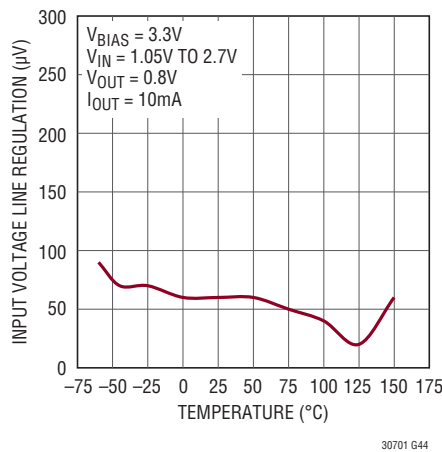
バイアス電圧の
ラインレギュレーション



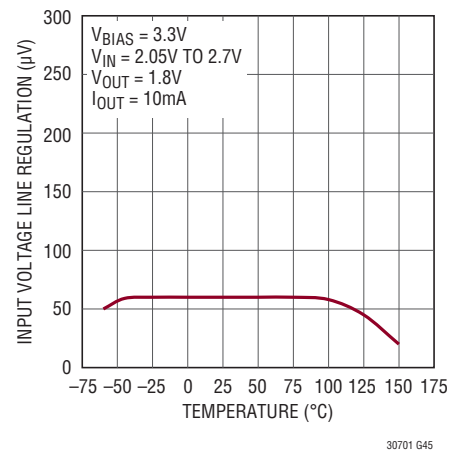
バイアス電圧の
ラインレギュレーション



入力電圧の
ラインレギュレーション

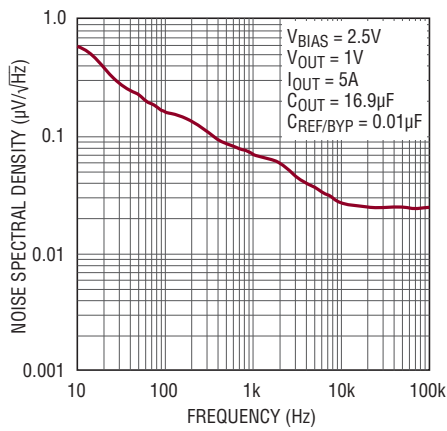


入力電圧の
ラインレギュレーション



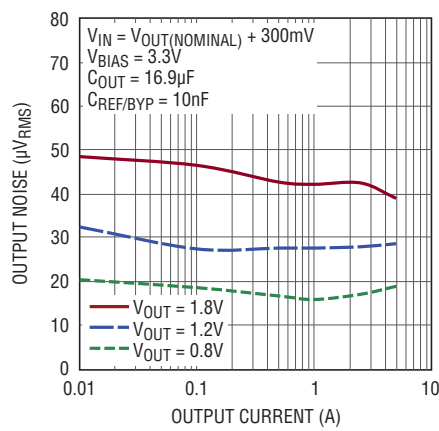
代表的な性能特性

出カノイズのスペクトル密度



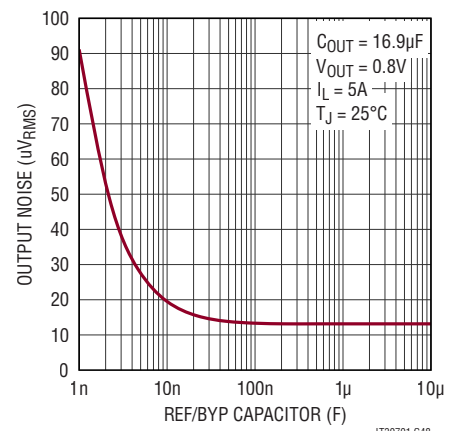
30701 646

RMS 出カノイズと出力電流



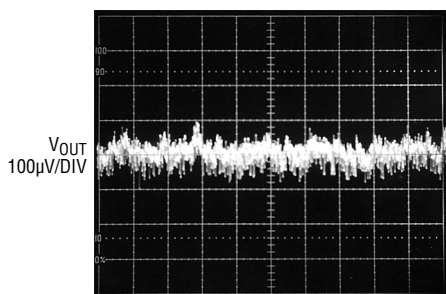
30701 647

RMS 出カノイズと CREF/BYP



LT30701 648

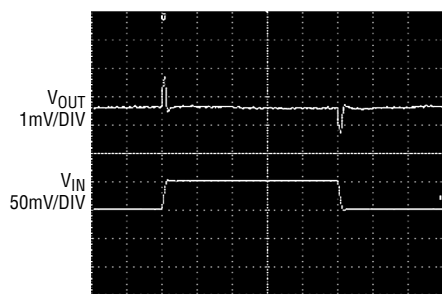
出カノイズ (10Hz~100kHz)



V_{OUT} = 1V
I_{OUT} = 5A
C_{OUT} = 16.9µF

30701 649

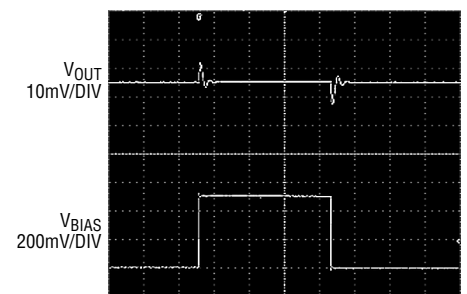
入力電圧のライン過渡応答



V_{IN} = 1.3V
V_{OUT} = 1V
I_{OUT} = 5A
C_{OUT} = 16.9µF

30701 650

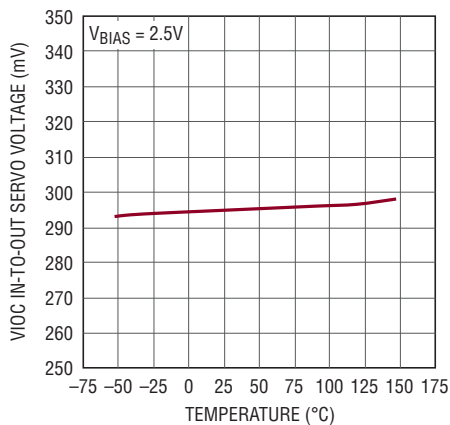
バイアス電圧のライン過渡応答



V_{IN} = 1.3V
V_{BIAS} = 2.5V
V_{OUT} = 1V
I_{OUT} = 5A
C_{OUT} = 16.9µF

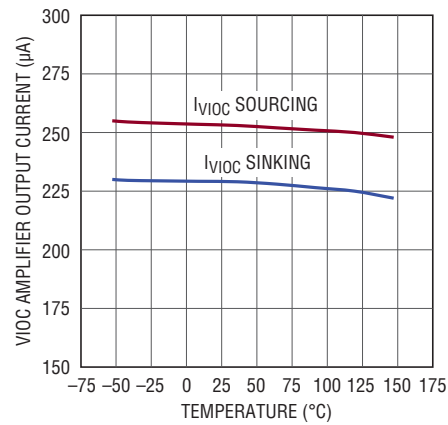
30701 651

VI OC アンプの IN-OUT 間のサーボ電圧



30701 652

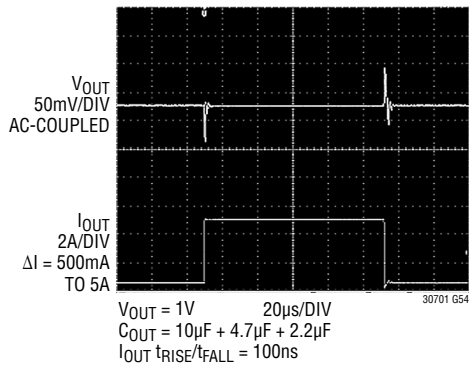
VI OC アンプの出力電流と温度



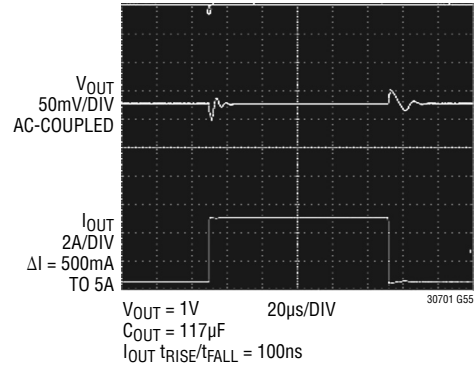
30701 653

代表的な性能特性

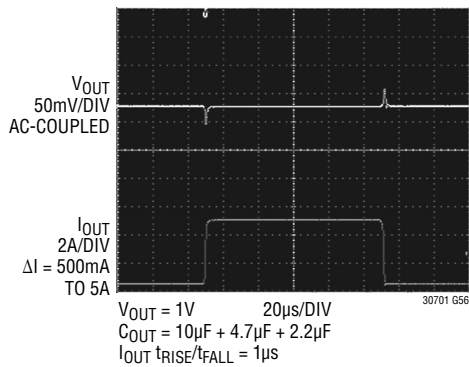
負荷過渡応答



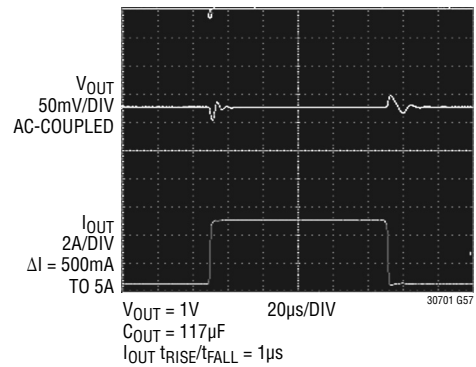
負荷過渡応答



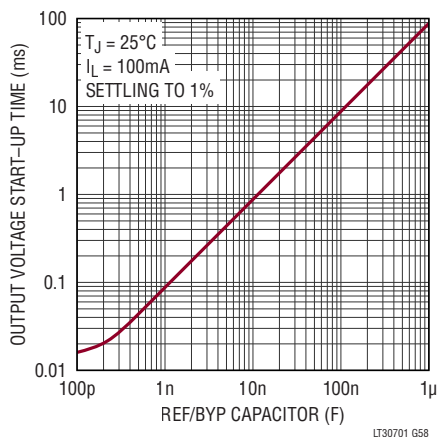
負荷過渡応答



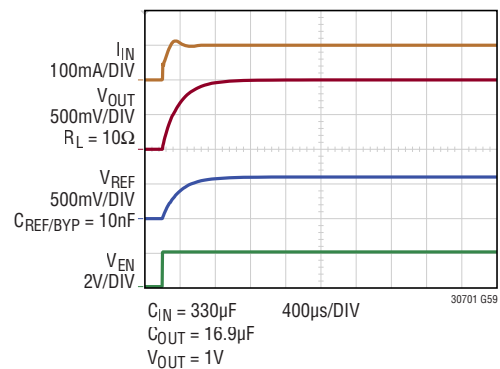
負荷過渡応答



出力電圧のスタートアップ時間と
CREF/BYP



ENのスタートアップ応答



ピン機能

VIOC (ピン1) : 入力-出力間の制御電圧。このデバイスは独自のトラッキング機能を搭載しており、LT3070-1の入力に電力供給する降圧レギュレータを制御できます。VIOCピンはこのトラッキング機能の出力で、降圧レギュレータを駆動してLT3070-1の入力電圧を $V_{OUT} + 300\text{mV}$ に維持します。この機能によって効率が最大になり、消費電力が最小限に抑えられます。降圧レギュレータの適切な制御の詳細についてはアプリケーション情報のセクションを参照してください。

PWRGD (ピン2) : パワーグッド。PWRGDピンはオープンドレインのNMOS出力で、以下の障害モードのいずれか1つが検出されるとアクティブにローになります。

- V_{OUT} の立上がりエッジで V_{OUT} が $V_{OUT(NOMINAL)}$ の90%を下回る。
- V_{OUT} が $V_{OUT(NOMINAL)}$ の85%を下回る状態が25 μs 以上続く。
- ジャンクション温度が標準で145°Cを超える。
- V_{BIAS} が低電圧ロックアウト閾値を下回る。
- OUT-IN間の逆電流検出器が作動する。

PWRGDの障害モードの詳細については、アプリケーション情報のセクションを参照してください。

REF/BYP (ピン3) : リファレンス・フィルタ。このピンはバンドギャップ・リファレンスの出力で、インピーダンスは約19k Ω です。このピンには外部負荷を接続しないでください。コンデンサを使用してREF/BYPピンをGNDにバイパスすることで、出力電圧ノイズが減少し、リファレンスにソフトスタート機能が提供されます。アナログ・デバイスでは、高品質で低リークのコデンサを使用することを推奨しています。ノイズおよび出力電圧のマージニングの検討事項の詳細については、アプリケーション情報のセクションを参照してください。

GND (ピン4、9~14、20、26、29) : グラウンド。QFNパッケージの露出パッド(ピン29)はGNDに電氣的に接続されています。適正な電氣的性能および熱性能を確保するため、ピン29をPCBグラウンドにハンダ付けしてパッケージの全てのGNDピンに接続します。これらのGNDピンは、放熱特性と熱抵抗特性を最適にするため、内部ダイ・アタッチ・パッドと露出パッドに結合されています。熱に関する検討事項とジャンクション温度の計算については、アプリケーション情報のセクションを参照してください。

IN (ピン5、6、7、8) : 入力電源。これらのピンは、高電流パス・トランジスタに電力を供給します。適正な性能を得るため、全てのINピンを相互接続します。LT3070-1は、全周波数で安定性と低入力インピーダンスを維持するため、INにバイパス・コンデンサを必要とします。ほとんどのバッテリーや電源プレーンのインピーダンスに対して47 μF の入力バイパス・コンデンサで十分です。入力パターンのインダクタンスを最小限に抑えることによって性能が最適化されます。小さい V_{IN} - V_{OUT} 間電圧差で動作し、負荷過渡応答が高速で大きいアプリケーションでは、入力電源が垂下してレギュレータがドロップアウト状態にならないように大きな入力コンデンサが必要になることがあります。入力コンデンサ条件の詳細については、アプリケーション情報のセクションを参照してください。

OUT (ピン15、16、17、18) : 出力。これらのピンは負荷に電力を供給します。適正な性能を得るため、全てのOUTピンを相互接続します。安定性を確保するには、最小15 μF の出力容量が必要です。最高の性能を得るため、アナログ・デバイスでは低ESRのX5RまたはX7Rの誘電体セラミック・コンデンサを推奨しています。10 μF + 4.7 μF + 2.2 μF の並列接続されたセラミック・コンデンサの組み合わせ、または15個の1 μF セラミック・コンデンサの並列接続により、優れた安定性および負荷過渡応答が得られます。負荷過渡応答が大きいアプリケーションでは、ピーク過渡電圧を制限するために大きな出力コンデンサが必要です。出力コンデンサ条件の詳細については、アプリケーション情報のセクションを参照してください。

SENSE (ピン19) : OUTのケルビン検出。SENSEピンはエラー・アンプの反転入力です。SENSEピンがレギュレータのOUTピンに接続されている場合に、最適なレギュレーションが得られます。要求の厳しいアプリケーションでは、レギュレータと負荷の間のPCBパターンの抵抗(R_p)によって小さな電圧降下が生じ、ポイント・オブ・ロードでの負荷レギュレーション誤差になります。SENSEピンをOUTに直接接続するのではなく負荷に接続すると、この電圧誤差は除去されます。このケルビン検出接続の手法を図1に示します。外部のPCBパターンに生じる電圧降下がレギュレータのドロップアウト電圧に加わる点に注意してください。SENSEピンの入力バイアス電流は選択した出力電圧に左右されます。SENSEピンの入力電流は、 $V_{OUT} = 0.8\text{V}$ での標準50 μA から $V_{OUT} = 1.8\text{V}$ での標準300 μA まで変化します。

ピン機能

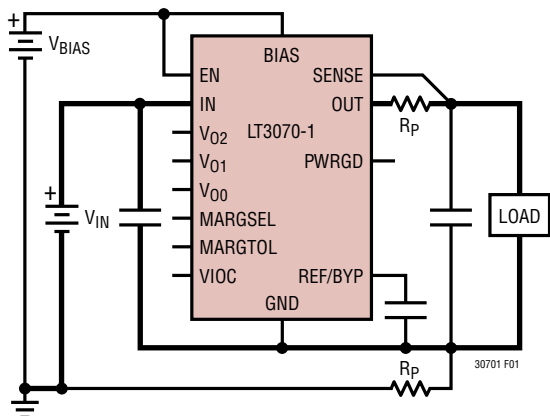


図1. ケルビン検出接続

MARGSEL (ピン21) : マージニングのイネーブルと極性の選択。このスリーステートのピンにより、マージニング機能の極性とアクティブ状態の両方が決定されます。ロジック・ローの閾値がGNDを基準にして250mVより低いと、負電圧のマージニングがイネーブルされます。ロジック・ハイの閾値が $V_{BIAS} - 250\text{mV}$ より高いと、正電圧のマージニングがイネーブルされます。ウィンドウ・コンパレータによって設定されるこれら2つのロジック閾値間の電圧範囲では、ロジックがHi-Z状態になり、マージニング機能がディスエーブルされます。

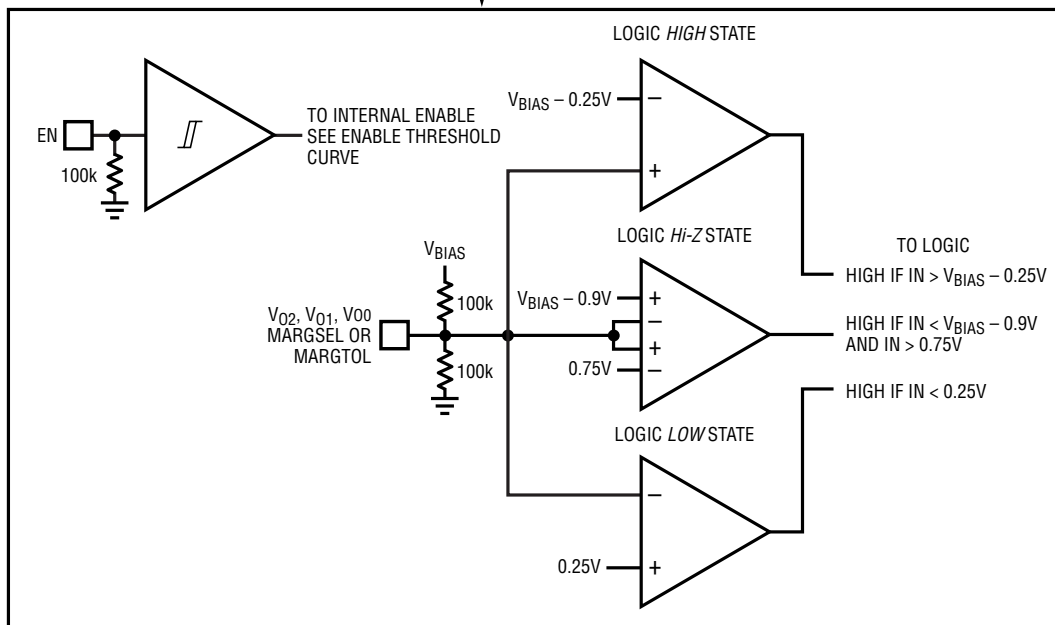
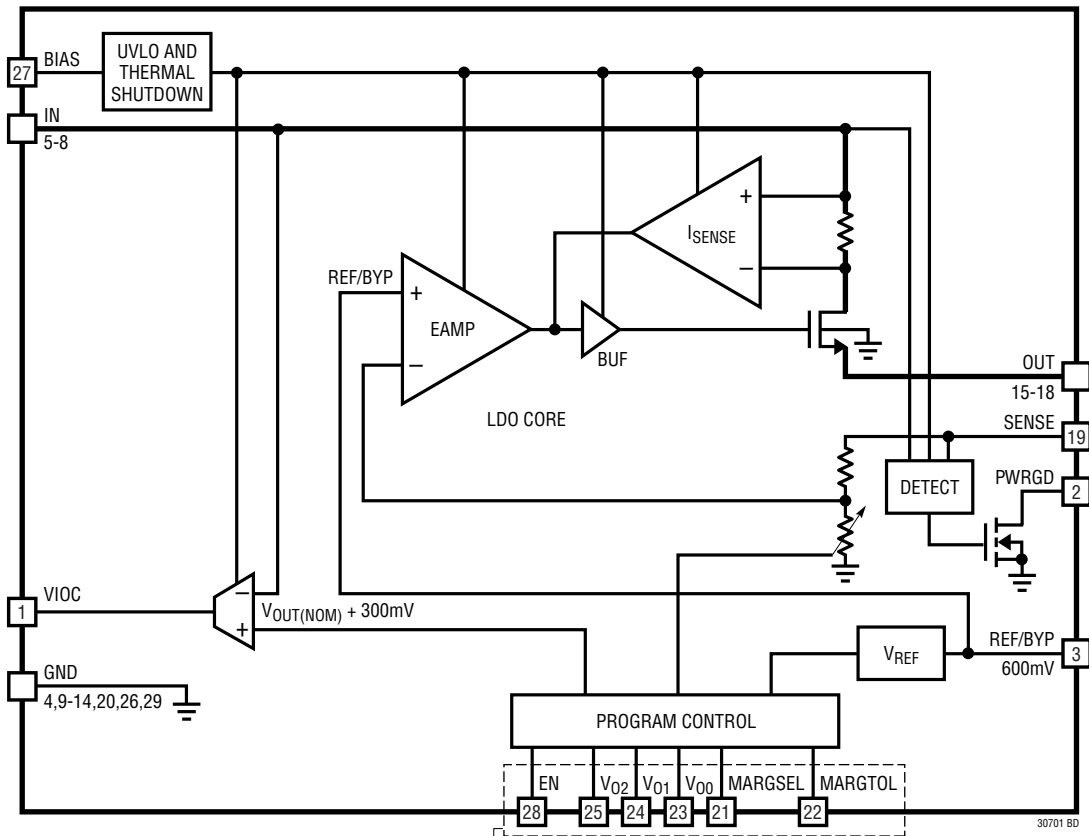
MARGTOL (ピン22) : マージニングの許容誤差。MARGSEL入力によってイネーブルされている場合、このスリーステート・ピンにより、マージニングの絶対値(1%、3%、または5%)が選択されます。ロジック・ローの閾値がGNDを基準にして250mVより低いと、MARGSELピンの状態に応じて V_{OUT} の $\pm 1\%$ の変化のどちらかがイネーブルされます。ロジック・ハイの閾値が $V_{BIAS} - 250\text{mV}$ より高いと、MARGSELピンの状態に応じて V_{OUT} の $\pm 5\%$ の変化のどちらかがイネーブルされます。ウィンドウ・コンパレータによって設定されるこれら2つのロジック閾値間の電圧範囲では、ロジックがHi-Z状態になり、MARGSELピンの状態に応じて V_{OUT} の $\pm 3\%$ の変化のどちらかがイネーブルされます。

V_{00} 、 V_{01} 、 V_{02} (ピン23、24、25) : 出力電圧の選択。これらのスリーステート・ピンを組み合わせ、0.8V~1.8Vの公称出力電圧を50mV刻みで選択します。 $V_{02} = \text{「ハイ」}$ のとき V_{01} は内部でオーバーライドされ、出力電圧は最大1.8Vに制限されます。入力ロジック・ローの閾値はGNDを基準にして250mVより低く、ロジック・ハイの閾値は $V_{BIAS} - 250\text{mV}$ より高くなります。ウィンドウ・コンパレータによって設定されるこれら2つの閾値間の範囲では、ロジックがHi-Z状態になります。 V_{02} 、 V_{01} 、 V_{00} の設定値と V_{OUT} の関係を示すアプリケーション情報セクションの表1を参照してください。

BIAS (ピン27) : バイアス電源。このピンは、内部制御回路とパス・トランジスタを駆動する出力段に電流を供給します。LT3070-1は、安定性と適正な動作を確保するために最小2.2 μF のバイパス・コンデンサを必要とします。適正に動作させるため、BIAS電圧は次の条件を満たす必要があります。 $2.2\text{V} \leq V_{BIAS} \leq 3.6\text{V}$ および $V_{BIAS} \geq (1.25 \cdot V_{OUT} + 1\text{V})$ 。 $V_{OUT} \leq 0.95\text{V}$ の場合、最小BIAS電圧は2.2Vに制限されます。

EN (ピン28) : イネーブル。このピンによってリファレンス出力とデバイス出力のイネーブル/ディスエーブルが行われます。 V_{BIAS} がUVLO閾値を上回ると、内部リファレンスと全てのサポート機能がアクティブになります。ENをローにすると、REF/BYPピン電流と出力パス・トランジスタがディスエーブルされて、LT3070-1が低電力のナップ・モードになります。ENの上昇時の最大閾値は V_{BIAS} の0.56%で、ENの下降時の最小閾値は V_{BIAS} の0.36%です。ENピンは、デジタル・ロジック・ポートを使用して駆動するか、あるいは、 V_{BIAS} に接続されたプルアップ抵抗で終端されたオープンコレクタのNPNまたはオープンドレインのNMOSを使用して駆動します。ENピンの V_{IH} 条件を満たすため、プルアップ抵抗は35k以下にする必要があります。ENを使用しない場合にはBIASに接続します。

ブロック図



アプリケーション情報

はじめに

現代のFPGAやASICプロセッサでは、コア、I/Oおよびトランシーバー・チャンネルに電力を供給する電源に厳しい要件が課されます。これらのマイクロプロセッサでは、負荷電流を数10ナノ秒でほぼゼロから数アンペアに切り替えることがあります。特に1V近辺の出力電圧の仕様は、条件の一部として過渡応答を含む厳しい許容誤差を要求します。ASICプロセッサの中には、コアとI/O回路を動作させる単一の出力電圧だけを必要とするものもあります。高性能FPGAプロセッサの中には、プロセッサのコア、I/O、トランシーバー用に個別の電源電圧を必要とするものもあります。多くの場合、最小のビット誤り率を達成するため、これらの電源電圧は低ノイズで広帯域幅でなければなりません。これらの条件には、低い入力電圧および出力電圧で動作する非常に高精度、低ノイズ、高電流、高速のレギュレータ回路が欠かせません。

LT3070-1は、UltraFast過渡応答を実現する低電圧リニア電圧レギュレータです。このデバイスは85mV(代表値)のドロップアウト電圧で5Aまでの出力電流を供給します。0.01 μ Fのリファレンス・バイパス・コンデンサによって出力電圧ノイズを25 μ V_{RMS}(BW = 10Hz~100kHz)にまで抑えます。LT3070-1は帯域幅が広いので、低ESRセラミック出力コンデンサ(最小15 μ F)を使用したUltraFast過渡応答を実現し、バルク容量、PCB面積およびコストを削減します。

LT3070-1の機能により、最先端のリニア電圧レギュレータの性能が得られます。LT3070-1は、高性能FPGA、マイクロプロセッサ、ノイズにセンシティブな通信用電源、低い入力電圧および出力電圧でも動作する高電流のロジック・アプリケーションに最適です。

LT3070-1の出力電圧は、0.8V~1.8Vの範囲で50mV刻みでデジタル選択可能です。マージニング機能により、システムの出力電圧を $\pm 1\%$ 、 $\pm 3\%$ 、または $\pm 5\%$ 単位で調節できます。

このデバイスは独自のトラッキング機能を搭載しており、イネーブルにすると、LT3070-1の入力に電力供給する上流のレギュレータを制御できます(図7を参照)。このトラッキング機能は降圧レギュレータを駆動することで、LT3070-1の入力電圧を $V_{OUT} + 300\text{mV}$ に維持します。この入力-出力間の電圧制御により、レギュレータの出力電圧を変化させることができ、部品を変更することなく、LT3070-1の入力に電力を供給するスイッチング・レギュレータを最適な入力電圧にトラッキングさせることができます。

これにより、スイッチング・レギュレータの効率と優れたリニア電圧レギュレータの応答が共に得られます。また、最大5Aの出力負荷の場合でもシステムの温度管理が可能になります。

LT3070-1の内部保護機能には、入力低電圧ロックアウト(UVLO)、逆電流保護、パワー・フォールドバック付き高精度電流制限、サーマル・シャットダウンなどがあります。LT3070-1は熱特性が改善された28ピン、4mm \times 5mmのQFNパッケージで供給されます。

LT3070-1のアーキテクチャでは、内部Nチャンネル・パワーMOSFETをソース・フォロワとして駆動します。この構成により、非常に低ドロップアウトで高周波PSRR性能が優れたUltraFast過渡応答レギュレータが実現されます。LT3070-1は、最近の多くの要求の厳しいマイクロプロセッサのアプリケーションに使用されている高価なバルクのタンタルコンデンサや電解コンデンサを除去することで、レギュレータの優れた帯域幅および負荷過渡性能を実現します。追加のバルク容量が全て削除されるので大きなコスト低減が実現されます。更に、挿入コスト、購入/在庫コストおよびボード・スペースが削減されることは明らかです。高精度の小刻みな出力電圧制御により、従来のみならず将来のマイクロプロセッサの電源電圧に適応できます。

出力コンデンサのネットワークは、セラミック・コンデンサを直接並列に組み合わせるものに簡略化されます。多くの場合、これらの様々なFPGAやASICプロセッサが必要とする高周波セラミック・デカップリング・コンデンサはシステムを安定させるのに十分です(安定性と出力容量のセクションを参照)。このレギュレータ設計により、何マイクロ秒もの時間で応答するレギュレータに比べ、十分な帯域幅が得られて過渡負荷の変化に数百ナノ秒で応答することが可能になります。

LT3070-1には高精度電流制限、出力電圧のイネーブル/ディスエーブル制御機能も搭載され、過電圧およびサーマル・シャットダウン保護機能が内蔵されています。LT3070-1の独自の設計は、低ドロップアウト電圧、機能の高集積化、高精度性能、UltraFast過渡応答の利点を組み合わせており、高速負荷過渡応答のアプリケーションに必要な出力容量のコストを大幅に削減します。

高周波数のスイッチング電源の分野では低電圧のアプリケーションがますます普及してきているので、LT3070-1は優れたレギュレーションと部品の大幅なコスト削減を実現します。LT3070-1は、最新のFPGA、DSPおよびマイクロプロセッ

アプリケーション情報

サの次の性能レベルに踏み込んでいます。これらの回路から得られるシンプルな多様性と利点は、今日の高性能マイクロプロセッサの電源のニーズを超えています。

出力電圧のプログラミング

3つの3レベル入力ピン V_{O2} 、 V_{O1} 、 V_{O0} により、出力電圧の値が選択されます。これらのピンをハイ、ロー、またはフロート状態に設定して、3ビット・デジタル・ワードから得られる出力電圧を表1に示します。

これらのピンは、 V_{BIAS} にピンストラップするか、またはデジタル・ポートを使用して駆動することによってハイまたはローに接続することができます。フロート状態にするピンは実際にフロートさせることができます。またはHi-Z出力が可能なロジックが必要です。これにより、出力電圧を必要に応じてダイナミックに変化させることができます。

出力電圧は、最小0.8Vから最大1.8Vまで50mV刻みで選択可能です。MSBの V_{O2} によってペDESTAL電圧が設定され、LSBの V_{O1} および V_{O0} によって V_{OUT} のインクリメント分が設定されます。

V_{O2} = 「ハイ」のとき V_{O1} は内部でオーバーライドされる(デフォルトで「ロー」になる)ので、出力電圧は最大1.8Vに制限されます。

表 1. V_{O2} ~ V_{O0} の設定値と出力電圧

V_{O2}	V_{O1}	V_{O0}	$V_{OUT(NOM)}$	V_{O2}	V_{O1}	V_{O0}	$V_{OUT(NOM)}$
0	0	0	0.80V	Z	0	1	1.35V
0	0	Z	0.85V	Z	Z	0	1.40V
0	0	1	0.90V	Z	Z	Z	1.45V
0	Z	0	0.95V	Z	Z	1	1.50V
0	Z	Z	1.00V	Z	1	0	1.55V
0	Z	1	1.05V	Z	1	Z	1.60V
0	1	0	1.10V	Z	1	1	1.65V
0	1	Z	1.15V	1	X	0	1.70V
0	1	1	1.20V	1	X	Z	1.75V
Z	0	0	1.25V	1	X	1	1.80V
Z	0	Z	1.30V				

X = ドント・ケア, 0 = 「ロー」、Z = フロート、1 = 「ハイ」

入力ロジック・ローの閾値はGNDを基準にして250mVより低く、ロジック・ハイの閾値は $V_{BIAS} - 250mV$ より高くなります。ウィンドウ・コンパレータによって設定されるこれら2つの閾値間の範囲では、ロジックがHi-Z状態になります。

REF/BYP - 電圧リファレンス

このピンは内部バンドギャップ・リファレンスのバッファされた出力で、出力インピーダンスは約19k Ω です。設計には $f_c = 4kHz$ の内部補償ポールが含まれています。10nFのREF/BYPコンデンサをGNDに接続することにより、 $f_{LP} = 840Hz$ のローパス・ポールが形成されます。10nFのコンデンサにより、リファレンス電圧ノイズが約10 μV_{RMS} に低減され、リファレンスをソフトスタートさせます。LT3070-1は、ENピンがローからハイに切り替わるとリファレンス電圧をソフトスタートします。一方、LT3070は、BIAS電源電圧をターンオンするときだけソフトスタートします。出力電圧ノイズは、アンプのノイズにリファレンス電圧ノイズを加算した値のRMSです。スタートアップ時間および出力ノイズとREF/BYP容量の曲線は、代表的な性能特性のセクションに示しています。

高出力電流を得るために別のLT3070-1レギュレータを並列接続するアプリケーションを除き、REF/BYPピンにはどのようなDC負荷も接続しないでください。並列接続の詳細説明についてはアプリケーションのセクションを参照してください。

出力電圧のマージニング

2つの3レベル入力ピンMARGSEL(極性)およびMARGTOL(スケール)により、出力電圧のマージニングの極性および値が選択されます。マージニングは、 $\pm 1\%$ 、 $\pm 3\%$ および $\pm 5\%$ 刻みで設定可能です。マージニングはリファレンス電圧のスケールリングとして内部で設定されます。

表2に、これらのピンをハイ、ロー、またはフロート状態に設定して、2ビット・デジタル・ワードから得られる出力電圧のマージニングを示します。

これらのピンは、 V_{BIAS} にピンストラップするか、またはデジタル・ポートを使用して駆動することによってハイまたはローに設定することができます。フロート状態にするピンは実際にフロートさせることができます。または「Hi-Z」出力が可能なロジックが必要です。これにより、出力電圧を必要に応じてダイナミックにマージニングすることができます。

MARGSELピンにより、マージニング機能の極性とアクティブ状態の両方が決定されます。ロジック・ローの閾値がGNDを基準にして250mVより低いと、負電圧のマージニングがイネーブルされます。ロジック・ハイの閾値が $V_{BIAS} - 250mV$ より高いと、正電圧のマージニングがイネーブルされます。ウィンドウ・コンパレータによって設定されるこれら2つのロジック閾値間の電圧範囲では、ロジックがHi-Z状態になり、マージニング機能がディスエーブルされます。

アプリケーション情報

MARGSEL入力によってイネーブルされている場合、MARGTOLピンにより、マージニングの絶対値(1%、3%、または5%)が選択されます。ロジック・ローの閾値がGNDを基準にして250mVより低いと、MARGSELピンの状態に応じて V_{OUT} の $\pm 1\%$ の変化のどちらかがイネーブルされます。ロジック・ハイの閾値が $V_{BIAS} - 250\text{mV}$ より高いと、MARGSELピンの状態に応じて V_{OUT} の $\pm 5\%$ の変化のどちらかがイネーブルされます。ウィンドウ・コンパレータによって設定されるこれら2つのロジック閾値間の電圧範囲では、ロジックがHi-Z状態になり、MARGSELピンの状態に応じて V_{OUT} の $\pm 3\%$ の変化のどちらかがイネーブルされます。

表2. マージニングの設定

MARGSEL	MARGTOL	$V_{OUT(NOM)}$ の%
0	0	-1
0	Z	-3
0	1	-5
Z	0	0
Z	Z	0
Z	1	0
1	0	1
1	Z	3
1	1	5

イネーブル機能 - ターンオン/ターンオフ

ENピンによってリファレンス出力とデバイス出力のイネーブル/ディスエーブルが行われます。 V_{BIAS} がUVLO閾値を上回ると、LT3070-1のサポート機能がアクティブのままになります。ENピンをローにすると、LT3070-1はナップ・モードに移行します。ナップ・モードでは、出力がディスエーブルされて静止電流が減少します。

ENピンは、デジタル・ロジック・ポートを使用して駆動するか、あるいは、 V_{BIAS} に接続されたプルアップ抵抗で終端されたオープンコレクタのNPNまたはオープンドレインのNMOSを使用して駆動します。ENピンの V_{IH} 条件を満たすため、プルアップ抵抗は35k以下にする必要があります。ENを使用しない場合にはBIASに接続します。

BIASピンの入力低電圧ロックアウト

内部の低電圧ロックアウト(UVLO)コンパレータによってBIAS電源電圧がモニタされます。 V_{BIAS} がUVLO閾値を下回ると、全ての機能がシャットダウンし、パス・トランジスタが

ゲート・オフして出力電流がゼロまで減少します。 V_{BIAS} の立上がりエッジでの標準的なBIASピンのUVLO閾値は1.55Vです。UVLO回路には V_{BIAS} の立下がりエッジに約150mVのヒステリシスがあります。

高効率リニア電圧レギュレータ - 入力-出力間の電圧制御

VIOC (voltage input-to-output control)ピンにはスイッチング・レギュレータを制御する機能があり、高負荷電流時のシステム効率を最大にしながらか低ドロップアウト電圧のデザイン・ソリューションを容易に実現します。

VIOCピンは内蔵のトランスコンダクタンス・アンプの出力で、約250 μA の電流のソースとシンクを行います。このピンは通常、ITH補償ノードから電流をシンクすることで、ほとんどのLTC®スイッチング・レギュレータまたはLTM®電源モジュールの出力を制御します。VIOC機能は、LT3070-1の入力電圧を $V_{OUT} + 300\text{mV}$ に保つことで、LT3070-1の入力に電力を供給する降圧レギュレータを制御します。この300mVの $V_{IN} - V_{OUT}$ 間差動電圧は、消費電力を最小限に抑えて効率を最大にしながらか、高速過渡応答と良好な高周波PSRRが得られるように選択されています。例えば、1.5Vから1.2Vへの変換と1.3Vから1Vへの変換では、5Aの最大出力電流時の最大消費電力が1.5Wになります。

図2は、リニア電圧レギュレータがディスエーブルされている場合に、スイッチャの帰還抵抗ネットワークによってスイッチング・レギュレータの最大出力電圧が設定されることを示しています。ただし、LT3070-1がイネーブルされると、VIOCの帰還ループがスイッチング・レギュレータの出力電圧を $V_{OUT} + 300\text{mV}$ まで低下させます。

VIOC機能を使用することで、LT3070-1とスイッチング・レギュレータの間に帰還ループが形成されます。したがって、帰還ループは周波数補償を行って安定させる必要があります。幸い、多くのアナログ・デバイセズのスイッチング・レギュレータでITHピンへのVIOCの接続は高インピーダンスになっており、帰還ループを周波数補償するのに最適な回路ノードです。VIOCノードとGNDの間に使用される標準的な周波数補償ネットワークを図2に示します。

VIOCアンプの特性は次のようになります。

$$g_m = 3.2\text{mS}, I_{OUT} = \pm 250\mu\text{A}, BW = 10\text{MHz}$$

VIOC機能を使用しない場合、小さなコンデンサ(1000pF)でVIOCピンをGNDに終端して発振が生じないようにします。

アプリケーション情報

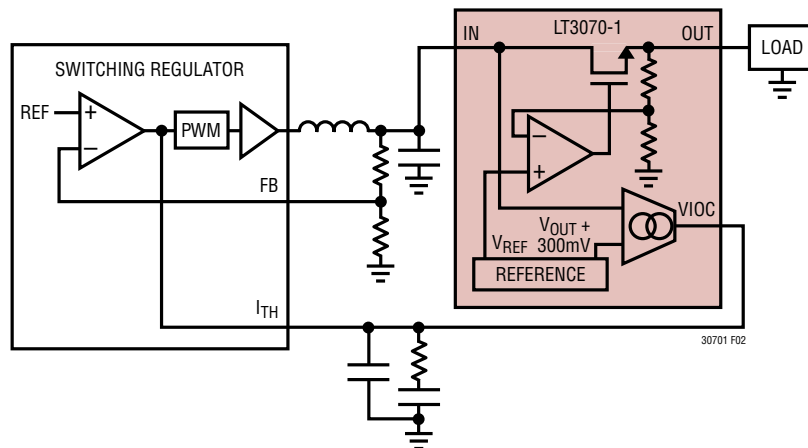


図2. VIOC制御ブロック図

PWRGD - パワーグッド

PWRGDピンはオープンドレインのNMOS デジタル出力で、以下の障害モードのいずれか1つが検出されるとアクティブにローになります。

- V_{OUT} の立上がりエッジで V_{OUT} が $V_{OUT(NOMINAL)}$ の90%を下回る。
- V_{OUT} が $V_{OUT(NOMINAL)}$ の85%を下回る状態が25 μ s以上続く。
- V_{BIAS} が低電圧ロックアウト閾値を下回る。
- OUT-IN間の逆電流検出器が作動する。
- ジャンクション温度が標準で145 $^{\circ}$ Cを超える。

*ジャンクション温度の検出器は早期警告インジケータで、サーマル・シャットダウンに移行する約20 $^{\circ}$ C手前で作動します。

安定性と出力容量

LT3070-1の帰還ループは安定させるために出力コンデンサを必要とします。 C_{OUT} の選択に注意を払い、LT3070-1のOUTピンとGNDピンの近くに配置します。インダクタンスを最小限に抑えるため、OUTとGNDの配線平面的幅を広くします。最適な負荷過渡応答性能を得るため、可能であれば、レギュレータをアプリケーションの負荷に隣接させて配置して、分布インダクタンスを最小限に抑えます。ポイント・オブ・ロードのアプリケーションでは、LT3070-1の最大の性能を引き出すためのベストケースのレイアウトのシナリオがあります。

LT3070-1を安定させるため、アナログ・デバイスではX5RまたはX7Rの低ESRセラミック・チップ・コンデンサを推奨しています。デバイスに近接して配置したデカップリング・コンデンサから離してバルク・コンデンサを分散配置してもかまいません。その理由は、それらの寄生ESLやESRがPCBの分布インダクタンスと組み合わさって、ローカルの表面実装セラミック・コンデンサによって与えられる主補償ポールからそれらを分離するからです。

安定させるため、LT3070-1は15 μ Fの最小出力容量を必要とします。アナログ・デバイスでは、並列接続した複数の小さな値のセラミック・コンデンサで出力コンデンサ・ネットワークを構成することを強く推奨しています。

複数の小さな出力コンデンサの並列接続が有効な理由

C_{OUT} が15 μ FのLT3070-1のユニティ・ゲイン帯域幅は、5Aの最大負荷電流で約1MHzです。表面実装MLCCコンデンサには $f_R = 1 / (2\pi\sqrt{LC})$ の自己共振周波数があり、この値はレギュレータの帯域幅よりも高い周波数にする必要があります。標準的なMLCCコンデンサを使用できます。共振周波数を1MHzより大きく保つには、 $1 / (2\pi\sqrt{LC})$ の値は1MHzより大きくなければなりません。この帯域幅ではPCBのビアによって大きなインダクタンスが加わる可能性があるため、基本的なデカップリング・コンデンサはLT3070-1と同じプレーンに実装する必要があります。

標準的な0603や0805のケース寸法のコンデンサには約800pHのESLがあり、PCBへの実装で最大約200pH加わる可能性があります。したがって、並列に組み合わせたコンデンサを使用することによって寄生インダクタンスを低減す

アプリケーション情報

る必要があります。同じ自己共振周波数 f_R のコンデンサはそれ自体でリングングを生じる可能性があるタンク回路を形成するので、適切な方法でこの並列接続を管理する必要があります。小さな値のESR ($5\text{m}\Omega \sim 20\text{m}\Omega$)には共振ループを減衰させるというある程度の利点がありますが、ESRの値が大きいと、立上がり／立下がり時間が $1\mu\text{s}$ 未満の過渡負荷ステップへのコンデンサの反応速度が遅くなります。並列コンデンサの最も面積効率が良い組み合わせは、同じケース寸法の f_R を $4/2/1$ の段階的な大きさにすることです。これらの条件では、それぞれのESLは比較的均一で、共振のピークは分かれてレギュレータの帯域幅を超えて分散されます。 $15\mu\text{F}$ に近い推奨する並列接続の組み合わせは、 $10\mu\text{F} + 4.7\mu\text{F} + 2.2\mu\text{F}$ です。0805よりも大きいケース寸法のコンデンサは、ESLが大きくESRが小さく($<5\text{m}\Omega$)なります。したがって、小さな値($<10\mu\text{F}$)のコンデンサをより多く選択する必要があります。 f_R を排除して安定度を最大にするには、新世代の低インダクタンスのコンデンサを検討する必要があります。コンデンサの仕様については、表面実装セラミック・コンデンサの製造元のデータシートを参照してください。図3に、並列出力コンデンサの組み合わせの最適なPCBレイアウト、ならびにAC GNDループを最小限に抑えて高速負荷過渡応答を実現するためのINコンデンサとOUTコンデンサの間のGND接続を示します。この密なバイパス接続により、EMIが最小限に抑えられてバイパスが最適化されます。

FPGA、ASICプロセッサやDSPの電源などLT3070-1が適している多くのアプリケーションでは、一般にデバイスに電力を供給するために高周波デカップリング・コンデンサ・ネットワークが必要になります。このネットワークは通常、並列接

続された多くの小さな値のセラミック・コンデンサで構成されます。アプリケーションによっては、この容量の合計値がLT3070-1の $15\mu\text{F}$ の最小容量条件に近づくこともあります。これにより、LT3070-1の出力に直接必要な容量値が減少する可能性があります。複数の小さな値のコンデンサを並列接続することによって好ましい周波数特性が得られ、寄生ポール／ゼロの多くをLT3070-1のユニティゲイン・クロスオーバー周波数の外に移します。この手法には、LT3070-1の全帯域幅の性能を引き出す方法が示されています。

セラミック・コンデンサを使用する際には、更に注意が必要です。セラミック・コンデンサは様々な誘電体を使用して製造されており、それぞれ温度や印加される電圧によって動作が異なります。最も一般的に使用されている誘電体は、Z5U、Y5V、X5R、X7RのEIA温度特性コードで規定されています。Z5UとY5Vの誘電体は小型のパッケージで大きな容量を実現するには適していますが、図4と図5に示すように、電圧係数と温度係数が大きくなる傾向があります。5Vのレギュレータに使用する場合、16V $10\mu\text{F}$ のY5Vコンデンサは、印加されたDCバイアス電圧と動作温度範囲で $1\mu\text{F} \sim 2\mu\text{F}$ の小さな実効値になる可能性があります。X5RとX7Rの誘電体を使用すると、更に安定した特性になり、これらは出力コンデンサとしての使用に適しています。X7Rタイプは全温度範囲にわたって安定性が優れており、X5Rタイプは安価で大きな値のものが入手可能です。X5RやX7Rのコンデンサを使用する場合でも注意することがあります。X5RとX7Rのコードは動作温度範囲と全温度範囲での最大容量変化を規定するだけです。X5RとX7RのコンデンサのDCバイアスによる容量変化はY5VやZ5Uのコンデンサに比べると小さいですが、それでもコンデンサの容量が適切なレベルを下回るほど変化することがあります。コンデンサのDCバイアス特性は部品のケース寸法が大きいくほど向上する傾向がありますが、動作電圧での必要な容量を検証する必要があります。電圧係数と温度係数だけが問題になるわけではありません。セラミック・コンデンサの中には圧電効果を示すものがあります。圧電デバイスは、圧電マイクロフォンの動作原理と同様、機械的応力によって端子間に電圧を生じます。セラミック・コンデンサの場合、システムの振動や熱過渡によって応力が生じることがあります。

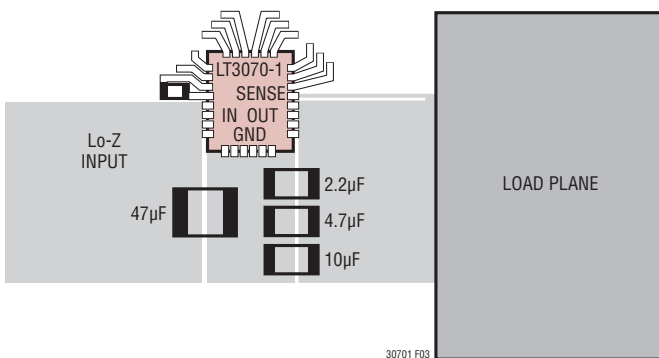


図3. プリント回路基板レイアウトの例

アプリケーション情報

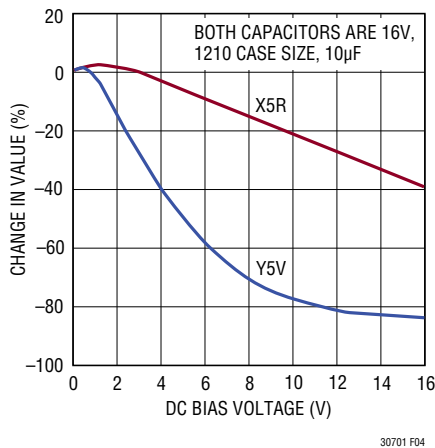


図4. セラミック・コンデンサのDCバイアス特性

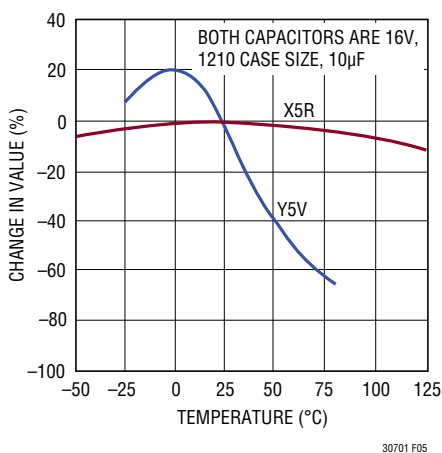


図5. セラミック・コンデンサの温度特性

安定性と入力容量

LT3070-1はINピンに接続された47µFの最小容量で安定します。低ESRのコンデンサを使用して、大きな負荷過渡状態での瞬時の電圧降下を最小限に抑えます。大きな負荷過渡応答時にV_{IN}が大きく垂下すると、レギュレータがドロップアウト状態になるのに応じて負荷過渡応答が低下する可能性があります。アプリケーションの条件によっては、入力容量および出力容量の大きな値が必要になる場合があります。回路は電力を最小限に抑えるために意図的にドロップアウトに近い動作をするので、十分な入力容量が不可欠です。理想的には、大きな過渡での5Aの負荷に対応するため、INに電力を供給する電源の出力インピーダンスは10mΩ未満にします。

ワイヤを使用して電源とLT3070-1の入力を接続する場合（また、LT3070-1のグラウンドと電源グラウンドを接続する場合も）、アプリケーションが不安定にならないように大きな入力コンデンサが必要になります。

これは、ワイヤのインダクタンスが入力コンデンサと共にLCタンク回路を形成するため、LT3070-1が不安定なためではありません。ワイヤの自己インダクタンス（つまり、単独のインダクタンス）はその長さに比例します。ただし、ワイヤの直径が自己インダクタンスに大きな影響を与えることはありません。例えば、直径が0.04インチで長さが1インチの18-AWGワイヤの自己インダクタンスは28nHです。直径が0.26インチの単独の2-AWGワイヤの自己インダクタンスは、18-AWGワイヤのインダクタンスの約半分です。ワイヤ全体の自己インダクタンスは2つの方法で低減することができます。1つの方法は、LT3070-1に向かって流れる電流をそれぞれ同じ方向に流す2つの並列の導体に分割します。この場合、ワイヤが互いに離れているほどインダクタンスが減少し、数インチ離すと最大50%減少します。ワイヤを分割すると基本的に2つの等しいインダクタを並列に接続したことになります。ただし、互いに近づけると、相互インダクタンスがワイヤ全体の自己インダクタンスに加わります。全体のインダクタンスを低減する最も効果的な方法は、電流の往路と復路の導体（入力のワイヤとリターン・グラウンドのワイヤ）を互いに非常に近づけて配置することです。2本の18-AWGワイヤを0.05インチだけ離すと、全体の自己インダクタンスが1本の単独のワイヤの約1/4まで減少します。LT3070-1が、同じ回路基板にグラウンド・プレーンと電源プレーンを近接して実装し、バッテリーによって電力を供給される場合、47µFの入力コンデンサで十分安定します。ただし、LT3070-1が離れた電源から電力を供給される場合、ESRが小さい330µF程度の大きな値の入力コンデンサを使用します。電源の出力インピーダンスの変化に応じて、アプリケーションを安定させるのに必要な最小入力容量も変化します。

BIASピンの容量条件

BIASピンは、内部制御回路の大部分とパス・トランジスタを駆動する出力段に電流を供給します。LT3070-1は、安定性と適正な動作を確保するために最小2.2µFのバイパス・コンデンサを必要とします。適正に動作させるため、BIAS電圧は次の条件を満たす必要があります。2.2V ≤ V_{BIAS} ≤ 3.6V、かつV_{BIAS} ≥ (1.25 · V_{OUT} + 1V)、V_{OUT} ≤ 0.95Vの場合、最小BIAS電圧は2.2Vに制限されます。

アプリケーション情報

負荷レギュレーション

LT3070-1にはV_{OUT}用にケルビン検出ピンが備わっており、パッケージおよびPCBの寄生抵抗によるI-R電圧降下をアプリケーションで補正することができます。ただし、アナログ・デバイスではSENSEピンをLT3070-1のOUTピンの近くで終端することを推奨しています。これにより、寄生インダクタンスが最小限に抑えられてレギュレーションが最適化されます。LT3070-1は中程度の出力ライン・インピーダンスに対応していますが、V_{OUT}とC_{OUT}の間に過度のインピーダンスがあると、帰還ループに過度の位相シフトが生じて安定性に悪影響を与えます。

ピン機能の図1は、PCBパターンの抵抗による電圧降下を解消するケルビン検出接続の方法を示しています。ただし、外部のPCBパターンに生じる電圧降下がレギュレータのドロップアウト電圧に加わる点に注意してください。SENSEピンの入力バイアス電流は選択した出力電圧に左右されず、SENSEピンの入力電流は、V_{OUT} = 0.8Vでの標準50μAからV_{OUT} = 1.8Vでの標準300μAまで変化します。

短絡および過負荷からの回復

多くのICパワー・レギュレータと同様、LT3070-1は安全動作領域(SOA)の保護機能を備えています。安全領域保護機能により、入力-出力間の電圧が上昇するにつれて電流制限が減少し、入力-出力間の絶対最大定格電圧までの全ての電圧値に対してパワー・トランジスタを安全動作領域内に保ちます。どの機能でもV_{BIAS}はUVLO閾値を上回る必要があります。LT3070-1には±20%に規定された高精度電流制限機能が備わっており、V_{BIAS}がUVLOを上回るとアクティブになります。

最大I_{LOAD}および最大V_{IN}-V_{OUT}間電圧の状態では、デバイスの消費電力は約3Wに達します。周囲温度が十分に高い場合、ダイのジャンクション温度は125°Cの最大動作温度を超えることとなります。これが生じると、LT3070-1は更に2つの熱的安全機能に依存します。約145°Cで、PWRGD出力がローになり、サーマル・シャットダウン状態が間近に迫っていることを早期警告します。標準165°Cで、LT3070-1のサーマル・シャットダウンが開始され、デバイスの温度がサーマル・ヒステリシス・リミットを下回るまで出力がシャットダウンされます。IN-OUT間電圧が上昇するに従ってSOA保護が

電流制限を低減し、入力-出力間電圧の全ての値で消費電力を安全なレベルに保ちます。LT3070-1は、絶対最大定格電圧までの全ての入力-出力間電圧の値で、いくらかの出力電流を供給します。代表的な性能特性の電流制限とV_{IN}の曲線を参照してください。

起動時に、BIAS電圧がUVLO閾値を超えていてV_{IN}が上昇していると、制限電流がC_{OUT}を充電する速度で出力電圧が上昇します。

入力電圧が高いと、出力の短絡状態を取り除いても出力電圧が回復しないという問題が生じる可能性があります。フの字電流制限機能付きの他のレギュレータでもこの現象を生じるので、LT3070-1に固有の問題ではありません。このような負荷の負荷曲線は出力電流曲線と2点(通常動作およびSOA制限の負荷電流の設定値)で交わる可能性があります。よく生じるのは短絡が解消された直後の静的負荷が1A以上の場合です。この状況では、負荷を取り除くか、またはI_{OUT}を1A未満にすることによってこの状態が解消され、V_{OUT}を通常のレギュレーション状態に戻すことができます。

逆電圧

LT3070-1には、V_{IN}がV_{OUT}を下回るかどうかを検出する回路が搭載されています。この逆電圧検出器には、(V_{IN} - V_{OUT})の値が約-6mVの標準閾値があります。閾値を超えると、この検出器の回路は内部のNMOSパス・トランジスタの駆動をオフするので、出力がオフになります。負荷電流が出力容量を放電することによって出力はローになります。この回路の目的は、障害や過負荷状態によって入力電圧が急落したときに、OUTからINへの逆電流を制限し、防止することです。注意すべきなのは、DUTが有効である限り、負(-)の逆電圧検出閾値はV_{OUT}からV_{IN}へ少量の逆電流が流れる可能性があることを暗示する、ということです。シャットダウンを確実に実施するには、イネーブル(EN)ピンをローにする必要があります。

熱に関する検討事項

LT3070-1の電力能力は125°Cの最大定格ジャンクション温度によって制限され、以下のように出力電流に出力と出力の電圧差を掛けた値で決定されます。

$$I_{OUT} \cdot (V_{IN} - V_{OUT})$$

アプリケーション情報

LT3070-1の内部の電力および熱制限回路は過負荷状態のときにデバイスを保護します。通常負荷状態が継続した場合、125°Cの最大ジャンクション温度を超えてはなりません。ジャンクションから周囲までの全ての熱抵抗について注意深く検討してください。熱抵抗には、接合部-ケース間、ケース-ヒートシンク接続部間、アプリケーションによって決まるヒートシンク抵抗(つまり回路基板-周辺間)があります。LT3070-1に近接して実装されるその他の熱抵抗についても検討してください。LT3070-1は表面実装デバイスなので、PC基板とその銅パターンの熱分散能力を利用してヒートシンクを実現します。パワー・デバイスが発生する熱を分散するのに、表面実装ヒートシンクとメッキ・スルーホールを使用することもできます。接合部-ケース間熱抵抗は、デバイスの接合部からダイ直下のケース底面までで規定されています。これは熱流の最小抵抗経路です。パッケージのこの領域から放熱材への可能な限り最良の熱流を確保するには、適切に実装する必要があります。露出パッドはGNDに電氣的に接続されている点に注意してください。

一定の基板寸法の銅面積に対する熱抵抗を表3に示します。全ての測定は、静止空気中で、1オンスの切れ目のない内部プレーンと2オンスの上面と底面の外部トレース・プレーンを有し、合計のボード厚が1.6mmの4層FR-4ボードで行いました。PCBの層数、銅箔の重量、基板レイアウトおよびサーマル・ビアが熱抵抗の値に影響を与えます。熱抵抗と高熱伝導性テスト・ボードの詳細については、JEDEC規格のJESD51、特にJESD51-12およびJESD51-7を参照してください。低い熱抵抗を実現するには、細部にわたって注意深くPCBレイアウトを設計する必要があります。

表3. UFD プラスチック・パッケージ、28ピンQFN

銅面積		基板面積	熱抵抗(接合部-周辺間)
上面*	裏面		
2500mm ²	2500mm ²	2500mm ²	30°C/W
1000mm ²	2500mm ²	2500mm ²	32°C/W
225mm ²	2500mm ²	2500mm ²	33°C/W
100mm ²	2500mm ²	2500mm ²	35°C/W

*デバイスは上面に実装される

ジャンクション温度の計算

例:出力電圧が0.9V、入力電圧範囲が1.2V ± 5%、BIAS電圧が2.5V、最大出力電流が4A、最大周囲温度が50°Cだとすると、最大ジャンクション温度はいくらになるでしょうか。

デバイスの消費電力は次のようになります。

$$I_{OUT(MAX)} \cdot (V_{IN(MAX)} - V_{OUT}) + (I_{BIAS} - I_{GND}) \cdot V_{OUT} + I_{GND} \cdot V_{BIAS}$$

ここで、

$$I_{OUT(MAX)} = 4A$$

$$V_{IN(MAX)} = 1.26V$$

$$I_{BIAS} \text{ at } (I_{OUT} = 4A, V_{BIAS} = 2.5V) = 6.91mA$$

$$I_{GND} \text{ at } (I_{OUT} = 4A, V_{BIAS} = 2.5V) = 0.87mA$$

したがって次のようになります。

$$P = 4A(1.26V - 0.9V) + (6.91mA - 0.87mA)0.9V + 0.87mA(2.5V) = 1.448W$$

最大面積の銅領域にハンダ付けしたQFNパッケージの場合、熱抵抗は30°C/Wになります。したがって、周囲温度を超えるジャンクション温度の上昇分は次のようになります。

$$1.448W \text{ at } 30^\circ C/W = 43.44^\circ C$$

最大ジャンクション温度は、最大周囲温度と周囲温度を超える接合部の最大上昇温度の和に等しく、次のようになります。

$$T_{JMAX} = 50^\circ C + 43.44^\circ C = 93.44^\circ C$$

LT3070-1の放熱のための広いPCBスペースを確保できないアプリケーションでは、出力電流のデレーティング、またはエアフローの増加が必要になります。

大きなI_{OUT}のためのデバイスの並列接続

複数のLT3070-1を並列接続すると大きな出力電流を得ることができます。この並列接続の概念はLT3080で採用された手法を継承しています。

この並列接続を実現するには、並列接続されたレギュレータのREF/BYPピンを相互接続します。これにより、複数の600mVリファレンス電圧源の平均値が効率的に得られま

アプリケーション情報

す。並列接続されたレギュレータのOUTピンは、各レギュレータの主出力コンデンサの先で、PCパターンの小片をバラスト抵抗として使うか、あるいは実際の表面実装検出抵抗を使って、共通負荷プレーンに接続します。必要なバラスト抵抗はアプリケーションの出力電圧とピーク負荷電流に依存します。負荷レギュレーションに1%寄与する値のバラスト抵抗を推奨します。例えば、1Vを出力して10Aの負荷を分担するように構成された2個のLT3070-1レギュレータは、それぞれの出力に2mΩのバラスト抵抗を必要とします。ケルビンSENSEピンはバラスト抵抗のレギュレータ側に接続し、個々の制御ループが互いにぶつからないようにします(図8と図9を参照)。このバラスト抵抗として使われるパターン領域は、抵抗を制御可能にしておくためにハンダがない状態に保ちます。

表4に、PCBパターンの抵抗のシンプルなガイドラインを、重さとパターン幅の関係で示します。

表4. PC基板のパターン抵抗

重さ(オンス)	幅100ミル*	幅200ミル*
1	5.43	2.71
2	2.71	1.36

*パターン抵抗の単位はミリオーム/インチ

ノイズの抑制

LT3070-1は多くの点でノイズ特性が優れています。どのLDOにもいくつかのノイズ源があります。LDOの最も致命的なノイズ源はリファレンスで、次に致命的なのはLDOのエラー・アンプです。従来の低ノイズ・レギュレータでは、電圧リファレンスをバッファして(通常は大きな値の抵抗を介して)外部ピンに出力し、バイパスしてリファレンス・ノイズを低減することを可能にしています。LT3070-1は、従来の電圧リファレンスを使用せず、約19kの内部抵抗に流れるリファレンス電流から低電圧のV_{REF}を生成します。この中間インピーダンス・ノード(REF/BYP)により、外部での直接のフィルタリングが容易になります。10nFのフィルタ・コンデンサにより、REF/BYPピンが600mVのときのリファレンス・ノイズが最小限の10μV_{RMS}に抑えられ、V_{OUT} = 1Vのときの出力ノイズが等価的に17μV改善されます。出力電圧に対するノイズの特性とC_{REF/BYP}の関係については、代表的な性能特性を参照してください。

この手法は、電流分担のアプリケーションで相互に接続されているLT3070-1レギュレータ間のリファレンス共有にも対応しています。REF/BYPのフィルタ・コンデンサは、時定数RCだけ初期パワーアップ時間を遅延させます。ナップ・モードではV_{REF}は無効なので、ナップ・モードからの復帰(ENはローからハイに移行)が十分に制御され、出力をソフトスタートします。

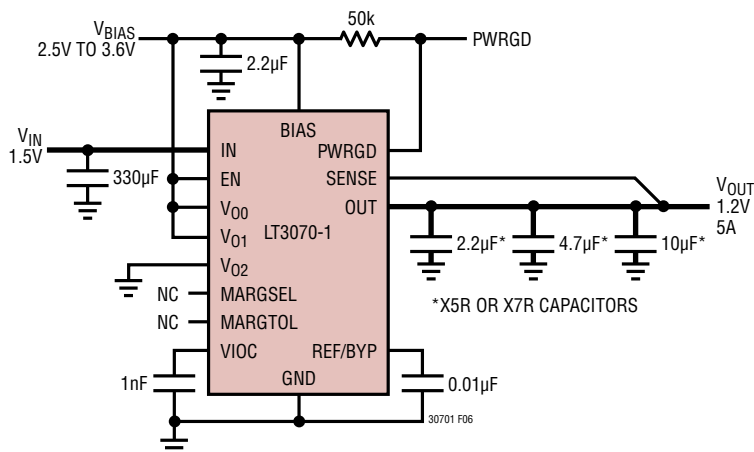


図6. 1.5Vから1.2Vのリニア電圧レギュレータ

アプリケーション情報

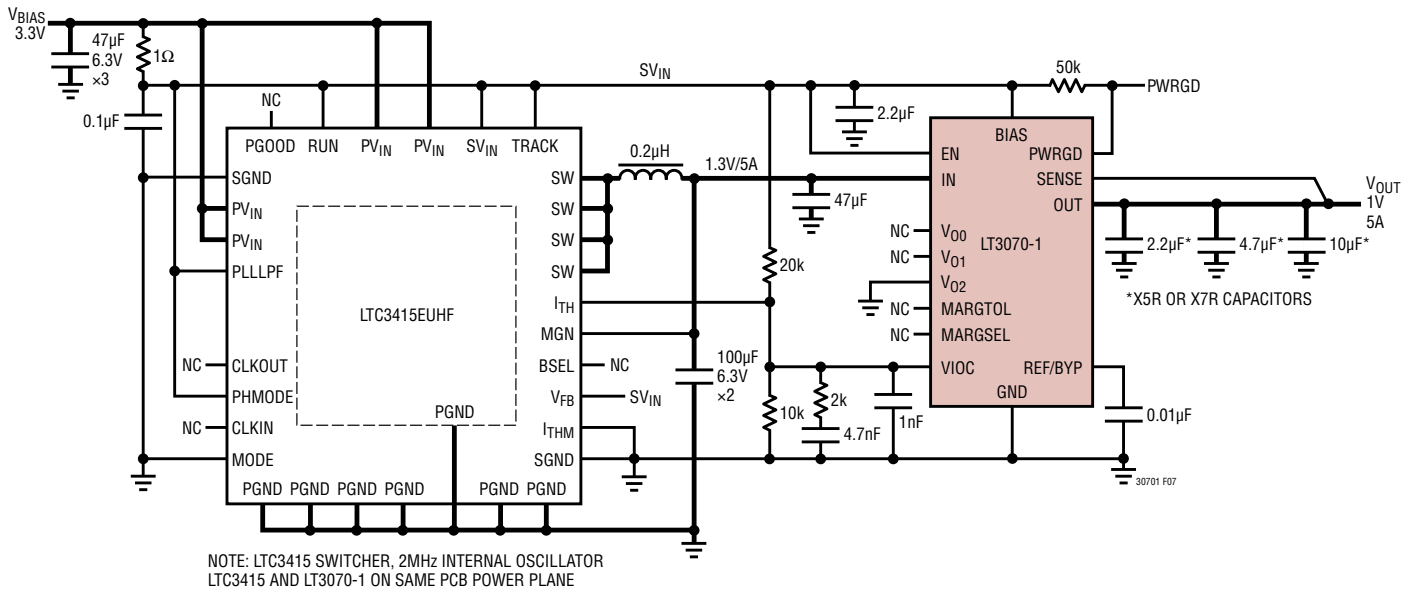


図 7. VIOC 降圧制御を使用したレギュレータ

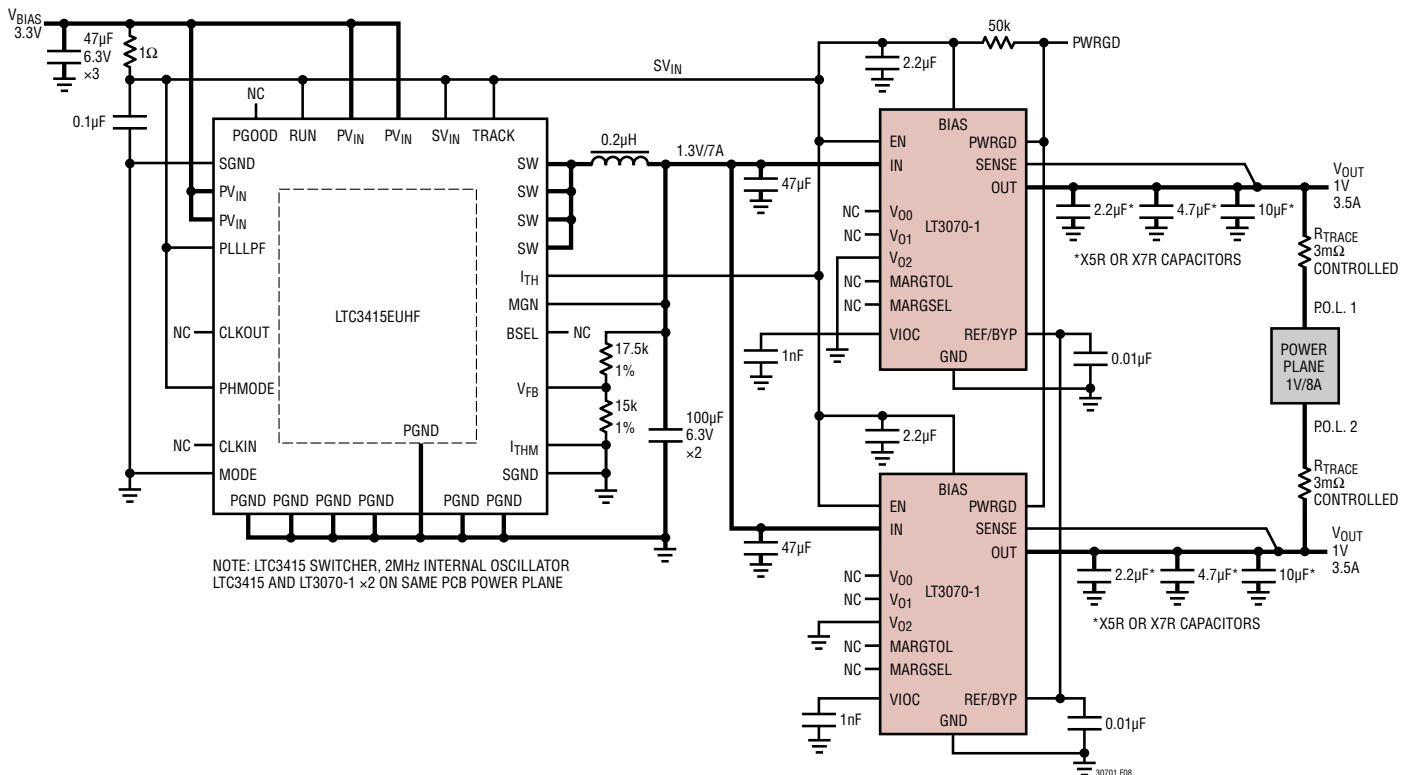


図 8. 1V、7Aポイント・オブ・ロード電流分担レギュレータ

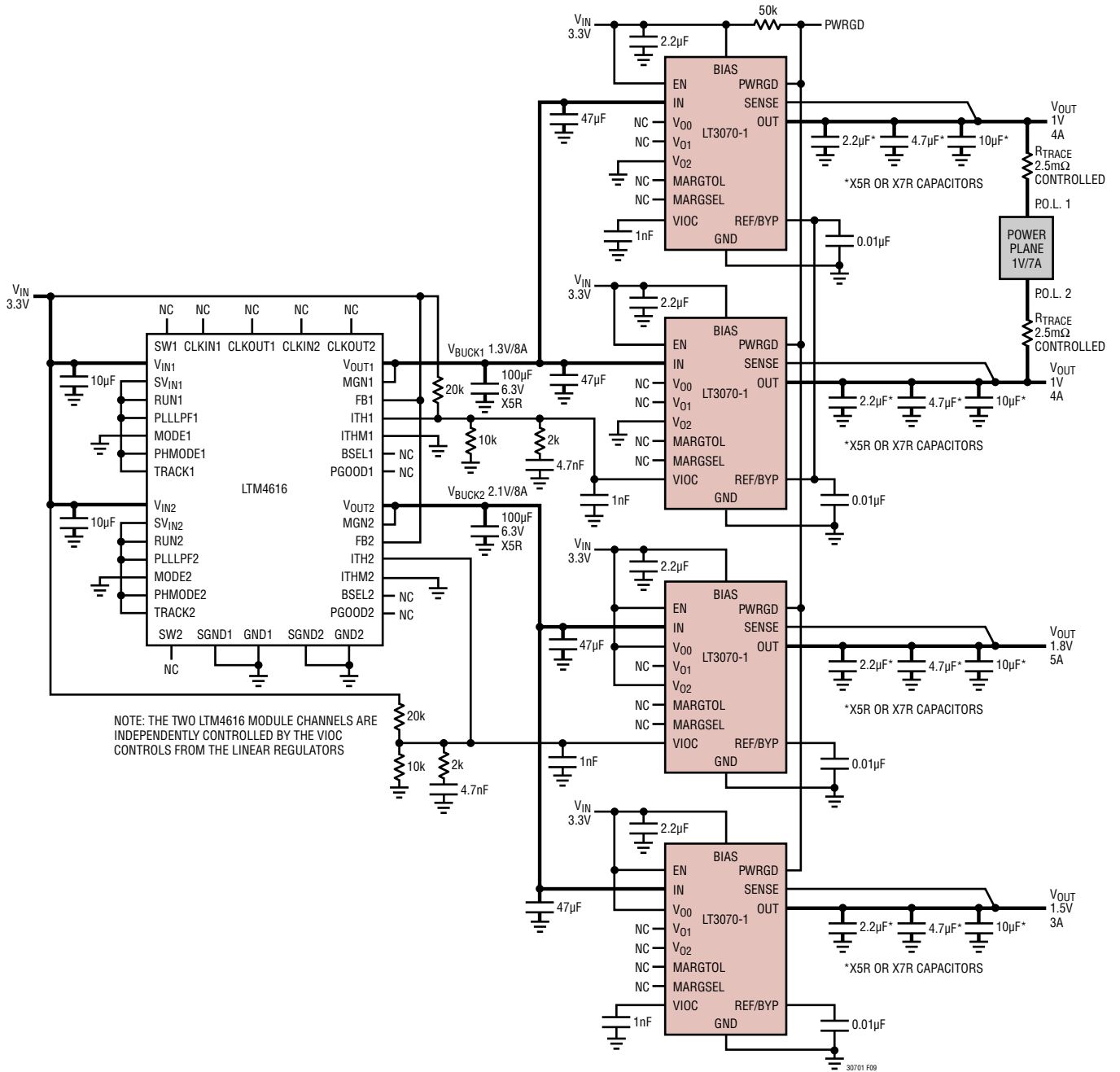
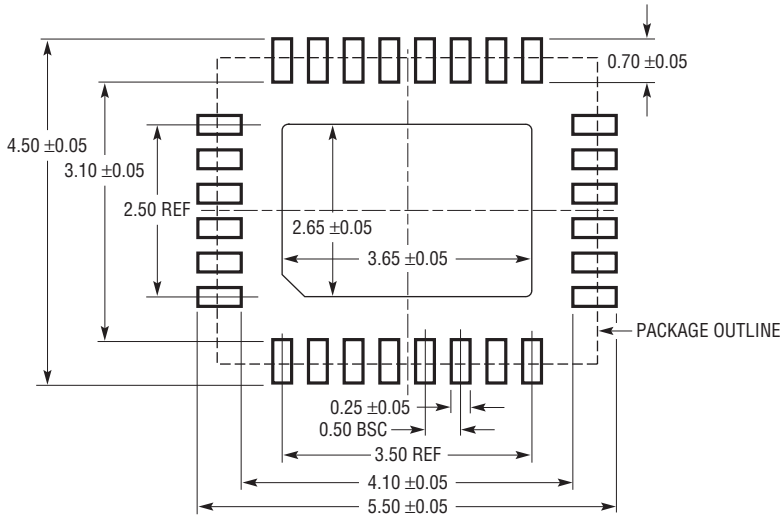


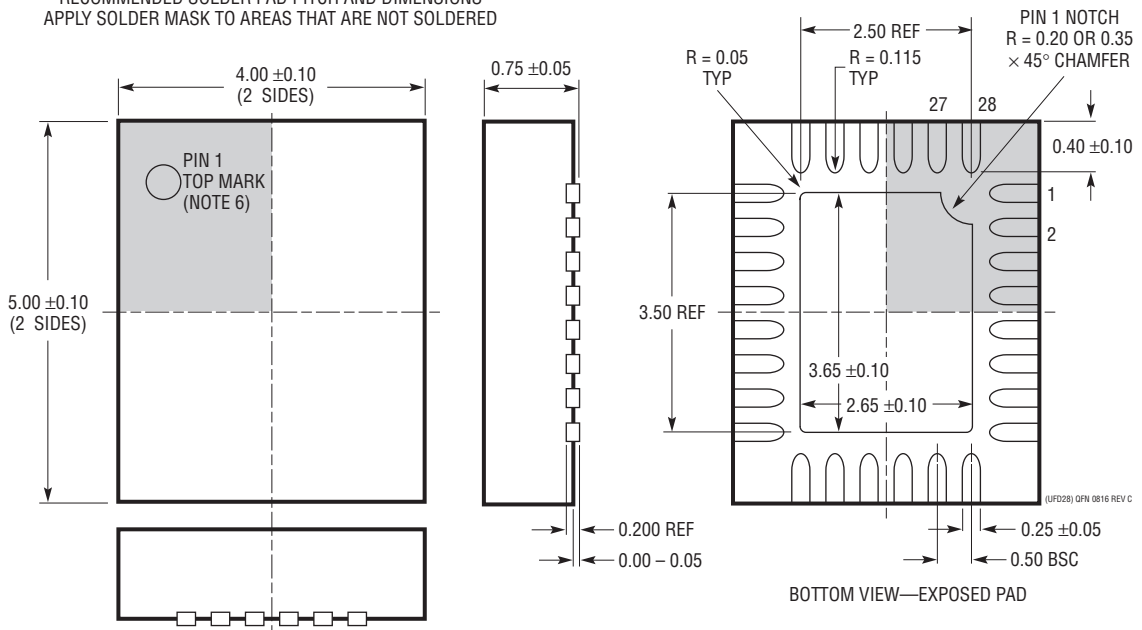
図9. 1V/8A、1.8V/5A、1.5V/3Aを供給するトリプル出力電源

パッケージ寸法

UFD Package
28-Lead Plastic QFN (4mm × 5mm)
 (Reference LTC DWG # 05-08-1712 Rev C)

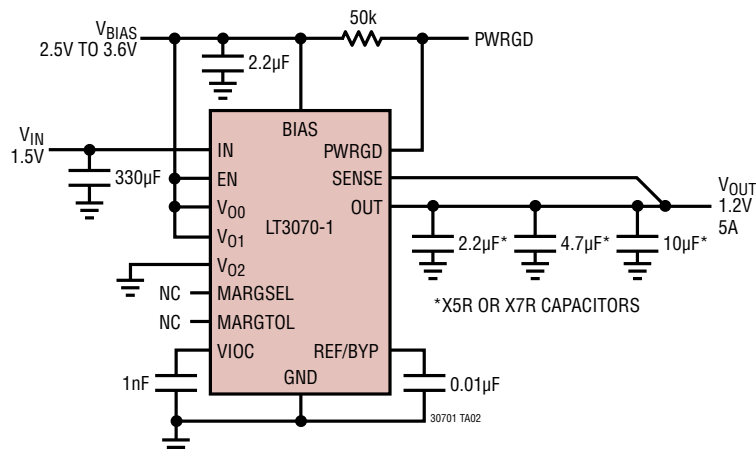


RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS
 APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED



- 注記:
1. 図は JEDEC パッケージ外形 MO-220 のバリエーション (WGHD-3) にするよう提案されている
 2. 図は実寸とは異なる
 3. 全ての寸法はミリメートル
 4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。
モールドのバリは (もしあれば) 各サイドで 0.15mm を超えないこと
 5. 露出パッドはハンダ・メッキとする
 6. 灰色の部分はパッケージの上面と底面の 1 番ピンの位置の参考に過ぎない

標準的応用例



1.5Vから1.2Vのリニア電圧レギュレータ

関連製品

製品番号	説明	注釈
LT1763	500mA、低ノイズ LDO	ドロップアウト電圧: 300mV、低ノイズ: 20µVRMS、VIN: 1.8V~20V、SO-8パッケージ
LT1764/LT1764A	3A、高速過渡応答、低ノイズ LDO	ドロップアウト電圧: 340mV、低ノイズ: 40µVRMS、VIN: 2.7V~20V、TO-220およびDDパッケージ、LT1764Aはセラミック・コンデンサでも安定
LT1963/LT1963A	1.5A、低ノイズ、高速過渡応答 LDO	ドロップアウト電圧: 340mV、低ノイズ: 40µVRMS、VIN: 2.5V~20V、LT1963Aはセラミック・コンデンサでも安定、TO-220、DD、SOT-223、SO-8パッケージ
LT1965	1.1A、低ノイズ、低ドロップアウトのリニア電圧レギュレータ	ドロップアウト電圧: 290mV、低ノイズ: 40µVRMS、VIN: 1.8V~20V、VOUT: 1.2V~19.5V、セラミック・コンデンサでも安定、TO-220、DD-Pak、MSOP および 3mm × 3mm DFNパッケージ
LT3021	500mA、低電圧、VLDO™リニア電圧レギュレータ	VIN: 0.9V~10V、ドロップアウト電圧: 160mV (代表値)、調整可能な出力電圧 (VREF = VOUT(MIN) = 200mV)、固定出力電圧: 1.2V、1.5V、1.8V、低ESRおよびセラミック出力コンデンサで安定、16ピンDFN (5mm × 5mm) および 8ピンSOパッケージ
LT3080/LT3080-1	1.1A、並列接続可能、低ノイズ、低ドロップアウトのリニア電圧レギュレータ	ドロップアウト電圧: 300mV (2電源動作)、低ノイズ: 40µVRMS、VIN: 1.2V~36V、VOUT: 0V~35.7V、電流ベースのリファレンス、抵抗1本でVOUTを設定、直接並列接続可能 (オペアンプ不要)、セラミックコンデンサで安定、TO-220、SOT-223、MSOP-8 および 3mm × 3mm DFN-8パッケージ、LT3080-1はバラスト抵抗を内蔵
LT3085	500mA、並列接続可能、低ノイズ、低ドロップアウトのリニア電圧レギュレータ	ドロップアウト電圧: 275mV (2電源動作)、低ノイズ: 40µVRMS、VIN: 1.2V~36V、VOUT: 0V~35.7V、電流ベースのリファレンス、抵抗1本でVOUTを設定、直接並列接続可能 (オペアンプ不要)、セラミックコンデンサで安定、MSOP-8 および 2mm × 3mm DFN-6パッケージ
LTC3025-1/ LTC3025-2	500mA、マイクロパワー VLDO リニア電圧レギュレータ、2mm × 2mm DFNパッケージ	VIN: 0.9V~5.5V、ドロップアウト電圧: 75mV、低ノイズ: 80µVRMS、低IQ: 54µA、固定出力電圧: 1.2V (LTC3025-2)、調整可能出力範囲: 0.4V~3.6V (LTC3025-1) 2mm × 2mm 6ピンDFNパッケージ
LTC3026	1.5A、低入力電圧 VLDO レギュレータ	VIN: 1.14V~3.5V (昇圧イネーブル時)、1.14V~5.5V (外部5V時)、VDO = 0.1V、IQ = 950µA、10µFセラミック・コンデンサで安定、10ピンMSOP および DFN-10パッケージ
LT3071	5A、低ノイズ、出力設定可能、85mVドロップアウト、アナログ・マーキング機能付きリニア電圧レギュレータ	VIN: 0.95V~3V、VOUT: 0.8V~1.8V (50mV刻み)、低ノイズ: 25µVRMS、セラミック・コンデンサで安定、4mm × 5mm 28ピンQFNパッケージ