

概要

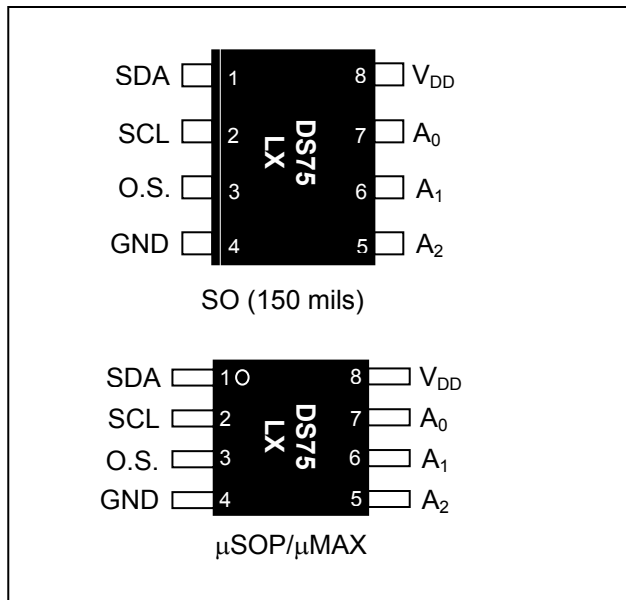
この低電圧(1.7V~3.7V)デジタルサーモメータおよびサーモスタットは、-55°C~+125°Cの範囲で 9、10、11、または 12 ビットのデジタル温度の読み取りが可能であり、精度は -25°C ~ +100°C の範囲で±2°Cです。電源投入の際、DS75LX は、LM75 とソフトウェア互換の 9 ビット分解能にデフォルト設定されます。DS75LXとの通信は、簡単な 2 線式シリアルインタフェースを介して行われます。3 個のトライステートアドレス端子を用いて最大 27 個の DS75LX デバイスを同じ 2 線式バス上で動作させることができるため、分布温度検出のアプリケーションが大幅に簡素化されます。

サーモスタットの DS75LX は、専用のオープンドレイン出力(O.S.)とプログラマブルなフォルトトレランスを備えており、ユーザは O.S.が出力される前に連続して発生するエラー状態の回数を規定することができます。ユーザ定義のトリップポイント(T_{OS} と T_{HYST})に従ってサーモスタット動作を制御するサーモスタット動作モードが 2 種類あります。

アプリケーション

温度検知システム
携帯電話基地局
テレコム交換機およびルータ
サーバ

ピン配置



特長

- 動作範囲: 1.7V~3.7V
- トライステートアドレス端子によって最大 27 個の固有バスアドレスが可能
- 温度測定に外付け部品不要
- 測定温度: -55°C~+125°C (-67°F~+257°F)
- 精度: ±2°C (-25°C~+100°C)
- サーモメータの分解能: 9 ビット(デフォルト)~12 ビットにユーザ設定可能(0.5°C~0.0625°Cの分解能)
- 9 ビットの変換時間は 25ms (max)
- サーモスタットの設定値はユーザ定義可能
- 2 線式シリアルインタフェースによる、データ読み取り/書き込み(SDA と SCL 端子)
- データラインを内部でフィルタリングしてノイズ耐性を向上(50ns のデグリッチ)
- バスタイムアウト機能による 2 線式インタフェースのロックアップ問題の防止
- マルチドロップ機能による分布温度検出アプリケーションが容易
- LM75 とピンソフトウェア互換
- 8 ピン μSOP (μMAX®)と SOP パッケージ

型番

PART	TEMP RANGE	PIN PACKAGE
DS75LXS+	-55°C to +125°C	8 SO (150 mils)
DS75LXS+T&R	-55°C to +125°C	8 SO (150 mils), 2500 Piece
DS75LXU+	-55°C to +125°C	8 μSOP (μMAX)
DS75LXU+T&R	-55°C to +125°C	8 μSOP (μMAX), 3000 Piece

+は鉛フリーパッケージを表します。
T&R はテープ&リールを表します。

注:「+」記号はパッケージのピン1 インジケータの近くにも記されています。

μMAX は Maxim Integrated Products, Inc. の登録商標です。

ABSOLUTE MAXIMUM RATINGS

Voltage Range on V_{DD} , Relative to Ground	-0.3V to +4.0V
Voltage Range on Any Other Pin, Relative to Ground	-0.3V to +6.0V
Operating Temperature Range	-55°C to +125°C
Storage Temperature Range	-55°C to +125°C
Soldering Temperature	See IPC/JEDEC J-STD-020

These are stress ratings only and functional operation of the device at these or any other conditions above those indicated in the operation sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods of time may affect reliability.

The Dallas Semiconductor DS75LX is built to the highest quality standards and manufactured for long-term reliability. All Dallas Semiconductor devices are made using the same quality materials and manufacturing methods. However, the DS75LX is not exposed to environmental stresses, such as burn-in, that some industrial applications require. For specific reliability information on this product, contact the factory in Dallas at (972) 371-4448.

DC ELECTRICAL CHARACTERISTICS

($1.7V \leq V_{DD} \leq 3.7V$, $T_A = -55^\circ\text{C}$ to $+125^\circ\text{C}$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	MAX	UNITS
Supply Voltage	V_{DD}	(Note 1)	1.7	3.7	V
Thermometer Error (Note 2)	T_{ERR}	-25°C to +100°C		±2.0	°C
		-55°C to +125°C		±3.0	
Input Logic-High SDA, SCL	V_{IH}	(Note 3)	$0.7 \times V_{DD}$	$V_{DD} + 0.3$	V
Input Logic-Low SDA, SCL	V_{IL}		$V_{SS} - 0.3$	$0.3 \times V_{DD}$	V
SDA Output Logic-Low Voltage (Note 3)	V_{OL1}	3mA sink current	0	0.4	V
	V_{OL2}	6mA sink current	0	0.6	
O.S. Saturation Voltage	V_{OL}	4mA sink current (Notes 2, 3)		0.8	V
Input Current SDA, SCL		$0.4 < V_{I/O} < 0.9V_{DD}$	-10	+10	µA
I/O Capacitance	$C_{I/O}$			10	pF
Address Input Sink Current	I_{LAH}	A0, A1, or A2 tied to V_{DD} (Notes 4, 5)	0.2	3.5	µA
Address Input Source Current	I_{LAL}	A0, A1, or A2 tied to GND (Notes 4, 5)	0.2	3.5	µA
Address Voltage High	V_{AH}	(Note 6)	$V_{DD} - .04$		V
Address Voltage Low	V_{AL}	(Note 6)		$V_{SS} + .04$	V
Standby Current	I_{DD1}	(Notes 4, 5)		13	µA
Active Current (Notes 1, 4, 5)	I_{DD}	Active temp conversions		1000	µA
		Communication only		100	

AC ELECTRICAL CHARACTERISTICS

($1.7V \leq V_{DD} \leq 3.7V$, $T_A = -55^\circ\text{C}$ to $+125^\circ\text{C}$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Resolution			9		12	Bits
Temperature Conversion Time	t_{CONVT}	9-bit conversions			25	ms
		10-bit conversions			50	
		11-bit conversions			100	
		12-bit conversions			200	
SCL Frequency	f_{SCL}				400	kHz

AC ELECTRICAL CHARACTERISTICS (continued)(1.7V ≤ V_{DD} ≤ 3.7V, T_A = -55°C to +125°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Bus Free Time Between a STOP and START Condition	t _{BUF}	(Note 7)	1.3			μs
START and Repeated START Hold Time from Falling SCL	t _{HD:STA}	(Notes 7, 8)	600			ns
Low Period of SCL	t _{LOW}	(Note 7)	1.3			μs
High Period of SCL	t _{HIGH}	(Note 7)	0.6			μs
Repeated START Condition Setup Time to Rising SCL	t _{SU:STA}	(Note 7)	600			ns
Data-Out Hold Time from Falling SCL	t _{HD:DAT}	(Notes 7, 9)	0		0.9	μs
Data-In Setup Time to Rising SCL	t _{SU:DAT}	(Note 7)	100			ns
Rise Time of SDA and SCL (Receive)	t _R	(Notes 7, 10)	20 + 0.1C _B		300	ns
Fall Time of SDA and SCL (Receive)	t _F	(Notes 7, 10)	20 + 0.1C _B		300	ns
Spike Suppression Filter Time (Deglitch Filter)	t _{SS}		0		50	ns
STOP Setup Time to Rising SCL	t _{SU:STO}	(Note 7)	600			ns
Capacitive Load for Each Bus Line	C _B				400	pF
Input Capacitance	C _I			5		pF
Serial Interface Reset Time	t _{TIMEOUT}	SDA time low (Notes 11, 12)	75		325	ms

- Note 1:** V_{DD} must be decoupled with a high-quality 0.1μF bypass capacitor. X5R or X7R ceramic surface-mount capacitors are recommended.
- Note 2:** Internal heating caused by O.S. loading causes the DS75LX to read approximately 0.5°C higher if O.S. is sinking the max rated current.
- Note 3:** All voltages are referenced to ground.
- Note 4:** I_{DD} specified with O.S. pin open and A0–A2 pins grounded.
- Note 5:** I_{DD} and address leakage specified with V_{DD} at 3.0V and SDA, SCL = 3.0V at 0°C to +70°C.
- Note 6:** Address pins A0, A1, A2 are directly connected to V_{DD}, V_{SS}, or floating with less than 50pF capacitive load.
- Note 7:** See the timing diagram (Figure 1). All timing is referenced to 0.9 x V_{DD} and 0.1 x V_{DD}.
- Note 8:** After this period, the first clock pulse is generated.
- Note 9:** The DS75LX provides an internal hold time of at least 75ns on the SDA signal to bridge the undefined region of SCL's falling edge.
- Note 10:** For example, if C_B = 300pF, then t_R[min] = t_F[min] = 50ns.
- Note 11:** This timeout applies only when the DS75LX is holding SDA low. Other devices can hold SDA low indefinitely and the DS75LX will not reset.
- Note 12:** The DS75LX is available with timeout feature disabled upon special order. Contact Factory.

端子説明

端子	名称	機能
1	SDA	2線式シリアル通信ポート用のデータ入力/出力(オープンドレイン)
2	SCL	2線式シリアル通信ポート用のクロック入力
3	O.S.	サーモスタット出力(オープンドレイン)
4	GND	グラウンド
5	A ₂	アドレス入力
6	A ₁	アドレス入力
7	A ₀	アドレス入力
8	V _{DD}	電源電圧。+1.7V~+3.7V 電源端子。V _{DD} とGND間にバイパスコンデンサを外付けする必要があります。0.1μFのX5RまたはX7Rのセラミック表面実装コンデンサをお奨めします。

ブロック図

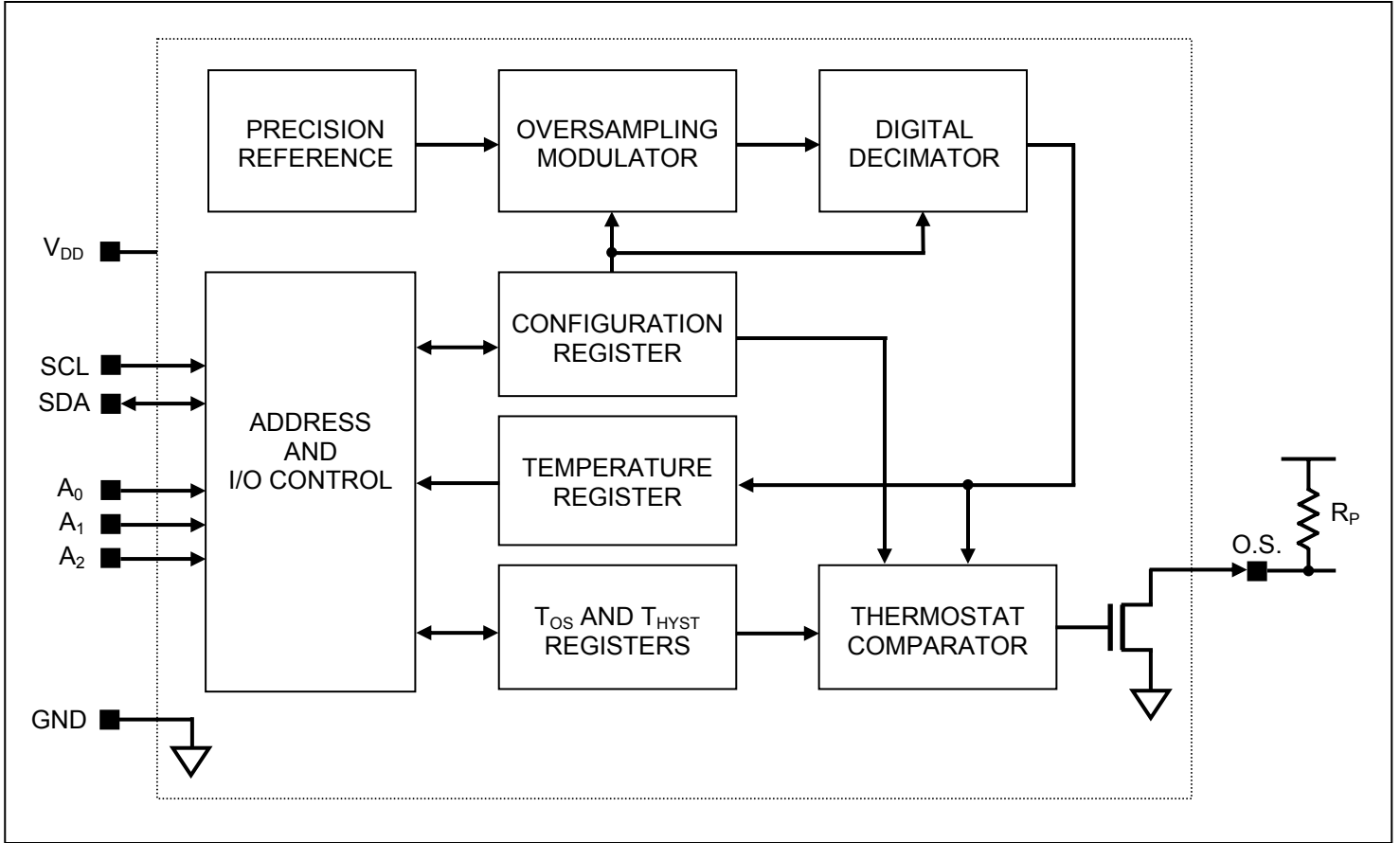
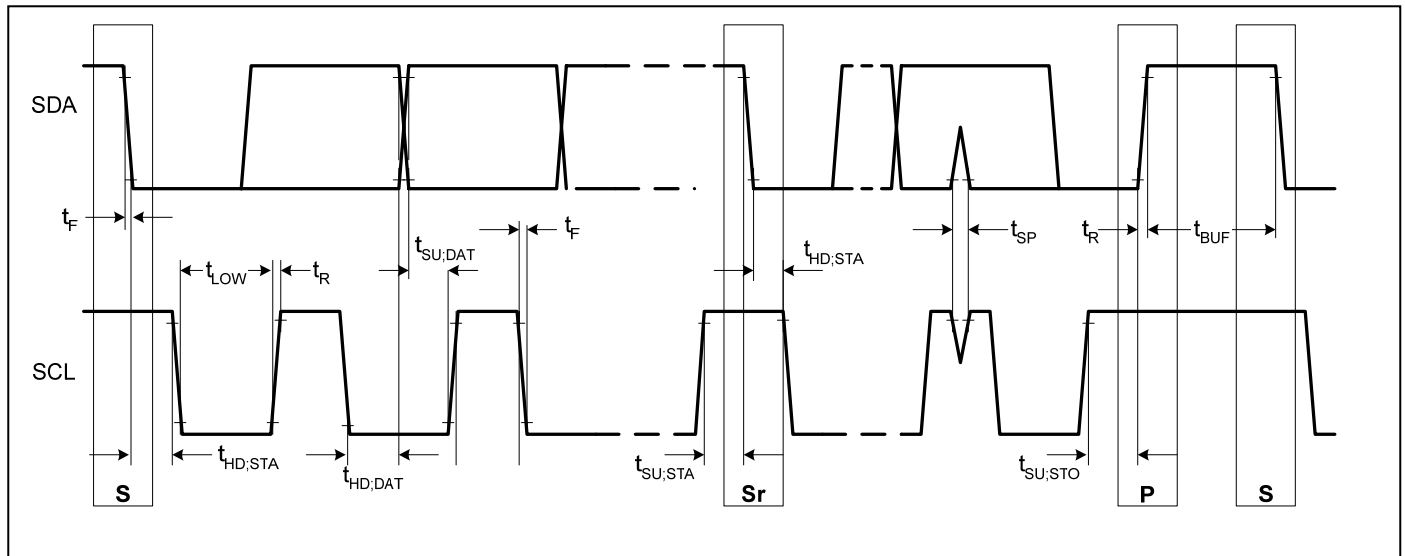


図 1. タイミング図



動作—温度の測定

DS75LX は、バンドギャップ温度検出アーキテクチャを使用して温度を測定します。内蔵のデルタシグマアナログ-デジタルコンバータ(ADC)は、測定温度を、摂氏温度に較正されたデジタル値に変換します。華氏のアプリケーションでは、ルックアップテーブルまたは変換ルーチンを使用する必要があります。DS75LX は、出荷時に較正されており、温度測定に外付け部品を必要としません。

電源を投入すると、DS75LX は直ちに自身の温度の測定とデジタル値への変換を開始します。デジタル出力データの分解能は、それぞれ 0.5°C、0.25°C、0.125°C、および 0.0625°C の温度刻みに対応した 9、10、11、または 12 ビットにユーザ設定可能で、電源投入時のデフォルト分解能は 9 ビットです。分解能は、このデータシートの「構成レジスタ」の項に説明するように構成レジスタの R0 と R1 ビットによって制御されます。変換時間は、分解能が 1 ビット増えるごとに 2 倍になることに注意してください。

各温度測定およびアナログ-デジタル変換後、DS75LX は温度を 16 ビット、2 の補数として 2 バイトの温度レジスタに保存します(図 2 参照)。符号ビット(S)は温度の正負を示し、正数の場合は S = 0 で、負数の場合は S = 1 です。最新の変換されたデジタル測定値は、常時温度レジスタから読み取ることができます。温度変換はバックグラウンドで実行されるため、温度レジスタの読取りは進行中の動作に影響を与えません。

温度レジスタのビット 3~0 は、0 にハードで結線されています。DS75LX が 12 ビット分解能に設定されると、温度レジスタの 12 MSb (ビット 15~4)が温度データとなります。11 ビット分解能の場合は、11 MSb (ビット 15~5)がデータとなり、ビット 4 は 0 を示します。同様に、10 ビット分解能の場合は、10 MSb (ビット 15~6)がデータとなり、9 ビット分解能の場合は 9 MSb (ビット 15~7)がデータとなり、使用されない LSb はすべて 0 になります。表 1 は 12 ビット分解能のデジタル出力データと対応する温度の例を示します。

図 2. 温度、 T_H 、および T_L レジスタ形式

	bit 15	bit 14	bit 13	bit 12	bit 11	bit 10	bit 9	bit 8
MS Byte	S	2^6	2^5	2^4	2^3	2^2	2^1	2^0
	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
LS Byte	2^{-1}	2^{-2}	2^{-3}	2^{-4}	0	0	0	0

表 1. 12 ビット分解能の温度とデータの関係

TEMPERATURE (°C)	DIGITAL OUTPUT (BINARY)	DIGITAL OUTPUT (HEX)
+125	0111 1101 0000 0000	7D00h
+25.0625	0001 1001 0001 0000	1910h
+10.125	0000 1010 0010 0000	0A20h
+0.5	0000 0000 1000 0000	0080h
0	0000 0000 0000 0000	0000h
-0.5	1111 1111 1000 0000	FF80h
-10.125	1111 0101 1110 0000	F5E0h
-25.0625	1110 0110 1111 0000	E6F0h
-55	1100 1001 0000 0000	C900h

シャットダウンモード

消費電力重視のアプリケーションに対して、DS75LX は低電力シャットダウンモードを提供します。構成レジスタの SD ビットがシャットダウンモードを制御します。SD が 1 に変化すると、進行中の変換が終了して結果が温度レジスタに保存された後、DS75LX は低電力スタンバイ状態に入ります。サーモスタットが割込みモードで動作しているときは O.S 出力はクリアされコンパレータモードの場合は O.S は不変です。シャットダウンモードでは 2 線式インタフェースは動作したままであり、SD ビットに 0 を書き込むと DS75LX は通常動作に戻ります。

動作—サーモスタット

サーモスタットの DS75LX はコンパレータモードと割込みモードの 2 つの動作モードを備えており、これらのモードでは、ユーザ設定可能なトリップポイント(T_{OS} と T_{HYST})に従ってオープンドレインサーモスタット出力(O.S.)がアクティブ/非アクティブになります。サーモスタットがアクティブローの O.S. 極性であり、かつ温度過昇トリップポイント(T_{OS})レジスタが $+80^{\circ}\text{C}$ に設定され、ヒステリシストリップポイント(T_{HYST})レジスタが $+75^{\circ}\text{C}$ に設定された状態で、DS75LX はコンパレータモードで電源投入されます。これらの電源投入後の設定値がアプリケーションに対応している場合、DS75LX をスタンドアロンサーモスタット(すなわち、2 線式通信不要)として使用することができます。割込み動作モード、アクティブハイの O.S. 極性、または異なった T_{OS} および T_{HYST} の値を所望の場合は、これらは電源投入後に設定する必要があるため、スタンドアロン動作は不可能です。

両方の動作モード共、ユーザはサーモスタットのフォルトトレランスを設定することが可能で、このフォルトトレランスでは、サーモスタット出力がトリガされるまでに必要とするサーモスタットの限界点を越える連続温度読取り回数(1、2、4、または 6)が設定されます。フォルトトレランスは構成レジスタの F1 ビットと F0 ビットによって設定され、電源投入時のフォルトトレランスは 1 です。

T_{OS} および T_{HYST} レジスタのデータ形式は温度レジスタのデータ形式と同じです(図 2 参照)。すなわち、ビット 3~0 を 0 にハード結線した状態で摂氏のトリップポイント温度を 2 バイトの 2 の補数で表現したものです。各温度変換の後、測定温度は T_{OS} および T_{HYST} レジスタの値と比較され、さらに、O.S. は比較の結果と動作モードに基づいて更新されます。サーモスタットの比較の間に使用される T_{OS} と T_{HYST} のビット数は、構成レジスタの R1 ビットと R0 ビットで設定される変換分解能に等しくなります。たとえば、分解能が 9 ビットの場合、 T_{OS} と T_{HYST} の 9 MSb のみがサーモスタットコンパレータによって使用されます。

O.S. 出力のアクティブな状態は、構成レジスタの POL ビットによって変更することができます。電源投入時のデフォルトはアクティブローです。

ユーザが DS75LX のサーモスタット機能を利用しない場合は、O.S. 出力をフローティング状態にしておく必要があります。サーモスタットを使用しない場合は、 T_{OS} および T_{HYST} レジスタをシステムデータの汎用ストレージに使用することができます。

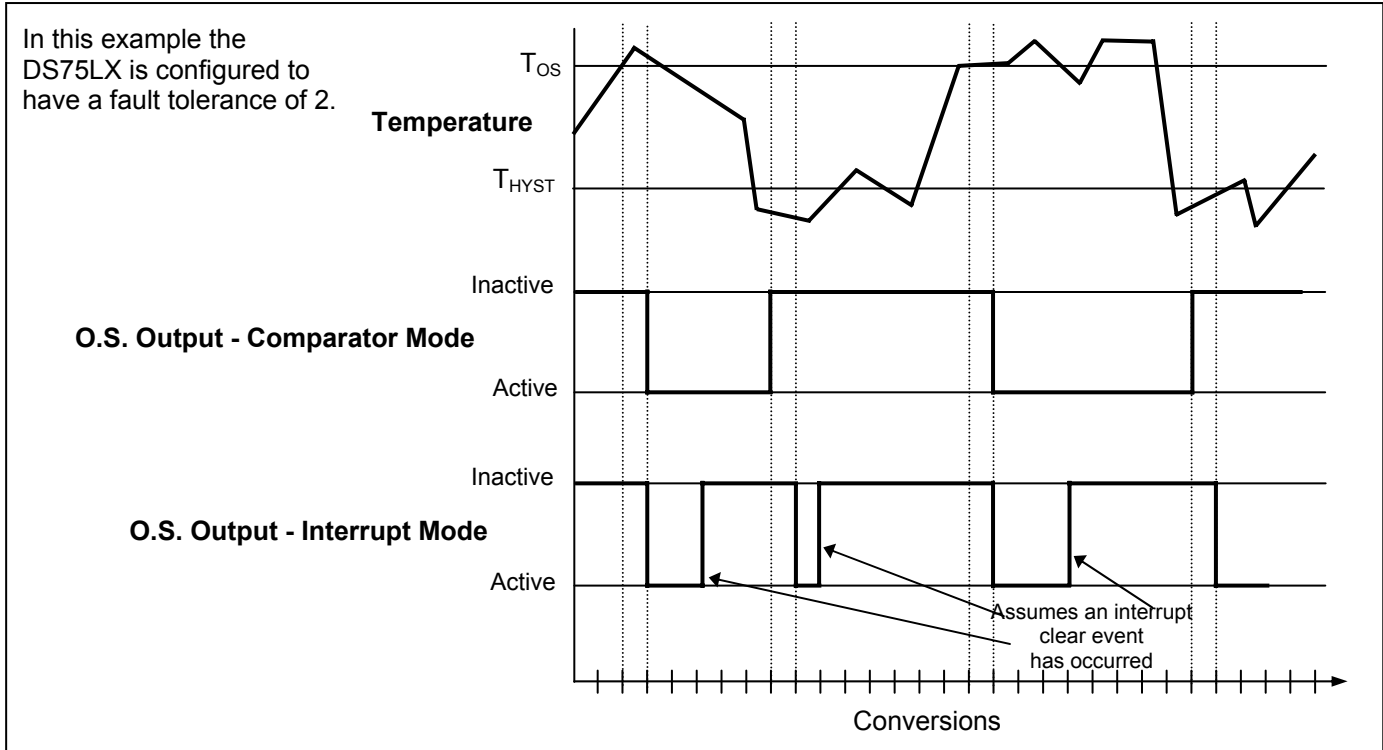
コンパレータモード

サーモスタットがコンパレータモードにあるとき、任意の大きさのヒステリシスで動作するように O.S. を設定することができます。O.S. 出力は、測定温度が構成レジスタの F1 および F0 フォルトトレランス(FT)ビットによって規定される連続回数だけ T_{OS} 値を超えるとアクティブになります。その場合、温度が T_{HYST} に保存された値を初めて下回るまで O.S. はアクティブなままとなります。デバイスをシャットダウンモードにしても、コンパレータモードの O.S. はクリアされません。FT = 2 の場合のサーモスタットコンパレータモード動作を図 3 に示します。

割込みモード

割込みモードでは、測定温度が構成レジスタの FT 値に等しい連続回数だけ T_{OS} 値を超えたとき O.S. 出力は初めてアクティブになります。いったんアクティブになった O.S. は、DS75LX をシャットダウンモードにするか、またはデバイスのレジスタ(温度、設定、 T_{OS} 、または T_{HYST})のいずれかを読み取ることによるのみクリアすることができます。O.S. が非アクティブになると、測定温度が FT 値に等しい連続回数だけ T_{HYST} 値を下回ったときのみ O.S. 出力は再びアクティブになります。また、O.S. は、デバイスをシャットダウンモードにするか、またはいずれかのレジスタを読み取ることによるのみクリアすることができます。したがって、この割込み/クリアプロセスは、 T_{OS} と T_{HYST} の事象(すなわち、 T_{OS} 、クリア、 T_{HYST} 、クリア、 T_{OS} 、クリア、 T_{HYST} 、クリア、以下同様)の間で循環します。FT = 2 の場合のサーモスタット割込みモード動作を図 3 に示します。

図 3. O.S.出力動作の例



構成レジスタ

構成レジスタによって、ユーザは、変換分解能、サーモスタットフォルトトレランス、サーモスタット極性、サーモスタット動作モード、およびシャットダウンモードなど、各種の DS75LX のオプションを設定することができます。構成レジスタの構成を図 4 に、また、各ビットの詳細を表 2 に示します。ユーザは、構成レジスタの MSb (予備の読取り専用ビット)を除くすべてのビットに読取り/書込みアクセスすることができます。レジスタ全体は、揮発性であるため、デフォルト状態で電源投入されます。

図 4. 構成レジスタ

MSb	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	LSb
0	R1	R0	F1	F0	POL	TM	SD

表 2. 構成レジスタのビット説明

BIT NAME	DESCRIPTION
0 Reserved	Power-Up State = 0 The master can write to this bit, but it always reads out as a 0.
R1 Conversion Resolution Bit 1	Power-Up State = 0 Sets conversion resolution (see Table 3).
R0 Conversion Resolution Bit 0	Power-Up State = 0 Sets conversion resolution (see Table 3).
F1 Thermostat Fault Tolerance Bit 1	Power-Up State = 0 Sets the thermostat fault tolerance (see Table 4).
F0 Thermostat Fault Tolerance Bit 0	Power-Up State = 0 Sets the thermostat fault tolerance (see Table 4).
POL Thermostat Output (O.S.) Polarity	Power-Up State = 0 POL = 0 — O.S. is active low. POL = 1 — O.S. is active high.
TM Thermostat Operating Mode	Power-Up State = 0 TM = 0 — Comparator mode. TM = 1 — Interrupt mode. See the <i>Operation—Thermostat</i> section for a detailed description of these modes.
SD Shutdown	Power-Up State = 0 SD = 0 — Active conversion and thermostat operation. SD = 1 — Shutdown mode. See the <i>Shutdown Mode</i> section for a detailed description of this mode.

表 3. 分解能の設定

R1	R0	THERMOMETER RESOLUTION (BITS)	MAX CONVERSION TIME (ms)
0	0	9	25
0	1	10	50
1	0	11	100
1	1	12	200

表 4. フォルトトレランスの設定

F1	F0	CONSECUTIVE OUT-OF-LIMITS CONVERSIONS TO TRIGGER O.S.
0	0	1
0	1	2
1	0	4
1	1	6

レジスタポインタ

4 個の DS75LX レジスタのおのおのは、表 5 に定める固有の 2 ビットポインタ表示を備えています。DS75LX に対して読取りまたは書込みアクセスを行うとき、ユーザはアクセスすべきレジスタを DS75LX に「指定」する必要があります。DS75LX から読取り取るときは、いったん設定されたポインタは変更されるまで同じレジスタを指定したままとなります。たとえば、ユーザが温度レジスタから連続して読取りを実行したい場合、ポインタは温度レジスタを 1 回指定するだけで済み、その後は、ポインタ値が変更されるまですべての読取りが温度レジスタから自動的に行われます。他方、DS75LX に書き込むときは、同じレジスタが 2 回続けて書き込まれる場合でも書込みを実行するたびにポインタ値を更新する必要があります。

電源投入の際は、デフォルトのポインタ値が温度レジスタであるため、ポインタをリセットせずに即座に温度レジスタを読み取ることができます。

ポインタ設定の変更は、「2 線式シリアルデータバス」の説明に従って行われます。

表 5. ポインタの定義

REGISTER	P1	P0
Temperature	0	0
Configuration	0	1
T _{HYST}	1	0
T _{OS}	1	1

2 線式シリアルデータバス

DS75LX は、シリアルクロック(SCL)信号とシリアルデータ(SDA)信号からなる、標準双方向、2 線式シリアルデータバスを介して通信します。DS75LX は、SCL 入力端子とオープンドレイン SDA I/O 端子を通じてバスにインタフェースします。通信はすべて MSb が先頭です。

以下の用語が 2 線式通信の説明に使用されます。

マスタデバイス: バス上のスレーブデバイスを制御するマイクロプロセッサ/マイクロコントローラ。マスタデバイスは、SCL 信号、START 条件、および STOP 条件を生成します。

スレーブ: マスタを除く、バス上のすべてのデバイス。DS75LX は常にスレーブとして働きます。

バスアイドルまたは非ビジー: SDA と SCL はいずれもハイに保たれます。SDA はバスがアイドルのときプルアップ抵抗器によってハイに保たれ、SCL はマスタによってハイに強制されるか(SCL 出力がプッシュプルの場合)、またはプルアップ抵抗器によってハイに駆動されます(SCL 出力がオープンドレインの場合)。

トランスミッタ: バス上でデータを送信するデバイス(マスタまたはスレーブ)。

レシーバ: バスからデータを受信するデバイス(マスタまたはスレーブ)。

START 条件: バス上のデータ転送の開始を示すためにマスタによって生成される信号。マスタは、SCL がハイの間に SDA をハイからローに駆動することによって START 条件を生成します(図 5 参照)。マスタが別の動作を実行することを示すために、データ転送の最後に(STOP の代わりに)「反復」START 条件が使用されることもあります。

STOP 条件: バス上のデータ転送の終了を示すためにマスタによって生成される信号。マスタは、SCL がハイの間に SDA をローからハイに遷移させることによって STOP 条件を生成します(図 5 参照)。STOP が送出されると、マスタはバスをアイドル状態に解放します。

確認応答(ACK): デバイス(マスタまたはスレーブのいずれか)は、レシーバとして動作しているとき、各データバイトを受信した後 SDA ライン上で確認応答(ACK)を生成する必要があります。受信デバイスは、SCL の全期間に SDA ラインをローに駆動することによって ACK を返します(図 5 参照)。ACK クロックサイクルの間、送信しているデバイスは SDA を解放する必要があります。ACK 信号に代る信号は「否定確認応答(NACK)」です。マスタデバイスは、レシーバとして動作しているとき、データの受信が終了したことを示すために最終データバイトの後、ACK の代わりに NACK を使用します。マスタは、ACK クロックサイクルの間、SDA ラインをハイに保つことによって NACK を返します。

スレーブアドレス: バス上のすべてのスレーブデバイスは固有の 7 ビットアドレスを備えており、これを用いてマスタはそのスレーブデバイスにアクセスすることができます。DS75LX の 7 ビットバスアドレスは、外部アドレス端子 A0~A2 の状態によって決まります。表 6 を参照してください。3 つのアドレス端子によって、最大 27 個の DS75LX を同じバスにマルチドロップすることができます。アドレスラインをハイまたはローに接続するときは、アドレスラインをじかに V_{DD} または GND に接続してください。これらの端子には直列抵抗器を使用しないでください。

アドレスバイト: アドレスバイトは、マスタによって送信され、7 ビットのスレーブアドレスと読み取り/書込み(R/W)ビットからなります(図 6 参照)。マスタがデータをスレーブデバイスから読み取っている場合は R/W = 1 で、マスタがデータをスレーブデバイスに書き込んでいる場合は R/W = 0 です。

ポインタバイト: ポインタバイトは、通信中にアクセスされているレジスタを DS75LX に通知するためにマスタによって使用されます。ポインタバイトの 6 MSb (図 7 参照)は常に 0 で、2 つの LSb は表 6 に示すように所望のレジスタに対応します。

図 5. START、STOP、および ACK 信号

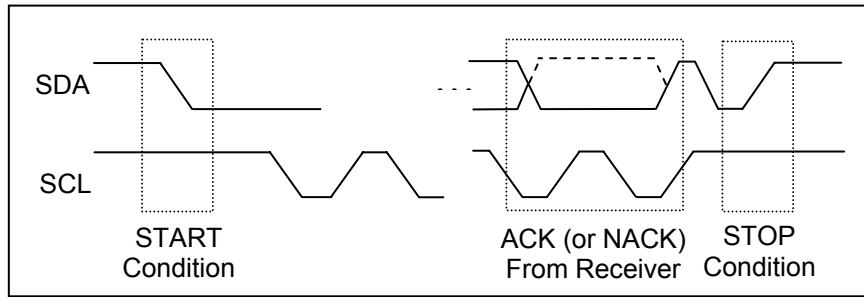


図 6. アドレスバイト

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
a ₆	a ₅	a ₄	a ₃	a ₂	a ₁	a ₀	R/W

アドレス端子 A0～A2 はトリステート入力です。これらの入力に対してロー、ハイ、またはフローティングを任意に組み合わせると、27 種類のアドレスが得られます。これらは、表 6 に従ってアドレスバイトにマッピングされます。

図 7. ポインタバイト

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
0	0	0	0	0	0	P1	P0

2 線式に関する一般事項

- すべてのデータは、2 線式バス上で MSb を先頭に送信されます。
- 2 線式バス上で各 SCL 周期に 1 ビットのデータが送信されます。
- SDA ラインにはプルアップ抵抗器が必要で、バスがアイドルのとき SDA と SCL はいずれもロジックハイ状態に保たれる必要があります。
- すべてのバス通信は、START 条件によって開始されて STOP 条件によって終了する必要があります。SCL がハイの間に SDA が状態を変えることができるのは、START または STOP の間だけです。これ以外の時間では、SCL がローのときのみ SDA ライン上の変化が起ります。すなわち、SCL がハイのとき、SDA は安定に保たれる必要があります。
- 各 8 ビット(1 バイト)の転送後、受信デバイスは ACK (または NACK)を返す必要があります、これには 1 SCL 周期を要します。このため、1 バイトのデータ転送ごとに 9 クロックが必要です。

表 6. アドレス構成

A2	A1	A0	ADDRESS
0	0	0	1001000
0	0	1	1001001
0	1	0	1001010
0	1	1	1001011
0	0	FLOAT	0101100
0	FLOAT	0	0101000
0	1	FLOAT	0101101
0	FLOAT	1	0101001
0	FLOAT	FLOAT	0110101
1	0	0	1001100
1	0	1	1001101
1	1	0	1001110
1	1	1	1001111
1	0	FLOAT	0101110
1	FLOAT	0	0101010
1	1	FLOAT	0101111
1	FLOAT	1	0101011
1	FLOAT	FLOAT	0110110
FLOAT	0	0	1110000
FLOAT	0	1	1110010
FLOAT	1	0	1110011
FLOAT	1	1	1110101
FLOAT	0	FLOAT	1110001
FLOAT	FLOAT	0	1110110
FLOAT	1	FLOAT	1110100
FLOAT	FLOAT	1	1110111
FLOAT	FLOAT	FLOAT	0110111

DS75LX への書込み

DS75LX に書込みを行う際、マスタは START に続いて DS75LX のバスアドレスを含むアドレスバイトを生成する必要があります。R/W ビットの値は 0 でなければならず、これによって、書込みを行おうしていることが示されます。DS75LX は、アドレスバイトを受信すると ACK によって応答します。この後に、書き込まれているレジスタを DS75LX に通知するポインタバイト(マスタからの)が続く必要があります。DS75LX は、ポインタバイトを受信すると再び ACK によって応答します。この ACK に続いて、マスタは直ちに DS75LX に対してデータの送信を開始する必要があります。構成レジスタに書込みを行うとき、マスタは 1 バイトのデータを送信する必要があります(図 8a 参照)、 T_{OS} または T_{HYST} レジスタに書込みを行うとき、マスタは 2 バイトのデータを送信する必要があります(図 8b 参照)。各データバイトの受信後、DS75LX は ACK によって応答し、トランザクションはマスタからの STOP によって終了します。

ソフトウェア POR

ソフトウェア POR コマンドは 16 進の 54 です。書込みコマンドを DS75LX に送出してください。DS75LX は ACK によって応答します。次のバイトが 0x54 の場合、DS75LX は電源サイクリングが行われた場合のようにリセットされます。POR コマンドの受信後、ACK が IC によって送信されることはありません。

DS75LX からの読取り

DS75LX から読取りを行うとき、前回のトランザクションの際に既にポインタが所望のレジスタを指し示している場合、ポインタの設定値を変更せずに直ちに読取りを行うことができます。この場合、マスタは START に続いて DS75LX バスアドレスを含むアドレスバイトを送信します。R/W ビットは 1 でなければならず、これによって、読取りが行われることが DS75LX に通知されます。DS75LX がアドレスバイトに回答して ACK を送信すると、DS75LX は次のクロックサイクルで要求されているデータの送信を開始します。構成レジスタから読取りを行うとき、DS75LX は 1 バイトのデータを送信し、その後、マスタは NACK とこれに続く STOP によって応答する必要があります(図 8c 参照)。2 バイトの読取り(すなわち、温度、 T_{OS} 、または T_{HYST} レジスタからの)では、DS75LX は 2 バイトのデータを送信し、マスタは最初のデータバイトに対して ACK によって応答する必要があり、2 番目のデータバイトに対して NACK とこれに続く STOP によって応答する必要があります(図 8d 参照)。最上位データバイトのみが必要な場合、マスタは最初のデータバイトの読取り後 NACK に続いて STOP を送出することが可能で、この場合、トランザクションは構成レジスタからの読取りの場合と同じになります。

ポインタが所望のレジスタを指定していない場合は、ポインタをまず図 8e に示すように更新する必要があります。この図はポインタの更新とこれに続く 1 バイトの読取りを示しています。マスタはポインタバイトを DS75LX に書き込んでいるため、初期アドレスバイトの R/W ビットの値は 0 (「書込み」)です。DS75LX がアドレスバイトに対して ACK で応答すると、マスタは所望のレジスタに対応するポインタバイトを送信します。この後、マスタは反復 START に続いて、前の段落に記述した標準 1 または 2 バイトの読取りシーケンス(R/W = 1 によって)を実行する必要があります。

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/DallasPackInfoをご参照下さい。)

パッケージ	文書番号
8ピン SOP	56-G2008-001
8ピン μ SOP/ μ MAX	21-0036

図 8.2 線式インタフェースのタイミング

