

LDMOS RFパワーアンプ用 バイアスコントローラ

DS1870

概要

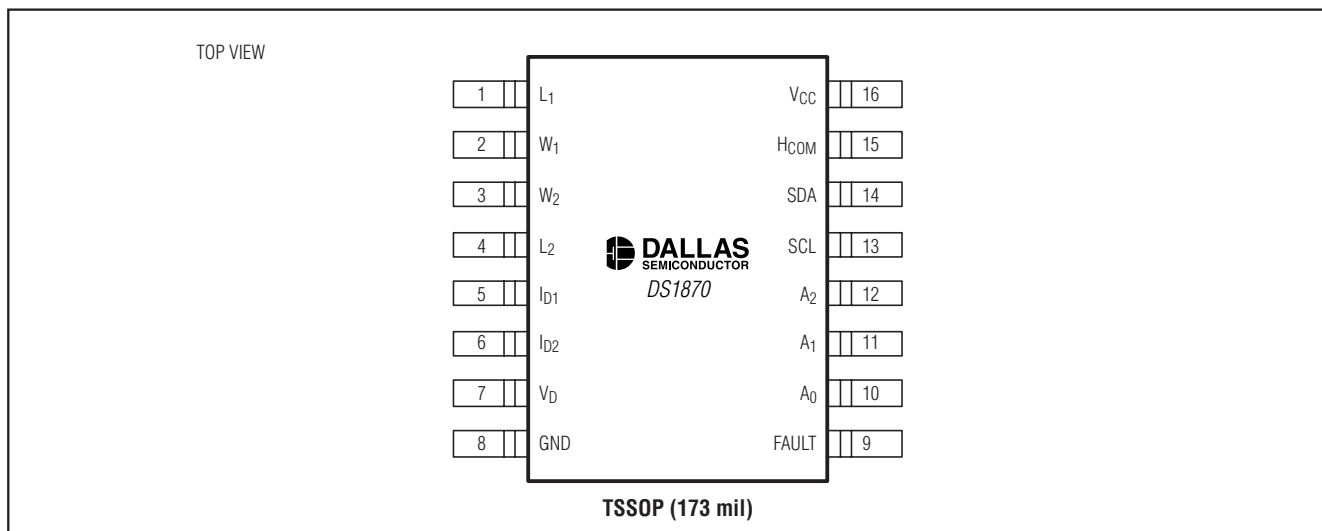
DS1870は、AB級LDMOS RFパワーアンプのアプリケーションを対象とするデュアルチャンネルバイアスコントローラです。DS1870は、ルックアップテーブル(LUT)を使用して、アンプの温度及びドレイン電圧または電流(または、その他の外部モニタ信号)に基づいて256位置のポテンシオメータを制御します。内蔵する温度センサと多チャンネルA/Dコンバータ(ADC)を使って、DS1870は、従来のバイアス供給方法では不可能な非線形補償方式を使用することによってアンプの効率を改善する、コスト効果の高いソリューションを提供します。

アプリケーション

携帯電話基地局
医療用機器
産業用制御
光トランシーバ

Maxim Integrated Products, Inc.または二次ライセンスを受けている同社の関連会社のI²C 部品の購入により、これらの部品をI²Cシステムで使用するためのPhilips社のI²C特許権に基づくライセンスが許諾されたことになります。但し、システムがPhilips社により定義されたI²C標準規格に合致していることを必要とします。

ピン配置



特長

- ◆ プログラマブルRFバイアス制御用として2チャンネルソリューションを提供
- ◆ 周囲温度及びドレイン電圧/電流の変化を補償するためにポテンシオメータの位置を自動更新
- ◆ 5チャンネル、13ビットADCが周囲温度、V_{CC}、V_D、I_{D1}、及びI_{D2}を常時監視
- ◆ 各ADCチャンネルのHi/Loアラームによるフォルト出力のトリガが可能
- ◆ デバイス設定、ルックアップテーブル、及び32バイトのユーザメモリ用の不揮発性メモリを装備
- ◆ 同一シリアルバス上に最大8個のデバイスを接続可能なI²C™対応シリアルインタフェース
- ◆ 単一5V電源
- ◆ 小型16ピンTSSOPパッケージ
- ◆ 動作温度範囲: -40°C ~ +95°C

型番

PART	TEMP RANGE	PIN-PACKAGE
DS1870E-010	-40°C to +95°C	16 TSSOP (173 mil)

標準動作回路はデータシートの最後に記載されています。

LDMOS RFパワーアンプ用 バイアスコントローラ

DS1870

ABSOLUTE MAXIMUM RATINGS

Voltage Range on V_{CC}, H_{COM}, SDA, and SCL Pins Relative to Ground-0.5V to +6.0V
 Voltage Range on A₀, A₁, A₂, FAULT, V_D, ID₁, ID₂ Relative to Ground-0.5V to V_{CC} + 0.5V, not to exceed +6.0V
 Voltage Range on L₀, L₁, W₀, and W₁ Relative to Ground-0.5V to H_{COM} + 0.5V, not to exceed +6.0V

Operating Temperature Range-40°C to +95°C
 EEPROM Programming Temperature Range0°C to +70°C
 Storage Temperature Range-55°C to +125°C
 Soldering TemperatureSee IPC/JEDEC J-STD-020A Specification

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

RECOMMENDED DC OPERATING CONDITIONS

(T_A = -40°C to +95°C)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	V _{CC}	(Note 1)	4.5		5.5	V
Input Logic 1 (SDA, SCL, A ₂ , A ₁ , A ₀)	V _{IH}		0.7 x V _{CC}		V _{CC} + 0.3	V
Input Logic 0 (SDA, SCL, A ₂ , A ₁ , A ₀)	V _{IL}		-0.3		+0.3 x V _{CC}	V
H _{COM} Voltage			4.5		5.5	V
L _X and W _X Voltage			-0.3		H _{COM} + 0.3	V
Wiper Current			-1		+1	mA

DC ELECTRICAL CHARACTERISTICS

(V_{CC} = +4.5 to 5.5V, T_A = -40°C to +95°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Current	I _{CC}	(Note 2)		1	2	mA
Input Leakage	I _{LI}		-200		+200	nA
Low-Level Output Voltage (SDA, FAULT)	V _{OL1}	3mA sink current			0.4	V
	V _{OL2}	6mA sink current			0.6	V
I/O Capacitance	C _{I/O}				10	pF
Digital Power-On Reset	V _{POD}		1.0		2.2	V
Analog Power-On Reset	V _{POA}		2.0		2.8	V

LDMOS RFパワーアンプ用 バイアスコントローラ

DS1870

ANALOG VOLTAGE-MONITORING CHARACTERISTICS

(V_{CC} = +4.5 to 5.5V, T_A = -40°C to +95°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
V _D Monitor Factory-Calibrated FS		Code FFF8h	2.488	2.500	2.513	V
V _{CC} Monitor Factory-Calibrated FS		Code FFF8h	6.521	6.553	6.587	V
I _{D1} and I _{D2} Monitor Factory-Calibrated FS		Code FFF8h	0.4975	0.5000	0.5025	V
Resolution (V _{CC} , V _D , I _{D1} , I _{D2})				0.0122		%FS
Accuracy (V _{CC} , V _D , I _{D1} , I _{D2})				0.25	0.5	%FS
Update Rate for V _{CC} , V _D , I _{D1} , I _{D2}	t _{frame}			50		ms

DIGITAL THERMOMETER CHARACTERISTICS

(V_{CC} = +4.5 to 5.5V, T_A = -40°C to +95°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Thermometer Error	T _{ERR}	-40°C to 95°C	-3		+3	°C
Update Rate	t _{frame}			50		ms

ANALOG POTENTIOMETER CHARACTERISTICS

(V_{CC} = +4.5 to 5.5V, T_A = -40°C to +95°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Wiper Resistance		+25°C		500	1000	Ω
Potentiometer End-to-End Resistance	R _{POT}	+25°C	10.0	13	16.8	kΩ
Resolution				0.4		%FS
Absolute Linearity		(Note 3)	-1		+1	LSB
Relative Linearity		(Note 4)	-0.5		+0.5	LSB
Ratiometric Temperature Coefficient				5		ppm/°C
End-to-End Temperature Coefficient				70		ppm/°C
-3dB Cutoff Frequency		(Note 5)		1		MHz
Series Resistors from L1, L2 to GND	R _S	+25°C	15.1	19.5	25.2	kΩ
V _{HCOM} /V _{LX}			0.5975	0.6	0.6025	

LDMOS RFパワーアンプ用 バイアスコントローラ

DS1870

LOOKUP TABLE CHARACTERISTICS

(V_{CC} = +4.5 to 5.5V, T_A = -40°C to +95°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POT1 and POT2 Temp LUT Size				72		Bytes each
POT1 and POT2 Temp LUT Index Range			-40		+102	°C
Temp Step				2		°C
Temp Hysteresis		(Note 6)		1		°C
POT1 and POT2 Drain LUT Size				64		Bytes each
POT1 and POT2 Drain LUT V _D Index Range			8000		FE00	Hex
POT1 and POT2 Drain LUT V _D Step				0200		Hex
POT1 and POT2 Drain LUT V _D Hysteresis		(Note 6)		0100		Hex
POT1 and POT2 Drain LUT I _{DX} Index Range			0000		7E00	Hex
POT1 and POT2 Drain LUT I _{DX} Step				0200		Hex
POT1 and POT2 Drain LUT I _{DX} Hysteresis		(Note 6)		0100		Hex

LDMOS RFパワーアンプ用 バイアスコントローラ

DS1870

AC ELECTRICAL CHARACTERISTICS

($V_{CC} = +4.5V$ to $5.5V$, $T_A = -40^{\circ}C$ to $+95^{\circ}C$, timing referenced to $V_{IL(MAX)}$ and $V_{IH(MIN)}$.) (Figure 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCL Clock Frequency	f _{SCL}	(Note 7)	0		400	kHz
Bus Free Time Between Stop and Start Conditions	t _{BUF}		1.3			μs
Hold Time (Repeated) Start Condition	t _{HD:STA}		0.6			μs
Low Period of SCL	t _{LOW}		1.3			μs
High Period of SCL	t _{HIGH}		0.6			μs
Data Hold Time	t _{HD:DAT}		0		0.9	μs
Data Setup Time	t _{SU:DAT}		100			ns
Start Setup Time	t _{SU:STA}		0.6			μs
SDA and SCL Rise Time	t _R	(Note 8)	20 + 0.1C _B		300	ns
SDA and SCL Fall Time	t _F	(Note 8)	20 + 0.1C _B		300	ns
Stop Setup Time	t _{SU:STO}		0.6			μs
SDA and SCL Capacitive Loading	C _B	(Note 8)			400	pF
EEPROM Write Time	t _W	(Note 9)		10	20	ms

NONVOLATILE MEMORY CHARACTERISTICS

($V_{CC} = +4.5V$ to $5.5V$, $T_A = 0^{\circ}C$ to $+70^{\circ}C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Writes		+70°C (Note 5)	50,000			

Note 1: All voltages referenced to ground.

Note 2: Supply current is measured with all logic inputs at their inactive state ($SDA = SCL = V_{CC}$) and driven to well-defined logic levels. All outputs are disconnected.

Note 3: Absolute linearity is the difference of measured value from expected value at the DAC position. Expected value is a straight line from measured minimum position to measured maximum position.

Note 4: Relative linearity is the deviation of an LSB DAC setting change vs. the expected LSB change. Expected LSB change is the slope of the straight line from measured minimum position to measured maximum position.

Note 5: This parameter is guaranteed by design.

Note 6: See Figure 1.

Note 7: I²C interface timing shown is for fast-mode (400kHz) operation. This device is also backward compatible with I²C standard-mode timing.

Note 8: C_B—total capacitance of one bus line in picofarads.

Note 9: EEPROM write begins after a stop condition occurs.

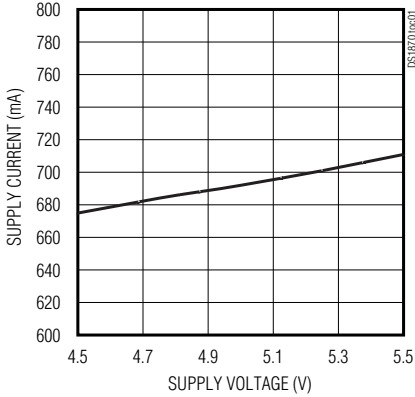
LDMOS RFパワーアンプ用 バイアスコントローラ

DS1870

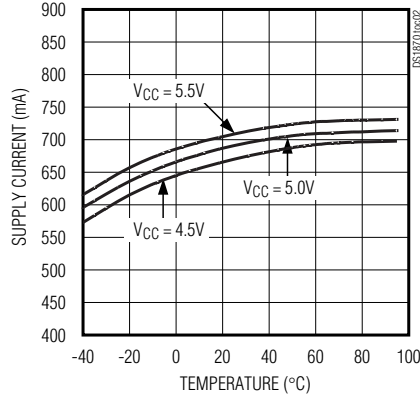
標準動作特性

($V_{CC} = +5.0V$, $T_A = +25^\circ C$, unless otherwise noted.)

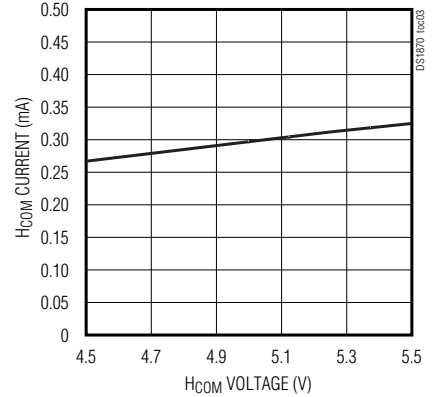
SUPPLY CURRENT vs. SUPPLY VOLTAGE



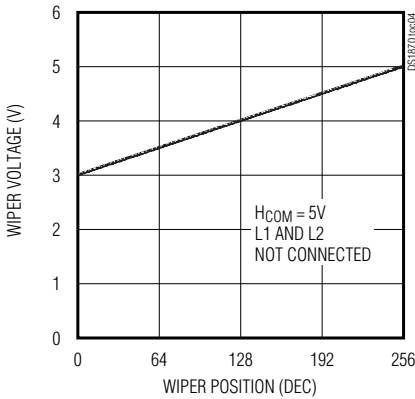
SUPPLY CURRENT vs. TEMPERATURE



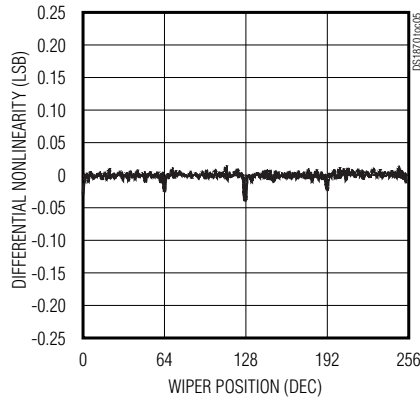
HCOM CURRENT vs. HCOM VOLTAGE



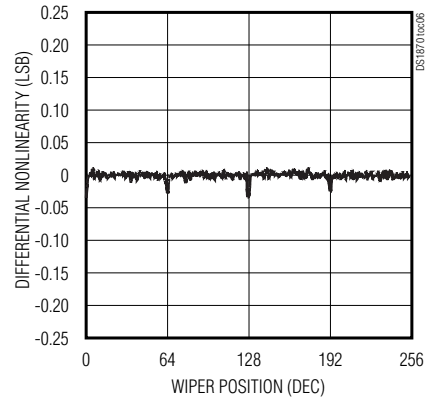
POTENTIOMETER 1 AND 2 OUTPUT VOLTAGE vs. POSITION



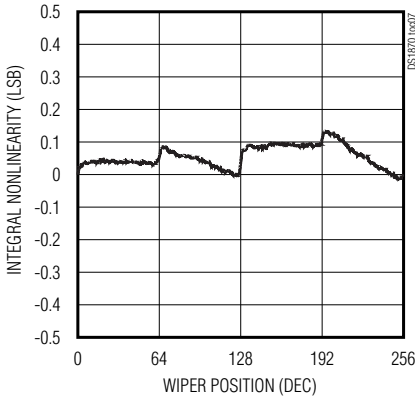
POTENTIOMETER 1 DIFFERENTIAL NONLINEARITY vs. WIPER POSITION



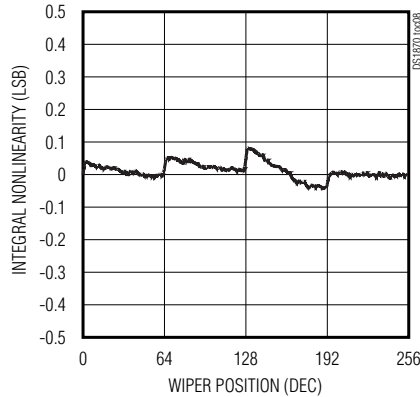
POTENTIOMETER 2 DIFFERENTIAL NONLINEARITY vs. WIPER POSITION



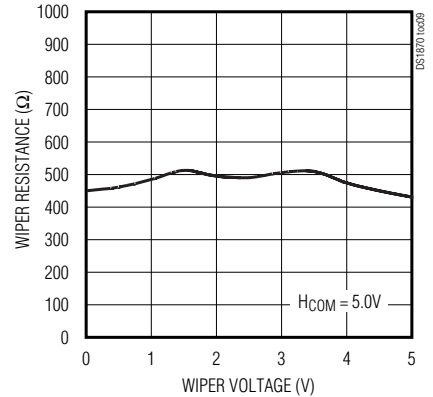
POTENTIOMETER 1 INTEGRAL NONLINEARITY vs. WIPER POSITION



POTENTIOMETER 2 INTEGRAL NONLINEARITY vs. WIPER POSITION



POTENTIOMETER 1 AND 2 WIPER RESISTANCE vs. WIPER VOLTAGE

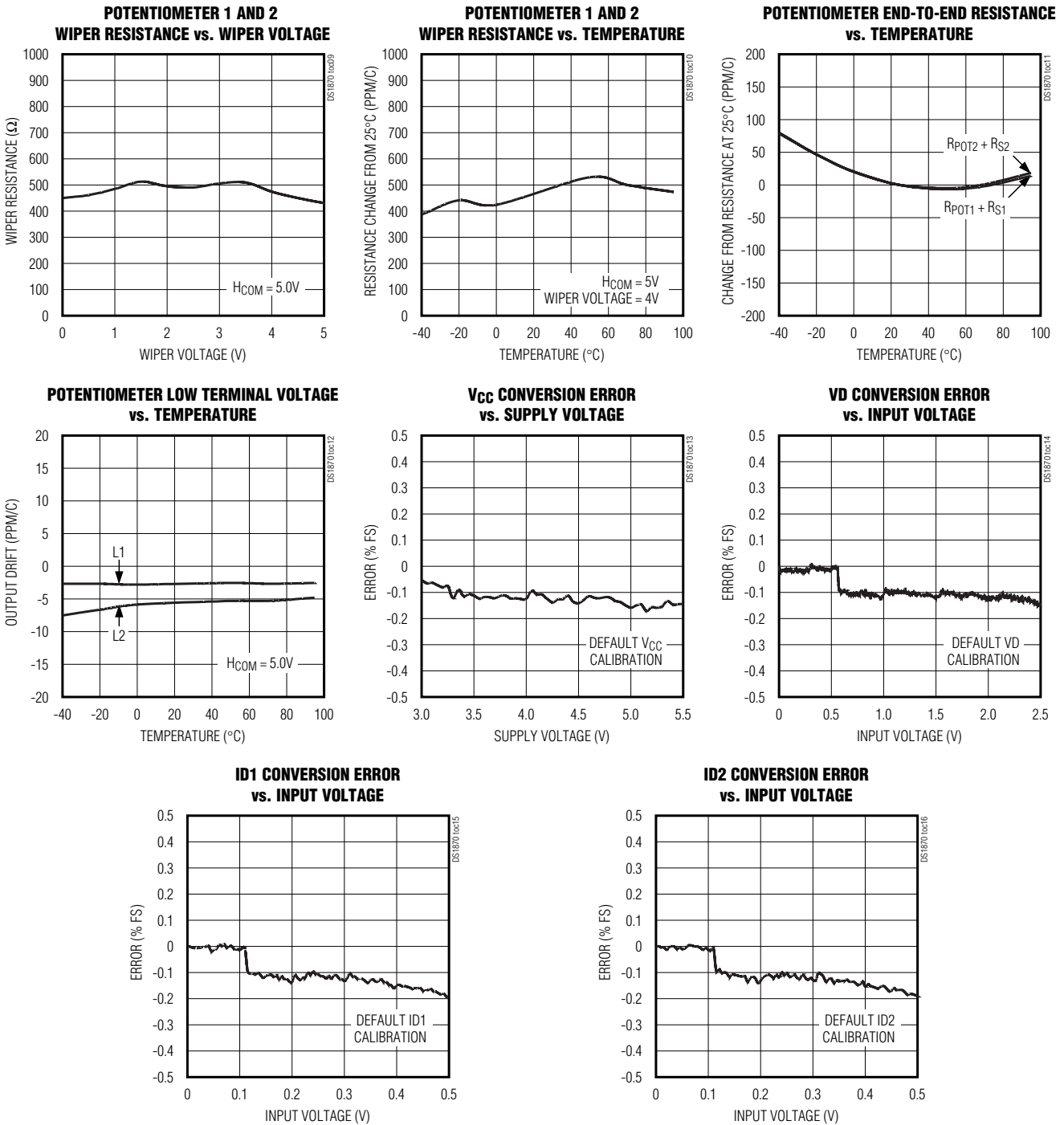


LDMOS RFパワーアンプ用 バイアスコントローラ

DS1870

標準動作特性(続き)

($V_{CC} = +5.0V$, $T_A = +25^\circ C$, unless otherwise noted.)



LDMOS RFパワーアンプ用 バイアスコントローラ

DS1870

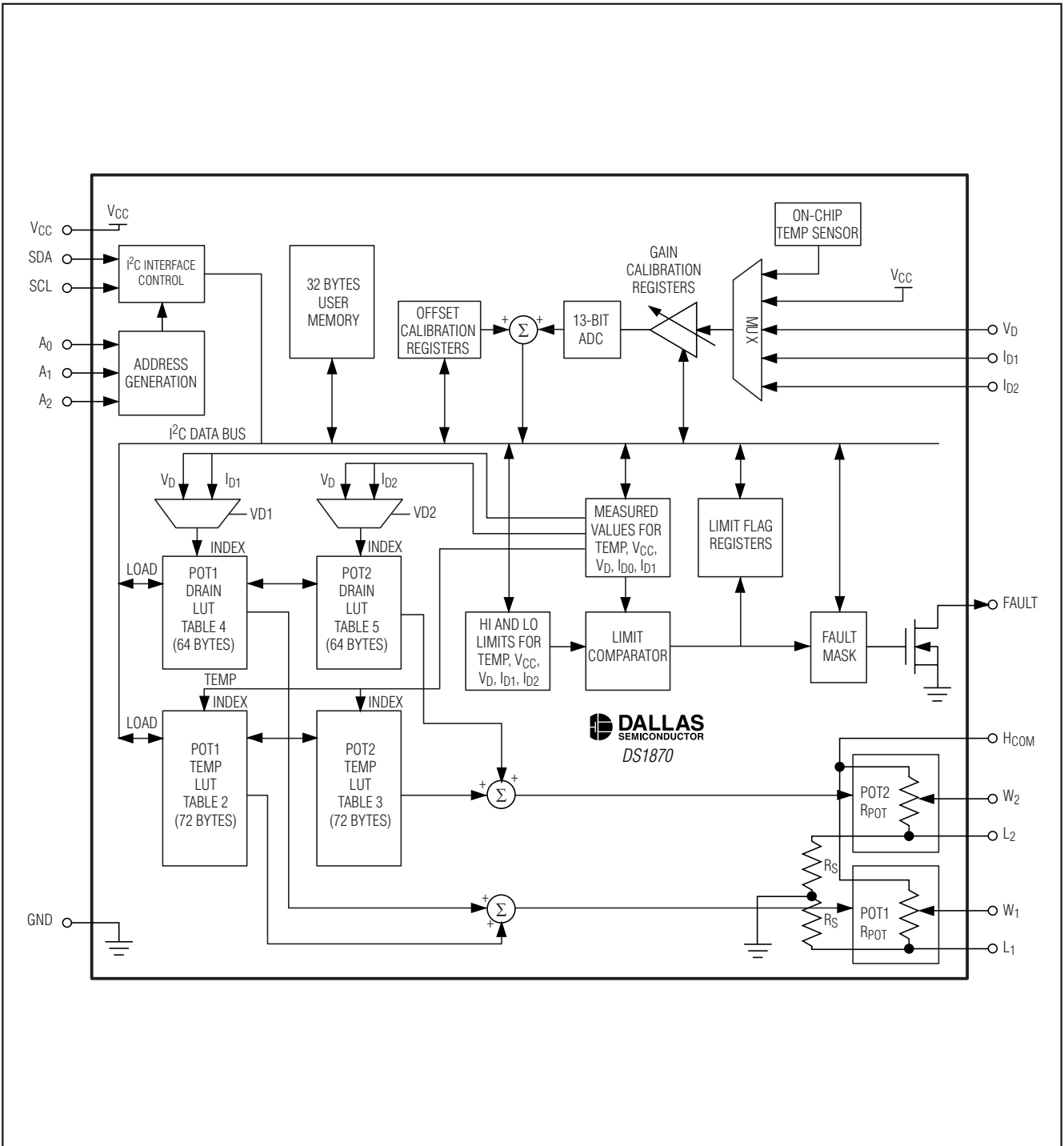
端子説明

端子	名称	機能
1	L ₁	ポテンシオメータ1のロー側端子。
2	W ₁	ポテンシオメータ1のワイパ端子。
3	W ₂	ポテンシオメータ2のワイパ端子。
4	L ₂	ポテンシオメータ2のロー側端子。
5	ID ₁	ドレイン電流1のモニタ入力。
6	ID ₂	ドレイン電流2のモニタ入力。
7	V _D	ドレイン電圧のモニタ入力。
8	GND	グラウンド。
9	FAULT	フォルト出力。このオープンコレクタ出力は、イネーブルされたアラームの1つがそのプログラム可能な限界値外にあるときアクティブハイになります。
10	A ₀	I ² Cアドレス入力。これらの入力は、デバイスのスレーブアドレスを決定します。2進数のスレーブアドレスは、1010A ₂ A ₁ A ₀ です。
11	A ₁	
12	A ₂	
13	SCL	シリアルクロック入力。I ² Cクロック入力。
14	SDA	シリアルデータ入力/出力。双方向I ² Cデータ端子。
15	HCOM	ポテンシオメータのハイ側端子。ポテンシオメータ1と2に共通。
16	V _{CC}	電源入力。

LDMOS RFパワーアンプ用 バイアスコントローラ

ファンクションダイアグラム

DS1870



LDMOS RFパワーアンプ用 バイアスコントローラ

DS1870

表1. 電圧モニタの出荷時デフォルト値の較正值

SIGNAL	+FS SIGNAL	+FS (hex)	-FS SIGNAL	-FS (hex)
V _{CC}	6.553V	FFF8	0V	0000
V _D	2.5V	FFF8	0V	0000
I _{D1}	0.5V	FFF8	0V	0000
I _{D2}	0.5V	FFF8	0V	0000

詳細

DS1870は、デュアルチャネルLDMOSバイアスコントローラです。これは、固定の温度係数補正によって制限される従来のバイアス制御法に置き換わるものです。このICは、温度及びドレイン電源電圧/電流の関数としてプログラム可能なルックアップテーブル補正を提供します。非線形バイアス補正の採用による柔軟性によって効率が著しく改善されます。これは、バイアス補正において固定の温度係数が不要となることで、特にAB級動作において、バイアス電流を低減する能力を持つことができる直接的な結果によるものです。さらに、AB級においてバイアスをドレイン電源電圧またはドレイン電流の関数として補正することは、歪みの低減とゲインの管理に有効です。

2つの出力(W1とW2)は、各々が、ファンクションダイアグラムに示すような専用の2次元ルックアップテーブルによって制御され、2つのLDMOSのゲートを駆動します。この2つの自由度は、温度とドレイン電源電圧または電流です。ルックアップテーブルは、パワーアンプの組立及び試験中にプログラムされます。較正後、このICは、温度及びドレイン特性に基づいて各出力に対する適正な制御設定値を呼び出します。

13ビットADCは、チップ温度、V_{CC}、ドレイン電源電圧、及び2つのドレイン電流をサンプリングしてデジタル化します。これらのデジタル化された信号は、ルックアップテーブル制御によるアクセスに備えてメモリに保存されます。さらに、このデジタル化された値は、ハイまたはローフラグを発生するアラームスレッシュホールドと比較されます。FAULT出力は、ハイを基本とする何らかのアラームアサーションをアクティブにするように設定することができますが、アラームをマスクして不要なフォルトアサーションを防止することもできます。ADCの読取り値は、アラームフラグ及びフォルトステータスと同様に、I²C対応のインタフェースを経由してアクセスすることができます。

表2. 電圧モニタの変換例

SIGNAL	LSB WEIGHT (μV)	REGISTER VALUE (hex)	INPUT VOLTAGE (V)
V _{CC}	100.00	8080	3.29
V _{CC}	100.00	C0F8	4.94
V _D	38.152	C000	1.875
V _D	38.152	8080	1.255
I _{D1}	7.6303	8000	0.2500
I _{D2}	7.6303	1328	0.0374

電圧/電流モニタの動作

DS1870は、13ビットADCを用いてラウンドロビン方式で4つの電圧(V_{CC}、V_D、I_{D1}、及びI_{D2})、及び温度を監視します。ADCによる変換電圧出力値は、レジスタのメモリアドレス62h~69hに16ビット符号なし数として左寄せで格納されます。

ADC結果レジスタの3つの最下位ビットはゼロにマスクされます。ラウンドロビン時間は、「ANALOG VOLTAGE-MONITORING CHARACTERISTICS」の中でt_{frame}によって規定されています。

電圧モニタの出荷時較正のデフォルト値を表1に示します。

レジスタの値から電圧測定値を計算するためには、まずフルスケール電圧スパンを65,528で割った値に等しい16ビットレジスタのLSBの重みを計算します。つぎに、16進のレジスタ値を10進数に変換してこれにLSBの重みを掛けます。

例: 出荷時に設定されたV_{CC}調整値を使用する場合、V_{CC}レジスタの値がC347hであれば測定電圧の値はいくらか? V_{CC}に対するLSBは、(6.553V - 0V) / 65,528 = 100.00μVに等しくなります。C347hは49,991(10進数)に等しく、これによって49,991 x 100.00μV = 4.999Vに等しい電源電圧となります。表2には、出荷時に調整されるADC設定値に基づいた変換の例を示します。

内部ゲイン及びオフセットの較正レジスタを使用することによって、表1に示す+FS及び-FS信号の値は使用者の要求を満たすように変更することができます。較正の詳細については、「電圧/温度モニタの較正」の項を参照してください。

注: 入力電圧レベルを決定する前記の方法は、オフセットレジスタがゼロに設定されているときのみ有効です。

**表3. 内部温度モニタの出荷時デフォルト
較正值**

SIGNAL	+FS SIGNAL	+FS (hex)	-FS SIGNAL	-FS (hex)
Temp	+127.97°C	7FF8	-128.00°C	8000

温度モニタの動作

内部温度のモニタ値は、16ビットの2の補数としてメモリアドレス60h~61hに格納されます。温度レジスタのラウンドロビン更新時間(t_{frame})は、電圧モニタと同じです。温度モニタの出荷時デフォルト較正值を表3に示します。

2の補数のレジスタ値をこれに対応する温度に変換するためには、まず2バイトの16進値を符号なしの値として10進値に変換し、つぎにこの結果を256で割ります。その後、割り算の結果が+128以上の場合は256を差し引きます。表4は、変換値の例を示します。

温度センサのオフセットは、内部の較正レジスタを使用して調整することができ、DS1870が置かれた場所の周囲温度とバイアスをかけているデバイスの温度との差を補償します。オフセットを温度測定値に加えると、変換された値はDS1870の周囲温度から一定の値だけ離れた値となります。詳細については、「温度モニタのオフセット較正」の項を参照してください。

ポテンショメータの動作

DS1870のポテンショメータはいずれも、そのハイ側端子がハイの共通端子 H_{COM} に接続された状態で、256位置を持っています。ポテンショメータのロー側端子は、 H_{COM} が5V電源に接続されているときに出力電圧が3V~5Vになるように、抵抗器によって内部でGNDに分路されています。内部の分路用抵抗器とポテンショメータの両端間の抵抗は、温度係数が一致しており温度変化による出力電圧のドリフトを防止します。

外付け抵抗器を H_{COM} と L_X の間及び/または L_X とGNDの間に接続すると、標準の出力電圧値を変更することができます。

表4. 温度変換値

MSB (bin)	LSB (bin)	TEMPERATURE (°C)
01000000	00000000	+64
01000000	00001111	+64.059
01011111	00000000	+95
11110110	00000000	-10
11011000	00000000	-40

表5. 対応する温度値のLUTアドレス

LUT ADDRESS (hex)	CORRESPONDING TEMPERATURE (°C)
80	≤ -40°C
81	-38°C
82	-36°C
...	...
C6	+100°C
C7	≥ +102°C

通常動作

通常動作中に、各ポテンショメータの位置は、各変換ラウンド後にその温度とドレインLUTの値の和に合わせて自動的に調整されます。ポテンショメータの設定は、基準及びオフセットの両LUT値がメモリから呼び出された後に行われます。POT1 Temp LUT(メモリテーブル2)及びPOT1 Drain LUT(メモリテーブル4)の現在インデックスが付いている値の和がポテンショメータ1を制御します。POT2 Temp LUT(メモリテーブル3)及びPOT2 Drain LUT(メモリテーブル5)の現在インデックスが付いている値の和がポテンショメータ2を制御します。2つのテーブルの値を加えた結果が255よりも大きいか0よりも小さい場合は、ポテンショメータの位置がそれぞれ255または0に設定されます。

LDMOS RFパワーアンプ用 バイアスコントローラ

DS1870

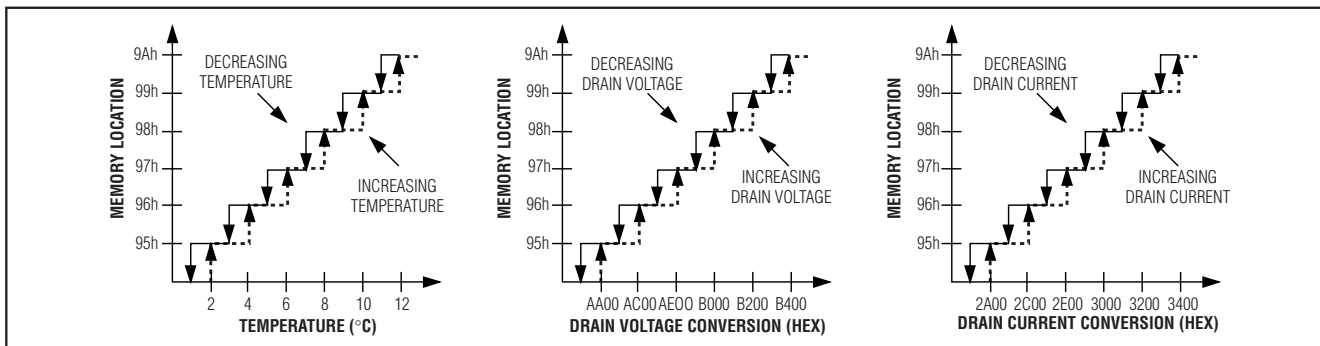


図1. LUTのヒステリシス

温度テーブル(LUT2とLUT3)の数は、おのこの72バイトです。これによって、 -40°C ~ $+102^{\circ}\text{C}$ の間でバイアスを 2°C ごとに調整することができます。 -40°C 未満または $+102^{\circ}\text{C}$ を超える温度では、それぞれ -40°C または $+102^{\circ}\text{C}$ の値を採用します。温度テーブルの値は、8ビット、符号なしの値(0~255、10進)であるため、ポテンシオメータを温度の関数として任意の位置に設定することができます。温度LUTは、温度がLUTのスイッチングポイント近傍にある場合にポテンシオメータの位置のチャタリングを防止するために 1°C のヒステリシス(図1)を備えています。表5は、DS1870が温度テーブルのインデックスを温度の関数として決定する方法を示します。

ドレインテーブル(LUT4とLUT5)の数はおのこの64バイトで、これらにはポテンシオメータに対応したドレイン電圧またはドレイン電流のいずれかによってインデックスを付けることができます。VD1制御ビットは V_D または I_{D1} で検出された電圧のいずれかがPOT1 Drain LUTを調整するかを決定し、VD2制御ビットは V_D または I_{D2} で検出された電圧のいずれかがPOT2 Drain LUTを制御するかを決定します。VD1及びVD2制御ビットはメモリテーブル1のレジスタ85hにあります。ドレインテーブルは、温度LUTの値からの相対的なオフセットをアンプのドレイン特性によって決定することが可能な8ビットの符号付きの値(-128 ~ $+127$ 、10進)でプログラムされます。

ドレインLUTは、 V_D 範囲の上半分またはこれに対応する I_{DX} 範囲の下半分のいずれかによってインデックスが

表6. V_D または I_{DX} 値に対応した
LUTアドレス

LUT ADDRESS (hex)	V_D VALUE (hex)	I_{DX} VALUE (hex)
80	≤ 8000	0000
81	8200	0200
82	8400	0400
...
BE	FC00	7C00
BF	$\geq \text{FE}00$	$\geq 7\text{E}00$

付けられます。表6は、 V_D または I_{DX} の値に基づいてインデックスを決定する方法を示します。電圧がスイッチングポイントに近いとき、ポテンシオメータ位置が2つのLUT値の間でチャタリングを発生しないように、0100hに等しいヒステリシスがドレインモニタ(図1)で生成されます。16進の値はDS1870のゲイン及びオフセット較正に関係なく適用可能であるため、ドレインLUTのインデックス値は16進数で指定されます。

マニュアルモード

通常動作中、ポテンシオメータの位置はADCの結果に基づいて各変換サイクルにつき一回自動修正されます。DS1870はB/O_enビットを使用することによって更新機能を一括して停止することもできますが、温度及びドレインLUTインデックスはIndex_enビットを使用することによってマニュアル制御することができます。これらのビットは、メモリテーブル1、バイトAFhのMan DACレジスタ内にあります。これらのビットに関する詳細は、「レジスタの説明」の項に記載されています。

電圧モニタの較正

DS1870は、各アナログ電圧のゲインとオフセットを変更して所望のデジタル出力を生成することができます。入力(V_{CC} 、 V_D 、 I_{D1} 、 I_{D2})のおのこのは、ゲインとオフセット用の専用レジスタ(メモリテーブル1)を備えているため、これらを個別に較正することができます。さらに、DS1870は、温度測定値を補償することが可能な温度オフセットを可能とする機能を備えており、DS1870とバイアスをかけているデバイスとの温度差を補償することができます。

個々の入力に対してコンバータのゲインとオフセットを変更するためには、まずアナログ入力と期待されるデジタル出力の関係を知る必要があります。すべてが0のデジタル出力を発生する入力がナール値(通常、この入力はGNDレベルです)です。すべてが1のデジタル出力(FFF8h)を発生する入力がフルスケール(FS)値です。期待されるFS値は、すべてが1のデジタル

出力にLSBの重みを掛けることによって計算することもできます。

例：FSデジタル読取り値は65,528(FFF8、16進)LSBであるため、LSBの重みが50 μ Vであれば、FS値は65,528 x 50 μ V = 3.2764Vとなります。

コンバータのゲインを較正するために2分探索法が使用されます。この探索では、2つの既知の電圧を入力端子に強制的に加える必要があります。可能であれば、強制的に加える入力電圧の1つはナル入力とし、もう1つはFSの90%とします。デジタル読取りレジスタの最下位ビットのLSBは既知であるため、期待されるデジタル出力はナル入力とフルスケール値の90%の両方に対して計算することができます。

ゲインのスケール変更に使用される2分探索法は、下記の例の擬似コードを用いるとうまく説明することができます。

```

/* Assume that the null input is 0.5V */
/* Assume that the requirement for the LSB is 50 $\mu$ V */
    FS = 65528 * 50e-6;          /*3.2764V */
    CNT1 = 0.5 / 50e-6;         /* 1000 */
    CNT2 = 0.9 * FS / 50e-6;    /* 58981.5 */
/* So the null input is 0.5V and 90% of FS is 2.949V */

Set the input's offset register to zero
gain_result = 0h;             /* Working register for gain
                               calculation */
CLAMP = FFF8h;               /* This is the max ADC value*/
For n = 15 down to 0
begin
    gain_result = gain_result + 2n;
    Write gain_result to the input's
    gain register;
    Force the 90% FS input (2.949V);
    Meas2= ADC result from DS1870;
    If Meas2  $\geq$  CLAMP
    Then
        gain_result = gain_result - 2n;
    Else
        Force the null input (0.5V)
        Meas1 = ADC result from DS1870
        If [(Meas2-Meas1) > (CNT2-CNT1)]
        Then
            gain_result = gain_result - 2n;
end;

Write gain_result to the input's gain
register;
    
```

このようにしてゲインレジスタが設定され、変換の分解能が期待されるLSBに一致します。ゼロ以外のナル値(たとえば、0.5V)が必要な場合は、そのつぎに、入力のオフセットを較正する必要があります。所望のナル値が0Vの場合は、オフセットレジスタを0000hにプログラムしたまま、このステップを省きます。

オフセットレジスタを較正するためには、先に決定したgain_result値を使用してゲインレジスタを設定してください。つぎに、ナル入力電圧(たとえば、0.5V)を強制的に入力してデジタル出力をその部分(Meas1)から読み取ってください。オフセット値は、次式を使用して計算することができます。

$$\text{Offset} = -1 \times \left(\frac{\text{Meas1}}{4} \right)$$

温度モニタのオフセット較正

DS1870の温度センサは、予め較正されているので、使用者側で再調整する必要はありません。しかし、使用者が自システムの特性を決定するために一定のオフセットをDS1870の温度読取り値に加えて別の場所の温度を反映させることは可能です。このためのバイアス供給は不要ですが、それは、温度オフセットはLUT内のデータの位置を調整することによって補償することができるためです。しかし、この機能は、このことを行うと利益を得ることができる使用者にのみ有効です。

温度センサのオフセットを変更するためには、温度|オフセットレジスタに0000hを書き込み、ソースとなるリファレンス温度(T_{ref})を測定し、DS1870を使って温度(T_{DS1870})を読み取ってください。つぎに、次式を使うと温度オフセットレジスタの値を計算することができます。

$$\text{TempOffset} = (64 \times (-275 + T_{ref} - T_{DS1870})) \text{ XOR}_{\text{bitwise}} \text{ BB40h}$$

値が計算されたら、これを温度オフセットレジスタに書き込んでください。

電源投入及び低電圧動作

電源を投入したあと、デバイスは V_{CC} がデジタルパワーオンリセット電圧(V_{POD})を超えるまで非アクティブです。この電圧に達すると、 I^2C 対応インタフェースを含むデジタル回路は機能し得る状態になります。ただし、EEPROMでバックアップされたレジスタ/設定値は、 V_{CC} がアナログパワーオンリセット電圧(V_{POA})を超えるまで内部で読取る(呼び出す)ことができません。それは、 V_{CC} が V_{POA} を越えないと、残りの回路が完全に機能し得る状態にならないからです。 V_{CC} が V_{POA} を超えると、バイト74hのRdybビットが1から0に変化してADCの変換が開始したことを示します。 V_{CC} が V_{POA} 以下に低下するようなことがあると、Rdybビットが再び1として読取られます。デバイスが V_{POA} を超えEEPROMが呼び出されると、 V_{CC} が V_{POD} 以下に低下するまでその値はアクティブな状態(呼び出された状態)を保ちます。

LDMOS RFパワーアンプ用 バイアスコントローラ

DS1870

デバイスの電源が立ち上がる時、 V_{CC} のLOアラームフラグがデフォルトの1に設定され、その後、最初の V_{CC} のAD変換が行われ、その結果に応じてフラグが設定またはクリアされます。 $V_{CC} < V_{POA}$ のときFAULT出力はアクティブです。

メモリの説明

DS1870のメモリマップは、下位メモリ(アドレス00h~7Fh)及び5つのメモリテーブルを含む6つのセクションに分割されています(図2)。メモリテーブルは、テーブル選択バイト(7Fh)に所望のテーブル番号を設定し上位メモリの位置(80h~FFh)にアクセスすることによってアドレスされます。下位メモリは、テーブル選択バイトの状態に関わりなく随時アドレス指定が可能です。下位メモリとメモリテーブル1は、DS1870の設定及びモニタステータスの読取りに使用されます。また、下位メモリは32バイトのユーザメモリを備えています。メモリテーブル2と3は、内部温度センサの読取り値に基づいてバイアス供給に使用されるポテンシオメータの基準位置を含んでいます。メモリテーブル4と5は、ドレイン電圧または個々のドレイン電流モニタのいずれかの関数として基準数値に加えられる相対的なオフセットを含んでいます。レジスタの全リストについては「メモリマップ」を、また各レジスタの詳細については「レジスタの説明」の項をご覧ください。

パスワードメモリの保護

DS1870は、正しいパスワードがパスワードエントリ(PWE)ワード(アドレス78h)に入力されるまでEEメモリのすべてを書込み保護することが可能な2バイトのパスワードを内蔵しています。このため、バイアス設定用の出荷時較正データ、アラームスレシヨルド、及びその他すべてのEEPROM情報の書込み保護が可能です。パスワードは、メモリテーブル1の最初の2バイトであるパスワードレジスタに書き込むことによって設定されます。パスワードの出荷時デフォルト値はFFFFhで、これは電源投入時におけるPWEの出荷時デフォルト値でもあります。すなわち、デバイスは使用者に納入された後、電源を投入する際にロック解除されます。パスワードは、

FFFFh以外の値にプログラムして較正データが書込み保護されるようにしなければなりません。PWEレジスタの読み取り値は、そのプログラムされた値に関わりなく常に0000hとなります。

EEPROM書込みディセーブル

メモリの位置20h~3Fhとテーブル1の位置80h~A7hは、SRAMとEEPROMの二重メモリとなっています。デフォルト($\overline{SEE} = 0$)では、これらの位置が通常のEEPROMとして働きます。これらの位置は、 $\overline{SEE} = 1$ に設定することによって、SRAMセルのように機能しEEPROMの特性劣化を心配せずに無制限の書込みサイクルが可能になります。さらに、これによって、EEPROMの書込み時間に対する要件が排除されます。 $\overline{SEE} = 1$ として行う各種の変更はEEPROMに影響しないため、SRAMの変化は電源のオンオフでは保持されません。電源投入後の値は、 $\overline{SEE} = 0$ として書き込まれる最後の値です。この機能を利用すると、較正中のEEPROMの書込み回数を制限するか、EEPROMの特性劣化を招くことなく通常動作中にモニタスレシヨルドを定期的に変更することができます。 \overline{SEE} ビットは、メモリテーブル1、バイトAFhに常駐します。

メモリマップ

メモリマップの上位部分は、8バイトまたは4ワード(2バイト)列で構成されます。列の先頭アドレスは、マップの最も左の欄に示され、バイト0またはワード0メモリアドレスに等しくなります。次のバイト(バイト1)はつぎに大きいメモリアドレスにあり、次のワード(ワード1)は列の最初のアドレスよりもメモリアドレスが2つ大きくなります。メモリマップの下位部分は、バイトまたはワードを拡張し、バイト/ワード内のビットの名前、または数値情報を含むレジスタのビット重み(2^X)を示します。最上位ビットに「S」を含む数値レジスタは、2の補数に対する符号の拡張を示しています。各バイト/ビットの説明は、「レジスタの説明」の項に記載しています。

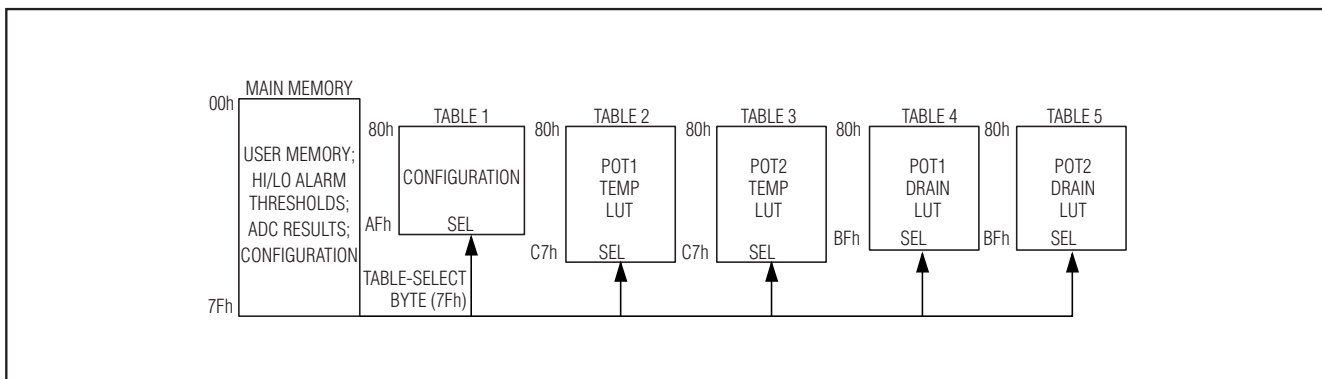


図2. メモリの構成

LDMOS RFパワーアンプ用 バイアスコントローラ

DS1870

LOWER MEMORY																	
ROW (HEX)	ROW NAME	WORD 0		WORD 1		WORD 2		WORD 3									
		BYTE 0	BYTE 1	BYTE 2	BYTE 3	BYTE 4	BYTE 5	BYTE 6	BYTE 7								
00	User Row0	User EE	User EE	User EE	User EE	User EE	User EE	User EE	User EE								
08	User Row1	User EE	User EE	User EE	User EE	User EE	User EE	User EE	User EE								
10	User Row2	User EE	User EE	User EE	User EE	User EE	User EE	User EE	User EE								
18	User Row3	User EE	User EE	User EE	User EE	User EE	User EE	User EE	User EE								
20	Threshold0	Temp Hi Alarm		VCC Hi Alarm		VD Hi Alarm		ID1 Hi Alarm									
28	Threshold1	ID2 Hi Alarm		Reserved		Reserved		Reserved									
30	Threshold2	Temp Lo Alarm		VCC Lo Alarm		VD Lo Alarm		ID1 Lo Alarm									
38	Threshold3	ID2 Lo Alarm		Reserved		Reserved		Reserved									
40		Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved								
48		Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved								
50		Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved								
58		Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved								
60	A2D Value0	Temp Value		VCC Value		VD Value		ID1 Value									
68	A2D Value1	ID2 Value		Reserved		Reserved		Reserved									
70	Status	Hi Alarm	Lo Alarm	Reserved	Reserved	I/O Status	A2D Status	Reserved	Reserved								
78	Table Select	PWE		Reserved	Reserved	Reserved	Reserved	Reserved	Tbl Sel								
EXPANDED BYTES																	
BYTE (HEX)	BYTE NAME	BIT 7		BIT 6		BIT 5		BIT 4		BIT 3		BIT 2		BIT 1		BIT 0	
		BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
00-1F	User EE	EE		EE		EE		EE		EE		EE		EE		EE	
20	Temp Hi Alrm	S	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰	2 ⁻¹	2 ⁻²	2 ⁻³	2 ⁻⁴	2 ⁻⁵	2 ⁻⁶	2 ⁻⁷	2 ⁻⁸
22	VCC Hi Alrm	2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
24	VD Hi Alrm	2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
26	ID1 Hi Alrm	2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
28	ID2 Hi Alrm	2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
30	Temp Lo Alrm	S	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰	2 ⁻¹	2 ⁻²	2 ⁻³	2 ⁻⁴	2 ⁻⁵	2 ⁻⁶	2 ⁻⁷	2 ⁻⁸
32	VCC Lo Alrm	2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
34	VD Lo Alrm	2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
36	ID1 Lo Alrm	2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
38	ID2 Lo Alrm	2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
60	Temp Value	S	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰	2 ⁻¹	2 ⁻²	2 ⁻³	2 ⁻⁴	2 ⁻⁵	2 ⁻⁶	2 ⁻⁷	2 ⁻⁸
62	VCC Value	2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
64	VD Value	2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
66	ID1 Value	2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
68	ID2 Value	2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
70	Hi Alarm	Temp Hi		VCC Hi		VD Hi		ID1 Hi		ID2 Hi		Reserved		Reserved		Reserved	
71	Lo Alarm	Temp Lo		VCC Lo		VD Lo		ID1 Lo		ID2 Lo		Reserved		Reserved		Reserved	
74	I/O Status	Reserved		Reserved		Reserved		Reserved		Fault		Mint		Reserved		Rdyb	
75	A2D Status	Temp Rdy		VCC Rdy		VD Rdy		ID1 Rdy		ID2 Rdy		Reserved		Reserved		Reserved	
78	PWE	2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
7F	Tbl Sel	2 ⁷		2 ⁶		2 ⁵		2 ⁴		2 ³		2 ²		2 ¹		2 ⁰	

LDMOS RFパワーアンプ用 バイアスコントローラ

DS1870

TABLE 1 (CONFIGURATION)

ROW (HEX)	ROW NAME	WORD 0		WORD 1		WORD 2		WORD 3									
		BYTE 0	BYTE 1	BYTE 2	BYTE 3	BYTE 4	BYTE 5	BYTE 6	BYTE 7								
80	Config	Password					LUT Sel	Fault Ena	<i>Reserved</i>								
88	Scale0	<i>Reserved</i>		Vcc Scale		VD Scale		ID1 Scale									
90	Scale1	ID2 Scale		<i>Reserved</i>		<i>Reserved</i>		<i>Reserved</i>									
98	Offset0	<i>Reserved</i>		Vcc Offset		VD Offset		ID1 offset									
A0	Offset1	ID2 Offset		<i>Reserved</i>		<i>Reserved</i>		Temp Offset									
A8	LUT Index	T Index	O1 Index	O2 Index	POT1 base	POT1 off	POT2 base	POT2 off	Man Dac								
EXPANDED BYTES																	
BYTE (HEX)	BYTE NAME	BIT 7		BIT 6		BIT 5		BIT 4		BIT 3		BIT 2		BIT 1		BIT 0	
		BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
80	Password	2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
85	LUT Sel	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	VD2	<i>Reserved</i>	<i>Reserved</i>	VD1
86	Fault Ena	Temp Ena	Vcc Ena	VD Ena	ID1 Ena	ID2 Ena	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>
8A	Vcc	2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
8C	VD Scale	2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
8E	ID1 Scale	2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
90	ID2 Scale	2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
9A	Vcc Offset	S	S	2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²
9C	VD Offset	S	S	2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²
9E	ID1	S	S	2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²
A0	ID2	S	S	2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²
A6	Temp Offset	S	2 ⁸	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰	2 ⁻¹	2 ⁻²	2 ⁻³	2 ⁻⁴	2 ⁻⁵	2 ⁻⁶
A8	T Index	2 ⁷		2 ⁶		2 ⁵		2 ⁴		2 ³		2 ²		2 ¹		2 ⁰	
A9	O1 Index	2 ⁷		2 ⁶		2 ⁵		2 ⁴		2 ³		2 ²		2 ¹		2 ⁰	
AA	O2 Index	2 ⁷		2 ⁶		2 ⁵		2 ⁴		2 ³		2 ²		2 ¹		2 ⁰	
AB	POT1 base	2 ⁷		2 ⁶		2 ⁵		2 ⁴		2 ³		2 ²		2 ¹		2 ⁰	
AC	POT1 off	S		2 ⁶		2 ⁵		2 ⁴		2 ³		2 ²		2 ¹		2 ⁰	
AD	POT2 base	2 ⁷		2 ⁶		2 ⁵		2 ⁴		2 ³		2 ²		2 ¹		2 ⁰	
AE	POT2 off	S		2 ⁶		2 ⁵		2 ⁴		2 ³		2 ²		2 ¹		2 ⁰	
AF	Man DAC	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>SEE</i>	B/O_en	index_en	

LDMOS RFパワーアンプ用 バイアスコントローラ

DS1870

TABLE 2 (POT1 TEMP LUT)									
ROW (HEX)	ROW NAME	WORD 0		WORD 1		WORD 2		WORD 3	
		BYTE 0	BYTE 1	BYTE 2	BYTE 3	BYTE 4	BYTE 5	BYTE 6	BYTE 7
80	LUT	POT1	POT1	POT1	POT1	POT1	POT1	POT1	POT1
88	LUT	POT1	POT1	POT1	POT1	POT1	POT1	POT1	POT1
90	LUT	POT1	POT1	POT1	POT1	POT1	POT1	POT1	POT1
98	LUT	POT1	POT1	POT1	POT1	POT1	POT1	POT1	POT1
A0	LUT	POT1	POT1	POT1	POT1	POT1	POT1	POT1	POT1
A8	LUT	POT1	POT1	POT1	POT1	POT1	POT1	POT1	POT1
B0	LUT	POT1	POT1	POT1	POT1	POT1	POT1	POT1	POT1
B8	LUT	POT1	POT1	POT1	POT1	POT1	POT1	POT1	POT1
C0	LUT	POT1	POT1	POT1	POT1	POT1	POT1	POT1	POT1
C8		<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>
D0		<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>
D8		<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>
E0		<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>
E8		<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>
F0		<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>
F8		<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>
EXPANDED BYTES									
BYTE (HEX)	BYTE NAME	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
80-C7	POT1	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰

LDMOS RFパワーアンプ用 バイアスコントローラ

DS1870

TABLE 3 (POT2 TEMP LUT)

ROW (HEX)	ROW NAME	WORD 0		WORD 1		WORD 2		WORD 3	
		BYTE 0	BYTE 1	BYTE 2	BYTE 3	BYTE 4	BYTE 5	BYTE 6	BYTE 7
80	LUT	POT2	POT2	POT2	POT2	POT2	POT2	POT2	POT2
88	LUT	POT2	POT2	POT2	POT2	POT2	POT2	POT2	POT2
90	LUT	POT2	POT2	POT2	POT2	POT2	POT2	POT2	POT2
98	LUT	POT2	POT2	POT2	POT2	POT2	POT2	POT2	POT2
A0	LUT	POT2	POT2	POT2	POT2	POT2	POT2	POT2	POT2
A8	LUT	POT2	POT2	POT2	POT2	POT2	POT2	POT2	POT2
B0	LUT	POT2	POT2	POT2	POT2	POT2	POT2	POT2	POT2
B8	LUT	POT2	POT2	POT2	POT2	POT2	POT2	POT2	POT2
C0	LUT	POT2	POT2	POT2	POT2	POT2	POT2	POT2	POT2
C8		<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>
D0		<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>
D8		<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>
E0		<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>
E8		<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>
F0		<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>
F8		<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>
EXPANDED BYTES									
BYTE (HEX)	BYTE NAME	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
80-C7	POT2	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰

LDMOS RFパワーアンプ用 バイアスコントローラ

DS1870

TABLE 4 (POT1 DRAIN LUT)

ROW (HEX)	ROW NAME	WORD 0		WORD 1		WORD 2		WORD 3	
		BYTE 0	BYTE 1	BYTE 2	BYTE 3	BYTE 4	BYTE 5	BYTE 6	BYTE 7
80	LUT	POT1 Off	POT1 Off	POT1 Off	POT1 Off	POT1 Off	POT1 Off	POT1 Off	POT1 Off
88	LUT	POT1 Off	POT1 Off	POT1 Off	POT1 Off	POT1 Off	POT1 Off	POT1 Off	POT1 Off
90	LUT	POT1 Off	POT1 Off	POT1 Off	POT1 Off	POT1 Off	POT1 Off	POT1 Off	POT1 Off
98	LUT	POT1 Off	POT1 Off	POT1 Off	POT1 Off	POT1 Off	POT1 Off	POT1 Off	POT1 Off
A0	LUT	POT1 Off	POT1 Off	POT1 Off	POT1 Off	POT1 Off	POT1 Off	POT1 Off	POT1 Off
A8	LUT	POT1 Off	POT1 Off	POT1 Off	POT1 Off	POT1 Off	POT1 Off	POT1 Off	POT1 Off
B0	LUT	POT1 Off	POT1 Off	POT1 Off	POT1 Off	POT1 Off	POT1 Off	POT1 Off	POT1 Off
B8	LUT	POT1 Off	POT1 Off	POT1 Off	POT1 Off	POT1 Off	POT1 Off	POT1 Off	POT1 Off
EXPANDED BYTES									
BYTE (HEX)	BYTE NAME	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
80-BF	POT1 Off	S	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰

TABLE 5 (POT2 DRAIN LUT)

ROW (HEX)	ROW NAME	WORD 0		WORD 1		WORD 2		WORD 3	
		BYTE 0	BYTE 1	BYTE 2	BYTE 3	BYTE 4	BYTE 5	BYTE 6	BYTE 7
80	LUT	POT2 Off	POT2 Off	POT2 Off	POT2 Off	POT2 Off	POT2 Off	POT2 Off	POT2 Off
88	LUT	POT2 Off	POT2 Off	POT2 Off	POT2 Off	POT2 Off	POT2 Off	POT2 Off	POT2 Off
90	LUT	POT2 Off	POT2 Off	POT2 Off	POT2 Off	POT2 Off	POT2 Off	POT2 Off	POT2 Off
98	LUT	POT2 Off	POT2 Off	POT2 Off	POT2 Off	POT2 Off	POT2 Off	POT2 Off	POT2 Off
A0	LUT	POT2 Off	POT2 Off	POT2 Off	POT2 Off	POT2 Off	POT2 Off	POT2 Off	POT2 Off
A8	LUT	POT2 Off	POT2 Off	POT2 Off	POT2 Off	POT2 Off	POT2 Off	POT2 Off	POT2 Off
B0	LUT	POT2 Off	POT2 Off	POT2 Off	POT2 Off	POT2 Off	POT2 Off	POT2 Off	POT2 Off
B8	LUT	POT2 Off	POT2 Off	POT2 Off	POT2 Off	POT2 Off	POT2 Off	POT2 Off	POT2 Off
EXPANDED BYTES									
BYTE (HEX)	BYTE NAME	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
80-BF	POT2 Off	S	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰

LDMOS RFパワーアンプ用 バイアスコントローラ

DS1870

レジスタの説明

レジスタの説明は、レジスタの列アドレスに従うように構成され、下位メモリから始めて各ルックアップテーブルを順番に進みます。以下に、レジスタの説明形式が示されています。

テーブル名

列の名前

バイトの名前	<Access><Volatility><Power-On/ Factor Default Values> バイトの機能説明
a) ビットX	ビットXの説明
b) ビットY	ビットYの説明

各バイトの名前に続く**アクセス値**は、レジスタの読取り/書込みアクセスを定義します。可能な値は、読取り専用(R)、書込み専用(W)、及び読取り—書込み(R/W)です。**揮発性**パラメータは、メモリが揮発性(V)または不揮発性(NV)のいずれであるかを定義します。一部のレジスタは、DS1870によって測定または検出された値に対応します。これらのパラメータは、読取り専用で、その値は不定であるためNAと記述されます。**パワーオン**の値は揮発性レジスタのデフォルト状態で、**出荷時デフォルト**値はEEPROMメモリがダラスセミコンダクタから出荷される前に工場プログラムされる値です。

LOWER MEMORY

User Row

User EE	<R/W><NV><00h>NV EEPROMユーザメモリ。
---------	--------------------------------

Threshold₀

Temp Hi Alarm	<R/W><NV><0000h> この2の補数スレッショルド値を超える温度測定値となった場合は、これに対応するアラームビットを設定します。このスレッショルド値未満の測定値は、アラームビットをクリアします。
Vcc Hi Alarm	<R/W><NV><0000h> この符号なしのスレッショルド値を超えるV _{CC} 入力電圧の測定値となった場合は、これに対応するアラームビットを設定します。このスレッショルド値未満の測定値はアラームビットをクリアします。
VD Hi Alarm	<R/W><NV><0000h> この符号なしのスレッショルド値を超えるV _D 入力電圧の測定値となった場合は、これに対応するアラームビットを設定します。このスレッショルド値未満の測定値はアラームビットをクリアします。
ID1 Hi Alarm	<R/W><NV><0000h> この符号なしのスレッショルド値を超えるI _{D1} 入力電圧の測定値となった場合は、これに対応するアラームビットを設定します。このスレッショルド値未満の測定値はアラームビットをクリアします。

Threshold₁

ID2 Hi Alarm	<R/W><NV><0000h> この符号なしのスレッショルド値を超えるI _{D2} 入力電圧の測定値となった場合は、これに対応するアラームビットを設定します。このスレッショルド値未満の測定値はアラームビットをクリアします。
--------------	---

Threshold₂

Temp Lo Alarm	<R/W><NV><0000h> この2の補数のスレッショルド値未満の温度測定値となった場合は、これに対応するアラームビットを設定します。このスレッショルド値を超える測定値はアラームビットをクリアします。
Vcc Lo Alarm	<R/W><NV><0000h> この符号なしのスレッショルド値未満のV _{CC} 入力電圧の測定値となった場合は、これに対応するアラームビットを設定します。このスレッショルド値を超える測定値はアラームビットをクリアします。
VD Lo Alarm	<R/W><NV><0000h> この符号なしのスレッショルド値未満のV _D 入力電圧の測定値となった場合は、これに対応するアラームビットを設定します。このスレッショルド値を超える測定値はアラームビットをクリアします。
ID1 Lo Alarm	<R/W><NV><0000h> この符号なしのスレッショルド値未満のI _{D1} 入力電圧の測定値となった場合は、これに対応するアラームビットを設定します。このスレッショルド値を超える測定値はアラームビットをクリアします。

LDMOS RFパワーアンプ用 バイアスコントローラ

DS1870

Threshold₃

ID2 Lo Alarm <R/W><NV><0000h> この符号なしのスレッショルド値未満の I_{D2} 入力電圧の測定値となった場合は、これに対応するアラームビットを設定します。このスレッショルド値を超える測定値はアラームビットをクリアします。

A2D Value₀

Temp Value <R><NA><0000h> 符号付き2の補数の温度専用測定値。

Vcc Value <R><NA><0000h> 符号なしの V_{CC} 電圧測定値。

VD Value <R><NA><0000h> 符号なしの V_D 電圧測定値。

ID1 Value <R><NA><0000h> 符号なしの I_{D1} 電圧測定値。

A2D Value₁

ID2 Value <R><NA><0000h> 符号なしの I_{D2} 電圧測定値。

Status

Hi Alarm <R><NA><00h> ハイアラームステータスビット。

- a) Temp Hi 温度測定値のハイアラームステータス。
- b) Vcc Hi V_{CC} 測定値のハイアラームステータス。
- c) VD Hi V_D 測定値のハイアラームステータス。
- d) ID1 Hi I_{D1} 測定値のハイアラームステータス。
- e) ID2 Hi I_{D2} 測定値のハイアラームステータス。

Lo Alarm <R><NA><40h> ローアラームステータスビット。

- a) Temp Lo 温度測定値のローアラームステータス。
- b) Vcc Lo V_{CC} 測定値のローアラームステータス。このビットは、 V_{CC} 電源がPORトリップポイント値未満のときに設定されます。これは、 V_{CC} 測定が完了しかつ値がロースレッショルドを超えているときに、クリアされます。
- c) VD Lo V_D 測定値のローアラームステータス。
- d) ID1 Lo I_{D1} 測定値のローアラームステータス。
- e) ID2 Lo I_{D2} 測定値のローアラームステータス。

I/O Status <R><NA><see below>FAULT端子のステータス。

- a) Fault FAULT端子のロジック値。FAULTは、電源投入中はロジックハイです。
- b) Mint マスク可能な割込み。FAULTはオープンドレイン出力です。FAULTが外部でローにプルダウンされた場合、または外付けプルアップ抵抗器がなかった場合、このビットはDS1870がFAULTピンに出力しようとしているロジック値を表わします。いずれかの「Hi Alarm」または「Lo Alarm」がアクティブで、かつこれに対応する「Fault Ena」ビットがイネーブルされているか、あるいは「RDBY」が1であれば、このビットはアクティブハイです。これ以外の場合、このビットはゼロです。
- c) Rdyb Ready。電源がパワーオンアナログ(V_{POA})トリップポイントを超えているとき、このビットはアクティブローです。そのため、電源が V_{POA} 未満であるか、あるいはI²Cバスで通信するには低すぎる場合、このビットはロジック1になります。

A2D Status <R/W><V><00h> 変換終了のステータス。これらのビットは、電源投入時にクリアされ、各変換が終了すると1となります。これらのビットは新たな変換の終了を確認するために、クリアすることができます。

- a) Temp Rdy 温度変換値の読み取り可能。
- b) Vcc Rdy V_{CC} 変換値の読み取り可能。
- c) VD Rdy V_D 変換値の読み取り可能。
- d) ID1 Rdy I_{D1} 変換値の読み取り可能。
- e) ID2 Rdy I_{D2} 変換値の読み取り可能。

LDMOS RFパワーアンプ用 バイアスコントローラ

DS1870

PWE

PWE <W><V><FFFFh> パスワードエントリ。正しいパスワードがこの位置に書き込まれるまで、書き込み可能なメモリのアドレスは78h~7Fhのみです。これには、PWEとTable_Selectの位置が含まれます。すべてのメモリは、PWE値に関係なく読取り可能です。

TBL Sel <R/W><V><00h> テーブル選択。DS1870は、5つのテーブル(1~5)を備えています。(1~5)の値をこのレジスタに書き込むと、対応するテーブルへのアクセスが可能になります。

TABLE 1(CONFIGURATION)

Config

Password <R/W><NV><FFFFh> PWE値は、この位置に書き込まれた値と比較されます。すべてのEEPROMメモリは、PWEがこのレジスタと一致しない場合、書き込み保護されます。

LUT Sel <R/W><NV><03h> ルックアップテーブルの制御に使用する入力を選択します。

a) VD2 1は、 V_D 入力を選択してPOT2にインテックスを付けるドレインLUTを制御します(テーブル5)。0は、 I_{D2} 入力を選択します。

b) VD1 1は、 V_D 入力を選択してPOT1にインテックスを付けるドレインLUTを制御します(テーブル4)。0は、 I_{D1} 入力を選択します。

Fault Ena <R/W><NV><00h> FAULT端子に対してマスク可能な割込みを設定します。

a) Temp Ena スレッショルド限界値から外れた温度測定値がイネーブルされて、FAULT端子にアクティブな割込みを発生します。

b) Vcc Ena スレッショルド限界値から外れた V_{CC} 測定値がイネーブルされて、FAULT端子にアクティブな割込みを発生します。

c) VD Ena スレッショルド限界値から外れた V_D 測定値がイネーブルされて、FAULT端子にアクティブな割込みを発生します。

d) ID1 Ena スレッショルド限界値から外れた I_{D1} 測定値がイネーブルされて、FAULT端子にアクティブな割込みを発生します。

e) ID2 Ena スレッショルド限界値から外れた I_{D2} 測定値がイネーブルされて、FAULT端子にアクティブな割込みを発生します。

Scale₀

Vcc Scale <R/W><NV><XXXX> V_{CC} 測定値のスケーリングまたはゲインを制御します。 V_{CC} のゲインは、出荷時に6.5535V FSに調整されています。

VD Scale <R/W><NV><XXXX> V_D 測定値のスケーリングまたはゲインを制御します。 V_D のゲインは、出荷時に2.500V FSに調整されています。

ID1 Scale <R/W><NV><XXXX> I_{D1} 測定値のスケーリングまたはゲインを制御します。 I_{D1} のゲインは、出荷時に0.5V FSに調整されています。

Scale₁

ID2 Scale <R/W><NV><XXXX> I_{D2} 測定値のスケーリングまたはゲインを制御します。 I_{D2} のゲインは、出荷時に0.5V FSに調整されています。

Offset₀

Vcc Offset <R/W><NV><0000h> V_{CC} 測定値のオフセット制御が可能です。

VD Offset <R/W><NV><0000h> V_D 測定値のオフセット制御が可能です。

ID1 Offset <R/W><NV><0000h> I_{D1} 測定値のオフセット制御が可能です。

Offset₁

ID2 Offset <R/W><NV><0000h> I_{D2} 測定値のオフセット制御が可能です。

Temp Offset <R/W><NV><0000h> 温度測定値のオフセット制御が可能です。

LUT Index	
T Index	<R><NA><00h> 温度測定値に基づいて計算されたインデックスを保持します。このインデックスは、LUT2と3のアドレスを指定するために使用されます。
O1 Index	<R><NA><00h> V_D または I_{D1} 測定値([LUT Sel]バイトに依存)に基づいて計算されたインデックスを保持します。このインデックスは、LUT4のアドレスを指定するために使用されます。
O2 Index	<R><NA><00h> V_D または I_{D2} 測定値([LUT Sel]バイトに依存)に基づいて計算されたインデックスを保持します。このインデックスは、LUT5のアドレスを指定するために使用されます。
POT1 base	<R><NA><00h> POT1に使用され、「T Index」のメモリアドレスでテーブル2から呼び出される基準値。このレジスタは、温度変換の終りに更新されます。POT1とPOT2に使用する基準(base)とオフセット(offset)がともに同時に更新されて確定されるようにするため、POT1は I_{D2} 変換の終りまでこの値によって更新されません。
POT1 off	<R><NA><00h> POT1に使用され、「O1 Index」のメモリアドレスでテーブル4から呼び出されるオフセット値。[LUT Sel]バイトに書き込まれた値に応じて、このレジスタは V_D または I_{D1} 変換の終りに更新されます。POT1とPOT2に使用する基準とオフセットがともに同時に更新されて確定されるようにするため、POT1は I_{D2} 変換の終りまでこの値によって更新されません。
POT2 base	<R><NA><00h> POT2に使用され、「T Index」のメモリアドレスでテーブル3から呼び出される基準値。このレジスタは、温度変換の終りに更新されます。POT1とPOT2に使用する基準とオフセットがともに同時に更新されて確定されるようにするため、POT2は I_{D2} 変換の終りまでこの値によって更新されません。
POT2 off	<R><NA><00h> POT2に使用され、「O2 Index」のメモリアドレスでテーブル5から呼び出されるオフセット値。[LUT Sel]バイトに書き込まれた値に応じて、このレジスタは V_D または I_{D2} 変換の終りに更新されます。POT1とPOT2に使用する基準とオフセットがともに同時に更新されて確定されるようにするため、POT2は I_{D2} 変換の終りまでこの値によって更新されません。
MAN Dac	<R/W><NA><03h> LUTインデックスまたはポテンシオメータの位置の計算に使用される基準値及びオフセット値のいずれかを使用者が制御することを可能とします。
a) \overline{SEE}	Shadow \overline{EE} 。電源投入時に、このビットはローで、すべてのShadow EEの位置へのEE書き込みをイネーブルします。1を書き込むと、このビットはNV Shadow EEメモリを変更することなく、またEEサイクル時間の終了を待つことなく、デバイスの調整及び/または設定を行うことができます。このビットに0を書き込むと、SRAMの書き込みがEEにコピーされません。シャドウEEの位置は、アドレスが20h~3Fhで、テーブルが180h~A7hです。
b) B/O_en	電源投入時に、このビットはハイで、LUTの自動制御をイネーブルします。このビットに0を書き込むと、POTの基準とオフセットはユーザによる書き込みが可能となり、LUTの呼出しがディセーブルされます。このビットを0とすれば、使用者はPOTの基準及び/またはオフセットを書き込むことによってモジュールを対話形式で試験することができます。POTは、書き込みサイクルの終りに新しい値に更新されます。このためには、4つのレジスタ([POT1 Base]、[POT1 Off]、[POT2 Base]、及び[POT2 Off])はすべて、同じ書き込みサイクルで書き込まれなければなりません。 I^2C のストップ状態が、書き込みサイクルの終りとなります。
c) Index_en	電源投入時に、このビットはハイで、LUTの自動制御をイネーブルします。このビットが0にクリアされると、3つのインデックス値([T Index]、[O1 Index]、及び[O2 Index])は使用者による書き込みが可能になり、計算されたインデックスの更新がディセーブルされます。これで、使用者はルックアップテーブルのインデックス付けを制御することによってモジュールを対話形式で試験することができます。3つのインデックス値はすべて、同じ書き込みサイクルで書き込まれなければなりません。LUTから呼び出された値は、それぞれの対応する変換後に(自動モードの場合とまったく同様に)基準及びオフセットレジスタに現れます。LUTから呼び出された基準及びオフセット値を確実に更新するために、次の温度及び I_{D2} 変換が終了するまで基準及びオフセットの計算値によるポテンシオメータの更新は行われません。両ポテンシオメータは、(自動モードの場合とまったく同様に)同時に更新されます。

LDMOS RFパワーアンプ用 バイアスコントローラ

DS1870

TABLE 2(TEMP LUT FOR POT 1)

バイト 80h~C7h

POT1 <R/W><NV><00h> POT1の符号なし基準値。

TABLE 3(TEMP LUT FOR POT 2)

バイト 80h~C7h

POT2 <R/W><NV><00h> POT2の符号なし基準値。

TABLE 4(DRAIN LUT FOR POT 1)

バイト 80h~B8h

POT1 Off <R/W><NV><00h> POT1の符号付き2の補数オフセット値。

TABLE 5(DRAIN LUT FOR POT 2)

バイト 80h~B8h

POT2 Off <R/W><NV><00h> POT2の符号付き2の補数オフセット値。

I²Cの定義

以下の用語は、I²Cデータ転送の説明に広く使用されます。

マスタデバイス: マスタデバイスは、バス上のスレーブデバイスを制御します。マスタデバイスは、SCLクロックパルスを発生し、スタート状態とストップ状態を生成します。

スレーブデバイス: スレーブデバイスは、マスタの要求に応じてデータを送受信します。

バスアイドルまたは非ビジー: SDAとSCLの両方が非アクティブでロジックハイの状態にあるときのスタートとストップの間の時間。バスがアイドル状態のとき、通常、スレーブデバイスが低電力モードに入ります。

スタート状態: スタート状態は、スレーブとのデータ転送を新たに開始するためにマスタによって生成されます。SCLをハイのままSDAをハイからローに遷移させると、スタート状態となります。スタートのタイミングについては、タイミング図をご覧ください。

ストップ状態: ストップ状態は、スレーブとのデータ

転送を終了するためにマスタによって生成されます。SCLをハイのままSDAをローからハイに遷移させると、ストップ状態が発生します。ストップのタイミングについては、タイミング図をご覧ください。

反復スタート状態: マスタは、1回のデータ転送の終わりに反復スタート状態を利用して、現在のデータ転送に引き続いて行われる新たなデータ転送の開始を知らせることができます。反復スタートは、一般に、データ転送を開始する特定メモリのアドレスを確認するために読取り動作中に利用されます。反復スタート状態は、通常のスタート状態と同様に生成されます。反復スタートのタイミングについては、タイミング図をご覧ください。

ビット書込み: SDAは、SCLがローの状態で遷移する必要があります。SDAのデータは、SCLハイパルスの全期間とセットアップ及びホールド時間の和の期間中、有効であり不変でなければなりません(図3)。データは、SCLの立上りエッジの間に、デバイス内にシフト入力されます。

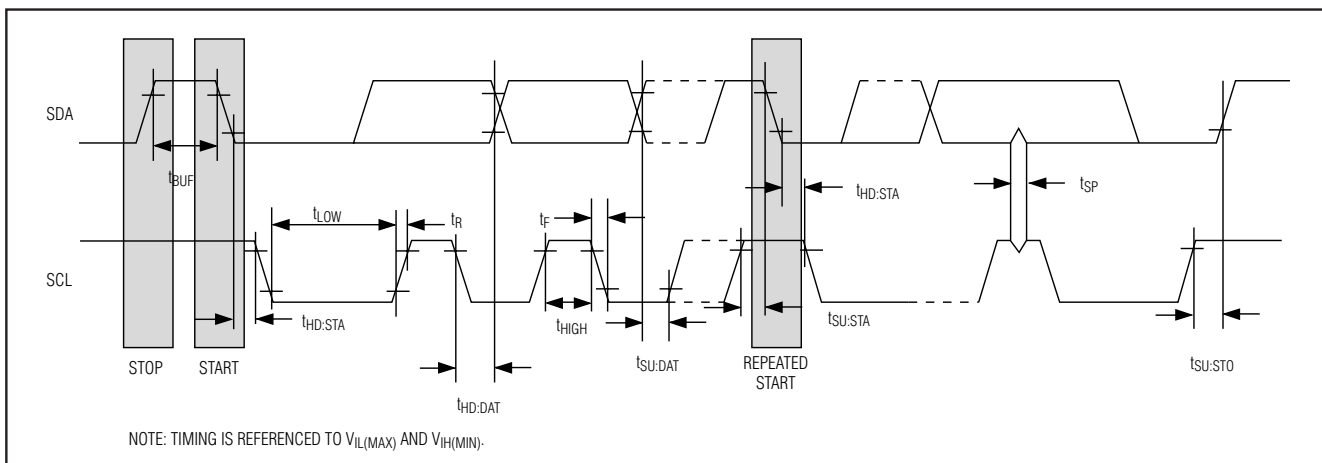


図3. I²Cのタイミング図

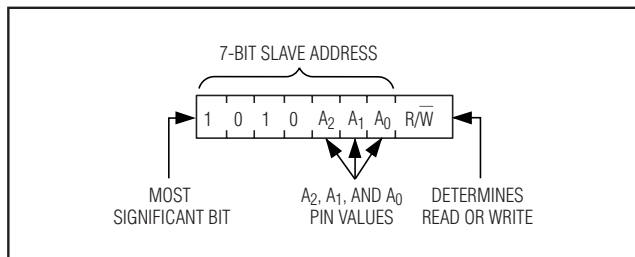


図4. スレーブアドレスバイト

ビット読取り: 書き込み動作の終わりに、マスタは、ビット読取りを行うSCLの次の立上りエッジ前に、適切なセットアップ時間(図3)を確保し、SDAバスラインを開放する必要があります。デバイスはSDAのデータの各ビットを前のSCLパルスの立下りエッジでシフト出力すると、データビットは現在のSCLパルスの立上りエッジで有効になります。スレーブからビットを読取っているときを含め、すべてのSCLクロックパルスはマスタが発生することを忘れないでください。

受信通知(ACKとNACK): 肯定応答(ACK)または否定応答(NACK)は、常に、バイト転送中に送信される9番目のビットです。データを受信するデバイス(読取り中のマスタ、または書き込み動作中のスレーブ)は、9番目のビットの間にゼロを送信することによってACKを実行します。デバイスは、9番目のビットの間に1を送信することによってNACKを実行します。ACKとNACKのタイミング(図3)は、他のすべてのビット書き込みと同じです。ACKは、デバイスがデータを正しく受信していることの通知です。NACKは、読取りシーケンスを終了するため、またはデバイスがデータを受信していないことを示すために使用されます。

バイト書き込み: バイト書き込みは、マスタからスレーブに転送される8ビットの情報(最上位のビットが先)及びスレーブからマスタへの1ビットの肯定応答で構成されます。マスタが送信する8ビットは、ビット書き込みの定義に従って行われ、肯定応答はビット読取りの定義を使用して読取られます。

バイト読取り: バイト読取りは、スレーブからマスタへの8ビット情報の転送、及びマスタからスレーブへの1ビットのACKまたはNACKからなります。スレーブからマスタに転送される(最上位のビットが先)8ビットの情報は、前記のビット読取り定義を使用してマスタによって読取られ、マスタは次のデータバイトを受信するためにビット書き込み定義を使用してACKを送信します。マスタは、スレーブがマスタにSDAの制御権を返すように、終了した通信に対して最終バイト読取りを示すために否定応答する必要があります。

スレーブアドレスバイト: I²Cバス上の各スレーブは、スタート状態に続いて直ちに送信されるスレーブアドレス指定バイトに応答します。スレーブアドレスバイト(図4)には、上位の7ビットのスレーブアドレスと最下位ビットのR/Wビットが含まれています。

DS1870のスレーブアドレスは、1010A₂A₁A₀(2進)

です。ここで、A₂、A₁、及びA₀は、アドレス端子の値です。デバイスは、アドレス端子の設定状態によって最大8個のスレーブアドレスの1つに応答します。R/W = 0として正しいスレーブアドレスを書き込むことによって、マスタはデータをスレーブに書き込むことができますようになります。R/W = 1であれば、マスタはデータをスレーブから読み取ります。不正なスレーブアドレスが書き込まれると、DS1870はマスタが別のI²Cデバイスと通信しているものと判断し、次のスタート条件が送信されるまでその通信を無視します。

メモリアドレス: I²C書き込み動作中に、マスタはメモリアドレスを送信してスレーブによるデータの保存場所を特定する必要があります。メモリアドレスは、必ずスレーブアドレスバイトに続く書き込み動作中に送信される2番目のバイトです。

I²C 通信

スレーブへの単一バイト書き込み: マスタは、スタート状態の発生、スレーブアドレスバイトの書き込み(R/W = 0)、メモリアドレスの書き込み、データバイトの書き込み、及びストップ状態の発生を行う必要があります。マスタは、すべてのバイト書き込み動作中にスレーブの受信通知を確認する必要があります。

スレーブへの複数バイト書き込み: スレーブに複数バイトを書き込むために、マスタは、スタート状態の発生、スレーブアドレスバイトの書き込み(R/W = 0)、メモリアドレスの書き込み、最大8データバイトの書き込み、及びストップ状態の発生を行います。

DS1870は、単一バイト書き込みトランザクションを使って1~8バイト(1ページまたは1列)を書き込みます。これは内部アドレスカウンタによって制御されます。アドレスカウンタを持つことで、各データバイトが送信される前に、メモリアドレスを送信することなくデータを連続したアドレスに書き込むことが可能です。アドレスカウンタは、8バイト構成の1ページ(1列のメモリマップ)に書き込みを制限します。各ページ間でストップ状態を送信せずに次のメモリページに書き込もうとすると、アドレスカウンタが現在の列の始めに干渉します。

例: 3バイトの書き込みは、アドレス06hで始まり、3データバイト(11h、22h、及び33h)を3つの「連続した」アドレスに書き込みます。その結果、アドレス06hと07hはそれぞれ11hと22hを含み、3番目のデータバイト33hはアドレス00hに書き込まれます。

アドレス干渉の発生を防止するために、マスタは、ページの終わりにストップ状態を送信してから、バスの空き、またはEEPROMの書き込み時間の経過を待つ必要があります。その後、マスタは、新たなスタート状態を生成し、スレーブアドレスバイトの書き込み(R/W=0)、及びデータの書き込みを続ける前に次のメモリ列の先頭メモリアドレスの書き込みを行うことができます。

LDMOS RFパワーアンプ用 バイアスコントローラ

DS1870

応答ポーリング: DS1870では、EEPROMページに書き込む場合は常に、ストップ状態の後に、内容を書き込むためのEEPROM書き込み時間(t_W)を必要とします。DS1870は、EEPROM書き込み時間中はビジーであるため、そのスレーブアドレス指定に対する肯定応答を返しません。DS1870のアドレス指定に対する応答の繰り返し現象を利用することにより、DS1870がデータを受信する準備ができると、直ちに次のページの書き込みが可能になります。ポーリングに応答する代わりに、DS1870に再び書き込む前に t_W の最大時間が経過するのを待つこともできます。

EEPROMの書き込みサイクル: EEPROMへの書き込みの際、DS1870は1バイトしか変更しない場合でもEEPROMメモリページ全体を書き込みます。ページの8バイトすべてを変更しない書き込みも可能で、この書き込みによって同じページのメモリの残るバイトが破壊されることはありません。ページ全体が書き込まれるため、トランザクション中に変更されないページのバイトも書き込みサイクルの影響を受けます。こうして、1バイトを繰り返し書き込むことによって、長い間に1ページ全体のEEPROM特性が劣化することになります。1ページに1バイトを一度に書き込むと、ページ全体に一度に書き込む場合よりもEEPROMの特性が8倍早く劣化します。DS1870のEEPROM書き込みサイクルは

「NONVOLATILE MEMORY CHARACTERISTICS」の表に明記されています。記載された仕様は、ワーストケースの温度におけるもので、室温では仕様記載値の約10倍もの書き込み回数が可能です。SEE = 1とするSRAM-shadowed EEPROMメモリへの書き込みは、EEPROMの予想寿命を評価する際にEEPROM書き込みサイクルとみなされません。

スレーブからの単一バイト読取り: データの書き込み先を指定するメモリアドレスバイトを使用する書き込み動作とは異なり、読取り動作はメモリアドレスカウンタの現在値で行われます。スレーブから1バイトを読取るために、マスタはスタート状態の生成、 $R/\bar{W} = 1$ としたスレーブアドレスバイトの書き込み、転送の終了を示すNACKを伴うデータバイトの読取り、及びストップ状態の生成を行います。

読取り用アドレスカウンタの操作: 擬似書き込みサイクルを使用して、アドレスカウンタを特定の値に強制的に設定することができます。これを行うために、マスタは、スタート状態の生成、スレーブアドレスバイトの書き込み($R/\bar{W} = 0$)、読取りを行おうとしているメモリアドレスの書き込み、反復スタート状態の生成、スレーブアドレスバイトの書き込み($R/\bar{W} = 1$)、必要に応じたACKまたはNACKを伴うデータの読取り、及びストップ状態の生成を行います。

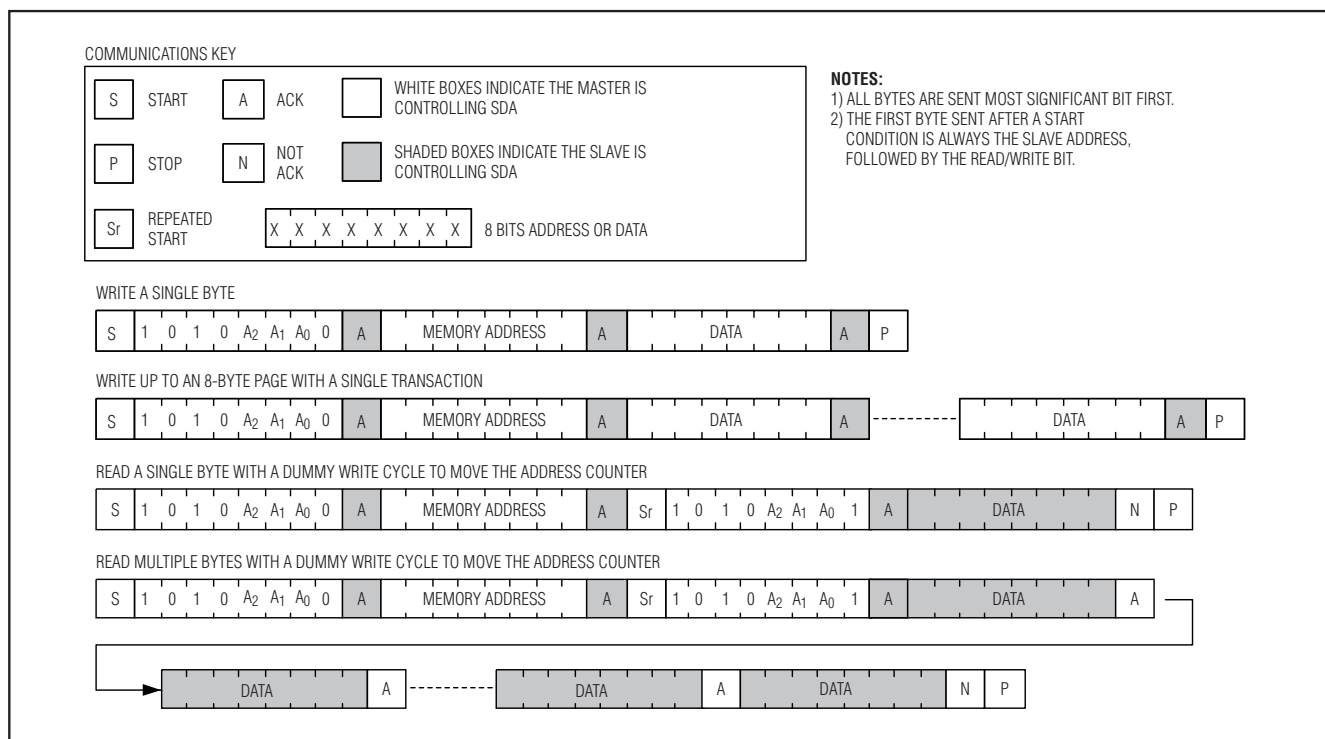
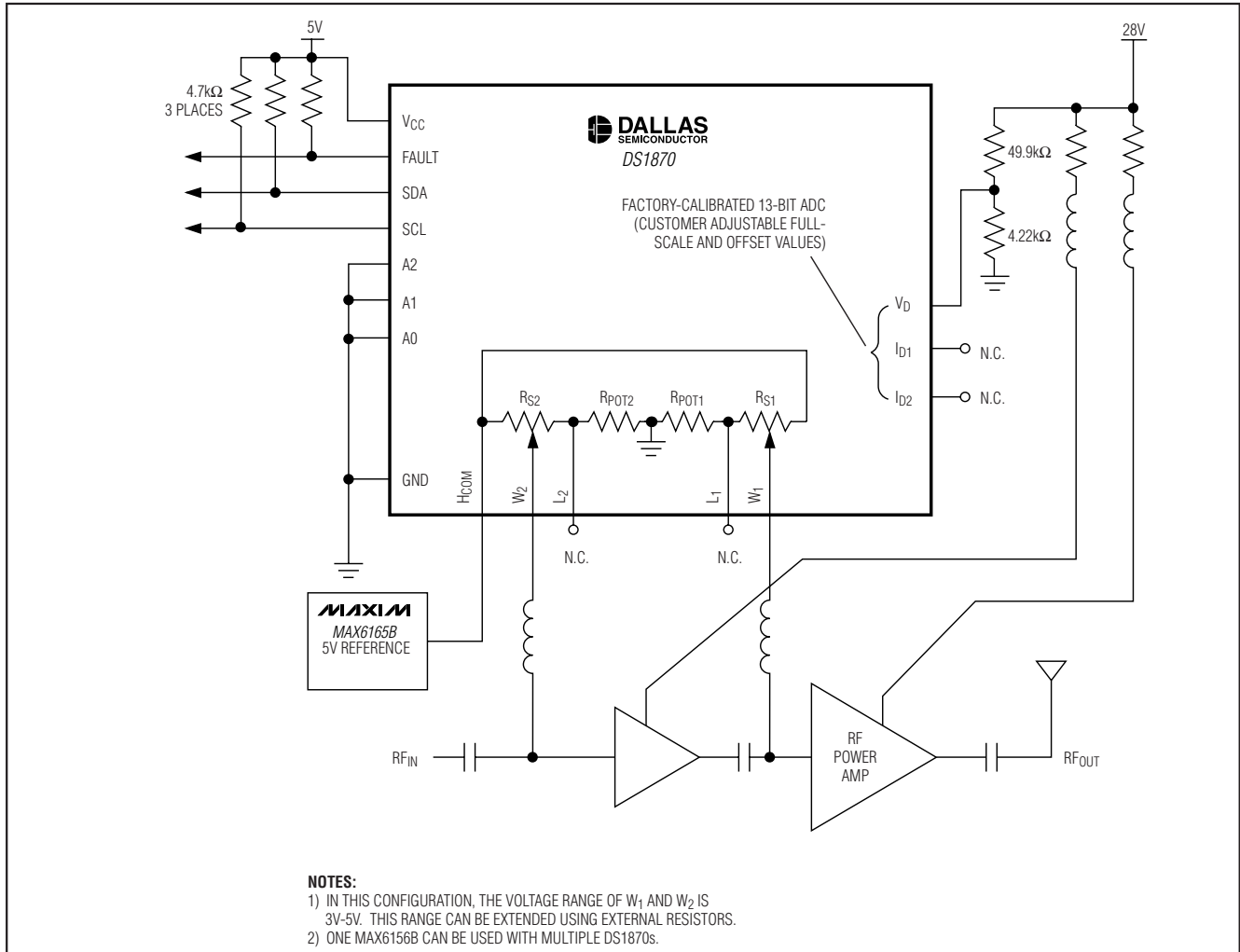


図5. I²C通信の例

LDMOS RFパワーアンプ用 バイアスコントローラ

DS1870

標準動作回路



先頭メモリの位置を指定する反復スタート状態を利用した読取りの例については、図5を参照してください。

スレーブからの複数バイトの読取り: 読取り操作を使用して、単一バイト転送による複数バイトの読取りが可能です。スレーブから複数バイトを読み取る場合、マスタは別のバイトを読み取りたいければ、トランザクションの終了前にそのデータバイトに肯定応答するだけで済みます。マスタは、最終バイトの読取り後、転送の終りを示す否定応答をしてストップ状態を発生します。これは、読取りサイクルの前にアドレスカウンタの位置を変更するか否かに関わらず行うことができます。DS1870のアドレスカウンタは読取

動作中にページの境界に干渉しませんが、読取りトランザクション中に最終メモリの位置が読み取られる場合はカウンタの動作がその最上位のメモリアドレスFFhから00hに進みます。

アプリケーション情報

電源のデカップリング

最良の結果を得るために、電源を0.01 μ Fまたは0.1 μ Fのコンデンサで減結合することを推奨します。高品質の表面実装型セラミックコンデンサを使用しVCC及びGND端子のできる限り近くに取り付けてリードインダクタンスを最小限に抑制してください。

LDMOS RFパワーアンプ用 バイアスコントローラ

DS1870

SDA及びSCLプルアップ抵抗器

SDAは、高いロジックレベルを実現するためにプルアップ抵抗器を必要とするオープンコレクタ出力です。プルアップ抵抗器付きのオープンコレクタ出力、あるいはプッシュプル出力ドライバのいずれかを採用したマスタは、SCLに使用することができます。プルアップ抵抗器の値は、「AC ELECTRICAL CHARACTERISTICS」に記載された立上り及び立下り時間が仕様を満足するように選定する必要があります。

チップのトポロジ

TRANSISTOR COUNT: 52,353

SUBSTRATE CONNECTED TO GROUND

パッケージ

最新のパッケージ情報は、japan.maxim-ic.com/DallasPackInfo をご参照ください。

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

28 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2004 Maxim Integrated Products

MAXIM is a registered trademark of Maxim Integrated Products.