

# ADIS16260/ADIS16265

## 特長

- 測定レンジ可変なヨーレート・ジャイロスコープ
- 設定オプション： $\pm 80^\circ/\text{sec}$ 、 $\pm 160^\circ/\text{sec}$ 、 $\pm 320^\circ/\text{sec}$
- データ収集の開始に外部設定無しでも動作可能
- スタートアップ時間：165 ms
- スリープ・モードからの復帰時間：2.5 ms
- 工場出荷時校正済みの感度とバイアス
- ADIS16265の校正温度範囲： $-40 \sim +85^\circ\text{C}$
- ADIS16260の校正温度範囲： $+25^\circ\text{C}$
- SPI 互換シリアル・インターフェース
- 相対角度変位出力
- 組込み温度センサー
- プログラマブルな動作と制御
  - 自動/マニュアルのバイアス補正制御
  - センサー帯域幅の選択：50 Hz/330 Hz
  - サンプル・レート：256 SPS/2048 SPS
  - パートレット・ウィンドウの FIR フィルタ長、タップ数
  - デジタル I/O：データ・レディ、アラーム・インジケータ、汎用状態監視用のアラーム
  - パワーマネジメントのスリープ・モード
  - DAC 出力電圧
  - シングルコマンドのセルフテスト
- 単電源動作：4.75~5.25 V
- 3.3 V 互換のデジタル・ライン
- 2000 g 衝撃耐性
- 動作温度範囲： $-40 \sim +105^\circ\text{C}$

## アプリケーション

- プラットフォームの制御と安定化
- ナビゲーション
- 医療機器
- ロボット工学

## 概要

ADIS16260/ADIS16265 は、業界最先端の MEMS 技術とシグナル・プロセッシング技術を1つのコンパクト・パッケージに集積したプログラマブル・デジタル・ジャイロスコープです。本製品は、同クラスのほかの MEMS ジャイロスコープであれば高精度な性能を得るためにユーザーにて行う必要がある全モーション補正機能を備えています。デバイスの電源が投入されると自動的にスタートアップしてシステム・プロセッサからの設定コマンド無しでもセンサー・データのサンプリングを開始します。アドレス指定可能なレジスタ構造と通常のシリアル・ペリフェラル・インターフェース (SPI) を使用しているため、センサー・データや設定へのアクセスが容易です。多くのデジタル・プロセッサのプラットフォームが対応している SPI 通信の単純なファームウェア・レベル命令セットにて対応できます。

ADIS16260/ADIS16265 は、システム内の最適化のために複数のプログラマブルな機能を備えています。センサー帯域幅の切替え (50 Hz または 330 Hz)、パートレット・ウィンドウの FIR フィルタ長、サンプル・レートの設定によりノイズと帯域幅の最適化をすることができます。デジタル入出力ラインは、マスタ・プロセッサが一貫したデータを効率的に取得するためのデータ・レディ信号、マスタ・プロセッサへの割込みをトリガするアラーム・インジケータ信号、システムレベルのデジタル制御/状態の設定・監視を行う汎用機能に対応しています。

ADIS16260/ADIS16265 は、ADIS1625x ファミリーの代替品として使用できます。JEDEC J-STD-020 に準拠した鉛フリーのハンダ・リフロー・プロファイル条件を満たす LGA パッケージ (11.2 mm  $\times$  11.2 mm  $\times$  5.5 mm) を採用しています。本製品の拡張動作温度範囲は $-40 \sim +105^\circ\text{C}$ です。

## 機能ブロック図

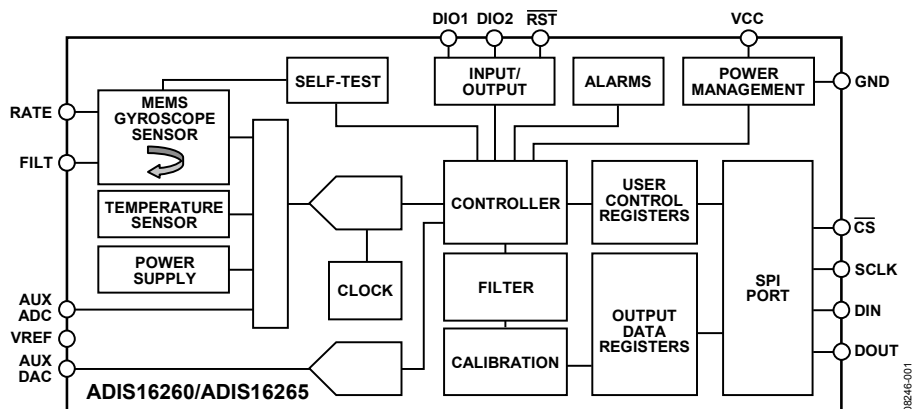


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。  
©2009 Analog Devices, Inc. All rights reserved.

Rev. A

## 目次

特長.....	1	SPI書込みコマンド.....	11
アプリケーション.....	1	SPI読出しコマンド.....	11
概要.....	1	メモリ・マップ.....	12
機能ブロック図.....	1	センサー・データの処理.....	13
改訂履歴.....	2	動作制御.....	13
仕様.....	3	入出力機能.....	15
タイミング仕様.....	5	診断.....	16
絶対最大定格.....	6	製品の識別.....	17
ESDに関する注意.....	6	アプリケーション情報.....	18
ピン配置と機能の説明.....	7	組立て.....	18
代表的な性能特性.....	8	バイアスの最適化.....	18
動作原理.....	9	インターフェースPCボード (PCB).....	18
センシング素子.....	9	外形寸法.....	20
データのサンプリングと処理.....	9	オーダー・ガイド.....	20
ユーザ・インターフェース.....	9		
基本動作.....	10		

## 改訂履歴

### 10/09—Rev. 0 to Rev. A

Added ADIS16260.....	Universal
Changes to Features List and General Description Section.....	1
Changes to Table 1.....	4
Change to Absolute Maximum Ratings Table Section.....	6
Changes to Interface Printed Circuit Board Section.....	18
Changes to Ordering Guide.....	20

### 9/09—Revision 0: Initial Version

## 仕様

特に指定のない限り、 $T_A = -40 \sim +105^\circ\text{C}$ 、 $V_{CC} = 5.0\text{ V}$ 、角速度 =  $0^\circ/\text{sec}$ 、 $\pm 1\text{ g}$ 、 $\pm 320^\circ/\text{sec}$ 。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
SENSITIVITY <sup>1</sup>	Clockwise rotation is positive output				
	25°C, dynamic range = $\pm 320^\circ/\text{sec}^2$		0.07326		$^\circ/\text{sec}/\text{LSB}$
	25°C, dynamic range = $\pm 160^\circ/\text{sec}$		0.03663		$^\circ/\text{sec}/\text{LSB}$
	25°C, dynamic range = $\pm 80^\circ/\text{sec}$		0.01832		$^\circ/\text{sec}/\text{LSB}$
	Initial Tolerance	25°C, dynamic range = $\pm 320^\circ/\text{sec}$		$\pm 0.2$	$\pm 1$
Temperature Coefficient	ADIS16260		125		ppm/ $^\circ\text{C}$
	ADIS16265		25		ppm/ $^\circ\text{C}$
Nonlinearity	Best fit straight line		0.1		% of FS
BIAS					
In-Run Bias Stability	25°C, $1\sigma$		0.007		$^\circ/\text{sec}$
Turn-On-to-Turn-On Bias Stability	25°C, $1\sigma$		0.025		$^\circ/\text{sec}$
Angular Random Walk	25°C, $1\sigma$		2		$^\circ/\sqrt{\text{hour}}$
Temperature Coefficient	ADIS16260		0.03		$^\circ/\text{sec}/^\circ\text{C}$
	ADIS16265		0.005		$^\circ/\text{sec}/^\circ\text{C}$
Linear Acceleration Effect	Any axis		0.2		$^\circ/\text{sec}/\text{g}$
Voltage Sensitivity	$V_{CC} = 4.75\text{ V}$ to $5.25\text{ V}$		0.5		$^\circ/\text{sec}/\text{V}$
NOISE PERFORMANCE					
Output Noise	25°C, $\pm 320^\circ/\text{sec}$ range, no filtering, 50 Hz, 256 SPS		0.4		$^\circ/\text{sec}$ rms
	25°C, $\pm 320^\circ/\text{sec}$ range, no filtering, 330 Hz, 2048 SPS		0.9		$^\circ/\text{sec}$ rms
	25°C, $\pm 160^\circ/\text{sec}$ range, 4-tap filter setting, 50 Hz		0.2		$^\circ/\text{sec}$ rms
	25°C, $\pm 80^\circ/\text{sec}$ range, 16-tap filter setting, 50 Hz		0.1		$^\circ/\text{sec}$ rms
Rate Noise Density	25°C, $f = 25\text{ Hz}$ , $\pm 320^\circ/\text{sec}$ range, no filtering		0.044		$^\circ/\text{sec}/\sqrt{\text{Hz}}$ rms
FREQUENCY RESPONSE					
3 dB Bandwidth	SENS_AVG[7] = 0		50		Hz
	SENS_AVG[7] = 1		330		Hz
Sensor Resonant Frequency			14		kHz
SELF-TEST STATE					
Change for Positive Stimulus	$320^\circ/\text{sec}$ dynamic range setting	+575	+1100	+1500	LSB
Change for Negative Stimulus	$320^\circ/\text{sec}$ dynamic range setting	-575	-1100	-1500	LSB
Internal Self-Test Cycle Time			25		ms
ADC INPUT					
Resolution			12		Bits
Integral Nonlinearity			$\pm 2$		LSB
Differential Nonlinearity			$\pm 1$		LSB
Offset Error			$\pm 4$		LSB
Gain Error			$\pm 2$		LSB
Input Range		0		2.5	V
Input Capacitance	During acquisition		20		pF
ON-CHIP VOLTAGE REFERENCE					
Accuracy	25°C	-10	2.5	+10	V
Temperature Coefficient			$\pm 40$		ppm/ $^\circ\text{C}$
Output Impedance			70		$\Omega$

# ADIS16260/ADIS16265

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DAC OUTPUT	5 k $\Omega$ /100 pF to GND				
Resolution			12		Bits
Relative Accuracy	For Code 101 to Code 4095		4		LSB
Differential Nonlinearity			1		LSB
Offset Error			$\pm 5$		mV
Gain Error			$\pm 0.5$		%
Output Range		0		2.5	V
Output Impedance			2		$\Omega$
Output Settling Time			10		$\mu$ s
LOGIC INPUTS	Internal 3.3 V interface				
Input High Voltage, V <sub>INH</sub>		2.0			V
Input Low Voltage, V <sub>INL</sub>				0.8	V
Logic 1 Input Current, I <sub>INH</sub>	V <sub>IH</sub> = 3.3 V		$\pm 0.2$	$\pm 10$	$\mu$ A
Logic 0 Input Current, I <sub>INL</sub>	V <sub>IL</sub> = 0 V				$\mu$ A
All Except $\overline{\text{RST}}$			-40	-60	$\mu$ A
$\overline{\text{RST}}$	The $\overline{\text{RST}}$ pin has an internal pull-up.		-1		mA
Input Capacitance, C <sub>IN</sub>			10		pF
DIGITAL OUTPUTS	Internal 3.3 V interface				
Output High Voltage, V <sub>OH</sub>	I <sub>SOURCE</sub> = 1.6 mA	2.4			V
Output Low Voltage, V <sub>OL</sub>	I <sub>SINK</sub> = 1.6 mA			0.4	V
SLEEP TIMER					
Timeout Period <sup>3</sup>		0.5		128	sec
START-UP TIME					
Initial Start-Up Time			165		ms
Sleep Mode Recovery			2.5		ms
Flash Update Time			50		ms
Flash Test Process Time	Normal mode, SMPL_PRD[7:0] $\leq$ 0x07		18		ms
	Low power mode, SMPL_PRD[7:0] $\geq$ 0x08		70		ms
FLASH MEMORY					
Endurance <sup>4</sup>		20,000			Cycles
Data Retention <sup>5</sup>	T <sub>J</sub> = 55°C	10			Years
CONVERSION RATE					
Minimum Conversion Time	SMPL_PRD[7:0] = 0x00		0.488		ms
Maximum Conversion Time	SMPL_PRD[7:0] = 0xFF		7.75		sec
Maximum Throughput Rate	SMPL_PRD[7:0] = 0x00		2048		SPS
Minimum Throughput Rate	SMPL_PRD[7:0] = 0xFF		0.129		SPS
POWER SUPPLY					
Operating Voltage Range, V <sub>CC</sub>		4.75	5.0	5.25	V
Power Supply Current	Low power mode, SMPL_PRD[7:0] $\geq$ 0x08		17		mA
	Normal mode, SMPL_PRD[7:0] $\leq$ 0x07		41		mA
	Sleep mode		350		$\mu$ A

<sup>1</sup> ADIS16260/ADIS16265 の特性評価データは $\pm 4\sigma$  ( $\pm 1\%$ の範囲内) を示しています。

<sup>2</sup> 最大保証測定範囲は $\pm 320^\circ/\text{sec}$ です。センサー出力はこの範囲を越える測定が可能ですが、性能は保証されません。

<sup>3</sup> 設計により保証されています。

<sup>4</sup> 耐久性はJEDEC規格 22 Method A117 に準拠し、-40°C、+25°C、+85°C、+125°Cの温度条件で測定しています。

<sup>5</sup> JEDEC規格 22 Method A117 に準拠した、ジャンクション温度 (T<sub>J</sub>) = 55°C時の等価データ保持寿命期間です。データ保持寿命期間は、ジャンクション温度にともなって短くなります。

## タイミング仕様

特に指定のない限り、 $T_A = -40 \sim +85^\circ\text{C}$ 、 $V_{CC} = 5.0\text{ V}$ 。

表 2.

Parameter	Description	Normal Mode (SMPL_PRD[7:0] ≤ 0x07, $f_s \geq 64\text{ Hz}$ )			Low Power Mode (SMPL_PRD[7:0] ≥ 0x08, $f_s \leq 56.9\text{ Hz}$ )			Unit
		Min <sup>1</sup>	Typ	Max	Min	Typ	Max	
$f_{\text{SCLK}}$	Serial clock	0.01		2.5	0.01		1.0	MHz
$t_{\text{DATARATE}}$	Data rate period	32			42			μs
$t_{\text{STALL}}$	Stall period between data	9			12			μs
$t_{\overline{\text{CS}}}$	Chip select to clock edge	48.8			48.8			ns
$t_{\text{DAV}}$	Data output valid after SCLK falling edge <sup>2</sup>			100			100	ns
$t_{\text{DSU}}$	Data input setup time before SCLK rising edge	24.4			24.4			ns
$t_{\text{DHD}}$	Data input hold time after SCLK rising edge	48.8			48.8			ns
$t_{\text{DF}}$	Data output fall time		5	12.5		5	12.5	ns
$t_{\text{DR}}$	Data output rise time		5	12.5		5	12.5	ns
$t_{\text{SFS}}$	$\overline{\text{CS}}$ high after SCLK edge <sup>3</sup>	5			5			ns

<sup>1</sup> 仕様については出荷テストを行っていませんが、設計により保証しています。

<sup>2</sup> このパラメータはMSBにおいて例外です。MSBは $\overline{\text{CS}}$ の立下がりエッジで出力されます。DOUTビットの残りはSCLKの立下がりエッジの後に出力され、この仕様に従います。

<sup>3</sup> LSBを正しく取得するために、このパラメータを長くしなければならないことがあります。 $\overline{\text{CS}}$ がハイレベルになると、DOUTラインは高インピーダンス状態になりません。

## タイミング図

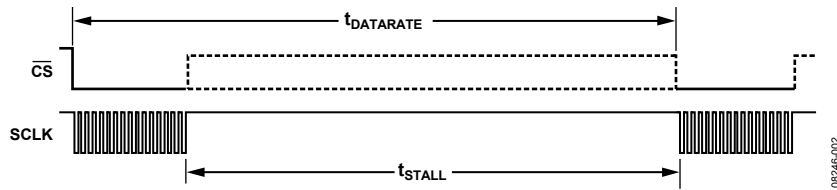


図 2. SPI チップ・セレクトのタイミング

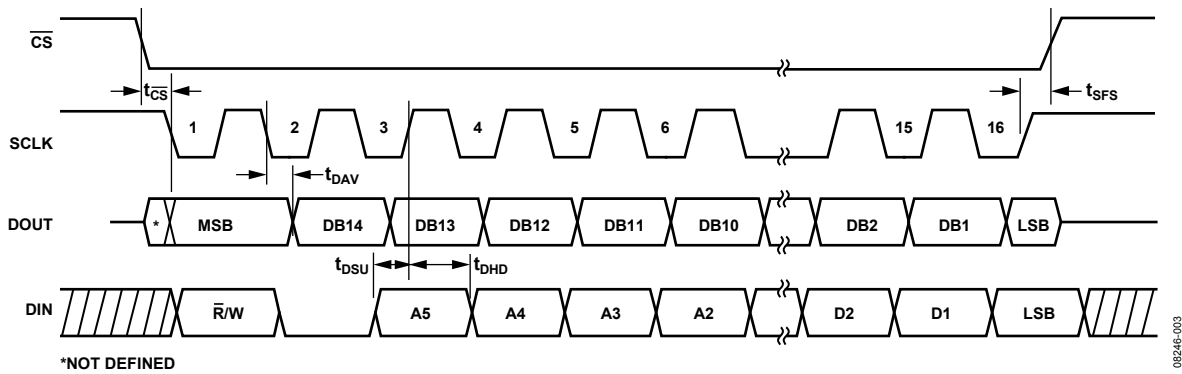


図 3. SPI タイミング (CPOL = 1、CPHA = 1 の一般的な SPI 設定を使用)

# ADIS16260/ADIS16265

## 絶対最大定格

表 3.

Parameter	Rating
Acceleration	
Any Axis, Unpowered, 0.5 ms	2000 g
Any Axis, Powered, 0.5 ms	2000 g
VCC to GND	-0.3 V to +6.0 V
Digital Input/Output Voltage to GND	-0.3 V to +5.5 V
Analog Inputs to GND	-0.3 V to +3.5 V
Operating Temperature Range <sup>1</sup>	-40°C to +125°C
Storage Temperature Range <sup>1</sup>	-65°C to +150°C

<sup>1</sup> -40~+85°Cの規定温度範囲外に長時間放置すると、工場出荷時の校正の精度に悪影響を及ぼす可能性があります。規定の特性を維持するためには、デバイスを規定の-40~+85°Cの動作温度範囲で保管する必要があります。

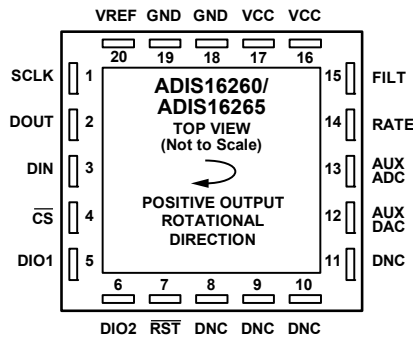
左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

### ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

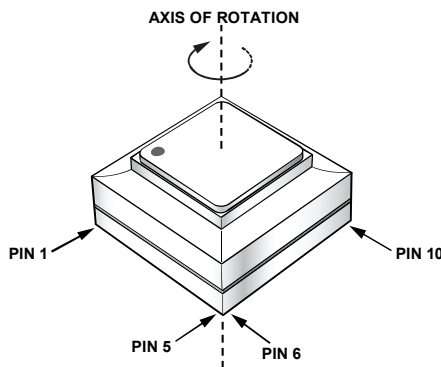
ピン配置と機能の説明



NOTES  
 1. DNC = DO NOT CONNECT.  
 2. THE PINS CANNOT BE SEEN FROM THE TOP. THIS LOOK-THROUGH VIEW OF THEIR LOCATION IS OFFERED FOR REFERENCE IN DEVELOPING PCB PATTERNS.

08246-005

図 4. ピン配置



NOTES  
 1. ARROW INDICATES THE DIRECTION OF ROTATION THAT PRODUCES A POSITIVE RESPONSE IN THE GYRO\_OUT REGISTER.

08246-022

図 5. 軸の向き

表 4. ピン機能の説明

ピン番号	記号	タイプ <sup>1</sup>	説明
1	SCLK	I	SPI シリアル・クロック
2	DOUT	O	SPI データ出力。SCLK 立下がりエッジで出力
3	DIN	I	SPI データ入力。SCLK 立上がりエッジで入力
4	$\overline{\text{CS}}$	I	SPI チップ・セレクト。アクティブ・ロー
5, 6	DIO1, DIO2	I/O	設定可能なデジタル入出力
7	$\overline{\text{RST}}$	I	リセット。アクティブ・ロー
8, 9, 10, 11	DNC		無接続
12	AUX DAC	O	補助 DAC 出力
13	AUX ADC	I	補助 ADC 入力
14	RATE	O	レート出力。帯域幅調整用（出力は仕様規定されていません）
15	FILT	I	フィルタ端子
16, 17	VCC	S	5.0 V 電源
18, 19	GND	S	グラウンド
20	VREF	O	高精度リファレンス出力

<sup>1</sup> I = 入力、I/O = 入出力、O = 出力、S = 電源

## 代表的な性能特性

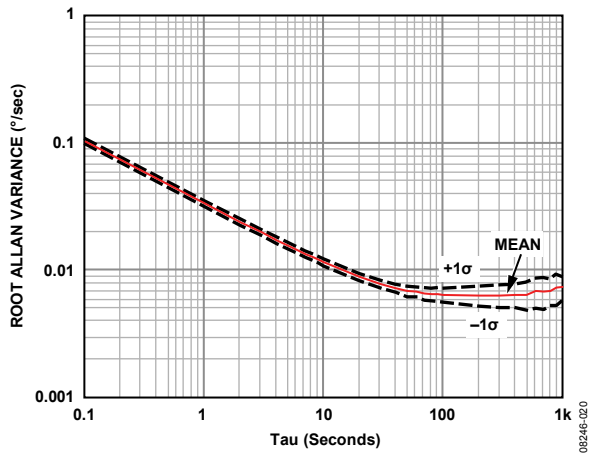


図 6. ジャイロスコープのアラン分散



## 動作原理

ADIS16260/ADIS16265 は、データ・サンプリング、信号処理、補正機能を備えた MEMS ジャイロ스코ープにシンプルなユーザ・インターフェースを統合したデバイスです。このセンシング・システムはデータを自律的に収集し、4 線式シリアル・ペリフェラル・インターフェース (SPI) に対応したプロセッサ・システムであればどれにでも利用できます。

### センシング素子

センシング素子は、振動式ジャイロの原理に基づいて動作します。2 つのポリシリコン・センシング構造のそれぞれにディザ・フレームがあり、これが静電的に共振され、角速度印加時にコリオリ力を発生させます。ディザの動きに直交する各フレームの 2 つの最外縁部に可動式フィンガーを配置し、固定のピックオフ・フィンガーがこれを挟むことにより、コリオリ運動を検知する容量式ピックオフ構造が作られます。ここで生じた信号は一連のゲイン段と復調段に入力され、電気的な出力信号を生成します。線形加速度（重力、振動など）や EMI に対する反応は、差動構造により最小限に抑えられます。

### データのサンプリングと処理

ADIS16260/ADIS16265 は、ユーザ制御レジスタの設定に基づいて自律的に動作します。ジャイロ스코ープのアナログ信号は A/D コンバータ (ADC) に入力され、ここでデジタル化されたデータはコントローラに送信され、データ処理やレジスタへのローディングが行われます。内蔵コントローラのデータ処理機能には、補正式、フィルタリング、プリセット・アラーム状態のチェックなどがあります。ADIS16260/ADIS16265 にはそれぞれ固有の補正式があり、工場出荷時に  $-40 \sim +85^{\circ}\text{C}$  の温度範囲で特性評価が行われています。

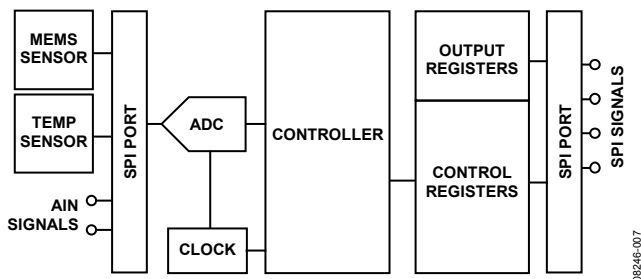


図 7. センサー信号処理の簡略図

## ユーザ・インターフェース

### SPIインターフェース

データ収集コマンドと設定コマンドは、どちらも 4 線式の SPI を使用します。チップ・セレクト (CS) 信号が SPI インターフェースを起動し、シリアル・クロック (SCLK) 信号がシリアル・データ・ラインの同期をとります。シリアル入力データは SCLK の立上がりエッジで DIN にクロック入力され、シリアル出力データは SCLK の立下がりエッジで DOUT からクロック出力されます。デジタル・プロセッサのプラットフォームの多くは、専用のシリアル・ポートとシンプルな命令セットによりこのインターフェースに対応しています。

### ユーザ・レジスタ

ユーザ・レジスタは、SPI インターフェースを経由して、すべての I/O 動作に対しアドレス指定を行うことができます。各 16 ビット・レジスタには、固有のビット割当てがあり、2 つの 7 ビット・アドレスがあります。このうち 1 つは上位バイト、もう 1 つが下位バイトです。表 7 に、ユーザ・レジスタのメモリ・マップと各レジスタの機能を示します。

制御レジスタはデュアル・メモリ構造を利用しています。デバイスがオンのときは SRAM がその動作を制御し、あらゆるユーザ設定入力に対応します。フラッシュ・メモリは、フラッシュ・バックアップがある制御レジスタ (表 7 を参照) の不揮発性記憶領域になります。フラッシュ・メモリに設定データを格納するには、別のコマンド (GLOB\_CMD[3]=1, DIN=0xBE08) が必要になります。デバイスが電源投入またはリセットされると、フラッシュ・メモリの値は SRAM にロードされます。その後、デバイスは制御レジスタの設定に従ってデータ生成を開始します。

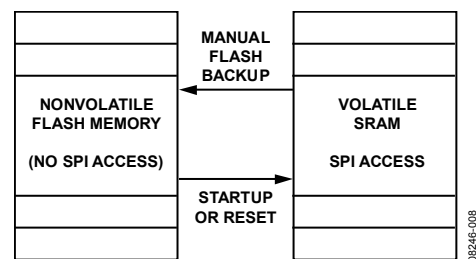


図 8. SRAM/フラッシュ・メモリ図

# ADIS16260/ADIS16265

## 基本動作

ADIS16260/ADIS16265 は、電源、グラウンド、SPI接続（4線式）のみで、データを生成し、外部プロセッサへデータを送信します。図 9に、ADIS16260/ADIS16265 とSPI互換プロセッサ間の接続図を示します。ここでは設定可能なデジタルI/Oラインの 1つが記載されています。MSC\_CTRL[2:0]ビットより、「このラインをデータ・レディ・インジケータに設定できます（「データ・レディ/I/Oインジケータ」を参照）。

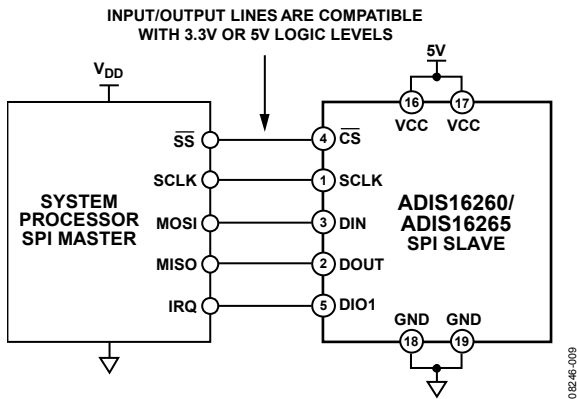


図 9. 電気的接続図

表 5. マスタ・プロセッサの一般的なピン名と機能

ピン名	機能
SS	スレーブ・セレクト
IRQ	割込み要求入力
MOSI	マスタ出力、スレーブ入力
MISO	マスタ入力、スレーブ出力
SCLK	シリアル・クロック

ADIS16260/ADIS16265 のSPIインターフェースはfull-duplexシリアル通信（同時送受信）に対応しており、図 11に示すビット・シーケンスを使用します。一般に、プロセッサのプラットフォームは、制御レジスタの設定に必要な汎用シリアル・ポートによるSPI通信に対応しています。表 6に、ADIS16260/ADIS16265 と通信するプロセッサのシリアル・ポートを初期設定する際に注意すべき代表的な設定を示します。

表 6. マスタ・プロセッサの一般的な SPI 設定

Processor Setting	Description
Master	The ADIS16260 and ADIS16265 operate as slaves
SCLK Rate $\leq 2.5$ MHz	Bit rate setting (SMPL_PRD[7:0] $\leq 0x07$ )
SPI Mode 3	Clock polarity, phase (CPOL = 1, CPHA = 1)
MSB First Mode	Bit sequence
16-Bit Mode	Shift register/data length

ユーザ・レジスタは、すべてのデータ収集と設定を管理します。表 7に、すべてのユーザ・レジスタのメモリ・マップを示し、図 10にはレジスタの一般的なビット割当てを示します。

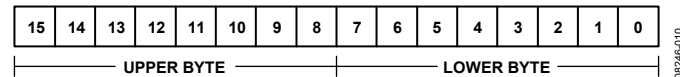
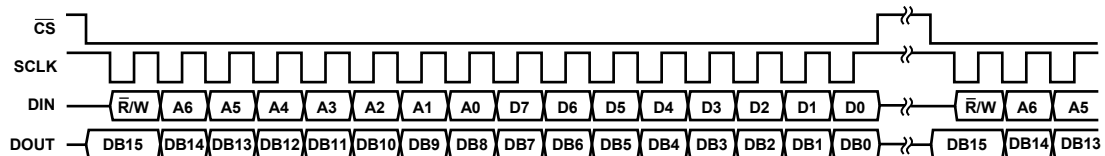


図 10. 一般的なレジスタ・ビット定義



NOTES

1. DOUT BITS ARE BASED ON THE PREVIOUS 16-BIT SEQUENCE ( $\bar{R}/W = 0$ ).

図 11. SPI 通信ビット・シーケンス

## SPI書き込みコマンド

マスタ・プロセッサは、図 11のビット・シーケンスに従って一度に1バイトずつ制御レジスタに書き込みます。設定には、両バイトをレジスタに書き込む場合（アドレスとデータが必要な場合）と、1バイトのみを書き込む場合（アドレスのみの場合）があります。表 7のプログラマブル・レジスタより、センサー動作の最適化やさまざまな自動機能の開始を制御することができます。たとえば、自動バイアス・ゼロ・シーケンスを開始する場合は、DINラインへの入力を行うマスタ・プロセッサのSPI送信レジスタに0xBE01を書き込んでGLOB\_CMD[0]=1に設定します。DINに最終ビット・クロックが入力される、つまり16番目のSCLKの立上がりエッジですぐに処理が開始されます。

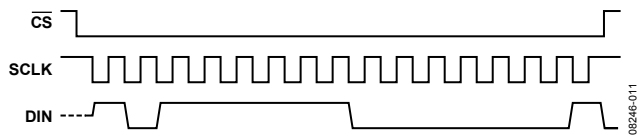


図 12. 自動ゼロ調整の SPI シーケンス (DIN = 0xBE01)

## SPI読出しコマンド

SPIを経由してデータ読出しを行うには、適正な待ち時間で区切られた2つの連続する16ビット・シーケンスが必要となります（図 2を参照）。最初のシーケンスではDINに読出しコマンドとアドレスを送信し、2つ目のシーケンスでDOUTからのデータを受信します。7ビット・レジスタのアドレスは、ターゲット・レジスタの上位または下位バイト・アドレスを表します。図 13 に full-duplex modeでGYRO\_OUTレジスタの読出しを行う例を示します。ここでは、SPI SEGMENT1 においてDIN=0x04にアドレスを送信すると、SPI SEGMENT2 でマスタ・プロセッサはDOUTの出力データDOUT=0x822Bを読み出しています。そして、このタイミングと同時に、同じSCLKパルスを使ってDINに次のアドレスDIN=0x0C (TEMP\_OUT)を送信します。つまり、マスタ・プロセッサは、DOUTの出力データを読み出すと同時に、同じSCLKパルスを使ってDINの次のターゲット・アドレスを送信します。

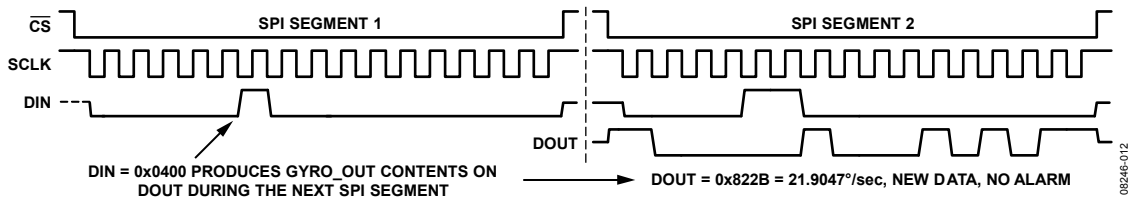


図 13. SPI 読出しシーケンスの例 (レンジ設定:  $\pm 320^\circ/\text{sec}$ )

# ADIS16260/ADIS16265

## メモリ・マップ

未使用のメモリ領域はすべて予備となります。

表 7. ユーザ・レジスタのメモリ・マップ

Name	Access	Flash Backup	Address <sup>1</sup>	Default	Register Description	Bit Assignments
FLASH_CNT	Read only	Yes	0x00	N/A	Flash memory write count	
SUPPLY_OUT	Read only	No	0x02	N/A	Output, power supply measurement	See Table 9
GYRO_OUT	Read only	No	0x04	N/A	Output, rate of rotation measurement	See Table 10
			0x06 to 0x09	N/A	Reserved	
AUX_ADC	Read only	No	0x0A	N/A	Output, analog input channel measurement	See Table 13
TEMP_OUT	Read only	No	0x0C	N/A	Output, internal temperature measurement	See Table 12
ANGL_OUT	Read/write	No	0x0E	N/A	Output, angle displacement	See Table 11
			0x10 to 0x13	N/A	Reserved	
GYRO_OFF	Read/write	Yes	0x14	0x0000	Calibration, offset/bias adjustment	See Table 16
GYRO_SCALE	Read/write	Yes	0x16	0x0800	Calibration, scale adjustment	See Table 17
			0x18 to 0x1F	N/A	Reserved	
ALM_MAG1	Read/write	Yes	0x20	0x0000	Alarm 1 magnitude/polarity setting	See Table 26
ALM_MAG2	Read/write	Yes	0x22	0x0000	Alarm 2 magnitude/polarity setting	See Table 26
ALM_SMPL1	Read/write	Yes	0x24	0x0000	Alarm 1 dynamic rate of change setting	See Table 27
ALM_SMPL2	Read/write	Yes	0x26	0x0000	Alarm 2 dynamic rate of change setting	See Table 27
ALM_CTRL	Read/write	Yes	0x28	0x0000	Alarm control register	See Table 28
			0x2A to 0x2F	N/A	Reserved	
AUX_DAC	Read/write	No	0x30	0x0000	Control, DAC output voltage setting	See Table 22
GPIO_CTRL	Read/write	No	0x32	N/A	Control, digital I/O line	See Table 20
MSC_CTRL	Read/write	Yes	0x34	0x0000	Control, data ready, self-test settings	See Table 21
SMPL_PRD	Read/write	Yes	0x36	0x0001	Control, internal sample rate	See Table 14
SENS_AVG	Read/write	Yes	0x38	0x0402	Control, dynamic range, filtering	See Table 15
SLP_CNT	Read/write	Yes	0x3A	0x0000	Control, sleep mode initiation	See Table 19
DIAG_STAT	Read only	No	0x3C	N/A	Diagnostic, error flags	See Table 25
GLOB_CMD	Write only	No	0x3E	N/A	Control, global commands	See Table 18
			0x40 to 0x51	N/A	Reserved	
LOT_ID1	Read only	Yes	0x52	N/A	Lot Identification Code 1	See Table 31
LOT_ID2	Read only	Yes	0x54	N/A	Lot Identification Code 2	See Table 31
PROD_ID	Read only	Yes	0x56	0x3F89/0x3F84	Product identifier; convert to decimal = 16,265/16,260	See Table 31
SERIAL_NUM	Read only	Yes	0x58	N/A	Serial number	See Table 31

<sup>1</sup> 各レジスタは2バイト構成ですが、ここには下位バイトのアドレスを示しています。上位バイトのアドレスは、下位バイトに1を加えたアドレス値になります。

## センサー・データの処理

表 8 に各出力データ・レジスタのデータ構成を示し、図 14 にフォーマットを示します。読み出していないデータがレジスタに存在する場合は、ND ビットは 1 になります。DIAG\_STAT レジスタのエラー/アラーム・フラグが 1 の場合には、EA ビットはハイレベルになります。

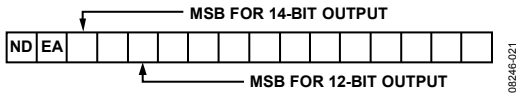


図 14. 出力レジスタのビット割当て

表 8. 出力データ・レジスタのフォーマット

Register	Bits	Scale	Reference
SUPPLY_OUT	12	1.8315 mV	See Table 9
GYRO_OUT <sup>1</sup>	14	0.07326°/sec	See Table 10
ANGL_OUT	14	0.03663°	See Table 11
TEMP_OUT <sup>2</sup>	12	0.1453°C	See Table 12
AUX_ADC	12	610.5 μV	See Table 13

<sup>1</sup> スケールは±320°/secに設定されているものと仮定します。この係数は範囲の設定に比例します。

<sup>2</sup> 0x0000 = 25°C (±5°C)

表 9. SUPPLY\_OUT データのフォーマット例

Supply Voltage (V)	Decimal	Hex	Binary Output
5.25	2867 LSB	0xB33	1011 0011 0011
5.0 + 0.00183	2731 LSB	0xAAB	1010 1010 1011
5.0	2730 LSB	0xAAA	1010 1010 1010
5.0 - 0.00183	2729 LSB	0xAA9	1010 1010 1001
4.75	2594 LSB	0xA22	1010 0010 0010

表 10. GYRO\_OUT データのフォーマット例

Rotation Rate (°/sec) <sup>1</sup>	Decimal	Hex	Binary Output
+320	+4368 LSB	0x1110	01 0001 0001 0000
+0.07326	+1 LSB	0x0001	00 0000 0000 0001
0	0 LSB	0x0000	00 0000 0000 0000
-0.07326	-1 LSB	0x3FFF	11 1111 1111 1111
-320	-4368 LSB	0x2EF0	10 1110 1111 0000

<sup>1</sup> ±320°/secの設定の場合、レート値は範囲の設定に比例します。

表 11. ANGL\_OUT データのフォーマット例

Angle <sup>1</sup>	Decimal	Hex	Binary Output
359.9630°	9827 LSB	0x2663	10 0110 0110 0011
359.9264°	9826 LSB	0x2662	10 0110 0110 0010
0.36630°	10 LSB	0x000A	00 0000 0000 1010
0.03663°	1 LSB	0x0001	00 0000 0000 0001
0°	0 LSB	0x0000	00 0000 0000 0000

<sup>1</sup> 359.963° + 1 LSBは 0x0000 です。

表 12. TEMP\_OUT データのフォーマット例

Temperature	Decimal	Hex	Binary Output
+105°C	+551 LSB	0x227	0010 0010 0111
+25.1453°C	+1 LSB	0x001	0000 0000 0001
+25°C	0 LSB	0x000	0000 0000 0000
+24.8547°C	-1 LSB	0xFFF	1111 1111 1111
-40°C	-447 LSB	0xE41	1110 0100 0001

表 13. AUX\_ADC データのフォーマット例

Input (mV)	Decimal	Hex	Binary Output
2500	4095 LSB	0xFFF	1111 1111 1111
1200	1966 LSB	0x7AE	0111 1010 1110
0.6105	1 LSB	0x001	0000 0000 0001
0	0 LSB	0x000	0000 0000 0000

## 動作制御

### 内部サンプル・レート

SMPL\_PRDレジスタに、表 14のビット割当てを使用することで内部サンプル・レートの調整が行えます。SMPL\_PRD[7:0] = 0x00のとき、内部サンプル・レートは 2048 SPSです。SMPL\_PRD[7:0] ≥ 0x01のときは、表 14のビット定義と次式を使用してサンプル・レートを計算します。

$$f_s = \frac{1}{t_s} \times \frac{1}{t_B \times (N_s + 1)}$$

表 14. SMPL\_PRD ビットの説明

Bits	Description (Default = 0x0001)
[15:8]	Not used
[7]	Time base ( $t_B$ ): 0 = 1.953 ms, 1 = 60.54 ms
[6:0]	Increment setting ( $N_s$ )

# ADIS16260/ADIS16265

## センサー帯域幅

ジャイロスコープのシグナル・チェーンには、周波数応答を整形する複数段のフィルタがあります。図 15 に各フィルタ段のブロック図を示し、表 15 に帯域幅を制御する SENS\_AVG レジスタの構成の一覧を示します。

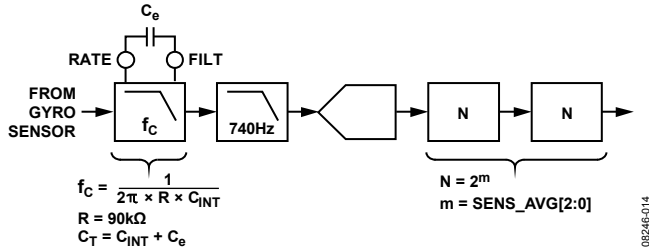


図 15. 信号処理回路のブロック図

表 15. SENS\_AVG ビットの説明

Bits	Description (Default = 0x0402)
[15:11]	Not used.
[10:8]	Measurement range (sensitivity) selection. 100 = ±320°/sec (default condition). 010 = ±160°/sec, filter taps ≥ 4 (Bits[2:0] ≥ 0x02). 001 = ±80°/sec, filter taps ≥ 16 (Bits[2:0] ≥ 0x04).
[7]	Primary pole setting (k). 1: C <sub>INT</sub> = 0.0047 μF (bandwidth = 330 Hz). 0: C <sub>INT</sub> = 0.0377 μF (bandwidth = 50 Hz).
[6:3]	Not used.
[2:0]	Number of taps in each stage; value of m in N = 2 <sup>m</sup> .

## デジタル・フィルタリング

プログラマブル・ローパス・フィルタにより、慣性センサー出力に付加されるノイズを低減することができます。このフィルタは 2 つのカスケード式平均化フィルタを備えており、パートレット・ウィンドウの FIR フィルタ応答を提供します (図 16 を参照)。たとえば、各段を 16 タップに設定する場合は、SENS\_AVG[2:0] = 100 (DIN = 0xB804) に設定します。256 SPS のデフォルト・サンプル・レートで使用すると、この設定により約 5.2 Hz までデジタル・フィルタの帯域幅を低減します。

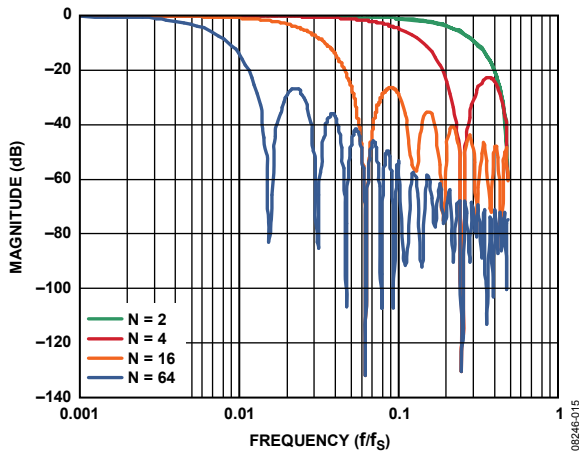


図 16. デジタル・フィルタ周波数、パートレット・ウィンドウの FIR フィルタ (位相 = N サンプル)

## ダイナミック・レンジ

SENS\_AVG[10:8] ビットで、このジャイロスコープに 3 種類のダイナミック・レンジを設定できます。ダイナミック・レンジを小さく設定すると (±80°/sec、±160°/sec)、分解能を維持するために最小のフィルタ・タップ数に自動的に設定されます。(±80°/sec の場合は最小タップ数が 16、±160°/sec の場合は最小タップ数が 4 になります。つまり、±80°/sec の場合は SENS\_AVG[2:0] < 0x04、±160°/sec の場合は SENS\_AVG[2:0] < 0x02 にそれぞれ設定したとしても最小のタップ数が保持されます。) たとえば、±160°/sec の測定範囲の場合には、SENS\_AVG[10:8] = 010 (DIN = 0xB902) に設定した後、更にフィルタリングが必要であれば、SENS\_AVG[2:0] でタップ数を増やし、フィルタの設定を変更することができます。(SENS\_AVG[2:0] は、±80°/sec の場合は 0x04 以上、±160°/sec の場合は 0x02 以上で有効となります。)

## 校正

GYRO\_OFF と GYRO\_SCALE の各レジスタで、オフセットとスケール・ファクタに対してシステム内調整を行うことができます。

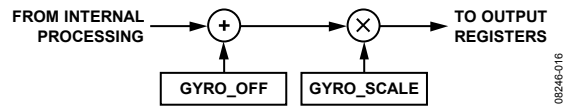


図 17. ユーザ補正レジスタ

表 16. GYRO\_OFF ビットの説明

Bits	Description (Default = 0x0000)
[15:12]	Not used.
[11:0]	Offset adjustment factor, twos complement format, 0.018315°/sec per LSB. Examples: 0x000: Add 0°/sec to gyroscope data. 0x001: Add 0.018315°/sec to gyroscope data. 0x0AA: Add 3.11355°/sec to gyroscope data. 0xF0F: Subtract 4.41392°/sec from gyroscope data. 0xFFF: Subtract 0.018315°/sec from gyroscope data.

表 17. GYRO\_SCALE ビットの説明

Bits	Description (Default = 0x0800)
[15:12]	Not used.
[11:0]	Scale adjustment factor, offset binary format, 0.00048828/LSB. Examples: 0x000: Multiply output by 0. 0x7F0: Multiply gyroscope data by 0.99218. 0x800: Multiply output by 1. 0x8A0: Multiply output by 1.077812. 0xFFF: Multiply output by 1.9995.

## グローバル・コマンド

GLOB\_CMD レジスタは、複数の機能のトリガ・ビットを提供します。指定のビットを 1 に設定すると各動作が開始され、完了するとビット値が 0 に戻ります。たとえば、GLOB\_CMD[7]=1 (DIN = 0xBE80) に設定すると、ソフトウェアのリセットが実行されます。その結果、センサーの動作が終了し、デバイスはスタートアップ・シーケンスを実行します。このシーケンスでは、フラッシュ・メモリ領域内のデータを制御レジスタにロードされ、その後で新規データが生成されます。

表 18. GLOB\_CMD ビットの説明

Bits	Description
[15:8]	Not used.
[7]	Software reset command.
[6:4]	Not used.
[3]	Flash update command.
[2]	Auxiliary DAC data latch.
[1]	Factory calibration restore command.
[0]	Autonull command.

## パワーマネジメント

SMPL\_PRD[7:0] ≥ 0x08 に設定すると、センサーは低消費電力モードになります。低消費電力を必要とするシステムの場合は、システム内の特性評価により、関連する性能のトレードオフを定量化することができます。このモードは、センサーの性能だけでなく、SPI データレートに影響します (表 2 を参照)。SLP\_CNT[7:0] の設定により、デバイスのスリープ・モードの期間を指定できます。たとえば、SLP\_CNT[7:0] = 0x64 (DIN = 0xBA64) と設定すると、ADIS16260/ADIS16265 は 50 秒間スリープ状態になります。

表 19. SLP\_CNT ビットの説明

Bits	Description (Default = 0x0000)
[15:8]	Not used.
[7:0]	Programmable sleep time bits, 0.5 sec/LSB.

## 入出力機能

### 汎用 I/O

DIO1、DIO2 は設定可能な汎用 I/O ラインで、制御レジスタの優先度 (MSC\_CTRL、ALM\_CTRL、GPIO\_CTRL) に従って複数の機能を実行することができます。たとえば、GPIO\_CTRL = 0x0202 (DIN = 0xB302、次に 0xB202) に設定すれば、DIO1 が入力、DIO2 がハイレベルの出力に設定されます。

表 20. GPIO\_CTRL ビットの説明

Bits	Description
[15:10]	Not used.
[9]	General-Purpose I/O Line 2 (DIO2) data level.
[8]	General-Purpose I/O Line 1 (DIO1) data level.
[7:2]	Not used.
[1]	General-Purpose I/O Line 2 (DIO2) direction control. 1 = output, 0 = input.
[0]	General-Purpose I/O Line 1 (DIO1) direction control. 1 = output, 0 = input.

## データ・レディ I/O インジケータ

MSC\_CTRL[2:0] ビットにより、デジタル I/O ラインの 1 つを割り込み駆動用のデータ・レディ信号に設定することができます。たとえば、MSC\_CTRL[2:0] = 100 (DIN = 0xB404) に設定すると、DIO1 は負のパルスのデータ・レディ信号に設定されます。パルス幅はどの条件でも 100~200 μs になります。

表 21. MSC\_CTRL ビットの説明

Bits	Description (Default = 0x0000)
[15:12]	Not used.
[11]	Memory test (cleared upon completion). 1 = enabled, 0 = disabled.
[10]	Internal self-test enable (cleared upon completion). 1 = enabled, 0 = disabled.
[9]	Manual self-test, negative stimulus. 1 = enabled, 0 = disabled.
[8]	Manual self-test, positive stimulus. 1 = enabled, 0 = disabled.
[7:3]	Not used.
[2]	Data ready enable. 1 = enabled, 0 = disabled.
[1]	Data ready polarity. 1 = active high, 0 = active low.
[0]	Data ready line select. 1 = DIO2, 0 = DIO1.

## 補助 DAC

12 ビット AUX\_DAC ラインは、電流をシンクしていないときにグラウンド・リファレンスの 5 mV 以内まで出力を駆動することができます。出力が 0 V に近づくと、直線性が劣化し始め (約 100 LSB から)、シンク電流が増大すると、非直線の範囲も増大します。グローバル・コマンドの DAC ラッチ・コマンドは AUX\_DAC レジスタの値を DAC 入力レジスタに移動して、両バイトの値を同時に有効にし、AUX\_DAC ピンから電圧を出力します。

表 22. AUX\_DAC ビットの説明

Bits	Description (Default = 0x0000)
[15:12]	Not used.
[11:0]	Data bits, scale factor = 0.6105 mV/code. Offset binary format, 0 V = 0 codes.

表 23. AUX\_DAC = 2 V の設定

DIN	Description
0xB0CC	AUX_DAC[7:0] = 0xCC (204 LSB).
0xB10C	AUX_DAC[15:8] = 0x0C (3072 LSB).
0xBE04	GLOB_CMD[2] = 1. Move values into the DAC input register, resulting in a 2 V output level.

# ADIS16260/ADIS16265

## 診断

### セルフテスト

セルフテスト機能は、各 MEMS センサーの機構部の動作を検証することができます。この機能では、各センサー素子に静電気を加え、実際の動きに対する擬似応答として機械的変位が生じます。表 1 に、合否基準となる各センサーの許容される規定値を示します。

内部セルフテスト・ルーチンを実行する場合は、MSC\_CTRL[10] = 1 (DIN = 0xB504) に設定します。これによって、慣性センサーのテストが行われ、各応答を測定し、合否を判定し、DIAG\_STAT レジスタのエラー・フラグに合否結果を報告します。その後、通常動作に復帰します。MSC\_CTRL[10]は、ルーチンが完了すると 0 にリセットされます。MSC\_CTRL[9:8]ビットにより、セルフテスト機能をマニュアル制御で実行し、不具合がないか調べることができます。表 24 は、このオプションを使用してジャイロスコープ機能を確認する場合のテスト・フロー例となります。

表 24. マニュアル・セルフテストのシーケンス例

DIN	Description
0xB601	SMPL_PRD[7:0] = 0x01, sample rate = 256 SPS.
0xB904	SENS_AVG[15:8] = 0x04, gyro range = ±320°/sec.
0xB802	SENS_AVG[7:0] = 0x02, four-tap averaging filter. Delay = 50 ms.
0x0400	Read GYRO_OUT.
0xB502	MSC_CTRL[9:8] = 10, gyroscope negative self-test. Delay = 50 ms.
0x0400	Read GYRO_OUT. Determine whether the bias in the gyroscope output changed according to the self-test response specified in Table 1.
0xB501	MSC_CTRL[9:8] = 01, gyroscope/accelerometer positive self-test. Delay = 50 ms.
0x0400	Read GYRO_OUT. Determine whether the bias in the gyroscope output changed according to the self-test response specified in Table 1.
0xB500	MSC_CTRL[15:8] = 0x00.

静止状態で、最も信頼性の高い結果が得られます。表 24 の設定は柔軟性に優れており、速度やノイズの影響を最適化できます。たとえば、使用するフィルタリング・タップの数を少なくすると遅延時間は短くなりますが、ノイズの影響を受ける可能性が増大します。

### メモリ・テスト

MSC\_CTRL[11] = 1 (DIN = 0xB508) に設定することにより、フラッシュ・メモリと SRAM 間のチェックサム検証を実行できます。合否結果は DIAG\_STAT[6] にロードされます。

## ステータス

エラー・フラグは、一般的なシステム・レベルに対するインジケータ機能を提供します。フラグはすべて、各 DIAG\_STAT レジスタ読み出しサイクルの後でクリア (0 に設定) されます。エラー状態が残っている場合、次のサンプル・サイクル中にエラー・フラグが 1 に戻ります。DIAG\_STAT[1:0]ビットは、このレジスタの読み出しがなくても 0 に戻ります。電源電圧がレンジ内に戻ると、どちらのフラグも自動的にクリアされます。

表 25. DIAG\_STAT ビットの説明

Bits	Description
[15:10]	Not used.
[9]	Alarm 2 status (1 = active, 0 = inactive).
[8]	Alarm 1 status (1 = active, 0 = inactive).
[7]	Not used.
[6]	Flash test, checksum flag (1 = fail, 0 = pass).
[5]	Self-test diagnostic error flag (1 = fail, 0 = pass).
[4]	Sensor overrange (1 = fail, 0 = pass).
[3]	SPI communication failure (1 = fail, 0 = pass).
[2]	Flash update failure (1 = fail, 0 = pass).
[1]	Power supply > 5.25 V. 1 = power supply > 5.25 V, 0 = power supply ≤ 5.25 V.
[0]	Power supply < 4.75 V. 1 = power supply < 4.75 V, 0 = power supply ≥ 4.75 V.

## アラーム・レジスタ

アラーム機能は、2つの独立した状態を監視することができます。ALM\_CTRLレジスタは、データ・ソースの制御入力、(設定値と比較する前の) データ・フィルタリング、静的な比較、動的な変化率の比較、出力インジケータの設定に対応します。ALM\_MAGxレジスタでは、トリガ・スレッシュホールドと極性を設定します。表 29 に、静的アラームの設定方法の一例を示します。ALM\_SMPLxレジスタは、動的変化率の算出に使用するサンプルの数を提供します。期間は、SMPL\_PRDレジスタで指定したサンプル期間とALM\_SMPLxレジスタの数値を乗算した値になります。この機能についてセンサーを設定する方法の例は、表 30 を参照してください。

表 26. ALM\_MAG1, ALM\_MAG2 ビットの説明

Bits	Description (Default = 0x0000)
[15]	Comparison polarity (1 = greater than, 0 = less than).
[14]	Not used.
[13:0]	Data bits that match the format of the trigger source selection.

表 27. ALM\_SMPL1, ALM\_SMPL2 ビットの説明

Bits	Description (Default = 0x0000)
[15:8]	Not used.
[7:0]	Data bits: number of samples (both 0x00 and 0x01 = 1).



表 28. ALM\_CTRL ビットの説明

Bits	Description (Default = 0x0000)
[15]	Rate-of-change enable for Alarm 2 (1 = rate of change, 0 = static level).
[14:12]	Alarm 2 source selection. 000 = disable. 001 = power supply output. 010 = gyroscope output. 011 = not used. 100 = not used. 101 = auxiliary ADC input. 110 = temperature output. 111 = not used.
[11]	Rate-of-change enable for Alarm 1 (1 = rate of change, 0 = static level).
[10:8]	Alarm 1 source selection (same as for Alarm 2).
[7:5]	Not used.
[4]	Comparison data filter setting (1 = filtered data, 0 = unfiltered data).
[3]	Not used.
[2]	Alarm output enable (1 = enabled, 0 = disabled).
[1]	Alarm output polarity (1 = active high, 0 = active low).
[0]	Alarm output line select (1 = DIO2, 0 = DIO1).

表 29. アラーム設定例 1

DIN	Description
0xA922, 0xA817	ALM_CTRL = 0x2217. Alarm 1 input = GYRO_OUT. Alarm 2 input = GYRO_OUT. Static level comparison, filtered data. DIO2 output indicator, positive polarity.
0xA181, 0xA000	ALM_MAG1 = 0x8100. Alarm 1 is true if GYRO_OUT > +18.755°/sec.
0xA33F, 0xA200	ALM_MAG2 = 0x3F00. Alarm 2 is true if GYRO_OUT < -18.755°/sec.

表 30. アラーム設定例 2

DIN	Description
0xA9AA, 0xA804	ALM_CTRL = 0xAA04. Alarm 1 input = GYRO_OUT. Alarm 2 input = GYRO_OUT. Rate-of-change comparison, unfiltered data. DIO1 output indicator, negative polarity.
0xB601	SMPL_PRD = 0x0001. Sample rate = 256 SPS.
0xA40A	ALM_SMPL1[7:0] = 0x000A. Alarm 1 rate-of-change period = 3.906 ms.
0xA60A	ALM_SMPL2[7:0] = 0x000A. Alarm 2 rate-of-change period = 3.906 ms.
0xA181, 0xA000	ALM_MAG1 = 0x8100. Alarm 1 is true if GYRO_OUT changes more than 18.755°/sec over a period of 3.906 ms.
0xA30F, 0xA200	ALM_MAG2 = 0x0F00. Alarm 2 is true if GYRO_OUT changes less than 18.755°/sec over a period of 3.906 ms.

## 製品の識別

表 31に、製品を識別するレジスタの概要を示します。PROD\_ID は製品タイプを識別するもので、LOT\_ID1 と LOT\_ID2 は 32 ビットのロット識別コードを示します。また、SERIAL\_NUM は 16 ビットのシリアル番号です。4つのレジスタ長はすべて 2 バイトです。

表 31. 識別レジスタ

Register Name	Address	Description
LOT_ID1	0x52	Lot Identification Code 1
LOT_ID2	0x54	Lot Identification Code 2
PROD_ID	0x56	Product identification = 0x3F89 or 0x3F84 (0x3F89 = 16,265 decimal; 0x3F84 = 16,260 decimal)
SERIAL_NUM	0x58	Serial number

# ADIS16260/ADIS16265

## アプリケーション情報

### 組立て

ADIS16260/ADIS16265 のPCボードへの実装工程を開発する際には、リフロー温度プロファイルと処理情報に関するJEDEC規格 J-STD-020Cを参照してください。これらの製品は、この規格の鉛フリー工程とSn-Pb工程を利用できます。湿度感度レベル (MSL) の取り扱い条件については、JEDEC J-STD-033を参照してください。これらのデバイスのMSL定格は、静電防止袋に記載されています。この袋は、出荷/取扱い中にデバイスをESDから保護するためのものです。ADIS16260/ADIS16265 の絶対最大定格を上回る衝撃レベルに関しては、組立て前に工程を確認してください。PCボードの分離や超音波洗浄処理によって強度の高い衝撃が加わり、MEMS素子に損傷をもたらす可能性があります。ハンダ・リフロー後にPCボードを曲げたり歪めたりした場合も、パッド構造にせん断応力が加わり、デバイスに損傷を与える可能性があります。これが避けられない場合は、アンダーフィル材料を使用して、このような力をパッケージ下部に分散させる方法を検討してください。図 18は、このパッケージ・タイプに適したPCボード・パッドの設計例です。

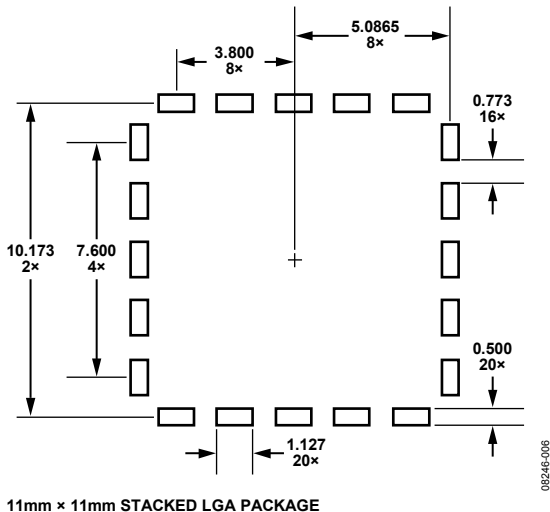


図 18. 推奨パッド・レイアウト (単位: mm)

### バイアスの最適化

熱サイクルなどの環境条件により、初期バイアス精度に影響を及ぼします。次の手順に従って、組立て終了後に 0.007%/sec の in-run bias stability に近い精度までバイアスを微調整してください。

1. 5 V を印加して 10 秒間待ちます
2. 256 SPS のサンプル・レートで 150 秒間データを収集します。
3. このデータの平均値を出してバイアス推定値を求めます。
4. この値に -0.01832 を掛けます。SENS\_AVG[10:8] = 100 (±320%/sec の設定) と仮定します。
5. この値を 14 ビットの 2 の補数コードに変換します。
6. このコードを GYRO\_OFF レジスタに書き込みます。

### インターフェースPCボード (PCB)

ADIS16265/PCBZ は、1.2×1.3 インチの PC ボードに 1 個の ADIS16265BCCZ IC を実装したもので、ADIS16260/PCBZ は 1.2×1.3 インチの PC ボードに 1 個の ADIS16260BCCZ を実装したものです。インターフェース PCB によって、既存のプロセッサ・システムに簡単にデバイスを接続することができます。4 つの取付け穴は、M2 (2 mm) または 2-56 ネジに対応しています。これらのボードはプリント配線基板用材料 IS410 を使用しており、ボード厚は 0.063 インチです。次の組立てでは、SAC305 互換のハンダ組成を使用します。予備ハンダの厚みは約 0.005 インチです。

これらの PCB のパッド・パターンは図 20 のものと同じです。J1 と J2 は 2 列 2 mm (ピッチ) のコネクタであり、3M 製品番号 152212-0100-GB (圧着タイプのリボン・コネクタ)、3M 製品番号 3625/12 (リボン・ケーブル) など、複数のリボン・ケーブル・システムに対応します。図 19 に、ADIS16260/PCBZ と ADIS16265/PCBZ の回路図とコネクタのピン配置を示します。

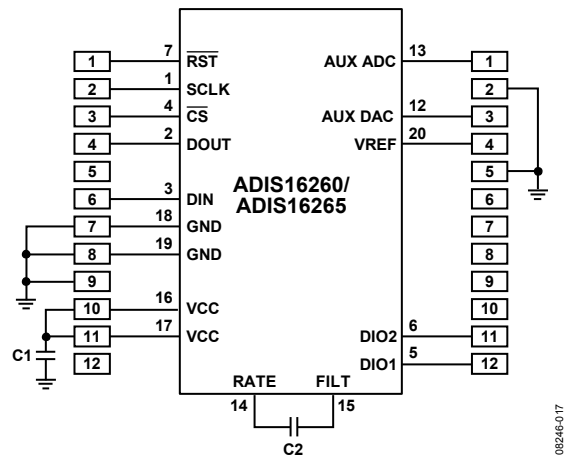
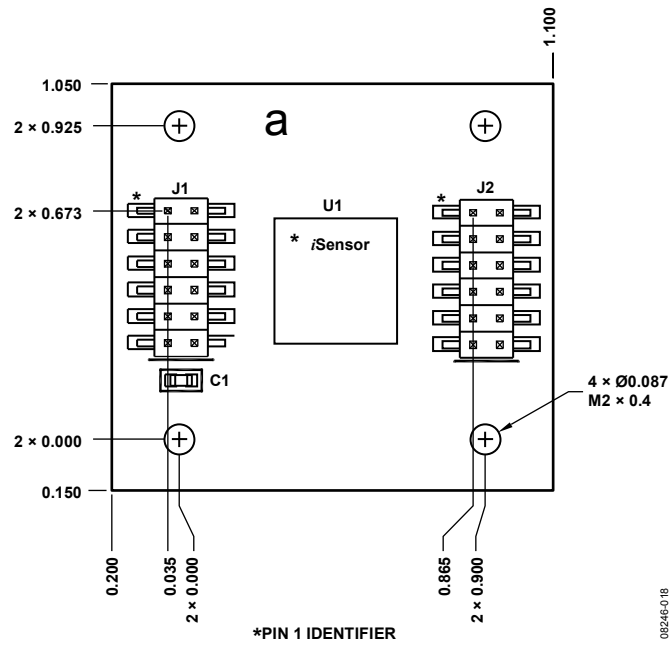


図 19. 電気回路図



08246-01B

図 20. PCB の組立て図と寸法

# ADIS16260/ADIS16265

## 外形寸法

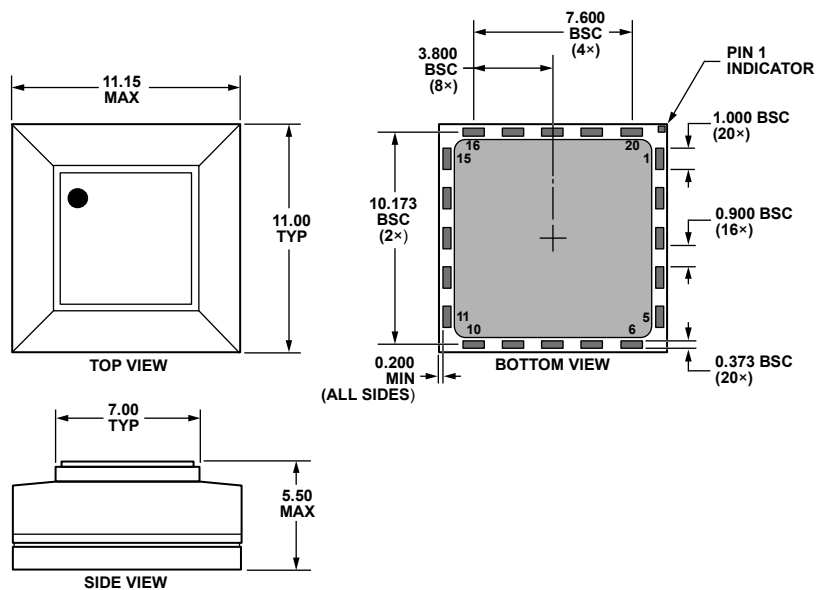


図 21. 20 ピンのスタック型ランド・グリッド・アレイ [LGA]  
(CC-20-1)  
寸法単位：mm

## オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
ADIS16260BCCZ <sup>1</sup>	-40°C to +105°C	20-Terminal Stacked Land Grid Array [LGA]	CC-20-1
ADIS16260/PCBZ <sup>1</sup>		Evaluation Board	
ADIS16265BCCZ <sup>1</sup>	-40°C to +105°C	20-Terminal Stacked Land Grid Array [LGA]	CC-20-1
ADIS16265/PCBZ <sup>1</sup>		Evaluation Board	

<sup>1</sup> Z = RoHS 準拠製品。