

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
 この正誤表は、2017年12月5日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
 なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2017年12月5日

製品名：AD9528

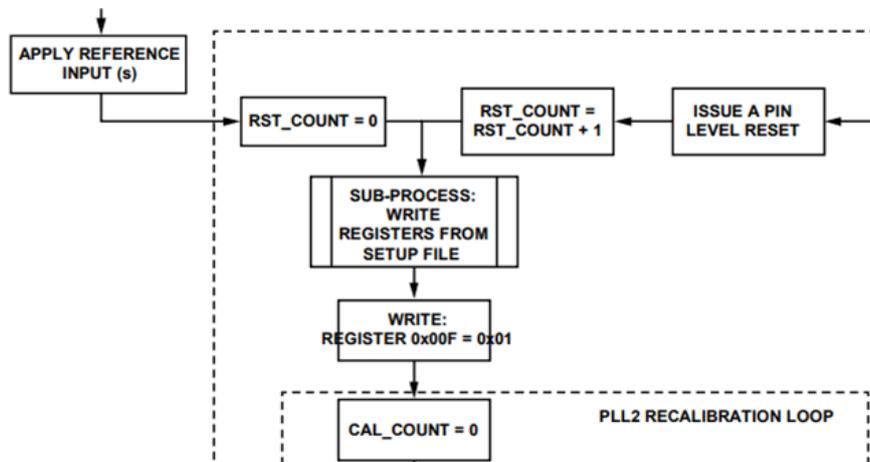
対象となるデータシートのリビジョン(Rev)：日本語版 Rev.0、英語版 Rev.C

訂正箇所：

日本語データシート 41 ページ 図 51、かつ Continuous SYSREF mode 使用時
 英文データシート 42 ページ Figure 52、かつ Continuous SYSREF mode 使用時

【誤】

SYSREF を Continuous mode (Register 0x403, Bits[5:4] = 01。Table 23 参照) に設定し、データシートの Figure 52 通りのシーケンスで初期化しても、SYSREF がアクティブにならない



英文データシート 42 ページ Figure 52 より抜粋

【正】

上記のモードで使用される場合は以下のシーケンスに従ってください。

- 1) Figure 52 の SUB-PROCESS: WRITE REGISTERS FROM SETUP FILE のところで Register 0x32A-0x404 以外のレジスタを書き込む

- 2) IO_UPDATE (0x00F に 0x01 を書き込む。これは Figure 52 にもともと記載のあるシーケンスです)
- 3) Register 0x32A – 0x404 を書き込む。ただし Register 0x403 = 0x90 として、SPI_SYSREF request bit (Table 62 参照) は 0 のままにする
- 4) IO_UPDATE (0x00F に 0x01 を書き込む)
- 5) Register 0x403 = 0x91 を書き込み、SPI_SYSREF request bit を 1 にセットする
- 6) IO_UPDATE (0x00F に 0x01 を書き込む)



14 LVDS/HSTL 出力の JESD204B クロック・ジェネレータ

データシート

AD9528

特長

- HSTL 又は LVDS に設定可能な 14 個の出力
- 最大出力周波数
 - 2 個の出力：最大 1.25 GHz
 - 12 個の出力：最大 1 GHz
- 電圧制御水晶発振器(VCXO)の周波数精度に依存（スタートアップ周波数精度：$\pm 100\text{ ppm}$）
- 各出力に専用 8 ビット分周器
 - 粗遅延：RF VCO 分周器の出力周波数の 1/2 周期で 63 ステップ。ジッタの影響なし
 - 微遅延：31 ps 刻みの 15 ステップ
- 標準的な出力間スキュー：20 ps
- 奇数分周の設定の際のデューティ・サイクル補正
- パワーアップ時、Output 12 と Output 13 は VCXO 出力
- 絶対出力ジッタ：<math>< 160\text{ fs}</math> @122.88 MHz、積分範囲 12 kHz ~ 20 MHz
- デジタル周波数ロック検出
- SPI と I²C 互換のシリアル・コントロール・ポート
- デュアル PLL 構成

PLL1

- 外部 VCXO 使用でリファレンス入力のクロック・クリーンアップを提供
- 最大 110 MHz の位相検出レート
- 冗長なリファレンス入力
- 自動と手動のリファレンス切り替えモード
- 復帰/非復帰の切り替え
- ホールドオーバー・モードでリファレンス喪失の検出
- 無線周波数/中間周波数(RF/IF)シンセサイザに使用される VCXO からの低ノイズ LVDS/HSTL 出力

PLL2

- 最大 275 MHz の位相検出レート
- 低ノイズ VCO を内蔵

アプリケーション

- 高性能ワイヤレス・トランシーバ
- LTE とマルチキャリア GSM のベース・ステーション
- ワイヤレスおよびブロードバンドのインフラストラクチャ
- 医療機器
- 高速な ADC、DAC、DDS、DDC、DUC、MxFE のクロック
 - 駆動：JESD204B に対応
- 低ジッタ、低位相ノイズ・クロックの分配
- ATE と高性能計測機器

機能ブロック図

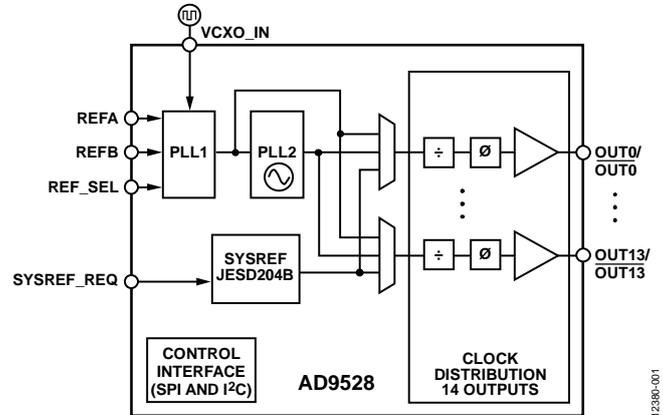


図 1.

概要

AD9528 は JESD204B SYSREF 発生器を内蔵した 2 段 PLL で、複数デバイスの同期をとるために使用されます。1 段目のフェーズ・ロック・ループ (PLL) (PLL1)は入力リファレンス信号処理で、システムクロックに存在するジッタを削減します。2 段目の PLL (PLL2)は、積分ジッタと広帯域ノイズがいずれも抑制された高周波クロックをクロック出力ドライバから出力します。外部 VCXO は、許容される性能の実現に必要な低レベルの位相ノイズとジッタを達成するために PLL2 が必要とする低ノイズ・リファレンスを提供します。オンチップの VCO は、3.450 GHz~4.025 GHz 間でチューニング可能です。内蔵 SYSREF 発生器は複数デバイスのタイミングを同期させるために、PLL1 出力と PLL2 出力に同期した単一ショット、N ショットあるいは連続信号を出力します。

AD9528 は最大周波数 1.25 GHz の 2 出力(Output 1 と Output 2)と最大周波数 1 GHz の 12 出力を生成します。各出力は PLL1、PLL2 あるいは内蔵 SYSREF 発生器から直接出力するように設定する事ができます。14 個の出力チャンネルそれぞれには粗デジタル位相調整とアナログ微位相遅延ブロックを備えた分周器が内蔵されており、14 個の出力全部のタイミングを一致させる事ができるだけの十分な柔軟性を備えています。AD9528 は 14 デバイス・クロックそして/又は SYSREF 信号を分配する 2 入力フレキシブル・バッファとしても使用することができます。パワーアップ時、AD9528 はパワーアップ・レディ・クロックとして機能する VCXO 信号を直接 Output 12 と Output 13 に送ります。

このデータシートを通じて、複数の機能を持つピンの名前は該当する機能で説明されています。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2016 Analog Devices, Inc. All rights reserved.

アナログ・デバイス株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長	1
アプリケーション	1
機能ブロック図	1
概要	1
改訂履歴	2
仕様	3
条件	3
電源電流	3
消費電力	4
入力特性— $\overline{\text{REFA}}$ 、 $\overline{\text{REFB}}$ 、 $\overline{\text{VCXO_IN}}$ 、 $\overline{\text{SYSREF_IN}}$	5
PLL1 特性	5
VCXO_VT 出力特性	6
PLL2 特性	6
CLOCK 分配出力特性	6
出力タイミング整合特性	7
SYSREF_IN、 $\overline{\text{SYSREF_IN}}$ 、VCXO_IN、 $\overline{\text{VCXO_IN}}$ のタイ ミング特性	7
クロック出力の絶対位相ノイズ—デュアル・ループ・モデ ル	8
クロック出力の絶対位相ノイズ—シングル・ループ・モー ド	9
クロック出力の絶対時間ジッタ	10
クロック出力の増加時間ジッタ (バッファ・モード)	11
ロジック入力ピン— $\overline{\text{RESET}}$ 、REF_SEL、SYSREF_REQ	11
ステータス出力ピン—STATUS0 と STATUS1	11
シリアル・コントロール・ポート—SPI モード	12
シリアル・コントロール・ポート—I ² C モード	13
絶対最大定格	14
熱抵抗	14
ESD に関する注意	14
ピン接続と機能の説明	15
代表的な性能特性	18
推奨の入力/出力接続	21
代表的なアプリケーション回路	22
用語	23
動作原理	24

詳細ブロック図	24
概要	24
コンポーネント・ブロック—PLL1	25
コンポーネント・ブロック—PLL2	26
クロック分配	28
SYSREF 動作	31
SYSREF 信号の経路	31
SYSREF 発生器	33
シリアル・コントロール・ポート	34
SPI/I ² C ポートの選択	34
SPI シリアル・ポートの動作	34
I ² C シリアル・ポートの動作	37
デバイスの初期化とキャリブレーションのフローチャート	40
消費電力および熱特性	45
クロック速度とドライバ・モード	45
動作条件の評価	45
熱強化型パッケージの実装に関するガイドライン	46
コントロール・レジスタ・マップ	47
コントロール・レジスタ・マップのビットの説明	51
シリアル・コントロール・ポートの設定 (レジスタ 0x0000 ～レジスタ 0x0001)	51
クロック・デバイス・ファミリー ID (レジスタ 0x0003 ～レ ジスタ 0x0006)	52
SPI バージョン(レジスタ 0x000B)	52
ベンダーID(レジスタ 0x000C ～レジスタ 0x000D)	52
IO_UPDATE (レジスタ 0x000F)	52
PLL1 コントロール (レジスタ 0x0100 ～レジスタ 0x010B)	53
PLL2 (レジスタ 0x0200 ～レジスタ 0x0209)	55
クロック分配(レジスタ 0x300 ～レジスタ 0x0329)	58
パワーダウン・コントロール(レジスタ 0x0500 ～レジスタ 0x0504)	62
ステータス・コントロール (レジスタ 0x0505 ～レジスタ 0x0509)	64
外形寸法	66
オーダー・ガイド	66

改訂履歴

10/14—Revision 0 : 初版

仕様

AD9528 はデュアル・ループ・モードに設定されています。REFA の差動入力 は 122.88 MHz でイネーブル、 $f_{VCO} = 122.88 \text{ MHz}$ のシングルエンド、 $f_{VCO} = 3686.4 \text{ MHz}$ 、VCO 分周器 = 3 となっています。他に指定のない限り、2 倍器とアナログ遅延はオフ、SYSREF 発生器はオンです。他に指定のない限り、標準値は $VDDx = 3.3 \text{ V} \pm 5\%$ 、 $T_A = 25^\circ\text{C}$ の値です。最大値と最小値は、 $VDDx$ と T_A ($-40^\circ\text{C} \sim +85^\circ\text{C}$) の (表 1 に示した) 変動範囲全体での値です。

条件

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
SUPPLY VOLTAGE VDDx ¹	3.135	3.3	3.465	V	3.3 V \pm 5%
TEMPERATURE					
Ambient Temperature Range, T _A	-40	+25	+85	°C	
Junction Temperature, T _J			+115	°C	Refer to the 消費電力および熱特性 section to calculate the junction temperature

¹他に指定のない限り、VDDx には VDD ピン (ピン 1、ピン 10、ピン 16、ピン 20、ピン 72) と VDD13 ピン～VDD0 ピンが含まれます。詳細については、ピンの配置と機能の説明を参照してください。

電源電流

表 2.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
SUPPLY CURRENT					Excludes clock distribution section; clock distribution outputs running as follows: 7 HSTL device clocks at 122.88 MHz, 7 LVDS SYSREF clocks (3.5 mA) at 960 kHz PLL1 and PLL2 enabled
Dual Loop Mode					
VDD (Pin 1, Pin 72)		19	21	mA	
VDD (Pin 10)		29	32	mA	
VDD (Pin 16)		34	37	mA	
VDD (Pin 20)		64	71	mA	
Single Loop Mode					PLL1 off and REFA and REFB inputs off.
VDD (Pin 1, Pin 72)		7	9	mA	122.88 MHz reference source applied to the VCXO inputs (input to PLL2).
VDD (Pin 10)		29	32	mA	
VDD (Pin 16)		34	37	mA	
VDD (Pin 20)		64	71	mA	
Buffer Mode					PLL1 and PLL2 off, REFA and REFB inputs disabled; 122.88 MHz reference source applied to VCXO differential inputs to drive 7 of 14 outputs, internal SYSREF generator off, 960 kHz input source applied to SYSREF differential inputs to drive the other 7 outputs, dividers in clock distribution path bypassed in clock distribution channel
VDD (Pin 1, Pin 72)		17	19	mA	
VDD (Pin 10)		23	25	mA	
VDD (Pin 16)		2	3	mA	
VDD (Pin 20)		15	19	mA	
Chip Power-Down Mode					Chip power-down bit enabled (Register 0x0500, Bit 0 = 1)
VDD (Pin 1, Pin 10, Pin 16, Pin 20, and Pin 72)		15		mA	
SUPPLY CURRENT FOR EACH CLOCK DISTRIBUTION CHANNEL					Each clock output channel has a dedicated VDD pin. The current draw for each VDD pin includes the divider, fine delay, and output driver, fine delay is off; see the ピン 接続と機能の説明 section for pin assignment
LVDS Mode, 3.5 mA					
		21	23	mA	Output = 122.88 MHz, channel divider = 10
		24	26	mA	Output = 409.6 MHz, channel divider = 3
		28	30	mA	Output = 737.28 MHz, channel divider = 1, VCO divider = 5, LVDS boost mode of 4.5 mA recommended
LVDS Boost Mode, 4.5 mA					
		22	24	mA	Output = 122.88 MHz, channel divider = 10
		25	27	mA	Output = 409.6 MHz, channel divider = 3
		29	31	mA	Output = 737.28 MHz, channel divider = 1, VCO divider = 5

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
HSTL Mode, 9 mA		25	27	mA	Output = 122.88 MHz, channel divider = 10
		26	28	mA	Output = 409.6 MHz, channel divider = 3
		29	31	mA	Output = 983.04 MHz, channel divider = 1, VCO divider = 5, VCO = 3932.16 MHz
		37	41	mA	Output = 1228.8 MHz, channel divider = 1, only output channels OUT1 and OUT2 support output frequencies greater than ~1 GHz
Chip Power-Down Mode	2.5	4	mA	For each channel VDD pin, chip power-down bit enabled (Register 0x0500, Bit 0 = 1)	

消費電力

表 3.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
TOTAL POWER DISSIPATION					Does not include power dissipated in termination resistors
Typical Dual Loop Mode Configuration		1675	1780	mW	Differential REFA input at 122.88 MHz; $f_{VCXO} = 122.88$ MHz, $f_{VCO} = 3686.4$ MHz, VCO divider at 3 clock distribution outputs running as follows: 7 HSTL at 122.88 MHz, 7 LVDS (3.5 mA) at 960 kHz
Typical Single Loop Mode Configuration		1635	1810	mW	PLL1 off, differential VCXO input at 122.88 MHz, clock distribution outputs running as follows: 7 HSTL at 122.88 MHz, 7 LVDS (3.5 mA) at 960 kHz
Typical Buffer Mode		1030	1200	mW	PLL1 and PLL2 off, differential VCXO input at 122.88 MHz. SYSREF generator off, differential SYSREF input at 960 kHz; clock distribution outputs running as follows: 7 HSTL at 122.88 MHz, 7 LVDS (3.5 mA) at 960 kHz
Chip Power-Down Mode		65		mW	Chip power-down bit enabled (Register 0x0500, Bit 0 = 1)
RESET Enabled		1015	1200	mW	RESET pin low
INCREMENTAL POWER DISSIPATION					Does not include power dissipated in termination resistors
Low Power Base Configuration		590		mW	Dual loop mode, SYSREF generation and fine delay off; total power with 1 LVDS output running at 122.88 MHz, single-ended REFA at 122.88 MHz; REFB off, VCXO = 122.88 MHz, VCO = 3686.4 MHz
PLL1 OFF		0		mW	Define settings to power off PLL1
Output Distribution					Incremental power increase for each additional enable output
LVDS Mode, 3.5 mA		70		mW	Single 3.5 mA LVDS output at 122.88 MHz, channel divider = 10.
		78		mW	Single 3.5 mA LVDS output at 409.6 MHz, channel divider = 3
		92		mW	Single 3.5 mA LVDS output at 737.28 MHz, VCO divider = 5, channel divider = 1
LVDS Mode, 4.5 mA		73		mW	Single 4.5 mA LVDS output at 122.88 MHz, channel divider = 10
		81		mW	Single 4.5 mA LVDS output at 409.6 MHz, channel divider = 3
		95		mW	Single 4.5 mA LVDS output at 737.28 MHz, VCO divider = 5
HSTL Mode, 9 mA		80		mW	Single 9 mA HSTL output at 122.88 MHz, channel divider = 10
		85		mW	Single 9 mA HSTL output at 409.6 MHz, channel divider = 3
		95		mW	Single 9 mA HSTL output at 983.04 MHz, VCO divider = 5, channel divider = 1
		125		mW	Single 9 mA HSTL output at 1228.8 MHz, channel divider = 1
REFA					
Differential On		72		mW	REFA and REFB running at 122.88 MHz, REF_SEL = REFB
Single-Ended		72		mW	REFA and REFB running at 122.88 MHz, REF_SEL = REFB
SYSREF Generator Enabled		5		mW	Single 3.5 mA LVDS output at 960 kHz
Fine Delay On		1		mW	Maximum delay setting

入力特性— $\overline{\text{REFA}}$ 、 $\overline{\text{REFA}}$ 、 $\overline{\text{REFB}}$ 、 $\overline{\text{REFB}}$ 、 $\overline{\text{VCXO_IN}}$ 、 $\overline{\text{VCXO_IN}}$ 、 $\overline{\text{SYSREF_IN}}$ 、 $\overline{\text{SYSREF_IN}}$

表 4.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
DIFFERENTIAL MODE					
Input Frequency Range			400	MHz	
Input Frequency Range (VCXO_IN)			1250	MHz	For buffer mode
Input Slew Rate (VCXO_IN)	500			V/ μ s	Minimum limit imposed for jitter performance
Common-Mode Internally Generated Input Voltage	0.6	0.7	0.8	V	
Input Common-Mode Range	0.4		1.4	V	DC-coupled LVDS mode and HSTL mode supported
Differential Input Voltage, Sensitivity Frequency < 250 MHz	200			mV p-p	Capacitive coupling required; can accommodate single-ended inputs via ac grounding of unused inputs; instantaneous voltage on either pin must not exceed 1.8 V dc
Differential Input Voltage, Sensitivity Frequency > 250 MHz	250			mV p-p	Capacitive coupling required; can accommodate single-ended inputs via ac grounding of unused inputs; instantaneous voltage on either pin must not exceed 1.8 V dc
Differential Input Resistance		4.8		k Ω	
Differential Input Capacitance		4		pF	
Duty Cycle					Duty cycle limits are set by pulse width high and pulse width low
Pulse Width Low	1			ns	
Pulse Width High	1			ns	
CMOS MODE, SINGLE-ENDED INPUT					
Input Frequency Range			250	MHz	
Input High Voltage	1.4			V	
Input Low Voltage			0.65	V	
Input Capacitance		2		pF	
Duty Cycle					Duty cycle limits are set by pulse width high and pulse width low
Pulse Width Low	1.6			ns	
Pulse Width High	1.6			ns	

PLL1 の特性

表 5.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
PFD FREQUENCY					
			110	MHz	
Charge Pump Current LSB Size		0.5		μ A	7-bit resolution
Reference Frequency Detector Threshold	950			kHz	Do not use automatic holdover if the reference frequency is less than the minimum value

VCXO_VT の出力特性

表 6.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
OUTPUT VOLTAGE					
High	VDD - 0.15			V	R _{LOAD} > 20 kΩ
Low			150	mV	

PLL2 の特性

表 7.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
VCO (ON CHIP)					
Frequency Range	3450		4025	MHz	
Gain		48		MHz/V	
PLL2 FIGURE OF MERIT (FOM)		-226		dBc/Hz	
MAXIMUM PFD FREQUENCY			275	MHz	

クロック分配出力の特性

表 8.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
HSTL MODE					
Output Frequency			1000	MHz	All outputs
Rise Time/Fall Time (20% to 80%)		60	160	ps	Outputs OUT1 and OUT2 only
Duty Cycle					100 Ω termination across output pair
f < 500 MHz	48	50	53	%	
f = 500 MHz to 800 MHz	46	51	54	%	
f = 800 MHz to 1.25 GHz	44	50	62	%	
f = 800 MHz to 1.25 GHz	50		57	%	If using PLL2
Common-Mode Output Voltage	0.88	0.9	0.94	V	
LVDS MODE, 3.5 mA					3.5 mA
Output Frequency			1000	MHz	All outputs
Rise Time/Fall Time (20% to 80%)		50	216	ps	Outputs OUT1 and OUT2 only
Duty Cycle					100 Ω termination across output pair
f < 500 MHz	47	50	53	%	
f = 500 MHz to 800 MHz	46	51	54	%	
f = 800 MHz to 1.25 GHz	48	54	58	%	
Differential Output Voltage Swing					V _{OH} - V _{OL} for each leg of a differential pair for the default amplitude setting with the driver not toggling; the peak-to-peak amplitude measured using a differential probe across the differential pair with the driver toggling is roughly 2× these values (see 表 6 for variation over frequency)
Balanced, Differential Output Swing (VOD)	345		390	mV	Voltage swing between output pins; output driver static
Unbalanced, ΔVOD			3	mV	Absolute difference between voltage swing of normal pin and inverted pin; output driver static
Common-Mode Output Voltage	1.15		1.35	V	
Common-Mode Difference			1.2	mV	Voltage difference between output pins; output driver static
Short-Circuit Output Current		15	19	mA	Output driver static

出力タイミング・アライメントの特性

表 9.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
OUTPUT TIMING SKEW					Delay off on all outputs, maximum deviation between rising edges of outputs; all outputs are on and in HSTL mode, unless otherwise noted
PLL1 Outputs					
PLL1 to PLL1		17	100	ps	PLL1 clock to PLL1 clock
PLL1 to SYSREF		17	100	ps	SYSREF retimed by PLL1 clock
PLL1 to SYSREF		361	510	ps	SYSREF not retimed by any clock
PLL1 to SYSREF		253	1150	ps	SYSREF retimed by PLL2 clock
PLL1 to PLL2		257	1000	ps	PLL1 clock to PLL2 clock
PLL2 Outputs					
PLL2 to PLL2		20	165	ps	PLL2 clock to PLL2 clock
PLL2 to SYSREF		20	165	ps	SYSREF retimed by PLL2 clock
PLL2 to SYSREF		620	750	ps	SYSREF not retimed by any clock
PLL2 to SYSREF		253	1150	ps	SYSREF retimed by PLL1 clock
PLL2 to PLL1		257	1000	ps	PLL2 clock to PLL1 clock
OUTPUT DELAY ADJUST					Enables digital and analog delay capability
Coarse Adjustable Delay		32		Steps	Resolution step is the period of VCO RF divider (M1) output/2
Fine Adjustable Delay		15		Steps	Resolution step
Resolution Step		31		ps	
Insertion Delay		425		ps	Analog delay enabled and delay setting equal to zero

SYSREF_IN、SYSREF_IN、VCXO_IN、VCXO_INのタイミング特性

表 10.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
PROPAGATION LATENCY OF VCXO PATH	1.92	2.3	2.7	ns	VCXO input to device clock output, not retimed
PROPAGATION LATENCY OF SYSREF PATH	1.83	2.2	2.6	ns	SYSREF input to SYSREF output, not retimed
RETIMED WITH DEVICE CLOCK					
Setup Time of External SYSREF Relative to Device Clock Output	-1.13			ns	Given a SYSREF input clock rate equal to 122.88 MHz
Hold Time of External SYSREF Relative to Device Clock Output	0.7			ns	
RETIMED WITH VCXO					
Setup Time of External SYSREF Relative to VCXO Input	-0.21			ns	
Hold Time of External SYSREF Relative to VCXO	0.09			ns	

クロック出力の絶対位相ノイズ—デュアル・ループ・モード

アプリケーション例は外付け 122.88 MHz VCXO (Crystek CVHD-950)を使用した標準的な設定 (表 2 を参照) に基づいています ; リファレンス=122.88 MHz ; チャンネル分周器=10 又は 1 ; PLL2 ループ帯域幅(LBW) = 450 kHz。

表 11.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
HSTL OUTPUT					
$f_{OUT} = 122.88 \text{ MHz}$					
10 Hz Offset		-87		dBc/Hz	
100 Hz Offset		-106		dBc/Hz	
1 kHz Offset		-126		dBc/Hz	
10 kHz Offset		-135		dBc/Hz	
100 kHz Offset		-139		dBc/Hz	
800 kHz Offset		-147		dBc/Hz	
1 MHz Offset		-149		dBc/Hz	
10 MHz Offset		-161		dBc/Hz	
40 MHz Offset		-162		dBc/Hz	
$f_{OUT} = 1228.8 \text{ MHz}$					OUT1 and OUT2 only, channel divider = 1
10 Hz Offset		-62		dBc/Hz	
100 Hz Offset		-85		dBc/Hz	
1 kHz Offset		-106		dBc/Hz	
10 kHz Offset		-115		dBc/Hz	
100 kHz Offset		-119		dBc/Hz	
800 kHz Offset		-127		dBc/Hz	
1 MHz Offset		-129		dBc/Hz	
10 MHz Offset		-147		dBc/Hz	
100 MHz Offset		-153		dBc/Hz	
LVDS OUTPUT					
$f_{OUT} = 122.88 \text{ MHz}$					
10 Hz Offset		-86		dBc/Hz	
100 Hz Offset		-106		dBc/Hz	
1 kHz Offset		-126		dBc/Hz	
10 kHz Offset		-135		dBc/Hz	
100 kHz Offset		-139		dBc/Hz	
800 kHz Offset		-147		dBc/Hz	
1 MHz Offset		-148		dBc/Hz	
10 MHz Offset		-157		dBc/Hz	
40 MHz Offset		-158		dBc/Hz	
$f_{OUT} = 1228.8 \text{ MHz}$					OUT1 and OUT2 only, channel divider = 1
10 Hz Offset		-66		dBc/Hz	
100 Hz Offset		-86		dBc/Hz	
1 kHz Offset		-106		dBc/Hz	
10 kHz Offset		-115		dBc/Hz	
100 kHz Offset		-119		dBc/Hz	
800 kHz Offset		-127		dBc/Hz	
1 MHz Offset		-129		dBc/Hz	
10 MHz Offset		-147		dBc/Hz	
100 MHz Offset		-152		dBc/Hz	

クロック出力の絶対位相ノイズ—シングル・ループ・モード

シングル・ループ・モードは外付け 122.88 MHz リファレンス（発生器 SMA100A）を使用した標準的な設定（表 2 を参照）に基づいています；リファレンス= 122.88 MHz；チャンネル分周器 = 10；PLL2 LBW = 450 kHz。

表 12.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
HSTL OUTPUT					
$f_{OUT} = 122.88$ MHz					
10 Hz Offset		-104		dBc/Hz	
100 Hz Offset		-113		dBc/Hz	
1 kHz Offset		-123		dBc/Hz	
10 kHz Offset		-135		dBc/Hz	
100 kHz Offset		-140		dBc/Hz	
800 kHz Offset		-147		dBc/Hz	
1 MHz Offset		-149		dBc/Hz	
10 MHz Offset		-161		dBc/Hz	
40 MHz Offset		-162		dBc/Hz	
$f_{OUT} = 1228.8$ MHz					OUT1 and OUT2 only, channel divider = 1
10 Hz Offset		-85		dBc/Hz	
100 Hz Offset		-95		dBc/Hz	
1 kHz Offset		-103		dBc/Hz	
10 kHz Offset		-114		dBc/Hz	
100 kHz Offset		-120		dBc/Hz	
800 kHz Offset		-126		dBc/Hz	
1 MHz Offset		-128		dBc/Hz	
10 MHz Offset		-147		dBc/Hz	
100 MHz Offset		-153		dBc/Hz	
LVDS OUTPUT					
$f_{OUT} = 122.88$ MHz					
10 Hz Offset		-111		dBc/Hz	
100 Hz Offset		-113		dBc/Hz	
1 kHz Offset		-123		dBc/Hz	
10 kHz Offset		-135		dBc/Hz	
100 kHz Offset		-140		dBc/Hz	
800 kHz Offset		-147		dBc/Hz	
1 MHz Offset		-148		dBc/Hz	
10 MHz Offset		-157		dBc/Hz	
40 MHz Offset		-157		dBc/Hz	
$f_{OUT} = 1228.8$ MHz					OUT1 and OUT2 only, channel divider = 1
10 Hz Offset		-85		dBc/Hz	
100 Hz Offset		-95		dBc/Hz	
1 kHz Offset		-103		dBc/Hz	
10 kHz Offset		-114		dBc/Hz	
100 kHz Offset		-120		dBc/Hz	
800 kHz Offset		-126		dBc/Hz	
1 MHz Offset		-128		dBc/Hz	
10 MHz Offset		-146		dBc/Hz	
100 MHz Offset		-152		dBc/Hz	

クロック出力の絶対時間ジッタ

表 13.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
OUTPUT ABSOLUTE RMS TIME JITTER					Application examples are based on typical setups (see 表 2) using an external 122.88 MHz VCXO (Crystek CVHD-950); reference = 122.88 MHz; channel divider = 10 or 1; PLL2 LBW = 450 kHz
Dual Loop Mode					
HSTL Output		117		fs	Integrated BW = 200 kHz to 5 MHz
$f_{OUT} = 122.88$ MHz		123		fs	Integrated BW = 200 kHz to 10 MHz
		159		fs	Integrated BW = 12 kHz to 20 MHz
		172		fs	Integrated BW = 10 kHz to 40 MHz
		177		fs	Integrated BW = 1 kHz to 40 MHz
		109		fs	Integrated BW = 1 MHz to 40 MHz
$f_{OUT} = 1228.8$ MHz, Channel Divider = 1		114		fs	Integrated BW = 200 kHz to 5 MHz
		116		fs	Integrated BW = 200 kHz to 10 MHz
		147		fs	Integrated BW = 12 kHz to 20 MHz
		154		fs	Integrated BW = 10 kHz to 100 MHz
		160		fs	Integrated BW = 1 kHz to 100 MHz
		74		fs	Integrated BW = 1 MHz to 100 MHz
LVDS Output		124		fs	Integrated BW = 200 kHz to 5 MHz
$f_{OUT} = 122.88$ MHz		136		fs	Integrated BW = 200 kHz to 10 MHz
		179		fs	Integrated BW = 12 kHz to 20 MHz
		209		fs	Integrated BW = 10 kHz to 40 MHz
		213		fs	Integrated BW = 1 kHz to 40 MHz
		160		fs	Integrated BW = 1 MHz to 40 MHz
$f_{OUT} = 1228.8$ MHz, Channel Divider = 1		116		fs	Integrated BW = 200 kHz to 5 MHz
		118		fs	Integrated BW = 200 kHz to 10 MHz
		150		fs	Integrated BW = 12 kHz to 20 MHz
		157		fs	Integrated BW = 10 kHz to 100 MHz
		163		fs	Integrated BW = 1 kHz to 100 MHz
		76		fs	Integrated BW = 1 MHz to 100 MHz
Single Loop Mode					
HSTL Output		115		fs	Integrated BW = 200 kHz to 5 MHz
$f_{OUT} = 122.88$ MHz		122		fs	Integrated BW = 200 kHz to 10 MHz
		156		fs	Integrated BW = 12 kHz to 20 MHz
		171		fs	Integrated BW = 10 kHz to 40 MHz
		179		fs	Integrated BW = 1 kHz to 40 MHz
		110		fs	Integrated BW = 1 MHz to 40 MHz
$f_{OUT} = 1228.8$ MHz, Channel Divider = 1		116		fs	Integrated BW = 200 kHz to 5 MHz
		118		fs	Integrated BW = 200 kHz to 10 MHz
		146		fs	Integrated BW = 12 kHz to 20 MHz
		153		fs	Integrated BW = 10 kHz to 100 MHz
		163		fs	Integrated BW = 1 kHz to 100 MHz
		81		fs	Integrated BW = 1 MHz to 100 MHz
LVDS Output		123		fs	Integrated BW = 200 kHz to 5 MHz
$f_{OUT} = 122.88$ MHz		135		fs	Integrated BW = 200 kHz to 10 MHz
		177		fs	Integrated BW = 12 kHz to 20 MHz
		207		fs	Integrated BW = 10 kHz to 40 MHz
		214		fs	Integrated BW = 1 kHz to 40 MHz
		160		fs	Integrated BW = 1 MHz to 40 MHz
$f_{OUT} = 1228.8$ MHz, Channel Divider = 1		117		fs	Integrated BW = 200 kHz to 5 MHz
		119		fs	Integrated BW = 200 kHz to 10 MHz
		147		fs	Integrated BW = 12 kHz to 20 MHz
		155		fs	Integrated BW = 10 kHz to 100 MHz
		164		fs	Integrated BW = 1 kHz to 100 MHz
		83		fs	Integrated BW = 1 MHz to 100 MHz

クロック出力の増加時間ジッタ（バッファ・モード）

表 14.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
OUTPUT ADDITIVE RMS TIME JITTER					Application examples are based on typical performance (see 表 2) using an external 122.88 MHz source driving VCXO inputs (distribution section only, does not include PLL and VCO)
Buffer Mode					
HSTL Output		66		fs	Integrated BW = 200 kHz to 5 MHz
$f_{OUT} = 122.88$ MHz		81		fs	Integrated BW = 200 kHz to 10 MHz
		112		fs	Integrated BW = 12 kHz to 20 MHz
		145		fs	Integrated BW = 10 kHz to 40 MHz
		146		fs	Integrated BW = 1 kHz to 40 MHz
		132		fs	Integrated BW = 1 MHz to 40 MHz
LVDS Output		79		fs	Integrated BW = 200 kHz to 5 MHz
$f_{OUT} = 122.88$ MHz		101		fs	Integrated BW = 200 kHz to 10 MHz
		140		fs	Integrated BW = 12 kHz to 20 MHz
		187		fs	Integrated BW = 10 kHz to 40 MHz
		189		fs	Integrated BW = 1 kHz to 40 MHz
		176		fs	Integrated BW = 1 MHz to 40 MHz

ロジック入力ピン— $\overline{\text{RESET}}$ 、REF_SEL、SYSREF_REQ

表 15.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
VOLTAGE					
Input High	0.75			V	
Input Low			1	V	
INPUT LOW CURRENT		13	14	μA	
CAPACITANCE		4		pF	
RESET TIMING					
Pulse Width Low	1.0			ns	
Inactive to Start of Register Programming	2.5			ns	

ステータス出力ピン—STATUS0 と STATUS1

表 16.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
OUTPUT VOLTAGE					
High	3			V	
Low			0.02	V	

シリアル・コントロール・ポート—SPIモード

表 17.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
CS (INPUT)						CS has an internal 40 kΩ pull-up resistor
Voltage						
Input Logic 1			1.37		V	
Input Logic 0			1.33		V	
Current						
Input Logic 1			-52		μA	
Input Logic 0			-82		μA	
Input Capacitance			2		pF	
SCLK (INPUT) IN SPI MODE						SCLK has an internal 40 kΩ pull-down resistor in SPI mode but not in I ² C mode
Voltage						
Input Logic 1			1.76		V	
Input Logic 0			1.22		V	
Current						
Input Logic 1			0.0037		μA	
Input Logic 0			0.0012		μA	
Input Capacitance			2		pF	
SDIO						Input is in bidirectional mode
Voltage						
Input Logic 1			1.76		V	
Input Logic 0			1.22		V	
Current						
Input Logic 1			0.0037		μA	
Input Logic 0			0.0012		μA	
Input Capacitance			3.5		pF	
SDIO, SDO (OUTPUTS)						
Voltage						
Output Logic 1		3.11			V	
Output Logic 0				0.0018	V	
TIMING						
Clock Rate (SCLK, 1/t _{SCLK})				50	MHz	
Pulse Width High	t _{HIGH}	4			ns	
Pulse Width Low	t _{LOW}	2			ns	
SDIO to SCLK Setup	t _{DS}	2.2			ns	
SCLK to SDIO Hold	t _{DH}	-0.9			ns	
SCLK to Valid SDIO and SDO	t _{DV}			6	ns	
CS to SCLK Setup	t _S	1.25			ns	
CS to SCLK Hold	t _C	0			ns	
CS Minimum Pulse Width High	t _{PWH}	0.9			ns	

シリアル・コントロール・ポート—I²C モード

表 18.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SDA, SCL VOLTAGE						When inputting data
Input Logic 1		$0.7 \times VDD$			V	
Input Logic 0				$0.3 \times VDD$	V	
Input Current		-10		+10	μA	Input voltage between $0.1 \times VDD$ and $0.9 \times VDD$
Hysteresis of Schmitt Trigger Inputs		$0.015 \times VDD$			V	
SDA						When outputting data
Output Logic 0 Voltage at 3 mA Sink Current				0.2	V	
Output Fall Time from $V_{IH_{MIN}}$ to $V_{IL_{MAX}}$		$20 + 0.1 C_B^1$		250	ns	Bus capacitance from 10 pF to 400 pF
TIMING						All I ² C timing values are referred to $V_{IH_{MIN}}$ ($0.3 \times VDD$) and $V_{IL_{MAX}}$ levels ($0.7 \times VDD$)
Clock Rate (SCL, f_{12C})				400	kHz	
Bus Free Time Between a Stop and Start Condition	t_{IDLE}	1.3			μs	
Setup Time for a Repeated Start Condition	$t_{SET, STR}$	0.6			μs	
Hold Time (Repeated) Start Condition	$t_{HLD, STR}$	0.6			μs	After this period, the first clock pulse is generated
Setup Time for a Stop Condition	$t_{SET, STP}$	0.6			μs	
Low Period of the SCL Clock	t_{LOW}	1.3			μs	
High Period of the SCL Clock	t_{HIGH}	0.6			μs	
SCL, SDA Rise Time	t_{RISE}	$20 + 0.1 C_B^1$		300	ns	
SCL, SDA Fall Time	t_{FALL}	$20 + 0.1 C_B^1$		300	ns	
Data Setup Time	$t_{SET, DAT}$	100			ns	
Data Hold Time	$t_{HLD, DAT}$	0			ns	
Capacitive Load for Each Bus Line	C_B^1			400	pF	

¹ C_B は、1本のバス・ラインの静電容量(pF)です。

絶対最大定格

表 19.

Parameter	Rating
VDD	-0.3 V to +3.6 V
REFA, REFA, REFB, REFB, VCXO_IN, VCXO_IN, SYSREF_IN, SYSREF_IN, SYSREF_REQ to GND	-0.3 V to +3.6 V
SCLK/SCL, SDIO/SDA, SDO, CS to GND	-0.3 V to +3.6 V
RESET, REF_SEL, SYSREF_REQ to GND	-0.3 V to +3.6 V
STATUS0/SP0, STATUS1/SP1 to GND	-0.3 V to +3.6 V
Junction Temperature	125°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (10 sec)	300°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与える可能性があります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。長時間における最大動作条件以上の動作はデバイスの信頼性に影響を与える可能性があります。

熱抵抗

θ_{JA} はワーストケース条件、つまり表面実装型パッケージでデバイスを回路基板にハンダ付けした状態で規定されます。

表 20.熱抵抗

Package Type	Airflow Velocity (m/sec)	$\theta_{JA}^{1,2}$	$\theta_{JC}^{1,3}$	$\theta_{JB}^{1,4}$	$\Psi_{JT}^{1,2}$	Unit
72-Lead LFCSP,	0	21.3	1.7	12.6	0.1	°C/W
10 mm ×	1.0	20.1			0.2	°C/W
10 mm	2.5	18.1			0.3	°C/W

¹ JEDEC 51-7 と JEDEC 51-5 2S2P テスト・ボードに準拠。

² JEDEC JESD51-2 (自然空冷)または JEDEC JESD51-6 (強制空冷)に準拠。

³ MIL-Std 883, Method 1012.1 に準拠。

⁴ JEDEC JESD51-8 (自然空冷)に準拠。

消費電力に関する詳細の情報は「消費電力および熱特性」セクションに載っています。

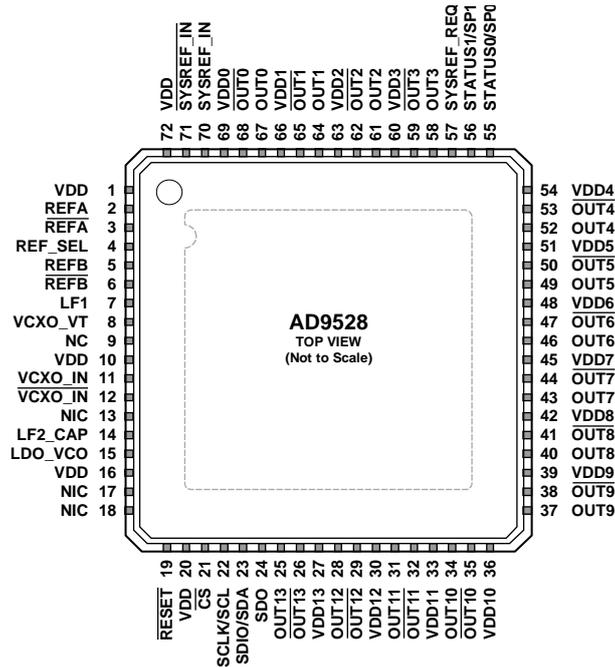
ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

充電したデバイスや回路基板が検知されないまま放電する事があります。本製品は当社独自の ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピンの配置と機能の説明



NOTES

1. NIC = NO INTERNAL CONNECTION. THIS PIN CAN BE LEFT FLOATING.
2. THE EXPOSED PAD IS THE GROUND CONNECTION ON THE CHIP. IT MUST BE SOLDERED TO THE ANALOG GROUND OF THE PCB TO ENSURE PROPER FUNCTIONALITY AND HEAT DISSIPATION, NOISE, AND MECHANICAL STRENGTH BENEFITS.

12380-002

図 2. ピンの配置

表 21. ピンの機能の説明

Pin No.	Mnemonic	Type ¹	説明
1	VDD	P	PLL1 入力回路用 3.3 V 電源。
2	REFA	I	リファレンス・クロック入力 A。このピンは <u>REFA</u> と組み合わせて、PLL リファレンスの差動入力になります。また、このピンはシングル・エンド 3.3V CMOS 入力としても設定できます。
3	<u>REFA</u>	I	リファレンス・クロック相補入力 A。このピンは REFA と組み合わせて、PLL リファレンスの差動入力になります。また、このピンはシングル・エンド 3.3V CMOS 入力としても設定できます。
4	REF_SEL	I	リファレンス入力の選択。リファレンス入力選択機能はデフォルトで内部レジスタ 0x010A、ビット [2:0] を使ったソフトウェア制御です。REF_SEL ピンが有効の時、ロジック・ローは REFA を選択し、ロジック・ハイは REFB を選択します。
5	REFB	I	リファレンス・クロック入力 B。このピンは <u>REFB</u> と組み合わせて、PLL リファレンスの差動入力になります。また、このピンはシングル・エンド 3.3V CMOS 入力としても設定できます。
6	<u>REFB</u>	I	リファレンス・クロック相補入力 B。このピンは REFB と組み合わせて、PLL リファレンスの差動入力になります。また、このピンはシングル・エンド 3.3V CMOS 入力としても設定できます。
7	LF1	O	PLL1 外付けループ・フィルタ。
8	VCXO_VT	O	VCXO 制御電圧。このピンを外付け VCXO の電圧制御ピンに接続してください。
9	NIC	NIC	内部接続なし。ピンは開放のままにしておくことができます。
10	VDD	P	PLL2 回路用 3.3 V 電源。
11	VCXO_IN	I	PLL1 発振器の入力。このピンは <u>VCXO_IN</u> と組み合わせて、PLL リファレンスの差動入力になります。また、このピンはシングル・エンド 3.3V CMOS 入力としても設定できます。
12	<u>VCXO_IN</u>	I	PLL1 発振器の相補入力。このピンは VCXO_IN と組み合わせて、PLL リファレンスの差動入力になります。また、このピンはシングル・エンド 3.3V CMOS 入力としても設定できます。
13	NIC	NIC	内部接続なし。ピンは開放のままにしておくことができます。
14	LF2_CAP	O	PLL2 外付けループフィルタ用コンデンサ接続。このピンと LDO_VCO ピンの間にコンデンサを接続してください。
15	LDO_VCO	P/O	VCO 用 2.5 V LDO 内部レギュレータのデカップリング。このピンからグラウンドに 0.47 μF デカップリング・コンデンサを接続してください。最高性能を得るために LDO バイパス・コンデンサをデバイスの近くに配置するよう注意してください。
16	VDD	P	PLL2 内部レギュレータ用 3.3 V 電源。
17	NIC	NIC	内部接続なし。ピンは開放のままにしておくことができます。

Pin No.	Mnemonic	Type ¹	説明
18	NIC	NIC	内部接続なし。ピンは開放のままにしておくことができます。
19	RESET	I	デジタル入力、アクティブ・ロー。内部ロジックをデフォルト状態にリセットします。
20	VDD	P	PLL2 内部レギュレータ用 3.3 V 電源。
21	\overline{CS}		シリアル・コントロール・ポートのチップ・セレクト、アクティブ・ロー。このピンには 30 k Ω プルアップ抵抗が内蔵されています。
22	SCLK/SCL	I	SPI モード (SCLK) 又は I ² C モード (SCL) 用シリアル・コントロール・ポートのクロック信号。シリアル設定用データ・クロック。
23	SDIO/SDA	I/O	SPI モード (SDIO) 又は I ² C モード (SDA) 用シリアル・コントロール・ポートの双方向シリアル・データ入力/データ出力
24	SDO	O	シリアル・データ出力。4 線モードのデータを読むためにこのピンを使用します。(3 線モードでは高インピーダンスです)。このピンにはプルアップ抵抗又はプルダウン抵抗は内蔵されていません。
25	OUT13	O	矩形波クロック出力 13。
26	$\overline{OUT13}$	O	矩形波クロック相補出力 13。
27	VDD13	P	出力 13 クロック・ドライバ用 3.3 V 電源。
28	OUT12	O	矩形波クロック出力 12。
29	$\overline{OUT12}$	O	矩形波クロック相補出力 12。
30	VDD12	P	出力 12 クロック・ドライバ用 3.3 V 電源。
31	OUT11	O	矩形波クロック出力 11。
32	$\overline{OUT11}$	O	矩形波クロック相補出力 11。
33	VDD11	P	出力 11 クロック・ドライバ用 3.3 V 電源。
34	OUT10	O	矩形波クロック出力 10。
35	$\overline{OUT10}$	O	矩形波クロック相補出力 10。
36	VDD10	P	出力 10 クロック・ドライバ用 3.3 V 電源。
37	OUT9	O	矩形波クロック出力 9。
38	$\overline{OUT9}$	O	矩形波クロック相補出力 9。
39	VDD9	P	出力 9 クロック・ドライバ用 3.3 V 電源。
40	OUT8	O	矩形波クロック出力 8。
41	$\overline{OUT8}$	O	矩形波クロック相補出力 8。
42	VDD8	P	出力 8 クロック・ドライバ用 3.3 V 電源。
43	OUT7	O	矩形波クロック出力 7。
44	$\overline{OUT7}$	O	矩形波クロック相補出力 7。
45	VDD7	P	出力 7 クロック・ドライバ用 3.3 V 電源。
46	OUT6	O	矩形波クロック出力 6。
47	$\overline{OUT6}$	O	矩形波クロック相補出力 6。
48	VDD6	P	出力 6 クロック・ドライバ用 3.3 V 電源。
49	OUT5	O	矩形波クロック出力 5。
50	$\overline{OUT5}$	O	矩形波クロック相補出力 5。
51	VDD5	P	出力 5 クロック・ドライバ用 3.3 V 電源。
52	OUT4	O	矩形波クロック出力 4。
53	$\overline{OUT4}$	O	矩形波クロック相補出力 4。
54	VDD4	P	出力 4 クロック・ドライバ用 3.3 V 電源。
55	STATUS0/SP0	I/O	ロック検出と他のステータス信号/I ² C アドレス。このピンには 30 k Ω のプルダウン抵抗が内蔵されています。
56	STATUS1/SP1	I/O	ロック検出と他のステータス信号/I ² C アドレス。このピンには 30 k Ω のプルダウン抵抗が内蔵されています。
57	SYSREF_REQ	I	SYSREF 要求入力ロジック制御。
58	OUT3	O	矩形波クロック出力 3。
59	$\overline{OUT3}$	O	矩形波クロック相補出力 3。
60	VDD3	P	出力 3 クロック・ドライバ用 3.3 V 電源。
61	OUT2	O	矩形波クロック出力 2。最大 1.25GHz の高速出力。
62	$\overline{OUT2}$	O	矩形波クロック相補出力 2。最大 1.25GHz の高速出力。
63	VDD2	P	出力 2 クロック・ドライバ用 3.3 V 電源。
64	OUT1	O	矩形波クロック出力 1。最大 1.25GHz の高速出力。
65	$\overline{OUT1}$	O	矩形波クロック相補出力 1。最大 1.25GHz の高速出力。
66	VDD1	P	出力 1 クロック・ドライバ用 3.3 V 電源。
67	OUT0	O	矩形波クロック出力 0。

Pin No.	Mnemonic	Type ¹	説明
68	OUT0	O	矩形波クロック相補出力 0。
69	VDD0	P	出力 0 クロック・ドライバ用 3.3 V 電源。
70	SYSREF_IN	I	外部 SYSREF 入力クロック。このピンは <u>SYSREF_IN</u> と組み合わせて、外部 SYSREF 信号の差動入力になります。また、このピンはシングル・エンド 3.3V CMOS 入力としても設定できます。
71	<u>SYSREF_IN</u>	I	外部 SYSREF 相補入力クロック。このピンは SYSREF_IN と組み合わせて、外部 SYSREF 信号の差動入力になります。また、このピンはシングル・エンド 3.3V CMOS 入力としても設定できます。
72	VDD	P	PLL1 入力回路用 3.3 V 電源。
EP	EP, GND	GND	エクスポーズド・パッド。エクスポーズド・パッドはチップのグラウンド接続です。適切な機能と放熱、ノイズ、機械的強度の利点を確実に得られるように、エクスポーズド・パッドをプリント回路基板 (PCB) のアナログ・グラウンドに半田付けする必要があります。

¹ P=電源、I =入力、O=出力、I/O=入力/出力、P/O=電源/出力、GND=グラウンド。

代表的な性能特性

他に指定のない限り、 $f_{VCO} = 122.88 \text{ MHz}$ 、 $REFA = 122.88 \text{ MHz}$ 差動、 $f_{VCO} = 3686.4 \text{ MHz}$ 、2倍器はオフです。PLL1のループ・フィルタ用外付け部品の値は次の通りです： $R_{ZERO} = 10 \text{ k}\Omega$ 、 $C_{ZERO} = 1 \text{ }\mu\text{F}$ 、 $C_{POLE} = 200 \text{ pF}$ 。PLL2の外付けコンデンサ $C_{ZERO} = 1 \text{ nF}$ 。PLL1のチャージ・ポンプ= $5 \text{ }\mu\text{A}$ 、PLL2のチャージ・ポンプ= $805 \text{ }\mu\text{A}$ 。

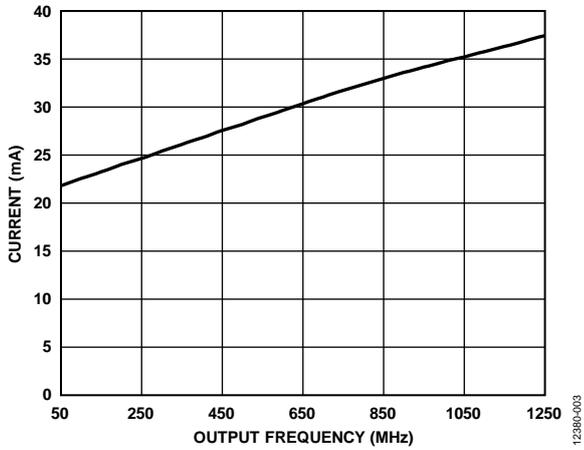


図 3.出力周波数 対 VDDx 電流(Typ)、HSTL モード

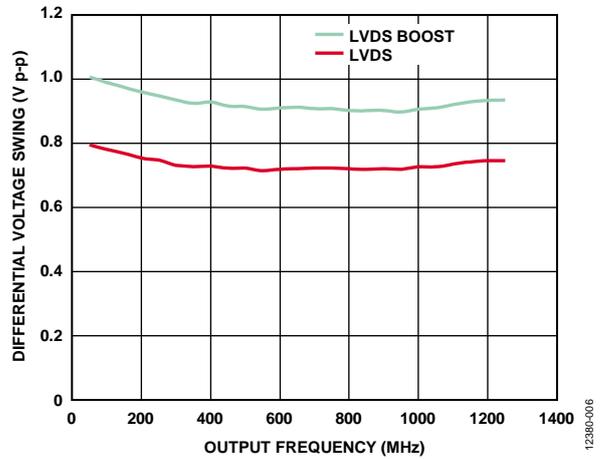


図 6.出力周波数 対 差動電圧振幅、LVDS モードと LVDS ブースト・モード

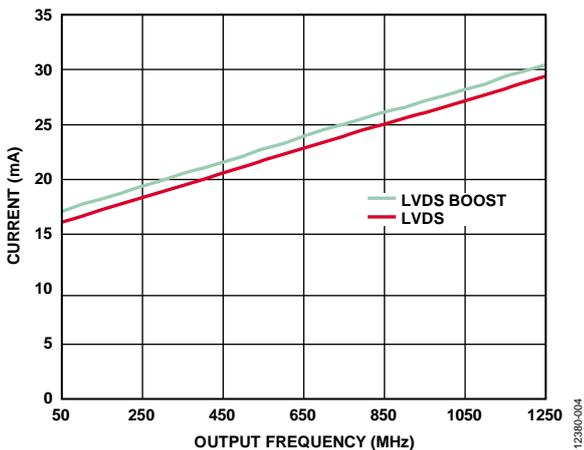


図 4.出力周波数 対 VDDx 電流(Typ)、LVDS モードと LVDS ブースト・モード

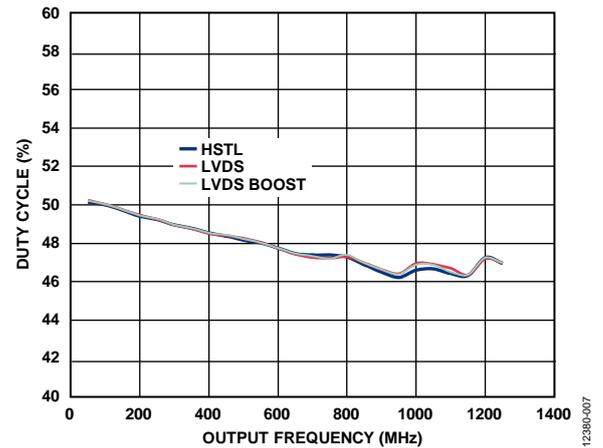


図 7.出力周波数 対 正のデューティ・サイクル、HSTL、LVDS、LVDS ブーストの各モード

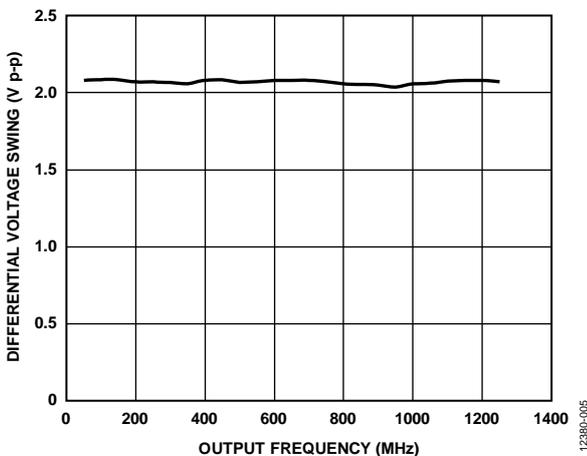


図 5.出力周波数 対 差動電圧振幅、HSTL モード

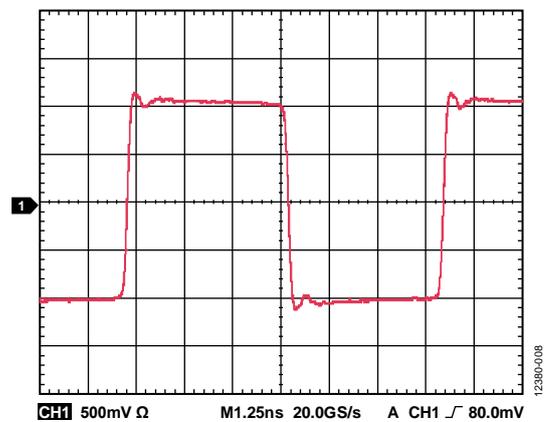


図 8.出力波形 (差動)、HSTL @122.88 MHz

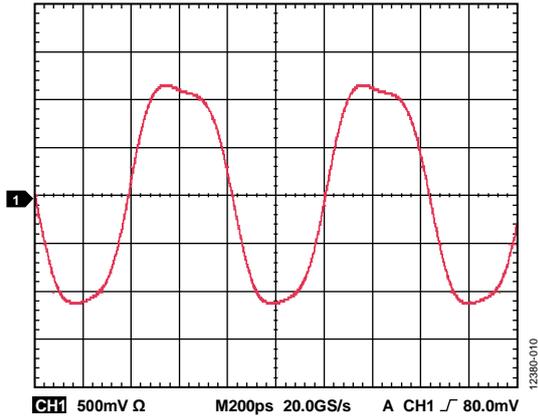


図 9.出力波形 (差動)、HSTL @1228.8 MHz

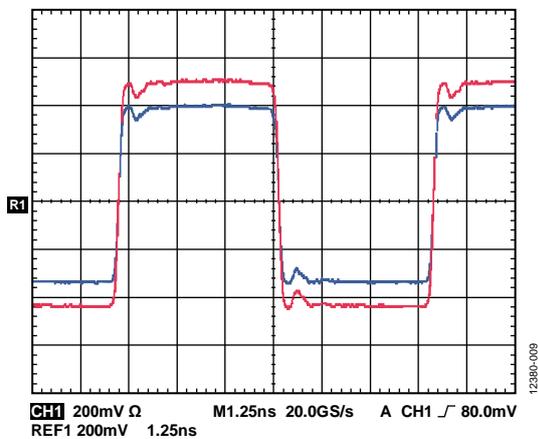


図 10.出力波形 (差動)、LVDS と LVDS プースト・モード@122.88 MHz

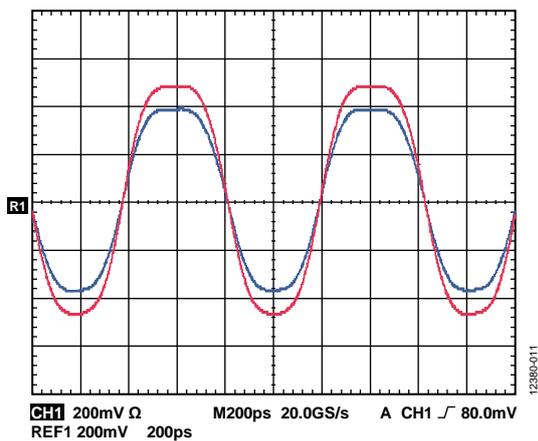


図 11.出力波形 (差動)、LVDS と LVDS プースト・モード@1228.8 MHz

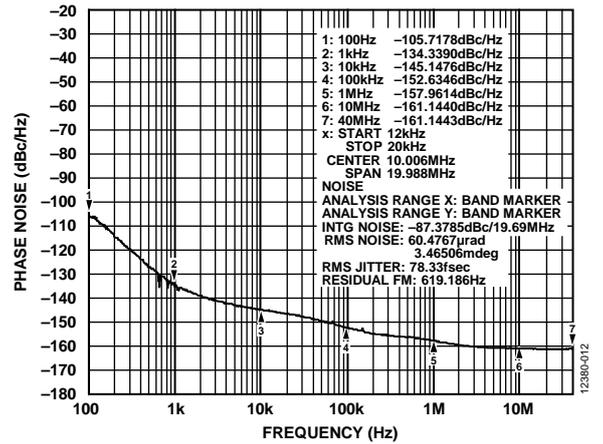


図 12.位相ノイズ、出力=122.88 MHz、PLL1 出力をクロック分配に直接送信、PLL2 オフ (VCXO = 122.88 MHz、Crystek VCXO CVHD-950)

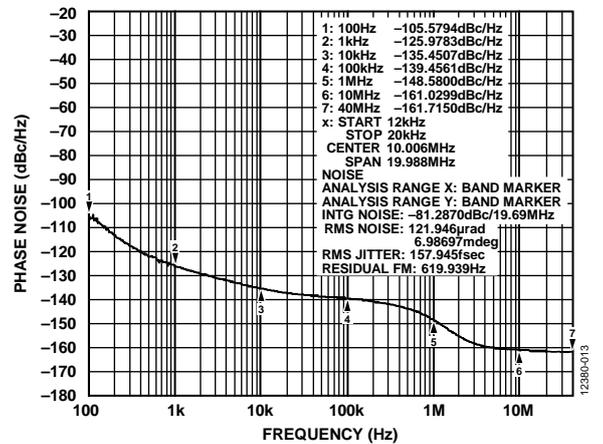


図 13.位相ノイズ、出力=122.88 MHz、デュアル・ループ・モード (VCXO = 122.88 MHz、Crystek VCXO CVHD-950、VCO = 3686.4 MHz)

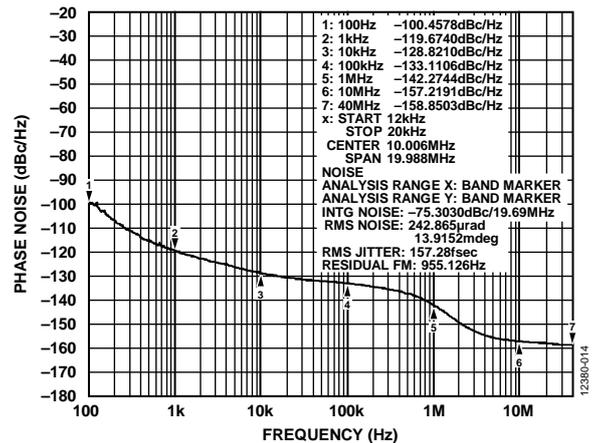


図 14.位相ノイズ、出力=245.76 MHz (VCXO = 122.88 MHz、Crystek VCXO CVHD-950、VCO = 3686.4 MHz)

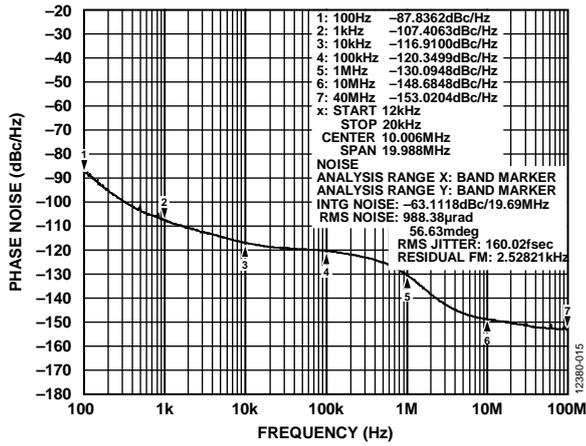


図 15.位相ノイズ、出力= 983.04 MHz、デュアル・ループ・モード(VCXO = 122.88 MHz、Crystek VCXO CVHD-950、VCO = 3932.16 MHz)

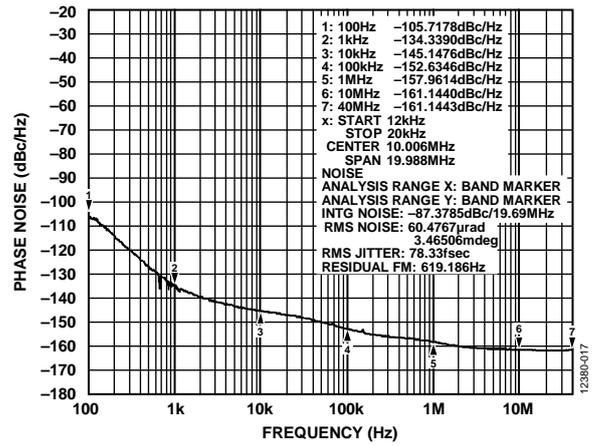


図 17.位相ノイズ、出力= 122.88 MHz、PLL1 出力を直接クロック分配に送信、PLL2 はオフ (VCXO = 122.88 MHz、TAITEN VCXO (A0145-0-011-3))

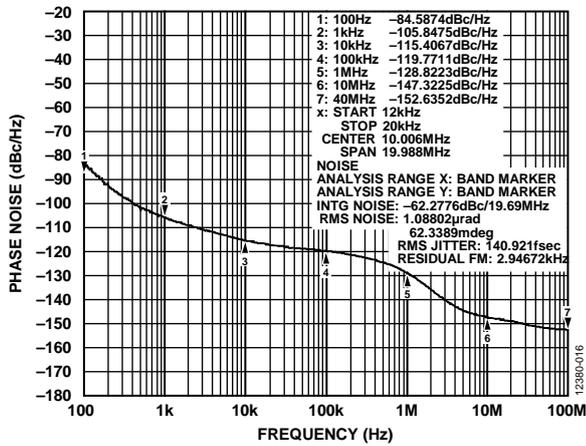


図 16.位相ノイズ、出力= 1228.8 MHz、デュアル・ループ・モード(VCXO = 122.88 MHz、Crystek VCXO CVHD-950、VCO = 3686.4 MHz)

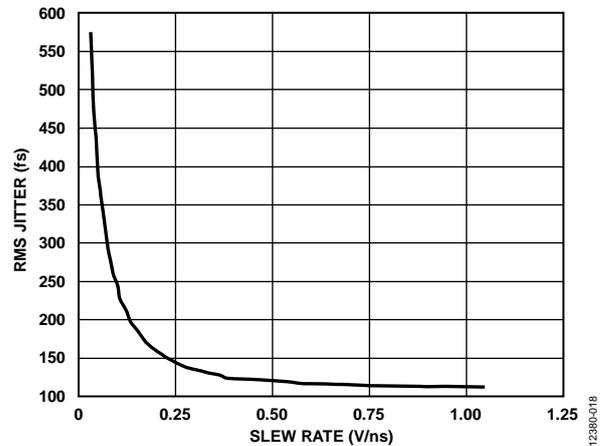


図 18.スルーレート 対 (PLL1 と PLL2 がオフの) バッファ・モードでの RMS ジッタ ; 入力 は VCXO 入力に供給し、出力はクロック分配から取得、ジッタの数値を導出する位相ノイズ積分範囲 : 12 kHz ~ 20 MHz

推奨の入力/出力接続

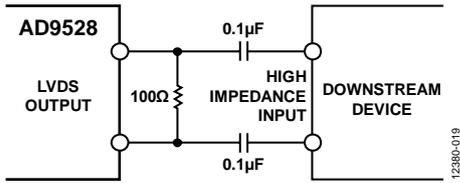


図 19.AC 結合 LVDS 出力ドライバ

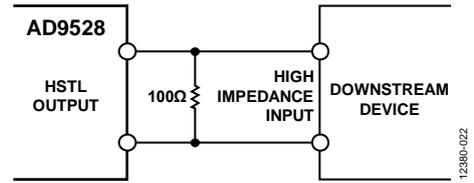


図 22.DC 結合 HSTL 出力ドライバ

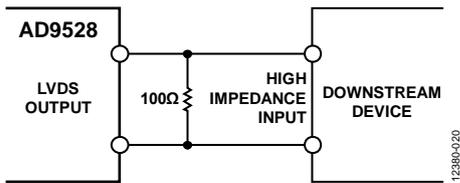


図 20.DC 結合 LVDS 出力ドライバ

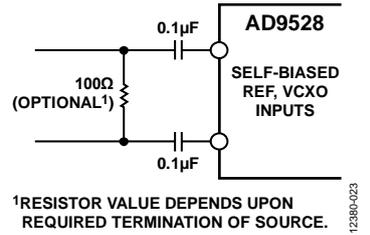


図 23.REFx、VCXO 入力差動モード・レシーバ

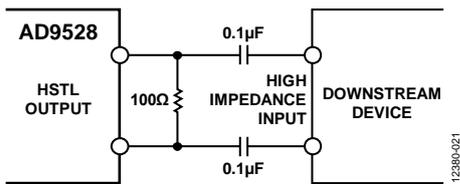


図 21.AC 結合 HSTL 出力ドライバ

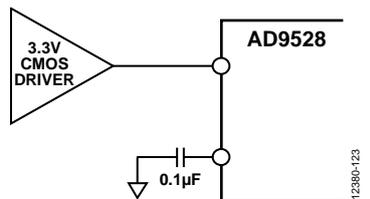


図 24.REFx、VCXO 入力、シングル・エンド・モード・レシーバ

代表的なアプリケーション回路

AD9528 は JESD204B JEDEC 規格に対応して設計された複数デバイスの同期を取ることができます。図 25 にシステムのリファレンス・クロックに同期する AD9528 を示します。最初に、AD9528 はシステムのリファレンス・クロックのジッタを除去します。そしてデュアル・ループ・モードでより高い

周波数まで通倍します。AD9528 のクロック分配はシステムの中の全 JESD204B 機器にクロックを供給し同期をとるために使用されます。

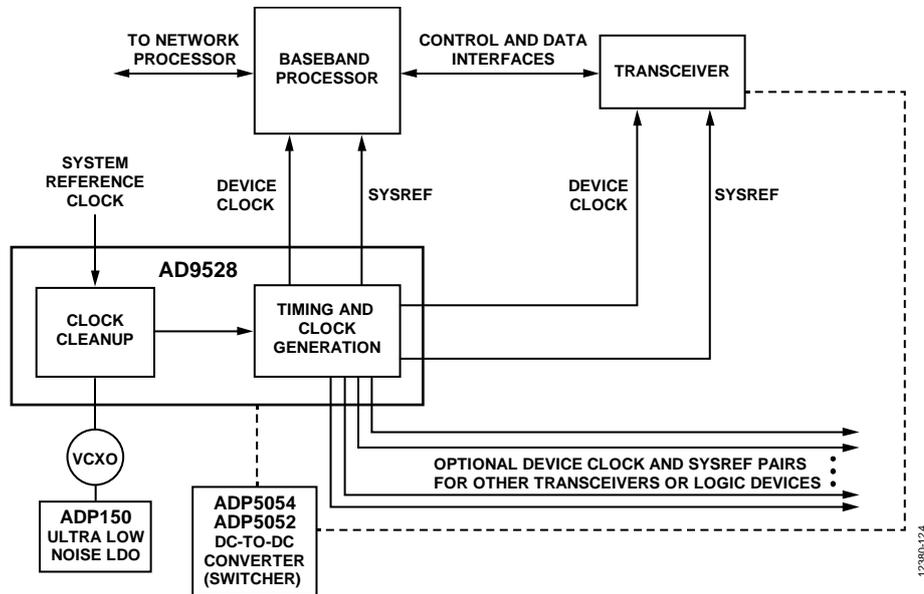


図 25. 複数の JESD204B デバイスの同期

用語

位相ジッタ

理想的な正弦波は、時間に対して連続な位相を持ち、さらに各サイクルで0~360度の位相進みを持っています。しかし、実際の信号は、時間に対する理想的な位相進みから多少変動を示します。この現象が位相ジッタと呼ばれています。位相ジッタには多くの原因がありますが、主な原因はランダム・ノイズです。このノイズは統計的にガウス分布(正規分布)で特徴づけられます。

この位相ジッタにより、周波数領域で正弦波のエネルギーが分散し、連続したパワー・スペクトルが発生します。このパワー・スペクトルは一般に、正弦波(キャリア)からの与えられた周波数オフセット位置における単位 dBc/Hz の一連の値として報告されます。この値は、キャリア周波数での電力に対する1 Hz 帯域幅内に含まれる電力の比(dB)です。各測定値に対して、キャリア周波数からのオフセットも与えられます。

一部のアプリケーションでは、オフセット周波数のある区間内(たとえば、10 kHz~10 MHzの区間)に含まれる合計電力を求めることは意味のあることです。これは、その周波数オフセット区間での積分位相ノイズと呼ばれ、そのオフセット周波数区間内の位相ノイズに起因する時間ジッタに直接関係しています。

位相ノイズ

位相ノイズは、A/D コンバータ(ADC)、D/A コンバータ(DAC)、無線周波数(RF) ミキサの性能に悪影響を与えます。位相ノイズは、コンバータとミキサのダイナミック・レンジを低下させます(ただし、影響の仕方は異なります)。

時間ジッタ

位相ノイズは周波数領域の現象です。時間領域では、同じ影響が時間ジッタとして現れます。正弦波を観測すると、連続するゼロ交差の時間が変化しているように見えます。矩形波

では、時間ジッタは理想時間(正常)からのエッジの変位として見えます。両ケースとも、理想からのタイミング変動が時間ジッタです。これらの変動はランダムであるため、時間ジッタは秒の2乗平均(rms)、またはガウス分布の1シグマで表されます。

DAC または ADC のサンプリング・クロックで発生する時間ジッタは、コンバータの SNR とダイナミック・レンジを低下させます。サンプリング・クロックのジッタを最小にすると、与えられたコンバータの最高性能が得られます。

増加位相ノイズ

増加位相ノイズは、被測定デバイスまたはサブシステムから発生する位相ノイズの大きさを表します。すべての外付け発振器またはクロック源の位相ノイズは除かれています。これにより、種々の発振器とクロック源を組合せて使う場合に、(各々のソース源はそれ自身の位相ノイズ分だけシステム全体に影響を与えるので) システム全体の位相ノイズに対するデバイスの影響が予測可能になります。多くのケースで、1つの要素から発生する位相ノイズがシステム位相ノイズを支配します。位相ノイズの成分が複数ある場合、合計は各成分の2乗和平均根になります。

増加時間ジッタ

増加時間ジッタは、被測定デバイスまたはサブシステムから発生する時間ジッタの大きさを表します。すべての外付け発振器またはクロック源の時間ジッタは除かれています。これにより、種々の発振器とクロック源を組合せて使う場合に、(各々のソース源はそれ自身の時間ジッタ分だけシステム全体に影響を与えるので) システム全体の時間ジッタに対するデバイスの影響が予測可能になります。多くのケースで、外付けの発振器とクロック源から発生する時間ジッタがシステム時間ジッタを支配します。

動作原理

詳細ブロック図

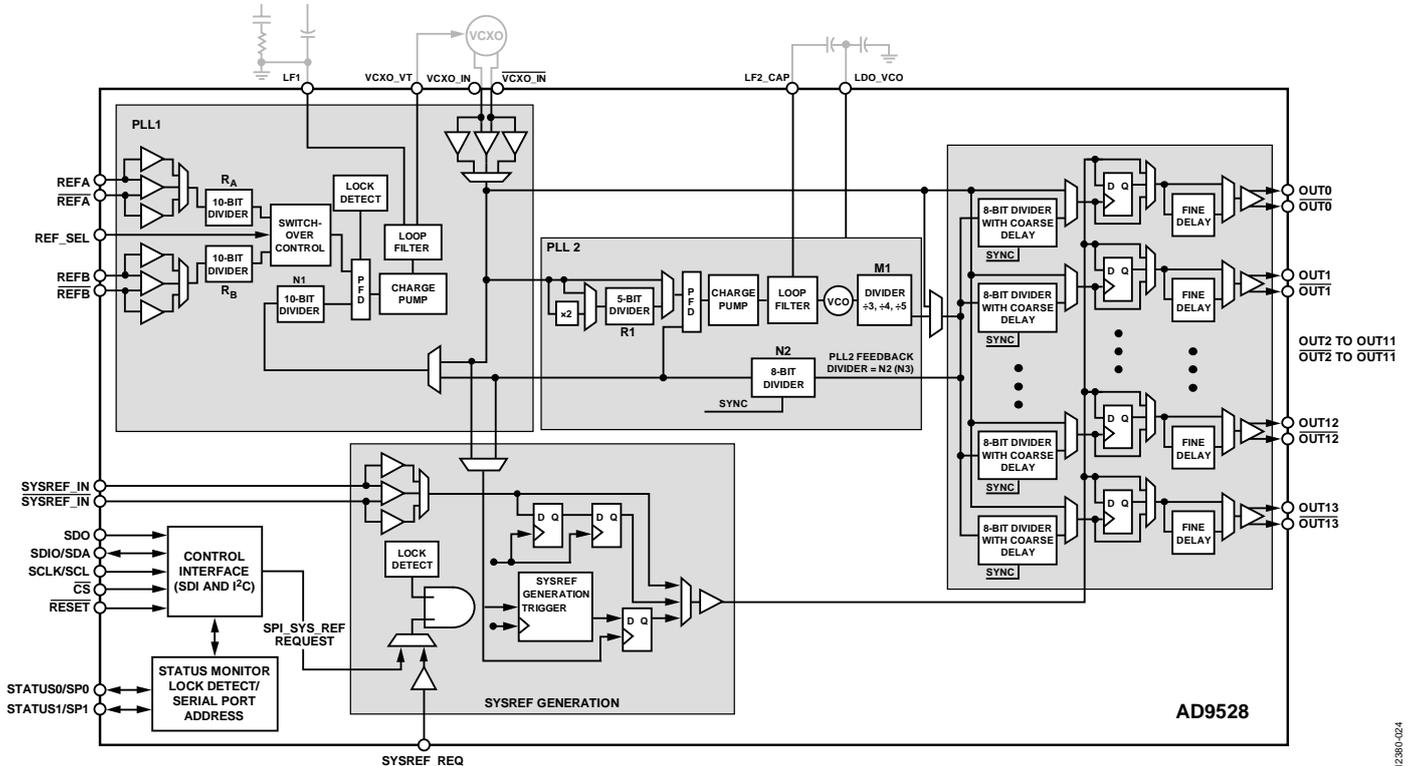


図 26. トップレベル回路図

概要

AD9528 は整数 N 型フェーズ・ロック・ループ (PLL) を使用したクロック・ジェネレータです。デバイスの回路はカスケード接続の 2 段 PLL で構成されています。PLL1 は外付け電圧制御水晶発振器 (VCXO) を使った整数分周型 PLL で構成されています。PLL1 はループ帯域幅が狭くなっており、PLL2 の入力段に対して入力ファレンス信号の初期的なジッタ・クリーンアップを行います。一方で、PLL1 の出力は必要に応じて任意のクロック分配出力に配信する事もできます。

PLL2 は 1 段目の PLL の出力周波数を 3.450 GHz ~ 4.025 GHz の範囲に変換する周波数通倍 PLL です。PLL2 には周波数の整数通倍を可能にする整数ベースのフィードバック分周器が組み込まれています。RF VCO 分周器 (3、4、5) は PLL2 の VCO 出力がクロック分配回路の入力に配信される前にその VCO 出力を分周します。RF VCO 分周器の後に続くクロック分配回路のプログラマブル整数分周器 (1~256) は、12 個の出力の最終出力周波数を最大 1 GHz あるいはそれ以下に確定します。OUT1 出力と OUT2 出力は最大 1.25 GHz まで動作可能です。

クロック分配回路内のすべての分周器設定はシリアル・プログラミング・ポートを介して設定する事ができるので、プログラム制御のもとに広範囲の入力/出力周波数比の設定が可能です。

分周器は必要に応じて出力信号のタイミングを調整するプログラム可能な粗遅延機能も内蔵しています。さらに、クロック分配経路に微遅延調整機能も備えています。出力は LVDS と HSTL のロジックレベルと互換性があります。AD9528 は JESD204B SYSREF 信号を生成する事ができます。この信号を 14 個の任意の出力に配信する事ができます。AD9528 は外部で生成された SYSREF 信号を受信し (再タイミングする又はしない) 出力にバッファする事もできます。AD9528 は、 -40°C ~ $+85^{\circ}\text{C}$ の拡張工業温度範囲で動作します。

AD9528 はリファレンス監視機能、自動/手動の切り替え/ホールドオーバーを内蔵しています。どちらの入力ファレンスを有効にするかを手動で選択するためのリファレンス選択ピンがあります。ホールドオーバーの精度は外部 VCXO の周波数安定度に依存します。

AD9528 のすべての電源ピンは $3.3\text{ V} \pm 5\%$ の電源範囲で動作します。しかし、各電源ピンには専用の LDO レギュレータが内蔵されており、デバイスの標準動作用に約 1.8V を提供します。レギュレータをそれぞれ独立させる事により電源除去比がより大きくなり、各出力ドライバあるいは分周器は電源を共有しないので、出力間結合が小さくなります。

コンポーネント・ブロッカー-PLL1

PLL1 の概要

PLL1 は位相/周波数ディテクタ(PFD)、チャージ・ポンプ、外部 VCXO、閉ループで動作する部分的に外付けのループ・フィルタで構成されます。

PLL1 には狭いループ帯域幅で動作する柔軟性があります。この相対的に狭いループ帯域幅によって AD9528 は入力リファレンス(REFA と REFB)に現れるジッタを抑制することができます。PLL1 の低位相ノイズの出力は PLL2 へのリファレンスとして動作するとともに、クロック分配回路にも配信されます。

PLL1 のリファレンス・クロック入力

AD9528 には2つの別々のリファレンス・クロック入力 (REFA と REFB) があります。これらの入力は差動信号あるいはシングル・エンド信号を入力できるように設定することができます。REFA と REFB は差動モードではセルフ・バイアスされ、シングルエンド CMOS モードでは高インピーダンスになります。REFA あるいは REFB をシングル・エンドで駆動する場合は、未使用側(REFA、REFB)を適切なコンデンサを使ってノイズのないグラウンドへデカップリングする必要があります。これらの入力は DC 結合することができますが、DC 動作点を「仕様」セクションで規定されたように設定してください。

差動リファレンス入力を選択しない時、あるいは PLL1 がパワーダウンしている時、差動リファレンス入力レシーバがパワーダウンします。PLL1 がパワーダウンしている時又は該当する個別パワーダウン・レジスタが設定された時又は差動レ

シーバが選択された時、シングル・エンド・バッファがパワーダウンします。

PLL1 ループ・フィルタ

PLL1 のループ・フィルタは大部分 LF1 (ピン 7)からグラウンドへの外付けになります。外付け部品の値は外付け VCXO と入力クロック・レート、希望の PLL1 ループ帯域幅などの設定パラメータに依存します。

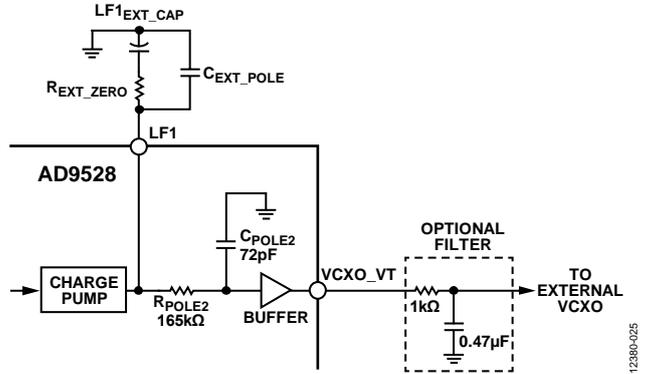


図 27.PLL1 ループ・フィルタ

1 kHz オフセットで最高のノイズ性能を得るために VCXO_VT 出力に外付け RC ローパス・フィルタを接続する事をお勧めします。PLL ループ帯域幅の安定性問題を回避するためにこのフィルタの極は十分高い周波数でなければなりません。

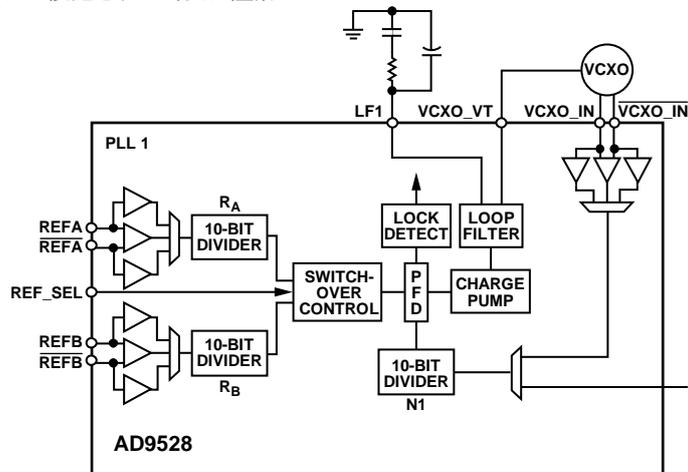


図 28.入力 PLL(PLL1)ブロック図

PLL1 入力分周器

各リファレンス入力には専用のリファレンス分周器ブロックが内蔵されています。入力分周器は 1~1023 の整数ステップでリファレンス周波数を分周します。

PLL1 リファレンスの切り替え

リファレンス監視は REFA 信号と REFB 信号の “有り” または “無し” を検証します。リファレンス監視のステータスによって切り替え制御ロジックの動作が決まります。AD9528 は REFA (REFA と REFA ピン) と REFB (REFB と REFB ピン) 間での自動/手動の PLL リファレンス・クロック切り替えを行う事ができます。

リファレンスの切り替えには複数の設定可能なモードがあります。手動切り替えはレジスタの設定をプログラミングするか又は REF_SEL ピンを使って行います。手動で REFB を選択する場合、REFB への切り替えが行われる前に REFB が存在していなければなりません。自動切り換えは REFA が消失し、REFB にリファレンスが存在する場合に起こります。PLL1 は REFA を主なリファレンス入力として動作します；これはデバイスの切り替え動作に関連します。

リファレンスの自動切り換えの動作は次のように設定できます：

- 非復帰。REFB に留まる。REFA が消失した時、REFA から REFB に切り替わり、REFA が回復しても REFA に戻らない。もし REFB が消失したら、その時 REFA に戻る。
- REFA に復帰。REFA が消失した時、REFA から REFB に切り替わる。REFA が戻った時、REFB から REFA に戻る。

切り替えイベントが非復帰モードで起こり、消失した REFA への入力が再度確立された場合、消失したリファレンスの復帰によって非復帰切り替えロジックはリセットされません。この設定の結果、(たとえ非復帰切り替えモードの間に REFB が選択され、非復帰切り替えをディスエーブルにして再度イネーブルにした場合でも)、REFA が存在するかどうかにかかわらず、引き続き REFB がアクティブ・リファレンスになります。切り替えロジックはデバイス・リセットを発行する事によりリセットする事ができます。

PLL1 ホールドオーバー

入力リファレンスが両方とも無い場合、デバイスはホールドオーバー・モードに入ります。デバイスがホールドオーバー・モードに切り替わる時、チャージ・ポンプはトライステートになるので、ある期間 VCXO_VT をその既存の値に維持する事ができます。オプションで、チャージ・ポンプを設定して、VCXO_VT を強制的に VDD/2 にする事ができます。デバイスはリファレンス信号が供給可能になるまでこのモードでの動作を続けます。その後、デバイスはホールドオーバー・モードを終了し、PLL1 はアクティブなリファレンスに再同期します。自動ホールドオーバー・モードはレジスタ・ビットでディスエーブルにすることができます。PLL1 がホールドオーバーの時でも、PLL2 は VCXO 信号にロックされた状態を維持します。

PLL1 のロック時間

標準的な PLL1 のロック時間は (位相余裕 55° の 3 次ループ・フィルタと仮定して) ループ帯域幅の 5 周期以内に起こります。PLL1 ロック検出回路がロック状態を示すまでには、最大でループ帯域幅の 10 周期分の時間がかかる場合があります。

図 51 の PLL1_TO は次のように計算されます。

$$PLL1_TO = 10/LBW_{PLL1}$$

ここで：

PLL1_TO は PLL1 のタイムアウトです。

LBW_{PLL1} は PLL1 のループ帯域幅です。

コンポーネント・ブロッカー PLL2

PLL2 の概要

PLL2 は選択可能な入力リファレンスの 2 倍器、リファレンス分周器、PFD、ほぼ内部に統合されたアナログ・ループ・フィルタ、内蔵電圧制御発振器 (VCO)、フィードバック分周器で構成されています。VCO は分周比 3、4、5 が可能な出力分周器で公称 3.8 GHz の信号を生成します。

PLL2 は 3.450 GHz ~ 4.025 GHz の範囲にわたる複数帯域の VCO を内蔵しています。デバイスはそのキャリブレーション工程の一部として自動で適切な帯域を選択します。

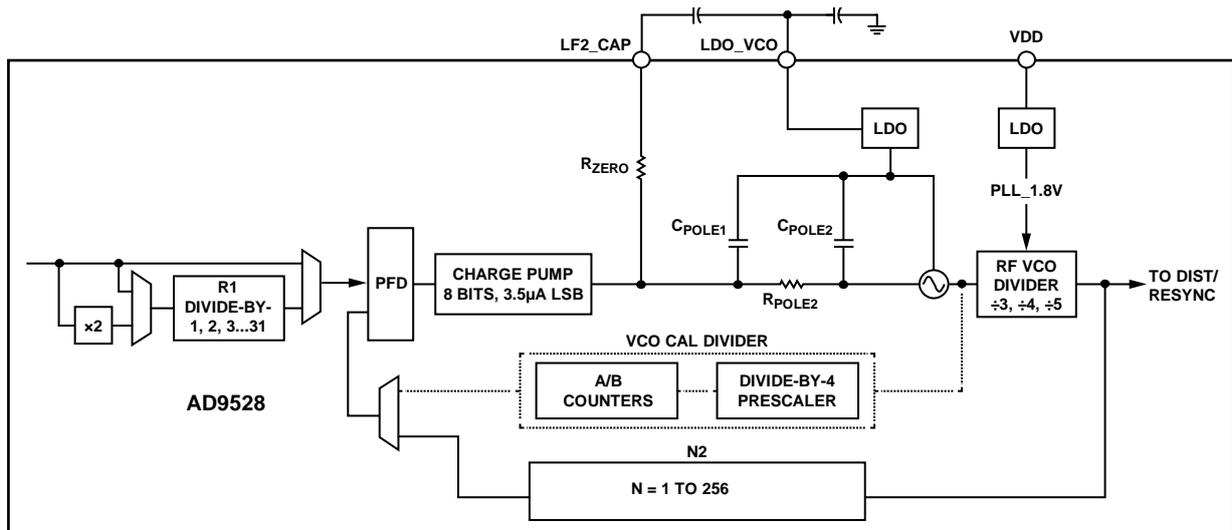


図 29.PLL2 ブロック図

12390-027

PLL2 入力の周波数 2 倍器

オプションで、周波数 2 倍器により、PLL2 リファレンス入力において周波数を 2 倍にすることができます。PLL2 への入力 (PFD)において周波数をより高くする事により、帯域内位相ノイズを減少させ、PLL によって生成した周波数と PFD に関連した変調スプリアス間の分離をより大きくすることができます。(入力のデューティ・サイクルは 50%から変化するので) 高調波歪が増加する可能性がある事に注意してください。従って、周波数逡倍器の効果的な利用はアプリケーションによります。標準的には、適切にインターフェースされた VCXO は VCXO_IN 入力で約 50%のデューティ・サイクルを持ちます。周波数 2 倍器の最大出力周波数は表 7 に規定されている最大 PFD レートを超えないようにする必要があります。

周波数 2 倍器を使用する場合、パワーアップにおいて時折、周波数 2 倍器への入力と PLL2 の PFD リファレンス入力の間で固定位相オフセットが生ずる可能性があります。これは VCXO_IN 周波数と、VCXO_IN ピンと VCXO_IN ピンに供給される信号の 1/2 周期の PLL2 出力との間で、固定位相オフセットがある可能性を示しています。内蔵 SYSREF 発生器を使用する場合は、毎回のパワーアップで SYSREF 発生器の固定位相が確実に一致するように、SYSREF 発生器の入力信号として PLL2 フィードバック経路を選んでください。

PLL2 の入力リファレンス分周器

入力リファレンス分周器(R1)は最大入力周波数が 275 MHz で 1~31 の整数ステップで分周します。この分周器は、出力周波数プランニングのために PLL2 の PFD レートをプリスケールしたり、PLL2 のループ帯域幅の設定の柔軟性を高めるためのオプションを提供します。

SYSREF 発生器とともに R1 分周器を使用する場合は、毎回のパワーアップで SYSREF 発生器の固定位相が確実に一致するように、SYSREF 発生器の入力信号として PLL2 フィードバック経路を選んでください。

PLL2 フィードバック分周器

図 29.に示すように PLL2 には 2 つのフィードバック経路があります。PLL2 の通常動作モードでは、PLL2 フィードバック経路は N2 (8 ビット分周器)と M1 (VCO RF 分周器)で構成されます。PLL2 の合計 PLL 逡倍値は N2 と M1 の積によって決まります。

PLL2 の 2 番目のフィードバック経路は VCO CAL 分周器を使います(図 29.を参照)。VCO CAL 分周器は PLL2 の内部 VCO をキャリブレーションするために独占的に使用されます。PLL2 の 2 つのフィードバック経路の PLL 逡倍値はレジスタ 0x0201、レジスタ 0x0204、レジスタ 0x0207、レジスタ 0x0208 で設定します。

適切な VCO キャリブレーションを行うために、2 つのフィードバック経路での合計 PLL 乗算はお互いに等しくなければなりません。各 VCO キャリブレーションの後に、VCO CAL 分周器フィードバック経路は自動的にディスエーブルになり、通常動作向けの N2 と M1 分周器のフィードバック経路に戻ります。VCO CAL 分周器は VCO キャリブレーション以外では使用できません。

VCO CAL 分周器はプリスケアラ(P)分周器と 2 個のカウンタ (A と B) で構成されています。合計分周値は次の式で計算できます。

$$VCO\ CAL\ DIVIDER = (P \times B) + A$$

ここで $P = 4$ 。

VCO CAL フィードバック分周器は P が 4 に固定されたデュアル・モジュラス・プリスケアラ構成になっています。B カウンタは 3~63 の値に、A カウンタは 0~3 の値にできます。対応している最小の分周値は 16 です。

VCO RF 分周器(M1)は内蔵 VCO とクロック分配の間で周波数分周を行います。VCO RF 分周器は 3、4、または 5 分周に設定することができます。VCO RF 分周器は通常動作の合計 PLL2 フィードバック経路の値の一部です。

PLL2 のループ・フィルタ

PLL2 のループ・フィルタは外付けコンデンサを LF2_CAP (ピン 14) から LDO_VCO (ピン 15) へ接続する必要があります。

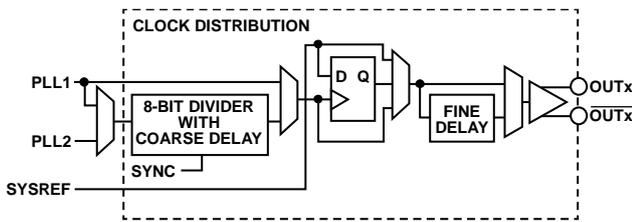


図 31.周波数源 PLL1、PLL2、SYSREF のクロック分配経路

下記は（チャンネル設定によって異なる）各種チャンネルの制限です：

- アナログ微遅延は、選択した入力周波数源にかかわらずすべてのチャンネルに対してサポートされています。
- デジタル粗遅延はチャンネル分周器が使用される時のみサポートされます。周波数源として SYSREF を使用する時に、デジタル粗遅延を使用するには信号をチャンネル分周器の出力で再タイミングする必要があります。
- 出力チャンネルの同期は、sync 出力ビット（レジスタ 0x032A、ビット"0"）を使って 8 ビット・チャンネル分周器を同時にリセットする事により実行されます。それゆえ、同期をとるためには 8 ビット分周器経路を使用する必要があります。出力の周波数源が SYSREF である場合、同期させるには SYSREF 信号をチャンネル分周器の出力で再サンプルする必要があります。

クロック分周器

出力クロック分配の分周器は出力チャンネル OUT0 ~ OUT13 それぞれに対応して D0 ~ D13 と呼びます。各分周器は 8 ビット精度（1 ~ 256 の任意の数字）で設定可能です。分周器は公称 50% のデューティ・サイクルにするための（奇数分周の場合でも）デューティ・サイクル修正回路を備えています。分周値を変更した後は確実に出力チャンネルで目的の分周比が得られるように、sync 出力コマンドを発行する必要がありますに注意してください。

デジタル粗遅延

AD9528 は RF VCO 分周器出力周波数の 1/2 周期を単位として 0 ~ 63 ステップ（6 ビット）で位相オフセットを設定することができます。チャンネル出力で確実に目的の位相オフセットが得られるように、新しい位相オフセットが設定された後に sync 出力コマンドを発行する必要があります。これは新しい位相オフセットを設定した後にレジスタ 0x032A、ビット 0 を介して sync コマンドを発行する事で実現されます。sync コマンドを無視するようにチャンネルを設定しない限り、sync が有効の間、全出力は一時的にディスエーブルになります。各チャンネルの ignore sync コマンドはレジスタ 0x032B とレジスタ 0x032C を介して制御します。

アナログ微遅延

各チャンネルは RF VCO 分周器出力の半サイクルに比十分小さな遅延ステップを供給できる 4 ビット微アナログ遅延回路を備えています。各チャンネルの「fine analog delay enable」ビットは微遅延経路をアクティブにします；4 個の遅延ビット=0000 でイネーブル・ビットがアサートされた時、最小挿入遅延は公称 425 ps です。フルスケール遅延=1111 の時、さらに遅延 496 ps が追加します。平均微遅延分解能ステップは約 31 ps です。

出力チャンネルのパワーダウン

各出力チャンネルはレジスタ 0x0501 と レジスタ 0x0502 を介して制御する独立したパワーダウン機能を備えています。各チャンネルをパワーダウンする事により全体のデバイス電力は削減されます。この場合ユーザーがチャンネル・パワーダウン制御をディスエーブルする準備ができるまで出力は固定になっています。さらに、レジスタ 0x0503 とレジスタ 0x0504 によって各チャンネル出力の LDO のパワーダウンを制御することにより、追加の省電力が可能です。

出力ドライバ

各チャンネルと対応する出力ドライバは専用の内蔵 LDO を備えており、チャンネルと出力ドライバの電源になります。等価出力ドライバ回路を図 32 と図 33 に示します。この出力ドライバの設計では、HSTL ドライバ・モードと LVDS ドライバ・モードの両方に共通の外付け 100 Ω 差動抵抗に対応しています。LVDS モードでは、電流 3.5 mA により負荷抵抗 100 Ω の両端に 350 mV ピーク電圧が生じます。LVDS ブースト・モードでは、電流 4.5 mA により負荷抵抗 100 Ω の両端に 450 mV ピーク電圧が生じます。同様に、HSTL モードでは、電流 9 mA により負荷抵抗 100 Ω の両端に 900 mV ピーク電圧が生じます。

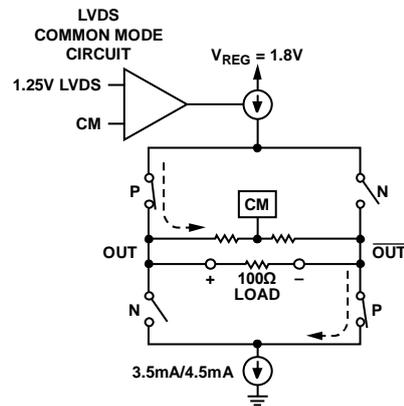


図 32.LVDS 出力ドライバ

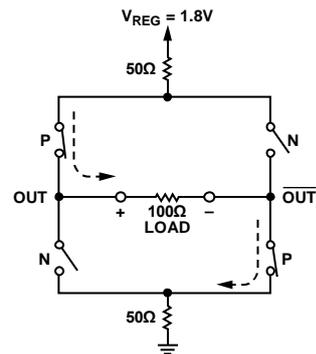


図 33.HSTL 出力ドライバ

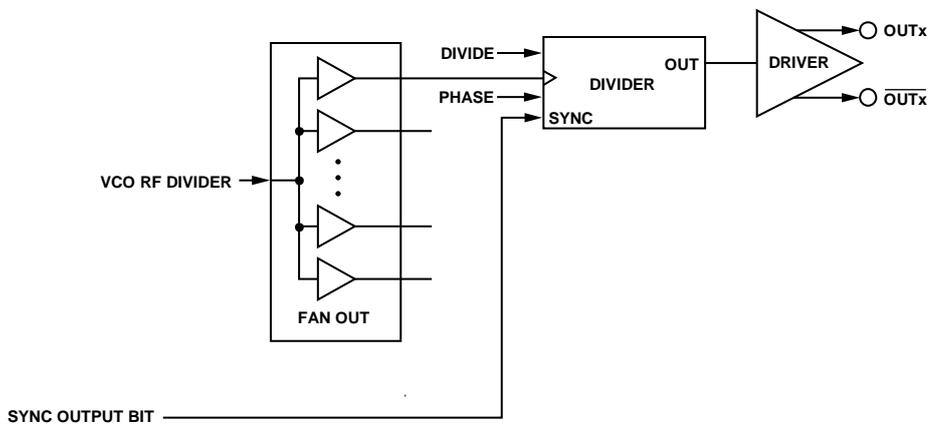
クロック分配の同期

図 34 にクロック分配の同期機能のブロック図を示します。同期機能のエッジは全出力を一緒に一致させるか又は出力エッジの間で強制的に希望の位相オフセットに合わせます。チャンネル分周器の自動同期はパワーアップ又はリセット・イベント後最初に PLL2 がロックする時に開始されます。後続のロック/アンロック・イベントは、(その前にデバイスのパワーダウン又はリセットが行われない限り) 再同期を開始しません。

sync 出力コマンドを無視するようにチャンネルを設定しない限り、レジスタ 0x032A、ビット 0 の sync 出力ビットが有効の間、全出力は一時的にディスエーブルになります。各チャンネルの“ignore sync”コマンドはレジスタ 0x032B とレジスタ 0x032C を介して制御します。

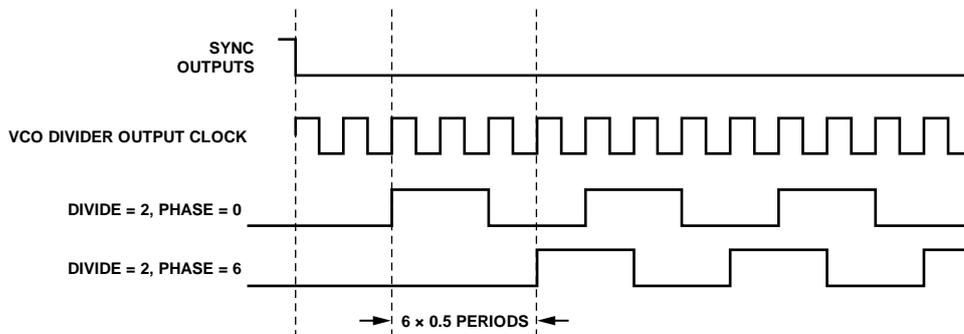
出力を同期させるために sync 出力ビットを使用する場合、始めにビットを設定し次にクリアします。同期イベントはクリア動作です(すなわち、ビットのロジック“1”からロジック“0”への変化)。チャンネル分周器は PLL2 が ready の時、自動的にお互いに同期します。

通常動作では、位相オフセットは AD9528 が出力を開始する前にすでに SPI/I²C ポートを通して設定されています。デジタル粗位相オフセットは分周器が動作している間は調整できませんが、全出力相互の相対的な位相は PLL1 と PLL2 をパワーダウンする事なしに調整する事ができます。これはクロック分配レジスタのビット[5:0]を使って新規の位相オフセットを設定し、次に sync 出力ビット(レジスタ 0x032A、ビット 0)を使って出力 sync を発行する事により実行されます。



12380-030

図 34.クロック分配の同期のブロック図



12380-031

図 35.クロック出力の同期のタイミング図

SYSREF 動作

AD9528 はペアのデバイス・クロック信号と SYSREF クロック信号を供給する事により、高速コンバータや FPGA などのロジック・デバイスの同期に関する JESD204B 規格に対応しています。SYSREF クロックあるいはデバイス・クロックは AD9528 内のクロック分配回路を介して 14 出力の任意の 1 つ又は複数に分配する事ができます。SYSREF クロックがクロック分配回路に到達した後、デバイス・クロック基準に SYSREF クロックのタイミングを調整するために、プログラマブル・デジタル粗遅延そして/又はアナログ微遅延を利用することができます。遅延は、コンバータあるいはロジック・デバイスの入力において、デバイス・クロックと SYSREF クロック間の下流での適切なセットアップとホールド・タイミングを確立します。

SYSREF 信号の経路

AD9528 は、SYSREF 信号を発生させるために 2 種類の信号源を利用できます。1 つ目の信号源はユーザが供給する外部 SYSREF クロック信号で、SYSREF_IN と SYSREF_IN (各々ピン 70 とピン 71) に入力します。2 つ目の信号源は内部

SYSREF 生成回路で、ユーザは内部的に生成されたパルスパターンを指定できます。これら 2 つの信号源に関連した動作に 3 つのモードがありますが、それらはレジスタ 0x0403、ビット[7:6]で指定します。

- 00 = モード 1 (外部 SYSREF)
- 01 = モード 2 (VCXO 又は PLL2 フィードバック分周器で再サンプルした外部 SYSREF)
- 1x = モード 3 (内部的に生成された SYSREF)。

SYSREF モード 1 : 外部 SYSREF

図 36 にモード 1 を選択した場合の SYSREF クロック経路を示します。外部 SYSREF クロック信号を SYSREF_IN ピンそして/又は SYSREF_IN ピンに入力します。いずれかのピンに別々にシングル・エンド信号を入力するか又は両方のピンにわたり差動信号を入力します。SYSREF_REQ ピンとレジスタ 0x0403 のビット “0” (SPI SYSREF Request) はモード 1 では未使用である事に注意してください。

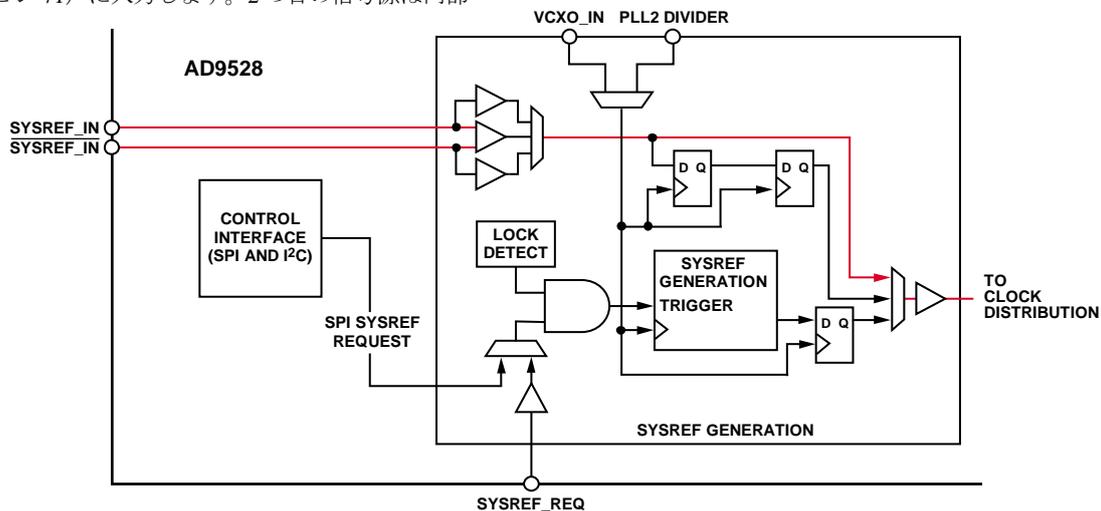


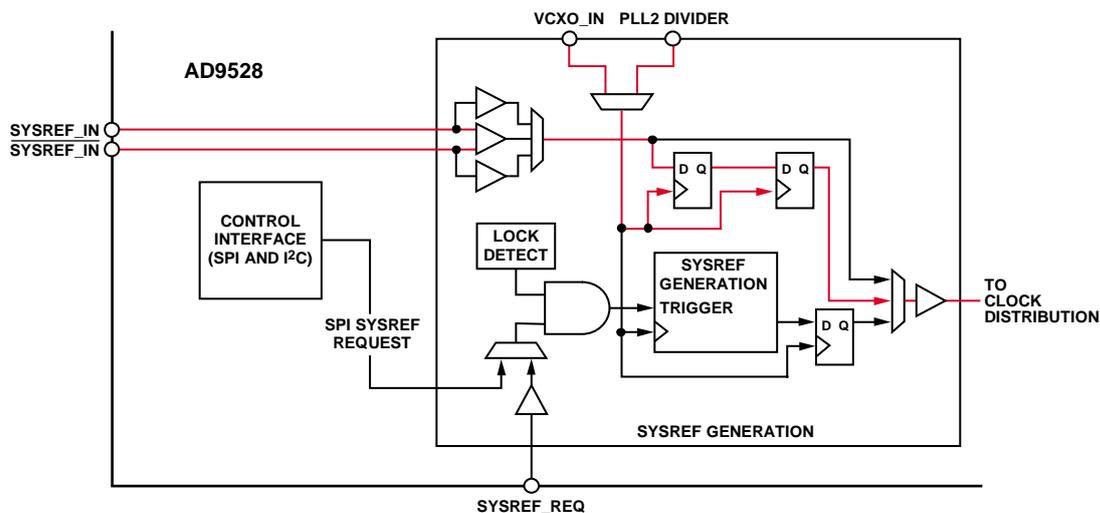
図 36.モード 1、外部 SYSREF をクロック分配に直接配信します。

12380-032

SYSREF モード 2 : 再タイミングした外部 SYSREF

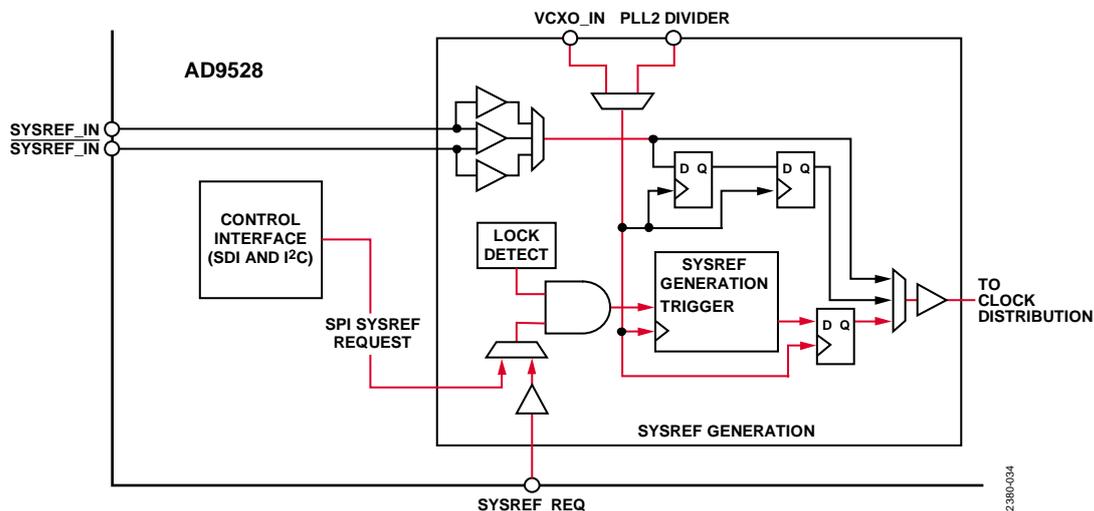
図 37 にモード 2 を選択した場合の SYSREF クロック経路を示します。差動又はシングル・エンドの SYSREF クロック信号を SYSREF_IN と $\overline{\text{SYSREF_IN}}$ ピンに入力します(モード 1 を参照)。

モード 1 と異なり、モード 2 は VCXO_IN ピンと $\overline{\text{VCXO_IN}}$ ピン (それぞれピン 11 とピン 12) から始まる信号、あるいは PLL2 のフィードバック・ノードの信号によって外部 SYSREF 信号を再タイミングします。外部 SYSREF 信号を再タイミングする信号源はレジスタ 0x0402、ビット 4 で選択します。SYSREF_REQ ピンとレジスタ 0x0403 のビット “0” (SPI SYSREF Request) はモード 2 では未使用である事に注意してください。



12380-033

図 37.モード 2、内部 VCXO 又は PLL2 入力分周器出力に対して外部 SYSREF を再タイミングし、クロック分配出力へ配信します。



12380-034

図 38.モード 3、SYSREF は内部的に生成され、クロック分配に配信されます。

SYSREF 発生器

SYSREF パターン発生器はユーザ定義の SYSREF 信号を生成します (表 23 を参照)。パターン発生器へ供給される入力クロックは VCXO_IN ピンと VCXO_IN ピンで始まる信号あるいは PLL2 のフィードバック・ノードの信号です。パターン発生器には固定 2 分周と SYSREF のパルス幅をプログラムするプログラマブル 16 ビット K 分周器 (レジスタ 0x0401 とレジスタ 0x0400 によって設定) が含まれます。K の値の範囲は 0 ~ 65535 です。例えば、パターン発生器の入力クロックが 122.88 MHz の場合、最大 SYSREF 周期は 131,070/122,880,000 秒 (1066 μ s) になります。パターン発生器は、非同期の SYSREF 要求が発行されるタイミングにかかわらず、他のすべての出力に同期するパルスを発行するだけのタイマーのように働きます。

SYSREF 要求

SYSREF 要求信号は内蔵 SYSREF パターン発生器を開始又は停止させます。信号はソフトウェアで制御するかあるいはピンを介して制御します。「SYSREF request method」はレジスタ 0x0402、ビット 7 を使って制御します。

ソフトウェア制御

ソフトウェア制御モードでは、SYSREF パターン発生器は「SYSREF pattern generator trigger control」ビット (レジスタ 0x0402、ビット [6:5]) を検知し、常にレベルトリガーです。ビット 6 = 0 (レベルトリガー・モード) の場合、ビット 5 がトリガーとして使用されます。N-ショット・モードがイネーブルの場合、ビット 5 を "0" から "1" に設定して SYSREF パターン・シーケンスを開始します。シーケンスが完了し、N 個のパルスが出力した後、SYSREF パターン発生器は自動的にビット 5 をクリアし、次の SYSREF 要求を待ちます。

連続モードでは、ビット 5 = 1 の場合、パターン・シーケンスは継続します。ビット 5 をクリアするとシーケンスは停止し、次の SYSREF 要求を待ちます。

ピン制御-レベル・トリガー・モード

レベル・トリガー・モード (レジスタ 0x0402、ビット 6 = 0) では、SYSREF_REQ ピンを使って SYSREF パターン発生器を制御します。N-ショット・モードがイネーブルの場合、SYSREF_REQ ピンを "0" から "1" にして SYSREF パターン・シーケンスを開始します。シーケンスが完了し、N 個のパルスが出力した後、SYSREF_REQ ピンを "0" にします。次にパターン発生器は次の SYSREF 要求を待ちます。

連続モードでは、SYSREF_REQ ピンを "0" から "1" にして SYSREF パターン・シーケンスを開始します。シーケンスを停止するには SYSREF_REQ ピンを "0" にします。次にパターン発生器は次の SYSREF 要求を待ちます。

ピン制御-エッジトリガー・モード

エッジトリガー・モードでは、SYSREF_REQ ピンの立上がりエッジ又は立下がりエッジを使って SYSREF パターン発生器を制御します。立上がり又は立下がりのどちらをアクティブ・エッジにするかはレジスタ 0x0402、ビット [6:5] を使って決めます。ビット 6 = 1 で、ビット 5 によってアクティブのトリガーエッジが決まります。N-ショット・モードがイネーブルの場合、SYSREF_REQ ピンのアクティブ・エッジが SYSREF パターン・シーケンスを開始します。シーケンスが完了し、N 個のパルスが出力した後、パターン発生器は次の SYSREF 要求を待ちます。N 個のパルスが出力される前に SYSREF_REQ を "0" に設定しても、現在のパターン・シーケンスは影響されません。従って、パターン・シーケンスが完了する前に新しい SYSREF_REQ のアクティブ・エッジが到達しても、この新規のリクエストは見過ごされます。

連続モードでは、SYSREF パターン・シーケンスは SYSREF_REQ のアクティブ・エッジで開始します。シーケンス後、パターン発生器は次の SYSREF 要求を待ちます。

表 23. オンチップ SYSREF 発生モード

SYSREF Pattern Generator Mode (Register 0x0403, Bits[5:4])	Generation Output Mode	Description
00	SYSREF Pattern Generator Mode (Register 0x0403, Bits[3:1]) N-shot mode[2:0] = 001 = 1 pulse out N-shot mode[2:0] = 010 = 2 pulses out N-shot mode[2:0] = 011 = 4 pulses out N-shot mode[2:0] = 100 = 6 pulses out N-shot mode[2:0] = 101 = 8 pulses out N-shot mode[2:0] = 110 or greater = 1 pulse out	The SYSREF outputs N pulses after the SYSREF request is initiated and then the SYSREF output goes logic low until the next SYSREF request. N can be programmed as 1, 2, 4, 6, or 8.
01	Continuous mode	The SYSREF output continuously outputs a 101010... pulse train and behaves like a clock with a frequency of $f_{IN}/(2 \times K)$ after the SYSREF request is initiated.
10	PRBS	Not applicable.
11	Stop	In stop mode, the SYSREF output is static low.

シリアル・コントロール・ポート

AD9528のシリアル・コントロール・ポートは柔軟な同期シリアル通信ポートで、多くの業界標準のマイクロコントローラやマイクロプロセッサとのインターフェースが容易にできます。AD9528のシリアル・コントロール・ポートは、フィリップス社のI²Cプロトコル、モトローラ社のSPIプロトコル、Intel社のSSRプロトコルなどの多くの同期転送フォーマットと互換性を持っています。シリアル・コントロール・ポートを使用すると、AD9528のレジスタ・マップに対するリード/ライト・アクセスが可能になります。

AD9528はアナログ・デバイセズの統合SPIプロトコル ([AN-877 アプリケーション・ノート](#)を参照)を使用します。統合SPIプロトコルは、このプロトコルを使用したすべての新しいアナログ・デバイセズ社製品が一貫したシリアル・ポート特性を持つ事を保証します。SPIポートの設定はレジスタ0x0000を介してプログラムできます。このレジスタはレジスタ・マップの中というよりもむしろSPIコントロール・ロジックの一部で、I²Cレジスタ0x0000とは違います。

統合SPIは[AD9523](#)や[AD9524](#)のような古い製品に搭載されているSPIポートとは次の点で異なります。

- 統合SPIにはバイト・カウントがありません。転送はCSピンがハイになった時終了します。従来のSPIのW1ビットとW0ビットはレジスタ・アドレスのA12ビットとA13ビットに相当します。これは従来のSPIでのストリーミング・モードと同じです。
- address ascension ビット (レジスタ 0x0000、ビット 2 とビット 5)はLSB/MSBファーストの設定に関係なくレジスタ・アドレスを自動でインクリメントするかデクリメントするかを決めます。従来のSPIでは、LSBファーストの場合にレジスタ・アドレスの自動インクリメントが行われ、MSBファーストの場合に自動デクリメントが行われるようになっていました。
- 統合シリアル・ポートに従うデバイスはすべて先頭の16レジスタ・アドレスが一貫した構造になっています。

AD9528はSPIとI²C両方のシリアル・ポート・プロトコルに対応していますが、パワーアップ後に有効なのは1つのみです(起動シーケンスの間にSTATUS0/SPOとSTATUS1/SPI複数機能ピンによって指定されます)。シリアル・ポート・プロトコルを変更する唯一の方法はデバイスをリセット(又は電源を再投入)する事です。

SPI/I²C ポートの選択

AD9528にはSPIとI²Cの2種類のシリアル・インターフェースがあります。ユーザは最初の電源が供給された時又はRESET後に、2つのロジック・レベル入力ピン (STATUS0/SPOとSTATUS1/SPI)のステータス(ロジックハイ、ロジックロー)に応じてSPI又はI²Cのどちらかを選択できます。STATUS1/SPIとSTATUS0/SPOの両方がローの時、SPIインターフェースがアクティブになります。その他の場合、I²Cがアクティブになり、3種類のI²Cスレーブ・アドレス設定(7ビット幅)になります(表24参照)。スレーブ・アドレスの上位5ビット(MSB)は、10101にハードウェア固定され、2つのLSBがSTATUS1/SPIピンとSTATUS0/SPOピンのロジック・レベルにより設定されます。

表 24.シリアル・ポート・モードの選択

STATUS1/SPI	STATUS0/SPO	Address
Low	Low	SPI
Low	High	I ² C = 1010100
High	Low	I ² C = 1010101
High	High	I ² C = 1010110

SPI シリアル・ポートの動作

ピンの説明

SCLK(シリアル・クロック)ピンはシリアル・シフト・クロックとして機能します。このピンは入力です。SCLKによって、シリアル・コントロール・ポートの読出し動作と書込み動作が同期します。SCLKの立上がりエッジで書込みデータビットがレジスタに取込まれ、SCLKの立下がりエッジで読出しデータビットがレジスタに取込まれます。SCLKピンは最大50MHzのクロック・レートに対応します。

SPIポートは3線(双方向)と4線(片方向)の両方のハードウェア構成に対応し、MSBファースト・データ・フォーマットとLSBファースト・データ・フォーマットのいずれにも対応します。ハードウェア構成機能とデータ・フォーマット機能は両方とも設定可能です。3線式の場合、SDIO(シリアル・データ入力/出力)ピンを使ってデータを双方向に転送します。4線式の場合、SDIOピンを使ってAD9528へデータを転送し、SDOピンを使ってAD9528からのデータを転送します。

CS(チップ・セレクト)ピンは読出し動作と書込み動作をゲーティングするアクティブ・ローの制御信号です。CSピンをアサート(アクティブ・ロー)するとAD9528のSPIポートに対する読出し動作あるいは書込み動作が開始します。任意の数のデータ・バイトを1つの連続ストリームで転送することができます。address ascensionビット(レジスタ0x0000、ビット2とビット5)の設定に基づいて、レジスタ・アドレスは自動的にインクリメントまたはデクリメントされます。転送される最終バイトの終わりでCSのアサートを解除して、ストリーム・モードを終了する必要があります。このピンは内部で10kΩプルアップ抵抗に接続されています。CSがハイの時、SDIOピンとSDOピンは高インピーダンス状態になります。

実装固有の詳細事項

統合SPIプロトコルの詳細説明(タイミング、命令形式、アドレス指定などの項目を含む)は[AN-877 アプリケーション・ノート](#)に載っております。

統合SPIプロトコルに製品の下記の個別項目が規定されています:

- アナログ・デバイセズ社の統合SPIプロトコル・レビジョン: 1.0
- チップ・タイプ: 0x5
- クロック・シリアルID: 0x00F
- 物理層: 3線と4線に対応し、1.5V、1.8V、2.5V動作に対応。
- オプションの1バイト命令モード: 非対応。
- データ・リンクは使用しない。
- コントロールは使用しない。

通信サイクル—命令+データ

統合SPI プロトコルの通信サイクルには2つの部分があります。最初の部分は16ビットの命令ワードであり、これはSCLKの最初の16個の立上がりエッジと同期します。それからペイロードがあります。この命令ワードは、ペイロードについての情報をAD9528のシリアル・コントロール・ポートに提供します。この命令ワードは、ペイロード転送の方向（すなわち、読出し又は書込み）を示すR/Wビットを含んでいます。命令ワードはペイロードの先頭バイトの開始レジスタ・アドレスも示します。

書込み

命令ワードが書込み動作を示す場合、ペイロードはAD9528のシリアル・コントロール・ポートのバッファに書込まれます。データビットは、SCLKの立上がりエッジでレジスタに取り込まれます。一般的に、ブランク・レジスタにどのようなデータが書込まれようと問題ありません；しかし“0”を使用するのが慣習になっています。“0x00”に等しくないデフォルト値の予約済みレジスタも存在する可能性がある事に注意してください；しかし、これを防ぐためにあらゆる努力がなされています。

ほとんどのシリアル・ポート・レジスタはバッファ付きですが、これらのバッファ付きレジスタに書込まれたデータは直ちに有効にはなりません。バッファ付きシリアル・コントロール・ポートの内容を実際にデバイスに制御するレジスタに転送するにはもう1つの動作が必要です。この転送はIO_UPDATE動作（2つのうち1つの方法で行われます）で実行されます。1つの方法はレジスタ0x000F、ビット“0”（このビットは自動クリア・ビットです）にロジック1を書込む事です。ユーザはIO_UPDATEを実行する前に、必要に応じた数だけレジスタ・ビットを変更できます。IO_UPDATE動作によりバッファ・レジスタの内容はそれらに対応するアクティブなレジスタに転送されます。

読出し

命令ワードが読出し動作を示す場合、次のN×8 SCLK サイクルの間に、命令ワードで指定されたアドレスから開始するデータが出力されます。Nはデータバイト読出しの数です。リードバック・データはSCLKの立下がりエッジでピンに出力しますが、そのデータはSCLKの立上がりエッジでラッチする必要があります。リードバックの間はブランク・レジスタをスキップしません。

リードバック動作では、シリアル・コントロール・ポート・バッファ・レジスタ又はアクティブ・レジスタからデータが取り出され、どちらから取り出されるかはレジスタ0x0001、ビット5で決定されます。

SPI 命令ワード(16ビット)

16ビット命令ワードのMSBはR/Wであり、読出し命令/書込み命令のいずれであるかを指定します。次の15ビットはレジスタ・アドレス(A14～A0)であり、読出しまたは書込み動作の開始レジスタ・アドレスを指定します（表26を参照）。アドレス・ビットが14以上必要なレジスタはないので、A14とA13はAD9528の中で無視され、ゼロとして扱われる事に注意してください。

SPI MSB ファースト/LSB ファーストの転送

AD9528の命令ワードとペイロードはMSBファーストまたはLSBファーストで転送することができます。AD9528のデフォルトはMSBファーストです。レジスタ0x0000、ビット1とビット6へ“1”を書込む事により、LSBファーストモードに設定することができます。LSBファースト・ビットが設定された後すぐに次のシリアル・コントロール・ポートの動作はLSBファーストになります。

アドレスのカウント方向

address ascension ビット（レジスタ0x0000、ビット2とビット5）が“0”の場合、シリアル・コントロール・ポートのレジスタ・アドレスは指定された開始アドレスからアドレス“0x0000”に向かってデクリメントします。

address ascension ビット（レジスタ0x0000、ビット2とビット5）が“1”の場合、シリアル・コントロール・ポートのレジスタ・アドレスは開始アドレスからアドレス“0x1FFF”に向かってインクリメントします。複数バイトの入力/出力動作の間、予約済みアドレスはスキップされません；従って、予約済みレジスタにデフォルト値を、そしてマッピングされていないレジスタに“0”を書込んでください。デフォルト値を3個以上の連続した予約済み（又はマッピングされていない）レジスタに書込む事よりも新しい書込み命令を発行する方がより効率的である事に注意してください。

表 25. ストリーミング・モード（スキップされるアドレスはありません）

Address Ascension	Stop Sequence
Increment	0x0000...0x1FFF
Decrement	0x1FFF...0x0000

表 26. シリアル・コントロール・ポート、16ビット命令ワード

MSB													LSB		
I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1	I0
R/W	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0

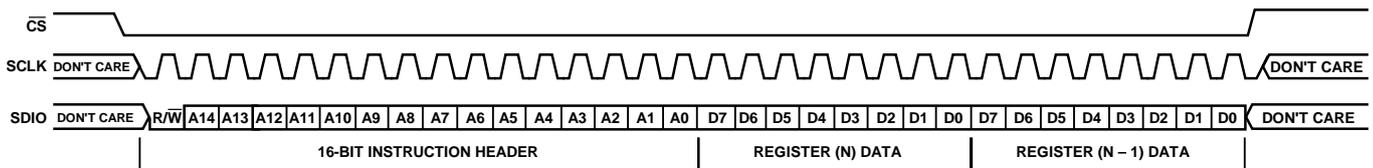


図 39. シリアル・コントロール・ポートの書込み—MSBファースト、アドレス・デクリメント、2バイト・データ

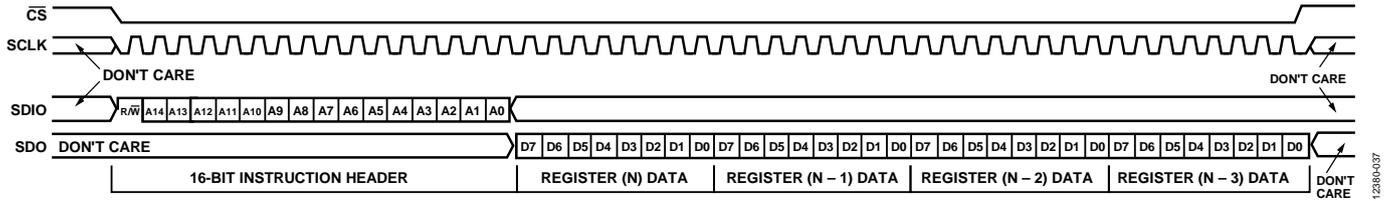


図 40. シリアル・コントロール・ポートの読出し—MSB ファースト、アドレス・デクリメント、4 バイト・データ

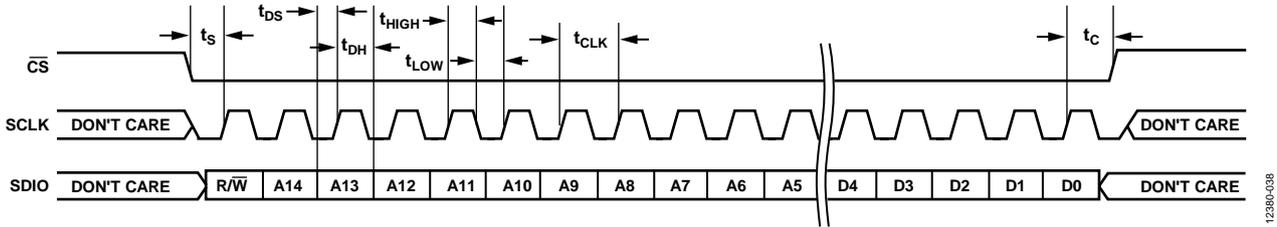


図 41. シリアル・コントロール・ポートの書き込みのタイミング図—MSB ファースト

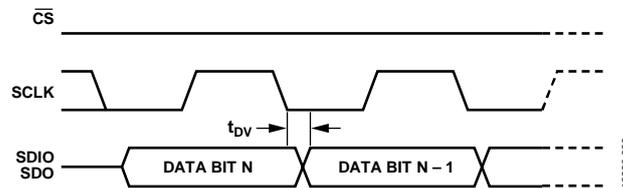


図 42. シリアル・コントロール・ポート・レジスタの読出しのタイミング図—MSB ファースト

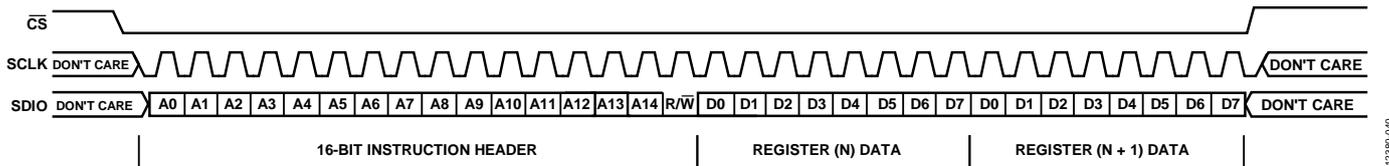


図 43. シリアル・コントロール・ポートの書き込み—LSB ファースト、アドレス・インクリメント、2 バイト・データ

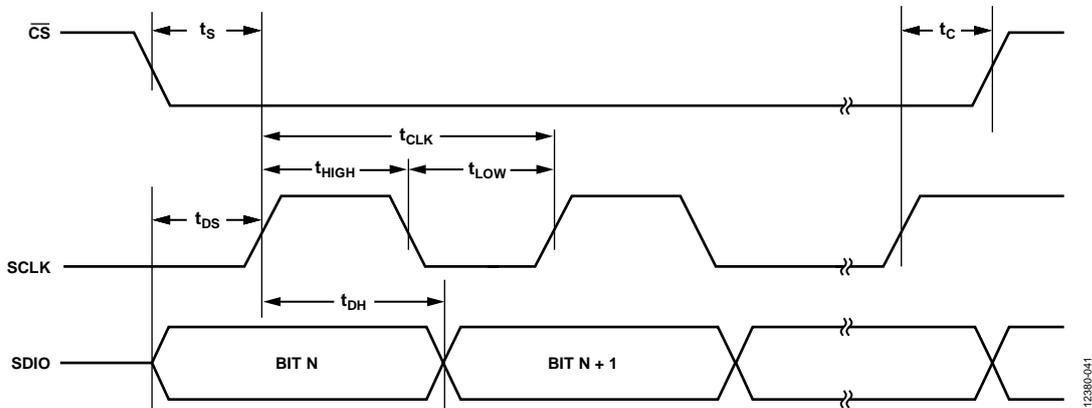


図 44. シリアル・コントロール・ポートのタイミング—書き込み

表 27. シリアル・コントロール・ポートのタイミング

Parameter	Description
t_{DS}	Setup time between data and the rising edge of SCLK
t_{DH}	Hold time between data and the rising edge of SCLK
t_{CLK}	Period of the clock
t_s	Setup time between the \overline{CS} falling edge and the SCLK rising edge (start of the communication cycle)
t_c	Setup time between the SCLK rising edge and \overline{CS} rising edge (end of the communication cycle)
t_{HIGH}	Minimum period that SCLK is in a logic high state
t_{LOW}	Minimum period that SCLK is in a logic low state
t_{DV}	SCLK to valid SDIO (see 図 42)

I²C シリアル・ポートの動作

I²C インターフェースは必要なピン数が 2 ピンのみで、同じバス上で複数デバイスを容易にサポートするので良く使用されます。その主な欠点はプログラミング速度 (400kbps max) です。AD9528 の I²C ポート回路は、I²C 高速モードを採用しています；しかし、AD9528 は標準モード(100 kHz)と高速モード(400 kHz)の両方に対応します。

1.5 V、1.8 V、2.5 V の動作に対応させようとする中で、AD9528 は厳密にはオリジナルの I²C 仕様のすべての要求に固執していません。特にスルーレート制限やグリッチ・フィルタ処理のような仕様は施行されていません。従って、AD9528 は I²C 互換ですが、完全 I²C 互換ではありません。

AD9528 の I²C ポートは、シリアル・データ・ライン(SDA)とシリアル・クロック・ライン(SCL)で構成されています。I²C バス・システムでは、AD9528 はスレーブ・デバイスとしてシリアル・バス(データ・バス SDA とクロック・バス SCL)に接続されます。すなわち、クロックは AD9528 からは発生しません。AD9528 は、汎用性の高い 8 ビット(1 バイト)メモリ・アドレッシングではなく、ダイレクト 16 ビットメモリ・アドレッシングを採用しています。

AD9528 の場合、3 つの固有のスレーブ・デバイスまで I²C バスを占有できます。これらは I²C パケットの一部として送信される 7 ビットスレーブ・アドレスを介してアクセスされます。一致したスレーブ・アドレスのデバイスのみがその次の I²C 命令に応答します。表 24 に対応するデバイス・スレーブ・アドレスの一覧を示します。

I²C バスの特性

I²C で使用される各種略語の一覧を表 28 に示します。

表 28. I²C バスの略語の定義

Abbreviation	Definition
S	Start
Sr	Repeated start
P	Stop
A	Acknowledge
\bar{A}	No acknowledge
\bar{W}	Write
R	Read

データの転送を図 45 に示します。各転送データ・ビットに対して 1 クロック・パルスが発生します。SDA ライン上のデータは、クロックのハイ・レベル区間で安定している必要があります。データ・ラインのハイ又はローの状態は、SCL ラインのクロック信号がロー・レベルの時のみに変化することができます。

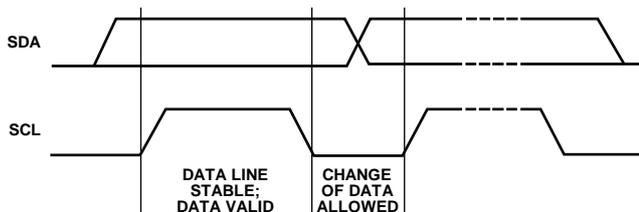


図 45. 有効なビット転送

スタート/ストップ機能を図 46 に示します。スタート条件は、SCL のハイ・レベル中における SDA ラインのハイ・レベルからロー・レベルへの変化で特徴づけられています。マスターが常にスタート条件を発生してデータ転送を初期化します。ストップ条件は、SCL のハイ・レベル中における SDA ラインのロー・レベルからハイ・レベルへの変化で特徴づけられています。マスターが常にストップ条件を発生して、データ転送を終了させます。SDA ライン上のすべてのバイトは 8 ビット長でなければなりません。各バイトの後にアックノレッジ・ビットが続きます；バイトは MSB ファーストで送信されます。

アックノレッジ・ビット(A)は、すべての 8 ビットのデータ・バイトに追加される 9 番目のビットです。バイトが受信されたことをトランスミッタへ通知するために常に受信デバイス(レシーバ)がアックノレッジ・ビットを発生しますが、これは、各 8 ビット・データ・バイトの後ろの 9 番目のクロック・パルスの間に SDA ラインをロー・レベルにすることにより実行されます。

ノー・アックノレッジ・ビット(\bar{A})は、すべての 8 ビットのデータ・バイトに追加される 9 番目のビットです。バイトが受信されていないことをトランスミッタへ通知するために常にデバイス(レシーバ)がノー・アックノレッジ・ビットを発生しますが、これは、各 8 ビット・データ・バイトの後ろの 9 番目のクロック・パルスの間に SDA ラインをハイ・レベルに維持する事により実行されます。ノー・アックノレッジ・ビットを発生後、AD9528 の I²C ステート・マシンはアイドル状態になります。

データ転送処理

マスターは、スタート条件をアサートしてデータ転送を開始します。スタート条件は、その後にデータ・ストリームが続くことを示します。シリアル・バスに接続されたすべての I²C スレーブ・デバイスは、スタート条件に応答します。

次に、マスターは SDA ラインを介して 7 ビットのスレーブ・アドレス(MSB ファースト)と R/ \bar{W} ビットで構成される 8 ビットのアドレス・バイトを送信します。このビットはデータ転送方向、すなわちスレーブ・デバイスに対するデータの書込み又は読出しを指定します(0 = 書込み、1 = 読出し)。

送信されたアドレスに対応するアドレスを持つペリフェラルは、アックノレッジ・ビットを送信して応答します。選択されたデバイスが読み書きの対象となるデータを待つ間、バス上の他の全デバイスはアイドル状態を維持します。R/ \bar{W} ビットが“0”の場合は、マスター(トランスミッタ)がスレーブ・デバイス(レシーバ)に対して書込みを行います。R/ \bar{W} ビットが 1 の場合は、マスター(レシーバ)がスレーブ・デバイス(トランスミッタ)から読出しを行います。

これらの命令のフォーマットは「データ転送フォーマット」セクションに述べられています。

次に、データがシリアル・バスを介して 9 クロック・パルスのフォーマットで送信されます。このフォーマットでは、書込みモードの場合はマスターから、読出しモードの場合はスレーブから 1 つのデータ・バイト (8 ビット) が送信され、その後受信側デバイスからのアックノレッジ・ビットが続きます。1 転送で送信できるバイト数には制限がありません。書込みモードでは、スレーブ・アドレス・バイトの直後の先頭の 2 つのデータ・バイトは、内部メモリ(コントロール・レジスタ)アドレス・バイトで、上位アドレス・バイトが先頭です。このアドレッシング方式では最大 $2^{16} - 1 = 65,535$ 個のメモリ・アドレスが可能です。これら 2 つのメモリ・アドレス・バイトの後のデータ・バイトは、コントロール・レジスタに書込まれるレジスタ・データです。読出しモードでは、スレーブ・アドレス・バイトの後ろのデータ・バイトは、コン

12380-042

トロール・レジスタから読出された又はコントロール・レジスタに書込まれたレジスタ・データです。

全データ・バイトの読出しまたは書込みが終了すると、ストップ条件が設定されます。書込みモードでは、スレーブ・デバイス(レシーバ)からの最後のデータ・バイトに対するアクノレッジ・ビットに続くクロック・パルスの中に、マスター(トランスミッタ)がデータ転送を終了させるストップ条件をアサートします。読出しモードでは、マスター・デバイス(レシーバ)がスレーブ・デバイス(トランスミッタ)から最後のデータ・バイトを受信しますが、9番目のクロック・パルスの間 SDA をロー・レベルにしません。これはノー・アク

ノレッジ・ビットとして知られています。ノー・アクノレッジ・ビットを受信することにより、スレーブ・デバイスはデータ転送が終了し、アイドル・モードに入る事を知ります。マスターは次に 10 番目のクロック・パルスの前のロー・レベル区間でデータ・ラインをロー・レベルにし、続いて 10 番目のクロック・パルスの間にデータ・ラインをハイ・レベルにして、ストップ条件をアサートします。

スタート条件をストップ条件の代わりに使用することができません。さらに、スタート条件またはストップ条件は何時でも発生することができ、一部だけ転送されたバイトは無視されます。

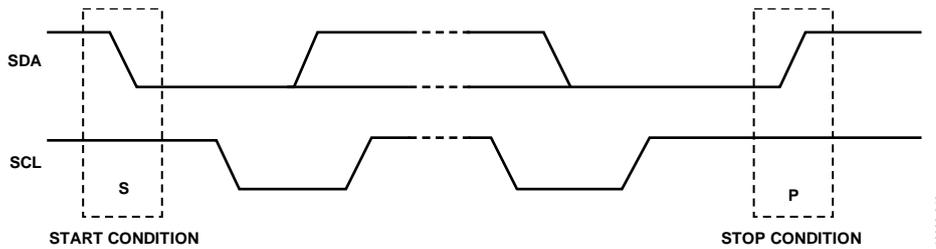


図 46. スタート条件とストップ条件

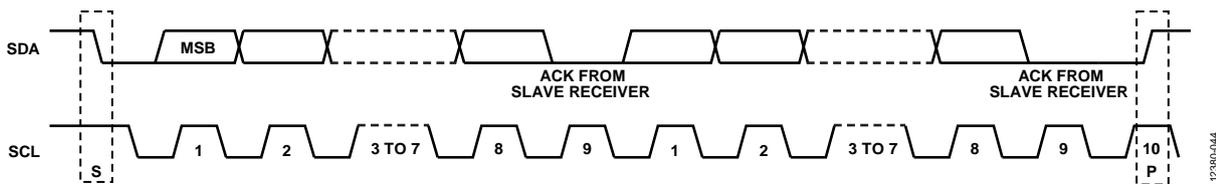


図 47. アクノレッジ・ビット

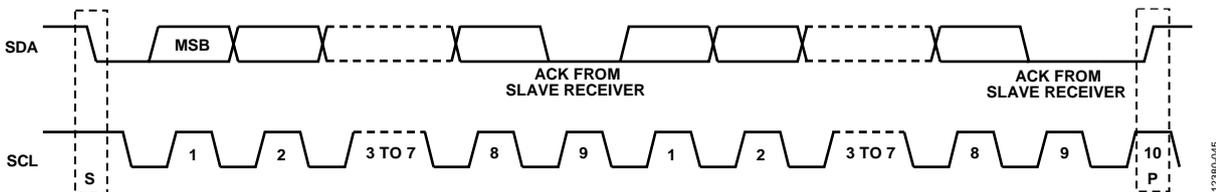


図 48. データ転送処理 (マスター書込みモード、2 バイト転送)

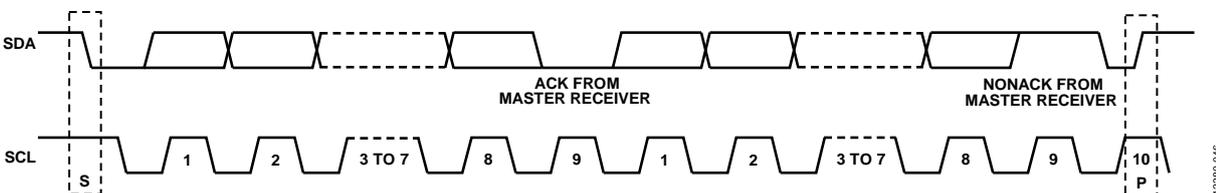


図 49. データ転送処理 (マスター読出しモード、2 バイト転送)、スレーブからの最初の ACK

データ転送フォーマット

書き込みバイト・フォーマットは指定 RAM アドレスから開始する RAM にレジスタ・アドレスを書込むために使用されます (表 29 を参照)。

表 29. データ転送フォーマット、書き込みバイト・フォーマット

S	Slave address	\overline{W}	A	RAM address high byte	A	RAM address low byte	A	RAM Data 0	A	RAM Data 1	A	RAM Data 2	A	P
---	---------------	----------------	---	-----------------------	---	----------------------	---	------------	---	------------	---	------------	---	---

送信バイト・フォーマットは後に続く読出しのレジスタ・アドレスの設定に使用されます (表 30 を参照)。

表 30. データ転送フォーマット、送信バイト・フォーマット

S	Slave address	\overline{W}	A	RAM address high byte	A	RAM address low byte	A	P
---	---------------	----------------	---	-----------------------	---	----------------------	---	---

受信バイト・フォーマットは現在のアドレスから開始する RAM からデータ・バイトを読出すために使用されます (表 31 を参照)。

表 31. データ転送フォーマット、受信バイト・フォーマット

S	Slave address	R	A	RAM Data 0	A	RAM Data 1	A	RAM Data 2	\overline{A}	P
---	---------------	---	---	------------	---	------------	---	------------	----------------	---

読出しバイト・フォーマットは送信バイトと受信バイトを組み合わせたフォーマットです (表 32 を参照)。

表 32. データ転送フォーマット、読出しバイト・フォーマット

S	Slave address	\overline{W}	A	RAM address high byte	A	RAM address low byte	A	Sr	Slave address	R	A	RAM Data 0	A	RAM Data 1	A	RAM Data 2	\overline{A}	P
---	---------------	----------------	---	-----------------------	---	----------------------	---	----	---------------	---	---	------------	---	------------	---	------------	----------------	---

I²C シリアル・ポートのタイミング

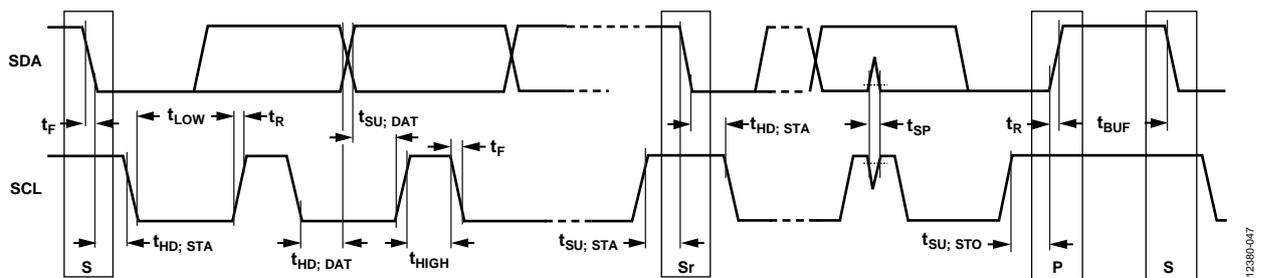


図 50. I²C シリアル・ポートのタイミング

表 33. I²C タイミングの定義

Parameter	Description
f_{SCL}	Serial clock
t_{BUF}	Bus free time between stop and start conditions
$t_{HD, STA}$	Repeated hold time start condition
$t_{SU, STA}$	Repeated start condition setup time
$t_{SU, STO}$	Stop condition setup time
$t_{HD, DAT}$	Data hold time
$t_{SU, DAT}$	Data setup time
t_{LOW}	SCL clock low period
t_{HIGH}	SCL clock high period
t_R	Minimum/maximum receive SCL and SDA rise time
t_F	Minimum/maximum receive SCL and SDA fall time
t_{SP}	Pulse width of voltage spikes that must be suppressed by the input filter

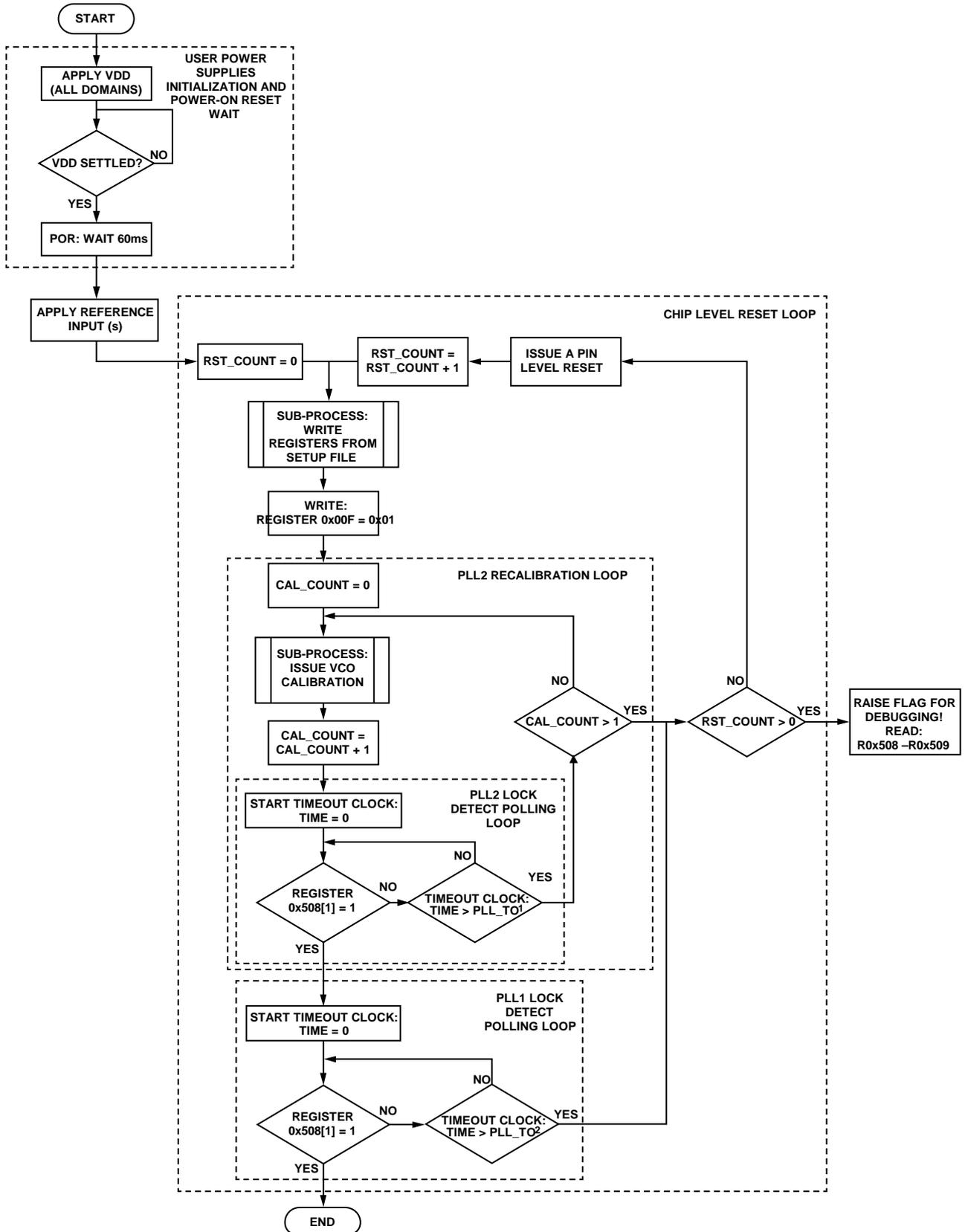
デバイスの初期化とキャリブレーションのフローチャート

このセクションのフローチャートは評価用ソフトウェアから生成されるセットアップ・ファイル(.stp)と、堅牢なシステム・スタートアップを目的に設計されたキャリブレーション・ルーチンを使用した標準的な AD9528 の初期化ルーチンを示します。

図 54、図 51、図 52、図 53 は次の事項を前提としています：デュアル・ループ設定、 ± 100 ppm プルレンジの VCXO、.stp ファイルからの有効な周波数変換。これらのフローチャートは推奨フローチャートとして提供します。

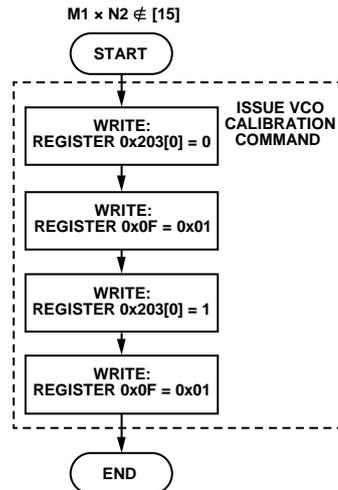
チップレベル・リセットループのカウンタ変数

(RST_COUNT) と PLL2 再キャリブレーション・ループのカウンタ変数(CAL_COUNT)は、無限ループにならないようにループに対するカウンタ制限を設定するために使用されるカウンタ変数です。これらの変数は初期化にのみ適用されません。



¹PLL1_TO IS A CALCULATED VALUE TIME OUT VALUE. PLEASE SEE THEORY OF OPERATION-COMPONENT BLOCKS-PLL1 FOR ITS FORMULA.
²PLL2_TO IS A CALCULATED VALUE TIME OUT VALUE. PLEASE SEE THEORY OF OPERATION-COMPONENT BLOCKS-PLL2 FOR ITS FORMULA.

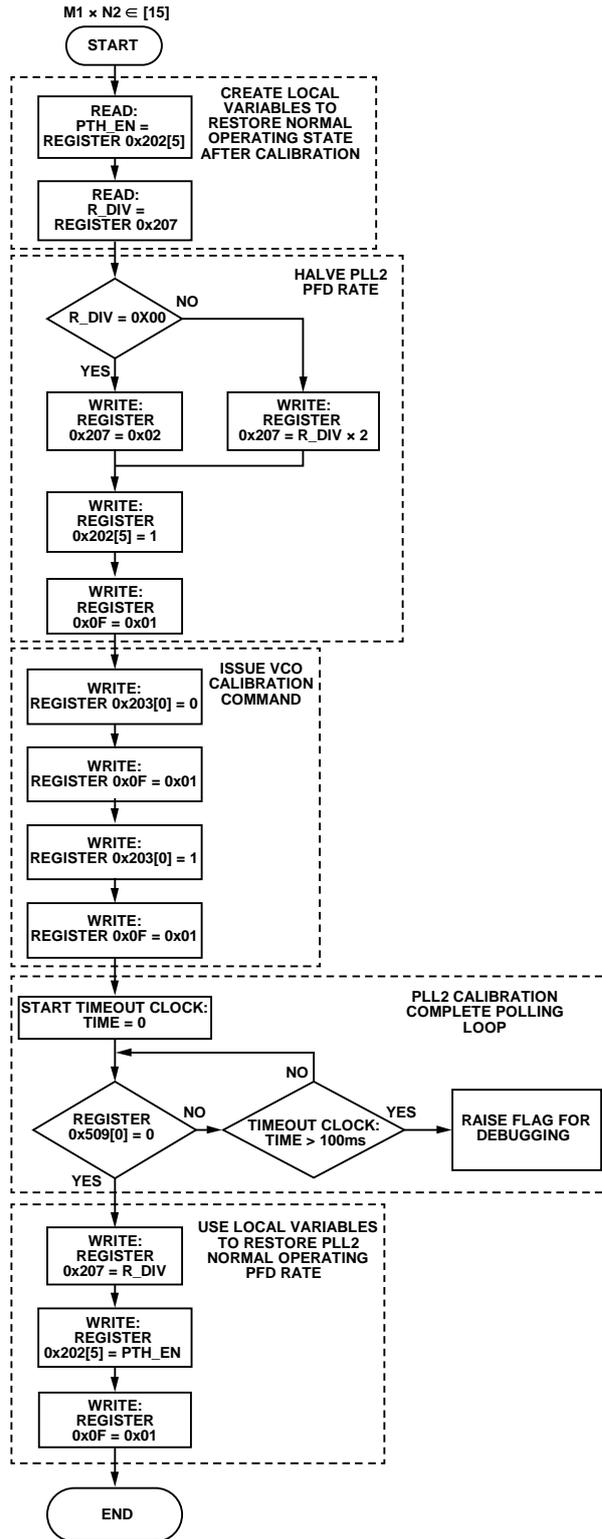
図 51.メイン・プロセス、初期化

**NOTES**

1. THIS ROUTINE ASSUMES THAT THE CALIBRATION DIVIDER VALUE IS SET TO A VALUE THAT IS EQUAL TO TWICE THE PRODUCT OF THE M1 AND N2 DIVIDE VALUES. THIS IS DONE AUTOMATICALLY BY THE AD9528 EVALUATION SOFTWARE WHEN THE PRODUCT OF M1 × N2 ≠ 15.

12380-151

図 52.サブ・プロセス、VCO キャリブレーションを発行 (M1 × N2 ≠ 15)

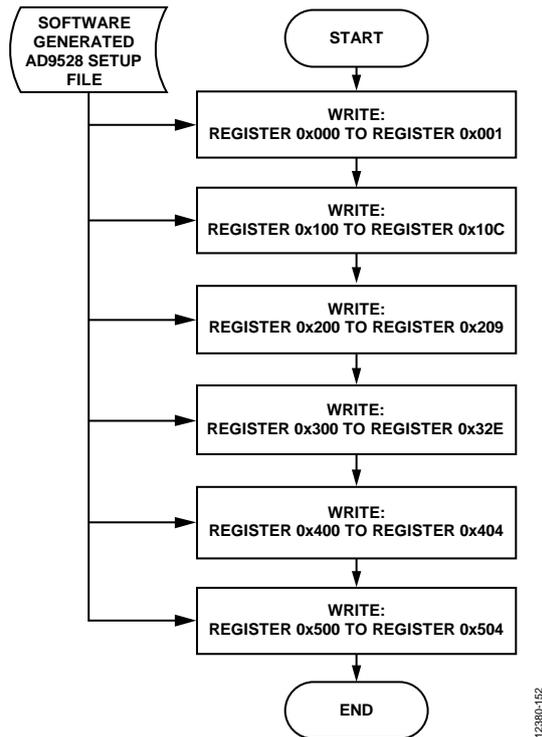


NOTES

1. THIS ROUTINE ASSUMES THAT THE CALIBRATION DIVIDER VALUE IS SET TO A VALUE THAT IS EQUAL TO TWICE THE PRODUCT OF THE M1 AND N2 DIVIDE VALUES. THIS IS DONE AUTOMATICALLY BY THE AD9528 EVALUATION SOFTWARE WHEN THE PRODUCT OF M1 x N2 = 15.

12380-251

図 53. サブ・プロセス、VCO キャリブレーションを発行 (M1 x N2 = 15)



12380-152

図 54. サブプロセス、セットアップ・ファイルからレジスタに書込む

消費電力および熱特性

AD9528 は幅広い様々なクロック・アプリケーションに使用される複数機能で高速のデバイスです。デバイスに含まれる数多くの革新的な機能は各々消費電力を増大させます。すべての出力がイネーブルで周波数が最大であり、電力消費が最大のモードの場合、デバイスの安全熱動作条件を超える可能性があります。AD9528 の正しい適用には、消費電力と熱管理の注意深い解析と考慮が重要な要素です。

AD9528 の動作は -40°C ~ $+85^{\circ}\text{C}$ の工業温度範囲で規定されています。しかしこの仕様は、(表 19 で規定されているように) 絶対最大ジャンクション温度を超えない事が条件になっています。高い動作温度では、デバイスを動作させる時ジャンクション温度を超えデバイスが損傷しないように十分な注意が必要です。

次の項目を含む多くの変数がデバイス内の動作ジャンクション温度に影響を与えます。

- 選択したドライバ・モードの動作
- 出力クロック速度
- 電源電圧
- 周囲温度

指定の動作条件に対し、AD9528 内のジャンクション温度を決定するのはこれら変数の組み合わせです。

AD9528 は周囲温度(T_A)に対して仕様が規定されています。 T_A を超えないように、空冷を行ってください。

アプリケーション PCB 上でのジャンクション温度を求めるために次の式を使用します。

$$T_J = T_{CASE} + (\Psi_{JT} \times PD)$$

ここで：

T_J はジャンクション温度($^{\circ}\text{C}$)。

T_{CASE} はパッケージ上面の中央で測定したケース温度($^{\circ}\text{C}$)。

Ψ_{JT} は表 20 からの値。

PD は AD9528 の消費電力。

θ_{JA} の値はパッケージの比較と PCB デザイン考察のために提供しています。次式により θ_{JA} は T_J の 1 次近似に使うことができます。

$$T_J = T_A + (\theta_{JA} \times PD)$$

ここで、 T_A は周囲温度($^{\circ}\text{C}$)。

θ_{JC} の値は、外付けヒート・シンクが必要な時、パッケージ比較と PCB デザイン考察のために提供しています。

Ψ_{JB} の値は、パッケージ比較と PCB デザイン考察のために提供しています。

クロック速度とドライバ・モード

クロックの速度はデバイスの合計消費電力と (すなわち) ジャンクション温度に直接にそして直線的に影響します。表 3 のパラメータ "incremental power dissipation" の下に 2 つの動作周波数が載っています。表に載っていない周波数の近似は線形補間の使用で十分です。熱考察のための消費電力を計算する場合は、 $100\ \Omega$ 抵抗で消費される電力の量は取り除いてください。表 3 のデータを使用する場合、この電力はすでに取り除かれています。「代表的な性能特性」セッションに提供されている電流対周波数のグラフを使用する場合、負荷に入る電力は次の式を使って減算する必要があります：

$$P_{LOAD} = \frac{\text{Differential Output Voltage Swing}^2}{100\ \Omega}$$

動作条件の評価

動作条件を評価する最初のステップは AD9528 内部の最大消費電力(PD)を求める事です。最大 PD にはドライバの負荷抵抗で消費される電力は (デバイスの外なので) 含まれません。要求される設定の合計消費電力を計算するために表 3 に載っている消費電力の仕様を使用してください。

表 34 と 表 35 は異なる 2 つの例について基本電力設定から増加する消費電力の一覧です。

表 34. 温度勾配の例 (例 1)

Description	Mode	Frequency (MHz)	Maximum Power (mW)
Base Typical Configuration	N/A ¹	N/A ¹	590
Output Driver	6 × HSTL	122.88	480
Output Driver	3 × LVDS	122.88	210
Output Driver	1 × LVDS	409.6	78
Total Power			1358

¹ N/A : 該当せず。

表 35. 温度勾配の例 (例 2)

Description	Mode	Frequency (MHz)	Maximum Power (mW)
Base Typical Configuration	N/A ¹	N/A ¹	590
Output Driver	13 × HSTL	122.88	1040
Total Power			1630

¹ N/A : 該当せず。

動作条件を評価する 2 番目のステップは最大電力勾配を決めるために消費電力に熱抵抗を掛ける事です。この例では、熱抵抗 $\theta_{JA} = 21.1^{\circ}\text{C}/\text{W}$ を使用しました。

例 1

$$(1358 \text{ mW} \times 21.1^{\circ}\text{C}/\text{W}) = 29^{\circ}\text{C}$$

周囲温度 85°C で、ジャンクション温度は

$$T_J = 85^{\circ}\text{C} + 29^{\circ}\text{C} = 114^{\circ}\text{C}$$

このジャンクション温度は最大許容ジャンクション温度以下です。

例 2

$$(1630 \text{ mW} \times 21.1^{\circ}\text{C}/\text{W}) = 34^{\circ}\text{C}$$

周囲温度 85°C で、ジャンクション温度は

$$T_J = 85^{\circ}\text{C} + 34^{\circ}\text{C} = 119^{\circ}\text{C}$$

このジャンクション温度は最大許容ジャンクション温度を超えています。例 2 の条件で動作させるには周囲温度を 4°C 低くしなければなりません。

熱強化型パッケージの実装に関するガイドライン

露出パドル付きデバイスの実装に関する詳細については [AN-772 アプリケーション・ノート「リード・フレーム・チップ・スケール・パッケージ \(LFCSP\) の設計および製造ガイド」](#) を参照してください。

コントロール・レジスタ・マップ

表 36. レジスタの一覧

Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	
Serial Port Configuration											
0x0000	SPI Configuration A	Soft reset (SPI only)	LSB first (SPI only)	Address ascension (SPI only)	SDO active (SPI only)	SDO active (SPI only)	Address ascension (SPI only)	LSB first (SPI only)	Soft reset (SPI only)	0x00	
0x0001	SPI Configuration B	Reserved		Read buffer register	Reserved		Reset sans regmap	Reserved		0x00	
0x0002	Reserved	Reserved								0x00	
Clock Part Family ID											
0x0003	Chip type	Reserved				Chip type, Bits[3:0]				0x05	
0x0004	Product ID	Clock part serial ID, Bits[3:0]				Reserved				0xFF	
0x0005		Clock part serial ID, Bits[11:4]								0x00	
0x0006	Revision	Part versions, Bits[7:0]								0x03	
0x0007	Reserved	Reserved								0x00	
0x0008	Reserved	Reserved								0x00	
0x0009	Reserved	Reserved								0x00	
0x000A	Reserved	Reserved								0x00	
0x000B	SPI version	SPI version, Bits[7:0]								0x00	
0x000C	Vendor ID	Vendor ID, Bits[7:0]								0x56	
0x000D		Vendor ID, Bits[15:8]								0x04	
0x000E	Reserved	Reserved								0x00	
0x000F	IO_UPDATE	Reserved							IO_UPDATE	0x00	
PLL1 Control											
0x0100	PLL1 REFA (R _A) divider	10-bit REFA (R _A) divider, Bits[7:0]								0x00	
0x0101		Reserved						10-bit REFA (R _A) divider, Bits[9:8]		0x00	
0x0102	PLL1 REFB (R _B) divider	10-bit REFB (R _B) divider, Bits[7:0]								0x00	
0x0103		Reserved						10-bit REFB (R _B) divider, Bits[9:8]		0x00	
0x0104	PLL1 feedback divider (N1)	10-bit N1 divider [7:0]								0x00	
0x0105		Reserved						10 bit N1 divider, Bits[9:8]		0x00	
0x0106	PLL1 charge pump control	Force holdover	PLL1 charge pump current (μA), Bits[6:0]								0x0C
0x0107		Reserved		Disable holdover	Reserved			Charge pump mode, Bits[1:0]		0x00	
0x0108	PLL1 input receiver control	Frequency detector power-down enable	REFB differential receiver enable	REFA differential receiver enable	REFB input receiver enable	REFA input receiver enable	VCXO receiver power-down enable	VCXO single-ended negative pin enable CMOS mode	VCXO differential receiver enable	0x00	
0x0109		Reserved		N1 feedback divider reset	REFB divider (R _B) reset	REFA divider (R _A) reset	PLL1 feedback divider source	REFB single-ended negative pin enable (CMOS mode)	REFA single-ended negative pin enable (CMOS mode)	0x00	
0x010A		Reserved				Holdover mode	Reference selection mode, Bits[2:0]			0x00	

Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)
0x010B	PLL1 fast lock	Fast lock enable	Fast lock charge pump current (μ A), Bits[6:0]							0x00
PLL2 Control										
0x0200	PLL2 charge pump control	PLL2 CP current (μ A), Bits[7:0]								0x00
0x0201	PLL2 VCO CAL feedback dividers	A divider, Bits[1:0]			B divider, Bits[5:0]					0x04
0x0202	PLL2 control	Lock detect power-down enable	Reserved	Frequency doubler enable	Reserved			PLL2 charge pump mode, Bits[1:0]		0x03
0x0203	PLL2 VCO control	Reserved			Doubler and R1 divider path enable	Reset VCO calibration dividers	Treat reference as valid	Force VCO to midpoint frequency	Manual VCO calibrate (not autoclearing)	0x00
0x0204	PLL2 RF VCO divider (M1)	Reserved		PFD reference edge select	PFD feedback edge select	RF VCO divider (M1) power-down	RF VCO divider (M1), Bits[2:0]			0x00
0x0205	PLL2 loop filter control	R _{POLE2} (Ω), Bits[1:0]		R _{ZERO} (Ω), Bits[1:0]			C _{POLE1} (pF), Bits[1:0]			0x00
0x0206		Reserved							Bypass internal R _{ZERO} resistor	0x00
0x0207	PLL2 input divider (R1)	Reserved			5-bit R1 divider, Bits[4:0]					0x00
0x0208	PLL2 feedback divider (N2)	8-bit N2 divider, Bits[7:0]								0x00
0x0209		Reserved	N2 divider power-down	N2 phase, Bits[5:0]						0x00
Clock Distribution Control										
0x0300	Channel Output 0	Channel control, Bits[2:0]			Fine analog delay enable	Fine analog delay, Bits[3:0]				0x00
0x0301		Output format, Bits[1:0]		Coarse digital delay, Bits[5:0]					0x00	
0x0302		Divide ratio, Bits[7:0]								0x04
0x0303	Channel Output 1	Channel control, Bits[2:0]			Fine analog delay enable	Fine analog delay, Bits[3:0]				0x40
0x0304		Output format, Bits[1:0]		Coarse digital delay, Bits[5:0]					0x00	
0x0305		Divide ratio, Bits[7:0]								0x00
0x0306	Channel Output 2	Channel Control, Bits[2:0]			Fine analog delay enable	Fine analog delay, Bits[3:0]				0x00
0x0307		Output format, Bits[1:0]		Coarse digital delay [5:0]					0x00	
0x0308		Divide ratio [7:0]								0x04
0x0309	Channel Output 3	Channel control, Bits[2:0]			Fine analog delay enable	Fine analog delay, Bits[3:0]				0x40
0x030A		Output format, Bits[1:0]		Coarse digital delay, Bits[5:0]					0x00	
0x030B		Divide ratio [7:0]								0x00
0x030C	Channel Output 4	Channel control, Bits[2:0]			Fine analog delay enable	Fine analog delay, Bits[3:0]				0x00
0x030D		Output format, Bits[1:0]		Coarse digital delay, Bits[5:0]					0x00	
0x030E		Divide ratio, Bits[7:0]								0x04

Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)
0x030F	Channel Output 5	Channel control, Bits[2:0]			Fine analog delay enable	Fine analog delay, Bits[3:0]				0x40
0x0310		Output format, Bits[1:0]		Coarse digital delay, Bits[5:0]					0x00	
0x0311		Divide ratio, Bits[7:0]								0x00
0x0312	Channel Output 6	Channel control, Bits[2:0]			Fine analog delay enable	Fine analog delay, Bits[3:0]				0x00
0x0313		Output format, Bits[1:0]		Coarse digital delay, Bits[5:0]					0x00	
0x0314		Divide ratio, Bits[7:0]								0x04
0x0315	Channel Output 7	Channel control, Bits[2:0]			Fine analog delay enable	Fine analog delay, Bits[3:0]				0x40
0x0316		Output format, Bits[1:0]		Coarse digital delay, Bits[5:0]					0x00	
0x0317		Divide ratio, Bits[7:0]								0x00
0x0318	Channel Output 8	Channel control, Bits[2:0]			Fine analog delay enable	Fine analog delay, Bits[3:0]				0x00
0x0319		Output format, Bits[1:0]		Coarse digital delay, Bits[5:0]					0x00	
0x031A		Divide ratio, Bits[7:0]								0x04
0x031B	Channel Output 9	Channel control, Bits[2:0]			Fine analog delay enable	Fine analog delay, Bits[3:0]				0x40
0x031C		Output format, Bits[1:0]		Coarse digital delay, Bits[5:0]					0x00	
0x031D		Divide ratio, Bits[7:0]								0x00
0x031E	Channel Output 10	Channel control, Bits[2:0]			Fine analog delay enable	Fine analog delay, Bits[3:0]				0x00
0x031F		Output format, Bits[1:0]		Coarse digital delay, Bits[5:0]					0x00	
0x0320		Divide ratio, Bits[7:0]								0x04
0x0321	Channel Output 11	Channel control, Bits[2:0]			Fine analog delay enable	Fine analog delay, Bits[3:0]				0x40
0x0322		Output format, Bits[1:0]		Coarse digital delay, Bits[5:0]					0x00	
0x0323		Divide ratio [7:0]								0x00
0x0324	Channel Output 12	Channel control, Bits[2:0]			Fine analog delay enable	Fine analog delay, Bits[3:0]				0x20
0x0325		Output format, Bits[1:0]		Coarse digital delay, Bits[5:0]					0x00	
0x0326		Divide ratio, Bits[7:0]								0x00
0x0327	Channel Output 13	Channel control, Bits[2:0]			Fine analog delay enable	Fine analog delay, Bits[3:0]				0x20
0x0328		Output format, Bits[1:0]		Coarse digital delay, Bits[5:0]					0x00	
0x0329		Divide ratio, Bits[7:0]								0x00
Sync Control										
0x032A	Distribution sync	Reserved							Sync outputs	0x00
0x032B	Ignore sync enable	Channel 7 ignore sync	Channel 6 ignore sync	Channel 5 ignore sync	Channel 4 ignore sync	Channel 3 ignore sync	Channel 2 ignore sync	Channel 1 ignore sync	Channel 0 ignore sync	0x00
0x032C		Reserved	PLL2 feedback N2 divider ignore sync	Channel 13 ignore sync	Channel 12 ignore sync	Channel 11 ignore sync	Channel 10 ignore sync	Channel 9 ignore sync	Channel 8 ignore sync	0x00

Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)
0x032D	SYSREF Bypass resample control	Channel 6 bypass SYSREF resample	Channel 5 bypass SYSREF resample	Channel 4 bypass SYSREF resample	Channel 3 bypass SYSREF resample	Channel 2 bypass SYSREF resample	Channel 1 bypass SYSREF resample	Channel 0 bypass SYSREF resample	Enable VCXO receiver path to distribution	0x00
0x032E		Reserved	Channel 13 bypass SYSREF resample	Channel 12 bypass SYSREF resample	Channel 11 bypass SYSREF resample	Channel 10 bypass SYSREF resample	Channel 9 bypass SYSREF resample	Channel 8 bypass SYSREF resample	Channel 7 bypass SYSREF resample	0x00
SYSREF Control										
0x0400	SYSREF pattern generator K divider	K divider, Bits[7:0]								0x00
0x0401		K divider, Bits[15:8]								0x00
0x0402	SYSREF control	SYSREF request method	SYSREF pattern generator trigger control, Bits[1:0]		SYSREF pattern generator clock source	Resample clock source for external SYSREF	SYSREF test mode, Bits[1:0]		SYSREF reset	0x00
0x0403		SYSREF source, Bits[1:0]		SYSREF pattern generator mode, Bits[1:0]		N-shot mode, Bits[2:0]			SPI SYSREF request	0x00
0x0404	SYSREF_IN receiver control	Reserved					SYSREF IN receiver power-down	Single-ended source negative input (CMOS mode)	SYSREF differential receiver enable	0x04
Power-Down Control										
0x0500	Power-down control enable	Reserved			Bias generation power-down disable or power-down	PLL2 power-down enable	PLL1 power-down enable	Clock distribution power-down enable	Chip power-down enable	0x10
0x0501	Output channel power down enable	Channel 7 power-down	Channel 6 power-down	Channel 5 power-down	Channel 4 power-down	Channel 3 power-down	Channel 2 power-down	Channel 1 power-down	Channel 0 power-down	0x00
0x0502		Reserved		Channel 13 power-down	Channel 12 power-down	Channel 11 power-down	Channel 10 power-down	Channel 9 power-down	Channel 8 power-down	0x00
0x0503	LDO regulator enable	Channel 7 LDO enable	Channel 6 LDO enable	Channel 5 LDO enable	Channel 4 LDO enable	Channel 3 LDO enable	Channel 2 LDO enable	Channel 1 LDO enable	Channel 0 LDO enable	0xFF
0x0504		PLL2 LDO enable	PLL1 LDO enable	Channel 13 LDO enable	Channel 12 LDO enable	Channel 11 LDO enable	Channel 10 LDO enable	Channel 9 LDO enable	Channel 8 LDO enable	0xFF
Status and Status Readback ¹										
0x0505	Status control signals	Status Monitor 0 Control, Bits[7:0]								0x00
0x0506		Status Monitor 1 Control, Bits[7:0]								0x00
0x0507	Status pin enable and status divider enable	Reserved				STATUS1 pin output enable	STATUS0 pin output enable	STATUS0 divider enable	STATUS1 divider enable	0x00
0x0508	Status Readback 0	PLL2 feedback status	PLL1 feedback status	VCXO status	Both REFA/REF B missing	REFB status	REFA status	PLL2 locked status	PLL1 locked status	0x00
0x0509	Status Readback 1	Reserved				Holdover active status	Selected reference	Fast lock in progress	VCO calibration busy status	0x00

¹ レジスタ 0x0505、レジスタ 0x0506、レジスタ 0x0507 はビット名 0x0505 (Status 0) と 0x0506 (Status 1) が示すようにコントロール・ステータス・ピンです。レジスタ 0x0508 とレジスタ 0x0509 は SPI/I²C を介したリードバック用です。

コントロール・レジスタ・マップのビットの説明

シリアル・コントロール・ポートの設定（レジスタ 0x0000～レジスタ 0x0001）

表 37.SPI 設定 A（レジスタ 0x0000）

Bits	Bit Name	Description
7	Soft reset (SPI only)	デバイス・リセット。
6	LSB first (SPI only)	SPI ポートのビットの順番。このビットは I ² C モードに影響を及ぼしません。 1 = LSB ファースト。 0（デフォルト）= MSB ファースト。
5	Address ascension (SPI only)	このビットは複数バイトの転送中にレジスタ・アドレスを自動インクリメントするかどうかを制御します。このビットは I ² C モードには影響を及ぼしません。 1 = 複数バイトの転送時にレジスタ・アドレスは自動的にインクリメントされます。 0（デフォルト）= 複数バイトの転送時にレジスタ・アドレスは自動的にデクリメントされます。
4	SDO active (SPI only)	SPI ポートの SDO ピンをイネーブルにします。このビットは I ² C モードに影響を及ぼしません。 1 = 4 線モード（SDO ピンをイネーブル）。 0（デフォルト）= 3 線モード。
[3:0]		これらのビットはこのレジスタのビット[7:4]のミラーです。従ってシリアル・ポートが設定された時、書込まれたパターンは MSB ファースト/LSB ファースト設定の判定とは関係ありません。AD9528 の内部ロジックは相当するビットの論理和を実行します。 ビット 3 はビット 4 に対応。 ビット 2 はビット 5 に対応。 ビット 1 はビット 6 に対応。 ビット 0 はビット 7 に対応。

表 38.SPI 設定 B（レジスタ 0x0001）

Bits	Bit Name	Description
[7:6]	Reserved	予約済み。
5	Read buffer register	バッファ付きレジスタに対して、このビットはシリアル・ポートから読出す値を実際（アクティブ）のレジスタから又はバッファの値からのどちらにするかを制御します。 1 = IO_UPDATE の次のアサーションに影響を及ぼすバッファの値を読出す。 0（デフォルト）= デバイスの内部ロジックに現在供給されている値を読出す。
[4:3]	Reserved	予約済み。
2	Reset sans regmap	このビットはデバイスをリセットして現在のレジスタ設定を維持します。 1 = デバイスをリセットする。 0（デフォルト）= 動作無し。
[1:0]	Reserved	予約済み。

クロック・デバイス・ファミリ ID (レジスタ 0x0003 ~ レジスタ 0x0006)

表 39.クロック・デバイス・ファミリ ID

Address	Bits	Bit Name	Description
0x0003	[7:4]	Reserved	予約済み。
	[3:0]	Chip type, Bits[3:0]	この位置はアナログ・デバイセズの統合 SPI プロトコルによって、デバイスのタイプを識別するための読出し専用レジスタとして予約されています。デフォルト値 0x05 は AD9528 をクロック IC として認識します。
0x0004	[7:4]	Clock part serial ID, Bits[3:0]	この位置はアナログ・デバイセズの統合 SPI プロトコルによって、クロック部品のシリアル ID の下位 4 ビットを示す読出し専用レジスタとして予約されています。この 4 ビットとレジスタ 0x0005 を組み合わせることにより、アナログ・デバイセズのクロック・チップ・ファミリの中で AD9528 であることが一意に識別されます。アナログ・デバイセズの統合 SPI に準拠する他のどのアナログ・デバイセズのチップもレジスタ 0x0003、レジスタ 0x0004、レジスタ 0x0005 はこれらの値にはなっていません。このクロック部品のシリアル ID は 0x00F であり、これら 4 ビットの値は 0xF です。
	[3:0]	Reserved.	デフォルト = 0xF。
0x0005	[7:0]	Clock part serial ID, Bits[11:4]	この位置はアナログ・デバイセズの統合 SPI プロトコルによって、クロック部品のシリアル ID の上位 8 ビットを示す読出し専用レジスタとして予約されています。この 8 ビットとレジスタ 0x0004 を組み合わせることにより、アナログ・デバイセズのクロック・チップ・ファミリの中で AD9528 であることが一意に識別されます。アナログ・デバイセズの統合 SPI を満たす他のどのアナログ・デバイセズのチップもレジスタ 0x0003、レジスタ 0x0004、レジスタ 0x0005 はこれらの値にはなっていません。デフォルト : 0x00。
0x0006	[7:0]	Part versions, Bits[7:0]	この位置はアナログ・デバイセズの統合 SPI プロトコルによって、ダイのレビジョンを識別するための読出し専用レジスタとして予約されています。デフォルト = 0x03

SPI バージョン(レジスタ 0x000B)

表 40.SPI バージョン

Bits	Bit Name	Description
[7:0]	SPI version, Bits[7:0]	この位置はアナログ・デバイセズの統合 SPI プロトコルによって、統合 SPI プロトコルのバージョンを識別するための読出し専用レジスタとして予約されています。デフォルト = 0x00。

ベンダーID(レジスタ 0x000C ~ レジスタ 0x000D)

表 41.ベンダー ID

Address	Bits	Bit Name	Description
0x000C	[7:0]	Vendor ID, Bits[7:0]	この位置はアナログ・デバイセズの統合 SPI プロトコルによって、このデバイスのチップ・ベンダーがアナログ・デバイセズであると識別するための読出し専用レジスタとして予約されています。統合シリアル・ポート仕様を満たすすべてのアナログ・デバイス製品はこのレジスタが同じ値になっています。デフォルト = 0x56。
0x000D	[7:0]	Vendor ID, Bits[15:8]	この位置はアナログ・デバイセズの統合 SPI プロトコルによって、このデバイスのチップ・ベンダーがアナログ・デバイセズであると識別するための読出し専用レジスタとして予約されています。統合シリアル・ポート仕様を満たすすべてのアナログ・デバイス製品はこのレジスタが同じ値になっています。デフォルト = 0x04。

IO_UPDATE (レジスタ 0x000F)

表 42.IO_UPDATE

Bits	ビット名	説明
[7:1]	Reserved	予約済み。デフォルト = 0000000b。
0	IO_UPDATE	このビットに 1 を書込むとシリアル入力/出力バッファ・レジスタのデータをデバイス内部のコントロール・レジスタに転送します。これは自動クリア・ビットです。

PLL1 コントロール (レジスタ 0x0100 ~ レジスタ 0x010B)

表 43.PLL1 REFA 分周器 (R_A) と REFB 分周器 (R_B) のコントロール

Address	Bits	Bit Name	Description
0x0100	[7:0]	10-bit REFA (R _A) divider	10 ビット REFA 分周器、ビット[7:0] (LSB)。1 分周～1023 分周。 0000000000, 0000000001 = 1 分周。
0x0101	[1:0]		10 ビット REFA 分周器、ビット[9:8] (MSB)。
0x0102	[7:0]	10-bit REFB (R _B) divider	10 ビット REFB 分周器、ビット[7:0] (LSB)。1 分周～1023 分周。 0000000000, 0000000001 = 1 分周。
0x0103	[1:0]		10 ビット REFB 分周器、ビット[9:8] (MSB)。

表 44.PLL1 フィードバック分周器(N1)

Address	Bits	Bit Name	Description
0x0104	[7:0]	10-bit N1 divider	10 ビット・フィードバック分周器、ビット[7:0] (LSB)。1 分周～1023 分周。 0000000000, 0000000001 = 1 分周。
0x0105	[1:0]		10 ビット・フィードバック分周器、ビット[9:8] (MSB)。

表 45.PLL1 チャージ・ポンプ・コントロール

Address	Bits	Bit Name	Description
0x0106	7	Force holdover	PLL1 チャージ・ポンプをトライステートにします。 0 = 通常動作。 1 = 強制的にホールドオーバーにする。
	[6:0]	PLL1 charge pump current (μA), Bits[6:0]	このビットは PLL1 チャージ・ポンプの電流の大きさを設定します。約 63.5 μA のフルスケールで約 0.5 μA 刻みです。
0x0107	[7:6]	Reserved	予約済み。
	5	Disable holdover	自動ホールドオーバーをディスエーブルにします。 0 = 自動ホールドオーバーをイネーブル。 1 = 自動ホールドオーバーをディスエーブル。
	[4:2]	Reserved	予約済み。
	[1:0]	Charge pump mode, Bits[1:0]	PLL1 の チャージ・ポンプ・モードを制御します。 00 = トライステート (デフォルト)。 01 = ポンプ・ダウン。 10 = ポンプ・アップ。 11 = 通常動作。

表 46.PLL1 入力レシーバ・コントロール

Address	Bits	Bit Name	Description
0x0108	7	Frequency detector power-down enable	1 = イネーブル。 0 = ディスエーブル (デフォルト)。
	6	REFB differential receiver enable	1 = 差動レシーバ・モード。 0 = シングル・エンド・レシーバ・モード (レジスタ 0x0109、ビット 1 によっても変わります) (デフォルト)
	5	REFA differential receiver enable	1 = 差動レシーバ・モード。 0 = シングル・エンド・レシーバ・モード (レジスタ 0x0109、ビット 0 によっても変わります) (デフォルト)。
	4	REFB input receiver enable	REFB レシーバ・パワーダウン・コントロール・モード。 1 = REFB レシーバをイネーブル。 0 = パワーダウン (デフォルト)。
	3	REFA input receiver enable	REFA レシーバ・パワーダウン・コントロール・モード。 1 = REFA レシーバをイネーブル。 0 = パワーダウン (デフォルト)。
	2	VCXO receiver power-down enable	VCXO レシーバのパワーダウン制御をイネーブルにします。 1 = パワーダウン・コントロールをイネーブル。 0 = 両方のレシーバをイネーブル (デフォルト)。
	1	VCXO single-ended receiver mode enable CMOS mode	シングル・エンド・レシーバ・モードを選択した場合 (レジスタ 0x0108、ビット 0 = 0)、どちらのシングル・エンド入力ピンをイネーブルにするかを選択します。 1 = VCXO 入力 ($\overline{\text{VCXO_IN}}$ ピン) からの負レシーバを選択。 0 = VCXO 入力 (VCXO_IN ピン) からの正レシーバを選択 (デフォルト)。
	0	VCXO differential receiver enable	1 = 差動レシーバ・モード。 0 = シングル・エンド・レシーバ・モード (デフォルト)。
0x0109	[7:6]	Reserved	予約済み。
	5	N1 feedback divider reset	分周器をリセットします。 1 = 分周器はリセット状態に維持される。 0 = 分周器は通常動作。
	4	REFB divider (R_B) reset	分周器をリセットします。 1 = 分周器はリセット状態に維持される。 0 = 分周器は通常動作。
	3	REFA divider (R_A) reset	分周器をリセットします。 1 = 分周器はリセット状態に維持される。 0 = 分周器は通常動作。
	2	PLL1 Feedback Divider Source	PLL1 フィードバック分周器への入力を選択します。 1 = PLL1 フィードバック分周器への入力として VCXO を選択。 0 = PLL1 フィードバック分周器への入力として PLL2 フィードバック分周器出力を選択。
	1	REFB single-ended negative pin enable (CMOS mode)	シングル・エンド・レシーバ・モードを選択した時、どちらのシングル・エンド入力ピンをイネーブルにするかを選択します。 (レジスタ 0x0108、ビット 6 = 0 によっても変わります)。 1 = $\overline{\text{REFB}}$ ピンをイネーブル。 0 = REFB ピンをイネーブル。
	0	REFA single-ended negative pin mode enable (CMOS mode)	シングル・エンド・レシーバ・モードを選択した時、どちらのシングル・エンド入力ピンをイネーブルにするかを選択します。 (レジスタ 0x0108、ビット 5 = 0 によっても変わります)。 1 = $\overline{\text{REFA}}$ ピンをイネーブル。 0 = REFA ピンをイネーブル。

Address	Bits	Bit Name	Description			
0x010A	[7:4]	Reserved	予約済み。			
	3	Holdover mode	“ハイ”にするとフィードバック・クロック又は入力クロックが失われた時に VCXO_CTRL 制御電圧を強制的に電源電圧の 1/2 にします。“ロー”にするとチャージポンプ出力がトライステートになります。 1 = VCXO_CTRL 制御電圧は VCC/2 になる。 0 = VCXO_CTRL 制御電圧はトライステート（高インピーダンス）になったチャージポンプに（バッファを通して）追従します。			
[2:0]	Reference selection mode, Bits[2:0]	REFA、REFB モードの選択を設定します（デフォルト=000）。				
		REF_SEL Pin	Bit 2	Bit 1	Bit 0	Description
		X ¹	0	0	0	非復帰: REFB に留まる。
		X ¹	0	0	1	REFA に復帰。
		X ¹	0	1	0	REFA を選択。
		X ¹	0	1	1	REFB を選択。
		0	1	X ¹	X ¹	REF_SEL ピン = 0 (ロー): REFA。
1	1	X ¹	X ¹	REF_SEL ピン = 1 (ハイ): REFB。		

¹X はドント・ケア。

表 47.PLL 高速ロック（レジスタ 0x010B）

Bits	Bit Name	Description
7	PLL1 fast lock enable	PLL1 高速ロック動作をイネーブルにします。
[6:0]	Fast lock charge pump current (μA), Bits[6:0]	これらのビットは PLL1 チャージ・ポンプの電流の大きさを設定します。約 63.5 μA のフルスケールで約 0.5 μA 刻みです。

PLL2 (レジスタ 0x0200 ~ レジスタ 0x0209)

表 48.PLL2 チャージ・ポンプ・コントロール（レジスタ 0x0200）

Bits	Bit Name	Description
[7:0]	PLL2 CP current (μA), Bits[7:0]	これらのビットは PLL2 チャージ・ポンプの電流の大きさを設定します。約 900 μA のフルスケールで約 3.5 μA 刻みです。

表 49.PLL2 フィードバック VCO CAL 分周器のコントロール（レジスタ 0x0201）

Bits	Bit Name	Description
[7:6]	A divider, Bits[1:0]	A 分周器ワード
[5:0]	B divider, Bits[5:0]	B 分周器ワード

フィードバック分周器の制約

A 分周器 (Bits[7:6])	B 分周器 (Bits[5:0])	可能な N 分周 (4 × B + A)
A = 0	B = 3	N = 16 ~ 255
A = 0 または A = 1	B = 4	
A = 0 ~ A = 2	B = 5	
A = 0 ~ A = 2	B = 6	
A = 0 ~ A = 3	B ≥ 7	

表 50.PLL2 コントロール（レジスタ 0x0202）

Bits	Bit Name	Description
7	Lock detect power-down enable	PLL2 ロック検出器のパワーダウンを制御します。 1 = ロック検出器をパワーダウンする。 0 = ロック検出器はアクティブ。
6	Reserved	デフォルト = 0 ; 値は 0 に保つ必要があります。
5	Frequency doubler enable	PLL2 リファレンス入力周波数の 2 倍器をイネーブルにします。 1 = イネーブル。 0 = ディスエーブル。

Bits	Bit Name	Description
[4:2]	Reserved	予約済み。
[1:0]	PLL2 charge pump mode	PLL2 チャージ・ポンプのモードを制御します。 00 = トライステート。 01 = ポンプ・ダウン。 10 = ポンプ・アップ。 11 (デフォルト) = 通常動作。

表 51.PLL2 VCO コントロール (レジスタ 0x0203)

Bits	Bit Name	Description
[7:5]	予約済み	予約済み。
4	Doubler and R1 divider path enable	0 (デフォルト) = 2倍器と R1 分周器の経路をバイパスして PLL2 周波数検出器に配信する。 1 = 2倍器と R1 分周器の経路をイネーブルにする。
3	Reset VCO calibration dividers	0 (デフォルト) = 通常動作。 1 = A 分周器と B 分周器をリセットする。
2	Treat reference as valid	0 (デフォルト) = PLL2 へのリファレンス・クロックが有効になる時間を決定するために PLL1 VCXO インジケータを使用する。 1 = たとえ PLL1 がリファレンス・クロックを有効と判断しなくてもそれを有効として取り扱う。
1	Force VCO to midpoint frequency	VCO 制御電圧機能を選択します。 0 (デフォルト) = 通常の VCO の動作。 1 = VCO 制御電圧を強制的に中間点にする。
0	Manual VCO calibrate (not autocalclearing)	1 = VCO キャリブレーションを開始する (これは自動クリア・ビットではありません)。 0 = VCO キャリブレーションをリセットする。

表 52.PLL2 RF VCO 分周器 (M1) (レジスタ 0x0204)

Bits	Bit Name	Description																
[7:6]	Reserved	予約済み。																
5	PFD reference edge select	1 = 立下がりエッジ。 0 = 立上がりエッジ。																
4	PFD feedback edge select	1 = 立下がりエッジ。 0 = 立上がりエッジ。																
3	RF VCO divider (M1) power-down	1 = M1 分周器をパワーダウン。 0 = 通常動作。																
[2:0]	RF VCO divider (M1), Bits[2:0]	<table border="1"> <thead> <tr> <th>Bit 2</th> <th>Bit 1</th> <th>Bit 0</th> <th>Divider Value</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>1</td> <td>3分周。</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>4分周。</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>5分周。</td> </tr> </tbody> </table>	Bit 2	Bit 1	Bit 0	Divider Value	0	1	1	3分周。	1	0	0	4分周。	1	0	1	5分周。
Bit 2	Bit 1	Bit 0	Divider Value															
0	1	1	3分周。															
1	0	0	4分周。															
1	0	1	5分周。															

表 53.PLL2 ループ・フィルタ・コントロール

Address	Bits	Bit Name	Description			
			Bit 7	Bit 6	R _{POLE2} (Ω)	
0x0205	[7:6]	R _{POLE2} (Ω), Bits[1:0]	0	0	900	
			0	1	450	
			1	0	300	
			1	1	225	
	[5:3]	R _{ZERO} (Ω), Bits[1:0]	Bit 5	Bit 4	Bit 3	R _{ZERO} (Ω)
			0	0	0	3250
			0	0	1	2750
			0	1	0	2250
			0	1	1	2100
			1	0	0	3000
			1	0	1	2500
			1	1	0	2000
[2:0]	C _{POLE1} (pF), Bits[1:0]	Bit 2	Bit 1	Bit 0	C _{POLE1} (pF)	
		0	0	0	0	
		0	0	1	8	
		0	1	0	16	
		0	1	1	24	
		1	0	0	24	
		1	0	1	32	
		1	1	0	40	
0x0206	[7:1]	Reserved	予約済み。			
	0	Bypass internal R _{ZERO} resistor	内部 R _{ZERO} 抵抗 (R _{ZERO} = 0 Ω) をバイパスします。直列の外部ゼロ抵抗を使用する必要があります。このビットはループ・フィルタ・コントロール・レジスタ (レジスタ 0x0205 とレジスタ 0x0206) の MSB です。 1 = 内部 R _{ZERO} をバイパスする。 0 = 内部 R _{ZERO} を使用する。			

表 54.PLL2 入力分周器 (R1) (レジスタ 0x0207)

Bits	Bit Name	Description
[7:5]	Reserved	予約済み。
[4:0]	5-bit R1 divider	1 分周～31 分周。 00000, 00001 = 1 分周。

表 55.PLL2 フィードバック 分周器 (N2) (レジスタ 0x0208)

Bits	Bit Name	Description
[7:0]	8-bit N2 divider	分周 = チャンネル分周器ビット[7:0] + 1。例えば、[7:0] = 0 は 1 分周です。[7:0] = 1 は 2 分周です...[7:0] = 255 は 256 分周です。

表 56.PLL2 R1 リファレンス分周器 (レジスタ 0x0208 と レジスタ 0x0209)

Address	Bits	Bit Name	Description
0x0209	7	Reserved	予約済み。
	6	N2 divider power-down	0 : (デフォルト) 通常動作。 1 : N2 分周器をパワーダウンする。
	[5:0]	N2 phase, Bits[5:0]	Sync をアサートした後の (VCO 分周器出力からの) 分周器入力クロックを基準とした分周器の初期位相。LSB = 分周器入力クロックの 1/2 周期。 位相 0 = 位相オフセット無し。 位相 1 = 1/2 周期オフセット。 ... 位相 63 = 31.5 周期オフセット。

クロック分配(レジスタ 0x300 ~ レジスタ 0x0329)

表 57.チャンネル 0~チャンネル 13 のコントロール (このマップは全 14 チャンネルに同じく適用されます)

Address	Bits	Bit Name	Description			
0x0300, 0x0303, 0x0306, 0x0309, 0x030C, 0x030F, 0x0312, 0x0315, 0x0318, 0x031B, 0x031E, 0x0321, 0x0324	[7:5]	Channel control, Bits[2:0]	出力ドライバに求められる信号源を選択します。			
			Bit 7	Bit 6	Bit 5	出力信号源
			0	0	0	PLL2/分周器出力。
			0	0	1	PLL1/VCXO 出力。
			0	1	0	SYSREF (PLL2 出力で再タイミングされる)。
			0	1	1	SYSREF (PLL1 出力で再タイミングされる)。
			1	0	0	PLL2/分周器出力。
			1	0	1	反転 PLL1/VCXO 出力。
1	1	0	SYSREF (PLL2 出力で再タイミングされる)。			
1	1	1	SYSREF (反転 PLL1 出力で再タイミングされる)。			
4		Fine analog delay enable	1 = 対応するチャンネルの微遅延をイネーブルにする。挿入遅延 600 ps。 0 (デフォルト) = 対応するチャンネルの微アナログ遅延をディスエーブルにする。			
[3:0]		Fine analog delay, Bits[3:0]	15 段階の微遅延ステップ。 ステップ・サイズ = 31 ps。			
[7:6]		Output format, Bits[1:0]	適用する出力ロジックを決めます。			
			Bit 7	Bit 6	Output Logic type	
			0	0	LVDS。	
			0	1	LVDS (ブースト・モード)。	
1	X	HSTL。				
0x0301, 0x0304, 0x0307, 0x030A, 0x030D, 0x0310, 0x0313, 0x0316, 0x0319, 0x031C, 0x031F, 0x0322, 0x0325, 0x0328	[5:0]	Coarse digital delay, Bits[5:0]	Sync をアサートした後の (VCO 分周器出力からの) 分周器入力クロックを基準とした分周器の初期位相。LSB = 分周器入力クロックの 1/2 周期。 位相 = 0 : 位相オフセット無し。 位相 = 1 : 1/2 周期オフセット。 ... 位相 = 63 : 31.5 周期オフセット。			
0x0302, 0x0305, 0x0308, 0x030B, 0x030E, 0x031A, 0x0314, 0x0317, 0x031A, 0x031D, 0x0323, 0x0326, 0x0320, 0x0329	[7:0]	Divide ratio, Bits[7:0] (LSB)	分周 = チャンネル分周器ビット[7:0] + 1。例えば、[7:0] = 0 は 1 分周です。[7:0] = 1 は 2 分周です...[7:0] = 255 は 256 分周です。8 ビットチャンネル分周器。			

表 58.Sync の分配

Address	Bits	Bit Name	Description
0x032A	[7:1]	Reserved	予約済み。
	0	SYNC outputs	ビット0の“1”から“0”への変化時に SYNC を発行。

表 59.Ignore SYNC イネーブル

Address	Bits	Bit Name	Description
0x032B	7	Channel 7 ignore sync	0 = チャンネル 7 は sync コマンドに同期する。 1 = チャンネル 7 は sync コマンドを無視する。
	6	Channel 6 ignore sync	0 = チャンネル 6 は sync コマンドに同期する。 1 = チャンネル 6 は sync コマンドを無視する。
	5	Channel 5 ignore sync	0 = チャンネル 5 は sync コマンドに同期する。 1 = チャンネル 5 は sync コマンドを無視する。
	4	Channel 4 ignore sync	0 = チャンネル 4 は sync コマンドに同期する。 1 = チャンネル 4 は sync コマンドを無視する。
	3	Channel 3 ignore sync	0 = チャンネル 3 は sync コマンドに同期する。 1 = チャンネル 3 は sync コマンドを無視する。
	2	Channel 2 ignore sync	0 = チャンネル 2 は sync コマンドに同期する。 1 = チャンネル 2 は sync コマンドを無視する。
	1	Channel 1 ignore sync	0 = チャンネル 1 は sync コマンドに同期する。 1 = チャンネル 1 は sync コマンドを無視する。
	0	Channel 0 ignore sync	0 = チャンネル 0 は sync コマンドに同期する。 1 = チャンネル 0 は sync コマンドを無視する。
0x032C	7	Reserved	予約済み。
	6	PLL2 feedback N2 divider ignore sync	0 = PLL2 N2 分周器は sync コマンドに同期する。 1 = PLL2 N2 分周器は sync コマンドを無視する。
	5	Channel 13 ignore sync	0 = チャンネル 13 は sync コマンドに同期する。 1 = チャンネル 13 は sync コマンドを無視する。
	4	Channel 12 ignore sync	0 = チャンネル 12 は sync コマンドに同期する。 1 = チャンネル 12 は sync コマンドを無視する。
	3	Channel 11 ignore sync	0 = チャンネル 11 は sync コマンドに同期する。 1 = チャンネル 11 は sync コマンドを無視する。
	2	Channel 10 ignore sync	0 = チャンネル 10 は sync コマンドに同期する。 1 = チャンネル 10 は sync コマンドを無視する。
	1	Channel 9 ignore sync	0 = チャンネル 9 は sync コマンドに同期する。 1 = チャンネル 9 は sync コマンドを無視する。
	0	Channel 8 ignore sync	0 = チャンネル 8 は sync コマンドに同期する。 1 = チャンネル 8 は sync コマンドを無視する。

表 60.SYSREF バイパス再サンプル・コントロール

Address	Bits	Bit Name	Description
0x032D	7	Channel 6 bypass SYSREF resample	0 = バイパスしない。 1 = チャンネル 6 は SYSREF 再サンプルをバイパスする。
	6	Channel 5 bypass SYSREF resample	0 = バイパスしない。 1 = チャンネル 5 は SYSREF 再サンプルをバイパスする。
	5	Channel 4 bypass SYSREF resample	0 = バイパスしない。 1 = チャンネル 4 は SYSREF 再サンプルをバイパスする。
	4	Channel 3 bypass SYSREF resample	0 = バイパスしない。 1 = チャンネル 3 は SYSREF 再サンプルをバイパスする。
	3	Channel 2 bypass SYSREF resample	0 = バイパスしない。 1 = チャンネル 2 は SYSREF 再サンプルをバイパスする。
	2	Channel 1 bypass SYSREF resample	0 = バイパスしない。 1 = チャンネル 1 は SYSREF 再サンプルをバイパスする。
	1	Channel 0 bypass SYSREF resample	0 = バイパスしない。 1 = チャンネル 0 は SYSREF 再サンプルをバイパスする。
	0	Enable VCXO receiver path to distribution	0 = 経路をディスエーブルにする。 1 = 経路をイネーブルにする。
0x032E	7	Reserved	予約済み。
	6	Channel 13 bypass SYSREF resample	0 = バイパスしない。 1 = チャンネル 13 は SYSREF 再サンプルをバイパスする。
	5	Channel 12 bypass SYSREF resample	0 = バイパスしない。 1 = チャンネル 12 は SYSREF 再サンプルをバイパスする。
	4	Channel 11 bypass SYSREF resample	0 = バイパスしない。 1 = チャンネル 11 は SYSREF 再サンプルをバイパスする。
	3	Channel 10 bypass SYSREF resample	0 = バイパスしない。 1 = チャンネル 10 は SYSREF 再サンプルをバイパスする。
	2	Channel 9 bypass SYSREF resample	0 = バイパスしない。 1 = チャンネル 9 は SYSREF 再サンプルをバイパスする。
	1	Channel 8 bypass SYSREF resample	0 = バイパスしない。 1 = チャンネル 8 は SYSREF 再サンプルをバイパスする。
	0	Channel 7 bypass SYSREF resample	0 = バイパスしない。 1 = チャンネル 7 は SYSREF 再サンプルをバイパスする。

表 61.SYSREF パターン発生器 K 分周器

Address	Bits	Bit Name	Description
0x0400, 0x0401	[7:0], [15:8]	K divider	16 ビット K 分周器は SYSREF パターン発生器への入力クロックを分周して SYSREF のパルス幅をプログラムします。ビット[7:0] は LSB バイトで、ビット [15:8] は MSB バイトです。

表 62.SYSREF コントロール

Address	Bits	Bit Name	Description
0x0402	7	SYSREF request method	SYSREF 要求の方法 0 = SPI 制御。 1 = ピン制御。
	[6:5]	SYSREF pattern generator trigger control, Bits[1:0]	SYSREF パターン発生器のトリガー制御 0x: レベル検出、アクティブ・ハイ 10: エッジ検出、立上がりエッジ 11: エッジ検出、立下がりエッジ
	4	SYSREF pattern generator clock source	0 = PLL2 フィードバック分周器 1 = PLL1 出力
	3	Resample clock source for external SYSREF	0 = デバイス・クロック 1 = PLL1 出力
	[2:1]	SYSREF test mode, Bits[1:0]	SYSREF テスト・モード 00 = GND 01 = VDD 1x = カウンタ出力クロック
	0	SYSREF reset	SYSREF リセット
0x0403	[7:6]	SYSREF source, Bits[1:0]	SYSREF 信号源 00 = 外部 01 = 再サンプルされた外部信号 10 = 内部
	[5:4]	SYSREF pattern generator mode, Bits[1:0]	パターン・モード 00 = N-ショット 01 = 連続 10 = PRBS 11 = 停止
	[3:1]	N-shot mode, Bits[1:0]	N-ショット・モード 001 = 1 パルス 010 = 2 パルス 011 = 4 パルス 100 = 6 パルス 101 = 8 パルス その他 = 1 パルス
	0	SPI SYSREF request	SPI SYSREF 要求 N-ショット・モードでは、SYSREF パターンはこのビットの“0”から“1”への変化で開始されます。このビットはパターン終了後自動的にクリアされます。連続モード又は PRBS モードでは、SYSREF パターンはこのビットの“0”から“1”への変化で開始されます。このビットはユーザがビットをクリアするまで“1”に設定されたままです；ユーザがビットをクリアした時、SYSREF パターンは停止します。

表 63.SYSREF_IN レシーバ・コントロール

Address	Bits	Bit Name	Description
0x0404	[7:3]	Reserved	予約済み。
	2	SYSREF IN receiver power-down	SYSREF 入力レシーバのパワーダウンに対する制御をイネーブルにします。 1 = パワーダウン制御をイネーブルにする (デフォルト)。 0 = 両方のレシーバをイネーブルにする。
	1	Single-ended source negative input (CMOS mode)	SYSREF シングルエンド・レシーバ・モードの場合 (レジスタ 0x0404、ビット 0 = 0)、イネーブルにするシングルエンド入力ピンを選択します。 1 = SYSREF 入力 (SYSREF_IN ピン) からの負レシーバを選択。 0 = SYSREF 入力 (SYSREF_IN ピン) からの正レシーバを選択 (デフォルト)。
	0	SYSREF differential receiver enable	1 = 差動レシーバ・モード、シングルエンド・レシーバをディスエーブルにする。 0 = シングルエンド・レシーバ・モード (デフォルト)。

パワーダウン・コントロール(レジスタ 0x0500 ~ レジスタ 0x0504)

表 64.パワーダウン・コントロール・イネーブル.

Address	Bits	Bit Name	Description
0x0500	[7:5]	Reserved	予約済み
	4	Bias generation power-down disable or power-down	0 = パワーダウン 1 = 通常動作
	3	PLL2 power-down enable	0 = 通常動作 1 = パワーダウン
	2	PLL1 power-down enable	0 = 通常動作 1 = パワーダウン
	1	Clock distribution power-down enable	0 = 通常動作 1 = パワーダウン
	0	Chip power-down enable	0 = 通常動作 1 = パワーダウン

表 65.出力チャンネル・パワーダウンのコントロール

Address	Bits	Bit Name	Description
0x0501	7	Channel 7 power-down	0 = 通常動作 1 = チャンネル 7 パワーダウン
	6	Channel 6 power-down	0 = 通常動作 1 = チャンネル 6 パワーダウン
	5	Channel 5 power-down	0 = 通常動作 1 = チャンネル 5 パワーダウン
	4	Channel 4 power-down	0 = 通常動作 1 = チャンネル 4 パワーダウン
	3	Channel 3 power-down	0 = 通常動作 1 = チャンネル 3 パワーダウン
	2	Channel 2 power-down	0 = 通常動作 1 = チャンネル 2 パワーダウン
	1	Channel 1 power-down	0 = 通常動作 1 = チャンネル 1 パワーダウン
	0	Channel 0 power-down	0 = 通常動作 1 = チャンネル 0 パワーダウン
0x0502	[7:6]	Reserved	予約済み
	5	Channel 13 power-down	0 = 通常動作 1 = チャンネル 13 パワーダウン
	4	Channel 12 power-down	0 = 通常動作 1 = チャンネル 12 パワーダウン
	3	Channel 11 power-down	0 = 通常動作 1 = チャンネル 11 パワーダウン
	2	Channel 10 power-down	0 = 通常動作 1 = チャンネル 10 パワーダウン
	1	Channel 9 power-down	0 = 通常動作 1 = チャンネル 9 パワーダウン
	0	Channel 8 power-down	0 = 通常動作 1 = チャンネル 8 パワーダウン

表 66.LDO レギュレータ・イネーブル

Address	Bits	Bit Name	Description
0x0503	7	Channel 7 LDO enable	0: チャンネル 7 LDO パワーダウン 1: 通常動作
	6	Channel 6 LDO enable	0:チャンネル 6 LDO パワーダウン 1: 通常動作
	5	Channel 5 LDO enable	0:チャンネル 5 LDO パワーダウン 1: 通常動作
	4	Channel 4 LDO enable	0:チャンネル 4 LDO パワーダウン 1: 通常動作
	3	Channel 3 LDO enable	0:チャンネル 3 LDO パワーダウン 1: 通常動作
	2	Channel 2 LDO enable	0:チャンネル 2 LDO パワーダウン 1: 通常動作
	1	Channel 1 LDO enable	0:チャンネル 1 LDO パワーダウン 1: 通常動作
	0	Channel 0 LDO enable	0:チャンネル 0 LDO パワーダウン 1: 通常動作
0x0504	7	PLL2 LDO enable	0:PLL2 LDO パワーダウン 1: 通常動作
	6	PLL1 LDO enable	0:PLL1 LDO パワーダウン 1: 通常動作
	5	Channel 13 LDO enable	0: チャンネル 13 LDO パワーダウン 1: 通常動作
	4	Channel 12 LDO enable	0:チャンネル 12 LDO パワーダウン 1: 通常動作
	3	Channel 11 LDO enable	0:チャンネル 11 LDO パワーダウン 1: 通常動作
	2	Channel 10 LDO enable	0:チャンネル 10 LDO パワーダウン 1: 通常動作
	1	Channel 9 LDO enable	0:チャンネル 9 LDO パワーダウン 1: 通常動作
	0	Channel 8 LDO enable	0:チャンネル 8 LDO パワーダウン 1: 通常動作

ステータス・コントロール (レジスタ 0x0505 ~ レジスタ 0x0509)

表 67.ステータス・コントロール信号

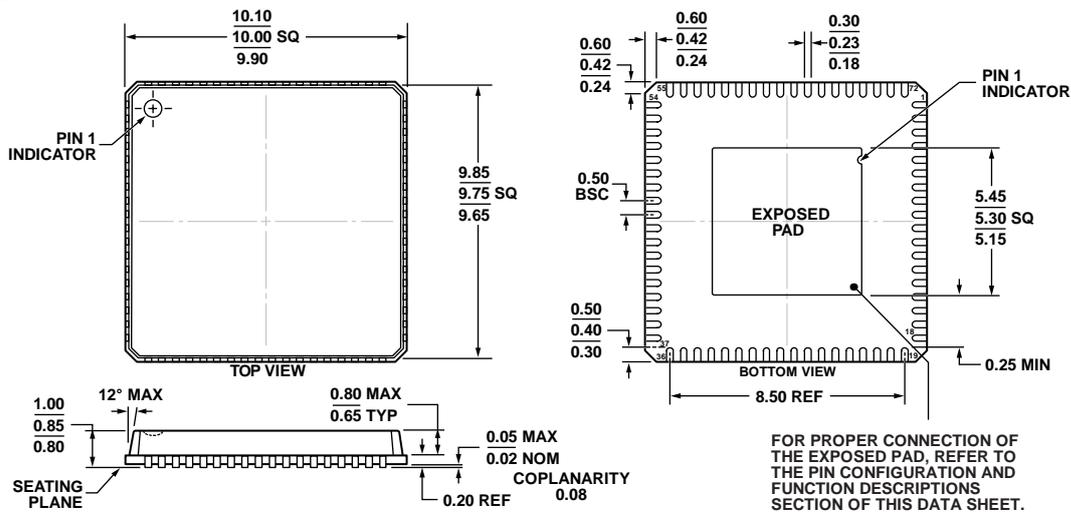
Address	Bits	Bit Name	Description								
			Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Mux Out		
0x0505	[7:0]	Status Monitor 0 control	0	0	0	0	0	0	GND		
			0	0	0	0	0	1	PLL1 と PLL2 はロックしている。		
			0	0	0	0	1	0	PLL1 はロックしている		
			0	0	0	0	1	1	PLL2 はロックしている		
			0	0	0	1	0	0	両方のリファレンス(REFA と REFB)が消失している		
			0	0	0	1	0	1	両方のリファレンスが消失し、PLL2 がロックしている		
			0	0	0	1	1	0	REFB を選択している (auto select mode にのみ適用)		
			0	0	0	1	1	1	REFA は正常		
			0	0	1	0	0	0	REFB は正常		
			0	0	1	0	0	1	PLL1 はホールドオーバー状態		
			0	0	1	0	1	0	VCXO は正常		
			0	0	1	0	1	1	PLL1 フィードバックは正常		
			0	0	1	1	0	0	PLL2 フィードバック・クロックは正常		
			0	0	1	1	0	1	高速ロックが進行中		
			0	0	1	1	1	0	REFA と REFB は正常		
			0	0	1	1	1	1	すべてのクロックは正常		
			0	1	0	0	0	0	PLL1 フィードバックの分周比 2		
			0	1	0	0	0	1	PLL1 PFD ダウン分周比 2		
			0	1	0	0	1	0	PLL1 REF の分周比 2		
			0	1	0	0	1	1	PLL1 PFD アップ分周比 2		
			0	1	0	1	0	0	GND		
			0	1	0	1	0	1	GND		
			0	1	0	1	1	0	GND		
			0	1	0	1	1	1	GND		
			“01011” の後のすべてのビットの組み合わせは予約済みである事に注意してください								
			0x0506	[7:0]	Status Monitor 1 control	0	0	0	0	0	0
0	0	0				0	0	1	PLL1 と PLL2 はロックしている		
0	0	0				0	1	0	PLL1 はロックしている		
0	0	0				0	1	1	PLL2 はロックしている		
0	0	0				1	0	0	両方のリファレンス(REFA と REFB)が消失している		
0	0	0				1	0	1	両方のリファレンスが消失し、PLL2 がロックしている		
0	0	0				1	1	0	REFB を選択している (auto select mode にのみ適用)		
0	0	0				1	1	1	REFA は正常		
0	0	1				0	0	0	REFB は正常		
0	0	1				0	0	1	PLL1 はホールドオーバー状態		
0	0	1				0	1	0	VCXO は正常		
0	0	1				0	1	1	PLL1 フィードバックは正常		
0	0	1				1	0	0	PLL2 フィードバック・クロックは正常		
0	0	1				1	0	1	高速ロックが進行中		
0	0	1				1	1	0	REFA と REFB は正常		
0	0	1				1	1	1	すべてのクロックは正常		
0	1	0				0	0	0	GND		
0	1	0				0	0	1	GND		
0	1	0				0	1	0	GND		
0	1	0				0	1	1	GND		
0	1	0				1	0	0	PLL1 フィードバックの分周比 2		
0	1	0				1	0	1	PLL1 PFD ダウン分周比 2		

Address	Bits	Bit Name	Description						
			0	1	0	1	1	0	
			0	1	0	1	1	0	PLL1 REF の分周比 2
			0	1	0	1	1	1	PLL1 PFD アップ分周比 2
			“010111” の後のすべてのビットの組み合わせは予約済みである事に注意してください						
0x0507	[7:4]	Reserved	予約済み。						
	3	STATUS1 pin Output enable	STATUS1 ピンのステータスをイネーブルにします。 1: ステータス出力をイネーブルにする。 0: ステータス出力をディスエーブルにする。						
	2	STATUS0 pin Output enable	STATUS0 ピンのステータスをイネーブルにします。 1: ステータス出力をイネーブルにする。 0: ステータス出力をディスエーブルにする。						
	1	STATUS0 pin divider enable	STATUS0 ピンにおいて 4 分周をイネーブルにします。従って (PFD 入力クロックのような) より低い周波数でダイナミック信号を観察できます。ステータス・ピンの DC ステータス(レジスタ 0x0505、ビット[5:0]の設定が 000000 ~ 001111 の範囲の時に起こる) とともに使用されません。 1: イネーブル。 0: ディスエーブル。						
	0	STATUS1 pin divider enable	STATUS0 ピンにおいて 4 分周をイネーブルにします。従って (PFD 入力クロックのような) より低い周波数でダイナミック信号を観察できます。ステータス・ピンの DC ステータス(レジスタ 0x0506、ビット[5:0]の設定が 000000 ~ 001111 の範囲の時に起こる) とともに使用されません。 1: イネーブル。 0: ディスエーブル。						

表 68. リードバック・レジスタ (リードバック 0 とリードバック 1)

Address	Bits	Bit Name	Description
0x0508	7	PLL2 feedback status	1 = 正常。 0 = オフ/クロックが消失している。
	6	PLL1 feedback status	1 = 正常。 0 = オフ/クロックが消失している。
	5	VCXO status	1 = 正常。 0 = オフ/クロックが消失している。
	4	Both REFA/REFB missing	1 = オフ/クロックが消失している。 0 = 正常。
	3	REFB status	1 = 正常。 0 = オフ/クロックが消失している。
	2	REFA status	1 = 正常。 0 = オフ/クロックが消失している。
	1	PLL2 locked status	1 = ロック 0 = アンロック
	0	PLL1 locked status	1 = ロック 0 = アンロック
0x0509	[7:4]	Reserved	予約済み
	3	Holdover active status	1 = ホールドオーバーがアクティブ (両方のリファレンスが消失している)。 0 = 通常動作
	2	Selected reference	選択されたリファレンス (デバイスが自動的にリファレンスを選択する時のみ適用する; 例えば、手動制御モードでは適用されない)。 1 = REFB。 0 = REFA。
	1	Fast Lock in progress	1 = 高速ロックが進行中 0 = 高速ロックは進行中ではない
	0	VCO calibration busy status	1 = VCO キャリブレーションが進行中。 0 = VCO キャリブレーションは進行中ではない。

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-VNND-4

図 55. 72 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ]
10 mm × 10 mm ボディ、極薄クワッド
(CP-72-6)
寸法: mm

06-25-2012-C

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD9528BCPZ	-40°C to +85°C	72-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-72-6
AD9528BCPZ-REEL7	-40°C to +85°C	72-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-72-6
AD9528/PCBZ		Evaluation Board	

¹ Z = RoHS 準拠製品。